

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ
«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ
імені ІГОРЯ СІКОРСЬКОГО»

**Л.М. Королевич,
О.В. Мачулянський,
Г.В. Шевлякова**

МІКРОЕЛЕКТРОНІКА

ЕЛЕМЕНТИ

НАПІВПРОВІДНИКОВИХ

ІНТЕГРАЛЬНИХ МІКРОСХЕМ.

ПРАКТИКУМ

Навчальний посібник

Рекомендовано Методичною радою КПІ ім. Ігоря Сікорського
як навчальний посібник для здобувачів ступеня бакалавра
за освітньою програмою «Мікро- та наноелектроніка»
спеціальності 153 Мікро- та наносистемна техніка

Електронне мережне навчальне видання

Київ
КПІ ім. Ігоря Сікорського
2023

Рецензент

Морозовський М. В., доктор фізико-математичних наук, старший науковий співробітник, Інститут фізики НАН України,

Карпина В. А., кандидат фізико-математичних наук, Інститут проблем матеріалознавства ім. І.М.Францевича НАН України

Відповідальний редактор

Татарчук Д. Д., доктор технічних наук, доцент, професор кафедри мікроелектроніки КПІ ім. Ігоря Сікорського

*Гриф надано Методичною радою КПІ ім. Ігоря Сікорського
(протокол № 8 від 02.06.2023 р.)
за поданням Вченої ради факультету електроніки
(протокол № 05/2023 від 22.05.2023 р.)*

У посібнику відповідно до силабусу з дисципліни "Мікроелектроніка" розглянуто особливості реалізації як пасивних так і активних елементів напівпровідникових інтегральних мікросхем. Значну увагу приділено методам визначення основних параметрів та характеристик елементів інтегральних структур.

Навчальний посібник призначений для здобувачів ступеня бакалавра, які навчаються за освітньою програмою «Мікро- та наноелектроніка» спеціальності 153 Мікро- та наносистемна техніка

Реєстр. № НП 22/23-873. Обсяг 5,3 авт. арк.
Національний технічний університет України
«Київський політехнічний інститут імені Ігоря Сікорського»
проспект Перемоги, 37, м. Київ, 03056
<https://kpi.ua>

Свідоцтво про внесення до Державного реєстру видавців, виготовлювачів і розповсюджувачів видавничої продукції ДК № 5354 від 25.05.2017 р.

© Л. М. Королевич, О. В. Мачулянський, Г. В. Шевлякова
© КПІ ім. Ігоря Сікорського, 2023

ЗМІСТ

Вступ.....	4
Перелік умовних позначень та скорочень	6
1. Дифузійні резистори напівпровідникових біполярних ІМС	8
1.1. Основні теоретичні відомості	8
1.2. Контрольні запитання	14
1.3. Завдання.....	15
2. Інтегральні біполярні транзистори.....	21
2.1. Основні теоретичні відомості	21
2.2. Контрольні запитання	36
2.3. Завдання.....	37
3. Діодне підключення біполярних транзисторів	39
3.1. Основні теоретичні відомості	39
3.2. Контрольні запитання	48
3.3. Завдання.....	48
4. Інтегральні МДН-транзистори.....	50
4.1. Основні теоретичні відомості	50
4.2. Контрольні запитання	58
4.3. Завдання.....	59
5. Вольт-фарадні характеристики МДН-структур	65
5.1. Основні теоретичні відомості	65
5.2. Контрольні запитання	77
5.3. Завдання.....	78
6. Інтегральні схеми статичної логіки на МДН-транзисторах	79
6.1. Основні теоретичні відомості	79
6.2. Контрольні запитання	90
6.3. Завдання.....	91
Перелік посилань.....	93
Список рекомендованої літератури.....	93

ВСТУП

Мікроелектроніка як область техніки охоплює широке коло завдань з фізики та технології, схемотехніки та розробки інтегральних мікросхем.

Інтегральна мікросхема (ІМС) – це сукупність взаємопов’язаних елементи (транзисторів, діодів, конденсаторів, резисторів і т. п.), яка виготовлена в єдиному технологічному циклі на одній і тій самій базовій конструкції – підкладці – та виконує певну функцію перетворення інформації. Інтегральні елементи, які входять до складу ІМС, мають особливості у порівнянні з відповідними дискретними радіоелектронними елементами.

У навчальному посібнику «Мікроелектроніка. Елементи напівпровідникових інтегральних мікросхем. Практикум» з дисципліни «Мікроелектроніка» описано особливості реалізації пасивних і активних елементів напівпровідникових інтегральних мікросхем та їх параметри і характеристики, а саме: дифузійні резистори напівпровідникових біполярних інтегральних мікросхем, інтегральні біполярні транзистори, діодне підключення інтегральних біполярних транзисторів, характеристики МДН-структур, інтегральні МДН транзистори, інтегральні схеми статичної логіки на МДН-транзисторах. По кожній темі наведені теоретичні відомості, контрольні питання, завдання та методика і порядок їх виконання. Основна мета практичних завдань сприяти засвоюванню набутих теоретичних знань, методики визначення основних характеристик та параметрів елементів інтегральних схем, здобуття навичок обробки та аналізу отриманих результатів і принципів їх інтерпретації. При виконанні індивідуальних завдань, які запропоновані викладачем необхідно приділяти увагу аналізу особливостей та відмінностей інтегральних елементів мікросхем від їх дискретних аналогів. Одержані результати їх аналіз, сформульовані висновки потрібно представити в звіті за відповідною темою.

Навчальний посібник підготовлено відповідно до програми з дисципліни "Мікроелектроніка" і призначений для здобувачів вищої освіти ступеня

бакалавра, які навчаються за освітньою програмою «Мікро- та наноелектроніка» спеціальності 153 Мікро- та наносистемна техніка.

ПЕРЕЛІК УМОВНИХ ПОЗНАЧЕНЬ ТА СКОРОЧЕНЬ

ІМС – інтегральна мікросхема;

МДН – метал – діелектрик - напівпровідник;

ВАХ – вольт -амперна характеристика;

АЧХ – амплітудно - частотна характеристика;

ВФХ – вольт - фарадна характеристика;

ТКО – температурний коефіцієнт опору;

q – елементарний заряд;

R – опір;

ε_0 – діелектрична стала (діелектрична проникність вакууму);

ε_S – відносна діелектрична проникність напівпровідника;

ε_I – відносна діелектрична проникність діелектрика;

ρ_v – питомий об'ємний опір;

ρ_S – питомий поверхневий опір;

φ_0 – контактна різниця потенціалів;

μ_p – рухливість дірок;

μ_n – рухливість електронів;

p – концентрація дірок;

n – концентрація електронів;

$P_{\text{доп}}$ – допустима розсіювана потужність;

α – коефіцієнт підсилення струму у схемі з загальною базою;

β – коефіцієнт підсилення струму у схемі з загальним емітером;

γ – коефіцієнт інжекції;

κ – коефіцієнт переносу через базу;

$f_{\text{гр}}$ – гранична частота;

r_E – диференційний опір емітера;

r_C – диференційний опір колектора;

W_B – активна ширина бази;

U_{GS} – напруга на заслоні по відношенню до витoku МДН-транзистора;

U_T – порогова напруга МДН-транзистора;

U_{DS} – напруга на стоці по відношенню до витоку МДН-транзистора;
 I_D – струм стоку (струм в каналі) МДН-транзистора;
 N_{SS} – щільність поверхневих станів в МДН-структурі;
 Q_{SS} – заряд поверхневих станів в МДН-структур

1. ДИФУЗІЙНІ РЕЗИСТОРИ НАПІВПРОВІДНИКОВИХ БІПОЛЯРНИХ ІМС

Мета роботи: Вивчити основні електричні характеристики та конструкції дифузійних резисторів.

1.1. ОСНОВНІ ТЕОРЕТИЧНІ ВІДОМОСТІ

У напівпровідникових інтегральних мікросхемах (ІМС) в ролі резисторів використовується область напівпровідникового монокристала, яка ізольована зворотно-зміщеним $p-n$ переходом від іншої частини кристалу. Резистори такого типу отримують методом локальної дифузії одночасно з різними областями транзисторів: колекторними, базовими, або емітерними.

Основні конструкції та параметри напівпровідникових резисторів виготовлених за технологією біполярного $p-p-n$ транзистора

Структури різноманітних типів резисторів та розподіл домішок в резистивних областях наведені на рис. 1.1. На рис. 1.1а показано резистор, який створено одночасно з емітерами транзисторів. Такі резистори мають малий поверхневий опір та використовуються тільки для створення низькоомних резисторів.

Найбільш широко для створення дифузійних резисторів використовується шар напівпровідника, який створюється одночасно з базою транзистора (рис. 1.1б). На рис. 1.1в показано резистор, який створено у колекторному епітаксійному шарі з рівномірним розподілом домішок.

У випадку, коли в ІМС потрібні резистори з високим опором (більше десяти кілоомів), використовується структура пінч-резистора, який створюється на основі базового шару, обмеженого зверху областю емітера (рис. 1.1г). Пінч-резистори мають достатньо високий опір, однак їх вольт-амперна характеристика (ВАХ) нелінійна, а величина опору при цьому має великий

розкид (до 100% похибки). Тому в ІМС пінч-резистори мають обмежену область застосування.

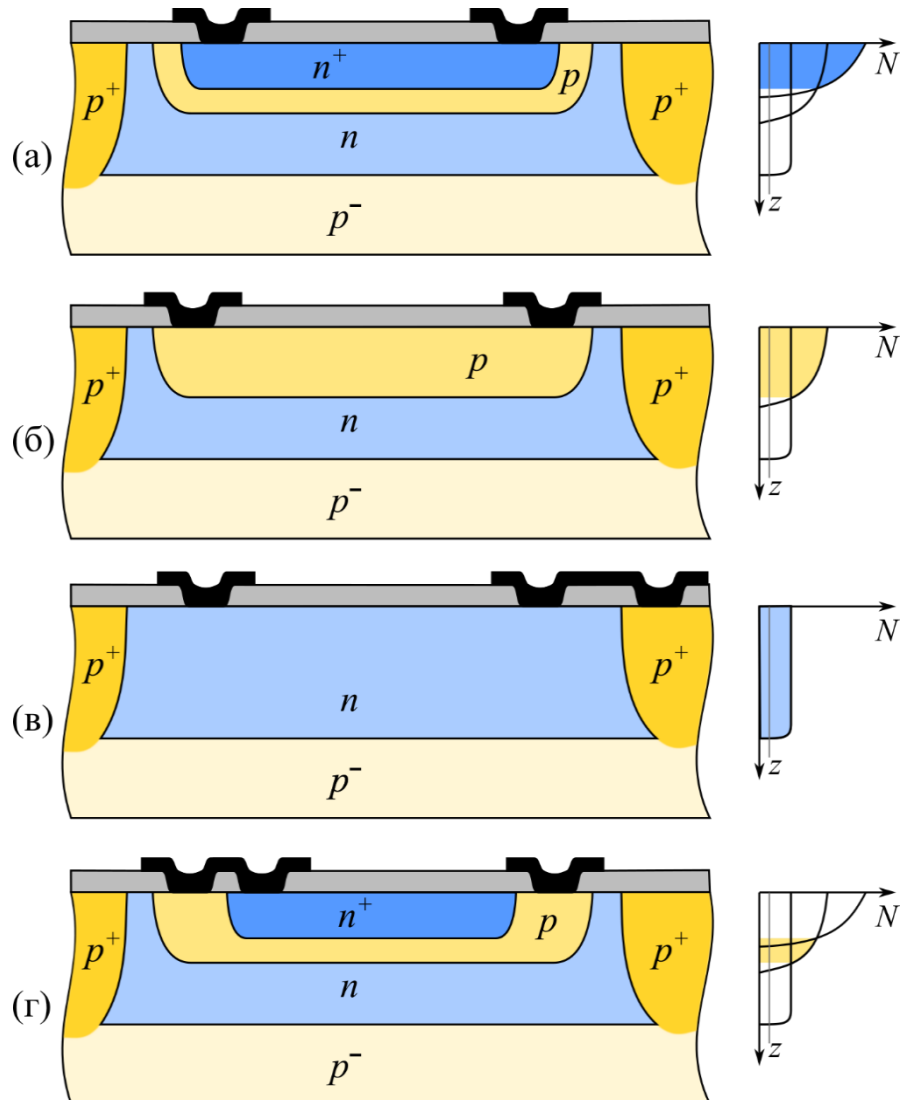


Рисунок 1.1 – Структури дифузійних резисторів: (а) в області емітера; (б) в області бази; (в) в області колектору; (г) пінч-резистор

Наявність додаткових p - та n - областей у структурі дифузійного резистора призводить до появи паразитних зв'язків, які враховуються еквівалентною схемою (рис. 1.2).

Величину ємності C_1 і C_2 можна порахувати за формулою бар'єрної ємності різкого p - n переходу, яка в певному наближенні може бути використана у випадку дифузійних переходів з великою різницею концентрацій домішок у напівпровідникових шарах, які утворюють p - n перехід:

$$C = S \sqrt{\frac{q \varepsilon_s \varepsilon_0 N}{2(U - \varphi_0)}} \quad (1.1)$$

де S – площа p - n переходу; ε_s – діелектрична проникність напівпровідника; ε_0 – діелектрична стала; N – концентрація домішок високоомної області p - n переходу; U – напруга на p - n переході; φ_0 – контактна різниця потенціалів на p - n переході.

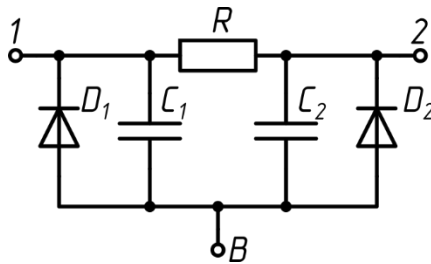


Рисунок 1.2 – Еквівалентна схема дифузійного резистора

Залежність φ_0 від концентрації домішок у вихідному матеріалі N_0 , глибини залягання p - n переходу x_j та температури наведена на рис. 1.3.

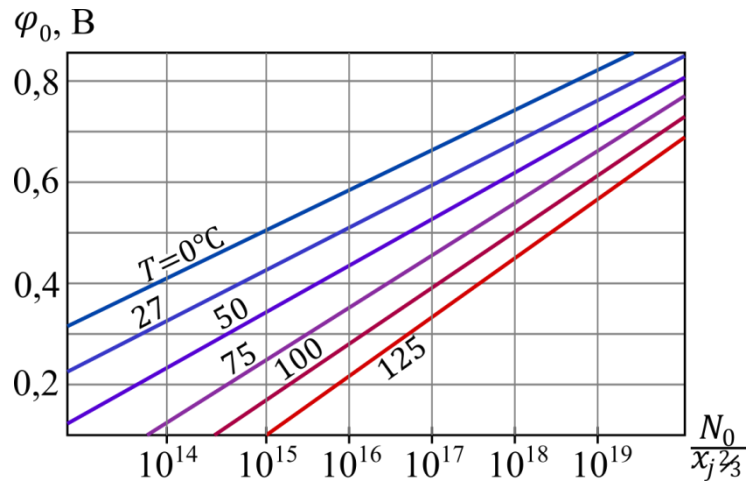


Рисунок 1.3 – Залежність контактної різниці потенціалів φ_0 від концентрації домішок у вихідному матеріалі N_0 та глибини залягання p - n переходу x_j за різних температур T

У структурі дифузійного резистора утворюється паразитний p - n - p транзистор. Вплив паразитного транзистора можна виключити подаючи напругу зворотного зміщення на n -область, яка ізолює дифузійний резистор.

Основними параметрами дифузійного резистора є поверхневий питомий опір ρ_s та температурний коефіцієнт опору ТКО.

Питомий опір квадрата поверхні ρ_s резистивного шару залежить від його товщини та структури резистора. Якщо розподіл домішок у шарі напівпровідника рівномірний, як у випадку резистора створеного в колекторній області (рис. 1.1в) тоді:

$$\rho_s = \frac{1}{\sigma d}, \quad (1.2)$$

де σ – провідність шару, а d – його товщина.

Якщо транзистор створюється на основі дифузійного базового шару з нерівномірним розподілом домішок (рис. 1.1б), тоді його провідність є нерівномірною по глибині шару. У цьому випадку доцільно використовувати номограми¹ для визначення середньої провідності шару $\bar{\sigma}$ (рис. 1.4), оскільки точний розрахунок питомого об'ємного опору нерівномірного шару є складним.

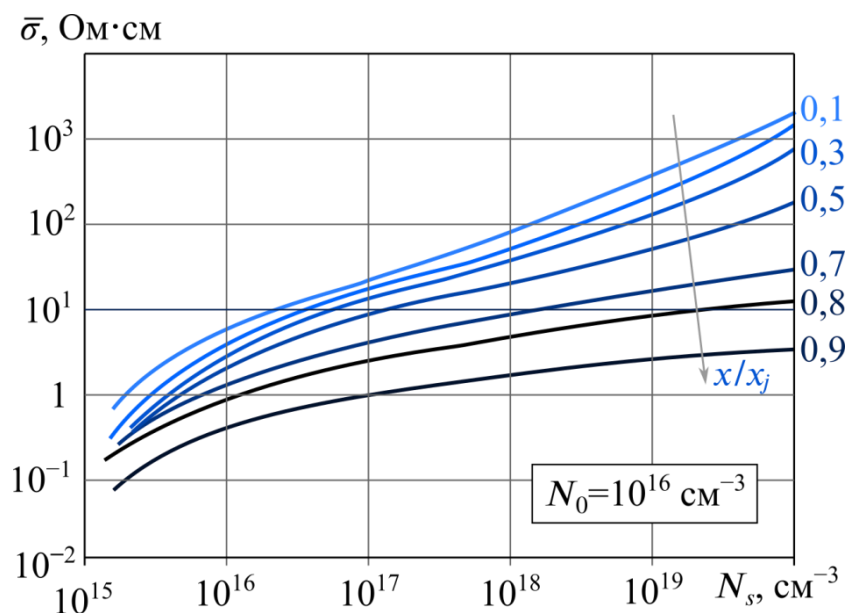


Рисунок 1.4 – Залежність середньої питомої провідності $\bar{\sigma}$ від поверхневої концентрації домішок N_s за різних глибин залягання p - n переходу x_j

¹ Номограма є графічним аналоговим обчислювальним пристроєм, двовимірною діаграмою. Застосовується для одержання без розрахунків приблизних рішень громіздких багатofакторних рівнянь.

Тоді поверхневий питомий опір визначається так:

$$\rho_s = \frac{1}{\bar{\sigma}d}. \quad (1.3)$$

Температурний коефіцієнт опору (ТКО) визначається за формулою:

$$\text{ТКО} = \frac{1}{R} \frac{dR}{dT}, \quad (1.4)$$

де R – опір; T – температура.

Основні параметри напівпровідникових резисторів в залежності від області де він утворений наведені у табл. 1.1. Як видно з таблиці, ТКС у дифузійних резисторів достатньо високий та має додатне значення.

Питомий опір шару діркового та електронного типу провідності відповідно:

$$\rho_v = (qp\mu_p)^{-1}, \quad (1.5)$$

$$\rho_v = (qn\mu_n)^{-1}, \quad (1.6)$$

де p та n – концентрація дірок та електронів, а μ_p і μ_n – їхні рухливості, відповідно.

Таблиця 1.1

Основні параметри напівпровідникових резисторів виготовлених за технологією біполярного n - p - n транзистора.

Тип резистора	R , кОм	Розкид, %	ρ_s , Ом/□	ТКО, 1/град
Емітерний шар	0,0025..1	$\pm 15..20$	2..10	$(1..5) \cdot 10^{-4}$
Базовий шар	0,15..20	$\pm 5..20$	100..300	$(1,5..3) \cdot 10^{-3}$
Колекторний шар	0,25..1	$\pm 25..30$	200..300	$(2..4) \cdot 10^{-3}$
Пінч-резистор	200..300	до ± 100	до 3000	$(5) \cdot 10^{-3}$

В області температур, де всі домішки іонізовані, провідність (опір) визначається в основному температурною залежністю рухливості носіїв заряду. З ростом температури рухливість падає, а ρ_v росте. При цьому найбільш сильна залежність ρ_v від температури у слабо легованих напівпровідниках, тому резистори на основі колекторної області мають більше значення ТКО. Температурна залежність $R(T)$ наведена на рис.1.5.

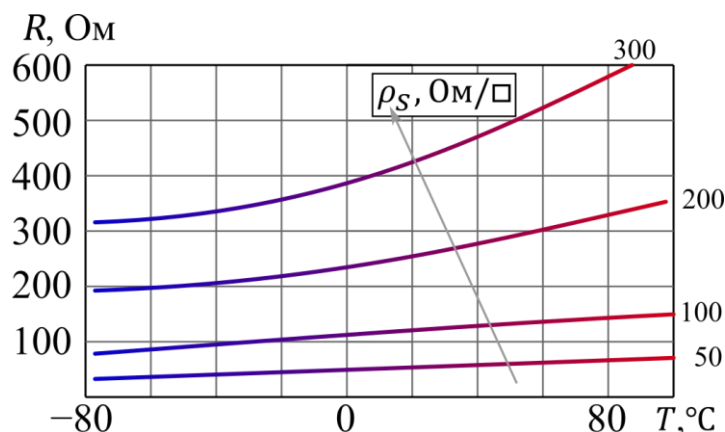


Рисунок 1.5 – Залежність опору R від температури T за різних величин поверхневого питомого опору ρ_s

До недоліків дифузійних резисторів, окрім порівняно високих ТКО, відносять також залежність номінального опору від прикладеної до резистора напруги, яка може моделювати площу поперечного перерізу резистивного шару, в наслідок польового ефекту. Максимально допустима напруга для резистора залежить від характеристик шару, який утворює цей резистор, і визначається пробивною напругою $p-n$ переходу, який ізолює резистор.

Номінальна потужність напівпровідникових резисторів, що розсіюється не перевищує 10 мВт. Максимально допустима питома розсіювана потужність $P_{\text{доп}}$ обирається, в залежності від типу корпусу та умов експлуатації в межах 0,5..4,5 Вт/мм². Для кремнієвих інтегральним мікросхем це значення лежить в межах 4..4,5 Вт/мм². В наслідок того, що дифузійний резистор під'єднано до ізолюючої області та підкладки через розподілену ємність, за високих частот ця паразитна ємність шунтує опір і ефективний імпеданс резистора зменшується.

Розрахунок лінійних розмірів резистора можна зробити в наступній послідовності:

1. За відомою вольт-амперною характеристикою резистора визначається його опір R на лінійній ділянці та потужність P ;
2. За відомими R , P , ρ_s і $P_{\text{доп}}$ визначається мінімальна ширина резистора в даній схемі за формулою:

$$W_{\min} = \sqrt{\frac{\rho_s P}{R P_{\text{доп}}}}, \quad (1.7)$$

де $P_{\text{доп}}$ – допустима розсіювана потужність.

Якщо $W_{\min} > 10$ мкм, приймаємо її за дійсну, якщо менше – приймаємо $W_{\min} = 10$ мкм та розраховуємо довжину резистора за формулою:

$$L = \frac{R W_{\min}}{\rho_s}, \quad (1.8)$$

звідки можна визначити площу резистора та величину паразитної ємності.

1.2. КОНТРОЛЬНІ ЗАПИТАННЯ

1. Які напівпровідникові структури можуть бути використані в ролі резисторів в ІМС?
2. Перерахуйте основні параметри дифузійного резистора.
3. Які переваги мають дифузійні резистори, що виготовлені на основі базового шару?
4. Провести аналіз паразитних зв'язків дифузійного резистора.
5. Пояснити, чому опір дифузійного резистора змінюється зі зміною частоти змінного сигналу.
6. Назвіть недоліки дифузійних резисторів.
7. Чому і як залежить опір дифузійного резистора від температури?
8. Чим визначаються розміри резистора?
9. Як виключити вплив паразитного транзистора на роботу дифузійного резистора?

1.3. ЗАВДАННЯ

1. Отримати індивідуальне завдання у викладача.
2. За наданими викладачем даними побудувати графіки вольт-амперних характеристик інтегральних резисторів.
3. За отриманими характеристиками вирахувати номінальні опори $R_{i,j}$ дифузійних резисторів.
4. Накреслити та проаналізувати електричне коло схеми, яка знаходиться між клеммами i та j .
5. Пояснити залежність опору дифузійного резистора від напруги, температури і частоти вимірювального сигналу. Провести аналіз паразитних зв'язків дифузійного резистора.
6. Запропонувати способи зменшення чи ліквідування впливу паразитної ємності та паразитного транзистора на роботу дифузійного резистора.
7. Визначити потужність, на яку розрахований резистор, виходячи з лінійності ВАХ. Граничні значення величини струму та напруги визначаються на початку нелінійної ділянки ВАХ.
8. Проаналізувати отримані результати та пояснити їх зв'язок з конструктивними і технологічними параметрами приладу.
9. Сформулювати висновки за результатами роботи.

Приклад та рекомендації щодо виконання індивідуального завдання.

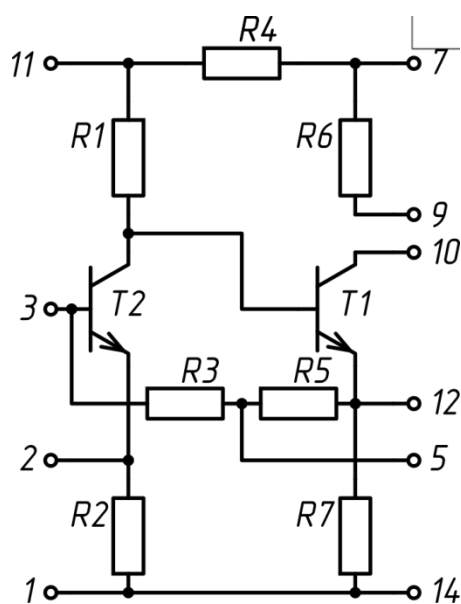


Рисунок 1.6 – Схема електрична принципова мікросхеми

На осцилограмі (рис. 1.7) подано залежність напруги на балістичному резисторі U_b (опір балістичного резистора: $R_b = 50 \text{ Ом}$) від напруги на ланці двох послідовно з'єднаних резисторів U_{bm} (рис. 1.6). Індивідуальне завдання може складатися з декількох осцилограм, для кожної з яких необхідно буде провести аналіз.

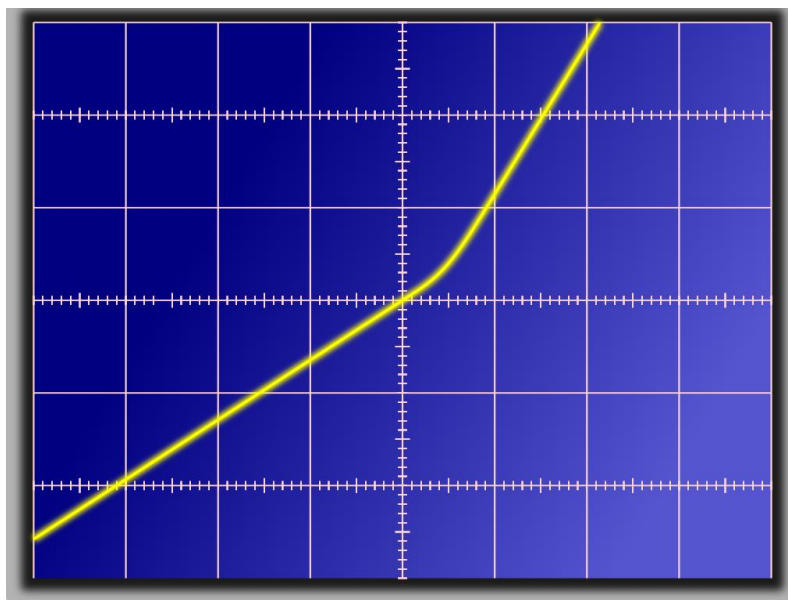


Рисунок 1.7 – Осцилограма між клемми 2-3. Масштаб: $\Delta X = 0,01 \frac{\text{В}}{\text{см}}$,

$$\Delta Y = 0,02 \frac{\text{В}}{\text{см}}$$

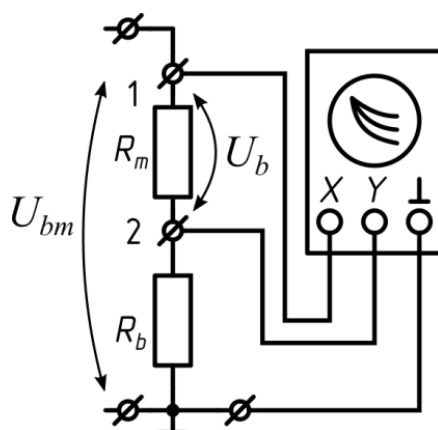


Рисунок 1.6 – Підключення осцилографа. R_b – балістичний резистор; R_m – інтегральний резистор

Побудова ВАХ

Для побудови вольт-амперної характеристики необхідно визначити масштаб за струмом та за напругою за формулами:

$$\Delta U_{bm} = \Delta X, \quad \Delta I_b = \frac{\Delta Y}{R_b}. \quad (1.9)$$

Визначити координати характерних точок на осцилограмі (рис. 7). Згідно першого та другого законів Кірхгофа, розрахувати для них значення напруги на інтегральному резисторі та струм:

$$U_m = U_{bm} - U_b, \quad I_m = I_b.$$

Для випадку $R_m \gg R_b$, напругою яка спадає на резисторі можна знехтувати ($U_m \approx U_{mb}$).

Наступним кроком є побудова графіку ВАХ інтегрального діода. На рис. 1. наведено приклад характерних точок осцилограми рис. 1.7. На рис. 1.10 наведено ВАХ інтегрального резистора після виконання наведених вище обчислень.

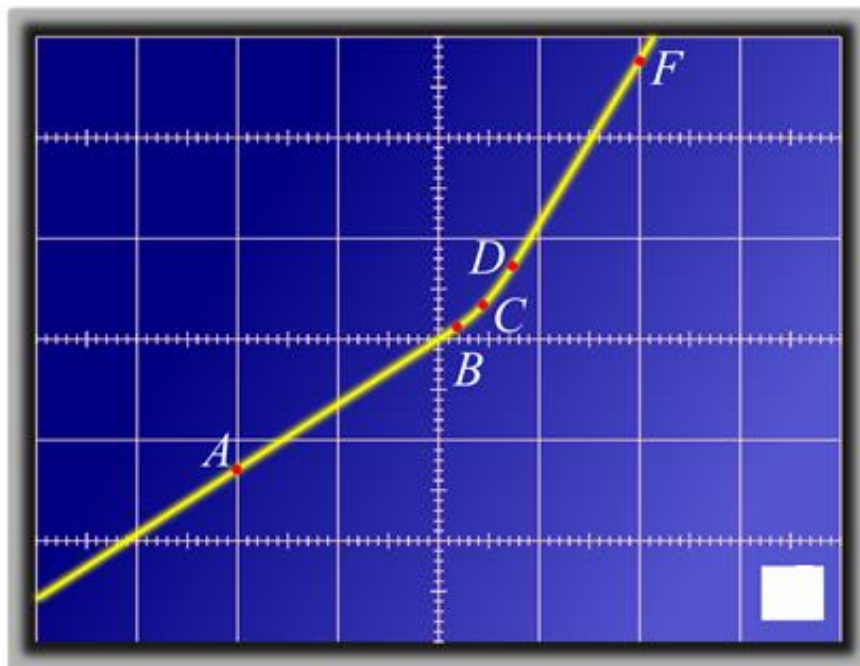


Рисунок 1.7 – Приклад обрання характерних точок на осцилограмі

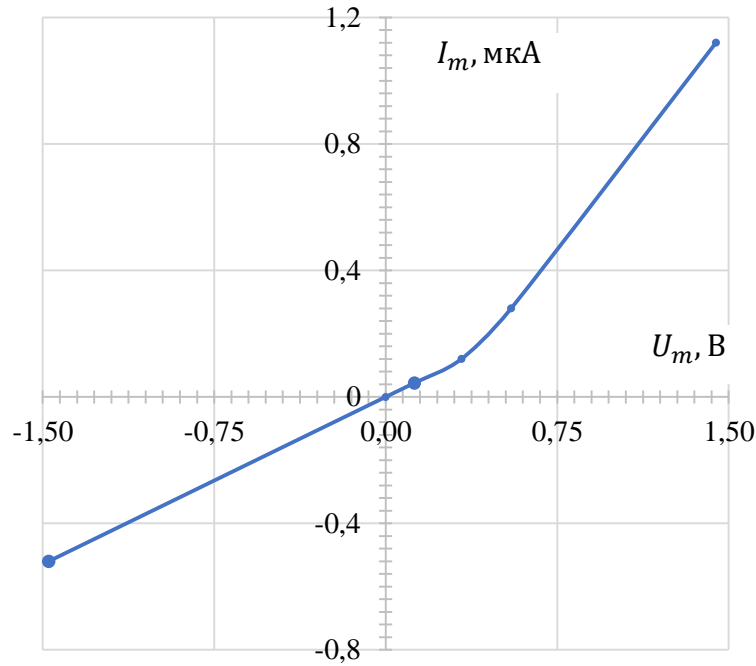


Рисунок 1.10 – Вольт-амперна характеристика інтегрального резистора

Слід нагадати, що для резистора обов'язковим є проходження ВАХ через початок відліку.

Визначення номіналу резистора

Для визначення номіналу інтегрального резистора на прямолінійній ділянці ВАХ необхідно обрати 2 точки (наприклад т.А та т.В (рис. 1.). В цих точках визначити значення напруги та струму ($U_1; I_1$) ($U_2; I_2$). Опір між клемми i, j описується виразом:

$$R_{i,j} = \frac{U_A - U_B}{I_A - I_B}. \quad (1.10)$$

Аналогічним чином можна визначити опір на ділянці між точками D та F .

Для випадку, коли прямолінійна ділянка проходить через початок відліку можна обмежитися однією точкою, (наприклад т.А на рис. 1.):

$$R_{i,j} = \frac{U_A}{I_A}. \quad (1.11)$$

Побудова та аналіз еквівалентної схеми

Для більш детальний аналізу, необхідно скласти еквівалентну схему для кожного інтегрального резистора. З аналізу схеми рис. 6, можна виділити 3 лінії за якими може протікати струм між клемми 2-3 (рис. **Ошибка! Источник ссылки не найден.1**). Замінивши транзистори на *p-n* переходи відповідних транзисторів одержимо схему наведену на (рис. **Ошибка! Источник ссылки е найден.2**), для якої значно зручніше проводити аналіз.

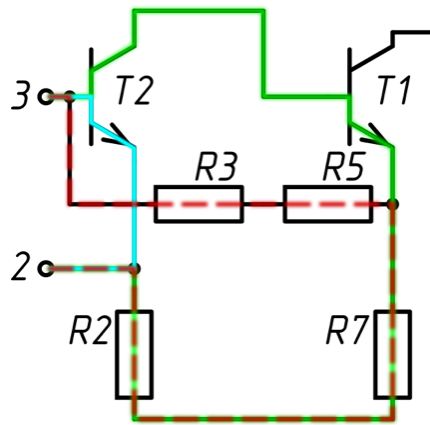


Рисунок 1.11 – Схема електрична принципова між клемми 3-2

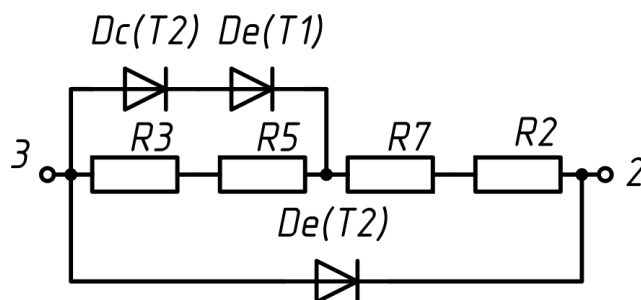


Рисунок 1.12 – Спрощений електрична принципова схема між клемми 3-2.
 $De(T2)$ – колекторний *p-n* перехід транзистора $T2$, $De(T1)$ та $De(T2)$ – емітерні *p-n* переходи транзисторі $T2$ та $T1$, відповідно.

Наприклад, з аналізу одержаної схеми видно, що зворотна гілка ВАХ відповідає ланці схеми на якій опір не залежить від напруги, а отже струм протікає через ланку резисторів $R3+R5+R7+R2$.

Гранична потужність

Граничну потужність можна визначити за значеннями добутком струму і напруги у точці де ВАХ переходить у нелінійну залежність струму від напруги. Для наведеної в прикладі ВАХ не можливо визначити граничну потужність резистора за зворотного зміщення, адже на зворотній гілці ВАХ відсутня нелінійна ділянка. Однак можна визначити мінімальну потужність на прямій гілці, розрахувавши потужність в точці С:

$$P_{гр} = U_C I_C.$$

Сформулювати висновки за результатами роботи.

2. ІНТЕГРАЛЬНІ БІПОЛЯРНІ ТРАНЗИСТОРИ

Мета роботи: Ознайомитись зі структурою інтегральних біполярних транзисторів, їх основними характеристиками та параметрами. Оцінити вплив паразитних елементів інтегральної структури на роботу біполярних транзисторів.

2.1. ОСНОВНІ ТЕОРЕТИЧНІ ВІДОМОСТІ

Транзистори, які використовуються в інтегральних мікросхемах (ІМС), мають багато конструктивно-технологічних різновидів, але по принципу дії їх поділяють на два основних класи: біполярні та уніполярні.

2.1.1. Принцип роботи біполярного транзистора

Невід'ємною складовою частиною біполярних транзисторів є взаємодія двох $p-n$ переходів. Термін "біполярний" підкреслює роль обох типів носіїв заряду (електронів та дірок) в роботі цього класу транзисторів: інжекція неосновних носіїв супроводжується компенсацією їх заряду основними носіями.

Структура біполярного транзистора складається з трьох шарів: середній шар транзистора називають базовою областю або базою (*англ. base*) В, один з крайніх – емітером (*англ. emitter*) Е, другий – колектором (*англ. collector*) С (рис. 2.1). В залежності від чергування шарів розрізняють транзистори типів $p-n-p$ (рис. 2.1а) та $n-p-n$ (рис. 2.1б), які, при під'єднанні до схеми, розрізняються полярністю напруги та напрямками робочих струмів.

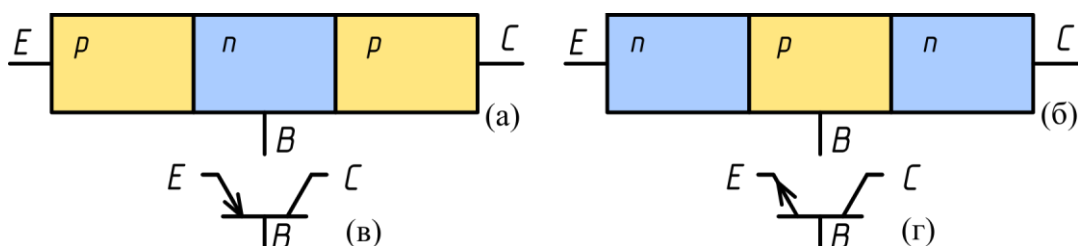
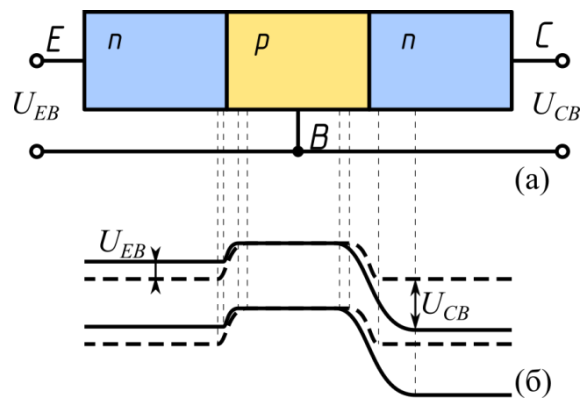


Рисунок 2.1 – Схематичне зображення (а, б) та умовне позначення (в, г) біполярних $p-n-p$ (а, в) та $n-p-n$ (б, г) транзисторів

Електронно-дірковий перехід між емітером і базою називається емітерним, між базою і колектором – колекторним.

Принцип дії біполярного транзистора розглянемо на прикладі *n-p-n* транзистора (рис. 2.2).

За відсутності зовнішньої напруги – рівноважний стан (пунктирна крива на рис. 2.2б) – на межах поділу трьох шарів з'являються об'ємні заряди, виникає внутрішнє електричне поле та між шарами діє внутрішня різниця потенціалів. В рівноважному стані потенціальний бар'єр в кожному з переходів установлюється такої величини, щоб забезпечувалась рівновага дифузійного і дрейфового потоків носіїв заряду, які рухаються через переходи в протилежних напрямках тобто рівність нуля струму, який протікає через них.



Рисунки 2.2 – Схематичне зображення *n-p-n* транзистора (а) та його зонна діаграма (б) в рівноважному стані (пунктирна крива) та в активному нормальному режимі (суцільна крива)

За полярністю прикладених до областей біполярного транзистора напруги розрізняють декілька режимів роботи:

- а) режим насичення – коли обидва, емітерний та колекторний, переходи зміщені в прямому напрямку;
- б) режим відсікання – коли обидва переходи зміщені в зворотному напрямку;
- в) активний нормальний режим – коли емітерний перехід зміщений в прямому напрямку, а колекторний – в зворотному;
- г) активний інверсний режим – коли колекторний перехід є прямо зміщеним, а емітерний – зворотно зміщеним.

Оскільки в режимі насичення на обидва $p-n$ переходи подається пряма напруга, транзистор знаходиться у відкритому стані. Це призводить до того, що відбувається інжекція з колектору в базу і не всі носії, які інжектуються з емітера і дійшли до колектору, перехоплюються ним. Умовно можна вважати, що на зустріч потоку неосновних носіїв, що йдуть з бази в колектор, йде потік таких самих носіїв з колектору в базу, а сумарний колекторний струм визначається різницею цих струмів.

Режим відсікання – на обох переходах зворотна напруга, а отже протікає малий зворотний струм, обумовлений процесами термогенерації носіїв в об'ємі напівпровідника, областях просторового заряду та на випрямних контактах, а також ефектами витікання.

Режими насичення та відсікання характерні для роботи транзистора в ролі перемикача або в імпульсному режимі.

Активний інверсний та активний нормальний режими є аналогічними, але мають різні параметри передачі струму та напруги через певні конструктивні особливості, які будуть розглянуті далі. Активний режим використовується при роботі транзистора в ролі підсилювача, або генератора.

Зазвичай використовується активний нормальний режим роботи (АНР), оскільки в емітерному переході зовнішня напруга U_{EB} діє в прямому напрямку, потенційний бар'єр для електронів (основних носіїв зарядів емітерного шару) зменшується (суцільна крива на рис. 2.2б), і електрони з емітера під дією дифузії будуть у великій кількості переходити (інжектувати) в область бази I_{En} . Аналогічно збільшиться і дифузійний потік дірок (основних носіїв заряду області бази) в емітер I_{Ep} . Тоді сумарний струм, який проходить через емітерний перехід становитиме:

$$I_E = I_{En} + I_{Ep}. \quad (2.1)$$

I_{Ep} замикається у вхідному колі через джерело U_{EB} та не використовується для створення колекторного струму I_C . Тому для отримання якісних емітерних переходів необхідно забезпечити виконання умови:

$$I_E \gg I_{Ep}. \quad (2.2)$$

Це досягається підвищенням концентрації (на 2-3 порядки) основних носіїв заряду в емітері (електронів) над концентрацією основних носіїв заряду в базі (дірок):

$$n_{n0} \gg p_{p0}. \quad (2.3)$$

Електрони, які опинилися у базі, під дією градієнта концентрації переміщуються до колекторного переходу. Електрони, що досягли зворотно зміщеного колекторного p - n переходу, дрейфують через перехід під дією його поля в область колектору, в наслідок чого утворюється колекторний струм I_C . Цей процес називається екстракцією електронів.

У базі відбувається рекомбінація деякої частини інжекттованих електронів з дірками (основними носіями бази), тож:

$$I_C = I_E - I_B. \quad (2.4)$$

Для зменшення втрати електронів у базі, необхідно, що її товщина W_B була значно менша за дифузійну довжину електронів (неосновних носіїв бази), тобто:

$$W \ll L_n. \quad (2.5)$$

За для екстракції більшої кількості електронів, площа колекторного переходу має бути більшою за площу емітерного переходу. Крім того, колектор має витримувати високі пробивні напруги, аби був можливим високий коефіцієнт підсилення за напругою, а отже і високий коефіцієнт підсилення за потужністю. Через це колектор має бути відносно слабо легованим N_{Dc} , (що забезпечить більшу ширину p - n переходу):

$$N_{DC} \ll N_{AB} \ll N_{DE}, \quad (2.6)$$

щоб що най менше електричне поле у збідненому шарі колекторного переходу від прикладеної зовнішньої напруги.

У *p-n-p* транзисторах функції всіх трьох шарів аналогічні, змінюється лише тип носіїв заряду, які проходять через базу (дірки для *p-n-p* транзистора).

2.1.2. Інтегральні біполярні транзистори

Основним технологічним методом створення інтегральних біполярних транзисторів є епітаксіально-дифузійний з ізоляцією елементів зворотно зміщеними *p-n* переходами. Завдяки використанню такого підходу досягаються умови (2.2, 2.3, 2.5, 2.6).

В ІМС застосовуються різні типи біполярних транзисторів: вертикальні *p-n-p*-типу (рис. 2.3а) та *n-p-n*-типу (рис. 2.3б); горизонтальний *p-n-p*-типу (рис. 2.4); композитні (об'єднанні *p-n-p* та *n-p-n* транзистори рис.2.5); багатомітерний (рис.2.6), або багатоклекторний.

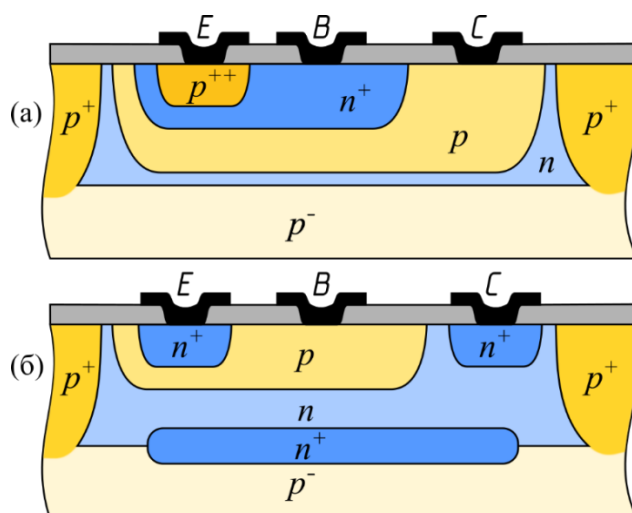


Рисунок 2.3 – Структури вертикальних інтегральних біполярних транзисторів: *p-n-p* (а) та *n-p-n* типу (б)

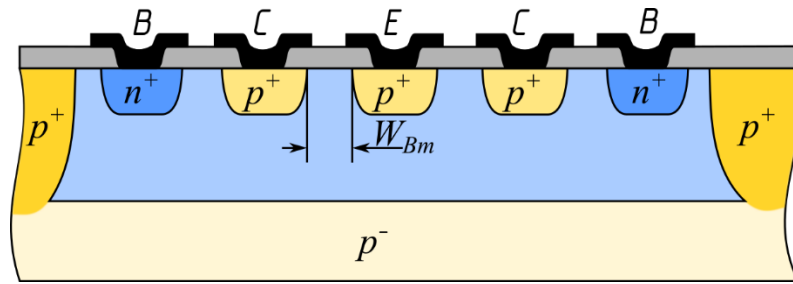


Рисунок 2.4 – Структура горизонтального інтегрального біполярних транзисторів p - n - p -типу

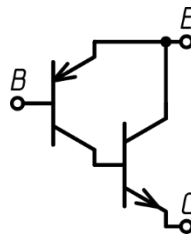


Рисунок 2.5 – Схема складеного біполярного транзистора

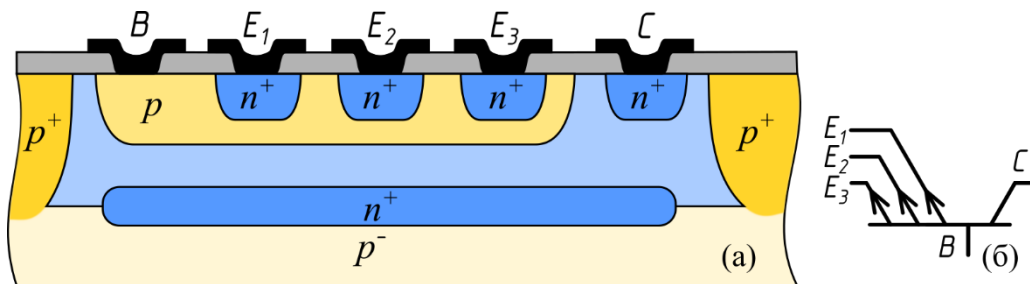


Рисунок 2.6 – Структура багатоемітненого інтегрального транзистора (а) та його позначення у схемі (б)

Розподіл домішок у шарах інтегрального транзистора з прихованим n^+ шаром наведено на рис. 2.7.

Рівномірний розподіл домішок в колекторі N_{DC} є позитивною рисою. Наявність n^+ -шара на межі колектору з підкладкою призводить до утворення внутрішнього гальмівного поля для неосновних носіїв колектору.

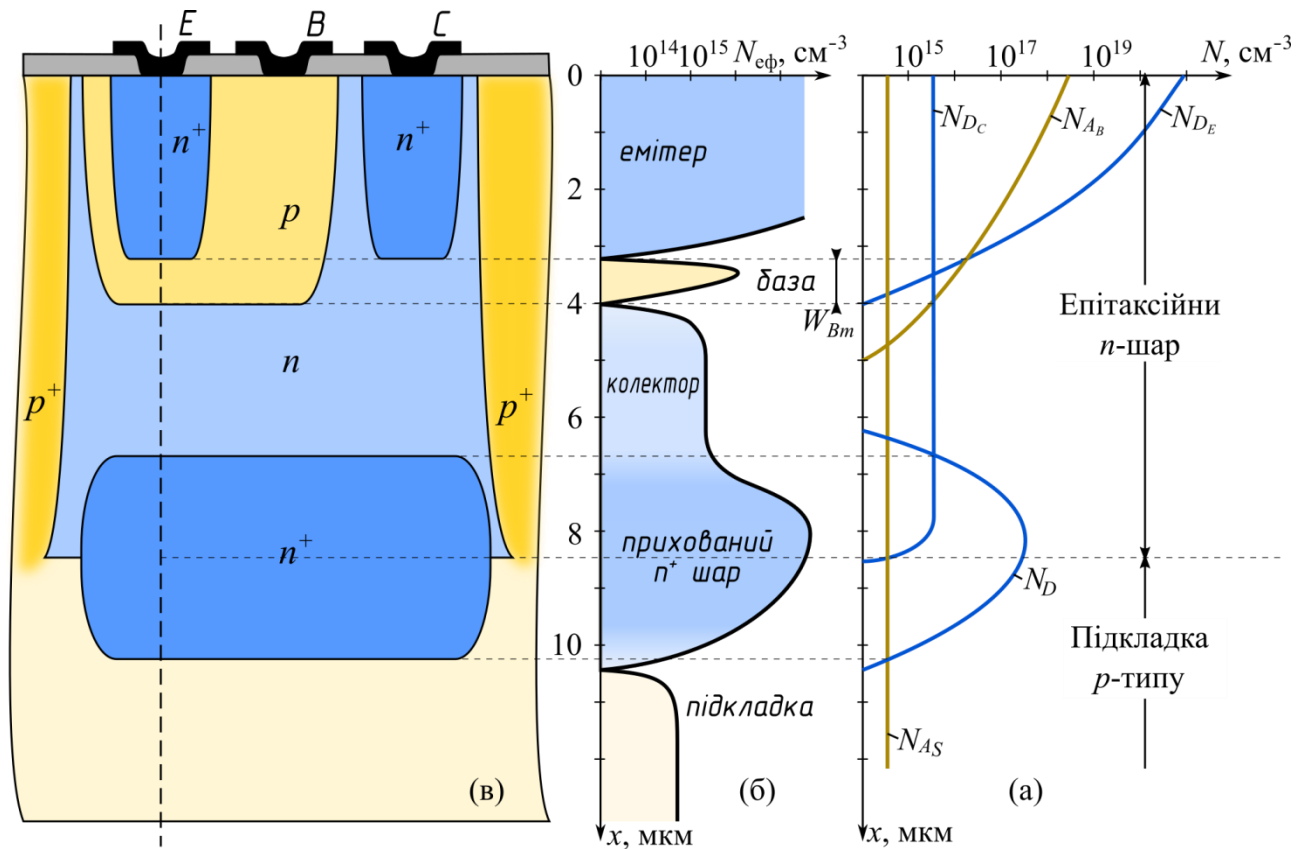


Рисунок 2.7 – Розподіл домішок (а) та їх ефективні значення (б) в інтегральному $n-p-n$ транзисторів наведеному на (в), вздовж пунктирної лінії

Поле, що виникає завдяки зсуву неосновних носіїв (електронів) у бік переходу база-колектор. Позитивний заряд заряджених донорів буде зосереджений біля межі колектор-підкладка, а від’ємний заряд електронів – всередині області колектору. Таке поле в області колектору підвищує швидкодію транзистора, в наслідок зменшення розсмоктування неосновних носіїв заряду, накопичених у колекторі.

В області бази також створюється градієнт концентрації домішок. У результаті цього відбувається дифузійний зсув дірок у бік колекторного переходу. Біля межі з емітерним переходом накопичується негативний заряд акцепторних домішок. У базі утворюється поле, що прискорює неосновні носії, тобто на дифузійне зміщення неосновних носіїв накладається дрейф в полі бази. Таким чином, інтегральні транзистори за родом роботи відносяться до дрейфових. Розподіл домішок у базі дрейфового і бездрейфового транзисторів представлено на рис. 2.8.

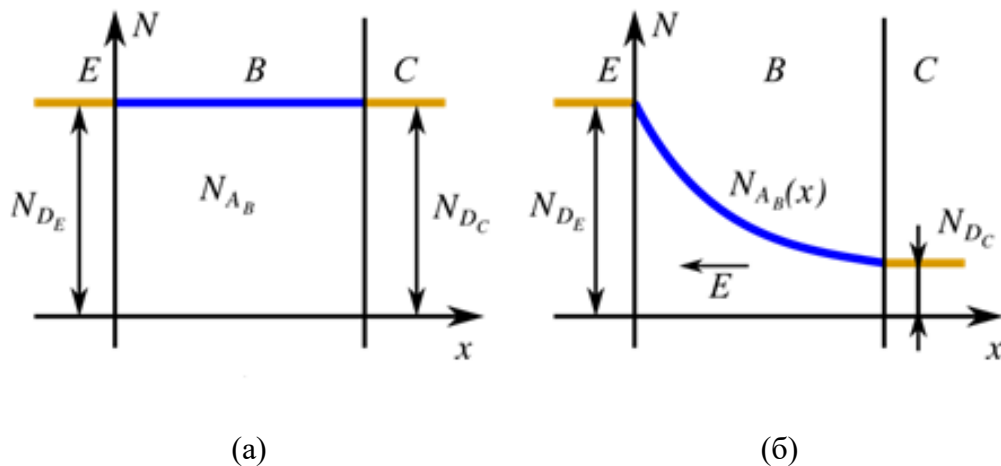


Рисунок 2.8 – Розподіл домішок у базі (а) без дрейфового та (б) дрейфового транзисторів

До бездрейфових відносяться лише горизонтальні $p-n-p$ транзистори внаслідок рівномірного розподілу концентрації домішок у базі, оскільки роль бази у такому транзисторі виконує епітаксійний шар.

2.1.3. Еквівалентна схема вертикального інтегрального транзистора

Біполярний інтегральний $n-p-n$ транзистор представляє собою чотиришарову $n-p-n-p$ структуру (рис. 2.3б). Наявність четвертої напівпровідникової області типу p (підкладки) супроводжується появою паразитних елементів в інтегральному транзисторі:

- а) Додаткового опору колектору r_C , пов'язаного з планарним розташуванням колекторного контакту;
- б) Паразитної ємності переходу колектор-підкладка C_{CS} .
- в) Додаткового паразитного транзистора $p-n-p$ -типу, емітером якого є база основного транзистора, базою – колектор, а колектором – підкладка.

Всі паразитні елементи враховуються еквівалентною схемою інтегрального транзистора рис. 2.9.

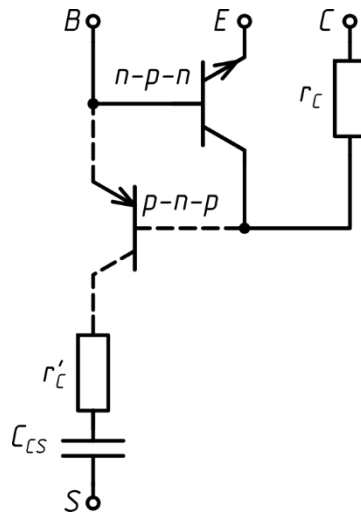


Рисунок 2.9 – Еквівалентна схема інтегрального $n-p-n$ -транзистора. Е (emitter) – емітер, В (base) – база, С (collector) – колектор, S (substrate) – підкладка

2.1.4. Схеми вмикання та статичні характеристики транзистора

Транзистор можна використовувати у трьох схемах під'єднання (рис. 2.10):

- а) Схема з загальною базою (ЗБ);
- б) Схема з загальним емітером (ЗЕ);
- в) Схема з загальним колектором (ЗК).

Кожна з цих схем має свої особливості, характеристики та параметри наведені в бали табл. 2.1.

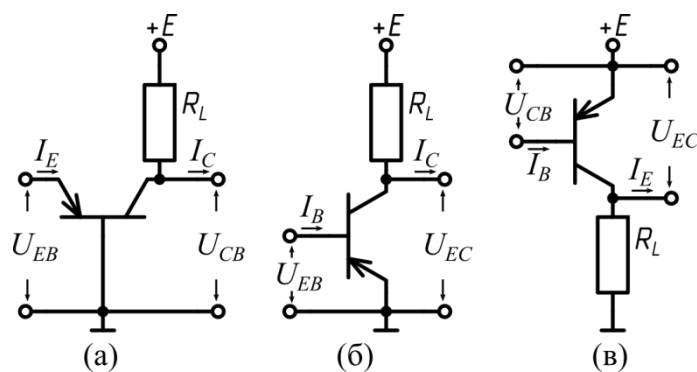
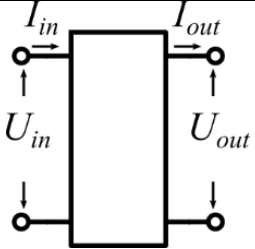
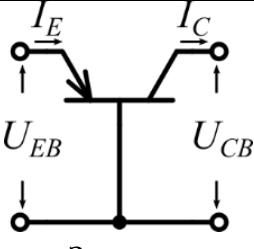
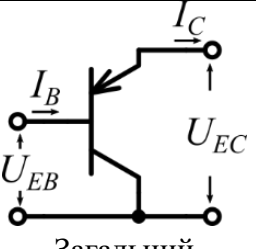
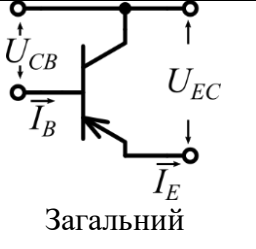


Рисунок 2.10 – Схеми під'єднання біполярного транзистора: (а) схема з загальною базою, (б) схема з загальним емітером, (в) схема з загальним колектором. Тут зліва знаходиться вхід схеми, справа – вихід, E – джерело живлення, R_L – навантажувальний резистор

Таблиця 2.1

Основні параметри схем під'єднання біполярного транзистора

				
1	I_{in}, U_{in}	I_E, U_{EB}	I_B, U_{EB}	I_B, U_{CB}
2	I_{out}, U_{out}	I_C, U_{CB}	I_C, U_{EC}	I_E, U_{EC}
3	Підсилення за струмом	20..200	<1 (0,95..0,995)	20..200
4	Підсилення за напругою	100..600	500..800	<1
5	Підсилення за потужністю	Велике	Середнє	Мале
6	Вхідний опір, кОм	0,5..2	0,05..0,2	20..100
7	Вихідний опір, кОм	10..50	100-1000	0,02..0,5
8	Типова сфера використання	Звичайний підсилювач	Узгодження імпедансу (від низького до високого)	Узгодження імпедансу (від високого до низького)

Електричні параметри цих схем під'єднання характеризуються в основному такими статичним характеристиками:

а) Вхідна вольт-амперна характеристика – показує залежність вхідного струму від вхідної напруги за сталої напруги на виході $I_{in}(U_{in})|_{U_{out}=\text{const}}$;

б) Вихідна вольт-амперна характеристика (ВАХ) – показує залежність вихідного струму від вихідної напруги за сталого вхідного струму $I_{out}(U_{out})|_{I_{in}=\text{const}}$;

в) Характеристика прямої передачі – показує залежність вихідного струму від вхідного за сталої вихідної напруги $I_{out}(I_{in})|_{U_{out}=\text{const}}$;

г) Характеристика зворотного зв'язку – показує залежність вхідної напруги від вихідної за сталого вхідного струму $U_{in}(U_{out})|_{I_{in}=\text{const}}$.

Залежно від схеми під'єднання вхідні та вихідні струми і напруги відрізняються (рядки 1-2 в табл. 2.1).

Схема з ЗБ має на вході контакт до емітера, а у на виході – до колектору, отже і у вихідному колі протікає емітерний струм I_E , а у вихідному – колекторний I_C , загальним електродом для входу та виходу є база, отже на вхідною є напруга емітер-база U_{EB} , а вихідною – колектор-база U_{CB} . Таке підключення транзистору дає можливість найбільш наглядно дослідити його фізичні властивості.

Схема з ЗЕ має базу на вході $I_{in} = I_B$ та колектор на виході $I_{out} = I_C$, а емітер відповідно є спільним для входу та виходу: $U_{in} = U_{EB}$, $U_{in} = U_{EC}$. Ця на практиці знаходить найбільше застосування.

У схемі ЗК, відповідно до назви загальним є колектор. Ця схема зазвичай використовується у ролі емітерного повторювача.

Основними характеристиками інтегрального транзистора в схемі з ЗЕ є вхідна $I_B(U_{EB})|_{U_{EC}=\text{const}}$ та вихідна $I_C(U_{EC})|_{I_B=\text{const}}$ характеристики, оскільки характеристика прямої передачі $I_C(I_E)|_{U_{EC}=\text{const}}$ та зворотного зв'язку $U_{EB}(U_{EC})|_{I_B=\text{const}}$ можуть бути побудовані за цими характеристиками. А саме: Характеристика прямої передачі може бути побудована за вимірними вихідними ВАХ, а зворотного зв'язку – за вхідними ВАХ.

Сімейство вхідних та вихідних статичних характеристик інтегрального транзистора, під'єданого за схемою з ЗЕ, представлено на рис. 2.11. Вимірювання таких вольт-амперних характеристик виконується за схемою рис. 2.12 та 2.13. В цій схемі амперметр A_1 та вольтметр V_1 застосовуються для вимірювання вхідних характеристик, а A_2 та V_2 – вихідних. Опори R_B і R_C слугують для обмеження струму у вхідному і вихідному, відповідно, колах транзистора.

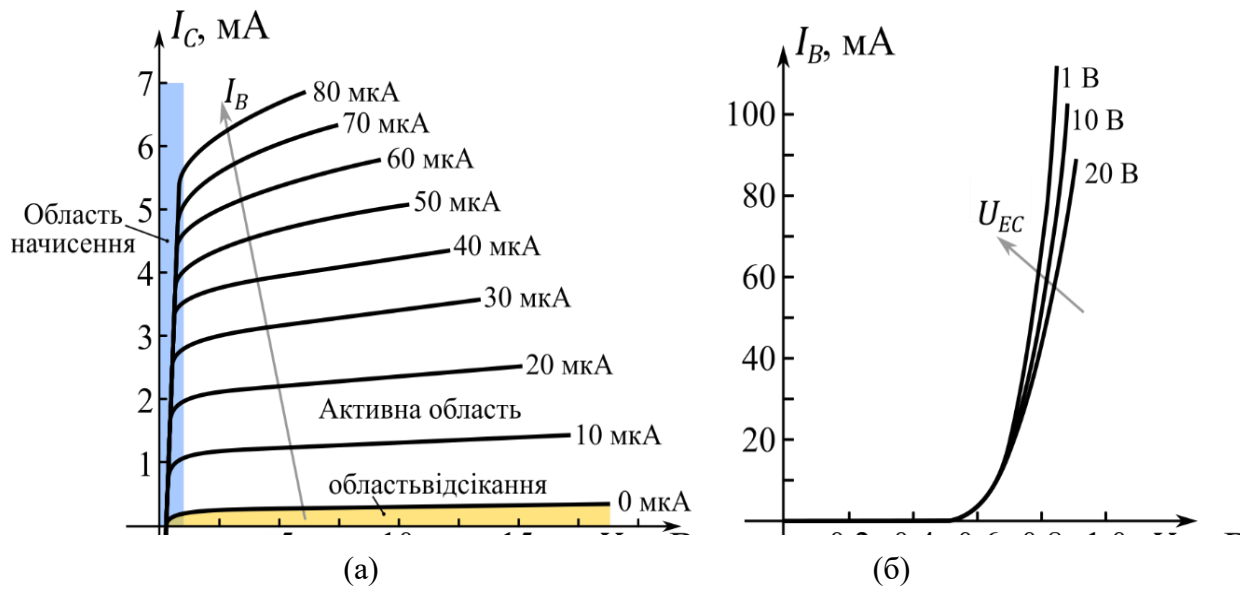


Рисунок 2.11 – Сімейства статичних вихідних (а) та вхідних (б) вольт-амперних характеристик інтегрального біполярного транзистора у схемі з загальним емітером

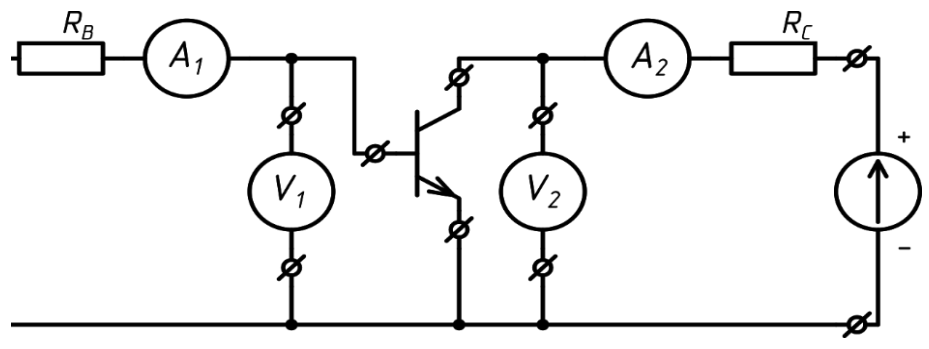


Рисунок 2.12 – Схема дослідження характеристик *n-p-n* транзистора.

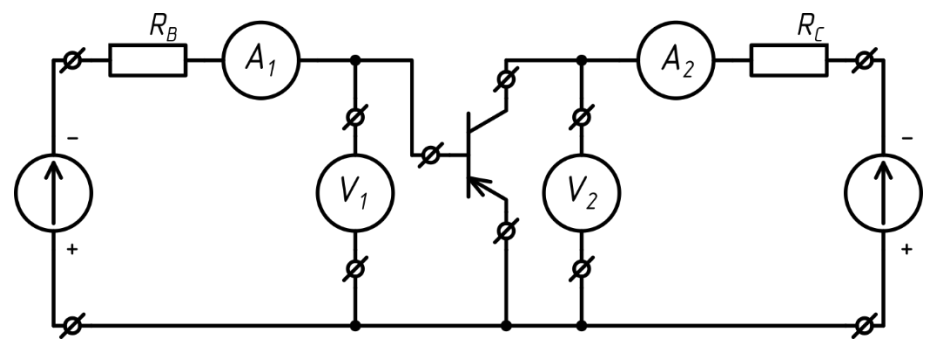


Рисунок 2.13 – Схема дослідження характеристик *p-n-p* транзистора

Струм бази є сумою зворотного струму колектору в схемі з ЗБ I_{C0} та рекомбінаційної складової, яка пропорційна струму емітера. Зсув вхідних статичних характеристик праворуч зі збільшенням (за абсолютним значенням) напруги на колекторі пов'язано зі зменшенням загальної кількості носіїв заряду

у балі, а отже, зі збільшенням кількості носіїв, які рекомбінують. Водночас зменшується складова струму бази, яка обумовлена рекомбінацією, за $U_{EB} = \text{const}$.

За відсутності струму бази та наявності напруги на колекторі, на базовому електроді існує напруга, яке пояснюється спадом напруги на опорі $p-n$ переходу емітера.

Загальний характер вихідних статичних характеристики аналогічний до характеру зворотної гілки ВАХ діода, оскільки напруга джерела живлення здебільшого спадає на $p-n$ переході колектору, який під'єднаний в зворотному напрямі.

Зсув вихідних статичних характеристики вгору пов'язаний зі збільшенням струму емітера, за умови постійної колекторної напруги в наслідок збільшенням струму бази.

За малого базового струму криві розміщуються густо, а за великих – рідше, а потім знову густіше. Нерівномірність розміщення характеристики пов'язано зі зміною коефіцієнту підсилення струму, зі зміною базового струму. Коли вихідна напруга дорівнює нулю $U_{EC} = 0$, напруга на колекторному переході дорівнює U_{EB} , тобто колекторний перехід є відкритим та інжектує електрони в базу.

Потік електронів через колекторний перехід (від колектору в базу та від емітера в колектор) взаємозрівноважується та струм $I_C \approx 0$ в області I. Зі збільшенням напруги U_{EC} пряма напруга на колекторному переході знижується, а отже зменшується і інжекція, в наслідок чого збільшується струм I_C . На межі з областю II пряма напруга спадає до нуля, а в області II на колекторний перехід діє зворотна напруга.

Колекторні (вихідні) характеристики транзистора в схемі з ЗЕ, записані в аналітичному вигляді мають вигляд:

$$I_C = \frac{\alpha}{1 - \alpha} I_B + \frac{U_{EC}}{r_{C(B)}(1 - \alpha)} + \frac{I_{C0}}{1 - \alpha} = \beta I_B + \frac{U_{EC}}{r_{C(E)}} + I_{C0(E)}, \quad (2.7)$$

де α та $\beta = \alpha / (1 - \alpha)$ – коефіцієнти підсилення струму у схемі з ЗБ та з ЗЕ, відповідно; $r_{C(E)} = r_{C(B)} / (1 + \beta)$ – опір колектора у схемі з ЗЕ, $I_{C0(E)} = I_{C0} (1 + \beta)$ – зворотній струм колектору у схемі з ЗЕ. Оскільки α – коефіцієнт, що характеризує кількість носіїв заряду, які дійшли від емітера до бази, то він лежить в межах одиниця, а саме $\alpha = 0,9..0,995$, тоді $\beta = 9..199$ та більше, тобто видно, що транзистор у схемі з ЗЕ забезпечує підсилення за струмом. Це є головною перевагою під'єднання транзистора за схемою з ЗЕ, чи зокрема і визначається більш широке застосування цієї схеми під'єднання в порівнянні зі ЗБ та ЗК.

Колекторні характеристики мають деякий нахил по відношенню до вісі абсцис (не є горизонтальними), це пов'язано з наявністю ефекту модуляції бази, який полягає у залежності довжини бази від напруги на колекторному переході, пов'язану з розширенням $p-n$ переходу зі збільшенням зворотної напруги на ньому.

2.1.5. Основні параметри транзистора

Основними статичними параметрами транзистора

- а) коефіцієнт інжекції γ ;
- б) коефіцієнт переносу через базу μ ;
- в) коефіцієнт підсилення струму у схемі з загальною базою α ;
- г) коефіцієнт підсилення струму у схемі з загальним емітером β ;
- д) гранична частота $f_{гр}$.

Одним з найважливіших параметрів емітерного переходу є так званий інтегральний коефіцієнт інжекції γ , який показує, яку частину від повного емітерного струму становить його діркова (для $p-n-p$ транзисторів) або електронна складова (для $n-p-n$ транзисторів):

$$\gamma_p = \frac{I_{Ep}}{I_{En} + I_{Ep}}, \quad (2.8)$$

$$\gamma_n = \frac{I_{En}}{I_{En} + I_{Ep}}. \quad (2.9)$$

Для визначення частки дірок, що дійшли з емітера в колектор, вводять інтегральний коефіцієнт переносу дірок в базі κ , що для $p-n-p$ транзистора дорівнює відношенню:

$$\kappa_p = \frac{I_{Cp}}{I_{Ep}}, \quad (2.10)$$

а для $n-p-n$ транзистора:

$$\kappa_p = \frac{I_{Cn}}{I_{En}}, \quad (2.11)$$

що для дрейфового транзистора можна переписати:

$$\kappa_p = 1 - \frac{1}{2} \left(\frac{W_B}{L_n} \right)^2, \quad (2.12)$$

де W_B – активна ширина бази.

Інтегральний коефіцієнт передачі струму в схемі із загальною базою, характеризує відношення основного струму колектору (I_{Cn} для $n-p-n$ транзистора або I_{Cp} для $p-n-p$ транзистора) до повного струму емітера I_E , та може бути представлений співвідношенням:

$$\alpha = \gamma \kappa, \quad (2.13)$$

Інтегральний коефіцієнт підсилення струму в схемі із загальним емітером, характеризує відношення основного струму колектору (I_{Cn} для $n-p-n$ транзистора або I_{Cp} для $p-n-p$ транзистора) до повного струму бази I_B .

Між собою коефіцієнти α та β зв'язані співвідношенням:

$$\beta = \frac{\alpha}{1 - \alpha}. \quad (2.14)$$

Аналогічно коефіцієнт підсилення струму у схемі з загальним колектором:

$$\beta_c = \frac{1}{1 - \alpha}. \quad (2.15)$$

На низьких частотах ($f < 1$ МГц) інтегральні коефіцієнти підсилення α та β співпадають з дифференційними. Однак зі збільшенням частоти змінного сигналу залежності $\alpha(f)$ та $\beta(f)$ плавно спадають. Частота, на якій значення модулю параметра зменшується в $\sqrt{2}$ разів, називається граничною.

На деякій характеристичній частоті f_t модуль β стає рівним одиниці: $|\beta(f_t)| = 1$. За частоти $f > f_t$ транзистор не дає підсилення за струмом. Частота f_t називається рубіжною частотою підсилення або частотою відсікання.

Експериментально встановлено, що частота f_t суттєво залежить від товщини бази та ємності емітерного та колекторного переходів.

Найбільш широко застосовується транзистор типу $n-p-n$, оскільки:

а) у $n-p-n$ структурі можна створити більш ефективний емітер (з більшим γ), оскільки у n -кремній, легovanому фосфором, можна створити високу концентрацію домішок за рахунок великого показника розчинності у фосфорі у кремнії (в порівнянні з бором);

б) неосновні носії (електрони) в p -базі транзистора мають більшу рухливість, ніж дірки, в наслідок цього скорочується час прольоту їх через баз, а отже збільшується швидкодія транзистора.

2.2. КОНТРОЛЬНІ ЗАПИТАННЯ

1. Принцип роботи біполярного транзистора.
2. Поняття інжекції та екстракції у біполярному транзисторі.
3. Нарисувати енергетичну діаграму інтегрального $n-p-n / n-p-n$ транзистора в рівноважному стані / активному нормальному режимі / режимі відсікання / режимі насичення / активному інверсному.
4. Основні види інтегральних біполярних транзисторів.
5. Особливості біполярних транзисторів в інтегральному виконання.

6. Технологічні особливості виготовлення біполярних транзисторів.
7. Розподіл домішок у областях вертикального інтегрального біполярного транзистора.
8. Порівняння дрейфових та бездрейфових біполярних транзисторів.
9. Який принци роботи вертикального біполярного транзистора?
10. Фізичні явища у реальному транзисторі.
11. Паразитні зв'язки інтегральних транзисторів.
12. Основні параметри біполярних транзисторів.
13. Способи під'єднання біполярного транзистора.
14. Режими роботи біполярного транзистора.
15. Основні статичні характеристики для схеми з ЗЕ.
16. Поняття коефіцієнту передачі у різних схемах під'єднання транзистора.

2.3. ЗАВДАННЯ

1. Отримати індивідуальне завдання у викладача.
2. За отриманими даними побудувати графічно сімейство вхідних характеристик інтегрального $n-p-n$ транзистора $I_B(U_{EB})|_{U_{EC}=\text{const}}$.
3. Побудувати графічно сімейство вихідних характеристик інтегрального $n-p-n$ транзистора $I_C(U_{EC})|_{I_B=\text{const}}$.
4. Побудувати графічно одну вхідну характеристику паразитного $p-n-p$ транзистора.
5. Побудувати графічно сімейство з 2..3 вихідних характеристик паразитного $p-n-p$ транзистора.
6. Визначити основні параметри біполярного інтегрального і паразитного до нього транзисторів:
 - коефіцієнти підсилення струму β , α ;
 - диференційні опори емітера r_E та колектора r_C для вибраної робочої точки $A(I_C, U_{EC})$;
 - висоту потенціального бар'єра колекторного та емітерного $p-n$ переходів φ_{0E} , φ_{0C} .

7. Проаналізувати отримані результати та пояснити їх зв'язок з конструктивними і технологічними параметрами приладу.
8. Сформулювати висновки за результатами роботи.

3. ДІОДНЕ ПІДКЛЮЧЕННЯ БІПОЛЯРНИХ ТРАНЗИСТОРІВ

Мета роботи: Вивчення властивостей еквівалентних діодів, які створюються різними схемами підключення в одному і тому ж біполярному інтегральному транзисторі.

3.1. ОСНОВНІ ТЕОРЕТИЧНІ ВІДОМОСТІ

Діоди широко застосовуються в напівпровідникових інтегральних схемах як для виконання основних логічних операцій у схемах логіки, так і для виконання операцій зсуву і фіксації напруги, прискорення процесів ввімкнення і вимкнення та ін.

В якості діода можна використовувати будь-який з двох переходів, розташованих в ізолюючій кишени: емітерній або колекторній. Можна також використовувати їх комбінації. Тому по суті інтегральний діод являє собою діодне підключення інтегрального транзистора.

П'ять можливих варіантів діодного підключення транзистора, з допомогою яких з однієї типової структури інтегрального транзистора виходить п'ять діодів з різними властивостями, показані на рис. 3.1.

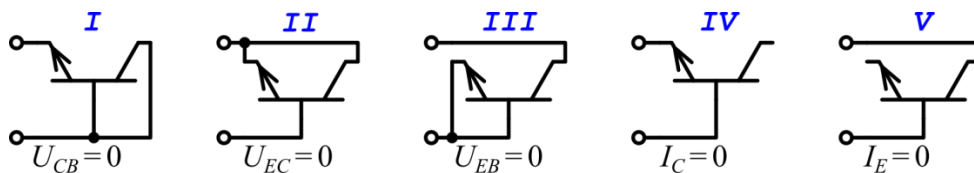


Рисунок 3.1 – Схеми діодного підключення біполярного транзистора

Характерною відмінністю інтегрального діода від дискретного аналога є наявність паразитної ємності та паразитного транзистора. Інтегральний діод по суті є трьохполюсним приладом, третім електродом якого є підкладка. З урахуванням сказаного, діоди рис. 3.1 можна представити еквівалентними схемами рис. 3.2.

Кожен з представлених варіантів має свої переваги та недоліки, які можна оцінити за параметрами діодів.

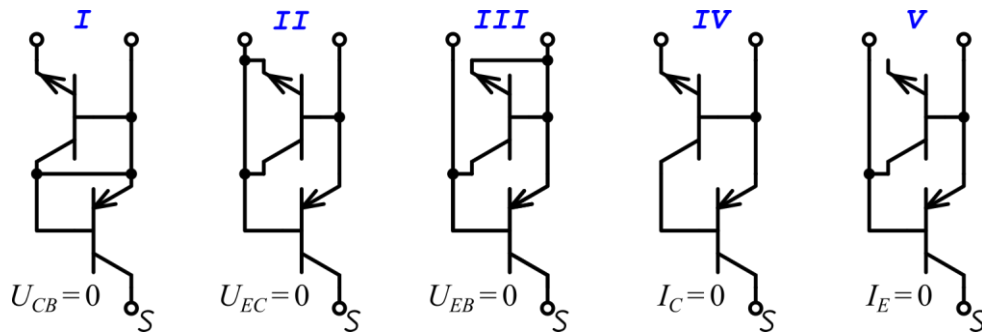


Рисунок 3.2 – Еквівалентна схема інтегральних діодів з урахуванням паразитного транзистора

Основними параметрами інтегрального діода є:

- пряма напруга U_F ;
- напруга пробією U_{br} ;
- зворотній струм U_R ;
- ємність діода C_D ;
- час відновлення зворотного струму t_r – час перемикання діода з відкритого стану в закритий;
- паразитна ємність C_p .

Спад прямої (англ. *forward*) напруги U_F за постійного прямого струму характеризує вольт-амперну характеристику діода:

$$U_F = \frac{k_B T}{q} \ln \left(\frac{I_F}{I_R} \right), \quad (3.1)$$

де k_B – стала Больцмана; T – температура; q – елементарний заряд; I_F і I_R – прямий та зворотний струми.

За малих струмів спад напруги на діодах визначається ідеалізованими характеристиками переходів, за великих струмів важливу роль відіграються також послідовні опори областей. Величина U_F не сильно відрізняється для всіх підключень рис. 3.1, мінімальна вона для випадку U_{CB} . Це пояснюється тим, що діод у цьому випадку працює як транзистор з замкнутим колекторним переходом. Електрони, які інжектуються емітером, переміщуються через базу, досягають колекторного переходу та вільно попадають в колектор. Отже, основна частина вхідного струму протікає через колектор і спад напруги на опорі бази буде значно менший, ніж у інших діодних структурах.

Напруга пробою (англ. *breakdown*) діодів U_{br} за зворотного зміщення визначається напругою пробою переходів. Оскільки по обидві сторони від кожного з переходів є достатньо велика різниця концентрацій, за зворотної напруги збіднені шари розширюють в основному в один бік. Пробій обумовлений лавинним множенням носіїв. Залежність напруги лавинного пробою $p-n$ переходу від концентрації домішок наведена на рис. 3.3. Напруга пробою для схем I, II та IV (рис. 3.1) відповідає напрузі пробою емітерного переходу, а для схем III та V (рис. 3.1) – напрузі пробою колекторного переходу.

Для тонкої бази U_{br} в деяких випадках обмежується «проколом» бази – це явище змикання колекторного та емітерного $p-n$ переходів в наслідок розширення їх в область бази на всю її ширину.

Зворотний (англ. *reverse*) струм I_R діода обумовлений генерацією носіїв заряду всередині збідненого шару:

$$I_R = q \cdot G \cdot l \cdot S, \quad (3.2)$$

де G – швидкість генерації носіїв заряду в $p-n$ переході; l та S – ширина та площа $p-n$ переходу.

I_R залежить від площі $p-n$ переходу, а отже менший для тих діодів де використовується емітерний перехід, оскільки він має найменшу площу.

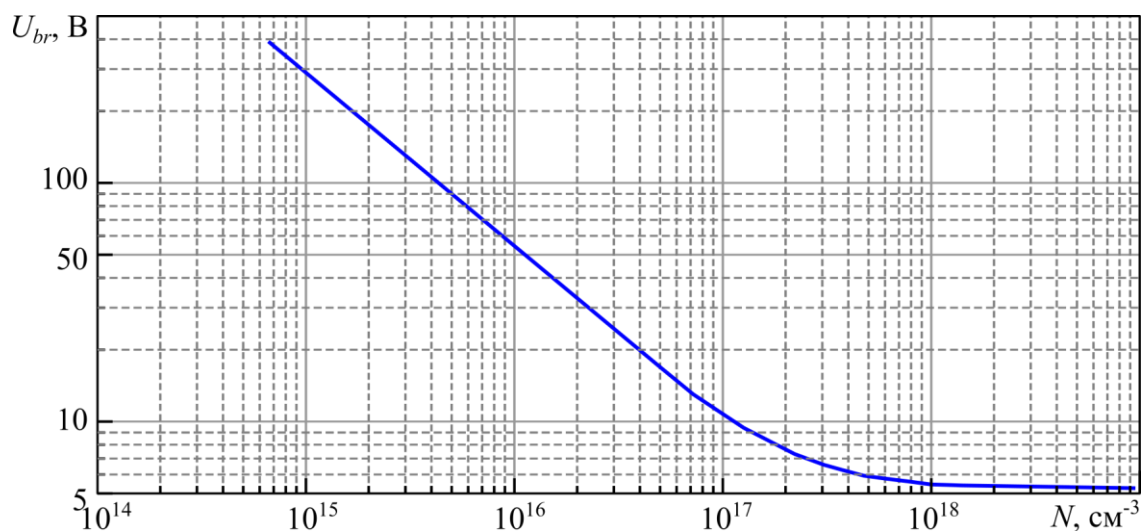


Рисунок 3.3 – Залежність напруги лавинного пробою кремнієвих східчастих $p-n$ переходів від концентрації домішок в слабелегованій області

Ємність діода C_D залежить від площі p - n переходів, які застосовуються, та від того як з'єднані переходи між собою (паралельно чи послідовно). Найбільша ємність спостерігається для паралельного їх з'єднання, тобто в схемі II (рис. 3.1). Якщо використовується один перехід, то ємність буде найменша, що відповідає схемі I (рис. 3.1).

Час відновлення (*англ. recovery*) зворотного струму t_r є найменшим у схемі I (рис. 3.1), оскільки у цього діода колекторний перехід закорочений, а отже заряд накопичується тільки у базовому шарі. У всіх інших схемах заряд накопичується не тільки в базі, а й у колекторі, тому для розсмоктування заряду потребується більший час.

Швидкодія напівпровідникової ІМС значною мірою визначається паразитною (*англ. parasitic*) ємністю елементів C_p , тому для кожної схеми необхідно знати значення цього параметру. На рис. 3.4 наведено ємності, які діють у схемах діодного підключення транзистора.

Будь-яка ємність, яка з'єднує будь-яку точку схеми з загальним виводом знижує швидкодію схеми, а отже є паразитною. Оскільки підкладка завжди під'єднана до найменшого потенціалу в схемі, то у всіх схемах присутня ємність p - n переходу колектор-підкладка C_{CS} . На рис. 3.4б наведено схеми еквівалентні до рис. 3.4а, де наведено значення паразитної ємності C_p та ємності діода C_D . Найбільшу паразитну ємність має діод III, а найменшу діод II.

При проектуванні напівпровідникових ІМС необхідно враховувати вплив паразитного p - n - p транзистора (рис. 3.2), який складається з бази, колектору та підкладки. В напівпровідниковій ІМС, в якій ізоляція реалізована за допомогою p - n переходів, підкладка з'єднана з найбільш від'ємним потенціалом схеми, колекторний перехід паразитного транзистора є зворотно зміщеним. Якщо до інтегрального діода прикласти пряму наругу, емітерний перехід паразитного транзистора теж без прямо зміщеним (окрім схеми II, в якій перехід емітер-база паразитного транзистора закорочені). Паразитний транзистор працює в режимі підсилення, тому частина струму, який протікає через діод, відгалужується у підкладку, тобто струм, який втікає в діод не дорівнює струму, який з нього витікає. Значення струму, який відгалужується залежить від коефіцієнта

передачі струму паразитного транзистора, який під'єднаний за схемою з загальним емітером.

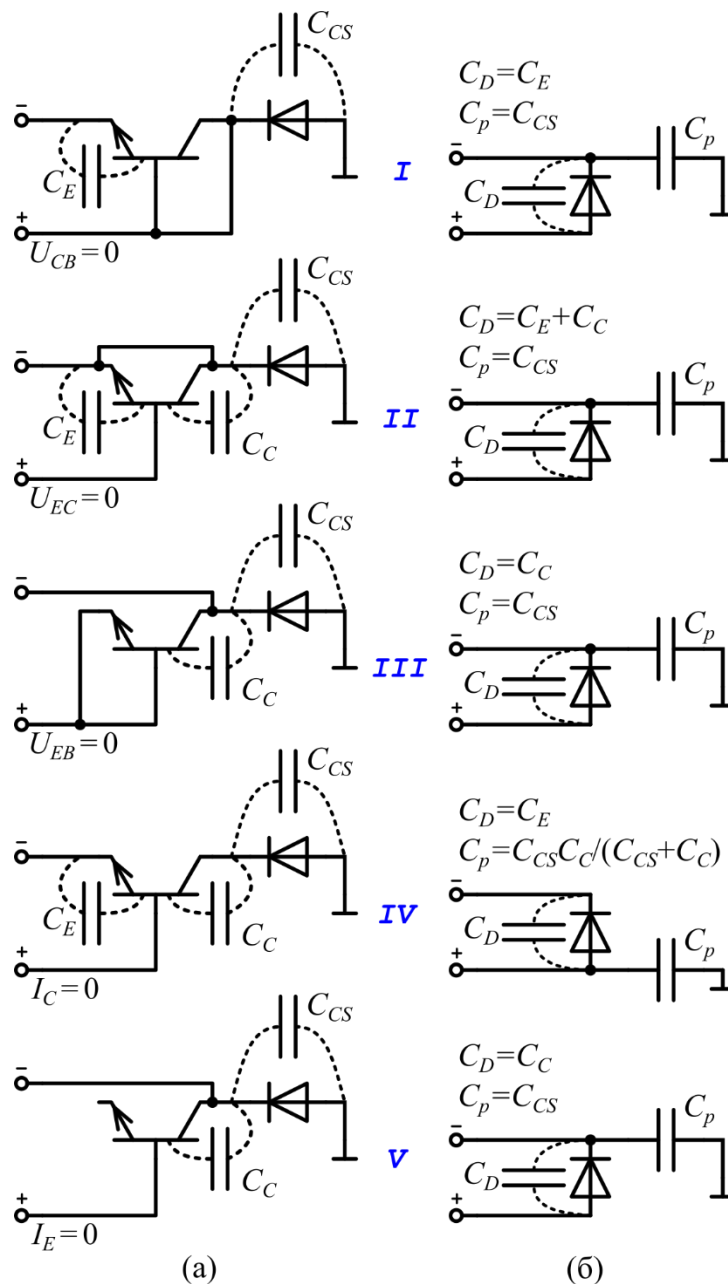


Рисунок 3.4 – Ємності для кожної доїдної схеми підключення транзистора

Коефіцієнт інжекції паразитного транзистора малий, тому значення коефіцієнта підсилення за струмом не перевищує 1-3. Усунення активних властивостей паразитного транзистора реалізується через легування золотом колекторної області *n-p-n* транзистора. Це супроводжується ризьким зменшення коефіцієнта перенесення носіїв через базу паразитного транзистора,

який стає близьким до нуля. Для легованих золотом структур коефіцієнт підсилення за струмом має порядок 0,01.

3.1.1. Способи експериментального визначення параметрів діода за ВАХ та ВФХ

Вимірювання прямої гілки вольт-амперної характеристики інтегрального діода зазвичай реалізується за схемою наведеною на рис. 3.5, за умови, що замість діода підключається біполярний транзистор у відповідному діодному включенні.

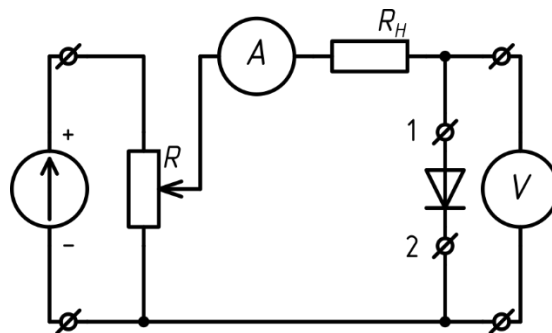


Рисунок 3.5 Схема дослідження прямої гілки ВАХ діода

Вимірювання зворотної гілки можна реалізувати за допомогою характерографа, тоді схема вимірювання буде дещо іншою (див. рис. 3.6), Аналогічно до схеми вимірювання прямої гілки ВАХ, замість діода підключається біполярний транзистор у відповідному діодному включенні.

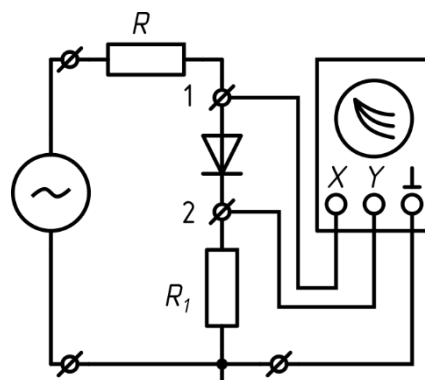


Рисунок 3.6 Схема для дослідження зворотної гілки ВАХ діода за допомогою характерографа

На основі вольт-амперної характеристики діода можна з певною точністю визначити (рис. 3.7а) контактну різницю потенціалів $\varphi_0 \approx U_F$ та опір бази $R_B = U_A/I_A$.

Вимірявши вольт-фарадну характеристику (ВФХ) можна також визначити контактну різницю потенціалів, побудувавши залежність $1/C^2 = f(U)$ (рис. 3.7б). Більш того, за ємнісними характеристиками, можна визначити концентрацію домішок в емітері діода:

$$C = S \sqrt{q \varepsilon_S \varepsilon_0 \frac{N}{2} (U + \varphi_0)}, \quad (3.3)$$

де S – площа p - n переходу, яка для емітерного переходу становить $S_E = 7,5 \cdot 10^{-6} \text{ см}^2$, а для колекторного $S_C = 1,5 \cdot 10^{-4} \text{ см}^2$, ε_S – ємність напівпровідника.

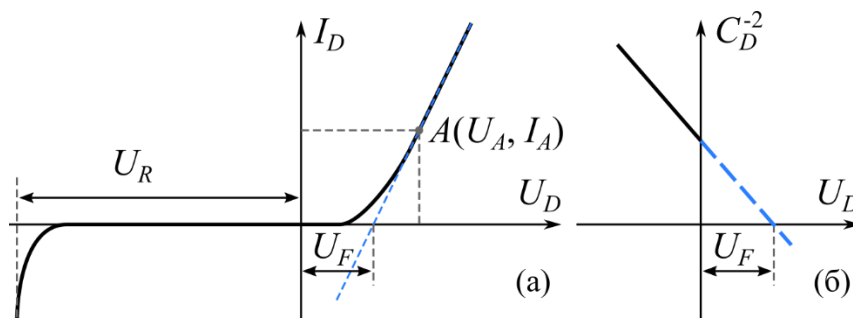


Рисунок 3.7 Визначення параметрів діода за його вольт-амперною (а) та вольт-фарадною (б) характеристиками

3.1.2. Деякі особливості схем діодних підключень

Кожна схема діодного підключення інтегрального транзистора має свої особливості від чого залежить розподіл носіїв в областях транзисторної структури (рис. 3.8), розглянемо їх детальніше.

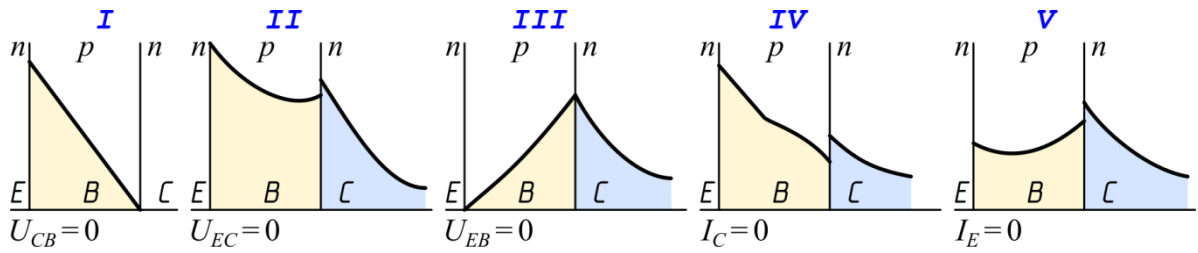


Рисунок 3.8 – Діаграми розподілу носіїв в областях транзистора

Підключення зі з'єднаними базою та колектором ($C_{CB} = 0$)

Струми носіїв пропорційні нахилу відповідних кривих розподілу, що визначається концентрацією інжекттованих носіїв (n та p) та глибиною їх дифузії:

$$n = n_p \exp\left(\frac{qU}{k_B T}\right), \quad (3.4)$$

$$p = p_n \exp\left(\frac{qU}{k_B T}\right), \quad (3.5)$$

де n_p та p_n – концентрації неосновних носіїв, відповідно, в p та n областях.

За прямого зміщення проходить струм, який переважно складається з неосновних носіїв, які інжекттовані в базу область. Оскільки концентрація домішок в емітері значно більше ніж у базі, а його розміри менші за розміри бази, то вважається, що накопичення носіїв відбувається здебільшого у базі. Час життя n_p великий тож можна припустити, що рівень рекомбінація неосновних носіїв у базі низький. В наслідок сказаного, розподіл неосновних носіїв у базі буде лінійним (див. рис. 3.8), а концентрація на межі переходу колектор-база майже рівноважна. Час відновлення зворотного струму діода t_r за цією схемою мінімальне, а $C_D = C_E$, і $C_p = C_{CS}$ (див. рис. 3.4б).

II. Підключення зі з'єднаними емітером і колектором ($C_{EC} = 0$)

Емітерний і колекторний переходи зміщені в прямому напрямі і інжектують електрони в базову область, а дірки в колекторну. В області бази концентрація неосновних носіїв, які інжектуються вище на межі емітерного

переходу (див. рис. 3.8). Час відновлення t_r за цією схемою виявляється максимальним, а $C_D = C_E + C_C$ і $C_p = C_{CS}$ (див. рис. 3.4б).

Діоди такого типу застосовуються в якості діодів з нагромадженням заряду.

III. Підключення зі з'єднаними емітером і базою ($C_{EB} = 0$)

В ролі діода використовується перехід база-колектор. За прямого зміщення інжекція дірок в колектор перевищує інжекцію електронів в базу. Час відновлення діода менший ніж в схемах I та II, а $C_D = C_E + C_C$ і $C_p = C_{CS}$ (див. рис. 3.4б).

IV. Підключення з розімкнутим колекторним переходом ($I_C = 0$)

Неосновні носії інжектуються в область бази за прямого зміщення емітерного переходу. В наслідок інжекції колекторний перехід набуває невеликого потенціалу, який зміщує його в прямому напрямі. Це призводить до появи дифузійного струму всередині бази, який рівний за величиною, але протилежний за напрямом до дрейфового струму неосновних носіїв, які проходять через колекторний перехід. В наслідок цього в базі та колекторі накопичуються неосновні носії. Час відновлення діода того ж порядку величини, що й у схемі III, а $C_D = C_E$ і $C_p = C_{CS}C_C/(C_{CS} + C)$ (див. рис. 3.4б).

Завдяки малій паразитній ємності дана схема має гарні імпульсні характеристики, які дають можливість застосовувати її у швидкодіючих схемах. Також застосовується у цифрових ІМС.

V. Підключення з розімкнутим емітерним переходом ($I_E = 0$)

За прямого зміщення діода перехід база-емітер зміщені в прямому напрямі. Завдяки інжекції з колектору в область бази емітерний перехід набуває невеликого потенціалу, який зміщує його в прямому напрямі. В область бази з емітера відбувається слабка інжекція. Час відновлення досить великий, через накопичення носіїв в області бази та колектору. $C_D = C_C$ і $C_p = C_{CS}$ (див. рис. 3.4б).

Діоди такого типу застосовуються в роді діодів загального призначення.

Деякі значення параметрів діодів, отриманих за різних схем підключення інтегральних транзисторів з питомим опором $\rho_v = 0,1 \text{ Ом} \cdot \text{см}$, наведені в табл.

Таблиця 3.1

Основні параметри напівпровідникових резисторів виготовлених за технологією біполярного $n-p-n$ транзистора.

Параметри	I ($U_{CB} = 0$)	II ($U_{EC} = 0$)	III ($U_{EB} = 0$)	IV ($I_C = 0$)	V ($I_E = 0$)
$U_F, \text{В}$	7	7	55	7	55
$t_r, \text{нс}$	9	100	53	56	85
$\beta (p-n-p)$	0	3	2	3	3
$C_D, \text{пФ}$	0,5	1,2	0,7	0,5	0,7
$C_p, \text{пФ}$	2,9	2,9	2,9	0,6	2,9

3.2. КОНТРОЛЬНІ ЗАПИТАННЯ

1. Що таке контактна різниця потенціалів на $p-n$ переході?
2. Як практично визначається контактна різниця потенціалів?
3. Чим визначається час відновлення діода?
4. Намалюйте еквівалентну схему для кожного варіанта діодного підключення.
5. Намалюйте розподіл заряду на емітерному та колекторному переходах.
6. В якій схемі час відновлення найменший / найбільший і чому?
7. Як залежить ємність $p-n$ переходу від прямого та зворотного зміщення?
8. Порівняйте схеми діодного підключення інтегрального біполярного транзистора між собою.

3.3. ЗАВДАННЯ

1. Отримати індивідуальне завдання у викладача.
2. За отриманими даними побудувати прямі гілки ВАХ наданих діодів, визначити тип діодного підключення біполярного транзистора.
3. За прямою гілкою ВАХ графічно (рис. 3.7а) визначити контактну різницю потенціалів $\varphi_0 \approx U_F$ та опір бази $R_B = U_A/I_A$ на малому струмі.

4. За рисунками з характерографа визначити максимальні зворотні напруги для кожного типу діода.

5. За залежністю ємності від напруги $1/C^2 = f(U)$ визначити контактну різницю потенціалів (рис. 3.7б) та порівняти з результатами п. 2.

6. Визначити концентрації домішок в емітері p - n переходу за формулою (3.3).

7. Побудувати залежність ширини просторового заряду від напруги $l(U)$, відповідно до формули ємності плоского конденсатора:

$$C(U) = \frac{\epsilon_S \epsilon_0}{l(U)}, \quad (3.6)$$

8. Проаналізувати отримані результати та пояснити їх зв'язок з конструктивними і технологічними параметрами приладу.

9. Сформулювати висновки за результатами роботи.

4. ІНТЕГРАЛЬНІ МДН-ТРАНЗИСТОРИ

Мета роботи: Вивчити основні характеристики і параметри МДН-транзистора.

4.1. ОСНОВНІ ТЕОРЕТИЧНІ ВІДОМОСТІ

4.1.1. Структура та принцип роботи МДН-транзистора

МДН-транзистори бувають двох типів: транзистори з вбудованим каналом та транзистори з індукованим каналом. У транзисторах з вбудованим каналом, провідний канал створюється технологічним способом. У транзисторах з індукованим каналом провідний канал утворюється в наслідок утворення інверсійного шару у поверхні напівпровідника під дією напруги на заслоні.

В залежності від типу провідності каналу МДН-транзистори поділяються на p -канальні та n -канальні.

На рис. 4.1 наведена структура МДН-транзистора з індукованим p -каналом, де S – витік (source), D – стік (drain), G – заслон (gate), B – підкладка (bulk), L – довжина каналу.

На межі діелектрик-напівпровідник є позитивний заряд поверхневих станів Q_{ss} .

Якщо до заслону прикладена від’ємна напруга, достатня для компенсації позитивного заряду в області збіднення напівпровідника Q_B , тоді у поверхні напівпровідника утворюється інверсійний шар з дірковою провідністю, який з’єднує області p^+ та утворює між ними провідний канал. Енергетична діаграма МДН-структури для цього випадку наведена на рис. 4.2б, а для рівноважного стану на рис. 4.2а. Напруга на заслоні, за якої утворюється інверсійний шар називається пороговою напругою U_T (Threshold Voltage).

За постійної напруги на заслоні U_{GS} залежність струму в каналі I_D від напруги на стоці U_{DS} називається вихідною характеристикою. Сімейство вихідних характеристик за різних напруга на заслоні наведено на рис. 4.3а.

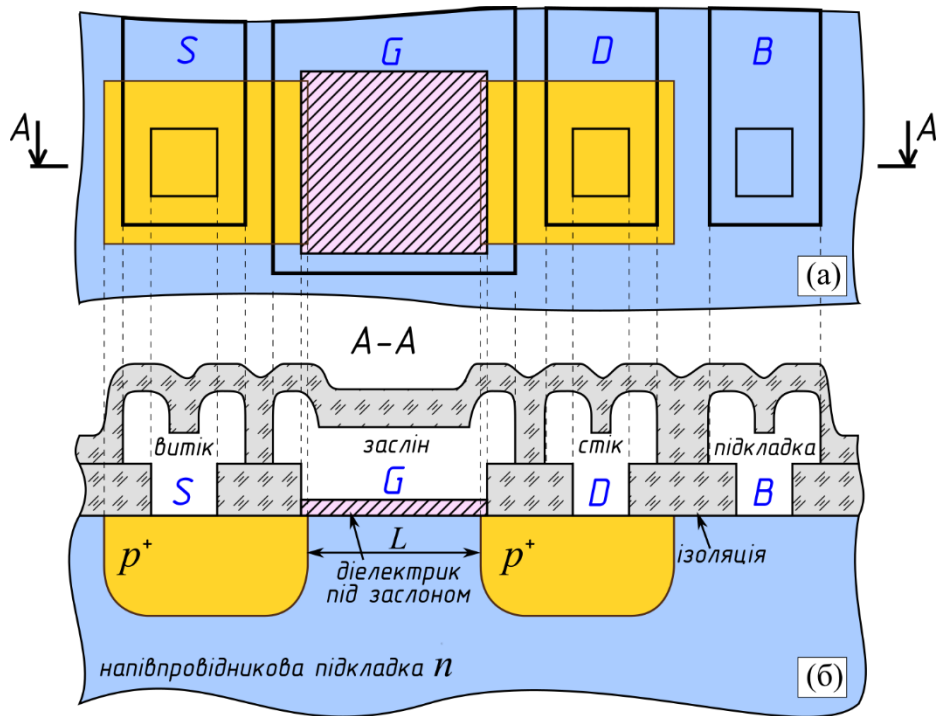


Рисунок 4.1 – Структура інтегрального МДН-транзистора з індукованим р-каналом:

(а) вигляд згори та (б) переріз А-А

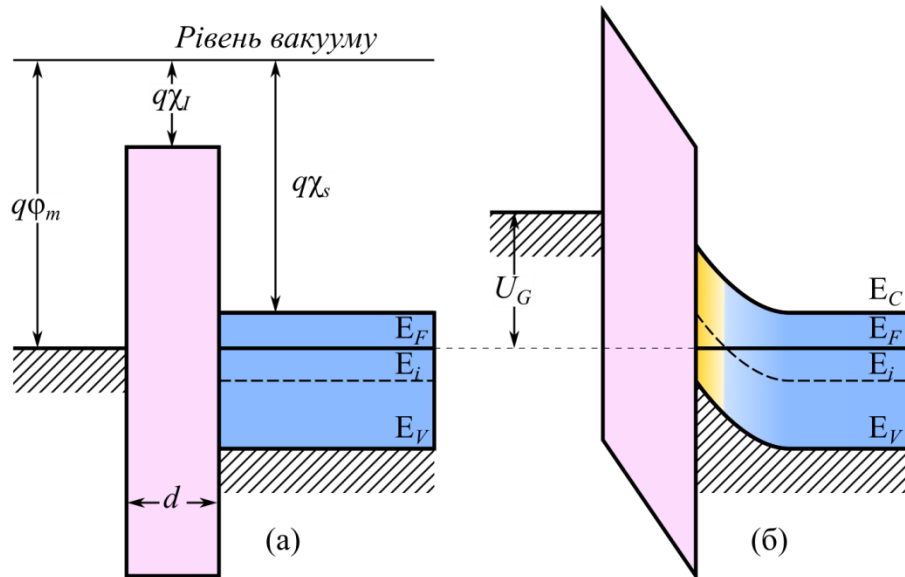


Рисунок 4.2 – Зона діаграма ідеалізованої МДН-структури (а) в рівноважному стані та (б) в момент утворення каналу

Момент переходу транзистора з крутої області в пологу, на сімейства вихідних характеристик, пов'язаний зі змиканням каналу в області стоку, обумовлений розширенням в області стоку збідненої області зі збільшенням від'ємної напруги на стоці [1].

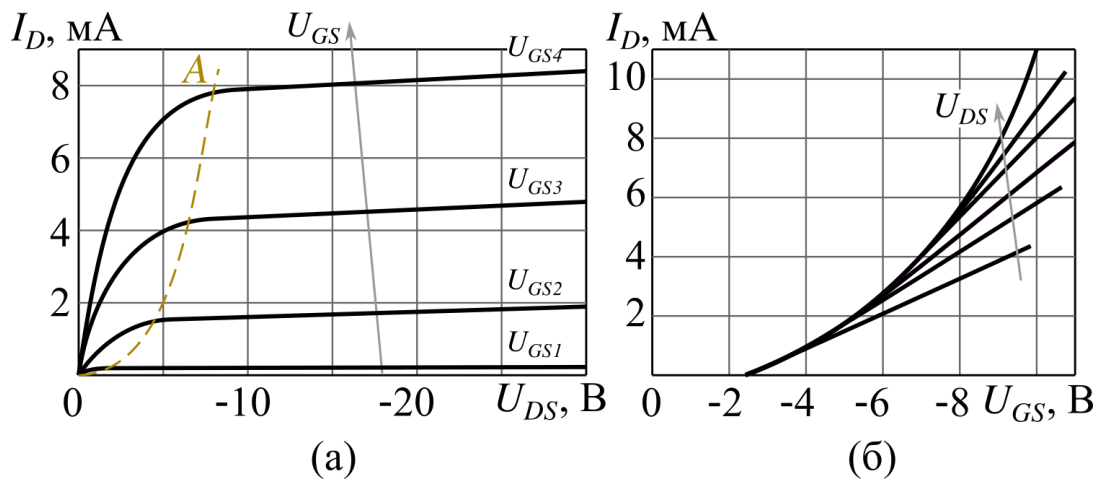


Рисунок 4.3 – (а) Вихідна та (б) передавальна вольт-амперні характеристики МДН-транзистора з індукованим p -каналом

За подальшого зростання напруги між стоком та витокom відбувається зменшення ефективної довжини каналу, а відповідно і збільшення $\beta = \mu_c Z/L$, та струму. Тому графік ВАХ на пологій ділянці має невеликий нахил відносно вісі напруг.

Провідність каналу з ростом від'ємної напруги на заслоні буде збільшуватися. За наявності постійної різниці потенціалів між витокom та стоком U_{DS} , струм в каналі I_D є функцією напруги на заслоні U_{GS} . Ця залежність струму від напруги на заслоні називається передавальною характеристикою транзистора. Сімейство передаточних характеристик за різних значень напруги на стоці представлено на рис. 4.3б. Передавальні характеристики можна побудувати за вихідними характеристиками, провівши вертикальні лінії, та визначивши координати (U_{GS}, I_D) перетину цієї лінії з вихідними характеристиками. Залишається побудувати ці координати на координатній площині $I_D(U_{GS})$.

Провідний канал транзистора ізолюваний від підкладки зворотно зміщеним p - n переходом. Додатна напруга на підкладці збільшує товщину шару об'ємного заряду та зменшує провідність каналу, тобто підкладка є другим заслоном. Залежність струму каналу від напруги на стоці за різних напруги на підкладці може бути представлена сімейством вихідних характеристики аналогічним до рис. 4.3а [1].

Аналітичний вираз для вихідних характеристик транзистора у крутій області (ділянка до кривої A на рис. 4.3а):

$$I_D = \frac{Z}{L} \mu c_I \left[(U_{GS} - U_T) U_{DS} - \frac{1}{2} U_{DS}^2 \right], \quad (4.1)$$

а для пологої ділянки вихідної характеристики (ділянка після кривої A на рис. 4.3а) за умови $|U_{DS}| \geq |U_{GS} - U_T|$:

$$I_D = \frac{Z}{2L} \mu c_I (U_{GS} - U_T)^2, \quad (4.2)$$

де Z та L – ширина та довжина каналу, відповідно; μ – рухливість носіїв заряду в каналі (дірок для p -канального транзистора); c_I – питома ємність заслону, яка залежить від товщини та діелектричної проникності ϵ_I діелектричної плівки під заслоном:

$$c_I = \frac{\epsilon_I \epsilon_0}{d}, \quad (4.3)$$

де d – товщина діелектричної плівки під заслоном.

Повна ємність заслону визначається його площиною:

$$C_I = c_I LZ = \frac{\epsilon_I \epsilon_0}{d} LZ. \quad (4.4)$$

4.1.2. Основні параметри МДН-транзистора

Порогова напруга

Порогова напруга – це напруга, за якої виникає струм в провідному каналі за наявності сильної інверсії біля поверхні напівпровідника. Порогова напруга визначається співвідношенням:

$$U_T = \varphi_{MS} + \varphi_B - \frac{Q_{SS} + Q_B}{C_I}, \quad (4.5)$$

де φ_{MS} - різниця робіт виходу між напівпровідником та металом; $\varphi_B = 2\varphi_F$ - висоту потенціального бар'єру, яка відповідає сильній інверсії; φ_F - потенціал рівня Фермі. Заряд поверхневих станів - це добуток щільності поверхневих станів на елементарний заряд $Q_{SS} = qN_{SS}$. Заряд в області збіднення визначається зі співвідношення:

$$Q_B = \sqrt{2qN\varepsilon_S\varepsilon_0(\varphi_B - U_{GS})}, \quad (4.6)$$

де N - концентрація домішок в підкладці.

Вплив напруги на підкладці у випадку, коли витік не під'єднаний до підкладки, зводиться до збільшення області збіднення між підкладкою та каналом. У цьому випадку необхідно збільшувати напругу на заслоні для створення провідного каналу. Таким чином порогова напруга транзистора збільшується на величину ΔU_T . На практиці, для розрахунку величини ΔU_T можна скористатися виразом:

$$\Delta U_T = \frac{1}{2}\sqrt{U_{SB}}, \quad (4.7)$$

де U_{SB} - напруга між витіком та підкладкою. Повна порогова напруга з урахуванням впливу підкладки:

$$U_T = U_{T0} + \Delta U_T, \quad (4.8)$$

де U_{T0} - порогова напруга для випадку, коли витік і підкладка з'єднані.

Крутизна

Крутизна МДН-транзистора S визначає зміну струму стоку I_D в наслідок зміни напруги на заслоні U_{GS} за сталої напруги на стоці U_{DS} :

$$S = \left. \frac{dI_D}{dU_{GS}} \right|_{U_{DS}=\text{const}}, \quad (4.9)$$

Крутизна може бути визначена графічно за сімейством вихідних вольт-амперних характеристик. Для цього на двох вихідних характеристиках (які мають відповідно різні напруги на заслоні U_{GS1} та U_{GS2}) за одної U_{DS} визначається значення струму (I_{D1} та I_{D2}), тоді крутизна дорівнює:

$$S = \frac{I_{D2} - I_{D1}}{U_{GS2} - U_{GS1}}. \quad (4.10)$$

Крутизну також можна визначити з рівняння струму в крутій (4.1):

$$S = \beta U_{DS}, \quad (4.11)$$

та пологій (4.2) області ВАХ:

$$S = \beta(U_{GS} - U_T), \quad (4.12)$$

де $\beta = \mu C_I Z/L$. Знак «мінус» обумовлений тим, що дірковий струм в p -каналі є від'ємним.

Динамічний опір стік-витік

Динамічний опір між стоком та витіком визначається з вихідної характеристики за співвідношенням:

$$r_{DS} = \left. \frac{dU_{DS}}{dI_D} \right|_{U_{GS}=\text{const}}. \quad (4.13)$$

Графічно r_{DS} можна визначити за нахилом пологої області вихідної характеристики, обравши на ній дві точки з координатами (U_{DS1}, I_{D1}) та (U_{DS2}, I_{D2}) , тоді:

$$r_{DS} = \frac{U_{DS2} - U_{DS1}}{I_{D2} - I_{D1}}. \quad (4.14)$$

Величина r_{DS} може приймати значення від 10 до 500 кОм.

За малих значень U_{DS} можна визначити динамічний опір каналу транзистора, який працює у крутій області характеристики:

$$r_{DS} = \frac{1}{\beta(U_{GS} - U_T)}. \quad (4.15)$$

Малосигнальні параметри

Малосигнальним параметром в пологій області вихідної характеристики є коефіцієнт підсилення за напругою K_U , який визначає зміну напруги на витоку U_{DS} в наслідок зміни напруги на заслоні U_{GS} за постійного струму стоку I_D :

$$K_U = \left. \frac{dU_{DS}}{dU_{GS}} \right|_{I_D = \text{const}}. \quad (4.16)$$

Зв'язок між коефіцієнтом підсилення, опором стік-витік та крутизною може бути представлена співвідношенням:

$$K_U = S \cdot r_{DS}. \quad (4.17)$$

Малосигнальна еквівалентна схема МДН-транзистора наведена на рис. 4.4. Ємності МДН-транзистора відносяться до його основних параметрів. Ємності транзистора пов'язані з накопиченням заряду на електроді заслону і в провідному каналі, тому значення ємностей залежать ввід напруги, оскільки зміна напруги призводить до зміни розподілу заряду на заслоні та в каналі.

Всі складові ємності поділяються на дві групи: власні ємності МДН-транзистора та паразитні ємності. До паразитних ємностей відносять ємності: заслін-витік C_{GS} ; заслін-стік C_{GD} ; p - n переходу витік-підкладка C_{SB} ;

p - n переходу стік-підкладка C_{DB} . Ємності C_{SB} і C_{DB} – це бар’єрні ємності зворотно-зміщених p - n переходів, тому їх величини становить близько 150 пФ/мм². Ємності C_{GS} і C_{GD} пов’язані з перекриттям заслоном областей стоку та виток і їх величина становить близько 310 пФ/мм².

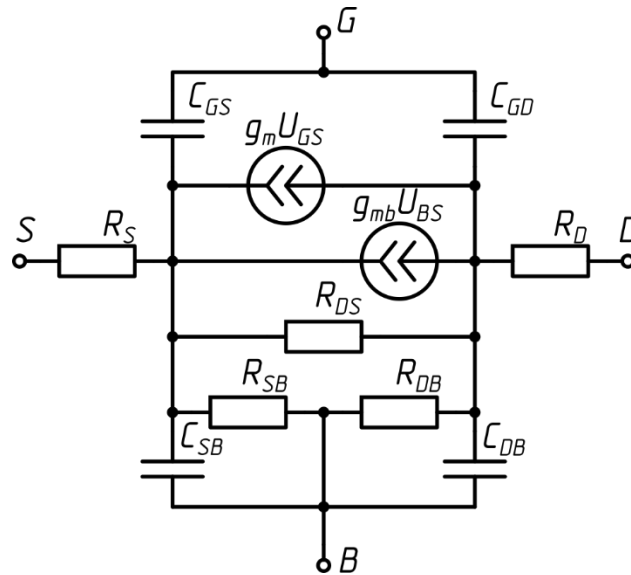


Рисунок 4.4 – Малосигнальна схема МДН-транзистора

Власними є ємність між заслоном та підкладкою в області каналу, так звана ємність заслону C_I (4.4) та ємність ОПЗ, що відділяє канал від підкладки C_{sc} . Розташування ємності в структурі транзистора наведено на рис. 4.5.

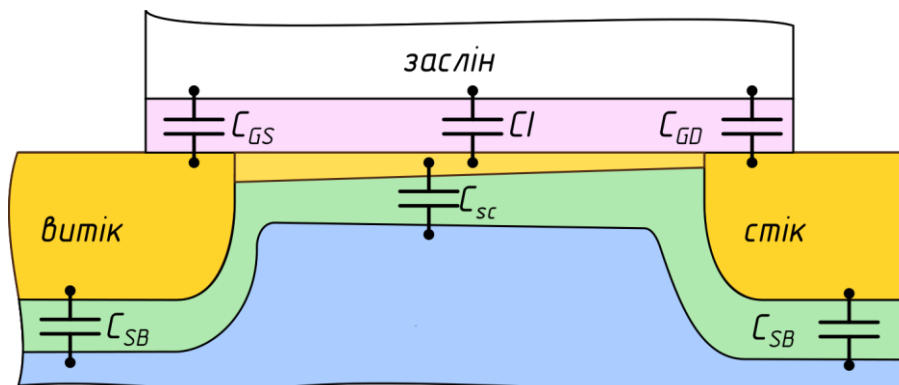


Рисунок 4.5 – Паразитні ємності МДН-транзистора

Швидкодія

Інерційність МДН-транзистора по відношенню до швидкої зміни керуючої напруги U_{GS} обумовлена двома факторами: перезарядом ємності заслону C_I та перезарядом міжелектродних ємностей.

Коло заслону можна представити як розподілене RC -коло, де $C = C_I$, а $R = R_0$ – опір канал:

$$R_0 = \frac{1}{\beta(U_{GS} - U_T)}. \quad (4.18)$$

Зарядження RC -кола описується експоненціальною залежністю.

Частотна залежність крутизни:

$$S(\omega) = \frac{S}{1 + j \frac{\omega}{\omega_S}}, \quad (4.19)$$

де $\omega_S = 2\pi f = 1/\tau_S$ – гранична частота, при якій крутизна зменшується в $\sqrt{2}$ раз. Стала часу крутизни визначається співвідношенням:

$$\tau_S = C_I R_0 = \frac{L^2}{\mu(U_{GS} - U_T)}. \quad (4.20)$$

4.2. КОНТРОЛЬНІ ЗАПИТАННЯ

1. Пояснити вплив напруги на заслоні на роботу МДН-транзистора.
2. Що таке порогова напруга?
3. Як впливає напруга на заслоні на вихідні характеристики МДН-транзистора?
4. Як впливає напруга на підкладці на вихідні характеристики МДН-транзистора?
5. Яким явищем пояснюється перехід вихідних характеристик в полого область?

6. Нарисувати енергетичну діаграма МДН-транзистора за напруги, яка відповідає початку інверсії.
7. Напишіть вирази для крутизни в різних режимах роботи МДН-транзистора
8. Описати паразитні ємності МДН-транзистора.
9. Як підвищити частотні межі МДН-транзистора?
10. В яких режимах роботи МДН-транзистора його можна застосовувати в якості лінійного резистора?

4.3. ЗАВДАННЯ

1. Отримати індивідуальне завдання у викладача.
2. За наданими викладачем даними побудувати сімейство вихідних характеристик $I_D(U_{DS})|_{U_{GS}=\text{const}}$ інтегрального МДН-транзистора.
3. За наданими викладачем даними побудувати сімейство характеристик передачі $I_D(U_{GS})|_{U_{DS}=\text{const}}$ інтегрального МДН-транзистора.
4. Побудувати графіки залежності $\sqrt{I_D(U_{GS})}$ у пологій області вихідних характеристик та визначити графічно порогову напругу МДН-транзистора.
5. Визначити крутизну, динамічний опір стоку, коефіцієнт підсилення напруги за малої напруги U_{DS1} (в крутій області вихідних характеристик: S_1, r_{DS1}, K_{U1}) та за великої напруги U_{DS2} (в пологій області: S_2, r_{DS2}, K_{U2}).
6. Побудувати залежності $S(U_{GS} - U_T)$ та $r_{DS}(U_{GS})$.
7. Запропонуйте заходи щодо підвищення граничної частоти, зниження порогової напруги та зменшення паразитних ємностей інтегрального МДН-транзистора.
8. Проаналізувати отримані результати та пояснити їх зв'язок з конструктивними і технологічними параметрами приладу.
9. Сформулювати висновки за результатами роботи.

Приклад та рекомендації щодо виконання індивідуального завдання

В таблицях 4.1. та 4.2. наведені приклади залежності значень струму стоку від напруги на стоці за сталої напруги на заслоні МДН-транзистора та

залежності значень струму стоку від напруги на заслоні за сталої напруги на стоці МДН-транзистора.

Таблиця 4.1

Дані залежності струму стоку від напруги на стоці за сталої напруги на заслоні МДН-транзистора.

$U_{GS} = 4 \text{ В}$		$U_{GS} = 5 \text{ В}$		$U_{GS} = 6 \text{ В}$	
$U_{DS}, \text{ В}$	$I_D, \text{ мА}$	$U_{DS}, \text{ В}$	$I_D, \text{ мА}$	$U_{DS}, \text{ В}$	$I_D, \text{ мА}$
0,06	0,15	0,06	0,25	0,06	0,56
0,36	0,75	0,3	1,7	0,24	2,3
0,54	0,97	0,54	2,8	0,3	2,7
0,9	1,2	0,96	4,2	0,48	4,2
1,5	1,3	1,6	5,1	0,66	5,5
3	1,35	3	5,7	0,84	6,6
7	1,4	5	5,9	1,1	8
10	1,4	7	6		

Таблиця 4.2

Дані залежності струму стоку від напруги на заслоні за сталої напруги на стоці МДН-транзистора

$U_{DS} = 0,3 \text{ В}$		$U_{DS} = 0,6 \text{ В}$		$U_{DS} = 1,2 \text{ В}$	
$U_{GS}, \text{ В}$	$I_c, \text{ мА}$	$U_{GS}, \text{ В}$	$I_c, \text{ мА}$	$U_{GS}, \text{ В}$	$I_c, \text{ мА}$
3,4	0,08	3,5	0,2	3,4	0,1
3,5	0,18	3,6	0,4	3,5	0,2
3,6	0,32	3,7	0,6	3,6	0,4
3,7	0,45	3,8	0,8	3,7	0,7
3,8	0,56	3,9	1	3,9	1,3
4,1	0,9	4,2	1,67	4,1	2
4,5	1,3	4,7	2,7	4,4	3,2
5	1,8	5,5	4,4	4,8	4,9
5,7	2,5	6	5,4	5,2	6,5
6,6	3,3	6,6	6,5	5,8	8,9

За даними табл. 4.1 побудувати сімейство вихідних характеристик. Для подальших розрахунків доцільно побудувати вихідні характеристики на всьому діапазоні напруги (рис. 4.6) і для крутої ділянки (рис. 4.7) окремо.

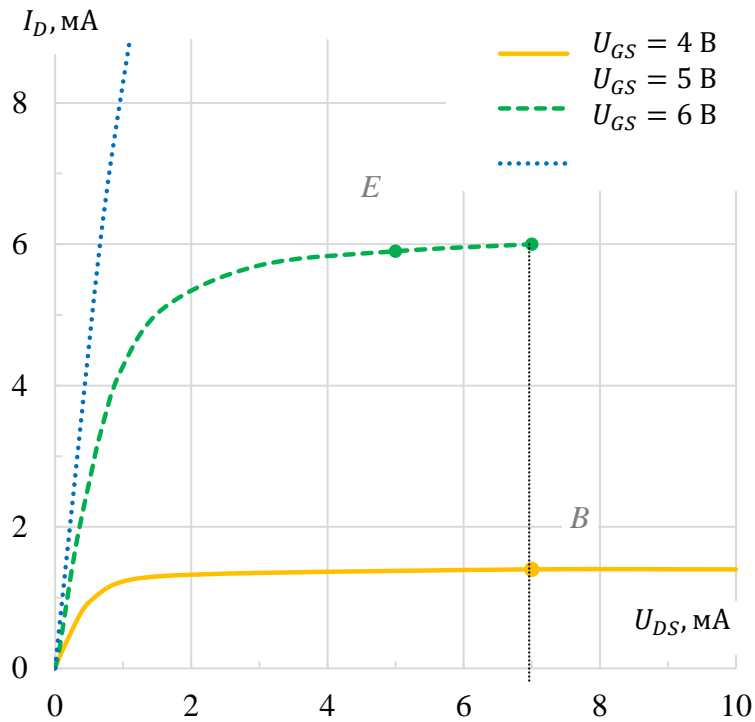


Рисунок 4.6 – Сімейство вихідних ВАХ МДН-транзистора на всьому діапазоні напруги.

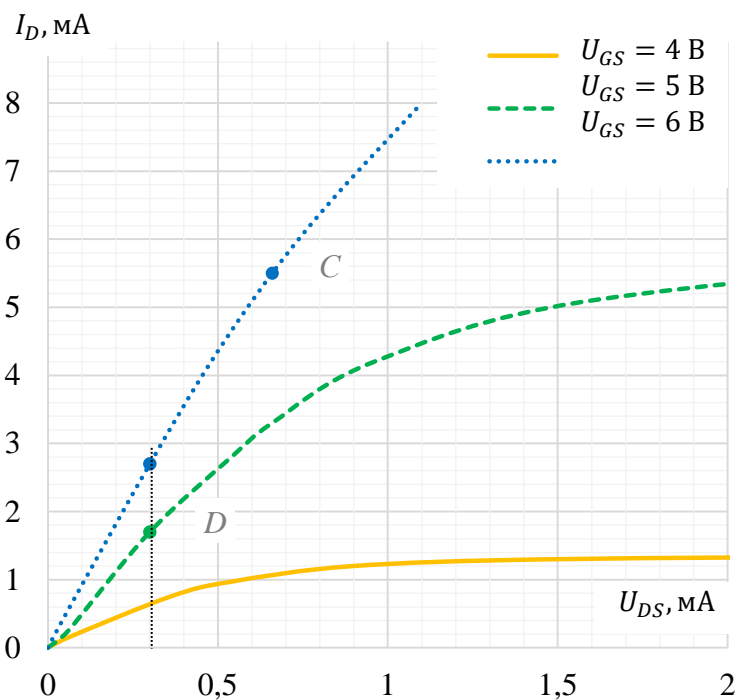


Рисунок 4.7 – Сімейство вихідних ВАХ МДН-транзистора в крутій області характеристики.

Визначення порогової напруги

За даними табл. 4.2 побудувати сімейство характеристик передачі (рис. 4.8). Оскільки струм стоку має квадратичну залежність від напруги на

заслоні в пологій області вихідної характеристики (4.2), то корінь матиме лінійну залежність від напруги:

$$\sqrt{I_D} = \sqrt{\frac{Z}{2L}} \mu c_I \cdot (U_{GS} - U_T). \quad (4.21)$$

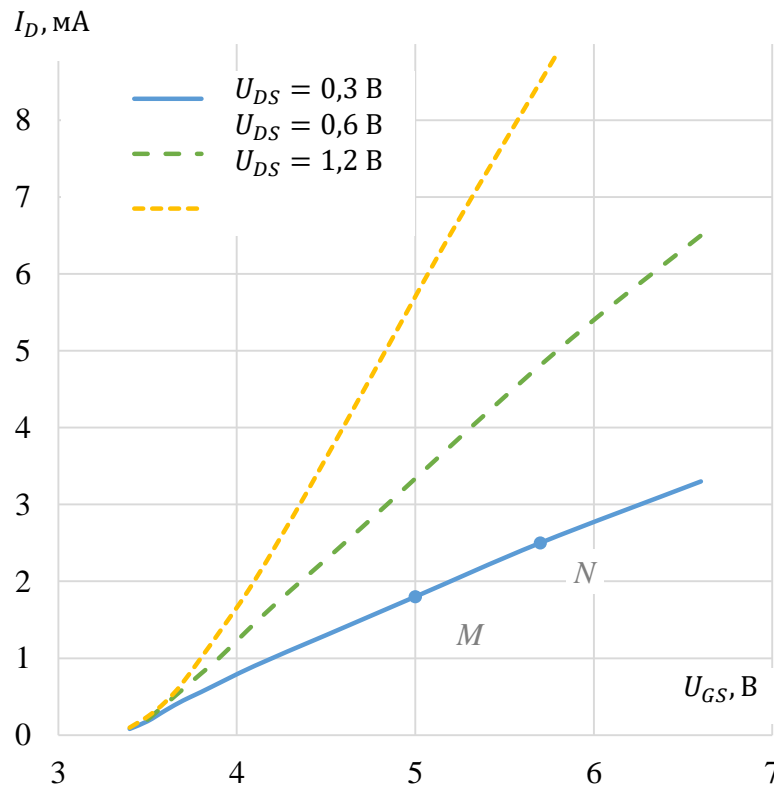


Рисунок 4.8 – Сімейство передавальних характеристики МДН-залежності

На рис. 4.9 наведено приклад залежності $\sqrt{I_D}(U_{GS})$ для найбільшої напруги на заслоні. Провівши пряму до перетину з віссю напруги ($\sqrt{I_D} = 0$) згідно з (4.21) отримаємо $U_{GS} = U_T$.

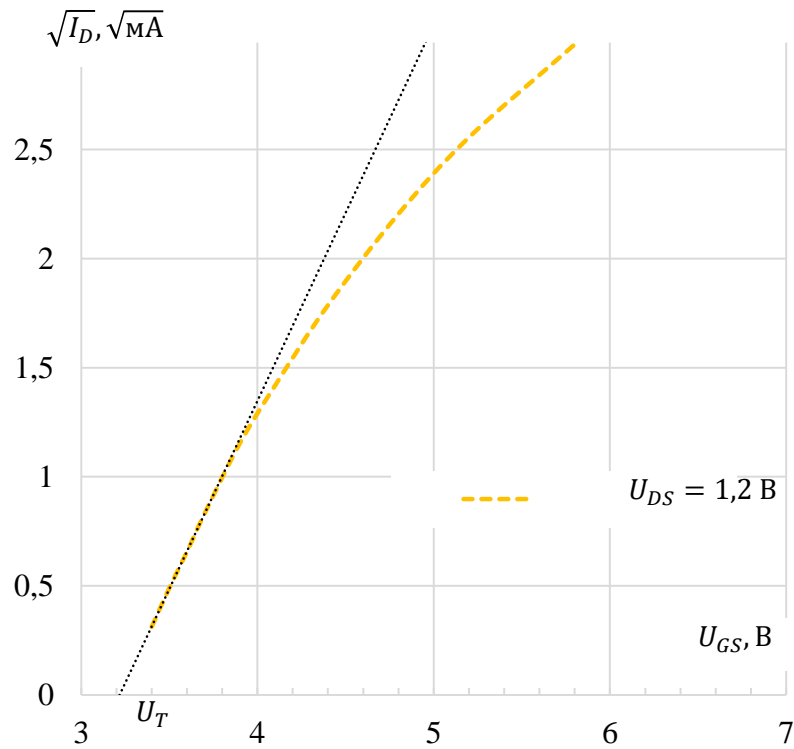


Рисунок 4.9 – Сімейство характеристики $\sqrt{I_D}(U_{GS})$

Визначення крутизни, динамічного опору та коефіцієнту підсилення

Згідно з визначення крутизни (4.10), скориставшись формулою (4.11) знайдемо з графіку її значення. Для цього виберемо по 2 пари точок для полого та крутої ділянок вихідної характеристики (див. точки .A, .B та C, .D на рис. 4.6):

$$S_1 = \left. \frac{I_{DC} - I_{DD}}{U_{GS_C} - U_{GS_D}} \right|_{U_{DS}=\text{const}} = \left. \frac{2,7 - 1,7}{6 - 5} \right|_{U_{DS}=0,66 \text{ В}} = 1 \frac{\text{мА}}{\text{В}}$$

$$S_2 = \left. \frac{I_{DA} - I_{DB}}{U_{GS_A} - U_{GS_B}} \right|_{U_{DS}=\text{const}} = \left. \frac{6 - 1,4}{5 - 4} \right|_{U_{DS}=7 \text{ В}} = 4,6 \frac{\text{мА}}{\text{В}}$$

Звідси за співвідношенням можна визначити β :

Також крутизну можна визначити за передавальною характеристикою, наприклад за $U_{DS} = 0,3 \text{ В}$ для т.N, т.M на рис. 4.:

$$S_1 = \left. \frac{I_{DN} - I_{DM}}{U_{GS_N} - U_{GS_M}} \right|_{U_{DS}=\text{const}} = \left. \frac{2,5 - 1,8}{5,7 - 5} \right|_{U_{DS}=0,3 \text{ В}} = 1 \frac{\text{мА}}{\text{В}}$$

Згідно з визначенням динамічного опору між стоком і витком (каналу) (4.13) визначимо його значення з графіку, скориставшись формулою (4.14). Для цього виберемо по дві пари точок для пологої та крутої ділянок вихідної характеристики (див. точки A , E та C , F на рис. 4.6):

$$r_{DS1} = \left. \frac{U_{DS_C} - U_{DS_F}}{I_{D_C} - I_{D_F}} \right|_{U_{GS} = \text{const}} = \left. \frac{0,66 - 0,24}{5,4 - 2} \right|_{U_{GS} = 6 \text{ В}} = 120 \text{ Ом.}$$

$$r_{DS2} = \left. \frac{U_{DS_A} - U_{DS_E}}{I_{D_A} - I_{D_E}} \right|_{U_{GS} = \text{const}} = \left. \frac{7 - 5}{6 - 5,9} \right|_{U_{GS} = 6 \text{ В}} = 20 \text{ кОм.}$$

Коефіцієнт підсилення за напругою можна визначити за співвідношенням (4.17).

Графік крутизни від напруги $S(U_{GS} - U_T)$ можна побудувати за характеристикою прямої передачі (рис. 4.8) взявши похідну струму за напругою на заслоні, тобто $S = \Delta I_D / \Delta U_{GS}$, а координата за напругою тоді дорівнює $U_{GS} = \frac{1}{2}(U_{GS1} + U_{GS2}) - U_T$. Для таких розрахунків бажано використовувати зміну напруги на заслоні з рівним кроком. Аналогічно провести аналіз залежності динамічного опору. Для цього необхідно на рис. 4.8 провести декілька вертикальних ліній (аналогічно до точок A , B та C , D на рис. 4.6) для кожної з яких слід взяти співвідношення $r_{DS} = \Delta U_{SD} / \Delta I_D$, а координата за напругою тоді дорівнює значенням U_{GS} , що відповідають вертикальним лініям.

Сформулювати висновки за результатами роботи.

5. ВОЛЬТ-ФАРАДНІ ХАРАКТЕРИСТИКИ МДН-СТРУКТУР

Мета роботи: Вивчити складові ємності МДН-структури, та встановити їх вплив на вольт- фарадну характеристику МДН-структури. Ознайомитися з методикою визначення величини, природи та стабільності заряду поверхневих станів за допомогою ВФХ МДН-структури.

5.1. ОСНОВНІ ТЕОРЕТИЧНІ ВІДОМОСТІ

У напівпровідникових інтегральних схемах в ролі ємності може бути використана ємність, яка утворена діелектричним шаром на поверхні напівпровідника, на яку нанесено металевий електрод. Такий ємнісний елемент називається МДН-структурою, схематичне зображення якої показано на рис. 5.1.

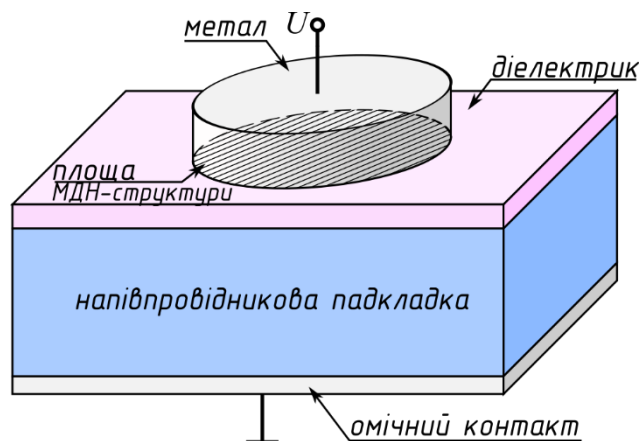


Рисунок 5.1 – Схематичне зображення МДН-ємності

5.1.1. Ємність МДН-структури

Згідно з визначенням, ємність – це похідна заряду по напрузі:

$$C = \frac{\partial Q}{\partial U}. \quad (5.1)$$

Для структури рис. 5.1 з умови електричної нейтральності можна записати рівняння для зарядів:

$$Q_m + Q_{ss} + Q_{sc} = 0, \quad (5.2)$$

де Q_m – заряд на металевому електроді; Q_{ss} – заряд в діелектрику станів; Q_{sc} – заряд приповерхневого шару напівпровідника.

Перерозподіл зарядів призводить до виникнення ємностей: діелектричної плівки $C_I = dQ_{ss}/dU_{GB}$; поверхневих станів $C_{ss} = dQ_m/d\varphi_s$; приповерхневого шару напівпровідника $C_{sc} = dQ_{sc}/d\varphi_s$, де φ_s – потенціал на поверхні напівпровідника; U_{GB} – напруга між металевим електродом та підкладкою.

Ємність діелектричної плівки в МДН-структурі не залежить від напруги і може бути визначена як ємність плаского конденсатора:

$$C_I = \frac{\varepsilon_I \varepsilon_0}{d} S, \quad (5.3)$$

де ε_I – питома діелектрична проникність діелектрика; ε_0 – діелектрична стала (діелектрична проникність вакууму); d – товщина діелектричної плівки; S – площа МДН-структури.

Питома ємність діелектричної плівки c_I визначається співвідношенням:

$$c_I = \frac{C_I}{S} = \frac{\varepsilon_I \varepsilon_0}{d}. \quad (5.4)$$

Ємність об'ємного заряду у напівпровіднику C_{sc} – нелінійна ємність, яка залежить від напруги, яка прикладена до МДН-структури. Напруга на МДН-структурі пов'язана з поверхневим потенціалом співвідношенням:

$$U = \varphi_{ms} + \varphi_s - \frac{Q_{sc}(\varphi_s) + Q_{ss}(\varphi_s)}{C_I}, \quad (5.5)$$

За визначенням ємності, повна ємність МДН структури (5.1):

$$C_{MIS} = \frac{\partial Q_M}{\partial U} = C_I \left(1 - \frac{dU}{d\phi_s} \right) = \frac{1}{C_I} + \frac{1}{C_{sc} + C_{ss}}. \quad (5.6)$$

Відповідно до (5.6) еквівалентна схема ємності МДН-структури наведена на рис. 5.2.

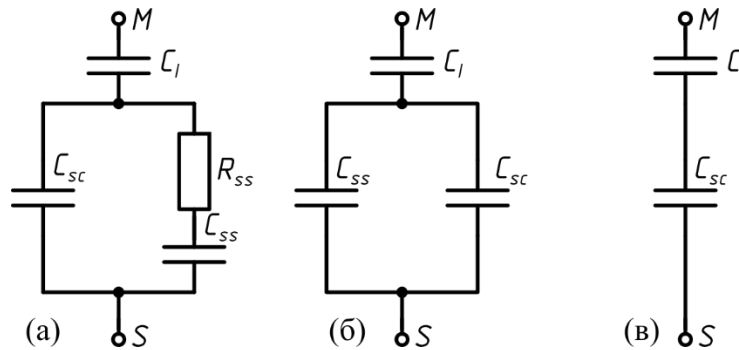


Рисунок 5.2 – Еквівалентна ємнісна схема МДН-структури: (а) повна, (б) на низьких частотах, (в) на високих частотах. C_I – ємність діелектричної плівки, C_{sc} – ємність обумовлена перерозподілом заряду в приповерхневому шарі напівпровідника, C_{ss} та R_{ss} – ємність та опір обумовлені наявністю поверхневих станів

5.1.2. Заряд поверхневих станів [1]

У загальному випадку, заряд поверхневих станів може складатися з n -ї кількості електричних зарядів, виникнення яких обумовлено різними причинами. Для найбільш вивченої системи Si–SiO₂ цей заряд дорівнює:

$$Q_{ss} = Q_m + Q_{dt} + Q_{it} + Q_f, \quad (5.7)$$

де Q_m – заряд рухливих іонів, Q_{dt} – заряд захоплений на рівнях пасток в діелектрику, Q_{it} – поверхневий захоплений заряд (заряд захоплений на межі діелектрик-напівпровідник) і Q_f – фіксований (нерухомий) заряд в діелектрику

Розташування складових ефективного заряду в структурі Si–SiO₂ показано на рис. 5.3.

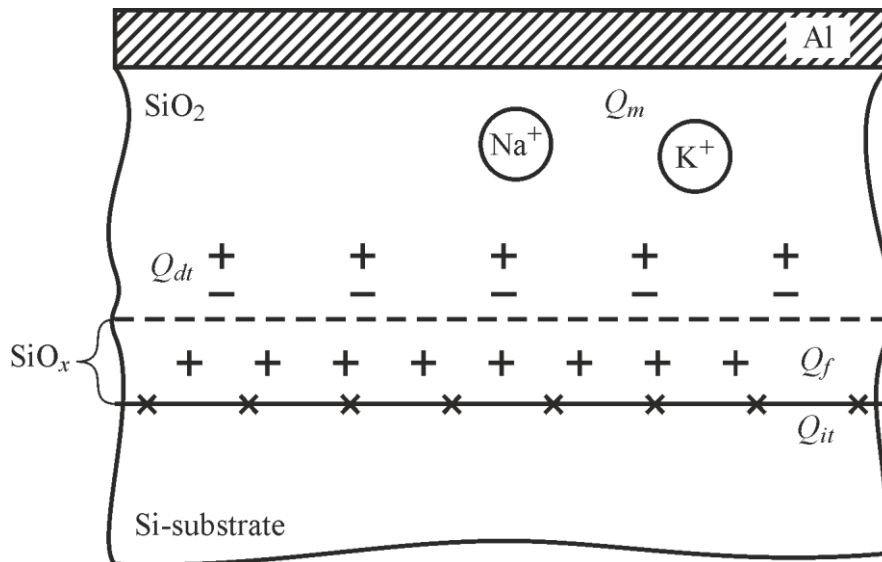


Рисунок 5.3 – Розташування електричних зарядів на межі діелектрик-напівпровідник і поблизу неї для структури Si-SiO₂

Заряд рухливих іонів

Заряд рухливих іонів Q_m , зазвичай, обумовлений наявністю в діелектрику іонів лужних металів (Li, Na та ін.). Цей тип заряду, будучи завжди позитивним для випадку p -підкладки зменшує, а для n -підкладки збільшує порогову напругу V_T . Внесок цього заряду в порогову напругу залежить від його розподілу в діелектрику за товщиною. Якщо максимум розподілу рухомого заряду знаходиться далеко від межі діелектрик-напівпровідник, то заряд Q_m має слабкий вплив на порогову напругу, якщо ж поблизу – великий.

Наявність заряду Q_m в діелектрику і його величина визначається за зсувом ВФХ МДН-структури, виміряної до та після термічного випробовування – нагрівання та утримання нагрітої структури в зовнішньому електричному полі. За наявності цього заряду в МДН-структурі, ВФХ після термічного випробовування з негативним потенціалом на металевому електроді зсувається в бік більшої напруги, а після термічного випробовування з позитивним потенціалом – в бік меншої напруги. Величина заряду Q_m визначається за сумою зсувів за позитивної і негативної напруги на металевому електроді.

Поява заряду Q_m не обумовлено природою діелектрика і залежить лише від умов технологічного процесу формування діелектричної плівки, тому цей заряд може бути усунений удосконаленням цього процесу.

Заряд, захоплений на рівнях пасток в діелектрику

Заряд Q_{dt} , зумовлений заповненням пасток, що знаходяться в об'ємі діелектрика. До таких пасток відносяться структурні дефекти утворені в процесі формування діелектричної плівки і при іонізуючому опроміненні або при інжекції гарячих носіїв заряду з підкладки в діелектрик. В загальному випадку, знак заряду Q_{dt} визначається типом носіїв, що захоплені на центрах пасток, тобто може бути як додатним, так і від'ємним. Внесок цього заряду в порогову напругу залежить від розподілу заповнених пасток в діелектрику вздовж його товщини. Імовірність заповнення і звільнення пасток залежить від зовнішніх чинників (наприклад, температури) і призводить до нестабільності цього заряду в часі. Наявність заряду Q_{dt} не обумовлено природою діелектрика і для класичної системи Si-SiO₂ цей заряд усувається в наслідок відпалу при температурі понад 500°C.

Фіксований заряд

Фіксований в діелектрику заряд Q_f – це вбудований в діелектрик заряд, обумовлений структурними дефектами в шарі діелектрика поблизу межі діелектрик-напівпровідник. Зазвичай, цей заряд позитивний, хоча теоретично розглядається можливість існування негативного заряду. Походження цього заряду, пояснюється моделлю перехідного шару, і характеризується щільністю незаповнених (обірваних) зав'язків в діелектрику поблизу межі діелектрик-напівпровідник. Оскільки наявність перехідного шару в діелектрику обумовлено розбіжністю параметрів решітки діелектрика і напівпровідника, то для конкретної напівпровідникової підкладки заряд Q_f залежить тільки від властивостей діелектрика.

Поверхневий захоплений заряд

Поверхневий захоплений заряд Q_{it} обумовлений заповненням пасток (дефектів) на межі діелектрик-напівпровідник. За формальними ознаками, цей заряд дуже схожий з зарядом, захопленим на пастках в діелектрику Q_{dt} . Однак, пастки на межі діелектрик-напівпровідник, можуть без перешкод контактувати

з вільними носіями заряду в напівпровіднику, що призводить до безперервного процесу заповнення і звільнення цих пасток, тоді як у разі пасток в діелектрику цей процес є вкрай важким. Тому поверхневий захоплений заряд Q_{it} досить незмінний в часі. Наявність пасток на межі діелектрик-напівпровідник, обумовлено незаповненими зв'язками безпосередньо на цій межі, внаслідок просторового порушення порядку між елементарними складовими діелектрика і напівпровідника. Таким чином, для конкретної напівпровідникової підкладки величина заряду Q_{it} залежить тільки від діелектрика [1].

5.1.3. Залежність ємності МДН-структури від напруги

Розглянемо залежність ємності МДН-структури від напруги на металевому електроді з фізичної точки зору. Енергетичні діаграми за різних напруг на металевому електроді та розподіли зарядів, що їм відповідають наведені на рис. 5.4.

Якщо до МДН-структури не прикладена напруга, то біля поверхні напівпровідника, за рахунок заряду поверхневих станів, утворюється область збагачена електронами, глибиною z (рис. 5.4a). При утворення шару збагачення, ємність МДН-структури визначається тільки ємністю діелектрика виходячи з (5.6), оскільки $C_{sc} \gg C_I$. При додатній напругі на металевому електроді картина розподілу зарядів на межі діелектрик-напівпровідник не змінюється і зі збільшенням позитивної напруги, ємність залишається сталою і рівною $C_{MIS} \approx C_I$.

Якщо до металевого електроду прикласти від'ємну напругу, область збагачення зменшується. За певної напруги область об'ємного заряду біля поверхні напівпровідника зовсім зникає, а напруга за якої це відбувається (рис. 5.4б) називається напругою плоских зон U_{FB} , оскільки за цієї напруги відсутнє викривлення енергетичних зон біля поверхні напівпровідника. Викривлення енергетичних зон на поверхні напівпровідника, у рівноважному стані визначаються, контактною різницею потенціалів φ_{ms} та зарядом поверхневих станів Q_{ss} , тому U_{FB} визначається співвідношенням:

$$U_{FB} = \varphi_{ms} + Q_{ss}/C_I. \quad (5.8)$$

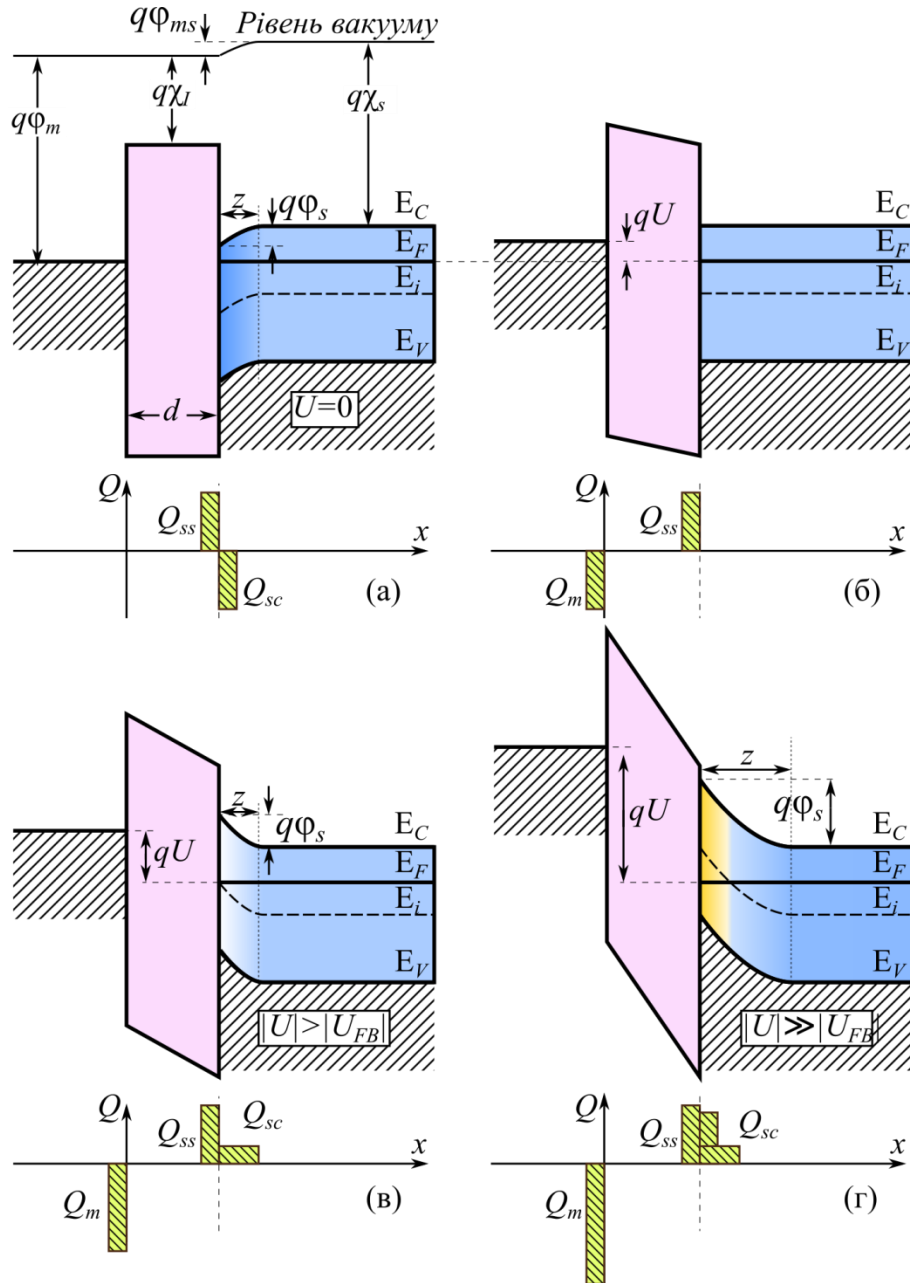


Рисунок 5.4 – Енергетичні діаграми МДН-структури та розподіли зарядів (а) за відсутності зовнішньої напруги ($U = 0$), та за напруги (б) $U = U_{FB}$, (в) $U > U_{FB}$ і (г) $U \gg U_{FB}$.

За достатньо великої від’ємної напруги на металевому електроді виникає область збіднення біля поверхні напівпровідника (рис. 5.4в). При цьому $C_{sc} \ll C_I$ і повна ємність МДН-структури буде визначається ємністю C_{sc} . При

проміжних значеннях напруги повня ємність МДН-структури буде зменшуватися від C_I до C_{sc} .

Зі збільшенням від'ємної напруги на заслоні, біля поверхні напівпровідника може виникнути інверсійний шар (рис. 5.4г). При цьому ємність напівпровідника знову зростає і виконується нерівність $C_{sc} \gg C_I$ і ємність МДН-структури приблизно дорівнює ємності діелектрика.

Ці явища спостерігаються за достатньо низьких частот зовнішньої напруги (менше 100 кГц), коли інверсійний шар встигає сформуватися. Залежність ємності від напруги на низьких та високих частотах наведена на рис. 5.5.

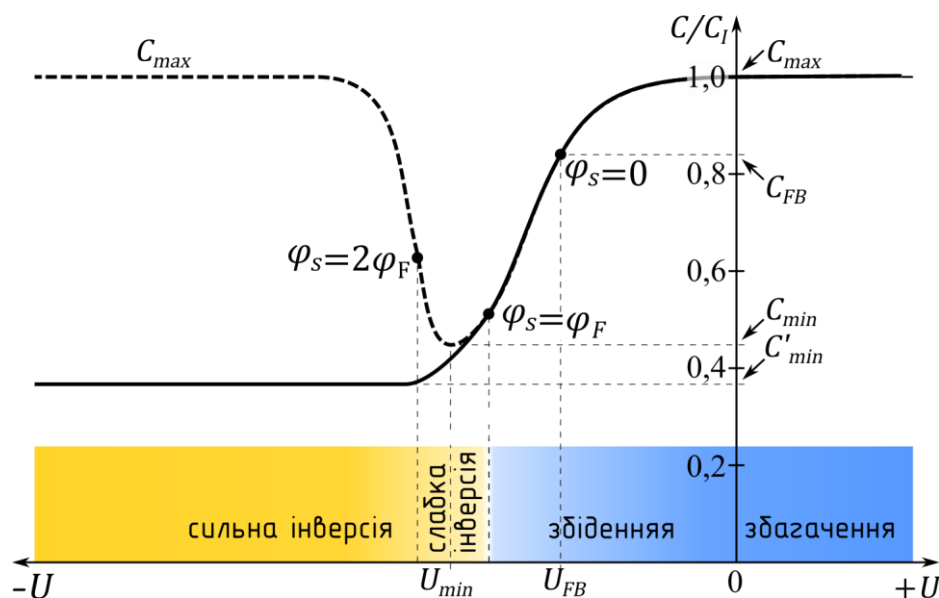


Рисунок 5.5 – Вольт-фарада характеристика ідеалізованої МДН-структури на основі підкладки n -типу за низьких (пунктирна лінія) та високих (суцільна лінія) частот зовнішньої напруги

5.1.4. Визначення параметрів МДН-структури за їх ВФХ

Аналіз вольт-фарадних характеристик $C(U)$ дає достатньо велику інформацію не тільки про властивості нелінійної МДН-ємності, а й про властивості межі поділу діелектрик-напівпровідник. Так за вольт-фарадними характеристиками (ВФХ) можна визначити:

1. За нахилом високочастотної $C(U)$ до вісі напруг можна визначити тип провідності напівпровідникової підкладки. Для МДН-структури на основі

підкладки n -типу тангенс кута нахилу $C(U)$ додатний, а для підкладки p -типу від'ємний.

2. З відношення C_{min}/C_{max} , яке експериментально можна встановити за ВФХ (рис. 5.5), враховуючи, що $C_{max} \approx C_I$, можна визначити концентрацію домішок біля поверхні напівпровідника (рис. 5.6).

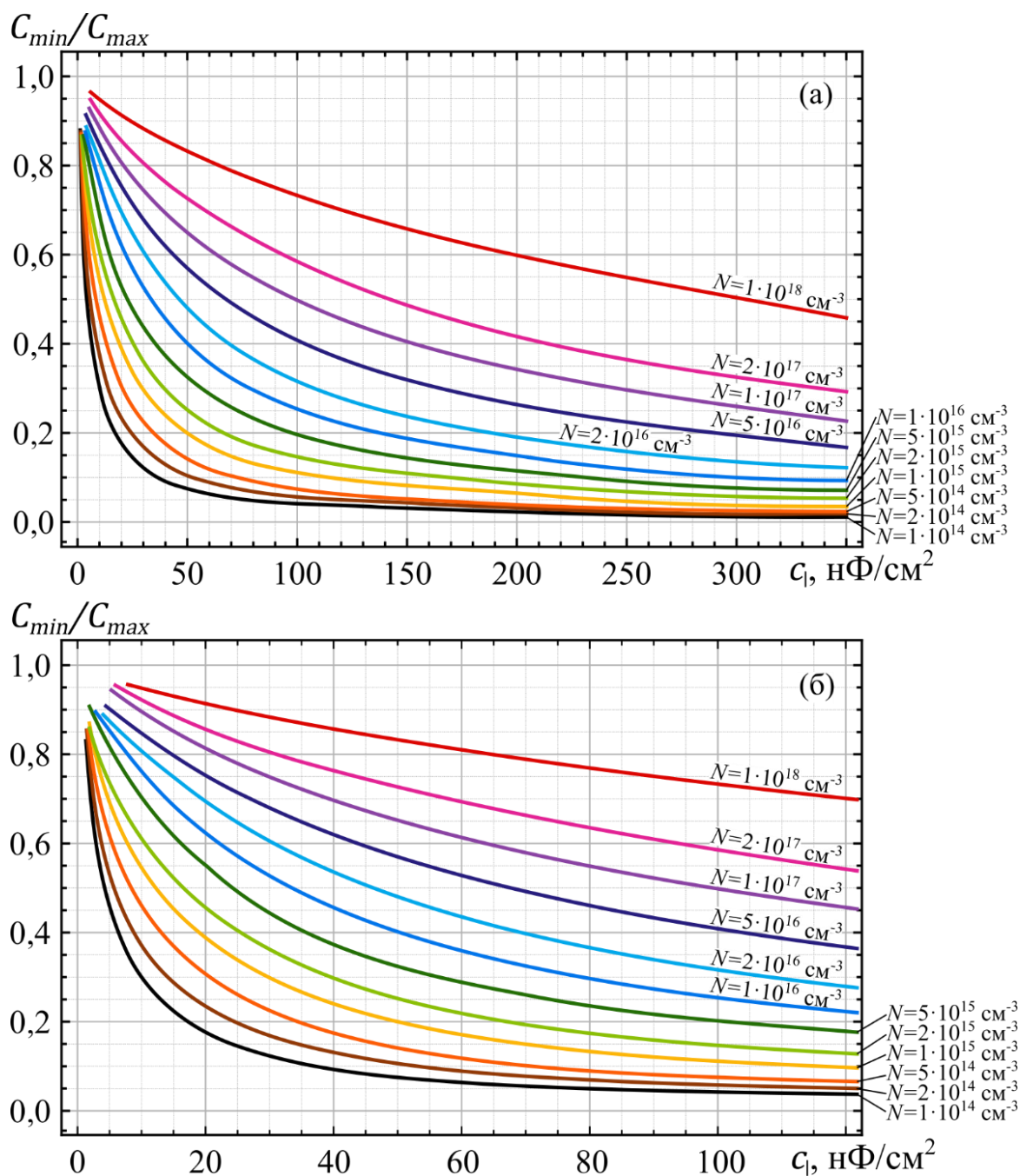


Рисунок 5.6 – Номограми для визначення концентрації домішок в підкладці за високочастотною вольт-фарадною характеристикою для структур Al-SiO₂-Si з тонкими (а) та товстими (б) діелектричними плівками.

3. За сімейством теоретичних кривих $C_{FB}/C_I = f(c_I)$ (рис. 5.7), знаючи концентрацію домішок у підкладці, товщину діелектрика та ємність C_I можна визначити ємність, що відповідає напрузі плоских зон C_{FB} .

4. Знаючи ємність C_{FB} , з вольт-фарадної характеристики визначається напруга плоских зон U_{FB} (рис. 5.5).

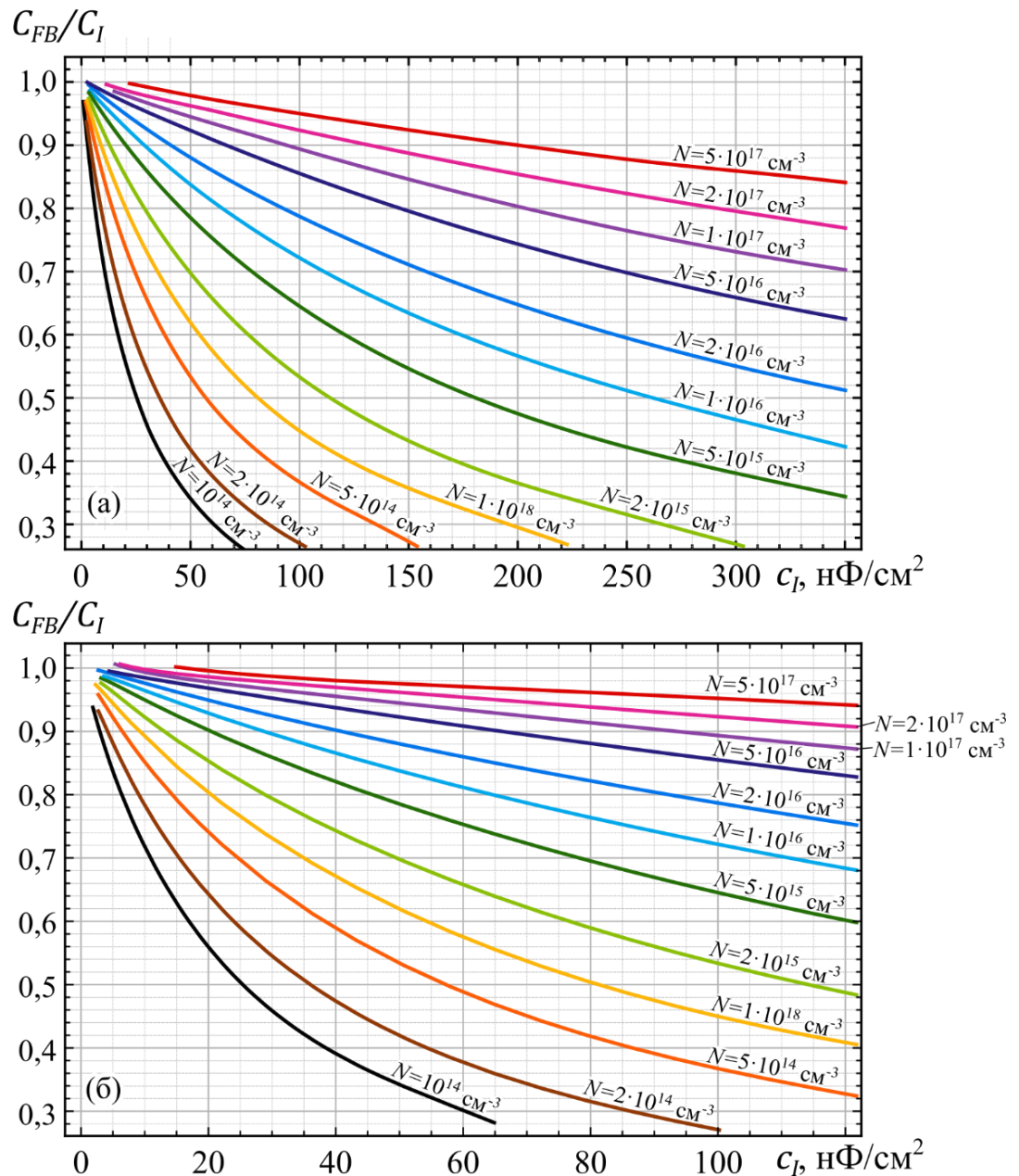


Рисунок 5.7 – Номограми для визначення ємності плоских зон для структур Al-SiO₂-Si з тонкими (а) та товстими (б) діелектричними плівками

5. За напругою плоских зон визначається напруга, яка компенсує заряд поверхневих станів U_{SS} . Однак, U_{FB} компенсує не тільки заряд поверхневих

станів, а й контактну різницю робіт виходу між металом та напівпровідником φ_{ms} (5.8), тому:

$$U_{SS} = U_{FB} - \varphi_{ms}. \quad (5.9)$$

Для електроду з алюмінію та підкладки з кремнію n -типу $\varphi_{ms} \approx -0,5$ В.

6. За відомими величинами C_I та U_{SS} , можна розрахувати заряд Q_{SS} та щільність N_{SS} поверхневих станів:

$$Q_{SS} = U_{SS} C_I. \quad (5.10)$$

$$N_{SS} = Q_{SS}/q, \quad (5.11)$$

де q – елементарний заряд.

5.1.5. Методика вольт-температурних випробувань

Величина заряду поверхневих станів не завжди залишається сталою. Зміна величини Q_{SS} призводить до нестабільності характеристики приладі, які виготовлені на основі таких МДН-структур. Для визначення фізичної природи та оцінки нестабільності заряду проводять стандартні вольт-температурні випробування (ВТ-випробування):

1. Виконується вимірювання ВФХ за кімнатної температури (крива А на рис. 5.8)

2. Зразок нагрівають до 200°C , і за такої температури прикладають до металевого електроду напругу $+10$ В (напруженість електричного поля при цьому становить $E = 10^6$ В/см.

3. Витримують в описаних умовах впродовж 15 хв.

4. Не знімаючи електричне поле, зразок охолоджують до кімнатної температури.

5. Повторно вимірюють ВФХ після охолодження та заняття електричного поля (крива В на рис. 5.8).

6. Повторюють пункти 2-5 за напруги -10 В (крива С на рис. 5.8).

Наявність зсуву ВФХ, який отримано в результаті вольт-температурних випробувань вказує на зміну ефективного заряду поверхневих станів на величину ΔQ_{SS} . Величину ΔQ_{SS} визначають за різницею напруг плоских зон для кривих В та С.

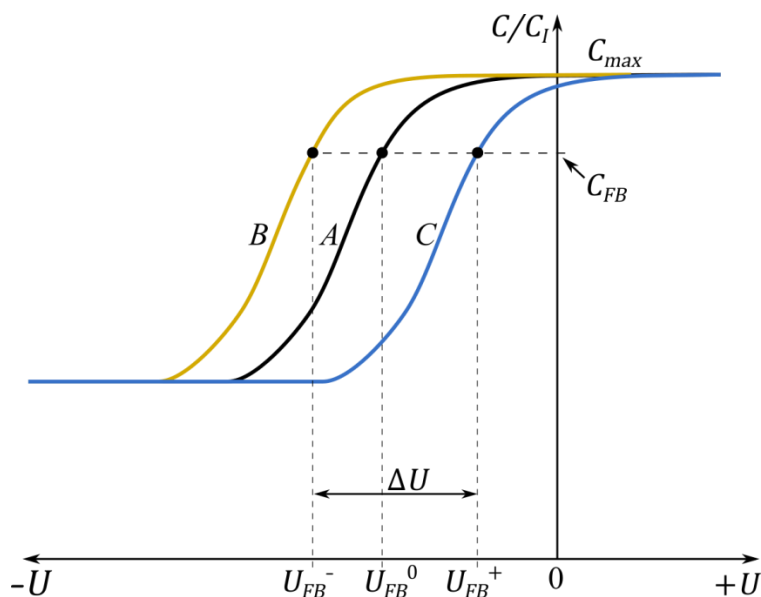


Рисунок 5.8 – ВФХ виміряні в ході вольт-температурного випробування

Ефективна величина заряду поверхневих станів Q_{SS} визначається зарядом у діелектрику, який зосереджений поблизу поверхні кремнію. Зсув характеристики ліворуч після вольт-температурних випробувань (крива В) можна пояснити переміщенням (дрейфом) позитивних зарядів від металічного електрода крізь діелектричний шар до поверхні кремнію. Крива С отримана в наслідок зворотного дрейфу зарядів в бік металу.

В залежності від природи нестабільного заряду Q_{SS} , в результаті вольт-температурних випробувань можливі чотири випадки зсуву характеристик:

1. Додатна напруга зсуває ВФХ вліво;
2. Додатна напруга зсуває ВФХ вправо;
3. Від'ємна напруга зсуває ВФХ вліво;
4. Від'ємна напруга зсуває ВФХ вправо.

Якщо вважати, що в діелектрику є невеликий заряд, то перший випадок відповідає інжекції позитивного заряду з металічного електрода (або поляризації); другий – інжекції від'ємного заряду з кремнію (захоплення

електронів); третій – інжекції позитивних зарядів із кремнію (захоплення дірок); четвертий – інжекції від'ємного заряду з металу (або поляризації).

Зсув ВФХ вздовж вісі напруг може бути пов'язаний з дрейфом заряду Q_m . При гаусовому розподілі для товщини SiO_2 рівної 200 нм, зсув за напругою на 1 В відповідає дрейфу приблизно 10^{11} зарядів/ см^2 для звичайних МДН-технологій.

Коли тільки почалося дослідження забруднень оксидної плівки, зазвичай спостерігався зсув ВФХ характеристики вліво під дією напруги та температури. Після розробки технології очищення домінуючим ефектом, який призводив до не стабільності характеристик, став захват носіїв заряду на пастках за додатної напруги та температури. Захват носіїв у діелектричному шарі (в межах перших 10 нм) відбувається або в наслідок їх тунелювання, або емісії через бар'єр. Ефекти захоплення залежать від умов відпалу вирощеного окисного шару й можуть бути значно зменшені за допомогою відпалу в атмосфері водню.

Крім дрейфу іонів Q_m та захоплення електронів на пастках у шарі діелектрика можливим є виникнення поляризації, яка полягає в орієнтації постійних диполів в межах діелектричної плівки. Таку поляризацію частіше спостерігають у фосфорсилікатному склі (ФСС), яке виготовлено за рахунок дифузії фосфору у SiO_2 . Виявлено, що в наслідок прикладання поляризуючої напруги диполі у склі орієнтуються певним чином та утворюють квазінеперервне внутрішнє поле, яке призводить до паралельного зсуву ВФХ вздовж осі напруги. За величиною такий зсув зазвичай менший за той, який пов'язаний з дрейфом іонів, але співпадає з ним по напрямку.

5.2. КОНТРОЛЬНІ ЗАПИТАННЯ

1. Структура та еквівалентна схема МДН-ємності.
2. Від яких параметрів залежать ємність МДН-структури?
3. Що таке заряд поверхневих станів?
4. Як впливає напруга на металевому електроді на енергетичну діаграму МДН-структури за відсутності заряду поверхневих станів?
5. Що таке напруга плоских зон?

6. Намалюйте розподіл зарядів в МДН-структурі за різних напруг на металевому електроді.
7. Чим обумовлена залежність ємності МДН-структури від постійної напруги?
8. Намалюйте ВФХ для кремнієвої підкладки n -типу при $Q_{SS} > 0$.
9. Намалюйте ВФХ для кремнієвої підкладки p -типу при $Q_{SS} > 0$.
10. Намалюйте ВФХ для кремнієвої підкладки n -типу при $Q_{SS} < 0$.
11. Намалюйте ВФХ для кремнієвої підкладки p -типу при $Q_{SS} < 0$.
12. Як буде зсуватися ВФХ пуд дією поля та температури, якщо Q_{SS} обумовлений захопленням електронів?
13. Як буде зсуватися ВФХ пуд дією різного за величиною та напрямком напруженості електричного поля та температури, якщо Q_{SS} обумовлений позитивними зарядами іонів натрію?
14. Як впливає поляризація діелектрика на вигляд ВФХ?

5.3. ЗАВДАННЯ

1. Отримати індивідуальне завдання у викладача.
2. За наданими викладачем даними побудувати всі вольт-фарадні характеристики досліджуваних МДН-структур в одній координатній площині.
3. За виглядом ВФХ визначити тип провідності та концентрацію домішок напівпровідникової підкладки.
4. За первинною ВФХ (до проведення вольт-температурних (ВТ) випробувань) визначити величину, густину та знак заряду поверхневих станів.
5. Розрахувати зміну заряду після ВТ-випробувань і пояснити природу походження та причину нестабільності заряду поверхневих станів в досліджуваній МДН-структурі.
6. Проаналізувати отримані результати та пояснити їх зв'язок з конструктивними і технологічними параметрами приладу.
7. Сформулювати висновки за результатами роботи.

6. ІНТЕГРАЛЬНІ СХЕМИ СТАТИЧНОЇ ЛОГІКИ НА МДН-ТРАНЗИСТОРАХ

Мета роботи: Ознайомлення зі схемами, параметрами та принципом роботи базових інверторів інтегральних схем виготовлених за МДН-технологією.

6.1. ОСНОВНІ ТЕОРЕТИЧНІ ВІДОМОСТІ

В залежності від схеми з'єднання та режиму роботи МДН-транзистора в інтегральних схемах виконують функції підсилювальних активних компонентів або навантаження, а ємності між затвором та підкладкою, затвором та витоком, затвором і стоком використовуються як основні ємності в схемах динамічної логіки.

В подібних схемах немає потреби створювати дифузійні резистори та конденсатори, що суттєво спрощує технологію цих схем.

Основним елементом статичної логіки є інвертор (рис. 6.1). Він складається з керуючого (*англ. switching*) транзистора та навантаження (*англ. load*).

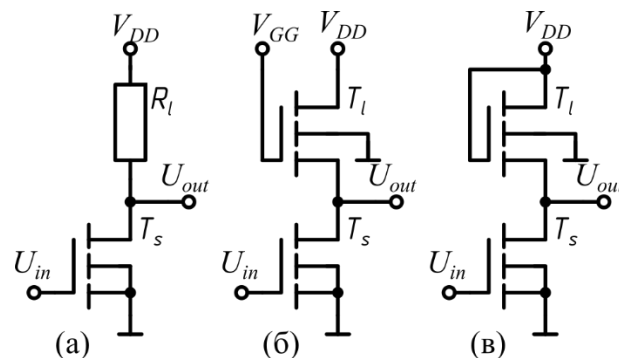


Рисунок 6.1 – Інвертори з (а) лінійним, (б) квазілінійним та (в) нелінійним навантаженням на основі МДН-транзисторів з індуктованим каналом

Керуючий транзистора T_S працює за схемою з загальним витоком при з'єднаному витоку з підкладкою. В інтегральних інверторах на основі МДН-транзисторів в ролі навантаження можуть виступати: дифузійний резистор R_L (рис. 6.1а) або транзистор з індуктованим чи з вбудованим каналом T_L .

Навантажувальний елемент з'єднаний з керуючим транзистором послідовно. Вхідний сигнал інвертора поступає на заслін керуючого транзистора, а вихідний сигнал знімається з точки спільної для керуючого транзистора та навантаження.

6.1.1. Передавальна характеристика інвертора

Надалі будемо розглядати схеми з МДН-транзистором з індукованим p -каналом. Важливою характеристикою інвертора є передавальна характеристика, яка показує залежність вихідної напруги інвертора від вхідної напруги $U_{out} = f(U_{in})$. Ця характеристика може бути побудована або безпосередньо за результатами вимірювання, або на основі сімейства ВАХ керуючого та навантажувального транзисторів.

Сімейство вольт-амперних характеристик керуючого транзистора для крутої ділянки характеристики, за умови $|U_{DS}| \leq |U_{GS} - U_T|$, описується співвідношенням (4.1), а для пологої ділянки характеристики, за умови $|U_{DS}| \geq |U_{GS} - U_T|$, співвідношенням (4.2).

Навантажувальна характеристики для схеми рис. 6.1а являє собою пряму, яка описується рівнянням $I_D = (V_{DD} - U_{DS})R_L$ (див. пунктирні прямі на рис. 6.2а). З її допомогою, по точкам перетину можна побудувати передавальну характеристику, як це показано на рис. 6.2б. З цих кривих видно, що чим більше опір навантаження, тим крутіше передавальна характеристика та більше різниця між найменшою та найбільшою напругами (між логічними «0» та «1»).

В інтегральних схемах в ролі резистора застосовуються дифузійні області, аналогічно до біполярної технології. Однак, щоб отримати резистар навіть найменшого з розглянутих опорів – 20 кОм, необхідно щоб його відношення довжини до ширини становило 200, оскільки зазвичай поверхневий опір дифузійних резисторів в МДН-технології становить 100 Ом/п. Оскільки мінімальна ширина становить 5 мкм, то його довжина буде становити 1000 мкм, тобто площа яку займатиме резистор складатиме близько 5600 мкм². При цьому МДН-транзистор займає приблизно 700 мкм², що є всього 1/8 площі розглянутого дифузійного резистора. Отже, загальну площу

інвертора можна сильно зменшити, використовуючи МДН-резистор в ролі активного навантаження, як це показано на рис. 6.1б,в.

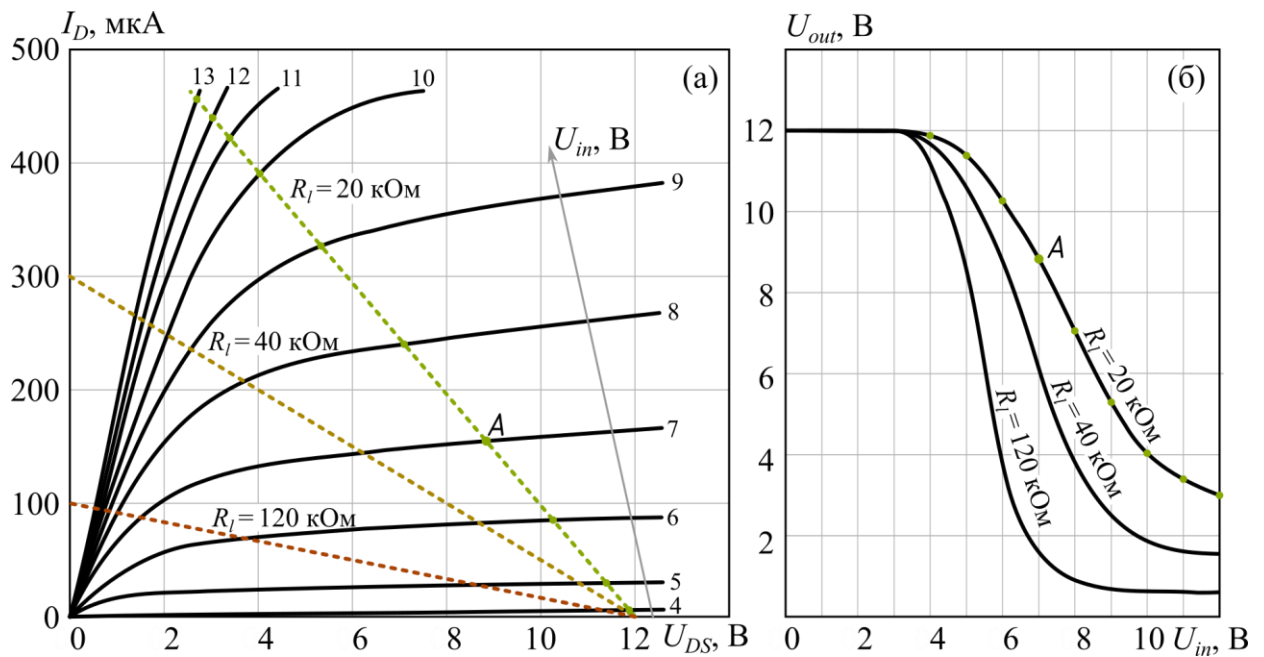


Рисунок 6.2 – (а) Сімейство вихідних характеристик керуючого транзистора з навантажувальними характеристиками (пунктирні лінії) та (б) відповідні їм передавальні характеристики інвертора

У випадку транзистора в ролі навантаження, на його заслін може подаватися напруга зміщення V_{GG} (рис. 6.1б), або він може бути з'єднаний зі своїм стоком (рис. 6.1в), який під'єднаний до джерела живлення ($V_{GG} = V_{DD}$).

Аналогічні залежності (4.1-4.2) можуть бути записані для навантажувального транзистора. Видно, що струм навантажувального транзистора описується (4.1) у випадку, коли для нього виконується умова:

$$|V_{GG} - U_{T.L}| > |V_{DD}|, \quad (6.1)$$

де $U_{T.L}$ – порогова напруга навантажувального транзистора, $U_{DS.L}$ – напруга між стоком та витком навантажувального транзистора. Якщо нерівність (6.1) не виконується, тоді струм описується рівнянням (4.2). Стокова характеристика навантажувального транзистора за різних струмів зміщення показана на рис. 6.3.

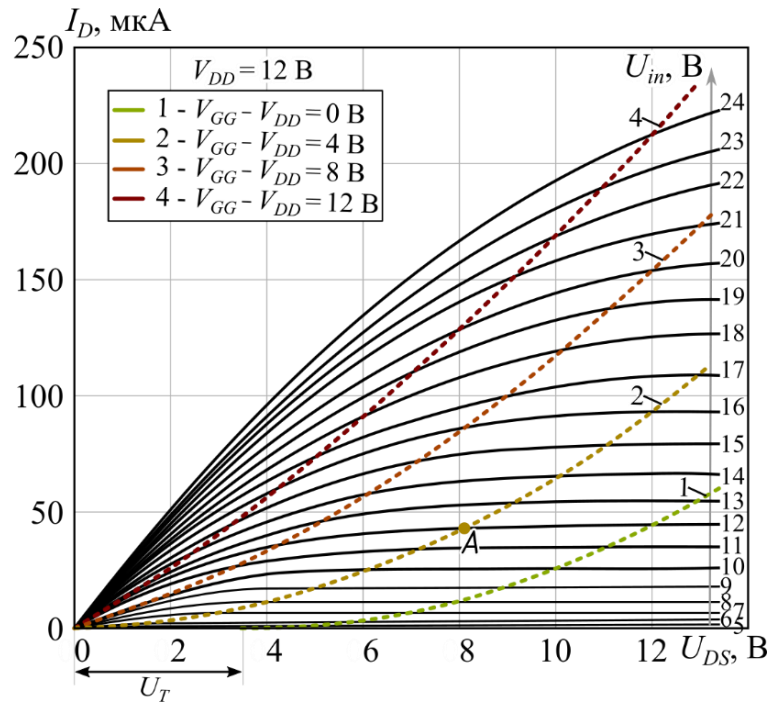


Рисунок 6.3 – Сімейство вольт-амперних характеристик навантажувального МДН-транзистора (суцільні криві) з кривими, які відповідають різним значенням різниці $V_{GG} - V_{DD}$ (пунктирні криві)

Зміна напруги V_{GG} забезпечують можливість плавно регулювати величину навантаження схеми інвертора. Якщо заслін та стік навантажувального транзистора T_L з'єднані, то, як видно з умови (6.1), транзистор T_L працює в пологій області свого сімейства ВАХ, опір каналу транзистора в цьому випадку великий.

Характеристики інвертора з активним навантаженням можуть бути досліджені графічно. Оскільки струм через обидва транзистори протікає однаковий, в наслідок їх послідовного з'єднання, то значення $U_{DS,L}$ за різних значень струму визначається за вольт-амперною характеристикою навантажувального транзистора (штриховані криві на рис. 6.3), а відповідна вихідна напруга визначається з рівняння навантажувальної кривої:

$$U_{out} = V_{DD} - U_{DS,L}. \quad (6.2)$$

Наприклад, для точки A на рис. 6.3 $U_{DS,L} = 8,1$ В, $I_D = 43$ мкА, тоді з рівняння (6.2) $U_{out} = 12 - 8,1 = 3,9$ В, в результаті чого отримано точку B на рис. 6.4 з координатами $U_{DS} = U_{out} = 3,9$ В, $I_D = 43$ мкА.

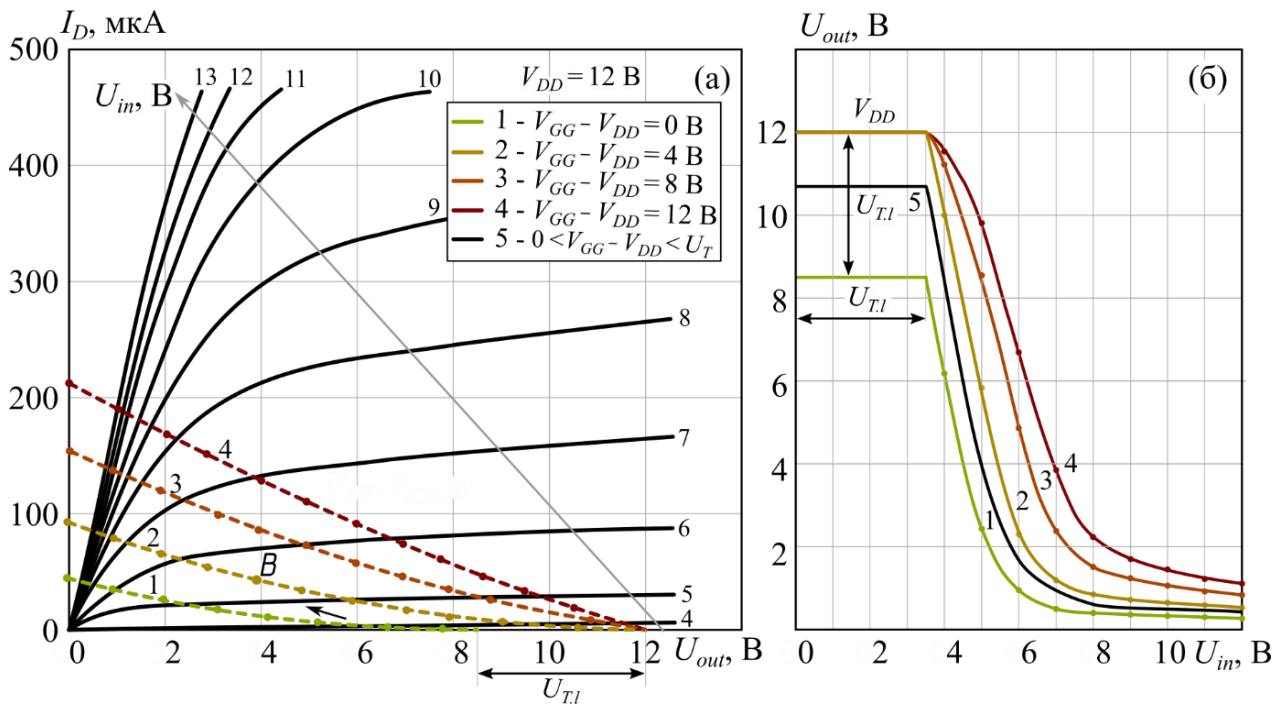


Рисунок 6.4 – (а) Сімейство вихідних характеристик T_s (суцільні криві) з навантажувальними характеристиками T_L (пунктирні криві) та (б) передавальні характеристики інвертора на основі цих транзисторів

В результаті таких розрахунків побудовано навантажувальні криві на ВАХ керуючого транзистора (пунктирні криві на рис. 6.4а), з якої, аналогічно до схеми з навантажувальним резистором, легко отримати передавальну характеристику інвертора рис. 6.4б.

Як видно з навантажувальної характеристики, опір навантажувального МДН-транзистора, за умови $V_{GG} = V_{DD}$, становить близько за 240 кОм, однак він займає значно меншу площу ніж еквівалентний йому дифузійний резистор.

Розглянемо більш детально залежність передавальної характеристики від режиму роботи навантажувального транзистора. Нехай заслон та стік навантажувального транзистора об'єднані, тобто транзистор працює в пологій області (криві 1 на рис. 6.3-6.4). Зі зростанням вхідної напруги інвертора робоча точка переміщується вздовж навантажувальної кривої у бік зменшення U_{DS} (показано стрілочкою на рис. 6.4а) і залишається в пологій області ВАХ до поки не потрапляє на межу між крутою та пологою областями. Таким чином до цього моменту обидва транзистора працюють в пологій області своєї ВАХ, тобто їх струм має квадратичну залежність від напруги. А оскільки струми у них однакові, то між напругами U_{in} та U_{out} зберігається лінійна залежність.

Коли керуючий транзистор працює в крутій області своєї ВАХ, а навантажувальний в пологій, залежність $U_{out}(U_{in})$ стає нелінійною.

Коли заслін навантажувального транзистора не з'єднаний зі стоком, його режим роботи залежить від напруги V_{GG} , а саме від нерівності (6.1). За напруги на заслоні навантажувального транзистора більшої ніж на витoku та коли виконується умова $|V_{GG} - U_{T.L}| < |V_{DD}|$ (крива 5 на рис. 6.4б), T_L все ще працює в пологій області ВАХ, однак максимум вихідної напруги інвертора зростає зі збільшенням V_{GG} . Коли $|V_{GG} - U_{T.L}| = |V_{DD}|$ (криві 2 на рис. 6.3-6.4), то ВАХ навантажувального транзистора буде співпадати з геометричним місцем точок переходу ВАХ з крутої області в пологую і вихідна напруга інвертора досягає свого максимуму $U_{out} = V_{DD}$. Подальше збільшення V_{GG} (криві 2 на рис. 6.3-6.4) призводить до зменшення крутизни передавальної характеристики.

Оскільки для логічних схем передавальна характеристика має бути якомога крутішою, то зазвичай обирають режим, коли заслон та витік навантажувального транзистора з'єднані, тим паче, що це дозволяє використовувати лише одне джерело напруги. Однак, слід підкреслити, що максимальна вихідна напруга такого інвертора менша за напругу джерела живлення на величину порогової напруги навантажувального транзистора $U_{T.L}$ (криві 1 на рис. 6.4б).

Враховуючи, що струми навантажувального та керуючого транзистора однакові, можна отримати аналітичне співвідношення для передавальної характеристики прирівнявши вирази для струмів. Так на ділянці, коли обидва транзистора працюють в пологій області, передавальна характеристика описується співвідношенням:

$$U_{out} = -k(U_{in} - U_{T.S}) + (V_{DD} - U_{T.L}), \quad (6.3)$$

де k – коефіцієнт підсилення інвертора на крутій ділянці передавальної характеристики:

$$k = \sqrt{\frac{Z_S/L_S}{Z_L/L_L}}, \quad (6.4)$$

де Z_S і L_S – ширина та довжина каналу керуючого транзистора, Z_L і L_L – ширина та довжина каналу навантажувального транзистора.

Для забезпечення великого значення k (6.4), канал керуючого транзистора має бути коротким та широким ($Z_S/L_S > 0$), а навантажувального – довгим та вузьким ($Z_L/L_L < 0$). Аналогічного висновка можна досягти розглядаючи залежність передавальної характеристики від опору навантаження, тобто опір навантажувального транзистора має бути значно більший за опір керуючого транзистора, тому слід обирати відповідну топологію (ширину та довжину каналу), за якої це досягається.

6.1.2. Перехідні процеси в інверторі

Перебіг перехідних процесів в інверторі розглядають на схемі рис. 6.5. Для спрощення аналізу припускається:

- а) Час накопичення та перенесення носіїв в транзисторі нехтовно малий. Тривалість перехідних процесів інвертора рис. 6.5 визначається ємністю та опорами.
- б) Всі вихідні ємності об'єднані в одну $C_{out.L}$.
- в) Напруга на виході інвертора є сходячкою напруги як при вмиканні так і при вимиканні транзистора. В першому випадку вхідна напруга більша за порогову (логічна «1»), а у другому – дорівнює нулю (логічний «0»).

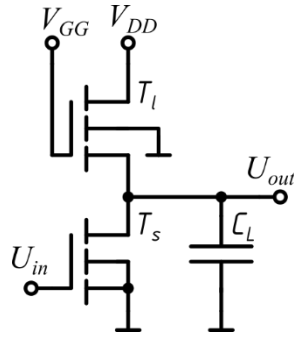


Рисунок 6.5 – Модель інвертора для розрахунку перехідних процесів

Інвертор миттєво переходить з відкритого стану у закритий на початку перехідного процесу при вимкненні інвертора. Це безпосередньо є наслідком зроблених припущень (а)-в)). Час впродовж якого вихідна напруга зростає до максимального значення $U_{out.max}$ називається часом вимикання t_{OFF} . Напруга на виході інвертора зростає з заряджанням конденсатора $C_{out.L}$ через навантаження інвертора, отже час вимикання залежить від струму через навантаження, який в загальному випадку описується співвідношенням:

$$i_L = I_{sc} \left(1 - \frac{U_{out}}{U_{out.max}}\right) \left(1 - m \frac{U_{out}}{U_{out.max}}\right), \quad (6.5)$$

де $I_{sc} = i_L|_{U_{out}=0}$ – струм короткого замикання, $U_{out.max} = U_{out}|_{i_L=0}$ – максимальна вихідна напруга інвертора. Значення I_{sc} , m та $U_{out.max}$ визначаються типом навантаження (див. табл. 6.1).

Таблиця 6.1

Параметри інвертора за різних навантажень

Навантаження	I_{sc}	m	$U_{out.max}$
Лінійний резистор	V_{DD}/R_L	0	V_{DD}
Нелінійний МДН-транзистор	$\frac{Z_L}{2L_L} \mu c_I (V_{GG} - U_T)^2$	1	$V_{GG} - U_T$
Квазілінійний МДН-транзистор	$\frac{Z_L}{2L_L} \mu c_I \frac{V_{DD}^2}{m}$	$\frac{V_{DD}}{2(V_{GG} - U_T) - V_{DD}}$	V_{DD}

Тож, час вимикання інвертора в загальному випадку визначається формулою:

$$t_{OFF} = \frac{U_{out.max}}{I_{sc}} C_{out.L} \frac{1}{1-m} \ln \left[\frac{1 - m \frac{U_{out}}{U_{out.max}}}{1 - \frac{U_{out}}{U_{out.max}}} \right], \quad (6.6)$$

де параметри I_{sc} , m та $U_{out.max}$ знову ж таки залежать від типу навантаження і визначаються з табл. 6.1.

У випадку вмикання будемо вважати, що вхідний транзистор інвертора миттєво перемикається з закритого стану в відкритий на початку перехідного процесу. Це є наслідком зроблених припущень (а)-(в). Час вмикання характеризується часом розрядження ємності $C_{out.L}$ через транзистор T_S . Оскільки T_S спочатку працює в пологій області ВАХ, а потім переходить у круту, час кожного з цих процесів розглядається окремо. Час вмикання визначається за наближеною формулою, яка для пологої області має вигляд:

$$t_{ON}^{slope} = \frac{2L_s C_{out.L}}{Z_s \mu C_I} \cdot \frac{U_{out.max} - U_{out}}{(U_{in} - U_T)^2}, \quad (6.7)$$

а для крутої області:

$$t_{ON}^{steep} = \frac{L_s C_{out.L}}{Z_s \mu C_I} \frac{1}{(U_{in} - U_T)} \ln \left[\frac{2(U_{in} - U_T) - U_{out}}{U_{out}} \right], \quad (6.8)$$

де U_T – порогова напруга керуючого транзистора.

Повний час вмикання – це час розряду навантажувального конденсатора $C_{out.L}$ від напруги $U_{out.max}$ до деякого скінченного значення $U_{out.min}$ являє суму t_{ON}^{slope} (6.7), впродовж якого напруга досягає значення $U_{out} = U_{in} - U_T$, і t_{ON}^{steep} (6.8), впродовж якого вихідна напруга досягає $U_{out} = U_{out.min}$:

$$\begin{aligned}
t_{ON} &= t_{ON}^{slope} \Big|_{U_{out}=U_{in}-U_T} + t_{ON}^{steep} \Big|_{U_{out}=U_{out.min}} = \\
&= \frac{2L_s C_{out.L}}{Z_s \mu C_I} \frac{1}{(U_{in} - U_T)} \left\{ \frac{U_{out.max} - (U_{in} - U_T)}{U_{in} - U_T} + \right. \\
&\quad \left. + \frac{1}{2} \ln \left[\frac{2(U_{in} - U_T) - U_{out.min}}{U_{out.min}} \right] \right\}.
\end{aligned} \tag{6.9}$$

6.1.3. Принцип роботи схем логіки

Схеми логіки працюють з двійковою системою числення, тобто вузли схеми можуть знаходитися в одному з двох станів: логічної «1», що відповідає високому (за абсолютною величиною) потенціалу в схемі, або логічного «0», що відповідає низькому (за абсолютною величиною) потенціалу в схемі. Таким чином, якщо на вхід інвертора подається напруга нижча за порогову наругу керуючого транзистора, тоді кажуть, на вхід поступає логічний «0», а з виходу знімають логічну «1». І навпаки, якщо на вхід інвертора подається логічна «1», то на виході буде логічний «0». Логічна функція яка описує ці стани інвертора має прости вигляд:

$$Q = \bar{A}, \tag{6.10}$$

де Q – логічний стан на виході інвертора, який приймає значення «0» або «1», A – логічний стан на вході інвертора, який також приймає значення «0» або «1», знак “–” над літерою вказує на логічне заперечення, тобто на зміну логічного «0» на логічну «1», або навпаки (функція «НІ»).

На МДН-транзисторах можна побудувати логічні схеми будь-якої складності. Наприклад, для побудови схеми, що виконує функцію 2І-НЕ необхідно всього на всього замінити керуючий транзистор на 2 послідовно з’єднаних транзистора, як це показано на рис. 6.6а, логічна функція, яка описує стан вихідного сигналу такої схеми має вигляд:

$$Q = \overline{A + B}. \quad (6.11)$$

Для побудови схеми, що виконує функцію 2АБО-НЕ слід замінити керуючий транзистор на 2 паралельно на всього замінити керуючий транзистор на 2 послідовно з'єднаних транзистора, як це показано на рис. 6.6б, логічна функція, яка описує стан вихідного сигналу такої схеми має вигляд:

$$Q = \overline{A \cdot B}. \quad (6.12)$$

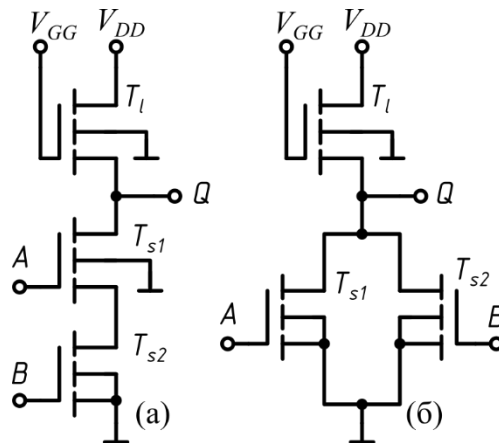


Рисунок 6.6 – Логічні схеми (а) 2І-НЕ та (б) 2АБО-НЕ реалізовані на МДН-транзисторах

Не залежно від кількості вхідних транзисторів у досліджуваному інверторі, для дослідження його передавальної характеристики, транзистори на які подається вхідні сигнали можна замінити одним еквівалентним транзистором.

6.1.4. Особливості послідовного з'єднання керуючих транзисторів

Схему в якій є послідовне з'єднання керуючих транзисторів можна розглядати спрощено як інвертор. Тобто для випадку, коли на вхід обох транзисторів подано логічну «1», то відношення опору навантаження, до загального опору вхідних транзисторів має бути таким самим як і у випадку звичайного інвертора. Оскільки транзистори T_{s1} та T_{s2} з'єднані послідовно

(рис. 6.6a), то ефективний опір кожного з транзисторів має бути вдвічі меншим ніж у випадку звичайного інвертора, тобто ширина каналу T_{s1} та T_{s2} має бути вдвічі більшою ніж для еквівалентного T_s інвертора з одним керуючим транзистором (рис. 6.1). В наслідок цього значно збільшується площа інвертора, в наслідок чого збільшується і вхідна та вихідна ємності, а це в свою чергу сповільнює перехідні процеси.

Слід також враховувати, що верхній транзистор T_{s1} на витoku має деякий потенціал відмінний від потенціалу підкладки, що вимагає великих вхідних напруги, задля забезпечення належного опору каналу у відкритому стані. Вказані недоліки практично обмежують кількість вхідних транзисторів, які можу бути ввімкнені послідовно. Типовим є застосування двох таких транзисторів, хоча у виключних випадках використовують три послідовно з'єднані транзистори, але не більше.

6.2. КОНТРОЛЬНІ ЗАПИТАННЯ

1. Перерахуйте основні електричні параметри схем статичної логіки НЕ, АБО-НЕ, І-НЕ.
2. Яким вимогам має задовольняти керуючий та навантажувальний транзистори логічних схем для реалізації високих значень коефіцієнта передачі?
3. Чому логічна схема повинна мати достатньо великі значення коефіцієнту передачі?
4. Як змінюється вигляд передавальної характеристики інвертора, реалізованого на МДН-транзисторах, за зміни напруги на затворі навантажувального транзистора?
5. Які фактори визначають час ввімкнення та вимкнення логічних схем?
6. Запишіть логічні функції для схем НЕ, АБО-НЕ та І-НЕ з трьома входами та побудуйте для цих функцій таблиці істинності.
7. Запишіть співвідношення для вольт-амперної характеристики інверторів, реалізованих на МДН-транзисторах, для різних режимів роботи транзисторів (в крутій та пологій областях ВАХ).

6.3. ЗАВДАННЯ

Розрахунки проводяться для інвертора наведеного на рис. 6.7, який виконує логічну функцію ЗАБО-НЕ:

$$Q = \overline{A + B + C}. \quad (6.13)$$

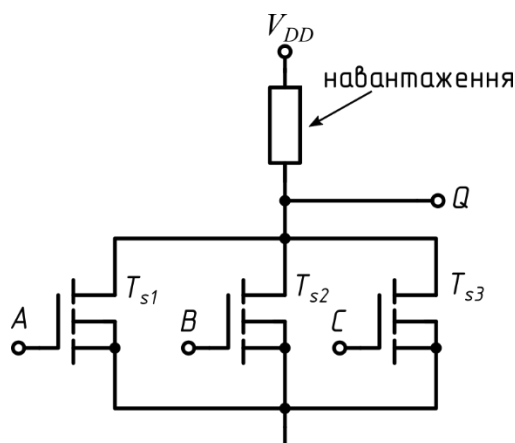


Рисунок 6.7 – Досліджуваний інвертори, який виконує логічну функцію 3І-НЕ, де в ролі навантаження може бути застосований як резистор, так і МДН- транзистор

Розглядяться інвертори з різними типами навантаження: резистор R_l , широкий транзистор T'_s та довгий транзистор T_l .

1. Отримати індивідуальне завдання у викладача.
2. За наданими викладачем даними побудувати сімейство вихідних вольт-амперних характеристик еквівалентного керуючого інтегрального МДН-транзистора T_s .
3. Визначити крутизну, динамічний опір стоку, коефіцієнт підсилення напруги – для крутої (S_1, r_{s1}, k_{U1}) і пологої (S_2, r_{s2}, k_{U2}) областей вихідних характеристик транзистора.
4. За наданими викладачем даними побудувати передавальні характеристики
5. За наданими викладачем даними побудувати на одному графіку передавальну характеристику інтегрального МДН-інвертора з:
 - а. лінійним резистором в ролі навантаження R_l .
 - б. МДН-транзистором ідентичним керуючому в ролі навантаження T'_s ;

- с. МДН-транзистором з довгим і вузьким каналом в ролі навантаження T_L .
6. Визначити коефіцієнти передачі для схем з навантаженнями R_L , T_S' і T_L .
 7. На сімействі вихідних ВАХ керуючого транзистора (п. 2) побудувати навантажувальні характеристики для трьох типів навантаження: R_L , T_S' , T_L .
 8. Виконати порівняльний аналіз досліджуваних схем інверторів і зробити висновки про доцільність використання розглянутих типів навантаження в схемах статичної логіки.
 9. Намалюйте можливу структуру одного із досліджених інтегральних МДН-інверторів (найоптимальнішого). Запропонуйте заходи щодо зниження порогової напруги та зменшення паразитної ємності інтегрального МДН-інвертора.
 10. Сформулювати висновки за результатами роботи.

ПЕРЕЛІК ПОСИЛАНЬ

1. Королевич Л.М. Обґрунтування вибору діелектрика та дослідження плівок діоксиду церію для МДН-структур : дис. канд. техн. наук : 05.27.01 / Королевич Любомир Миколайович. — Київ, 2021. — 150 с.

СПИСОК РЕКОМЕНДОВАНОЇ ЛІТЕРАТУРИ

2. Борисов О. В. Твердотільна електроніка : підручник / О. В. Борисов, Ю. І. Якименко. — Київ : КПІ ім. Ігоря Сікорського, 2018. — 484 с.

3. Бондаренко І.М., Бородин О.В., Карнаушенко В.П. Проектування напівпровідникових приладів та інтегральних схем: Навч. посібник для студентів ЗВО. – Харків: ХНУРЕ, 2018. – 177 с.

4. Дружинін А. О. Твердотільна електроніка. Фізичні основи і властивості напівпровідникових приладів: навч. посіб. / А.О.Дружинін. – Львів: Видавництво Національного університету "Львівська політехніка", 2009. – 328 с.

5. Закалик Л. І. Основи мікроелектроніки : Навчальний посібник / Закалик Л.І., Ткачук Р.А. . — Тернопіль : ТДТУ ім. І.Пулюя , 1998 — 352 с. — ISBN 5-7763-9656-5

6. Кузьмичев А. І. Технологічні основи електроніки. Кн. 1 : Технологія виробництва мікросхем / А. І. Кузьмичев, Л. Д. Писаренко, Л. Ю. Цибульський. — Київ : : КПІ ім. Ігоря Сікорського, 2019. — 127 с.

7. Павлов С. М. Основи мікроелектроніки: навчальний посібник / С. М. Павлов. – Вінниця : ВНТУ, 2010. – 224 с.

8. Прищепа М. М. Мікроелектроніка: в 3 ч. Ч.1. Елементи мікроелектроніки : навч. посіб. / М. М. Прищепа, В. П. Погребняк ; за ред. М. М. Прищепи. – К.: Вища шк., 2004. – 431 с.

9. Прищепа М.М., Погребняк В.П. Мікроелектроніка: В 3 ч. Ч. 2. Елементи мікросхемотехніки: Навч. посіб. / За ред. М. М. Прищепи. - К.: Вища шк., 2006. - 503 с. — ISBN 966-642-319-7