

Иванько А.Ф.

Структура и архитектура микропроцессоров современных персональных электронных вычислительных машин

1. Введение в архитектуру микропроцессоров

Создание фирмой Intel первого микропроцессора в 1971 году положило начало эпохе компьютеризации. «Благодаря микропроцессорам компьютеры стали массовым, общедоступным продуктом», - заявил Тед Хофф, один из изобретателей первого микропроцессора. Его имя, вместе с именами его коллег - Федерико Феджина и Стена Мейзора, внесено в список лауреатов Национального зала славы изобретателей США, а само изобретение признано одним из величайших достижений XX века.

За чуть более чем четвертьвековую историю микропроцессоры прошли поистине гигантский путь. Первый чип Intel 4004 работал на частоте 750 кГц, содержал 2300 транзисторов и стоил около 200\$. Производительность его оценивалась в 60 тыс. операций в секунду. На сегодняшний день рекордные показатели принадлежат микропроцессорам Alpha 21264 фирмы DEC и составляют: 600 МГц, 15,2 млн. транзисторов, 2 млрд. операций в секунду. Стоят они около 300\$.

Сравнение приведенных значений подтверждает оценку успехов микропроцессорной индустрии, данную основателем и председателем совета директоров фирмы Intel Гордоном Муром: «Если бы автомобилестроение эволюционировало со скоростью полупроводниковой промышленности, то сегодня «Роллс-Ройс» стоил бы 3 доллара, мог бы проехать полмиллиона миль на одном галлоне бензина и было бы дешевле его выбросить, чем платить за парковку».

Такое интенсивное развитие технологий в обществе, где основным предметом труда становится информация, - следствие растущего спроса на новые орудия труда - компьютеры. На сегодняшний день компьютеризация является одним из главных направлений научно-технического прогресса и концентрированным его выражением. Количество и качество производимых в стране компьютеров, степень насыщенности вычислительной техникой самых разных отраслей становится одним из основных критериев ее экономического и военного потенциала.

В формируемом ежегодно в США группой экспертов перечне «критических технологий», охватывающем практически все направления производства, исследований и разработок, оказывающих влияние на военный и экономический статус страны, микроэлектронные технологии традиционно занимают первое место.

В микропроцессорах - наиболее сложных микроэлектронных устройствах - воплощены самые передовые достижения инженерной мысли. В условиях свойственной данной отрасли производства жесткой конкуренции и огромных капиталовложений выпуск каждой новой модели микропроцессора так или иначе связан с очередным научным, конструкторским, технологическим прорывом.

В микропроцессорах нашли отражение высокие научно-технические достижения в области физики твердого тела, кристаллографии, радиотехники и электроники, математики и автоматизации, кибернетики и электроники. Известны различные применения микропроцессоров. Важнейшими из них являются: автоматизация электротехнического оборудования, управление производством, физическое и математическое моделирование, обработка результатов экспериментов, управление приборами и искусственными органами в медицине, обеспечение безопасности движения на транспорте и т.д.

Отечественной промышленностью выпускаются микропроцессорные комплекты (МПК) на базе больших интегральных схем (БИС). По способу изготовления выпускают полупроводниковые монокристалльные и гибридные БИС, по типу формируемых транзисторов - униполярные и биполярные.

Для решения различных задач в ЭВМ используют логические схемы, выполняющие логические операции с двоичными переменными. Логические схемы реализуются на различных МПК БИС. Одним из наиболее распространенных узлов ЭВМ является триггер - логический

элемент, обладающий двумя устойчивыми состояниями. Триггер легко можно построить из логических схем инверторов и схем ИЛИ. В настоящее время известно несколько типов триггеров, различающихся организацией входных цепей: несинхронизированный - RS-триггер; триггер со счетным входом (Т-триггер); D-триггер со счетным входом, работающий в режиме синхронизации; JK-триггер. Различные блоки и устройства ЭВМ строятся на базе логических схем и триггеров. Это различного типа регистры, счетчики, селекторы, сумматоры и дешифраторы. Регистр - устройство временного хранения информации, строится на некотором определенном числе триггеров.

Счетчик - это триггерный регистр, содержимое которого изменяется на столько единиц, сколько импульсов появляется на его входе за определенный отрезок времени. Специальным включением триггеров, схем И и ИЛИ можно получить счетчик с вычитанием поступающих на вход импульсов (реверсивный счетчик). Регистры, в свою очередь, можно использовать не только для временного хранения информации, но и для выполнения операции сдвига информации на требуемое количество разрядов вправо или влево. Если содержимое разрядов, смещенных за пределы регистра, с помощью специальных схем перемещается на противоположную сторону регистра и образует как бы замкнутое кольцо, регистр называется кольцевым.

Для выбора одного из нескольких различных источников информации и подключения его к одному из нескольких приемников используют селектор - устройство, обеспечивающее отключение отдельных блоков ЭВМ и связь их с другими блоками.

В запоминающих устройствах (ЗУ) ЭВМ невозможно обойтись без дешифраторов - устройств, преобразующих комбинацию входных сигналов в один «избирательный сигнал», служащий для обращения к ЗУ и выборки информации, хранящейся в указанной ячейке памяти.

Микропроцессор является основой микроЭВМ, основная его особенность - программируемость поведения. Для комплексной оценки свойств отдельных микропроцессоров вводят понятие архитектуры МП, понимая под этим его схемотехническую и логическую организацию. Основным узлом МП является арифметико-логическое устройство (АЛУ), предназначенное для непосредственного выполнения арифметических и логических операций с данными. АЛУ входят в состав обрабатывающей части МП, структурная схема которой представлена на рис. 1.1.

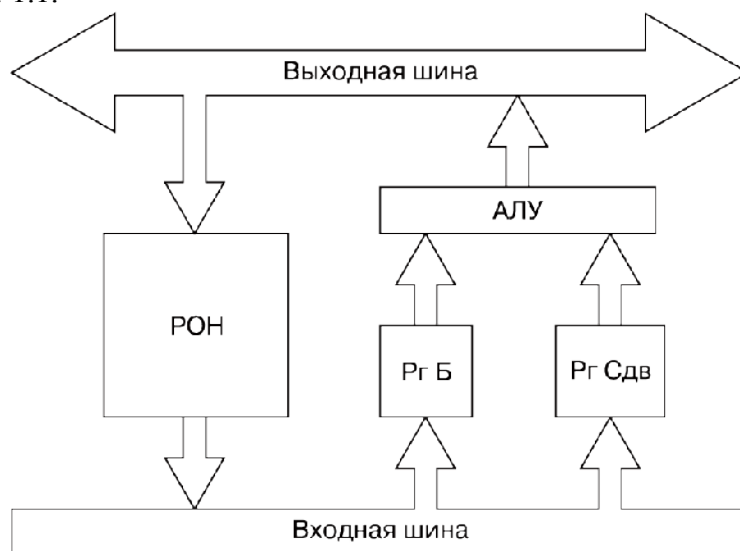


Рис.1.1. Структурная схема обрабатывающей части микропроцессора

В состав обрабатывающей части МП входят блок регистров общего назначения (РОН), часто называемый сверхоперативным ЗУ (СОЗУ); буферный регистр (Рг Б); сдвиговый регистр (Рг Сдв) и АЛУ.

В РОН хранятся информационные слова, подлежащие обработке в АЛУ, результаты и управляющие слова. РОН допускают считывание и запись информации, для чего содержат входную и выходную шины, шину указания адреса РОН или адресную шину и управляющий

вход, сигнал на котором задает режим работы: запись, хранение или чтение информации. Информация из РОН может либо поступать в АЛУ, либо предварительно записывается в буферный или сдвиговый регистры, служащие для предварительного хранения информации или осуществления ее сдвига непосредственно перед обработкой в АЛУ. В системе, представленной на рис. 1.1, при подаче соответствующих управляющих сигналов возможны следующие операции:

- передача данных из одного РОН в другой (из первого РОН в РгБ, затем в АЛУ и во второй РОН);
- увеличение или уменьшение на единицу содержимого любого РОН путем изменения в АЛУ выбранного из РОН значения на единицу и засылки полученного результата в тот же регистр;
- сдвиг содержимого любого РОН на определенное количество разрядов путем передачи выбранного числа в Рг Сдв, сдвига этого числа и записи через АЛУ в тот же РОН.

Выполнение этих операций возможно только при поступлении управляющих сигналов, соответствующим образом распределенных по времени. Время выполнения операций определяется частотой поступления тактовых (синхронизирующих) сигналов.

Для управления выполнением операций, выбором команд программы в необходимой последовательности, их дешифровки и обработки составляющих их частей служит входящее в МП устройство управления (УУ). В настоящее время применяются МП с двумя типами устройств управления: с микропрограммным управлением и с фиксированной системой команд (рис. 1.2).

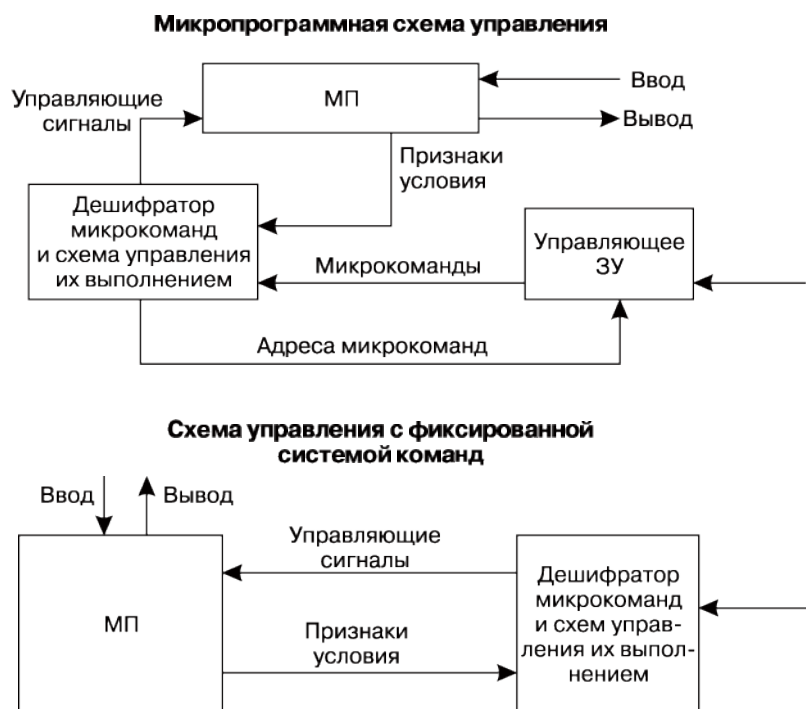


Рис. 1.2. Схемы организации управления процессом информации в МП

Микропрограммный способ управления позволяет легко вносить изменения в систему команд МП, путем записи в ЗУ микропрограммы выполнения новой команды. Недостатком микропрограммного способа управления является ограниченность скорости быстрогодействия МП быстрымдействием управляющего ЗУ. В МП с фиксированной системой команд управляющий блок расшифровывает поступившую команду и в соответствии с ее кодом вырабатывает управляющие сигналы в необходимой последовательности. Расшифровке поддаются только те команды, которые входят в систему команд данного МП. Такой способ организации управления получил название жесткого или схемного. Жесткость и сложность структуры этого типа управления являются основным его недостатком, высокое быстроедействие - главным преимуществом.

Команды, составляющие программу, размещаются во внешнем запоминающем устройстве команд (ЗУК). МП обеспечивает выборку команд в нужной последовательности, их дешифрацию и т.д. Для выполнения этих функций МП должны иметь: программный счетчик (ПС), хранящий текущий адрес команды, регистр команд (РК), предназначенный для хранения команд, поступающих из ЗУК. Адрес команды из ПС поступает через блок усилителей буфера адреса (БА) на шину адреса, а затем на адресные входы ЗУК. Команда, выбранная из ЗУК, поступает на буфер данных (БД), а затем, на регистр команд (РгК). Код команды расшифровывается дешифратором команд (ДшК), который передает код выполняемой операции в устройство управления выполнением операций (УУВО), вырабатывающее последовательность управляющих сигналов (рис. 1.3). В настоящее время существуют МП с одной, двумя (шины А и Б на рис. 1.3) и тремя внутренними шинами. При трехшинной организации МП возможно выполнение логических, арифметических операций за один такт работы МП. Основной недостаток трехшинной архитектуры - большая площадь, занимаемая шинами на кристалле ИС (до 25%). При одношинной организации МП площадь, занимаемая шиной, не превышает 10% всей площади кристалла, однако выполнение операций усложняется прежде всего за счет введения дополнительных регистров.

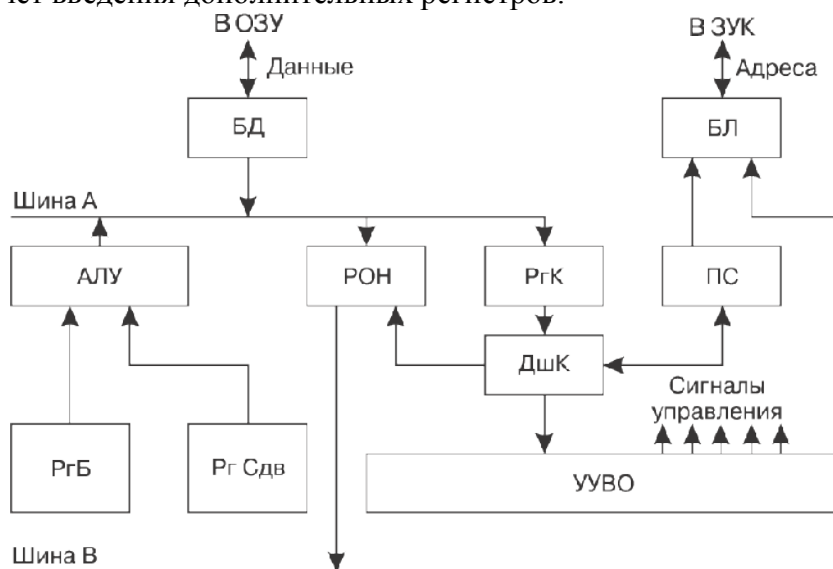


Рис. 1.3. Структура микропроцессора

Выполнение различных операций МП осуществляет под воздействием команд, поступающих на его вход. В зависимости от архитектуры МП можно выделить команды изменения содержимого ячеек памяти, изменения содержимого регистра-аккумулятора, выполнения операций с памятью-стек, выполнения операций в АЛУ, изменения содержимого регистра состояния и т.д. Разнообразие команд управления МП представляет собой его систему команд. Чем больше команд выполняет МП, тем эффективнее может быть реализован алгоритм решения какой-либо прикладной задачи. Системы команд различных МП отличаются друг от друга, так как каждый МП предназначен для определенной области применения. Кроме отличий системы команд, МП могут различаться организацией режима прерываний, т.е. возможностью МП использовать свободные промежутки времени для выполнения другой части программы. Основу МК БИС составляет базовый комплект интегральных микросхем одной серии. Условное обозначение серии БИС состоит из двух элементов: первый элемент - цифра, указывающая на конструктивно-технологическую разновидность: полупроводниковые - 1, 5, 6, 7; гибридные - 2, 4, 8; прочие (пленочные, керамические) - 3.

Второй элемент - двух или трехзначное число, указывающее регистрационный порядковый номер серии. Условное обозначение ИС состоит из четырех или трехзначных цифр (шифр серии), двух букв, определяющих подгруппу и вид микросхем (см. таблицу), и порядкового номера разработки микросхемы. Буква К, стоящая первой в условном обозначении ИС, указывает на возможность широкого применения, буквы КН, КМ, КР, КА в начале

условного обозначения ИС характеризуют условия их приемки на заводе-изготовителе. Например, К1802ВС1 - полупроводниковая ИС широкого применения, представляющая микропроцессорную секцию МПК БИС серии К1802, порядковый номер микросхемы в серии - 1.

Подгруппа и вид ИС	Обозначение
Схемы цифровых устройств:	
регистры	ИР
сумматоры	ИМ
полусумматоры	ИЛ
счетчики	ИЕ
шифраторы	ИВ
дешифраторы	ИД
комбинированные	ИК
арифметико-логические устройства	ИА
прочие	ИП
Схемы вычислительных средств:	
микроЭВМ	ВЕ
микропроцессоры	ВМ
секции	ВС
схемы микропрограммного управления	ВУ
микропроцессорные с функциональные расширители	ВР
схемы синхронизации	ВБ
схемы управления прерыванием	ВН
схемы управления вводом-выводом (схемы интерфейса)	ВВ
схемы управления памятью	ВТ
функциональные преобразователи информации	ВФ
схемы сопряжения с магистралью	ВЛ
времязадающие схемы	ВИ
микрокалькуляторы	ВХ
контроллеры	ВГ
комбинированные схемы	ВК
специализированные схемы	ВЖ
прочие	ВП
Схемы ЗУ:	
матрицы оперативных ЗУ	РМ
матрицы постоянных ЗУ	РВ
оперативные ЗУ	РУ
постоянные ЗУ с возможностью однократного программирования	РТ
постоянные ЗУ (масочные)	РЕ
ЗУ на цилиндрических магнитных доменах	РЦ
постоянные ЗУ с возможностью многократного электрического перепрограммирования	РР

остоянные ЗУ с ультрафиолетовым стиранием и электрической записью информации	РФ
ассоциативные ЗУ	РА
прочие	РП

Однокристальные микропроцессоры по типу архитектуры построения МП делятся на однокристальные, секционные МП и однокристальные микроЭВМ. В однокристальной микроЭВМ (ОЭВМ) в кристалле ИС заключен не только МП, но также ПЗУ и ОЗУ, т.е. узлы, входящие в ядро классической ЭВМ. Однокристальные МП и ОЭВМ имеют фиксированные разрядность обрабатываемых данных (4, 8, 16, 32) и систему команд, хранящуюся в ПЗУ. Для секционных МП характерен микропрограммный способ управления. По способу организации связи МП с внешней средой различают МП с общей шиной адреса и данных и МП с отдельными шинами адреса и данных. В МП с общей шиной необходимо временное разделение прохождения адресов и данных. Для обмена информацией с внешними устройствами требуется 6-8 временных тактов, а также специальный адресный регистр и управляющий сигнал разделения адрес - данные. В МП с отдельными шинами специальный управляющий сигнал и адресный регистр не нужны. Недостатком является большая площадь, занимаемая шинами на поверхности кристалла.

Однокристальные микропроцессоры (ОМП) имеют ряд характерных особенностей построения: фиксированную разрядность обрабатываемых данных, фиксированную систему команд (рис. 1.4).

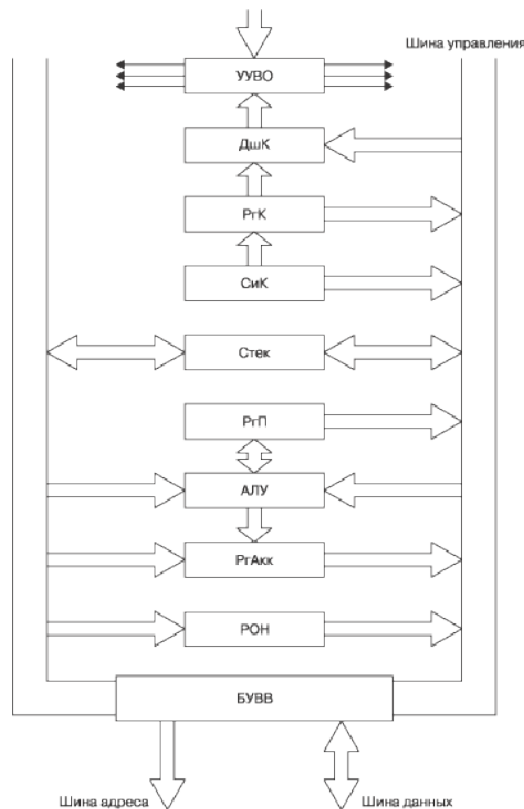


Рис.1.4. Схема однокристального МП

Обработка информации осуществляется в АЛУ. Стек (магазинная память) используется как запоминающее устройство, при обращении к которому не требуется указания адреса. Регистр-аккумулятор (Рг Акк) предназначен для временного хранения одного из данных, участвующих в операции, и результата. Использование Рг Акк позволяет уменьшить разрядность команд.

Для хранения и анализа вырабатываемых в процессе выполнения операций сигналов, носящих название признаков, предназначен регистр признаков (Рг П).

Данные поступают в МП по шине данных в блок управления вводом-выводом (БУВВ), который направляет команды в регистр команд (РгК), а числа - в РОН, в стек или в АЛУ. ДШК расшифровывает команду, после чего УУВО вырабатывает соответствующие расшифрованной команде управляющие сигналы. АЛУ производит необходимые действия, результат помещается в стек, РОН или через БУВВ подается на внешние устройства. Все функциональные узлы ОМП связываются внутренней шиной (шинами). Разрядность внутренней шины равна длине слов, с которыми оперирует МП. Шина данных работает в прямом и обратном направлениях по принципу временного мультиплексирования передач.

Наибольшее распространение в 80-е годы находит однокристалльный 16-разрядный микропроцессор К 1810ВМ86, обладающий возможностью эффективной работы с языками высокого уровня, гибкой и мощной системой команд, развитой структурой прерываний, разнообразными способами адресации памяти.

Микропроцессор К 1810ВМ86 реализован по традиционной архитектуре, в соответствии с которой производится последовательная выборка команд и данных из памяти с последующей обработкой данных в АЛУ в соответствии с выбранной командой.

В состав обрабатывающей части МП в связи с ограниченной его разрядностью введены индексные регистры, обеспечивающие обращение к большому объему памяти. Микропроцессор КМ 1810ВМ86 содержит (рис. 1.5): арифметико-логическое устройство (АЛУ) с регистром признаков (РгПр), блок микропрограммного управления (МПУ), восемь 16-разрядных регистров общего назначения (РОН), имеет 8-разрядные регистры очереди команд (РОК), шесть 16-разрядных специальных регистров (Срг), буферный регистр адрес/данные (Брг А/Д) и устройство управления и синхронизации (УУС). Адреса и данные поступают по внешней шине на буферный регистр и далее на внутреннюю магистраль.

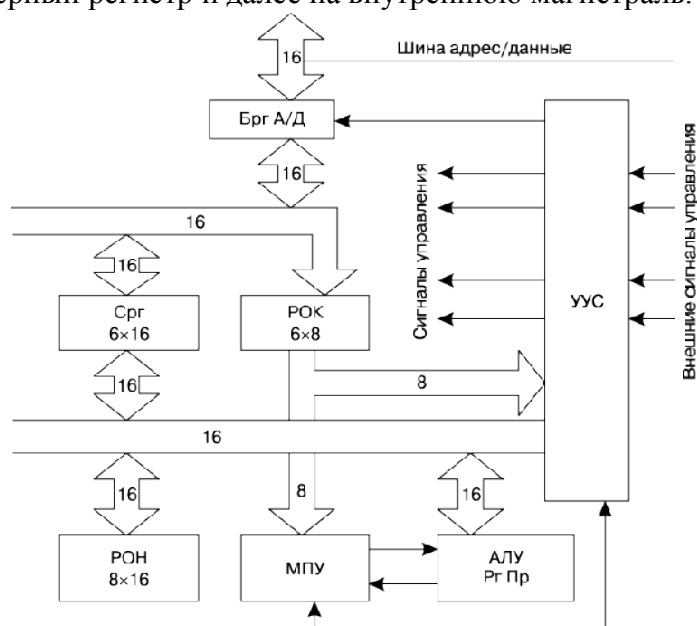


Рис. 1.5. Структурная схема микропроцессора КМ

Архитектурной особенностью МП КМ 1810ВМ86 является наличие аппаратно-программных средств, упрощающих построение на его основе различных микропроцессорных систем. МП может выполнять 135 видов команд: арифметические, пересылки данных, поразрядной обработки, обработки строк, команды управления.

2. ОСОБЕННОСТИ НАБОРА КР 580

Одним из важнейших достижений микроэлектроники и вычислительной техники является создание микропроцессоров и микропроцессорных наборов БИС.

Универсальность микропроцессоров и других микропроцессорных средств позволяет широко использовать МП и БИС для создания микроЭВМ и микропроцессорных систем,

используемых главным образом для логического управления и контроля за работой технических объектов, оборудования и т.д.

Типичная схема микропроцессорного устройства или микроЭВМ приведена на рис. 2.1.

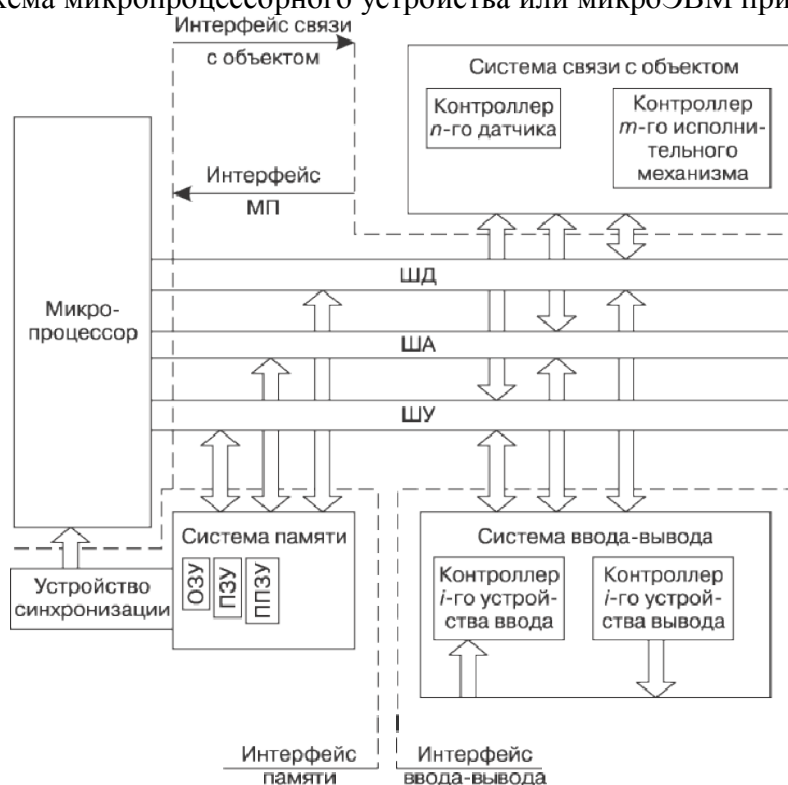


Рис.2.1. Структурная схема микропроцессорного устройства

Центральное место в этой структуре занимает микропроцессор (МП), который выполняет арифметические операции над данными, осуществляет управление процессом обработки информации, организует взаимодействие всех устройств, входящих в систему. Для микропроцессорных систем характерна трехшинная структура, содержащая шину адреса (ША), двунаправленную шину данных (ШД) и шину управления (ШУ). Предполагается наличие общего сопряжения для модулей памяти (ОЗУ, ПЗУ и ППЗУ) и периферийных устройств - внешних ЗУ и устройств ввода-вывода и системы связи с объектом.

Периферийные устройства подсоединяют к шинам интерфейса не непосредственно, а через периферийный программируемый адаптер (ППА), обслуживающий периферийные устройства с подачей информации параллельным кодом, и через программируемый связной адаптер - для периферийных устройств с передачей последовательным кодом.

3. АРХИТЕКТУРА МИКРОПРОЦЕССОРА К580 И МИКРОЭВМ НА ЕГО БАЗЕ

Одним из распространенных комплектов БИС является микропроцессорный комплект серии КР 580 - отечественный аналог микропроцессора Intel 8086. Основу комплекта составляет однокристалльный микропроцессор КР 580ИК80. Кроме МП в состав серии КР 580 входит большое число БИС, позволяющих сравнительно просто подключать к МП различные устройства, организовывать быстрый обмен информацией между блоками.

Структурная схема микропроцессора КР 580ИК80 приведена на рис. 3.1.

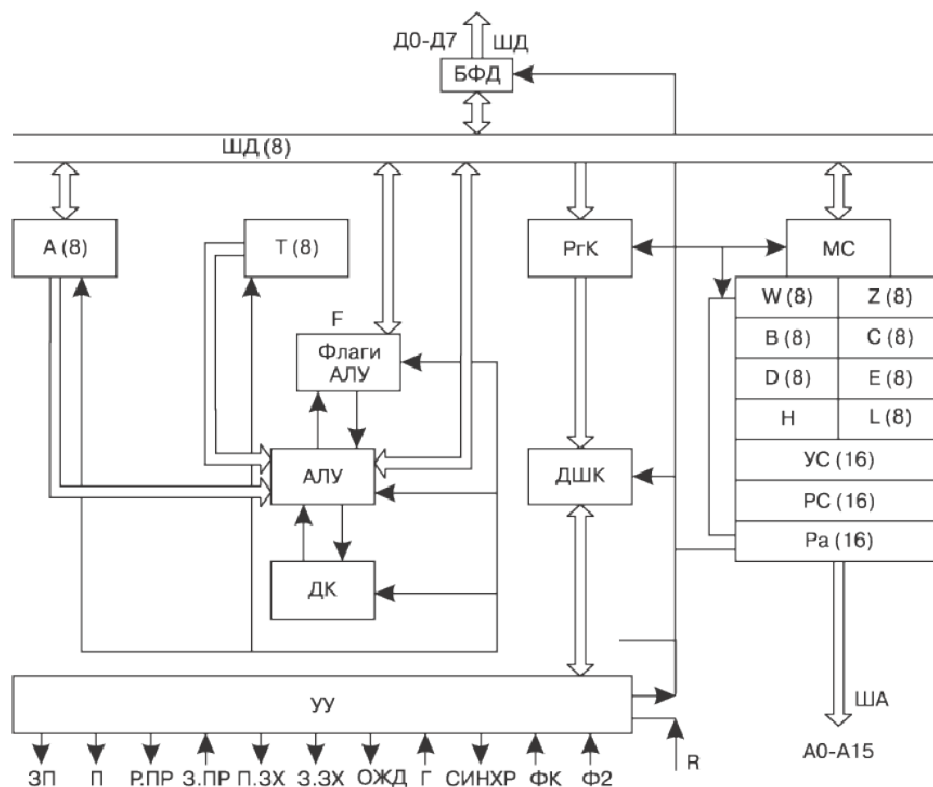


Рис.3.1. Структурная схема микропроцессора КР 580ИК80

МП имеет 3 шины:

- 8-разрядную двунаправленную внутреннюю шину данных (ШД);
- 16-разрядную адресную шину (ША);
- шину управления (ШУ).

При рассмотрении структуры МП можно выделить следующие компоненты: блок регистров, арифметико-логическое устройство (АЛУ), буферные схемы, управляющее устройство (УУ).

Блок регистров содержит:

- 8-разрядные программно-доступные регистры общего назначения, которые обозначаются буквами А, В, С, D, E, H, L, причем регистр А одновременно является аккумулятором;
- специализированные 16-разрядные регистры: счетчик команд СК, регистр-указатель стека УС, сдвоенный регистр косвенного адреса HL, 8-разрядный регистр признаков F;
- программно-недоступные регистры: 8-разрядные регистры временного хранения T, W, Z; регистр команд (RrK), 16-разрядный регистр адреса (PA).

В МП КР 580ИК80 имеется возможность использования содержимого пар регистров В и С, D и E, H и L как 16-разрядных регистров (слов двойной длины).

Отметим назначения регистров блока регистров.

Регистр-аккумулятор А является одновременно регистром одного из операндов и регистром результата операции. Общие регистры А, В, С, D, E, H используются для хранения операндов, промежуточных и конечных результатов, а также адресов и индексов при косвенной и индексной адресациях.

Применение аккумулятора и общих регистров позволяет при выполнении команд уменьшить количество обращений к памяти и тем самым фактически повысить быстродействие МП.

Особенностью блока регистров МП является наличие в его составе схемы инкремента/декремента, которая производит над содержимым регистров (без использования АЛУ) операцию прибавления/вычитания I. Схема инкремента/декремента позволяет

реализовать процедуры автоматического задания приращений при операциях с адресами не только в регистре УС, но и в СК.

Регистры временного хранения Т, W и Z служат для кратковременного хранения некоторых операндов и результатов выполнения операций.

В состав блока регистров входит регистр-защелка адреса памяти РА. РА недоступен программисту. Регистр-защелка адреса передает адрес в буферную схему и далее в шину адреса (ША).

Арифметико-логическое устройство (АЛУ) служит для преобразования 8-рядных данных.

К одному из входов АЛУ подключен аккумулятор А, к другому - через регистр временного хранения Т - может быть подключен любой из регистров общего назначения.

Обрабатываемые данные поступают в АЛУ от внешнего источника по информационной шине ШД или от одного из регистров общего назначения А-L. Результат преобразования передается во внешнюю магистраль через буфер шины данных и может быть записан в один из регистров А-L. При выполнении операций в регистре признаков F фиксируются особенности выполнения операции (рис. 3.2). Эти особенности определяют значение разрядов F после операции: нулевой или ненулевой результат операции в аккумуляторе определяет разряд, перенос из старшего разряда - разряд СУ, знак результата - S, четность числа битов - P, вспомогательный перенос из младшего полубайта - AC.



Рис.3.2. Структура регистра признаков

Наличие регистра признаков F используется для реализации программных переходов в зависимости от значения того или иного разряда F.

В АЛУ входит схема десятичного корректора (ДК).

АЛУ реализует простейшие арифметические и логические операции (сложение, вычитание, сдвиги, сравнение, логическое умножение и т.п.). Более сложные операции выполняются по подпрограммам.

Важным блоком МП является устройство управления (УУ). Оно содержит дешифраторы команд и генерирует управление и синхронизирующие сигналы.

Таким образом, устройство управления состоит из двух относительно независимых частей:

- первичного автомата, управляющего процессами внутри МП;
- схемы, обрабатывающей сигналы и генерирующей управляющие сигналы в микропроцессорной системе.

Общая структура алгоритма функционирования управляющего автомата в течение рабочего цикла выполнения команды показана на рис. 3.3. Рабочий цикл может иметь различную длительность в силу различных причин:

- команды могут иметь различную длину (однбайтовые, двухбайтовые, трехбайтовые),
- имеются различные типы адресации (с непосредственно прямым или последовательным доступом).

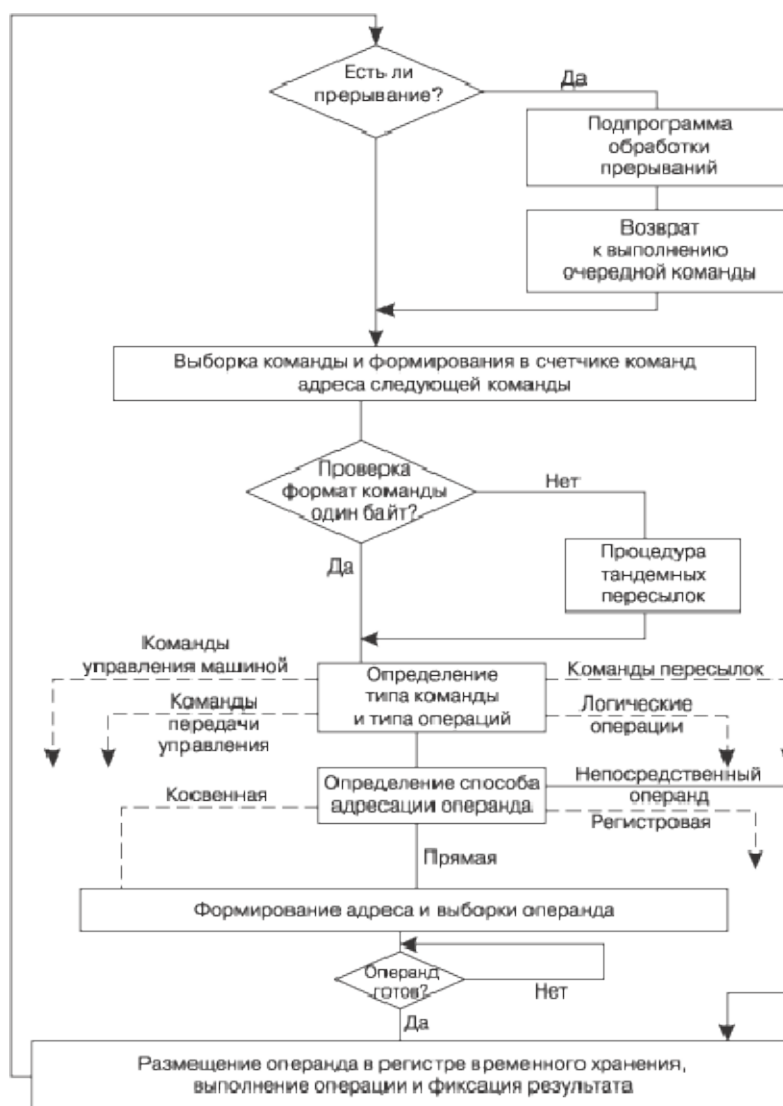


Рис.3.3. Рабочий цикл выполнения команд

4. СИСТЕМА КОМАНД МИКРОПРОЦЕССОРА КР 580ИК80

С точки зрения пользователя команды МП можно разбить на несколько групп: пересылки, арифметических и логических операций, операций передачи управления.

Группа команд пересылки обеспечивает передачу данных с одного устройства на другое. При написании команд пересылок вначале ставится адрес приемника, а затем адрес источника данных. Обеспечивается передача слов двойной длины в соответствующую пару регистров.

Группа арифметических и логических операций, как правило, обеспечивает выполнение операции над содержимым аккумулятора и вторым операндом, источник которого указывается в коде операций. Результат помещается в аккумулятор.

Группа команд передачи управления изменяет последовательность исполняемых команд, обеспечивая условные и безусловные переходы к подпрограмме и т.п. Кроме МП в состав серии КР 580 входит набор БИС, позволяющих сравнительно просто подключать к МП различные устройства, организовывать быстрый обмен информацией между блоками.

Рассмотрим некоторые БИС из этой серии.

БИС программируемого таймера КР 580ВИ53 предназначена для организации работы микропроцессорных систем в режиме реального времени и позволяет формировать сигналы с различными временными и частотными характеристиками. Программируемый таймер имеет три независимых канала, каждый из которых содержит 16-разрядный вычитающий счетчик. Счетчики могут работать с двухбайтовыми и однобайтовыми числами. Скорость счета может программно изменяться.

Упрощенная схема программируемого таймера (ПТ) приведена на рис. 4.1.

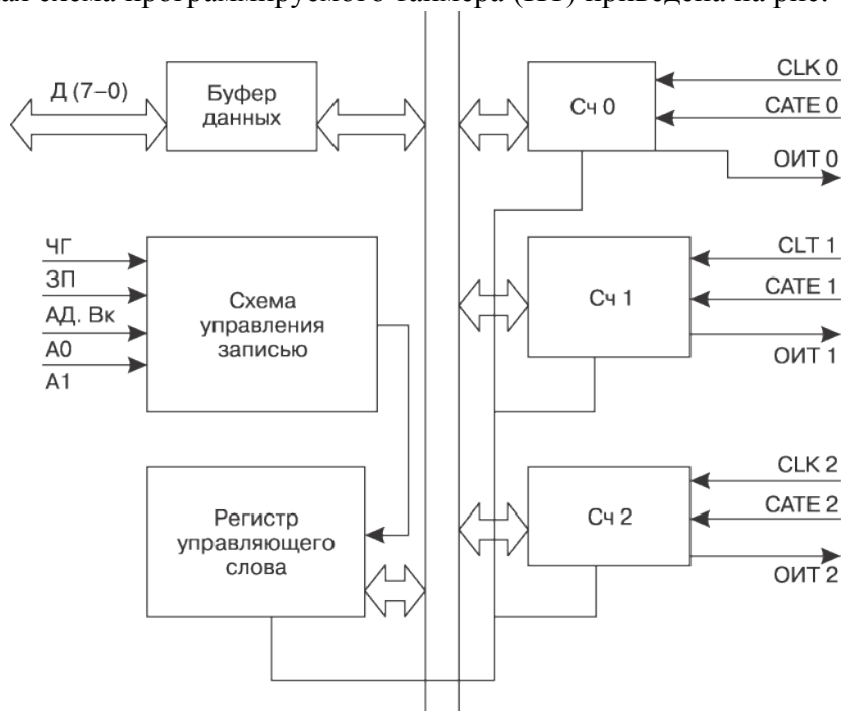


Рис.4.1. Схема программируемого таймера

В состав БИС КР 580ВИ53 входят буфер данных, предназначенный для обмена данными и управляющими словами между МП и ПТ; схема управления чтением - записью, обеспечивающая выполнение операций ввода-вывода информации в ПТ; регистр управляющего слова, предназначенный для записи управляющих слов, задающих режимы работы счетчиков; счетчик каналов.

Установка режима работы каждого канала ПТ производится программным путем посредством записи управляющего слова и начального содержимого счетчика с помощью команд вывода ОТ.

Формат управляющего слова указан на рис. 4.2. Управляющее слово задает номер счетчика, последовательность записи и считывания содержимого счетчика, режим работы.

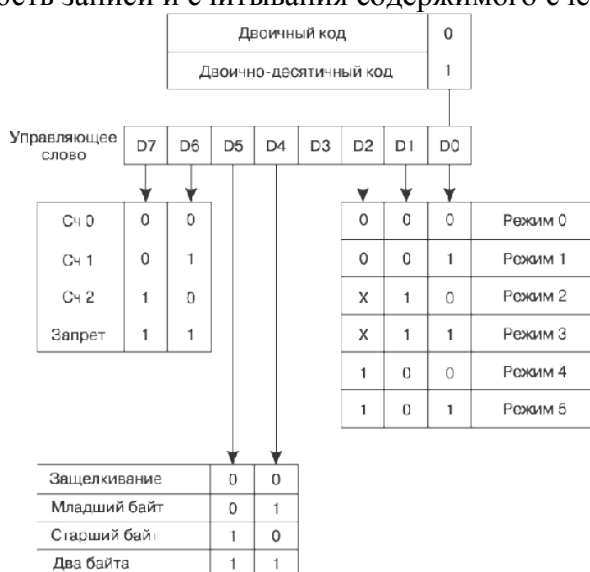


Рис.4.2. Формат управляющего слова

Имеется несколько режимов работы счетчиков.

БИС параллельного интерфейса КР 580ВВ55 предназначена для организации ввода-вывода параллельной информации и позволяет реализовывать большинство известных

протоколов обмена по параллельным каналам. Структурная схема БИС КР 580ВВ55 приведена на рис. 4.3, а управляющее слово - на рис. 4.4.

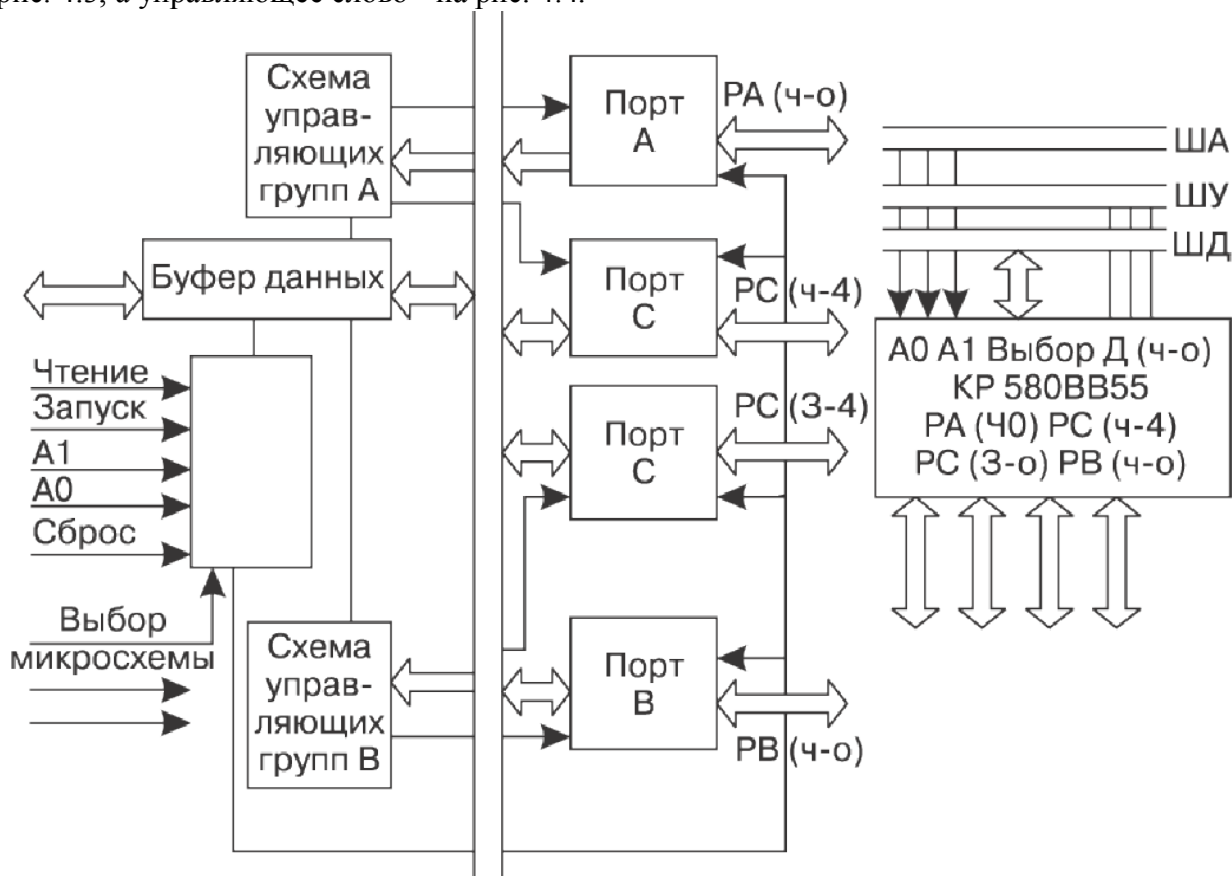


Рис.4.3. Структурная схема БИС КР 580ВВ55

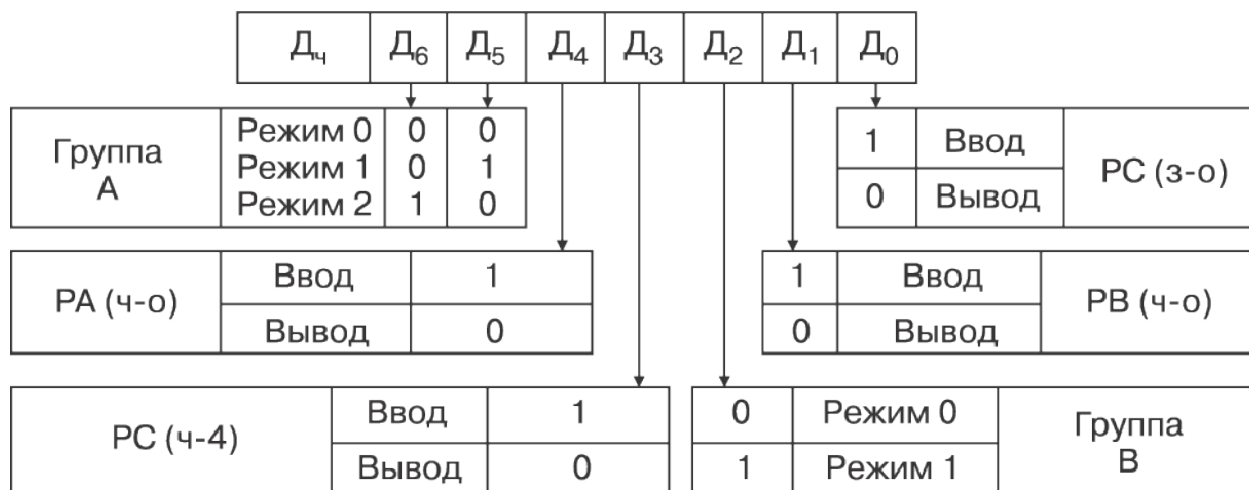


Рис.4.4. Управляющее слово

БИС КР 580ВН59 программируемого контроллера прерываний (ПКП) представляет собой устройство, реализующее до 8 уровней запросов прерывания с возможностями программного маскирования и изменения дисциплины обслуживания прерываний. Упрощенная структурная схема ПКП приведена на рис. 4.5, а схема подключения ПКП к системной шине - на рис. 4.6.

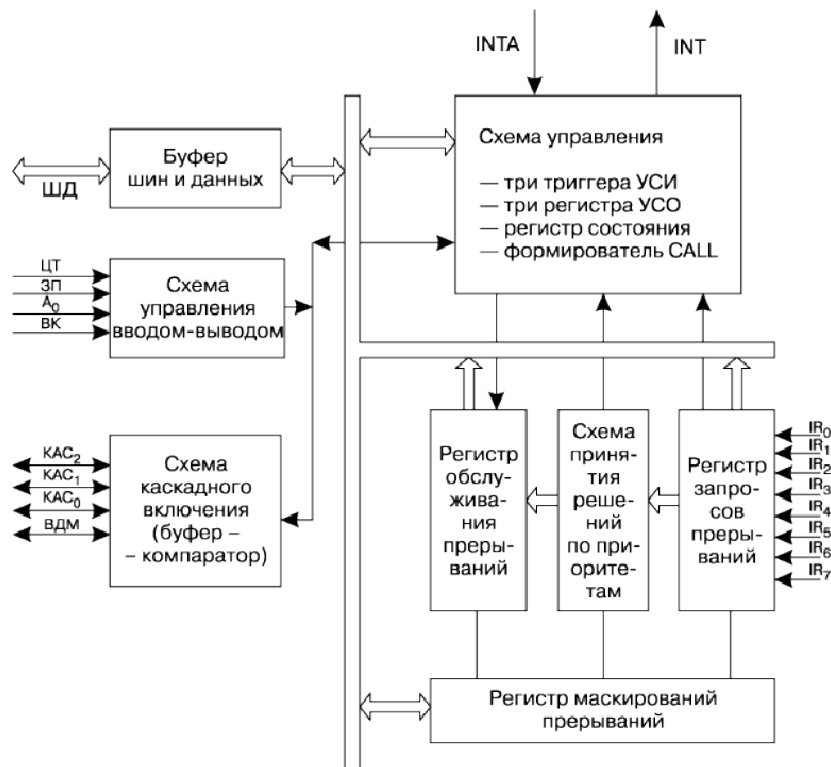


Рис.4.5. Схема подключения МКП к системной шине

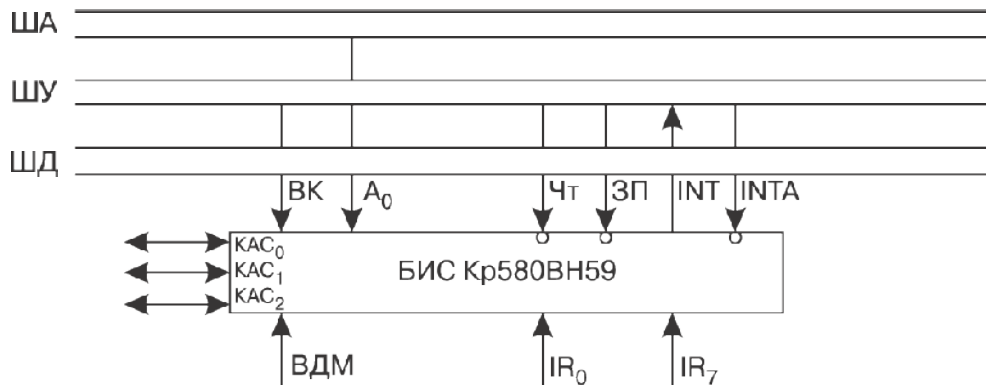


Рис.4.6. Схема подключения МКП к системной шине

Список команд приведен в таблице.

Команды пересылки

И а	И ао еиі ue	И а	И ао еиі ue	И а	И ао еиі ue
annai aea?a	ei a	annai aea?a	ei a	annai aea?a	ei a
MOV A, A	7A	MOV E, A	57	MOV A, aaeo	3A
MOV A, A	78	MOV E, A	58	MOV A, aaeo	05
MOV A, N	79	MOV E, N	59	MOV N, aaeo	0A
MOV A, A	7A	MOV E, D	5A	MOV D, aaeo	15
MOV A, A	7A	MOV E, A	5A	MOV A, aaeo	1E
MOV A, I	7B	MOV E, I	5B	MOV I, aaeo	25
MOV A, L	7C	MOV E, L	5C	MOV L, aaeo	2E
MOV A, I	7A	MOV E, I	5A	MOV I, aaeo	35
MOV A, A	47	MOV I, A	67	LxI A, 2 aaeo	01
MOV A, A	40	MOV I, B	60	LxI A, 2 aaeo	11
MOV A, N	41	MOV I, C	61	LxI I, 2 aaeo	21
MOV A, D	42	MOV I, D	62	LxI 2, 2 aaeo	31
MOV A, A	43	MOV I, E	63		
MOV A, I	44	MOV I, H	64		
MOV A, L	45	MOV I, L	65		
MOV A, I	46	MOV I, M	66		

Команды арифметических и логических операций,

ADD	A	87	INR	A	04	ANA	A	A7
	B	80		B	0		B	A0
	C	81		C	14		C	A1
	D	82		D	1		D	A2
	E	83		E	24		E	A3
	H	84		H	2		H	A4
L	85	L	34	L	A5			
M	86	M		M	A6			
ADC	A	8	INX	B	03	XPA	A	A
	B	88		D	13		B	A8
	C	89		H	23		C	A9
	D	8A		SP	33		D	AA
	E	8B					E	AB
	H	8C					H	AC
L	8D			L	AD			
M	8			M	A			

I a annai aea?a	I ao eii ue ei a	I a annai aea?a	I ao eii ue ei a	I a annai aea?a	I ao eii ue ei a
MOV N, A	4A	MOV L, A	6	Gaa?oea	
MOV N, A	48	MOV L, A	68	LAA X A	0A
MOV N, N	49	MOV L, N	69	LAA X D	1A
MOV N, A	4	MOV L, D	6	LHL A-aa?an	2A
MOV N, A	4A	MOV L, A	6A	LAA-aa?an	3A
MOV N, I	4N	MOV L, I	6N		
MOV N, L	4D	MOV L, L	6D		
MOV N, I	4A	MOV L, I	6		
MOV D, A	57	MOV I, A	77	Gaii ei ai ea	
MOV D, A	50	MOV I, A	70	STAXD	12
MOV D, N	51	MOV I, N	71	SHLD-aa?an	22
MOV D, D	52	MOV I, D	72	STA-aa?an	32
MOV D, A	53	MOV I, I	74	STAXB	02
MOV D, I	54	MOV I, L	75		
MOV D, L	55	MOV I, I	76		
MOV D, I	56	MOV I, A	78		

Команды управления

JMP-	C3	RET	C9	Push	C5		
JNZ-	C2	RNZ	C0		D5		
JZ-	CA	RZ	C8		5		
JNC-	D2	RNC	D0		PSW	F5	
JC-	D	RC	D8		CI		
JPO-	2	RPO	0		POP	D	DI
JPE-		RPE	8		EI		
JP-	F2	RP	F0		PSW	F1	
JM-	FA	RM	F8		XT HL	E5	
PCHL	E9			SPHL	F9		

SUB	A	97	DCR	A	3D	ORA	A	B7
	B	90		B	05		B	B0
	C	91		C	0D		C	B1
	D	92		D	15		D	B2
	E	93		E	1D		E	B3
	H	94		H	25		H	B4
L	95	L	2D	L	B5			
M	96	M	35	M	B6			
SBB	A	9	INX	B	0B	CHP	A	B
	B	98		D	1B		B	B8
	C	99		H	2B		C	B9
	D	9A		SP	3B		D	BA
	E	9B					E	BB
	H	9C					H	BC
L	9D			L	BD			
M	9			M	BE			

5. СТРУКТУРЫ МИКРОПРОЦЕССОРНЫХ СИСТЕМ И ОБЛАСТИ ИХ ПРИМЕНЕНИЯ

Освоение и распространение микропроцессорной техники открыли возможности практической реализации и широкого использования ее в сложных системах. Универсальность и гибкость МП как устройств с программным управлением позволяют широко применять ее в самых различных системах управления для аппаратной реализации функций управления, контроля измерения и обработки данных. Применение МП и микроЭВМ в системах управления промышленным оборудованием предполагает, в частности, использование их для управления станками, транспортировочными механизмами, сварочными автоматами, прокатными станами, атомными реакторами, производственными линиями, электростанциями, а также создание на их основе робототехнических комплексов, гибких автоматизированных производств, систем контроля и диагностики.

Микропроцессорные средства позволяют создавать разнообразные по функциям устройства управления - от микроконтроллеров несложных приборов до универсальных систем управления в реальном времени.

Современные микропроцессорные средства можно условно разделить на следующие группы: встраиваемые МП и простейшие микроконтроллеры; специализированные микроЭВМ, микроЭВМ общего назначения; мультипроцессорные системы; инструментальные средства поддержки микропроцессорных систем.

Встраиваемые в приборы и аппаратуру МП и простейшие микроконтроллеры жестко запрограммированы на реализацию узкоспециализированных задач.

Программное обеспечение проходит отладку на специальных стендах или универсальных ЭВМ, затем записывается в ППЗУ и редко изменяется в процессе эксплуатации.

Встраиваемые средства используют и простейшие внешние устройства - тумблеры, клавишные переключатели, индикаторы.

Специализированные микроЭВМ (8-разрядные) обычно представляют собой программируемые микроконтроллеры, ориентированные на решение разнообразных задач в системах управления, регулирования и контроля. Программируемые микроконтроллеры заменяют классические аналоговые регуляторы. Эти микроконтроллеры, способные программно перестраиваться на реализацию различных законов управления, обеспечивают повышение точности, надежности, производительности и снижение стоимости систем управления.

МикроЭВМ общего назначения (микроЭВМ фирм Intel, Zilog, Hewlett-Packard, Motorola, DEC) строятся на основе 16-разрядных МП. Многие из этих микроЭВМ имеют похожую архитектуру. В последние годы начат выпуск 32-разрядных микроЭВМ - по функциональным возможностям и производительности они приближаются к мини- и большим ЭВМ, на 16- и 32-разрядных МП строят современные персональные ЭВМ (ПЭВМ).

Мультимикропроцессорные системы (ММПС) делятся на распределенные и сосредоточенные (централизованные).

Распределенные по всему объекту управления МП и микроЭВМ, связь между которыми осуществляется по специальным линиям связи, обеспечивают высокую производительность систем. В сосредоточенных системах МП, расположенных в одном блоке или стойке, используют одну общую операционную систему.

К группе специальных аппаратных средств можно отнести функциональные расширители, служащие для увеличения функциональных возможностей и производительности микропроцессоров. Функциональные расширители выполняют специфические операции и программы, разгружая центральный процессор от узкоспециализированных задач.

К функциональным расширителям, в частности, относят арифметические расширители, выполняющие операции с плавающей запятой, вычисление элементарных функций и т.д.

Функциональные расширители делятся на две группы: ведомые (подчиненные) и сопроцессоры.

Ведомые функциональные расширители работают под управлением центрального процессора.

Сопроцессоры работают параллельно с центральным процессором по одной программе. Они выбирают из программы только свои команды и исполняют их.

6. ПРОЦЕССОРЫ PENTIUM

Процессоры Pentium фирмы Intel представляют пятое поколение процессоров семейства x86. По базовой регистровой архитектуре и системе команд они совместимы с вышеописанными 32-битовыми процессорами, но имеют 64-битовую шину данных, благодаря чему их иногда ошибочно называют 64-разрядными. От предыдущих поколений процессоры Pentium качественно отличаются:

- Суперскалярная архитектура: процессор имеет два параллельно работающих конвейера обработки (U-конвейер с полным набором инструкций и V-конвейер с несколько ограниченным набором), благодаря чему он способен одновременно выполнять две инструкции. Однако преимущества этой архитектуры полностью реализуются только при специальном режиме компиляции ПО.
- Применение технологии динамического предсказания ветвлений совместно с выделенным внутренним кэшем команд объемом 8 Кбайт обеспечивает максимальную загрузку конвейеров.
- Внутренний (Level 1) кэш данных объемом 1 Кбайт в отличие от 486-го работает с отложенной (до освобождения внешней шины) записью и настраивается на режим сквозной или обратной записи, поддерживая протокол MESI.
- Внешняя шина данных ради повышения производительности имеет разрядность 64 бит, что требует соответствующей организации памяти.
- Встроенный сопроцессор за счет архитектурных улучшений (конвейеризации) в 2-10 раз превосходит FPU-486 по производительности.
- Введено несколько новых инструкций, в том числе распознавание семейства и модели CPU.
- Применено выявление ошибок внутренних устройств (внутренний контроль паритета) и внешнего интерфейса шины, контролируется паритет шины адреса.
- Введена возможность построения функционально-избыточной двухпроцессорной системы.
- Реализован интерфейс построения двухпроцессорных систем с симметричной архитектурой (начиная со второго поколения Pentium).
- Введены средства управления энергопотреблением.
- Применена конвейерная адресация шинных циклов.
- Сокращено время (число тактов) выполнения инструкций.
- Введены трассировка инструкций и мониторинг производительности.
- Расширены возможности виртуального режима - введена виртуализация флага прерываний.
- Введена возможность оперирования страницами размером 4 Мб в режиме страничной переадресации (Paging).

Все Pentium-процессоры имеют средства SMM, возможности которых расширялись по мере появления новых моделей.

Средства тестирования включают возможность выполнения встроенного теста BIST (Built-In Self Test), обеспечивающего выявление ошибок микрокодов, программируемых логических матриц, тестирование командной кэш-памяти, кэш-памяти хранения данных, буфера быстрой переадресации и ROM. Все процессоры имеют стандартный тестовый порт IEEE 1149.1, позволяющий тестировать процессор с помощью интерфейса JTAG. В процессорах реализованы новые дополнительные средства отладки:

- зондовый режим (Probe Mode), обеспечивающий доступ к внутренним регистрам и пространствам ввода-вывода системной памяти процессора Pentium. Этот режим позволяет проверять и изменять состояние CPU, обеспечивая средства для отладки программ с возможностями, подобными внутрисхемным эмуляторам;

- расширения отладки DE (Debug Extensions), позволяющие ставить контрольные точки по адресам ввода-вывода;
- внутренние счетчики, используемые для текущего контроля производительности и учета числа событий;
- пошаговое исполнение с помощью команды CPUID. Процессоры Pentium первого поколения (P5) с тактовой частотой 60 и 66 МГц имели напряжение питания 5 В, что приводило к большому тепловыделению (на частоте 66 МГц - 16 Вт). Они выпускались в корпусах PGA-273 (матрица 21?21), для установки этих процессоров предназначен сокет 4.

Первые модели процессоров имели ошибку в FPU (floating point flaw), выражавшуюся в потере точности при выполнении деления с некоторыми сочетаниями операндов. Ошибка могла появляться от 4-го до 19-го разряда после десятичной точки. С начала 1995 г. процессоры выпускались уже без ошибок. Статистические исследования показывают, что ошибка может проявляться раз в несколько лет. Тем не менее фирма Intel до сих пор обеспечивает бесплатную замену уже проданных процессоров с ошибкой на исправленные версии, но без «апгрейда» на более современные модели. Процессоры с ошибкой могут быть выявлены с помощью утилиты CPUIDF.EXE, которую можно получить на Web-сервере компании.

Pentium Overdrive 120 и 133 МГц (Overdrive for Pentium) - вариант процессора Pentium второго поколения (с пониженным энергопотреблением и удвоением частоты), предназначенный для замены процессоров Pentium первого поколения. Он имеет корпус PGA-273, устанавливаемый в сокет 4. Эти процессоры дороже обычных Pentium 120 или 133, их применение имеет смысл только тогда, когда по каким-либо причинам нет возможности заменить старую системную плату, а производительности Pentium 60 или 66 МГц недостаточно. Но более мощный процессор в такую плату все равно уже не поставить.

Процессоры Pentium второго поколения (P54) имеют напряжение питания 3,3 В и менее, что существенно снижает рассеиваемую мощность. При этом их входные и выходные сигналы остаются совместимыми с TTL, однако для входов допустимый уровень сигнала ограничен на уровне 3,3 В (кроме тактовых входов CLC и PICCLC, допускающих уровень до 5 В). Более совершенные модели второго поколения используют технологию снижения напряжения питания VRT (Voltage Reduction Technology). При этом напряжение питания VCC для интерфейсных схем остается равным 3,3 В, а для питания ядра, потребляющего около 90% мощности, VCC снижено до 2,9 В, что уменьшает рассеиваемую мощность.

Процессоры изготавливаются в корпусах SPGA-296 с шахматным расположением выводов, для их установки предназначены сокет 5 и 7. Сокет 7 имеет две шины питания: VCC2 для питания ядра процессора и VCC3 для питания интерфейсных схем - и допускает установку процессоров с VRT-технологией.

В процессорах второго поколения применяется внутреннее умножение частоты, при этом интерфейсные схемы внешней системной шины работают на частотах 50,60 или 66,66 МГц, а ядро процессора работает на более высокой частоте (75, 90, 100, 120, 133, 150, 166, 180 и 200 МГц). Разделение частот позволяет реализовать достижения технологии изготовления процессоров, существенно опережающие возможности повышения производительности памяти и других традиционных компонентов компьютера. Коэффициент умножения (1,5, 2, 2,5 или 3) задается комбинацией уровней сигналов на входах VFO, VFI в пределах, разрешенных спецификацией тактовой частоты процессора. Независимость установки внешней частоты и коэффициента умножения позволяет одну и ту же внутреннюю частоту задавать разными способами. Например, 100 МГц можно получить и как 50×2 , и как $66,66 \times 1,5$. Последний вариант в общем случае предпочтительнее, поскольку при этом шина PC1 будет работать на частоте 33 МГц, а не 25 МГц. Однако бывают и исключения: если установленная память при частоте 66 МГц потребует больше тактов ожидания, чем при 50 МГц, то предпочтительнее скорее всего будет частота 50 МГц.

Процессоры с различающимися значениями тактовых частот, указанных в маркировке на корпусе, выполняются по одним и тем же шаблонам (схемам) в пределах одной группы стейпинга (см. ниже). Маркировка частоты наносится после жестких отбраковочных испытаний

в зависимости от частоты, на которой процессор полностью прошел выходной контроль. Это открывает возможности для «разгона» процессоров, включая и пиратскую перемаркировку, когда на процессор наносится новое обозначение завышенной тактовой частоты. Против перемаркировки в некоторых моделях процессоров устанавливали специальные схемы, не допускающие разгона.

Pentium OverDrive 125, 150 и 166 МГц - вариант процессоров второго поколения для замены Pentium 75, 90 и 100 МГц. От обычных в основном отличаются фиксированным (установленным внутри корпуса) коэффициентом умножения частоты. Предназначены для установки в сокет 5 или 7.

Процессоры Pentium MMX (P55C) - новое поколение процессоров, основанное на MMX-технологии, ориентированной на мультимедийное, 2D- и 3D-графическое и коммуникационное применение. В архитектуру Pentium введены восемь 64-битовых регистров (точнее, появилась возможность иного использования регистров FPU), 4 новых типа данных и 57 дополнительных мнемоник инструкций для одновременной обработки нескольких единиц данных (SIMD - Single Instruction Multiple Data). Одновременно обрабатываемое 64-битовое слово может содержать как одну единицу обработки, так и восемь однобайтовых, четыре двухбайтовых или два четырехбайтных операнда. В остальных командах обеспечивается совместимость с Pentium.

Кроме MMX-расширения в архитектуре Pentium MMX имеется ряд усовершенствований, повышающих его производительность и на обычных операциях. Более эффективный способ предсказания ветвлений позаимствован у Pentium Pro, удвоено число буферов записи (их стало четыре) и удвоен объем обеих частей кэша L1 (теперь 16+16 Кб), увеличено число ступеней конвейеров, улучшена возможность параллельных вычислений (процессор способен выполнять две SIMD-инструкции с 16-битовыми данными за 1 такт).

В двухпроцессорных системах Pentium MMX поддерживает только симметричную архитектуру, возможность функционально-избыточного контроля (FRC) изъята.

Применено отдельное питание ядра (напряжение 2,7-2,9 В, номинал 2,8 В) и интерфейсных схем (3,135 - 3,6 В, номинал 3,3 В). Процессор совместим по выводам с Pentium второго поколения в технологии VRT и устанавливается в сокет 7 (установка в сокет 5 механически возможна, но электрически недопустима).

Процессоры Pentium для мобильных применений имеют пониженное энергопотребление, обеспеченное снижением напряжения питания ядра процессора. Кроме того, из этих процессоров изъяты средства поддержки двухпроцессорных систем, APIC и соответствующие им внешние выводы. Процессоры этого класса исполняются в корпусах SPGA, а также в корпусах TCP, имеющих выводы, расположенные по периметру корпуса.

7. ИНТЕРФЕЙС ШИНЫ ПРОЦЕССОРОВ PENTIUM

По интерфейсу шина процессора Pentium напоминает шину i486, но имеет заметные отличия. Новые особенности направлены на поддержку политики обратной записи кэша, повышение производительности и обеспечение дополнительных функциональных возможностей. Если шина i486 была ориентирована на максимальную гибкость и простоту подключения устройств с различной разрядностью, то шина Pentium ориентирована на достижение максимальной производительности. Шина данных стала 64-битовой для повышения производительности обмена с памятью. Возможность динамического управления разрядностью шины (сигналы BS16# и BS8#) изъята, согласование по разрядности с интерфейсными шинами возложено на микросхемы чипсета.

При разрешенном контроле паритета данных (сигналом PEN) ошибка вызывает не только срабатывание сигнала РСНК#, но и фиксацию сбойного адреса и данных в регистре машинного контроля. А если установлен бит MCE регистра CR4, по этой ошибке генерируется исключение 18.

В дополнение к контролю паритета шины данных введен контроль паритета шины адреса. Обнаруженная ошибка паритета битов A[31:5] шины адреса только вызывает сигнал ошибки АРСНК#, который может быть обработан системной логикой.

Последовательность адресов в пакетном цикле Pentium

Первый адрес	Второй адрес	Третий адрес	Четвертый адрес
0	8	10h	18h
8	0	18h	L0h
L0h	18h	0	8
18h	10h	8	0

Пакетные циклы выполняются только при обращениях к памяти, причем как при чтении (как это было у 486-го), так и при записи. Пакетные циклы связаны только с кэшируемой памятью, при этом кэшируемость памяти подразумевает и ее поддержку пакетного режима. Во время пакетного цикла сигналы разрешения байт и младшие биты адреса A[4:3] не меняются (пакеты всегда выровнены по границам строк кэша). Порядок чередования адресов (табл. 7.1), как и у процессора 486, оптимизирован для двухбанковой организации памяти. Снова появилась конвейерная адресация на шине (как у 286-го и 386-го), что позволяет одновременно на шине присутствовать двум обслуживаемым запросам. На рис. 7.1 и 7.2 приведены временные диаграммы одиночных и конвейеризованных пакетных циклов. Признаком пакетного цикла (и его окончания) является сигнал CACHE#. Внешняя система не может прервать пакетный цикл, начатый процессором (в 486-м она могла заставить процессор любой пакетный цикл преобразовать в обычный сигналом RDY#). Конвейеризация запрашивается сигналом NA#, в ответ на который процессор через такт выдаст адрес следующего цикла. Без конвейеризации следующий адрес (и тип цикла) был бы выставлен только после завершения передачи данных текущего цикла.

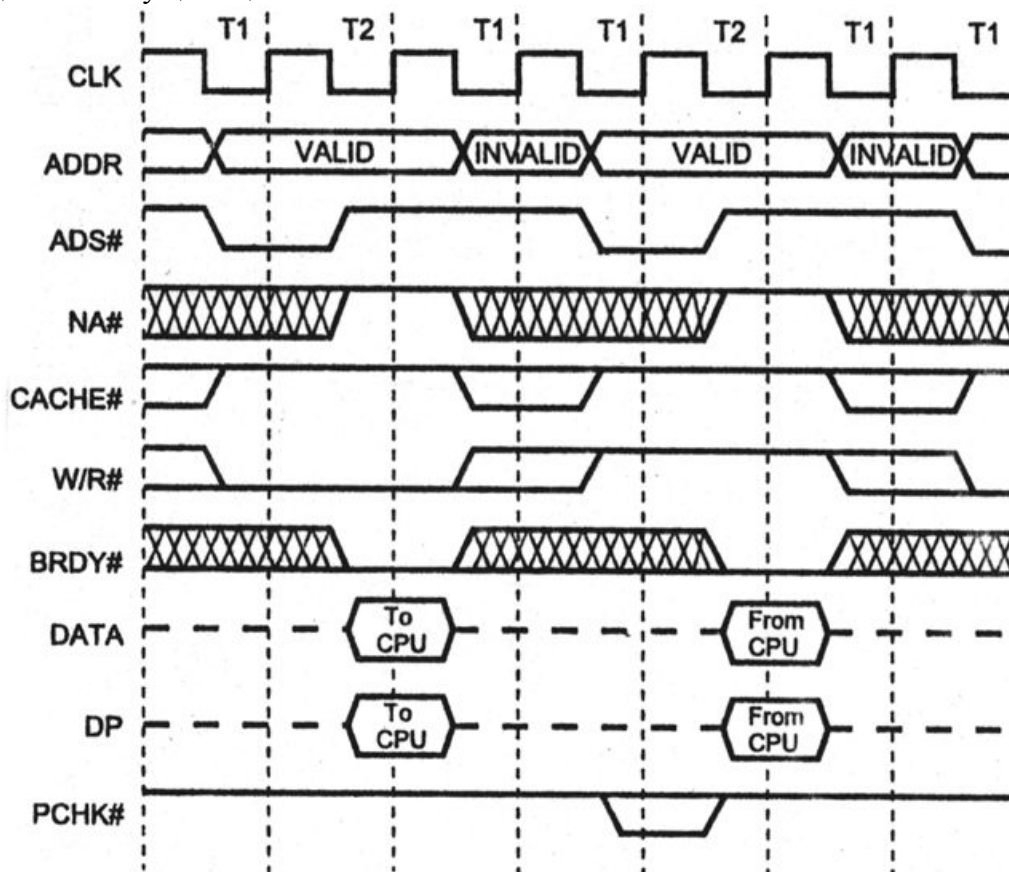


Рис. 7.1. Одиночные циклы чтения и записи на шине Pentium

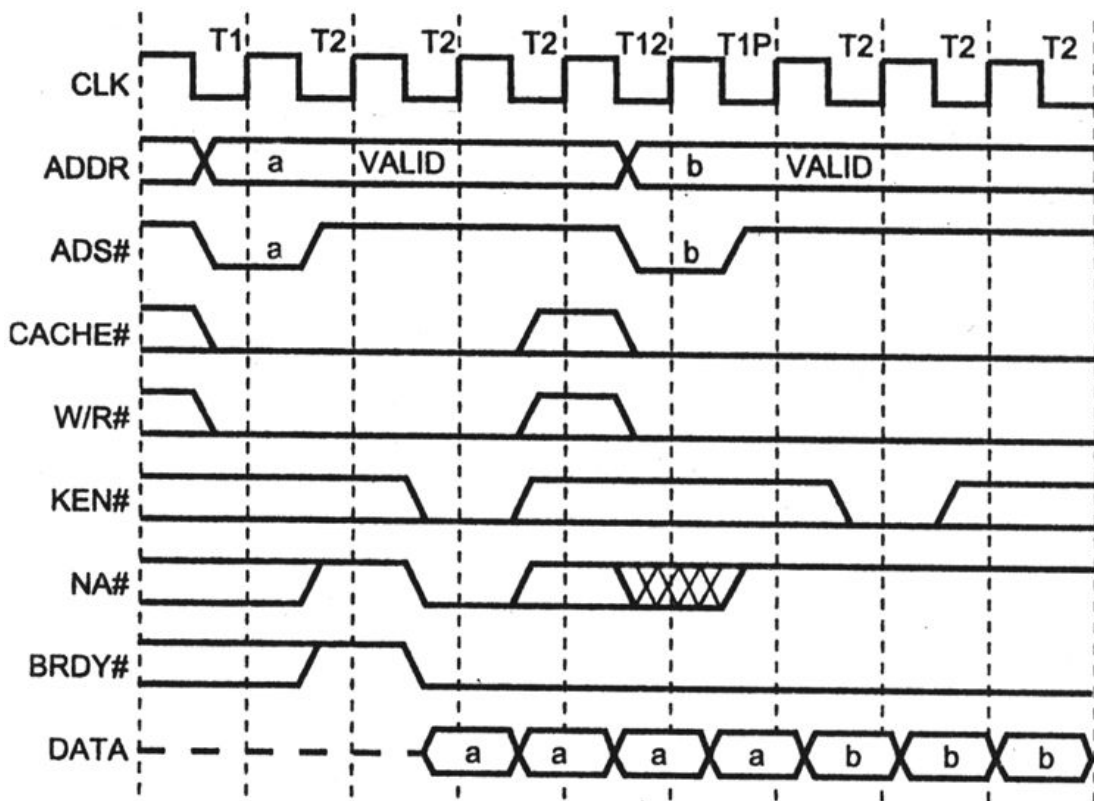


Рис. 7.2. Конвейеризованные пакетные циклы чтения на шине Pentium

Как и у предыдущих процессоров, тип шинного цикла задается управляющими сигналами M/IO#, D/Cff и W/R#, действующими одновременно со стробом A-DSft. Кроме циклов обращения к памяти, вводу-выводу и подтверждения прерывания процессор имеет специальные шинные циклы, идентифицируемые по комбинации сигналов BE[0:7]# (табл. 7.2). Эти циклы, так же как и остальные, требуют подтверждения сигналом BRDY#.

Таблица 7.2

Идентификация шинных циклов

BE[7:0]#: 76543210	Специальный цикл: M/IO# -0, D/C# >> 0 и W/R# << 1
11111110	Shutdown
11111101	Flush (инструкции INVD, WBINVD)
Union	Halt
11110111	Writeback (инструкция WBINVD)
11101111	Flush Acknowledge (сигнал FLUSH >>)
11011111	Branch Trace Message

Процессор имеет вход EWBE#, с помощью которого он отслеживает состояние внешних буферов отложенной записи для обеспечения корректной последовательности шинных циклов записи.

Для поддержания согласованности данных кэша и основной памяти процессор обрабатывает циклы слежения (Snoop Cycle или Inquire Cycle), инициированные внешней (для него) системой. Эти циклы, как и в 486-м, используют сигналы AHOLD#, EADS# и ответные сигналы процессора HIT# и HITM#. Сигнал FLUSH# вызывает выгрузку всех модифицированных строк первичного кэша (обратную запись). Циклы слежения инициируются системой для определения присутствия затребованной области памяти в строке какой-либо кэш-памяти и определения ее состояния. Процессоры начиная с Pentium поддерживают протокол MESI, названный по определяемым им состояниям M (Modified), E (Exclusive), S (Shared) и I (Invalid). Состояния определяются следующим образом:

- M-state - строка присутствует только в одном кэше и модифицирована, то есть отличается от содержимого основной памяти. Доступ к этой строке возможен без генерации внешнего (по отношению к локальной шине) цикла обращения;
- E-state - строка присутствует только в одном кэше, но не модифицирована. Доступ к этой строке возможен без генерации внешнего цикла обращения, при записи в нее она перейдет в состояние «М»;
- S-state - строка потенциально может присутствовать в нескольких кэшах. Ее чтение возможно без генерации внешнего цикла, а запись в нее должна сопровождаться сквозной записью в основную память, что повлечет аннулирование соответствующих строк в других кэшах;
- I-state - строка отсутствует в кэше, ее чтение может привести к генерации цикла заполнения строки. Запись в нее будет сквозной и выйдет на внешнюю шину.

Инициализация процессора выполняется по сигналу RESET, как и для предыдущих процессоров. В дополнение ко входу сброса RESET введен сигнал INIT, по которому процессор переходит в то же состояние, что и по сигналу RESET, но сохраняя содержимое кэша и регистров FPU. Этот сигнал может быть использован для переключения из защищенного режима в реальный.

Во время действия сигнала RESET должны установиться значение на входах управления коэффициентом умножения BF[1:0] и частота на входе CLC. Колебания входной частоты не могут быстро обрабатываться схемой умножителя, построенной на основе петли фазовой автоподстройки частоты PLL (Phase Lock Loop). При нестабильности генератора входной частоты работоспособность процессора не гарантируется.

Для процессоров первого поколения умножение частоты не применялось (KF = 1). Для процессоров с частотой 75 - 133 МГц коэффициент умножения (1,5 или 2) официально определялся сигналом BF, но фактически многие процессоры воспринимали два сигнала:

BFO (называемый просто BF) и BFI. Значение коэффициентов умножения для различных моделей Pentium приведены в табл. 7.3. Пока что они отличаются только трактовкой коэффициента по умолчанию (когда оба вывода BFO и BFI свободны), но для грядущего процессора 266 МГц, вероятно, комбинация 10 будет означать коэффициент 4 (а не 2, как указано в справочном листке на процессоры MMX).

Таблица 7.3

Коэффициент умножения частоты процессоров

	Pentium 75 — 133 МГц		Pentium MMX 166 — 233 МГц	
Bff1-0I	KF	FCORE*	KF	FCORE*
00	25	150 166	25x	166
01	30	180 200	30x	200
10	20	100 120 133	20x	Нет
11	15	75 90 100	35x	233**

В момент окончания действия сигнала RESET процессор кроме нормального рабочего режима может быть переведен в один из следующих режимов:

- BIST (Built-In Self Test) - встроенный тест, выполняемый приблизительно за 2n тактов ядра и охватывающий около 70% внутренних блоков процессора. Во время выполнения теста процессор не генерирует внешних циклов. После выполнения теста процессор переходит в рабочий режим, о результате завершения можно судить по содержимому регистра EAX. Нулевое значение указывает на исправность, любое другое - на отказ какого-либо блока. Если во время выполнения BIST процессор обнаружит внутреннюю ошибку паритета, он выставит сигнал IERR# и попытается выполнить ShutDown. BIST запускается при высоком уровне сигнала INIT во время спада сигнала RESET;

- Tristate Test Mode - режим, при котором все (кроме TDO) выходные и двунаправленные сигналы переходят в третье состояние, включается по низкому уровню сигнала FLUSH# во время спада сигнала RESET;
- FRC - режим, при котором процессор работает в качестве проверяющего в функционально-избыточной двухпроцессорной системе. Включается при низком уровне на входе FRCMC# во время спада сигнала RESET.

Для процессоров Pentium источниками аппаратно вызываемых прерываний являются следующие входные сигналы, расположенные в порядке убывания приоритета:

- BUSCHK# - контроль шины, вызывающий исключение MCE;
- R/S# - переключение в зондовый режим;
- FLUSH# - очистка кэш-памяти (может вызвать поток операций записи);
- SMI# - прерывание входа в режим SMM;
- INIT - «мягкий» сброс процессора;
- NMI - немаскируемое прерывание;
- INTR - запрос маскируемых прерываний;
- STOPCLK# - останов синхронизации. Здесь понятие прерывания трактуется несколько шире и относится ко всем событиям, заставляющим процессор генерировать внешние циклы вне очереди, определяемой прерываемой последовательностью инструкций (таким образом можно определить действие сигнала FLUSH#). Если в процессоре разрешена работа контроллера APIC, то прерывания, поступающие по его шине, заменяют в данном списке сигналы NMI и INTR.

Процессоры второго поколения имеют возможность изменять порядок приоритета прерываний с помощью бита ITR (бит 9 регистра TR12). В табл. 7.4 приведены два возможных варианта приоритетов прерываний.

Таблица 7.4

Приоритеты прерываний процессоров Pentium

Прерывание	ITR = 0 (по умолчанию)	ITR = 1
1	Точка останова (INT 3)	Точка останова (INT 3)
2	BUSCHK#	BUSCHK#
3	Ловушки отладки (INT 1)	FLUSH#
4	R/S#	SMI#
5	FLUSH#	Ловушки отладки (INT 1)
6	SMI#	R/S#
7	INIT	INIT
8	NMI	NMI
9	INTR	INTR
10	Ошибка FPU	Ошибка FPU
11	STPCLK#	STPCLK#
12	Отказ на следующей инструкции	Отказ на следующей инструкции

Зондовый режим отладки (Probe Mode) использует тестовый порт TAP (Test Access Port) подключения интерфейса JTAG. Этот интерфейс может использоваться не только для тестирования (Boundary Scan), но и для отладочных целей. Для этого состав порта TAP введен сигнал R/S#, по его отрицательному перепаду процессор завершает выполнение текущей инструкции и останавливается, сообщив об этом сигналом PRDY. В этом состоянии по интерфейсу JTAG внешнее отладочное устройство может «пообщаться» со всеми внутренними регистрами процессора, после чего, возвратив сигнал в неактивное состояние (высокий уровень), «отпустить» процессор для продолжения выполнения прерванного потока инструкций. По предоставляемым возможностям отладки зондовый режим эквивалентен

внутрисхемному эмулятору - мечте любого разработчика самого аппаратно-зависимого программного обеспечения. Для подключения порта TAP фирма Intel предлагает на системной плате устанавливать специальный 20- или 30-штырьковый разъем, к которому подключается шлейф внешнего отладчика. На этот разъем выводятся сигналы процессора R/S#, PRDY, TDI, TDO, TMS, TCK и TRST# - все, что нужно для внутрисхемной отладки. Но даже если этого разъема нет на системной плате, подключиться к выводам TAP можно через специальную переходную колодку, к которой подключен шлейф TAP. Колодка вставляется в сокет, а в нее - процессор. Есть и двоянные колодки для отладки двухпроцессорных систем .

Режим SMM реализован аналогично предыдущим процессорам 386SL и 486SL, но начиная со второго поколения имеется возможность рестарта инструкций и входа в SMM по сообщению, принятому с шины APIC .

Процессоры Pentium второго поколения имеют возможность снижения энергопотребления в нерабочем режиме (табл. 7.5). По сигналу STOPCLK# процессор выгружает буфера записи и входит в режим Stop Grant, в котором прекращается тактирование большинства узлов процессора, что вызывает снижение энергопотребления примерно в 10 раз. В этом состоянии он прекращает исполнение инструкций и не обслуживает прерывания, однако продолжает слежение за шиной данных, отслеживая кэш-попадания. Из этого состояния процессор выходит по снятию сигнала STOPCLK#. Управление сигналом STOPCLK# совместно с использованием режима SMM реализует механизм расширенного управления питанием АРМ (Advanced Power Management). При отсутствии активности внешняя схема (чипсет) по команде, исполненной в режиме SMM, устанавливает данный сигнал. По пробуждающему событию внешняя схема (без участия процессора, который «спит») снимает сигнал и процессор продолжает работу. Кроме того, с помощью сигнала STOPCLK# возможно и замедление процессора (с пропорциональным снижением потребляемой мощности), если на этот вход подавать периодический импульсный сигнал. Скважность импульсов будет определять коэффициент простоя процессора и, следовательно, его производительность (как бы снижая условную тактовую частоту) .

Таблица 7.5

Энергопотребление процессоров Pentium MMX

Частота, МГц	233	200	166
Ток 1СС2, А	6,5	5,7	4,75
Ток 1СС3, А	0,75	0,65	0,54
Мощность максимальная, Вт	17,0	15,7	13,1
Мощность типовая, Вт	7,9	7,3	6,1
Мощность, потребляемая в режимах Stop Grant и Auto Halt Powerdown, Вт*	2,61	2,41	2,0

В состояние пониженного потребления Auto HALT PowerDown процессор переходит при исполнении инструкции HALT. В этом состоянии процессор реагирует на все прерывания и также продолжает слежение за шиной .

В режиме остановки внешней синхронизации процессор потребляет минимальную мощность, но в этом режиме он не выполняет никаких функций, а последующая подача синхронизации должна сопровождаться сигналом аппаратного сброса RESET .

В Pentium первого поколения имеются выходные сигналы трассировки, отражающие работу конвейеров (IU, IV), факты ветвлений (1BT) и трассу ветвлений BT3-BT0. Однако в процессорах второго поколения этих выводов нет - видимо, их наблюдать стало уже не интересно.

Выводы ADSC#, BRDYC#, CPUTYP, D/P#, FRCMC#, PBGNT#, PBREQ#, PHIT#, PHITM#, PICCLK, PICDO[DPEN#] и PICDI[APICEN] у процессоров для мобильных применений отсутствуют .

8. РАСШИРЕНИЯ АРХИТЕКТУРЫ

Относительно базовой архитектуры 32-разрядных процессоров и ее развития в процессорах четвертого поколения процессоры Pentium (и старше) имеют ряд расширений, появляющихся по мере совершенствования моделей. Для возможности получения сведений о них в систему команд включена инструкция CPUID, позволяющая программно в любой момент времени (а не только сразу после сигнала RESET) получить сведения о классе, модели и архитектурных особенностях конкретного процессора.

В дополнение к базовой архитектуре 32-разрядных процессоров Pentium имеет набор регистров, специфических для модели - MSR (Model Specific Registers). В их число входят группа тестовых регистров (TRI-TR12), средства мониторинга производительности, регистры-фиксаторы адреса и данных цикла, вызвавшего срабатывание контроля машинной ошибки. Название этой группы регистров указывает на их возможную несовместимость для разных классов (Pentium и Pentium Pro) и даже моделей процессоров. Программа, их использующая, должна опираться на сведения о процессоре, полученные по инструкции CPUID.

Средства для мониторинга производительности включают таймер реального времени и счетчики событий. Таймер TSC (Time Stamp Counter) представляет собой 64-битовый счетчик, инкрементируемый с каждым тактом ядра процессора. Для чтения его содержимого предназначена инструкция RDTSC .

Счетчики событий CTRO, CTRI разрядностью по 40 бит программируются на подсчет событий различных классов, связанных с шинными операциями, исполнением инструкций, событиями во внутренних узлах, связанных с работой конвейеров, кэша, контролем точек останова и т.п. Шестибитовые поля типов событий позволяют каждому из счетчиков независимо назначить подсчет событий из обширного списка. Состояние счетчиков может быть предустановлено и считано программно. Кроме того, имеются внешние сигналы PM [1:0], которые программируются на указание фактов срабатывания или переполнения соответствующих счетчиков. Поскольку эти сигналы могут менять свое значение с частотой, не превышающей частоту системной шины, из-за внутреннего умножения частоты каждое появление этих сигналов может отражать и несколько (до значения коэффициента умножения) фактов срабатывания счетчиков.

Тестовые регистры позволяют управлять большинством функциональных узлов процессора, обеспечивая возможность весьма подробного тестирования их работоспособности. С помощью битов регистра TR12 можно запретить новые архитектурные свойства (предсказание и трассировку ветвлений, параллельное выполнение инструкций), а также работу первичного кэша:

- бит 0 - NBR (No Branch Prediction) - запрещает заполнение буфера ВРВ. При этом прежние вхождения продолжают действовать, для полного отключения предсказания необходимо загрузить регистр CR3 (это вызовет сброс таблицы ветвлений);
- бит 1 - TR - разрешает формирование специального цикла сообщения о ветвлении;
- бит 2 - SE (Single Pipe Execution) - запрещает работу второго конвейера (отменяет парное исполнение инструкций);
- бит 3 - CI (Cache Inhibit) - запрещает заполнение строк первичного кэша. В отличие от бита CD регистра CRO, этот бит не влияет на сигнал PCD, тем самым обеспечивается возможность работы внешнего вторичного кэша при запрещенном первичном (в тестовых целях);
- бит 9 - ITR (10 Trap Restart) - разрешает поддержку рестарта инструкций ввода-вывода при прерываниях SM1.

В технической информации на процессоры Pentium есть упоминание о свойстве «Programmable Buffer Size». Первое, что приходит в голову при переводе, будет звучать «как программируемый размер буферов» и наводит на мысль о буферах записи. На самом деле к свойствам программной или логической архитектуры это не имеет никакого отношения, а является способностью управлять чисто электрическими свойствами буферных схем интерфейса.

9. ДВУХПРОЦЕССОРНЫЕ СИСТЕМЫ

Процессоры Pentium начиная со второго поколения имеют специальные интерфейсные средства для построения двухпроцессорных систем. Интерфейс позволяет на одной локальной системной шине устанавливать два процессора, при этом почти все их одноименные выводы просто непосредственно объединяются. Целью объединения является либо использование симметричной мультипроцессорной обработки SMP (Symmetric Multi-Processing), либо построение функционально-избыточных систем FRC (Functional Redundancy Checking).

В системе с SMP каждый процессор выполняет свою задачу, порученную ему операционной системой. Поддержку SMP имеют такие ОС, как Novell NetWare, Windows NT, Unix. Оба процессора разделяют общие ресурсы компьютера, включая память и внешние устройства. В каждый момент времени шиной может управлять только один процессор из двух, по определенным правилам они меняются ролями.

Поскольку каждый из процессоров имеет свой внутренний первичный кэш, в круг задач интерфейса входит поддержание согласованности данных во всех иерархических ступенях оперативной памяти (два первичных, один вторичный кэш и основная память). Эта задача решается с помощью локальных циклов слежения, воспринимаемых процессором, не управляющим шиной в данный момент по сигналу ADS#, генерируемому другим процессором. Ответами на локальные циклы слежения являются сигналы PH1T# и PH1TM#, а роль сигналов H1T# и H1TM# остается прежней - они используются во внешних (по отношению к обоим процессорам) циклах слежения, инициируемых сигналами EADS#.

Для обработки аппаратных прерываний в многопроцессорных системах традиционные аппаратные средства становятся непригодными, поскольку прежняя схема подачи запроса INTR и передачи вектора в цикле INTA# явно ориентирована на единственность процессора. Для решения этой задачи в структуру процессоров Pentium, начиная со второго поколения, введен расширенный программируемый контроллер прерывания APIC (Advanced Programmable Interruption Controller). Этот контроллер имеет внешние сигналы локальных прерываний LINT [1:0] и трехпроводную интерфейсную шину (PICD [1:0] и PICCLK), по которым оба процессора связываются с контроллером APIC системной платы. Запросы локальных прерываний обслуживаются только тем процессором, на выводы которого (LINT0, LINT1) поступают их сигналы. Общие (разделяемые) прерывания (в том числе и SMI) приходят к процессорам в виде сообщений по интерфейсу APIC. При этом контроллеры предварительно программируются, определяя функции каждого из процессоров в случае возникновения того или иного аппаратного прерывания. Контроллеры APIC каждого из процессоров и контроллер системной платы, связанные интерфейсом APIC, выполняют маршрутизацию прерываний (Interrupt Routing), причем как статическую, так и динамическую. Внешне программный интерфейс обработки прерываний остается совместимым с управлением контроллера 8259A, что обеспечивает прозрачность присутствия APIC для прикладного программного обеспечения. Режим обработки прерываний посредством APIC разрешается сигналом APICEN по аппаратному сбросу, впоследствии он может быть запрещен программно.

Арбитраж процессоров выполняется с помощью «приватных» сигналов запроса (PBREQ#) и подтверждения передачи (PBGNT#) управления локальной шиной. Процессор - текущий владелец шины - отдаст управление шиной другому процессору по его запросу только по завершении операции. Сблокированные циклы не могут прерываться другим процессором, кроме случая, когда обращение к памяти попадает в область, модифицированный образ которой находится в кэше другого процессора. В этом случае, индицируемом сигналом PH1TM#, ему отдадут управление для выполнения обратной записи из кэша.

Сигналы обычного системного арбитража (HOLD, HLDA, BOFF#) в двухпроцессорной системе действуют обычным образом, но воспринимаются и управляются поочередно текущим владельцем локальной шины.

В конфигурации FRC два процессора выступают как один логический: функционально-избыточная пара master/checker. Основной процессор (Master) работает в обычном однопроцессорном режиме. Проверочный процессор выполняет все те же операции «про себя», не управляя шиной, и сравнивает выходные сигналы основного (проверяемого) процессора с теми сигналами, которые он генерирует сам, выполняя те же операции без выхода на шину. В случае обнаружения расхождения вырабатывается сигнал ошибки IERR, который может обрабатываться как прерывание.

Двухпроцессорные системы в принципе могут использовать процессоры различного степпинга, но частоты ядра у них должны совпадать (шина, естественно, синхронизируется общим сигналом).

10. МАРКИРОВКА И ИДЕНТИФИКАЦИЯ ПРОЦЕССОРОВ PENTIUM

Процессоры Pentium имеют довольно сложную систему маркировки. На верхней плоскости корпуса указываются семейство, к которому принадлежит процессор, код продукта и тактовая частота. Например, обозначение A80502-90 относится ко второй модели Pentium с частотой 90 МГц. Надписи © '92 /93 или © '92 '95 в нижней строке к году выпуска отношения не имеют.

Трехзначное число, следующее за символами SX, SK, SU, SY или SZ называется S-спецификацией, определяющей номер версии (степпинг) продукта и его параметры. Степпинг производителя (Mfg. Stepping) кодируется последовательностью букв и цифр. По мере исправления ошибок и незначительных изменений увеличивается цифра (то есть после A1 последует A2). Значительные изменения сопровождаются изменением буквы и сбросом цифры (например, после A3 последует B0). В пределах одного степпинга производителя имеется группа изделий с различными S-спецификациями.

Существуют следующие модификации некоторых параметров процессоров:

- STD (стандартное) - питание VCC = 3,135-3,6 В для процессоров типа C2 и последующих;
- VR (Volt Reduced) - пониженное питание VCC = 3,300-3,465 В;
- VRE - для C2 и последующих VCC = 3,40-3,60 В; для B-step 3,45-3,60 В; MD означает пониженные требования к временным характеристикам. Напряжение питания указывается в маркировке явно (например, 2,9 В) после трехзначной S-спецификации или кодируется в символах, следующих за слэшем. В обозначении вида SKI 10/ABC поля A, B и C несут следующую информацию: поле A задает диапазон напряжения питания: S = STD, V??VRE; поле B задает спецификации временных параметров: S - стандартная; M - пониженные требования (MD); поле C задает возможность работы в двухпроцессорной системе: S - стандартная, U - процессор может работать только в однопроцессорной системе, в двухпроцессорном режиме не тестировался.

Информацию о процессоре содержит регистр EDX после аппаратного сброса, ее можно получить и из регистра EAX после выполнения инструкции CPUID (запустив, например, утилиту CPUID.EXE). Заметим, что информация о допустимой тактовой частоте в процессоре не хранится, а появляется только в маркировке после отбраковочных испытаний. В табл. 10.1 приведены параметры выпускаемых процессоров (по состоянию на май 1997 г.). В первых четырех графах указаны биты регистров EDX или EAX, в которых хранятся данные коды. Тип 0 сообщает первичный процессор (или единственный в однопроцессорной системе), тип 2 - вторичный процессор двухпроцессорной системы. Семейство 5 указывает на принадлежность процессора к классу Pentium. Модель указывает на поколение (Pentium 60/66 представляли модель 1). Степпинг производителя (Mfg. Stepping) символично отражает модель, числовой степпинг и тип корпуса. Данной таблицей можно воспользоваться для разрешения сомнений о

корректности применения конкретного процессора в определенных условиях. Для однопроцессорных систем наибольший интерес представляет уровень напряжения питания.

Таблица 10.1

Модификации процессоров Pentium 75-200 МГц

Тип 13:121	Семейство 111:81	Модель 17:4	Степшиг 13:01	Mfg. Stepping	Частота ядра/шины	S-specs	Комментарии	Примечания
0	5	2	1	B1	90/60	SX879	STD	
0	5	2	1	B1	90/60	SX885	MD	
0	5	2	1	B1	90/60	SX909	VR	
2	5	2	1	B1	90/60	SX874	DP, STD	
0	5	2	1	B1	100/66	SX886	MD	
0	5	2	1	B1	100/66	SX910	VR, MD	
0	5	2	2	B3	75/50	SX951	TCP Mobile	
0	5	2	2	B3	90/60	SX923	STD	
0	5	2	2	B3	90/60	SX922	VR	
0	5	2	2	B3	90/60	SX921	MD	
2	5	2	2	B3	90/60	SX942	DP, STD	
2	5	2	2	B3	90/60	SX943	DP, VR	
2	5	2	2	B3	90/60	SX944	DP, MD	
0	5	2	2	B3	90/60	SZ951	STD	5
0	5	2	2	B3	100/66	SX960	VRE/MD	
0	5	2	2	B3	75/50	SX975	TCP Mobile	
0 или 2	5	2	4	B5	75/50	SX961	STD	
0 или 2	5	2	4	B5	75/50	SZ977	STD	5
0 или 2	5	2	4	B5	90/60	SX957	STD	
0 или 2	5	2	4	B5	90/60	SX958	VR	
0 или 2	5	2	4	B5	90/60	SX959	MD	
0 или 2	5	2	4	B5	90/60	SZ978	STD	5
0 или 2	5	2	4	B5	100/66	SX962	VRE/MD	
0	5	2	4	B5	75/50	SK079	TCP Mobile	
0 или 2	5	2	5	C5	75/50	SX969	STD	
0 или	5	2	5	C2	75/50	SX998	MD	

2								
0 2 или	5	2	5	C2	75/50	SZ994	STD	5
0 2 или	5	2	5	C2	75/50	CU070	STD	6
0 2 или	5	2	5	C2	90/60	SX968	STD	
0 2 или	5	2	5	C2	90/60	SZ995	STD	5
0 2 или	5	2	5	C2	90/60	SU031	STD	6
0 2 или	5	2	5	C2	100/50 или 66	SX970	VRE/MD	
0 2 или	5	2	5	C2	100/50 или 66	SX963	STD	
0 2 или	5	2	5	C2	100/50 или 66	SZ996	STD	5
0 2 или	5	2	5	C2	100/50 или 66	SU032	STD	6
0	5	2	5	C2	120/60	SK086	VRE/MD	
0	5	2	5	C2	120/60	SX994	VRE/MD	
0	5	2	5	C2	120/60	SU033	VRE/MD	6
0	5	2	5	C2	133/66	SK098	MD	
0	5	2	5	mAI	75/50	SK089	VRT, TCP	2,4
0	5	2	5	mAI	75/50	SK091	VRT, SPGA	2,4
0	5	2	5	mAI	90/60	SK090	VRT, TCP	2,4
0	5	2	5	mAI	90/60	SK092	VRT, SPGA	2,4
0 2 или	5	2	B	cBI	120/60	SKIIIO	STD	3,4
0 2 или	5	2	B	cBI	133/66	SK106	STD	3,4
0 2 или	5	2	B	cBI	133/66	SK106J	STD	3,4,7
0 2 или	5	2	B	cBI	133/66	SK107	STD	4
0 2 или	5	2	B	cBI	133/66	SU038	STD	3,4,6
0	5	2	B	mcBI	100/66	SY029	VRT, TCP	2,4
0	5	2	B	mcBI	120/60	SK113	VRT, TCP	2,4
0	5	2	B	mcBI	120/60	SK118	VRT, TC	2,4,7
0	5	2	B	mcBI	120/60	SX999	P3.3V, SPGA	4
0 2 или	5	2	C	cCO	133/66	SY023	STD	3

0 2	или	5	2	c	cCO	133/66	SY023	STD	
0 2	или	5	2	c	cCO	133/66	SU073	STD	3,6
0 2	или	5	2	c	cCO	150/60	SY015	STD	
0 2	или	5	2	c	cCO	150/60	SU071	STD	6
0 2	или	5	2	c	cCO	166/66	SY016	VRE	3
0 2	или	5	2	c	cCO	166/66	SY017	VRE	
0 2	или	5	2	c	cCO	166/66	SU072	VRE	3,6
0		5	2	c	cCO	166/66	SY037	VRE, PPGA	8,9
0 2	или	5	2	c	cCO	200/66	SY044	VRE, PPGA	9
0		5	2	c	cCO	200/66	SY045	VRE, PPGA	
0		5	2	o	mA4	75/50	SK119	VRT, TCP	
0		5	2	o	mA4	75/50	SK122	VRT, SPGA	
0		5	2	o	mA4	90/60	SK120	VRT, TCP	
0		5	2	o	mA4	90/60	SK123	VRT, SPGA	
0		5	2	o	mA4	100/66	SK121	VRT, TCP	
0		5	2	o	mA4	100/66	SK124	VRT, SPGA	
0		5	2	C	mcCO	100/66	SY020	TCP, VRTS	
0		5	2	C	mcCO	100/66	SY046	PGA, 3.1V	
0		5	2	c	mcCO	120/60	SY021	TCP, VRT	
0		5	2	c	mcCO	120/60	SY027	SPGA 3.1V	
0		5	2	c	mcCO	120/60	SY030	SPGA 3.3V	
0		5	2	c	mcCO	133/66	SY119	TCP, VRT	
0		5	2	c	mcCO	133/66	SY028	SPGA 3.1V	
0		5	2	6	EO	75/50	SY009	TCP, Mobile	
0 2	или	5	2	6	EO	75/50	SY005	STD	
0 2	или	5	2	6	EO	75/50	SU097	STD	
0 2	или	5	2	6	EO	75/50	SY098	STD	
0 2	или	5	2	6	EO	90/60	SY006	STD	
0	или	5	2	6	EO	100/66	SY007	STD	

2								
0 или 2	5	2	6	EO	100/66	SUIIO	STD	5
0 или 2	5	2	6	EO	100/66	SU099	STD	6
0 или 2	5	2	6	EO	120/60	SY033	STD	
0 или 2	5	2	6	EO	120/60	SUIOO	STD	6

Примечания:

1 - допустимая температура корпуса до 60°C.

2 - технология снижения напряжения питания VRT.

3 - не тестирована поддержка временных параметров для кэш-контроллера 2498/82493 и 82497/8^492.

4 - степпинг производителя:

cB1 логически эквивалентен C2, но использует другой технологический процесс; mcB1 логически эквивалентен cB1 (но не поддерживает DP, AP1C или FRC); mcB1, mA1, mA4 и mcCO-steps также используют VRT и выпускаются в корпусах TCP и SPGA преимущественно для мобильных применений. Префикс «m» (mobile) указывает на мобильное предназначение.

5 - поставляется без установленного вентилятора.

6 - поставляется с установленным вентилятором.

7 - не поддерживает JTAG. S106J ранее обозначался как SK106J.

8 - DP, FRC и AP1C не поддерживаются.

9 - пакуется в пластиковый корпус PPGA (Plastic Pin Grid Array).

Процессоры для мобильных применений отличаются пониженным энергопотреблением и более высокой допустимой температурой, что позволяет использовать их в довольно тесных корпусах с плохими условиями вентиляции.

11. УНИВЕРСАЛЬНЫЕ МИКРОПРОЦЕССОРЫ

11.1. Микропроцессоры компании AMD

Успешную конкуренцию семейству Pentium составляют разработанные компанией AMD микропроцессоры с системой команд ×86, получившие название «Криптон-5», или сокращенно K5, и их преемник K6.

Микропроцессор K5

С 1990 г. AMD и Intel ведут судебную тяжбу по поводу собственности на микрокод процессоров архитектуры ×86. В течение ряда лет AMD, отставая от Intel по крайней мере на одно поколение микропроцессоров, полагалась в основном на лицензированную технологию и вносила незначительные конструктивные отличия в выпускаемые микропроцессоры. Появление микропроцессора Pentium создало для AMD прямую угрозу вытеснения с рынка, что стимулировало компанию к интенсификации работ над созданием нового семейства микропроцессоров, совместимых с семейством ×86. Была поставлена цель создать такое семейство микропроцессоров, которое опередило бы Pentium компании Intel и положило бы конец создавшемуся для AMD положению следования за лидером. Работы над K5 были начаты, когда еще не были известны подробности о процессоре Pentium. Инженерам AMD пришлось разрабатывать собственную микроархитектуру, обеспечивая при этом совместимость с существующим программным обеспечением для процессоров ×86.

Первоначально AMD планировала начать поставки своего микропроцессора с тактовой частотой 100-120 МГц в 1995 г., однако было выпущено лишь несколько тысяч таких ЦП, а их тактовая частота составила 75 МГц. Основные поставки K5 начались в первом квартале 1996 г., после того как компания перешла на 0,35-микронную технологию, разработанную с

содружестве с Hewlett-Packard. Это позволило довести число транзисторов до 4,2 млн. на площади около 167 мм².

K5 - это первый микропроцессор AMD, при создании которого не использовалась никакая интеллектуальная собственность Intel (за исключением микрокода), в то же время он обладает лучшей по сравнению с процессорами Intel производительностью. По данным AMD, реальные приложения (такие, как Microsoft Excel, Word или CorelDraw) работают на процессорах серии K5 на 30% быстрее, чем на Pentium с той же тактовой частотой. Такая производительность достигается в основном за счет увеличенного объема кэш-памяти и более прогрессивной суперскалярной архитектуры. Вместо парных конвейеров целочисленных вычислений Pentium в K5 используется суперскалярная архитектура со счетверенной подачей команд 5 обрабатывающим блокам и RISC-ядром с уникальным декодером инструкций ×86.

Используемая в микропроцессорах AMD архитектура RISC 86 (впервые предложенная NexGen)

показана на рис. 11.1.

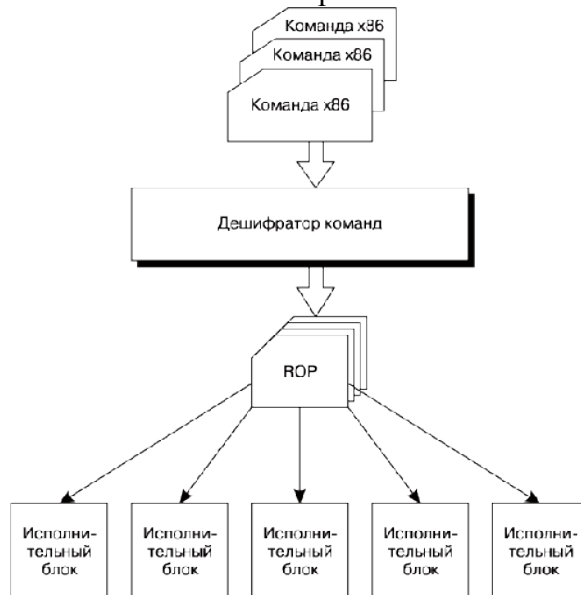


Рис. 11.1. Архитектура RISC86 компании AMD

Как известно, команды ×86 отличает сложность и переменная длина, затрудняющие их динамическое выполнение. Декодер, представляющий собой наиболее сложную часть микропроцессора, разбивает длинные CISC-инструкции на небольшие RISC-подобные компоненты - так называемые ROP (RISC-операции). R-операции напоминают команды микрокода микропроцессоров ×86. Первые микропроцессоры с архитектурой ×86 выполняли свой сложный набор микрокоманд, выбирая из внутренней постоянной памяти микрокод. В последних микропроцессорах ×86 использование микрокода сведено к минимуму за счет применения простых команд. В K5 применяется другой подход: здесь большинство R-операций генерируются динамически не микрокодом, а декодером. Однако микрокод все еще используется для обработки сложных и редко применяемых команд ×86, таких, как строковые операции и операции над комплексными числами. Тем не менее даже в этих случаях в результате генерируется поток R-операций. K5 может конвертировать команду ×86 в 1-4 R-операции. Эти операции планируются для выполнения в ядре, в котором многое заимствовано от RISC-архитектуры. Используются динамическое переименование регистров, предсказание переходов, изменение последовательности выполнения и других методы динамического выполнения. K5 реализует гибридную CISC/RISC-технологиию.

Особенностью K5 является то, что вместо 2 конвейеров для параллельного выполнения целочисленных операций он имеет 5 параллельно функционирующих блоков. Как и Pentium, он может параллельно выполнять 2 целочисленные операции. Однако в отличие от Pentium в K5 одновременно могут выполняться также инструкции с плавающей точкой, загрузки/сохранения или перехода. Большой набор регистров и блок загрузки/сохранения позволяет выполнять за

цикл выборки из памяти две операции. Другим отличием от Pentium является то, что K5 может изменять последовательность выполняемых операций.

Блок выполнения операций с плавающей точкой (FPU) отвечает стандартам $\times 86$, однако по производительности несколько уступает FPU процессора Pentium. Отметим, что этот вид операций не имеет для программного обеспечения ПК особенно важного значения (доля команд с плавающей точкой в общем объеме распространенных программных продуктов ничтожно мала).

Использованное в архитектуре K5 сочетание принципов CISC и RISC позволило преодолеть ограничения набора команд $\times 86$. Такие процессоры, как K5, содержат около 4 млн. в транзисторов, что значительно отличает их от первых процессоров Intel с архитектурой $\times 86 - 8086$, содержащих 29000 транзисторов. Однако увеличение сложности процессора позволило не заменять старый набор команд на новый, более эффективный, поскольку эти команды использует широко распространенное во всем мире программное обеспечение. Поэтому все конкурирующие компании (AMD, Cyrix и Intel) выбрали компромиссный вариант и интегрировали технологии CISC и RISC, не отказываясь от совместимости с $\times 86$.

Основные характеристики микропроцессора K5:

- Выпускается с 1995 г.
- Совместим с семейством микропроцессоров $\times 86$.
- Суперскалярная архитектура с четырехходовой подачей команд.
- Конвейер с 5 стадиями обработки.
- 5 параллельно функционирующих блоков: арифметико-логический блок, блок арифметико-логических операций/сдвига, блок операций с плавающей точкой, блок перехода и блок загрузки/хранения.
- Кэш команд 16 Кб, кэш данных 8 Кб с двумя портами, линейная адресация.
- Изменение порядка выполнения команд, предсказание переходов, эффективное выполнение. Отличный от Intel микрокод (впервые для AMD).
- Производительность на 30% выше Pentium с той же тактовой частотой.
- Тактовая частота 75-200 МГц.
- Отношение внутренней/внешней тактовой частоты: 1.1; 5,2; 3.
- 4,1 млн. транзисторов.
- Трехслойная металлизация, напряжение 3,3 В, полностью статический КМОП.
- 0,5-микронная технология (в начальной версии), в 1996 г. переход на 0,35-микронную технологию.
- Совместим по выводам с Pentium.

Микропроцессор K6

Новый микропроцессор компании AMD явился продуктом совместных усилий компании AMD и специалистов из бывшей NexGen. По сути дела, K6 представляет собой воплощение проекта N $\times 86$, ранее начатого компанией NexGen, но не завершенного по финансовым причинам.

Микропроцессор K6 изготавливается по технологии КМОП/0,35 мкм с пятислойной металлизацией, содержит 8,8 млн. транзисторов на кристалле площадью 162 мм² и работает с тактовыми частотами 166,200 и 233 МГц. Процессор полностью совместим по системе команд с семейством $\times 86$, а по выводам - с Socket17. Кроме того, K6 оснащен ставшим отраслевым стандартом мультимедийным расширением системы команд - MMX. По производительности K6 сравним с Pentium Pro, K6 одинаково успешно работает как с 32-разрядными, так и с 16-разрядными приложениями.

Как и в K5, в K6 применена суперскалярная архитектура RISC86 с отдельным декодированием/исполнением команд, обеспечивающая преимущество с системой команд $\times 86$ и достижение высокой производительности, свойственной микропроцессорам шестого поколения.

Высокая производительность процессора достигается благодаря ряду новых архитектурных и технологических решений.

- В процессоре реализуется преддекодирование команд $\times 86$ при их выборке в кэш. Каждая команда в кэш-памяти первого уровня снабжается битами преддекодирования, указывающими смещение начала следующей команды в кэше (от 1 до 15 байт).
- К6 содержит внутрикристальный кэш первого уровня по 32 Кбайт для данных и команд.
- В процессоре реализован высокопроизводительный блок вычислений с плавающей точкой.
- Имеется высокопроизводительный блок мультимедийных операций стандарта MMX.
- Используется множественное декодирование $\times 86$ инструкций в одноктактовые RISC-операции.
- Процессор поддерживает логику предсказания ветвлений, используя таблицу истории ветвлений из 8192 элементов, кэш адресов перехода и стек возврата, которые обеспечивают вероятность правильного предсказания перехода выше 0,95. В процессоре используется двухуровневая схема предсказания ветвлений. Таблица истории ветвлений не хранит предсказаний целевых адресов, специальные адресные АЛУ вычисляют целевые адреса во время декодирования инструкции. Кэш адресов ветвлений обеспечивает уточнение предсказанного ветвления, уменьшая потери при обращении к памяти. Кэш адресов поставляет на дешифраторы первые 16 байт инструкций, выбранных согласно прогнозу ветвления.
- Процессор содержит параллельные дешифраторы, централизованный планировщик операций и семь исполнительных блоков, которые обеспечивают суперскалярное выполнение $\times 86$ инструкций в шестиступенчатом конвейере.
- В процессоре используются спекулятивное исполнение с изменением последовательности команд, предварительная посылка данных, переименование регистров.

Структура микропроцессора AMD K6 показана на рис. 11.2.

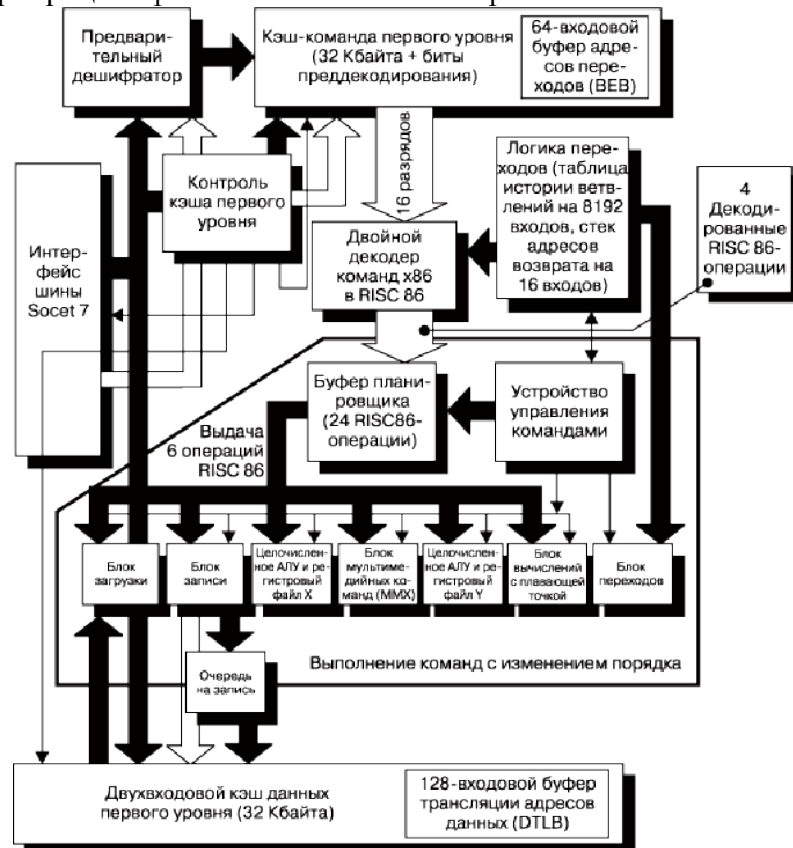


Рис. 11.2. Структура микропроцессора AMD K6

RISC-ядро микропроцессора может выполнять за один такт до 6 команд RISC86. В процессе исполнения ROP ядро использует 48 физических регистров - 24 регистра общего назначения и 24 регистра для переименования. 24 регистра подразделяются на 16 рабочих регистров и 8 регистров, соответствующих универсальным регистрам архитектуры x86: EAX, EBX, ECX, EDX, EBP, ESP, ESI и EDI.

Планировщик K6 содержит в буфере 24 команды RISC86 и назначает инструкции на выполнение семи исполнительным модулям: сохранения, загрузки, перехода, целочисленному АЛУ, целочисленному блоку мультимедийных команд, операций с плавающей точкой. Наличие буфера позволяет планировщику в динамике анализировать и изменять выбранную для исполнения последовательность команд, обеспечивая максимальную загрузку исполнительных устройств.

Блок мультимедийных команд выполняет все инструкции расширения MMX. Целочисленный X-блок выполняет арифметико-логические операции, включая умножение, деление, сдвиг, циклический сдвиг. Y-блок - основные одно- и двухсловные арифметико-логические операции: ADD, AND, CMP, OR, SUB, XOR, расширение нуля и расширение знакового разряда числа. Блок вычислений с плавающей точкой выполняет все команды с плавающей точкой. Блок переходов осуществляет обновление состояния процессора (регистров, флагов) после подтверждения предсказанного условного ветвления, обеспечивая тем самым возможность спекулятивного выполнения команд (на глубину до семи переходов).

На ближайшую перспективу компания AMD запланировала переход на 0,25-микронную технологию производства, что позволит ей увеличить тактовую частоту процессоров, а также уже сейчас ведется разработка новых микропроцессоров следующего поколения K7 и K8.

11.2. Микропроцессоры компании Cyrix

Вторым конкурентом компании Intel, после AMD, по объему производства процессоров с архитектурой x86 является Cyrix.

Микропроцессор Cyrix 5x86 (MISC)

5x86 - это первый представитель среди процессоров компании Cyrix с архитектурой x86 пятого поколения, предложенный в качестве альтернативы Pentium. Для упрощения этапа перехода пользователей на новый процессор компания обеспечила его совместимость по выводам с 486-м процессором. В 5x86 воплощены архитектурные и структурные решения, характерные для процессоров пятого поколения, такие как 64-разрядная внутренняя архитектура, предсказание переходов, предварительная посылка данных, выполнение нескольких операций за один такт (благодаря разнесению устройств загрузки/сохранения), 80-разрядное устройство вычислений с плавающей точкой, 16-Кбайтовый общий кэш данных и команд.

Особенностью микропроцессора является высокоэффективная система управления энергопотреблением процессора и внешних устройств. Система управления энергопотреблением может отключить модуль операций с плавающей точкой и другие внутренние периферийные схемы, если они в данный момент не используются. Низкое энергопотребление процессора (на частоте 100 МГц при напряжении питания 3,3 В 5x86 потребляет менее 3,5 Вт) делает его предпочтительным для использования в мобильных компьютерах, для которых критичны энергопотребление и отвод тепла.

Архитектура 5x86 - результат компромисса между производительностью и простотой реализации, благодаря которой удалось уменьшить число транзисторов на кристалле и снизить энергопотребление.

Процессор содержит модуль предсказания переходов, включающий буфер адресов перехода (ВТВ), 16-Кбайтовый объединенный кэш данных и команд с режимом обратной записи, устройство операций с плавающей точкой, устройство выборки и устройство декодирования команд, устройство управления памятью с буфером преобразования адресов на 32 элемента, параллельно функционирующие устройства загрузки и сохранения и модуль вычисления адресов. Функциональные модули 5x86 связаны между собой двумя 32-разрядными шинами, обеспечивающими неблокируемый обмен данными; 128-разрядная шина выборки

команд обеспечивает за один такт передачу 16-байтовых команд в трехуровневый буфер устройства декодирования команд.

Модуль целочисленных операций выбирает, декодирует и выполняет команды в шестистадийном конвейере. На первой стадии - выборки (Fetch Stage) - генерируется непрерывный высокоскоростной поток команд из внутреннего кэша. За один такт считывается до 128 бит кода. На второй стадии - декодирования (Decode Stage) анализируется поток команд и определяется число байтов в каждой команде и ее тип. На третьей стадии (Address Calculation) выполняется конвейеризированное вычисление адреса, включающее стадии AC1 и AC2. AC1 используется для вычисления линейного адреса, если команда обращается к операнду в памяти. AC2 выполняет любые операции доступа к памяти, кэшу и регистрам. В случае обнаружения команды с плавающей точкой AC2 передает ее устройству вычислений с плавающей точкой. На стадии выполнения (Execution Stage) под управлением микрокода осуществляется выполнение команды. На стадии записи результата (Write-Back) сохранение в регистровом файле выполняется непосредственно в модуле целочисленных операций, а сохранение в памяти выполняется модулем загрузки/сохранения.

Устройство операций с плавающей точкой связано 64-разрядным интерфейсом с кэшем и модулем целочисленных операций и поддерживает систему команд $\times 87$, включая расширенный 80-разрядный формат.

Модуль управления памятью содержит устройство загрузки/сохранения, буфер преобразования адресов (TLB) и устройство вычисления адреса (AC). AC выполняет вычисление адреса, устанавливает значение указателя команд, инициирует операции загрузки/сохранения. Модуль загрузки/сохранения может выполнять операции параллельно с возможностью переупорядочивания трех операций загрузки и четырех операций сохранения.

64-разрядная внутренняя шина микропроцессора преобразуется в 32-разрядную внешнюю шину. Внешняя шина микропроцессора может работать с частотой от 33 до 50 МГц, умножитель частоты повышает внутреннюю частоту до 100-120 МГц.

По производительности микропроцессор сравним с младшими моделями Pentium (75, 90), но существенно дешевле последних.

Микропроцессор Cyrix 6×86

Первые образцы микропроцессоров 6×86, под названием M1, были представлены Cyrix в октябре 1995 г. На частоте 100 МГц процессор на 30% превосходил по быстродействию аналогичный Pentium. Однако из-за большого размера кристалла, сильного перегрева процессора и, как следствие, ненадежной его работы процессор не приобрел широкого распространения и массовое его производство было начато только с появлением нового варианта процессора в первом квартале 1996 г. При той же 0,6-микронной технологии Cyrix перешла на пятислойную металлизацию вместо прежней трехслойной, что позволило сократить размеры кристалла с 394 до 225 мм² и уменьшить нагрев процессора. Новый вариант процессора был выпущен для частот 100, 120, 133, 150 МГц, что соответствует используемому в маркировке процессоров Pentium-рейтингу 120+, 150+, 166+, 200+. Процессор использует напряжение питания 3,3 Вт, существует также низковольтная версия процессора - 6×86L, предназначенная для применения в мобильных компьютерах. 6×86L использует 2,8 Вт для процессорного ядра и 3,3 Вт для подсистемы ввода/вывода.

В 6×86 реализованы такие прогрессивные архитектурные методы повышения производительности, как переупорядочивание инструкций, динамическое устранение зависимостей между командами, переименование регистров, спекулятивное выполнение, предсказание переходов.

Структура микропроцессора Cyrix 6×86 приведена на рис. 11.3.

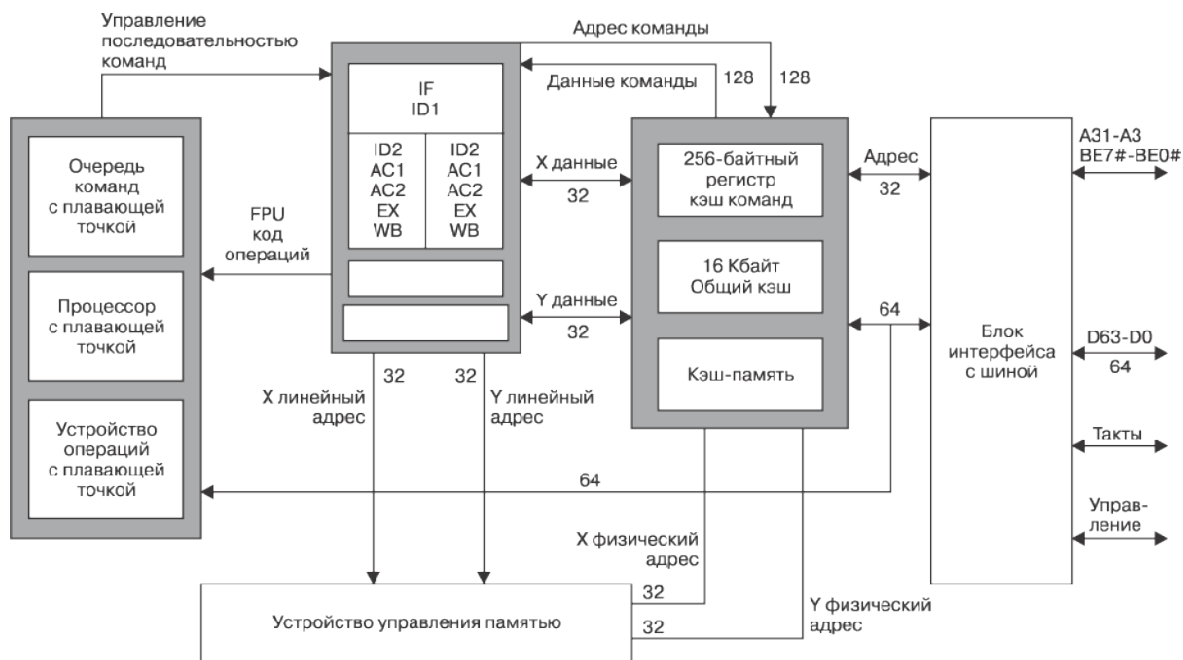


Рис. 11.3. Структура микропроцессора Cugix 6×86

Микропроцессор содержит два независимых семиэтапных конвейера (X и Y), позволяющих выполнять несколько команд за один такт. Процессор имеет два кэша: общий кэш данных и команд размером 16 Кбайт и 256-байтовую кэш-память команд с прямым отображением. Выделенный кэш команд позволяет избежать частых конфликтов при обращении к данным и командам в общем кэше.

Так же как и 5×86, процессор способен параллельно выполнять целочисленные команды и команды с плавающей точкой, отложенные и переупорядоченные инструкции загрузки/сохранения].

Цикл работы целочисленного АЛУ включает следующие этапы конвейерного выполнения:

- выборка команды (IF);
- декодирование команды 1 (ID1);
- декодирование команды 2 (ID2);
- вычисление адреса 1 (AC1);
- вычисление адреса 2 (AC2);
- выполнение (EX);
- запись результата (WB).

Этапы декодирования команды и вычисления адреса также конвейеризированы.

Этап IF - общий для X- и Y-конвейеров. Он заключается в выборке из кэша 16 байт кода за один такт. В этом такте осуществляется также анализ потока команд на наличие команд перехода. Если встретилась команда перехода, то логика предсказания генерирует адрес перехода и начинается выборка команд по предсказанному адресу.

Суперконвейеризированный этап декодирования команды включает две стадии. ID1 является общей для обоих конвейеров. На этой стадии определяется количество байтов в каждой команде. За один такт две команды для каждого конвейера поступают на выполнение в ID2. В ходе стадии ID2 команды декодируются и передаются на выполнение в конвейеры X и Y. Выбор конвейера зависит от того, какая из выполняющихся в данный момент команд будет завершена раньше.

Вычисление адреса включает два этапа, аналогичные рассмотренным ранее для 5×86.

На стадии выполнения используются данные, полученные на предыдущей стадии вычисления адреса. Результаты выполнения записываются в регистр непосредственно в устройстве целочисленных операций или передаются для записи в память устройству управления кэш-памятью.

Особенностью, отличающей 6×86 от процессора Pentium и 5×86, является переупорядочивание команд. Если команда выполнится быстрее, чем предыдущая в другом конвейере, то они будут переупорядочены. Вплоть до стадии выполнения все команды выполняются по порядку, а на стадиях EX и WB порядок может быть нарушен. Аппаратные средства блокировки обеспечивают требуемый порядок выполнения и записи результатов для команд, связанных по данным.

Для устранения зависимостей по данным в процессоре используются следующие приемы:

- переименование регистров;
- предварительная посылка данных;
- пропуск данных.

6×86 содержит 32 физических регистра общего назначения. Каждый из регистров может быть временно сопоставлен архитектурному регистру ×86 (EAX, EBX, ECX, EDX, ES1, EDI, EBP и ESP). Для каждой операции записи в регистр выбирается новый физический регистр, чтобы сохранить предыдущие данные. Переименование регистров эффективно устраняет WAW и WAR-зависимости.

Зависимость RAW не может быть устранена только с помощью переименования регистров. Для этого в 6×86 используется также предварительная посылка данных и результатов.

Для уменьшения потерь производительности, связанных с использованием предварительной посылки данных и результатов при устранении RAW-зависимостей, в 6×86 используется метод пропуска данных. Этот метод применяется в случае записи в память одной из пары команд данных, которые считывает другая команда этой пары. Механизм пропуска данных передает эти данные непосредственно от команды к команде, экономя цикл чтения из памяти. Пропуск данных применяется только для кэшируемых областей памяти.

Для предсказания переходов в 6×86 используется 256-позиционный четырехходовой ассоциативный буфер адресов переходов. Корректно предсказанная инструкция перехода выполняется за один процессорный такт.

Микропроцессор Cyrix 6×86MX

Следующей разработкой компании Cyrix явился процессор с мультимедийными расширениями - 6×86MX, известный также как M2. Cyrix представляет этот процессор как более дешевый конкурент Pentium II. Подобно Pentium PRO, он оптимизирован для работы с 32-разрядными программами, но, в отличие от последнего, он успешно работает с 16-разрядными программами и может устанавливаться в стандартное гнездо Socket.

Процессор производится по технологии КМОП 0,35 мкм с пятислойной металлизацией. Ему требуется два напряжения питания: 2,9 Вт для процессорного ядра и 3,3 Вт для подсистемы ввода/вывода. Процессор может работать с частотой шины до 75 МГц. Его производительность по Pentium-рейтингу составляет PR166, PR200 и PR233. В 1998 г. с переходом на технологию 0,25 мкм планировался выпуск процессора с производительностью PR300.

Структура микропроцессора Cyrix 6×86MX показана на рис. 11.4.

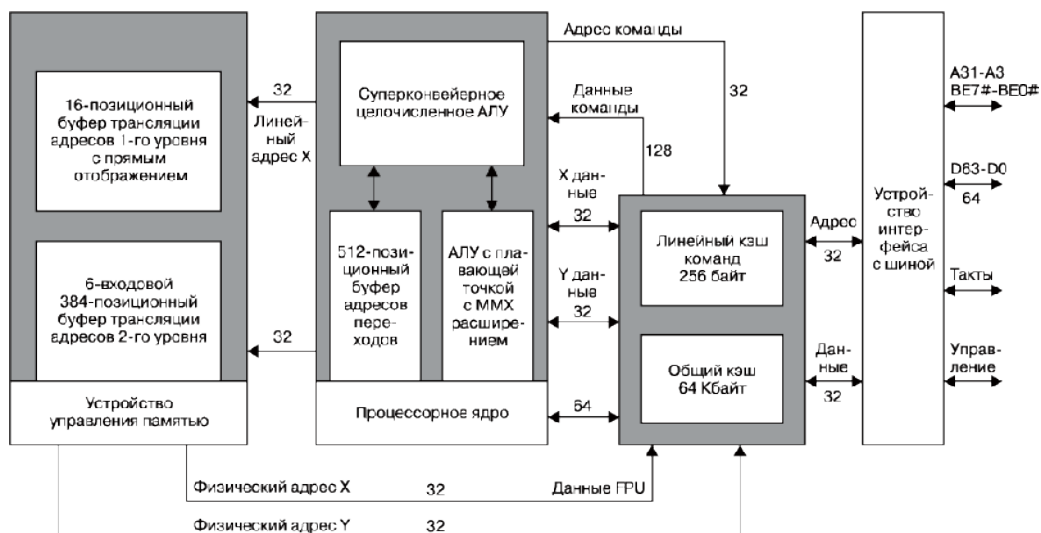


Рис. 11.4. Структура микропроцессора Cyrix 6 ×86MX

6×86MX - это улучшенный процессор 6×86, в который добавлена возможность выполнения набора из 57 мультимедийных команд, совместимых с MMX-расширением Intel,

повышена тактовая частота, увеличен объем кэш-памяти, применены двухуровневый буфер трансляции адресов (TLB) и улучшенный кэш адресов переходов.

Процессор базируется на суперскалярном ядре 6×86, которое благодаря наличию двух независимых конвейеров способно выполнять несколько команд за такт. В 6×86MX увеличена длина конвейеров, что позволило повысить тактовую частоту процессора.

В 6×86 используются предсказание переходов и спекулятивное выполнение команд после перехода и операций с плавающей точкой. Спекулятивное выполнение может осуществляться на глубину до 4 команд перехода и операций с плавающей точкой. Результаты, полученные при спекулятивном выполнении команд, не переносятся в кэш и внешнюю память до тех пор, пока не будет получено подтверждение правильности сделанного предположения. Спекулятивное выполнение команд продолжается до тех пор, пока не произойдет одно из следующих событий:

- Уровень спекулятивного выполнения превысил 4.
- Возникло исключение или установлена ложность предсказания перехода.
- Переполнение буфера записи результатов спекулятивно выполненных команд.

Предпринята попытка модификации ресурсов, не сохраненных в контрольной точке (например, сегментных регистров, системных флагов).

Основные отличия процессоров 6×86MX и 6×86 отражены в табл. 11.1. 6×86MX содержит два кэша: 64-Кбайтовый 4-входной ассоциативный общий кэш с обратной записью и 256-байтовый высокоскоростной кэш команд с прямым отображением. Для поддержки выполнения мультимедийных операций часть кэш-памяти может быть использована в качестве основной памяти со строковой организацией. В этом случае она не участвует в операциях кэширования.

В 6×86MX используются два буфера трансляции адресов (TLB) - основной TLB первого уровня (TLB L1) и вторичный TLB (TLB L2), большего размера. TLB L1 с прямым отображением адресов имеет 16 позиций, 6-входной ассоциативный TLB L2 рассчитан на 384 позиции.

Устройство операций с плавающей точкой (FPU) имеет 64-разрядный интерфейс, 4-позиционную входную очередь команд на выполнение и 6-позиционную выходную очередь на запись результатов. FPU расширено возможностью выполнения команд MMX наряду с командами с плавающей точкой. Команды обоих типов могут выполняться одновременно с целочисленными операциями.

Для возможного применения в мобильных компьютерах в 6×86MX предусмотрена эффективная система управления энергопотреблением.

11.3. Микропроцессоры с архитектурой Alpha

Микропроцессоры Alpha 2106x

На сегодняшний день микропроцессоры Alpha - наиболее производительные однокристалльные устройства, выпускаемые серийно.

Микропроцессоры Alpha являются хорошей иллюстрацией концепции Speed Daemon - достижения высокой производительности за счет увеличения тактовой частоты при относительно простой логике функционирования.

Архитектура микропроцессоров Alpha впервые была представлена в феврале 1992 г. на конференции ISSCC, а уже феврале 1993 г. был выпущен первый из микропроцессоров - Alpha 21064 с тактовой частотой 200 МГц, выполненный по 0,75 мкм КМОП-технологии с 4 слоями металлизации. Процессор содержал 1,68 млн. транзисторов на кристалле площадью 238 мм².

Благодаря высокой тактовой частоте и высокой степени конвейеризации выполняемых операций (до 10 тактов на операцию) этот микропроцессор надолго занял лидирующее положение по производительности. Основная область использования процессора - высокопроизводительные рабочие станции и серверы.

Следующими в сентябре 1993 г. были выпущены микропроцессоры Alpha 21066-166 МГц и 21068-66 МГц. Эти процессоры ориентированы на использование в более дешевых системах - рабочих станциях нижнего и среднего уровня. Архитектура ядра данных микропроцессоров аналогична Alpha 21064. На кристалле микропроцессоров Alpha 21066/21068 расположены контроллеры ПДП, графический и шины PCI, что позволяет снизить стоимость и упростить построение систем на их основе.

Выпуск в октябре 1993 г. микропроцессора Alpha 21064A с тактовой частотой 225 и 275 МГц еще более упрочил позиции микропроцессоров компании DEC как лидеров в производительности.

Микропроцессор Alpha 21064 имеет 64-разрядную суперскалярную RISC-архитектуру с двумя исполнительными конвейерами. Микропроцессор может выполнять за один такт до двух команд с фиксированной и плавающей точкой или команду перехода. Блок предсказания перехода обеспечивает вероятность правильного прогноза 0,8.

Микропроцессор содержит на кристалле отдельные кэш-памяти команд и данных, каждый емкостью 16 Кбайт, 32 регистра с плавающей точкой и 32 регистра с фиксированной точкой. Кэш второго уровня - внешний - может составлять от 128 Кбайт до 16 Кбайт. Тактовая частота шины в системе может быть в 2,5 - 10 раз меньше, чем частота работы микропроцессора. Ширина внешних шин адреса и данных составляет 43 и 128 бит соответственно.

В микропроцессорах Alpha 21064 не используется сложная логика переупорядочивания команд и переименования регистров. Обеспечение эффективной загрузки исполнительных устройств возлагается на компилятор.

В табл. 11.3 приведены основные характеристики микропроцессоров Alpha 2106x.

Таблица 11.3

Основные характеристики микропроцессоров Alpha 2106x

Модель	Тактовая частота, МГц	Технология, мкм	Мощность, Вт	КЭШ внешний	Производительность		
					SPEC (int 92)	SPEC (fp 92)	пиковая
21064	150/200	0,75	22/27	до 16М	130	184	400
21064A	233/275	0,75	28/33	до 16М	200	230	550
21164	266/300	0,5	40	до 16М	330	500	1200
21066	166	0,68	21	64К-К2М	-	-	332
21066A	100/233	0,68	10/23	64К-К2М	110	466	753
21068	66	0,68	9	64К-К2М	-	-	-

Микропроцессор Alpha 21164

Следующим рекордным достижением DEC стал выпуск в сентябре 1994 г. микропроцессора нового поколения Alpha 21164, с тактовыми частотами 266 и 300 МГц. Это был первый микропроцессор, имеющий производительность до 1,2 млрд. операций в секунду. Применение новой технологии 0,5 мкм позволило разместить на кристалле площадью 298 мм² 9,3 млн. транзисторов.

Структура микропроцессора приведена на рис. 11.5.

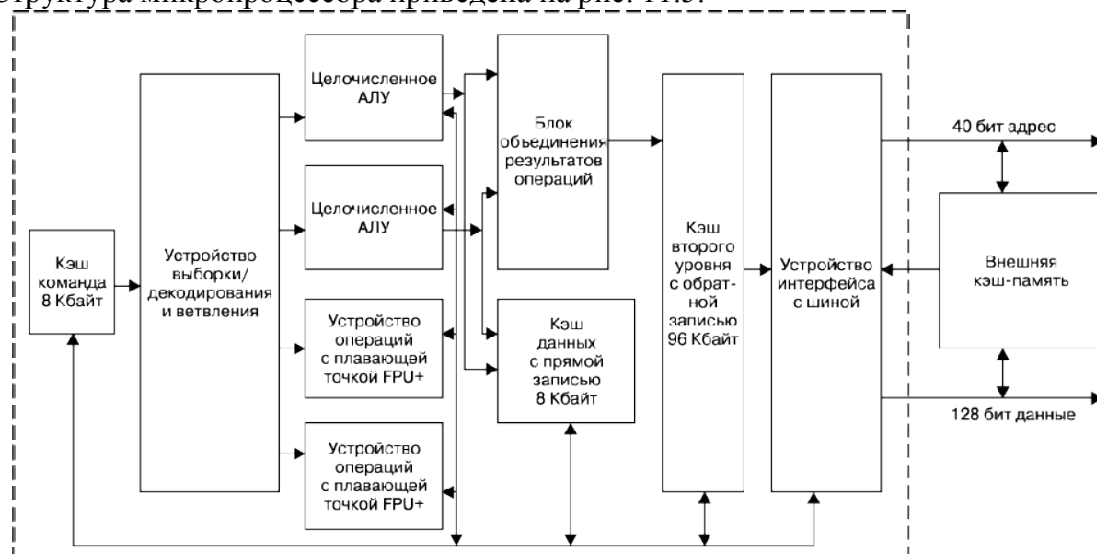


Рис. 11.5. Структура микропроцессора Alpha 21164

Архитектура этого процессора максимально ориентирована на достижение высокой тактовой частоты.

По сравнению с предыдущим поколением в Alpha 21164 вдвое увеличилось число исполнительных устройств, а число тактов, требуемых для выполнения команд, уменьшилось.

Четыре команды извлекаются одновременно из кэш-памяти команд объемом 8 Кбайт и помещаются в один из двух буферов команд, каждый из которых в состоянии хранить четыре команды. Команды извлекаются из буфера в порядке, определяемом программой. Буфер должен быть полностью освобожден прежде, чем начнется использование другого буфера. Это ограничивает пропускную способность выборки команд, однако значительно упрощает управление процессором.

Когда для команды готовы операнды (находятся в файле регистров или могут быть доступны на проходе между операционным устройством и регистровым файлом), команда передается на исполнение в соответствующий ей функциональный блок. Для обеспечения правильного исполнения прерываний процессор не меняет порядка исполнения команд: изменение значений регистров происходит в порядке, предписанном программой.

За один такт процессор может исполнять до 4 команд: две с фиксированной точкой, две - с плавающей. Блоки целочисленных операций не идентичны. Один из них может выполнять запоминание, сдвиги и целочисленное умножение, а другой кроме общих целочисленных команд обрабатывает условные переходы. Блоки выполнения операций с плавающей точкой также различаются. Блок FP+ выполняет конвейерное сложение, простое сложение, деление и условные переходы с плавающей точкой, а блок FPx - конвейерное и простое умножение. Alpha 21164 имеет по 32 регистра для операций с фиксированной и плавающей точкой.

Как и в более ранних микропроцессорах Alpha, в Alpha 21164 интенсивно используется конвейеризация. Первые 4 этапа выполнения команды являются общими для всех операций и выполняются в модуле инструкций. Это предвыборка команды, переход, определение, проверка/подача команды. Блок целочисленных операций добавляет к обработке команд еще 3 этапа (выполнение 1, выполнение 2 и обратную запись), а блок операций с плавающей точкой - еще 5 (доступ к регистрам с плавающей точкой, выполнение операции с плавающей точкой 1, выполнение операции с плавающей точкой 2, выполнение операции с плавающей точкой 3 и обратную запись).

В микропроцессоре Alpha 21164, в отличие от предыдущих моделей, блок выполнения обновляет регистры непосредственно. Ему не требуется сложный механизм отслеживания команд, обеспечивающий обновление регистров в нужном порядке. Чтобы избежать потерь производительности из-за ожидания завершения команд, Alpha 21164 предусматривает обходные пути, благодаря которым операнды становятся доступными еще до завершения команды. Это аналогично методам посылки данных с упреждением, применяемым в других микропроцессорах.

Помимо отдельных кэш-памятей первого уровня со сквозной записью (write-through), на кристалле выполнен общий частично ассоциативный кэш второго уровня с обратной записью (write-back) емкостью 96 Кбайт. На кристалле расположен также контроллер кэш-памяти третьего уровня, позволяющий работать как в синхронном, так и в асинхронном режиме.

Для предсказания ветвлений используется таблица, связанная с кэшем команд. Для каждой команды в кэш имеется элемент таблицы, содержащий историю ветвлений. В элементе таблицы используется двухбитовый счетчик. Предсказывается только один переход. Если при попытке выполнить команду перехода не определено истинное направление перехода предыдущей команды перехода, то выполнение следующей команды ветвления задерживается.

Кэш первого уровня может поддерживать некоторое число необработанных промахов. Процессор имеет шестиэлементный файл адресов необработанных промахов (MAF-miss address file), каждый элемент которого содержит адрес и регистр для загрузки при промахе. Если адреса промаха принадлежат одной строке кэш-памяти, то в MAF они рассматриваются как один элемент. Это позволяет накапливать в MAF больше шести промахов при обращении к кэшу (вплоть до 21).

Использование иерархии кэшей позволило увеличить интенсивность подкачки команд и данных из внешней памяти. Внешняя 128-разрядная шина данных процессора может работать с тактовой частотой, в 1-15 раз меньшей.

В ноябре 1995 г. был выпущен микропроцессор с тактовой частотой 333 МГц. А в марте 1996 г. с переходом на технологию 0,35 мкм, были представлены микропроцессоры Alpha 21164A с тактовыми частотами 366 и 400 МГц.

Дальнейшее развитие микропроцессоров семейства характеризуется увеличением тактовой частоты (в июле 1996 г. выпущен Alpha 21164 с 500 МГц, в марте 1997 г. - 600 МГц), резким снижением (почти в 2 раза) цены на процессоры, а также поиском путей адаптации архитектуры Alpha для использования в Windows NT- системах.

Одна из последних разработок - микропроцессор Alpha 21164PC (март 1997 г.) - призвана обеспечить проникновение микропроцессоров DEC в настольные системы, создавая тем самым конкуренцию процессорам компании Intel. Совместимость с системой команд $\times 86$ DEC обеспечивает с помощью программного транслятора двоичного кода DIGITAL FX132. Отличиями Alpha 21164PC являются внешний кэш второго уровня, увеличенный до 16 Кбайт кэш-команд, наличие блока MVI (Motion Video Instruction), который обеспечивает кодирование/декодирование в реальном времени данных в соответствии со стандартом MPEG-2.

Микропроцессор Alpha 21164PC выпускается для частот 400, 466, 533 МГц и имеет производительность SPECint 95/SPECfp 95 - 10/13, 11/15 и 12/17 соответственно.

В 1998 г. планировалось выпустить процессор на 600 МГц, ожидаемая производительность которого должна составить 18,0 SPECint 95, 27,0 SPECfp 95, 2,4 BIPS.

Микропроцессор Alpha 21264

В мае 1997 г. компанией DEC был представлен микропроцессор нового поколения - Alpha 21264, который значительно превосходит по производительности предыдущих представителей семейства. При тактовой частоте 50 МГц его индексы производительности SPECint 95 и SPECfp 95 составляют 30 и 50 соответственно. Микропроцессор содержит 15,2 млн. транзисторов на кристалле площадью 310 мм² и изготавливается по КМОП-технологии с шестью слоями металлизации.

В отличие от предыдущих микропроцессоров семейства, наряду с высокой тактовой частотой, в Alpha 21264 используется сложный механизм динамического исполнения команд:

динамическое планирование с изменением последовательности команд, переименование регистров, спекулятивное выполнение команд.

Выполнение команды микропроцессора включает такую последовательность циклов:

- выборку команды с учетом предсказания перехода;
- передачу данных для команды в устройство переименования (отображения) регистров;
- выполнение переименования (отображения) регистров;
- выбор команды из очередей на выполнение;
- выполнение целочисленных команд или команд с плавающей точкой;
- запись результатов выполнения.

Для динамического исполнения рассматриваются сразу 80 команд - больше, чем у любого другого процессора. После декодирования команда помещается в одну из очередей: к устройствам с фиксированной или плавающей точкой. Команды, получившие все операнды, конкурируют за доступ к исполнительным устройствам. Большой приоритет имеют команды, которые дольше находятся в очереди. Одновременно может выполняться до 6 команд.

Структура микропроцессора Alpha 21264 показана на рис. 11.6.

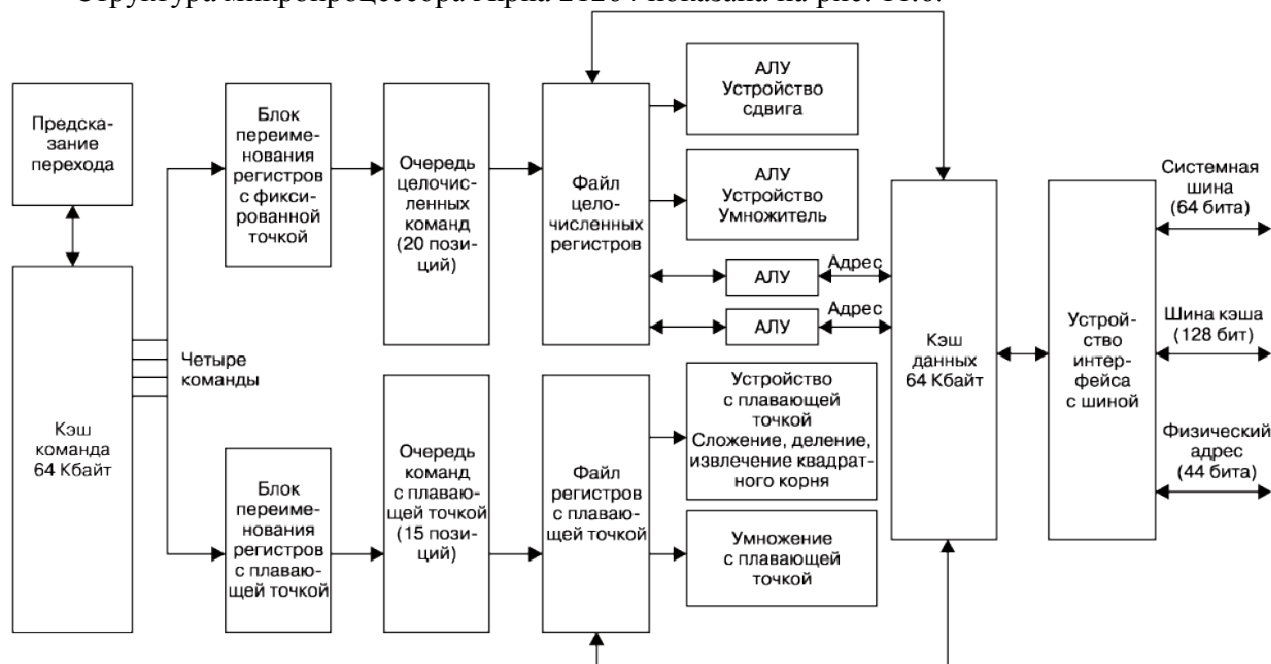


Рис. 11.6. Структура микропроцессора Alpha 21264

Процессор содержит два блока операций с плавающей точкой, выполняющих сложение, умножение, деление, извлечение квадратного корня и четыре целочисленных исполнительных устройства: два - общего назначения, два - адресных. Последние, наряду с простыми арифметическими и логическими операциями, выполняют все команды загрузки и сохранения как для целочисленных данных, так и для данных в формате с плавающей точкой. Целочисленные АЛУ общего назначения выполняют арифметические и логические операции, сдвиги и переходы. Одно из целочисленных АЛУ выполняет также умножение, а другое - новый набор команд обработки видеоданных. Для динамического переименования доступны 41 из 80 целочисленных регистров и 41 из 72 регистров с плавающей точкой.

Микропроцессор не содержит кэш-памяти второго уровня, однако размеры его кэш-памятей данных и команд первого уровня увеличены до 64 Кбайт. На кристалле расположены также контроллер кэш-памяти второго уровня и интерфейс с системной шиной, обеспечивающие пропускную способность 5,3 Гбайт/с при обмене с кэшем и 2,6 Гбайт при обмене с основной памятью.

DEC предполагает применять новый микропроцессор не только в UNIX-системах, но и в системах с 64-разрядной Windows NT и Windows 95 (с использованием транслятора двоичного кода DIGITAL EX! 32).

В перспективных планах DEC значится выпуск процессора Alpha 21264 с тактовой частотой до 800 МГц, что станет возможным с переходом на производство с технологическими нормами 0,25 мкм.

На рис. 11.7 показано развитие микропроцессорных семейств компаний DEC (Alpha) и Intel (P5, P6, P7) с 1991 по 1998 годы.

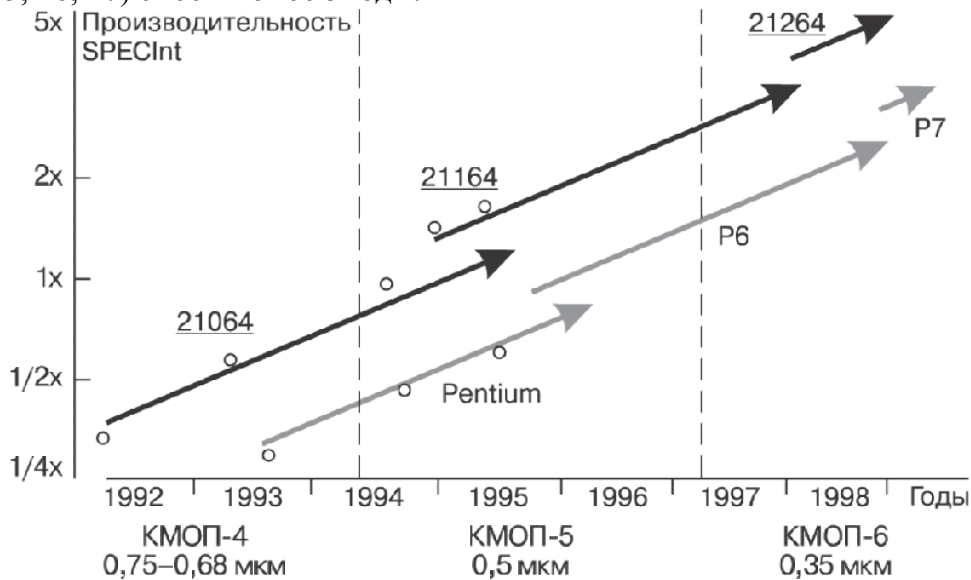


Рис. 11.7. Сравнение производительности микропроцессорных семейств компаний DEC и Intel