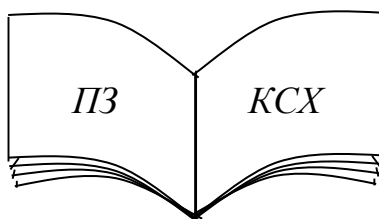


МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ
«ХАРКІВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ»

МЕТОДИЧНІ ВКАЗІВКИ
до виконання практичних робіт з навчальної
дисципліни «Комп'ютерна схемотехніка»

для студентів денної та заочної форми навчання
за спеціальністю «Комп'ютерна інженерія»



Харків 2024

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ
«ХАРКІВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ»

МЕТОДИЧНІ ВКАЗІВКИ
до виконання практичних робіт з навчальної
дисципліни «Комп'ютерна схемотехніка»

для студентів денної та заочної форми навчання
за спеціальністю «Комп'ютерна інженерія»

Затверджено
редакційно-видавничою
радою НТУ «ХПІ»,
протокол № 1 від 15.02.2024

Харків
НТУ «ХПІ»

2024

Методичні вказівки до виконання практичних робіт з навчальної дисципліни «Комп'ютерна схемотехніка» для студентів денної та заочної форми навчання за спеціальністю «Комп'ютерна інженерія» / В. В. Скородєлов, Г. В. Гейко, Т. О. Орлова. – Харків : НТУ «ХПІ», 2024. – 46 с.

Укладачі: В. В. Скородєлов, Г. В. Гейко, Т. О. Орлова

Рецензент: проф. В. В. Усик

Кафедра комп'ютерної інженерії та програмування

ВСТУП

«Комп'ютерна схемотехніка» є однією з фундаментальних дисциплін в напрямку «Комп'ютерна інженерія», яка забезпечує теоретичну та інженерну підготовку, необхідну для виконання науково-дослідних та практичних робіт по дослідженню, розробці та експлуатації апаратних засобів комп'ютерів, вбудованих мікропроцесорних та мікроконтролерних систем, комп'ютерних систем та мереж різного призначення (інформаційних, медичних і промислових).

В результаті вивчення навчальної дисципліни **студенти мають знати:** елементну базу комп'ютерів (цифрових інтегральних мікросхем жорсткої та програмованої логіки з різним ступенем інтеграції), принципи побудови на їх основі типових функціональних вузлів цифрових пристроїв комп'ютерів, мікропроцесорних та мікроконтролерних систем.

Також студенти **повинні уміти:** аналізувати і проводити розробку схем цифрових функціональних вузлів та пристроїв комп'ютерів на основі цифрових мікросхем жорсткої та програмованої логіки; вимірювати параметри, знаходити несправності, проводити налагоджування та випробовування цифрових вузлів та пристроїв. Студенти також повинні **мати практичні навички** розробки і аналізу апаратних засобів комп'ютерів, мікропроцесорних та мікроконтролерних систем з використанням сучасних систем електронного моделювання.

Практичні заняття дають можливість студентам закріпити отримані теоретичні знання з навчальної дисципліни і набути навички та уміння, які необхідні при побудові, розрахунках і моделюванні схем цифрових пристроїв. Для цього, під час аудиторних занять та самостійної роботи, студенти розглядають і вирішують ряд типових задач.

На практичних заняттях студенти набувають практичні навички по розробці схем функціональних вузлів та пристроїв комп'ютерів на основі цифрових мікросхем жорсткої та програмованої логіки; навчаються вимірювати параметри, знаходити несправності, проводити налагоджування та тестування цифрових вузлів та пристроїв, використовувати сучасні системи моделювання і аналізу електронних схем.

Методичні вказівки враховують можливість виконання практичних робіт як на універсальних монтажних платах з наборами перемичок, дискретних пасивних і напівпровідникових елементів, транзисторів і мікросхем, так і з використанням програм комп'ютерного моделювання та аналізу електронних схем типу Multisim. У першому випадку при налагоджуванні та тестуванні схем використовуються як звичайні, так і віртуальні вимірювальні пристрої на основі комп'ютерів. У другому – віртуальні інструменти (прилади), які є в складі програм комп'ютерного моделювання.

При проведенні практичних робіт слід керуватися наступними положеннями:

1) до кожної практичної роботи необхідна самостійна підготовка, що включає вивчення теоретичного матеріалу та виконання необхідних проєктних робіт, теоретичний аналіз розроблених схем, побудова таблиць станів та часових діаграм;

2) в ході виконання практичної роботи студенти повинні зібрати на універсальній монтажній платі або у програмі моделювання розроблені схеми та виконати їх дослідження;

3) по кожній практичній роботі складається звіт, що включає: тему і мету роботи, індивідуальне завдання, результати досліджень з поясненнями, висновки по всім досліддам;

4) всі розроблені схеми та результати досліджень, що створювались в програмах моделювання, необхідно представити викладачу для демонстрації працездатності схеми або пристрою, що моделюється.

При здачі звіту про виконання практичної роботи, студенти повинні бути готові відповісти на контрольні питання, які знаходяться в методичних вказівках, і на додаткові питання за матеріалом, що вивчається.

Практична робота 1

СИНТЕЗ КОМБІНАЦІЙНИХ СХЕМ НА ЛОГІЧНИХ ЕЛЕМЕНТАХ

Мета роботи: отримати навички розробки (синтезу) і дослідження комбінаційних схем на мікросхемах, що реалізують логічні елементи необхідні для реалізації заданої функції, за допомогою програм моделювання електронних схем.

Завдання: побудувати та дослідити комбінаційну схему по логічному виразу (ЛВ) згідно з варіантом індивідуального завдання (табл. 1.1), використовуючи бібліотеку базових (ідеальних) логічних елементів (ЛЕ). Варіант індивідуального завдання відповідає порядковому номеру студента в списку групи.

Таблиця 1.1 – Варіанти індивідуальних завдань

№ варіанта	Логічний вираз
1, 11, 21	$Y = (\overline{X1} \cdot X2 \cdot X3) + (X1 \cdot \overline{X2} \cdot X3)$
2, 12, 22	$Y = X1 + X2 \cdot (\overline{X1} + X3)$
3, 13, 23	$Y = X1 + X2 \cdot \overline{X3} \cdot X4$
4, 14, 24	$Y = X1 + (X2 \cdot \overline{X3}) + X2$
5, 15, 25	$Y = X1 + \overline{X2} + X2 + X3$
6, 16, 26	$Y = X1 + \overline{X2} + (\overline{X1} + X2 + X3)$
7, 17, 27	$Y = (X1 + X2) \cdot (\overline{X1} + X2 + X3)$
8, 18, 28	$Y = (X1 + X2 + X3 + X4) \cdot (\overline{X1} + X3)$
9, 19, 29	$Y = (X1 + X2 + \overline{X3}) \cdot (\overline{X1} + X2 + X3)$
10, 20, 30	$Y = (X1 + X2) \cdot (\overline{X1} + X2 + X3 + X4)$

Порядок виконання роботи

Перед початком виконання завдання треба ознайомитися з методичними матеріалами лекції на тему «Цифрові логічні елементи» та теоретичними відомостями з літератури [1 – 4, 7]. Порядок роботи з програмою електронного моделювання Multisim та основні правила роботи з вимірювальними пристроями (генератор слів (ГС) *Word generator*, логічний аналізатор (ЛА) *Logic Converter* та ін.) розглянуті в літературі [1, 7].

Побудуємо схему на основі заданого логічного виразу.

Для цього будемо використовувати логічний перетворювач (ЛП) *Logic Converter* (рис. 1.1). У нижній частині лицьової панелі ЛП записуємо ЛВ, після чого натискаємо другу знизу кнопку на цій панелі та отримуємо схему, яка відповідає заданому ЛВ.

Натиснувши нижню кнопку на панелі ЛП отримуємо схему в базисі І-НІ (NAND).

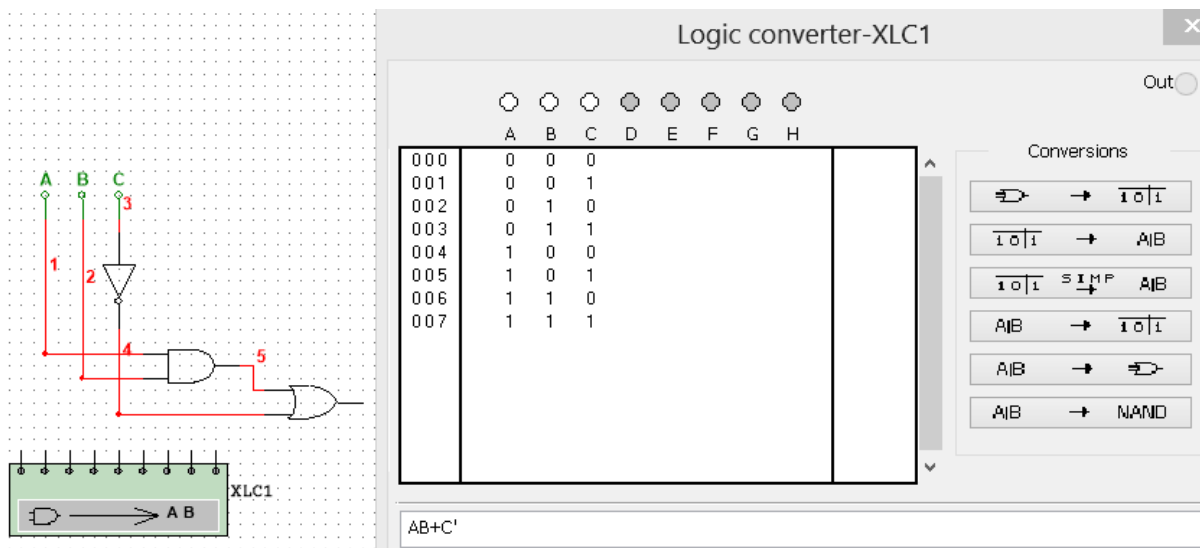


Рисунок 1.1

Одержимо таблицю станів (ТС) цієї схеми.

Для цього необхідно підключити схему до ЛП (рис. 1.2) і натиснути на його лицевій панелі третю кнопку знизу. Натиснувши третю кнопку зверху на лицевій панелі ЛП можна отримати спрощений логічний вираз.

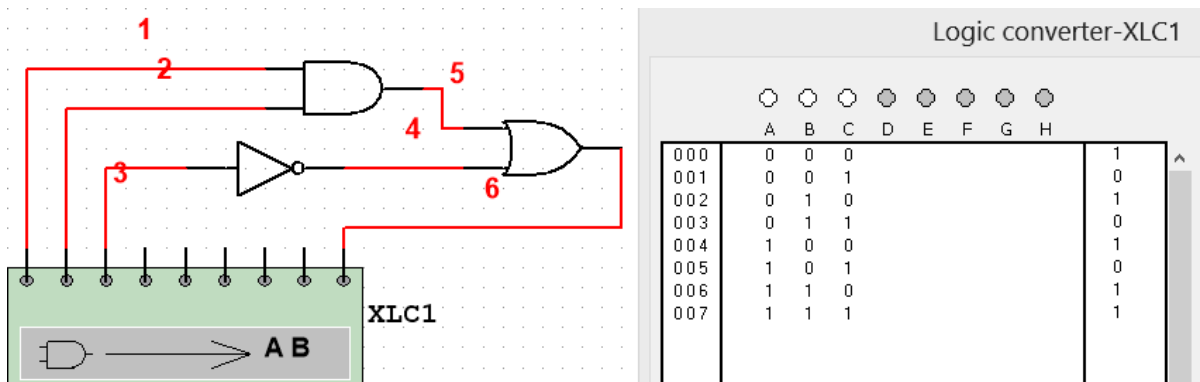


Рисунок 1.2

Досліджуємо роботу схеми в статичному та динамічному режимах.

Збираємо схему дослідження. Для цього необхідно до неї підключити ГС та ЛА так як показано на рис. 1.3.

Здійснюємо попереднє налаштування ГС та ЛА: записуємо в пам'ять ГС тестові набори вхідних сигналів у відповідності з ТС; задаємо режими роботи ГС (починати треба з покрокового режиму) та час розгортки вхідних і вихідних сигналів на екрані ЛА та ін. (рис. 1.3).

Запускаємо процес моделювання. При подачі на входи схеми різних комбінацій вхідних сигналів від ГС, на екрані ЛА можна побачити часові діаграми, які відображають роботу схеми в динаміці. Змінюючи час розгортки ЛА добиваємося того, щоб на екрані можна було побачити мінімум один цикл роботи схеми. Для виділення циклу роботи або вимірювання часових параметрів сигналів користуємося червоним і синім маркерами.

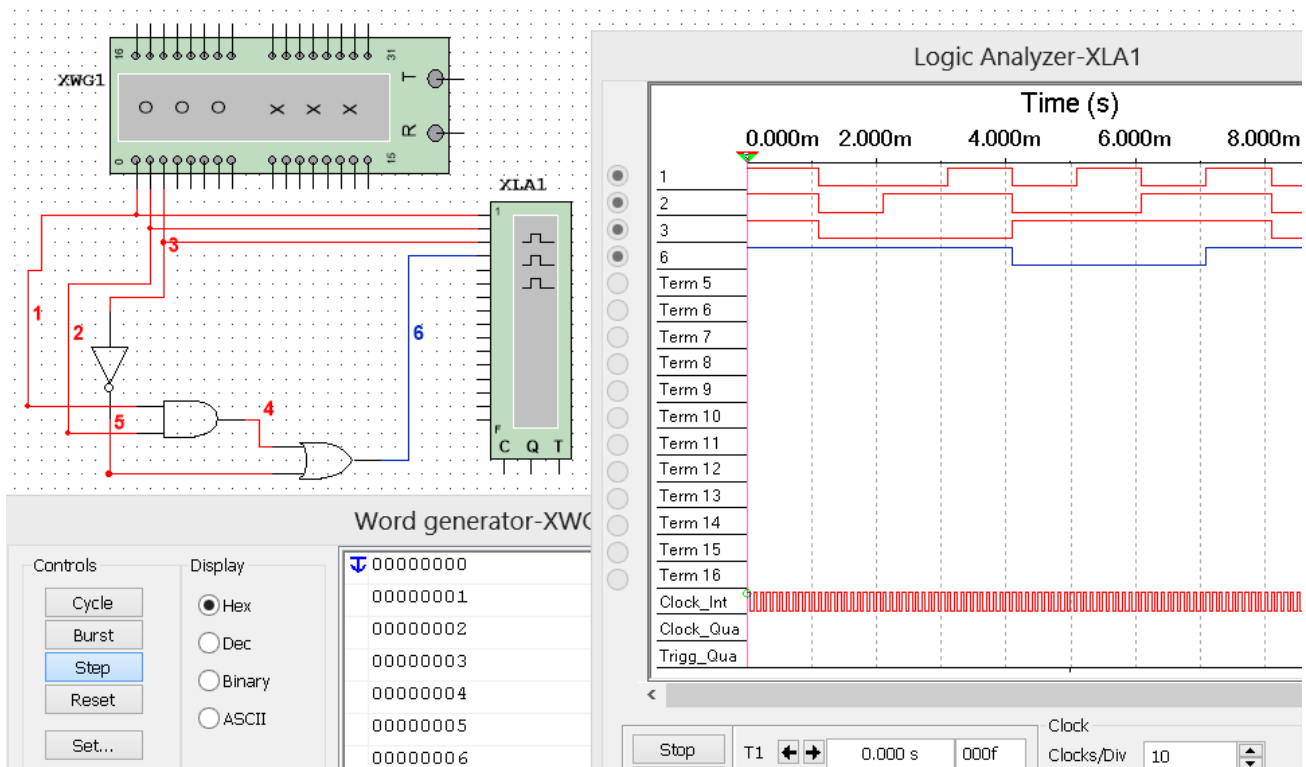


Рисунок 1.3

Аналізуємо одержані на рис. 1.2 часові діаграми, порівнюємо їх з теоретичною ТС і робимо висновки.

Зміст звіту

1. Тема і мета роботи.
2. Індивідуальне завдання.
3. Результати виконання дослідів (схеми, графіки, розрахунки та ін.) з описом, які прилади були використані, що в результаті отримали на графіках, порівняти теоретичні дані з результатами експериментів.
4. Загальні висновки по роботі.

Контрольні питання

1. Поясніть, як скласти ТС для будь-якої логічної функції.
2. Поясніть, що таке основний функціонально повний набір логічних елементів.
3. Складіть ТС для елементів 2І-НІ та 2АБО-НІ.
4. Що таке мінімізація логічної функції?
5. Яким чином визначається час затримки спрацьовування схеми?

Практична робота 2

СИНТЕЗ ПЕРЕТВОРЮВАЧІВ КОДІВ НА ЛОГІЧНИХ ЕЛЕМЕНТАХ

Мета роботи: отримати навички розробки та дослідження перетворювачів кодів на логічних елементах.

Завдання: побудувати перетворювач кодів на логічних елементах згідно з варіантом завдання (табл. 2.1), що виконує послідовне перетворення вхідних двійкових кодів у семисегментні коди літер, з яких складається задане слово, яке потім послідовно літера за літерою повинно відображатися на одному семисегментному індикаторі.

Таблиця 2.1 – Варіанти індивідуальних завдань

№ вар.	Слово	№ вар.	Слово	№ вар.	Слово
1.	ЗАПРОС	9.	СЕРВІЗ	17.	ГЕНРІТ
2.	НАСПІВ	10.	СІГАРО	18.	ПРОСІН
3.	БАЗІСЕ	11.	РУБІНА	19.	ЗВОНАР
4.	РІЧЕНЬ	12.	СПІВАЧ	20.	ВЕСНАЧ
5.	БАРОНА	13.	РОЗВАГ	21.	РАНІЗА
6.	БЕРІЗА	14.	ПАРНАС	22.	РОЗГІН
7.	ГАЗОВІ	15.	ПРОБАЧ	23.	ВАГОНІ
8.	БРОВАЧ	16.	ПЕРСОВ	24.	РОБОЧА

Порядок виконання роботи

Приклад підключення перетворювача кодів до семисегментного індикатора наведено на рис. 2.1. Для відображення літери або цифри на індикаторі необхідно подати сигнал «1» на його відповідні сегменти.

Семисегментний індикатор в Multisim можна знайти в бібліотеці, як показано на рис. 2.2.

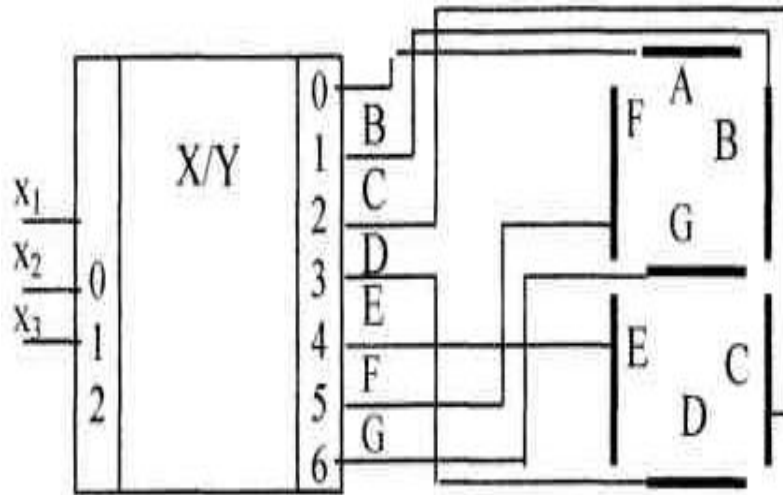


Рисунок 2.1

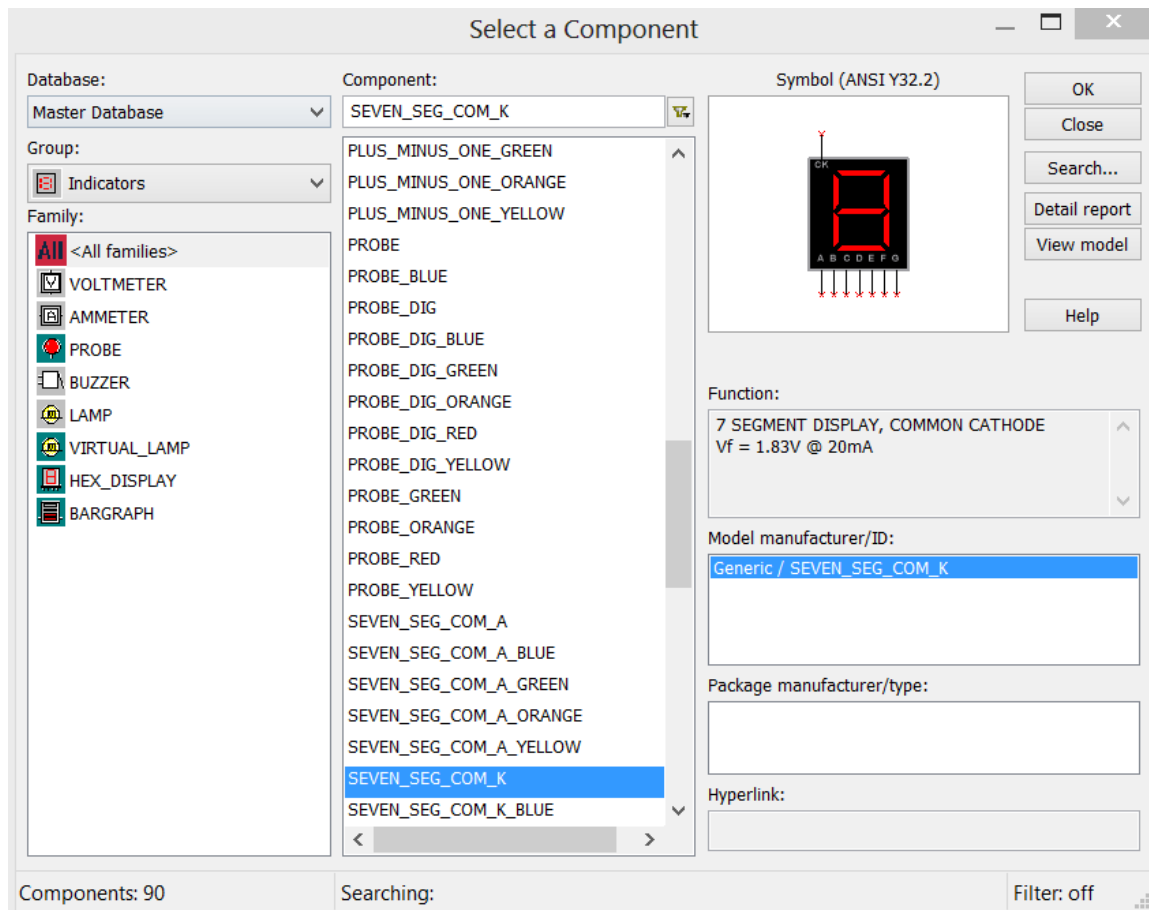


Рисунок 2.2

На рис. 2.3 показано підключення семисегментного індикатора до ГС, на якому задано код $111_2 = 7_{16}$ (тобто на сегменти А, В, С подаються «1»). Якщо на ГС задати код $11110111_2 = F_{16}$, то на індикаторі будуть світитися всі сегменти крім D (рис. 2.4).

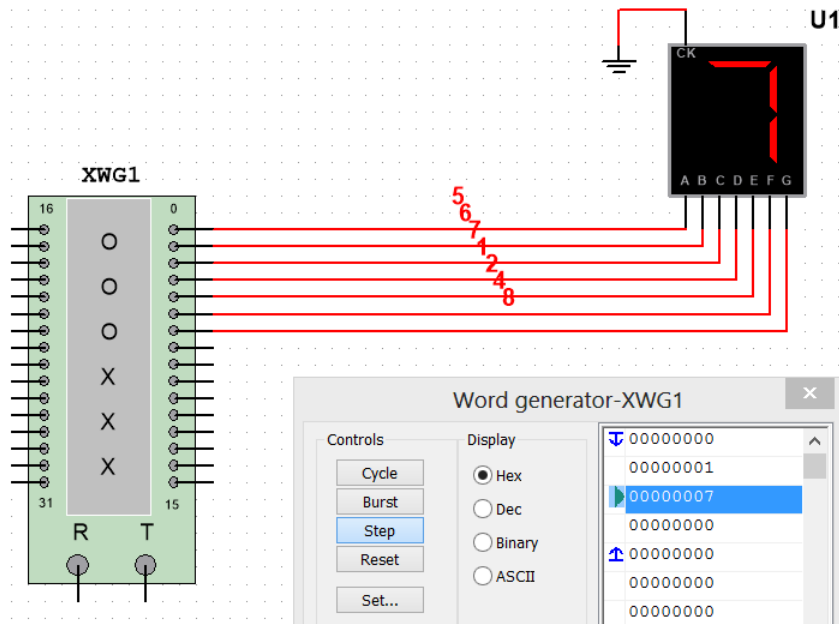


Рисунок 2.3

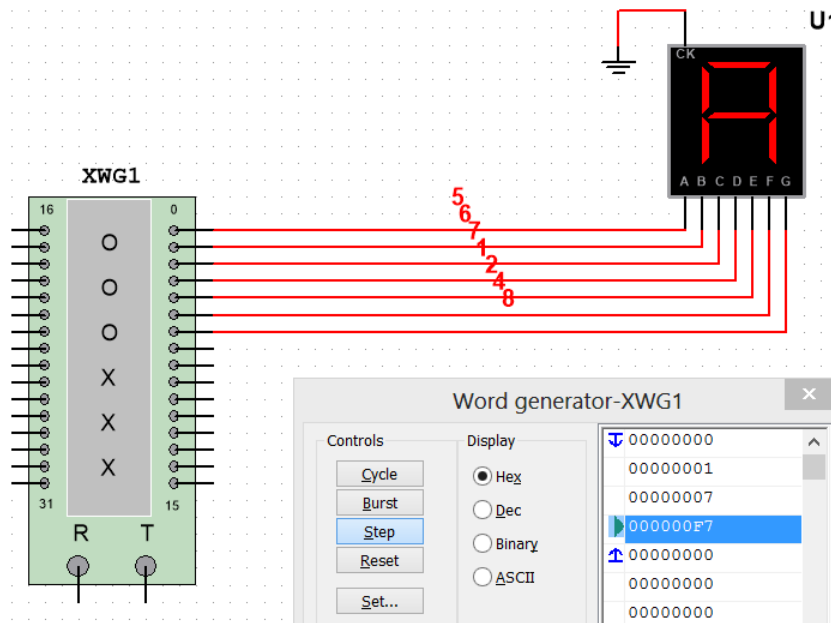


Рисунок 2.4

В табл. 2.2 наведена ТС для випадку, коли на індикаторі буде виводитися слово «АНЧОУС» (для загоряння відповідного сегмента записуємо «1» у відповідні рядки таблиці). Тобто при подачі на вхід схеми сигналів X1, X2, X3, на індикаторі буде загорятися відповідна літера. Потім треба записати відповідно до кожного сегменту індикатора логічні функції та мінімізувати їх. Це можна зробити за допомогою карт Карно або використовуючи ЛП (як описано в практичній роботі № 1).

Таблиця 2.2

Вхідні змінні			Сегмент індикатора							Символ, що виводиться
X1	X2	X3	A	B	C	D	E	F	G	
0	0	0	1	1	1	0	1	1	1	A
0	0	1	0	1	1	0	1	1	1	H
0	1	0	0	1	1	0	0	1	1	Ч
0	1	1	1	1	1	1	1	1	0	O
1	0	0	0	1	1	1	0	1	1	У
1	0	1	1	0	0	1	1	1	0	C
1	1	0	x	x	x	x	x	x	x	–
1	1	1	x	x	x	x	x	x	x	–

Примітка. Знаком «x» помічено невизначені стани роботи пристрою

Таблиця 2.3 – Логічні функції для сегментів

Сегмент	Повна логічна функція	Мінімізована функція
A	$X1'X2'X3'+X1'X2X3+X1X2'X3$	$X1'X2'X3'+X1'X2X3+X1X2'X3$
B	$X1'X2'X3'+X1'X2'X3+X1'X2X3'+X1'X2X3+X1X2'X3'$	$X1'+X2'X3'$
C	$X1'X2'X3'+X1'X2'X3+X1'X2X3'+X1'X2X3+X1X2'X3'$	$X1'+X2'X3'$
D	$X1'X2X3+X1X2'X3'+X1X2'X3$	$X1'X2X3+X1X2'$
E	$X1'X2'X3'+X1'X2'X3+X1'X2X3+X1X2'X3$	$X1'X2'+X1'X3+X2'X3$
F	$X1'X2'X3'+X1'X2'X3+X1'X2X3'+X1'X2X3+X1X2'X3'+X1X2'X3$	$X1'+X2'$
G	$X1'X2'X3'+X1'X2'X3+X1'X2X3'+X1X2'X3'$	$X1'X2'+X1'X3'+X2'X3'$

Для кожної мінімізованої функції (табл. 2.2) будемо схему (це можна зробити за допомогою ЛП, якщо ввести в нього логічний вираз і натиснути відповідну кнопку на його панелі). Наприклад, на рис. 2.5 наведена схема для сегмента A.

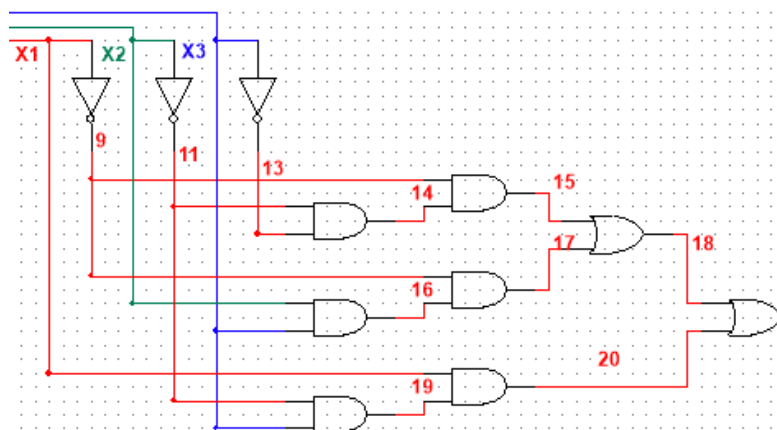


Рисунок 2.5 – Схема для сегмента A

В результаті ми отримаємо сім схем, виходи яких підключимо до відповідних сегментів індикатора. На рис. 2.6 наведена схема перетворювача кодів на логічних елементах, який виконує відображення слова «АНЧОУС». Вхідні сигнали задаємо на ГС у відповідності з табл. 2.2.

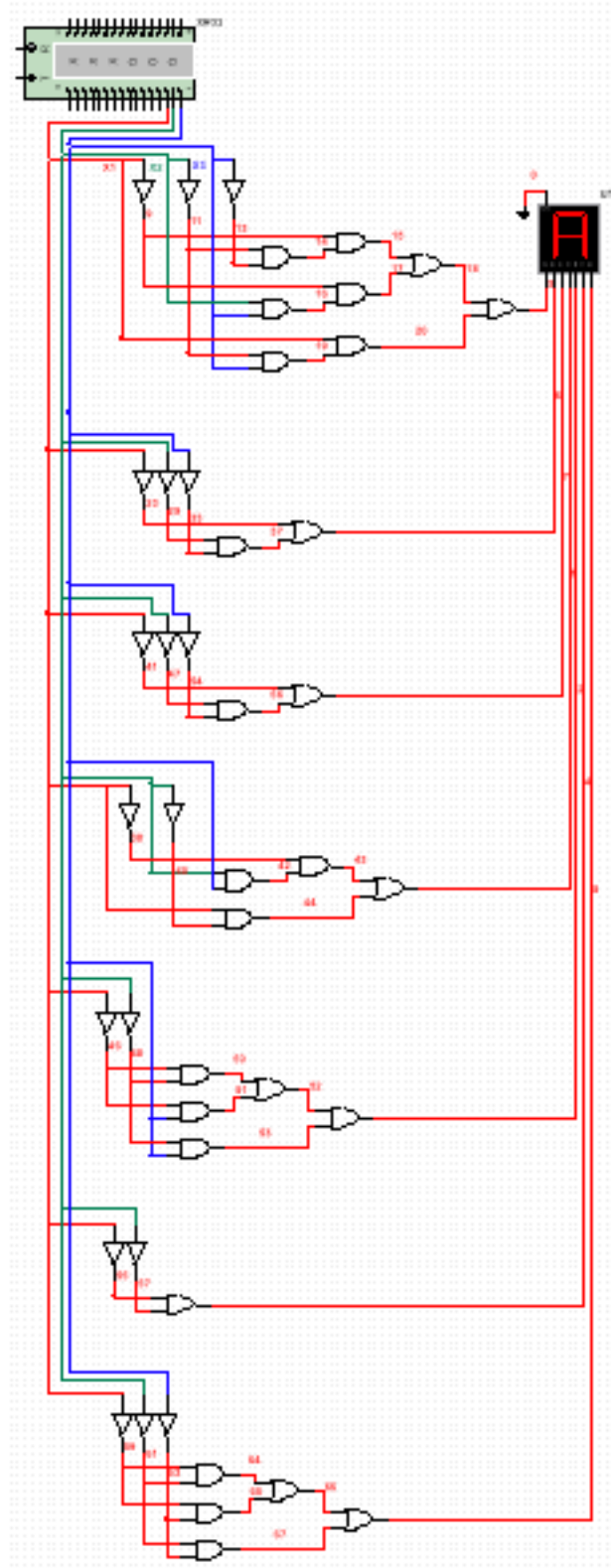


Рисунок 2.6

Зміст звіту

1. Тема і мета роботи.
2. Індивідуальне завдання.
3. Результати виконання дослідів (схеми, графіки, розрахунки та ін.) з описом, які прилади були використані, що в результаті отримали на графіках, порівняти теоретичні дані з результатами експериментів.
4. Загальні висновки по роботі.

Контрольні питання

1. Поясніть, як скласти ТС для будь-якої логічної функції.
2. Поясніть, що таке основний функціонально повний набір логічних елементів.
3. Складіть ТС для елементів 2І-НІ та 2АБО-НІ.
4. Що таке мінімізація логічної функції?
5. Яким чином визначається час затримки спрацьовування схеми?

Практична робота 3

ТРИГЕРИ

Мета роботи: отримати навички побудови та дослідження різних типів тригерів.

Завдання: побудуйте тригер заданого типу на основі базових тригерів і необхідних ЛЕ та перевірте його працездатність шляхом моделювання (табл. 3.1). У відповіді наведіть: обґрунтування основних технічних рішень при розробці заданого тригера, функціональну схему, ТС, умовне графічне позначення (УГП), короткий опис принципу дії та часову діаграму.

Таблиця 3.1

№ вар.	Тип заданого тригера	Спосіб синхронізації	Кількість ступенів	Тип мікросхеми базового тригера
1.	RS	Пряма статична	1	74279N
2.	D	Зворотна статична	1	74279N
3.	DV	Пряма статична	1	74279N
4.	T	Зворотна статична	1	74279N
5.	TV	Пряма статична	1	74279N
6.	JK	Зворотна статична	1	74279N
7.	RS	Пряма статична	2	74279N
8.	D	Зворотна статична	2	74279N
9.	JK	Зворотна статична	1	74279N
10.	T	Зворотна статична	2	74279N
11.	TV	Пряма статична	2	74279N
12.	JK	Зворотна статична	2	74279N
13.	T	Зворотна динамічна	2	74LS74D
14.	TV	Пряма динамічна	2	74LS74D
15.	DV	Зворотна динамічна	2	74LS74D
16.	DV	Зворотна статична	2	74LS77W
17.	T	Зворотна статична	2	74LS77W
18.	TV	Пряма статична	2	74LS77W
19.	D	Зворотна статична	2	7472N
20.	RS	Зворотна статична	2	7472N
21.	DV	Пряма статична	2	7472N
22.	D	Зворотна динамічна	2	74LS107D
23.	DV	Пряма динамічна	2	74LS107D
24.	RS	Пряма динамічна	2	74LS107D
25.	RS	Пряма статична	1	74279N

Порядок виконання роботи

Перед початком виконання завдання треба ознайомитися з методичними матеріалами лекції на тему «Тригери» та теоретичними відомостями з літератури [1 – 4, 7]. На рис. 3.1 – 3.5 наведені *мікросхеми базових тригерів* з табл. 3.1 та їх внутрішні структури.

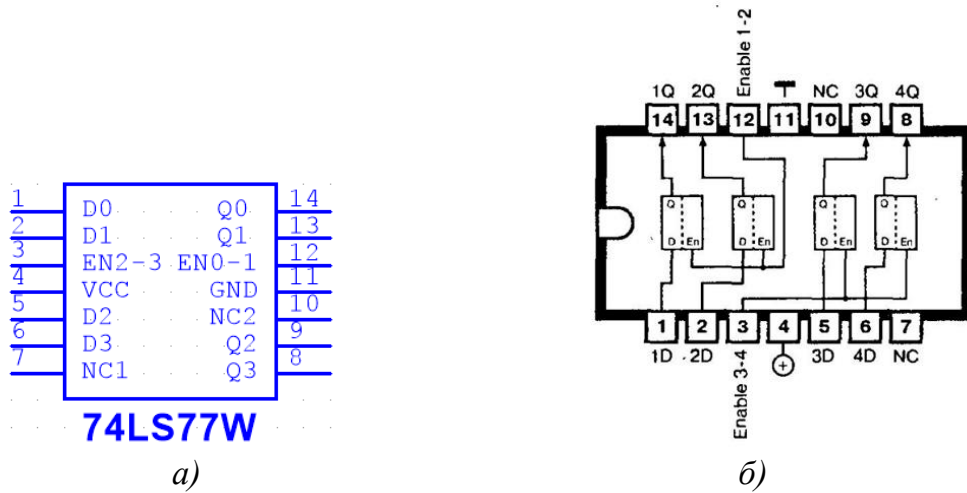


Рисунок 3.1 – Мікросхема 74LS77W (а) та її внутрішня структура (б)

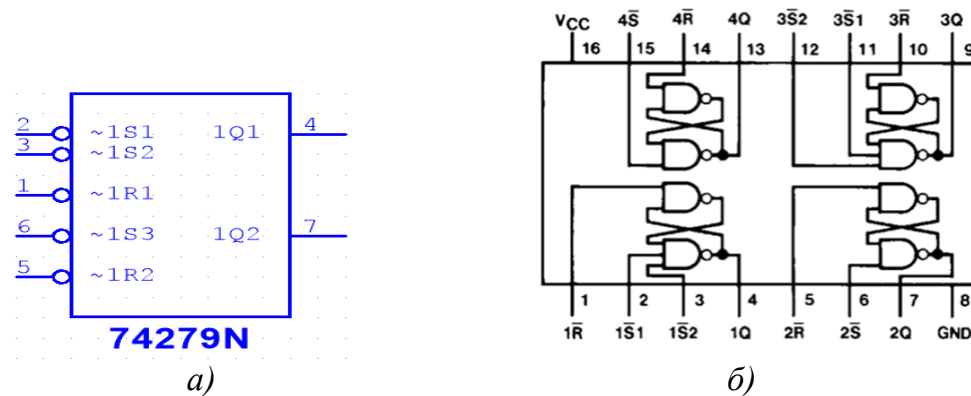


Рисунок 3.2 – Мікросхема 74279N (а) та її внутрішня структура (б)

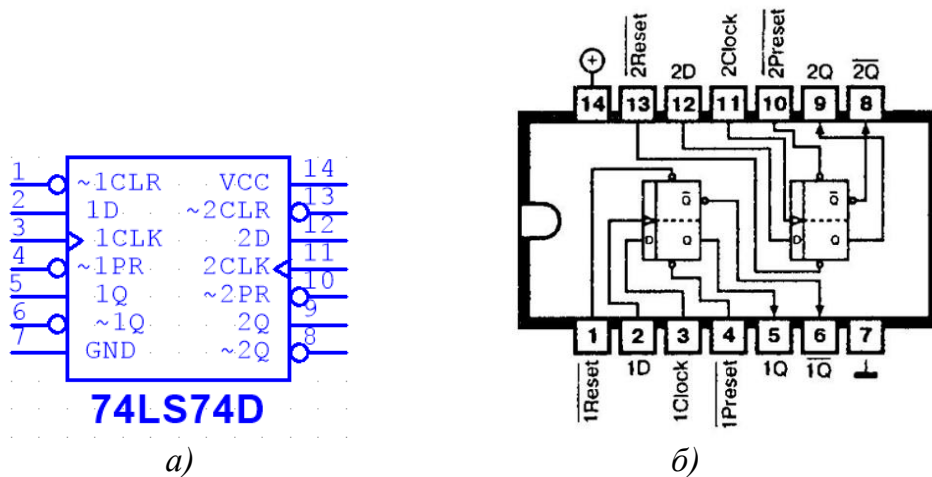


Рисунок 3.3 – Мікросхема 7474 (а) та її внутрішня структура (б)

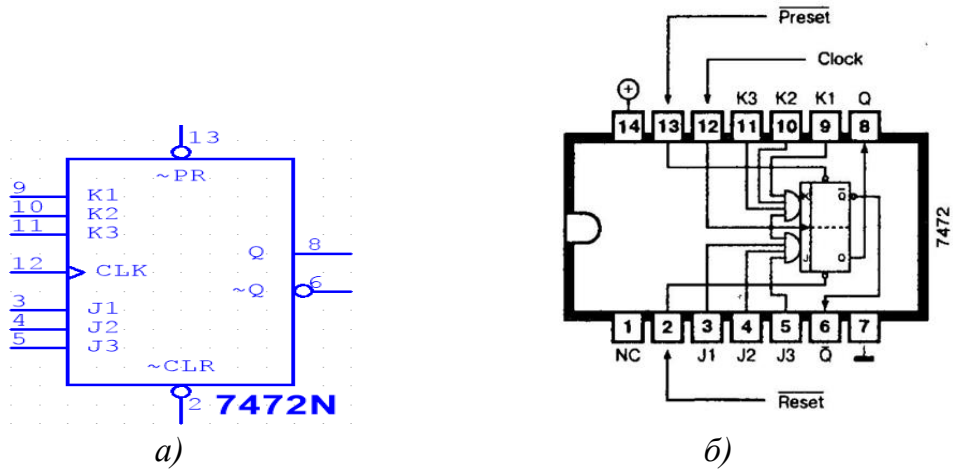


Рисунок 3.4 – Мікросхема 7472N (а) та її внутрішня структура (б)

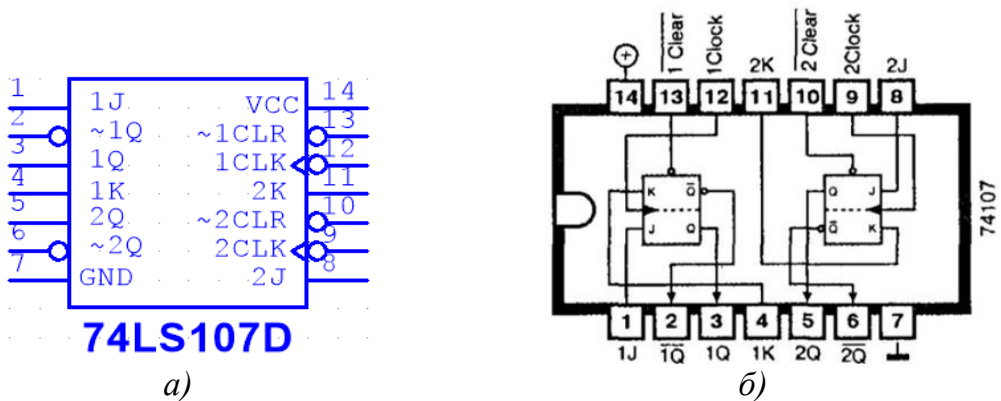


Рисунок 3.5 – Мікросхема 74LS107D (а) та її внутрішня структура (б)

Розглянемо побудову двоступеневого Т-тригера зі зворотною статичною синхронізацією, кількість ступенів – 2, тип мікросхеми базового тригера – 74LS74D.

Мікросхему 74LS74D можна знайти в бібліотеці Multisim (рис. 3.6).

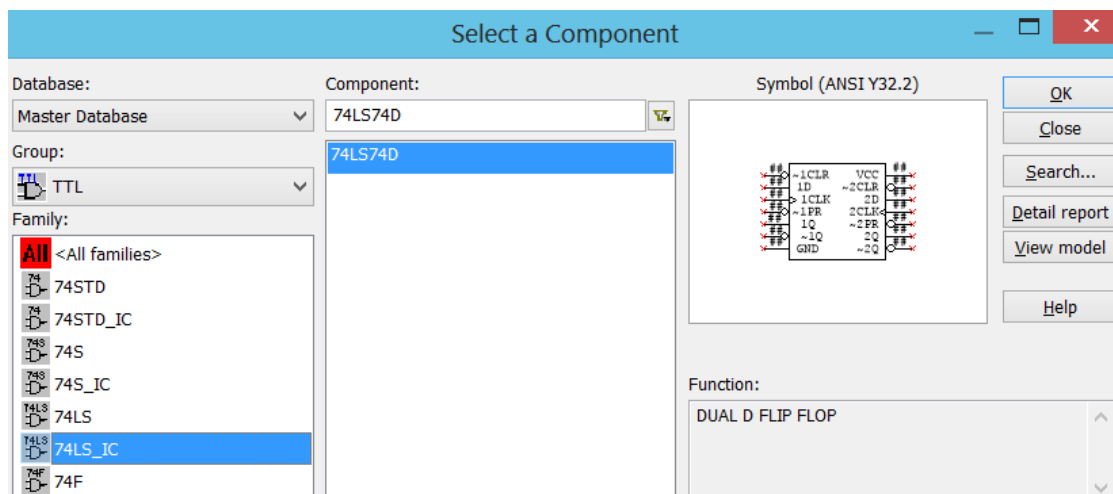


Рисунок 3.6

Для того, щоб на основі D-тригера побудувати T-тригер, треба організувати зворотний зв'язок між інверсним виходом тригера \bar{Q} та його інформаційним входом D , а входні сигнали подавати на синхровхід C , який в цьому випадку перетворюється в лічильний T-вхід заданого T-тригера.

Двоступеневий T-тригер можна побудувати по класичній схемі MS-тригерів. Будемо використовувати два базових D-тригера і організуємо зворотний зв'язок між інверсним виходом другого тригера \bar{Q}_2 та інформаційним входом D першого тригера.

При зворотній статичній синхронізації тригер переключасться, тобто змінює свій стан на протилежний, при перепаді сигналу з «1» в «0» на його T-вході. Для забезпечення цього необхідно використати допоміжний інвертор на T-вході тригера. При цьому, входний не проінвертований сигнал необхідно подати на C-вхід першого D-тригера, а проінвертований – на C-вхід другого D-тригера.

Функціональна схема заданого тригера наведена на рис. 3.7, а, з якої видно, що коли на T-вхід приходить «1», перший D-тригер переключасться, а другий D-тригер працює в режимі збереження інформації. При зміні на T-вході сигналу з «1» до «0» перший тригер працює в режимі збереження інформації, а другий D-тригер переключасться. На рис. 3.7, б наведено УГП T-тригера, а в табл. 3.2 наведена його ТС.

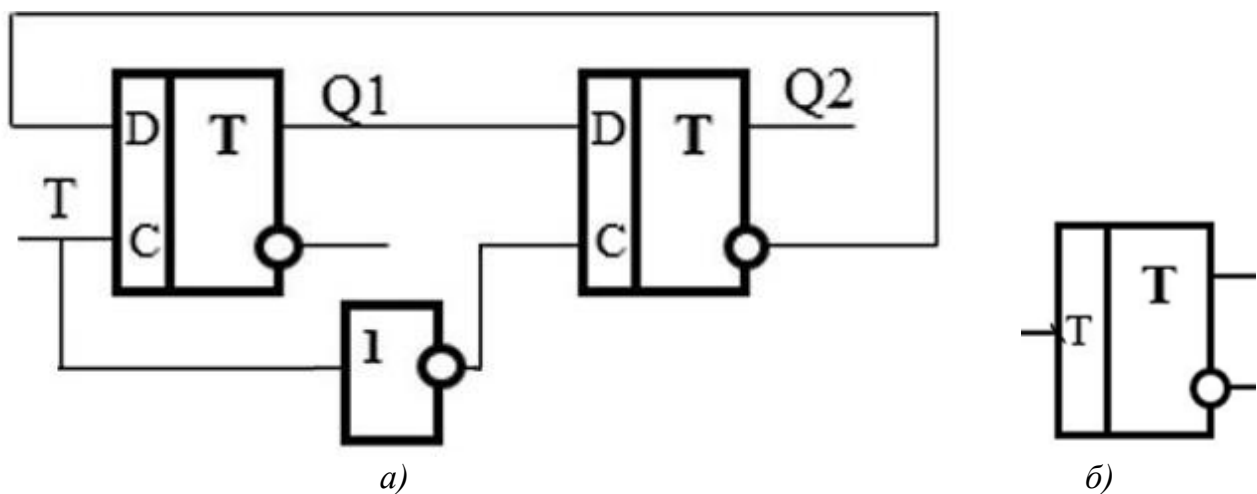


Рисунок 3.7 – Функціональна схема T-тригера (а) та його УГП (б)

Таблиця 3.2 – Таблиця станів заданого тригера

T	Q1	Q2
0	0	0
1	1	0
0	1	1
1	0	1
0	0	0
1	1	0
0	1	1

На рис. 3.8 наведена схема двоступеневого Т-тригера зі зворотною синхронізацією, побудована на мікросхемі 74LS74D. Результати моделювання наведені на рис. 3.9, з якого видно, що переключення Т-тригера відбувається по зворотному фронту імпульсу на Т-вході.

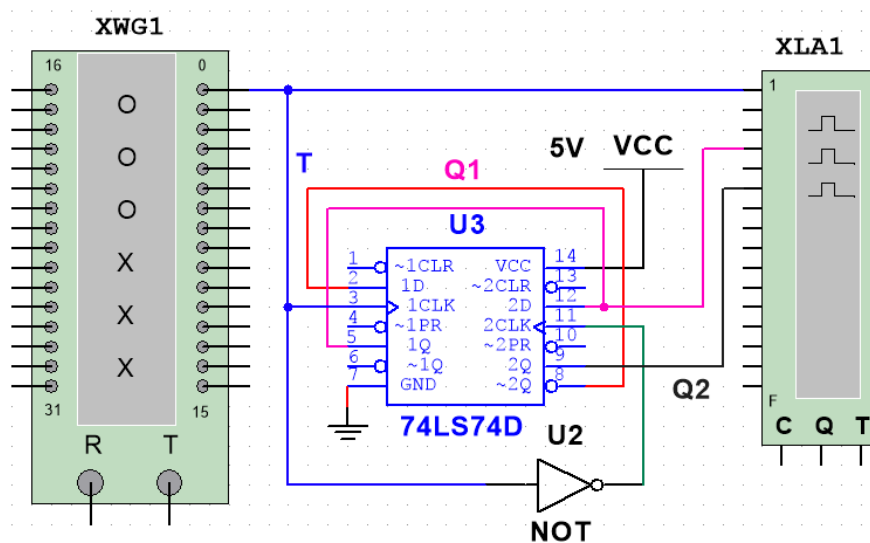


Рисунок 3.8 – Схема дослідження Т-тригера на мікросхемі 74LS74D

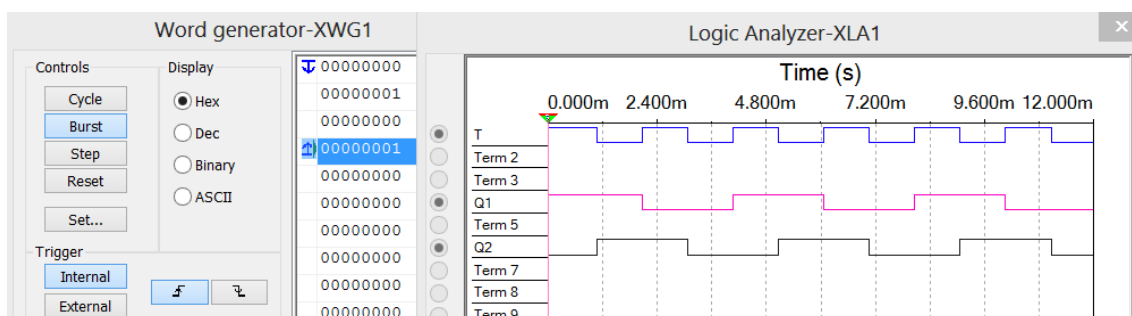


Рисунок 3.9 – Результати моделювання

Зміст звіту

1. Тема і мета роботи.
2. Індивідуальне завдання.
3. Результати виконання дослідів (схеми, графіки, розрахунки та ін.) з описом, які прилади були використані, що в результаті отримали на графіках, порівняти теоретичні дані з результатами експериментів.
4. Загальні висновки по роботі.

Контрольні питання

1. Чим відрізняється динамічне управління тригерів від статичного?
2. Як слід змінити схему синхронного RS-тригера на елементах І-НІ, щоб організувати додатково асинхронні входи S і R?
3. Наведіть схему і поясніть принцип роботи JK-тригера.
4. Наведіть схему D-тригера на логічних елементах.
5. Як на базі D-тригера з прямим динамічним керуванням побудувати D-тригер зі зворотнім динамічним керуванням?
6. Поясніть відмінності між D і DV тригерами.
7. Як здійснювати керування станом тригера по асинхронних входах S і R?
8. Як побудувати D-тригер на базі JK-тригера?

Практична робота 4

ЛІЧИЛЬНИКИ

Мета роботи: отримати навички побудови та дослідження різних типів двійкових лічильників.

Завдання: розробити схему лічильника, виконаного на лічильниках меншої розрядності та D- і JK-тригерах, що рахує по модулю М. Побудувати часову діаграму його роботи для імпульсів із N по К (табл. 4.1).

Таблиця 4.1

№ вар.	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
К	6	4	5	7	8	4	7	5	2	5	7	7	11	3	4
N	30	40	42	41	37	61	57	73	34	53	66	60	59	47	40
M	35	47	44	47	42	74	63	78	39	62	76	66	72	53	47
№ вар.	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
К	8	5	6	6	5	3	7	5	6	7	9	5	8	6	3
N	40	46	54	57	61	65	32	41	43	44	38	69	58	75	35
M	59	54	59	61	65	73	35	47	44	47	42	74	63	78	39

Порядок виконання роботи

Перед початком виконання завдання треба ознайомитися з методичними матеріалами лекції на тему «Лічильники» та теоретичними відомостями з літератури [1 – 4, 7].

Мікросхема SN7493 представляє поєднання Т-тригера (який має вхід INA і вихід QA) і двійкового лічильника на три розряди (який має вхід INB і виходи QB, QC, QD), а входи R01 і R02 є входами скидання в нуль (рис. 4.1).

Для організації чотирьохрозрядного лічильника необхідно з'єднати вихід Т-тригера QA і синхровхід лічильника INB. Внутрішня структура мікросхеми SN7493 показана на рис. 4.2.

Якщо з'єднати два чотирьохрозрядних лічильника (мікросхеми SN7493), то отримаємо восьмирозрядний лічильник з $M = 256$.

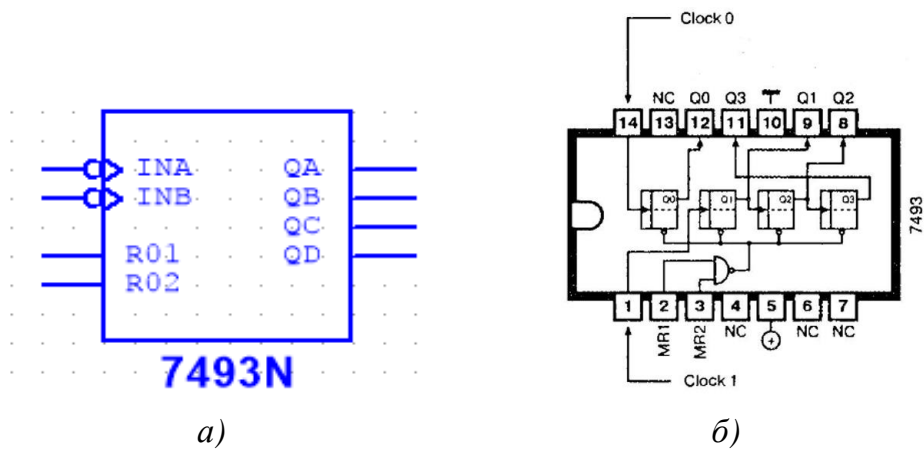


Рисунок 4.1 – Мікросхема SN7493 (а) та її внутрішня структура (б)

Розглянемо побудову лічильника на мікросхемі SN7493 з модулем рахунку M=35.

У такого лічильника буде використовуватися 6 розрядів. Максимальний коефіцієнт рахунку при 6 розрядах дорівнює 64, але, доповнивши схему трьома інверторами і одним 6-вхідним елементом І, отримаємо лічильник з $M = 35$ (це досягається шляхом подачі одиниці на входи R01 і R02 при комбінації на виході лічильників: $Q1 = Q2 = Q6 = 1, Q3 = Q4 = Q5 = 0$, тобто відбувається скидання в нуль).

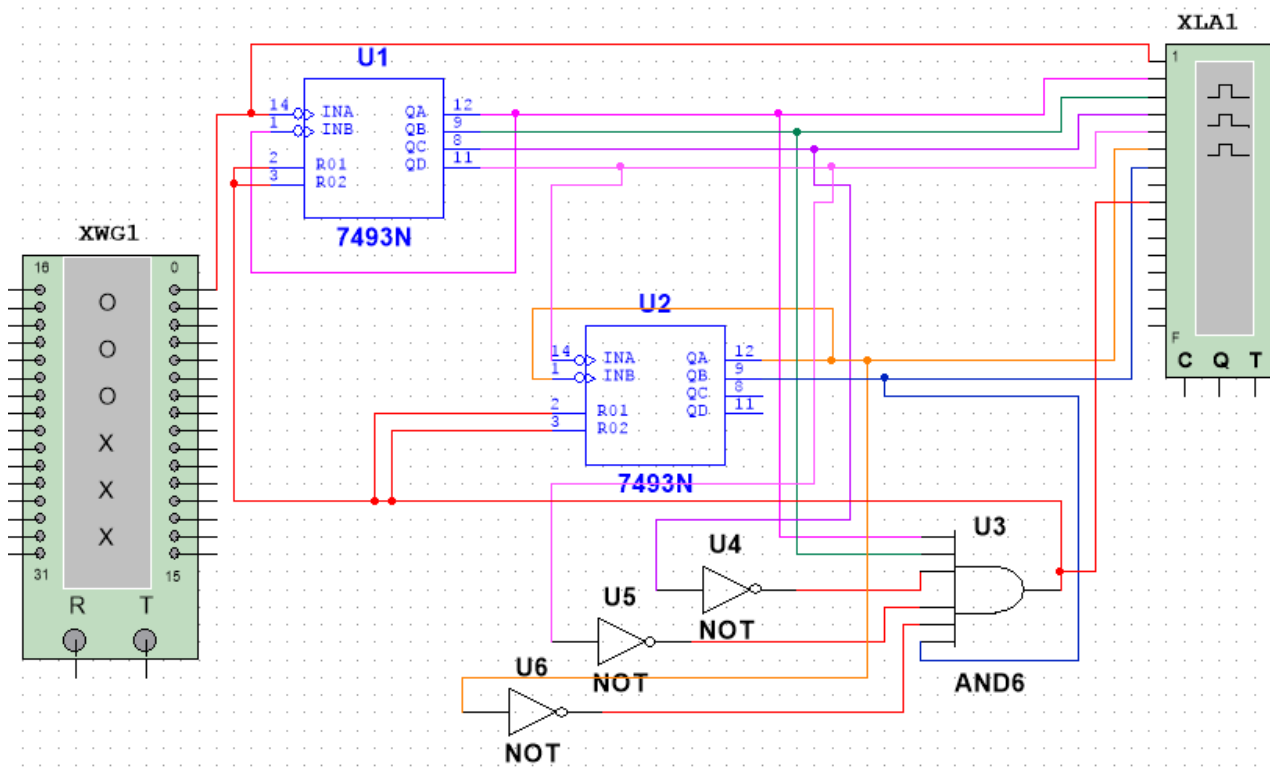


Рисунок 4.5

На часовій діаграмі (рис. 4.6) можна побачити роботу лічильника, який рахує з нуля до 34, а коли значення коду на виходах дорівнює 35, то лічильник скидається в нуль і починає рахувати спочатку. На рис. 4.7 за допомогою маркерів показано інтервал імпульсів на виході з $N = 32$ по $K = 7$.

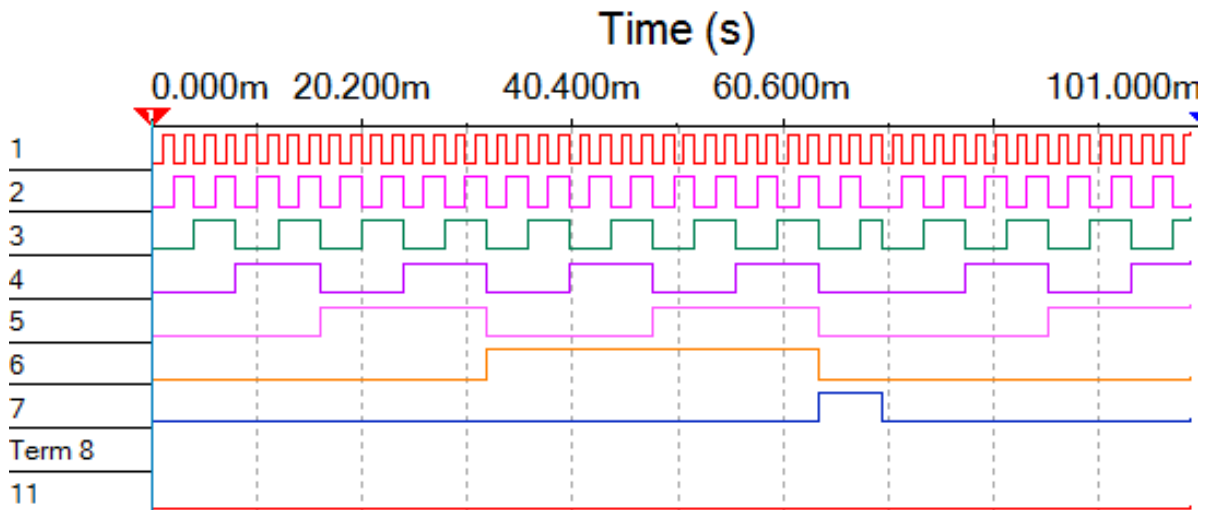


Рисунок 4.6

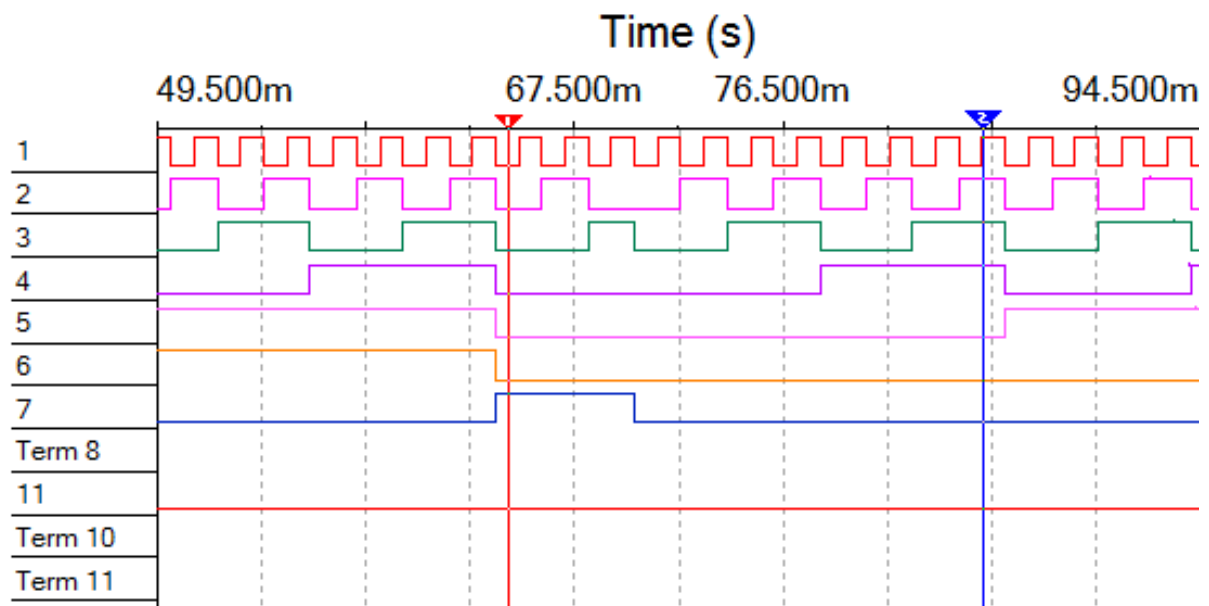


Рисунок 4.7

Зміст звіту

1. Тема і мета роботи.
2. Індивідуальне завдання.

3. Результати виконання дослідів (схеми, графіки, розрахунки та ін.) з описом, які прилади були використані, що в результаті отримали на графіках, порівняти теоретичні дані з результатами експериментів.

4. Загальні висновки по роботі.

Контрольні питання

1. Що таке лічильник?

2. Чим відрізняється лічильник з послідовним перенесенням від лічильника з паралельним перенесенням (по швидкодії і по апаратних витратах)?

3. Чим відрізняються схемотехніка лічильників, що підсумовують (додають) і віднімають?

4. Запропонуйте схему лічильника, що підсумовує, на два розряди на D-тригерах і JK-тригерах.

5. Наведіть схему лічильника з модулем рахування, який заданий викладачем.

Практична робота 5

МУЛЬТИПЛЕКСОРИ

Мета роботи: розглянути принципи побудови мультиплексорів.

Завдання: розробити нестробуємий мультиплексор розмірністю $k = N + 3$ (де N – номер варіанта) на базових мультиплексорах меншої розмірності та необхідних ЛЕ. У відповіді наведіть: обґрунтування основних технічних рішень при побудові заданого мультиплексора, його функціональну схему, УГП, ТС, короткий опис принципу дії.

Порядок виконання роботи

Перед початком виконання завдання треба ознайомитися з методичними матеріалами лекції на тему «Мультиплексори і демультиплексори» та теоретичними відомостями з літератури [1 – 4, 7].

Існує два основних способи нарощування розмірності мультиплексорів ($N \rightarrow 1$, де N – кількість входів): об'єднання декількох мультиплексорів у пірамідальну структуру з використанням допоміжних ЛЕ та паралельне з'єднання виходів декількох мультиплексорів. Перший спосіб, як правило, використовують при побудові мультиплексора на базових мікросхемах, що не мають третього (відключеного) стану, а другий – для побудови мультиплексора на базових мікросхемах, що мають третій стан. На рис. 5.1 наведено УГП мультиплексора $8 \rightarrow 1$ та його ТС.

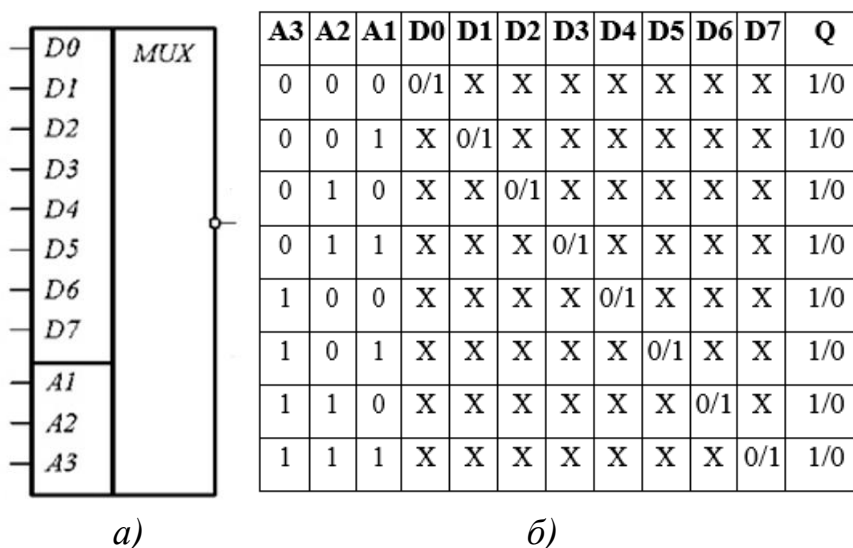


Рисунок 5.1 – УГП (а) і ТС (б) мультиплексора

Приклад збільшення розмірності мультиплексора до 8 розрядів на основі базової мікросхеми 1533КП18, яка має в своєму складі 4 мультиплексора розмірністю $2 \rightarrow 1$ наведено на рис. 5.2.

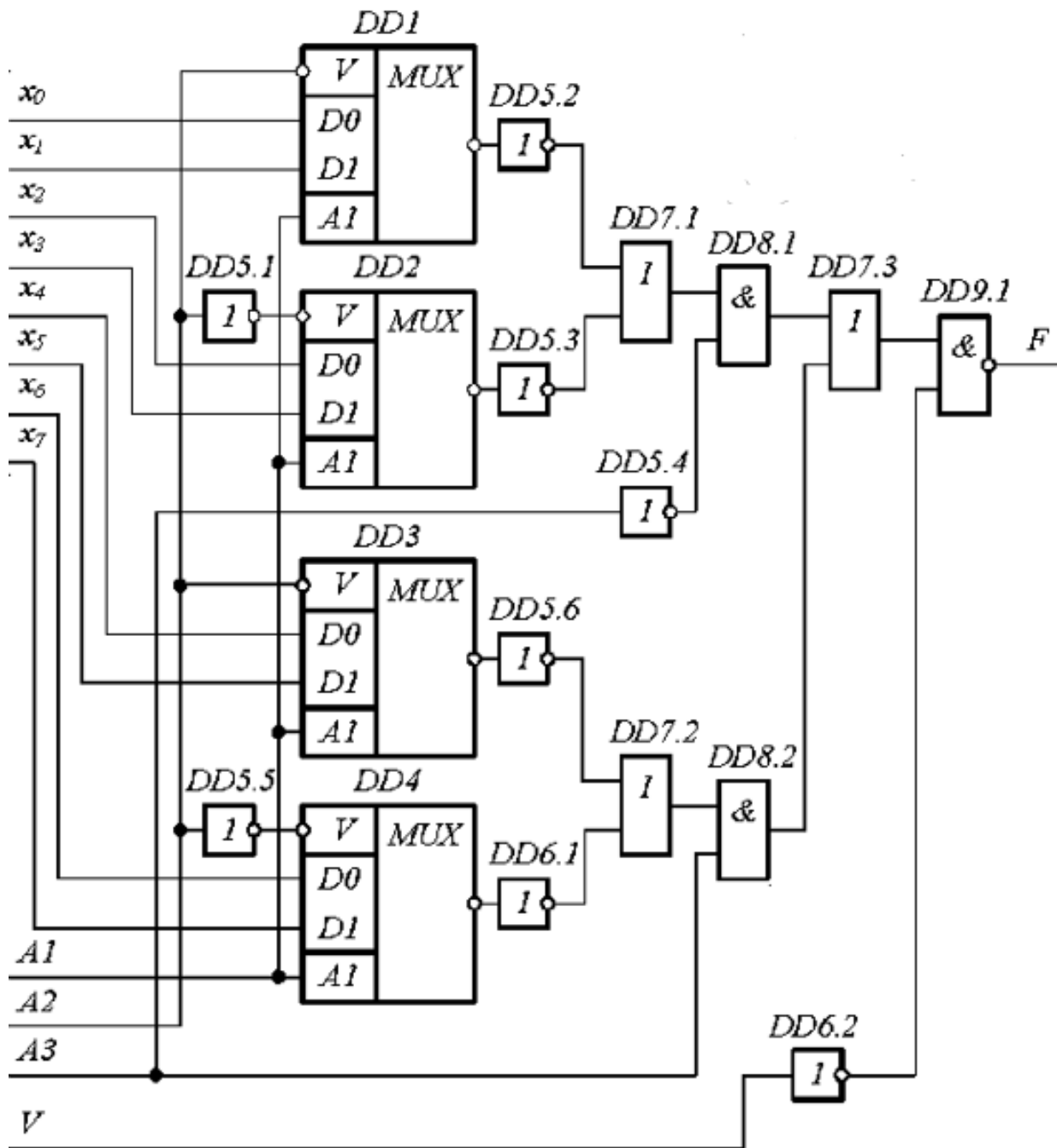


Рисунок 5.2

Приклад побудови мультиплексора $24 \rightarrow 1$ наведений на рис. 5.3. В цій схемі використана мікросхема 74LS157D, яка містить у собі два мультиплексора $4 \rightarrow 1$. Цю мікросхему можна знайти в бібліотеці Multisim, як показано на рис. 5.4.

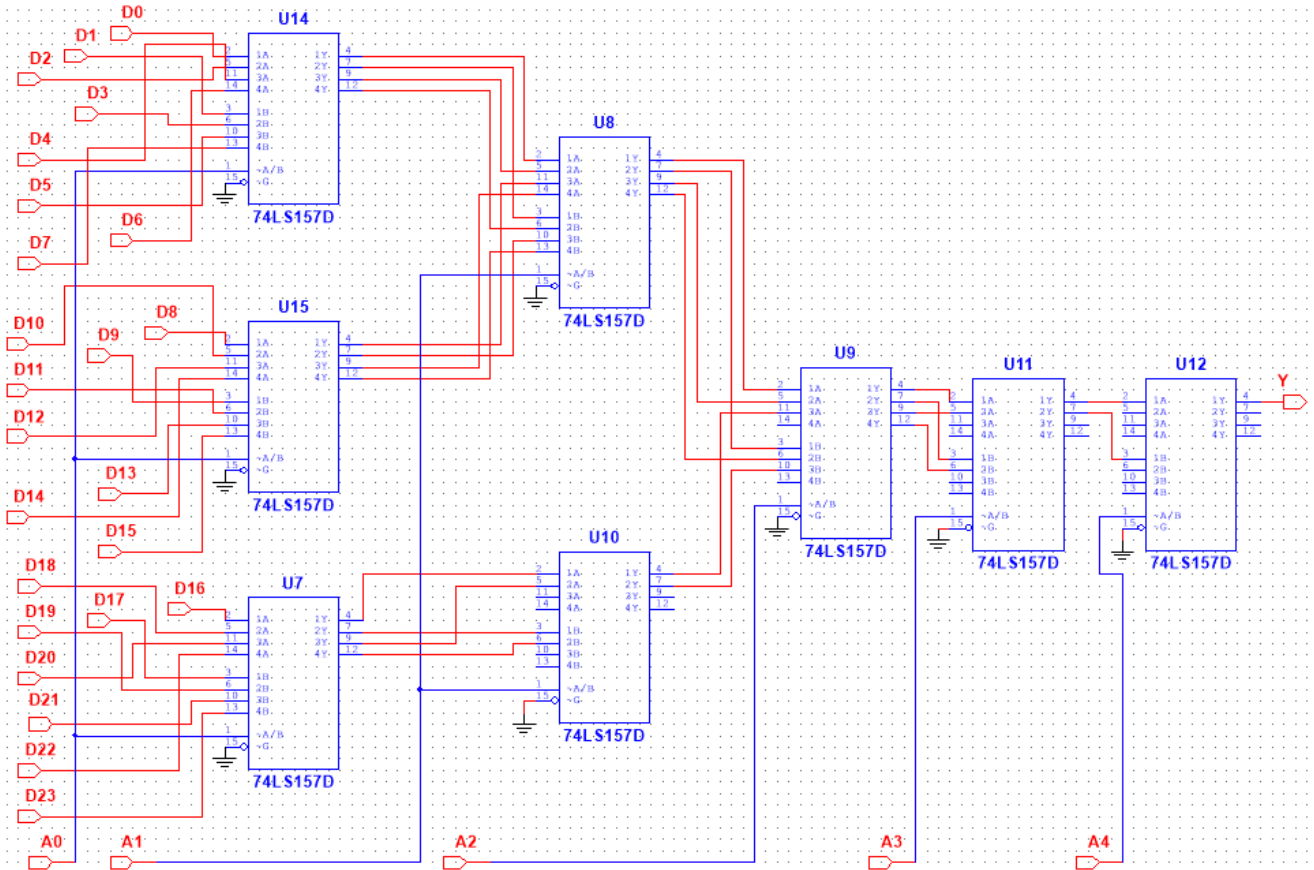


Рисунок 5.3

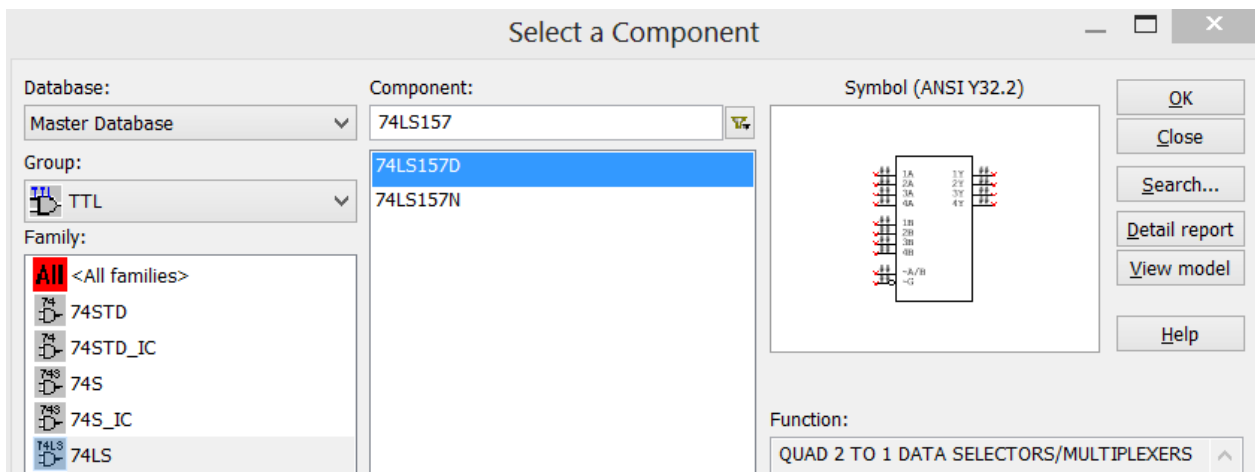


Рисунок 5.4

Схему, яка наведена на рис. 5.5, об'єднуємо в макрос і отримуємо схему дослідження мультимплексора $24 \rightarrow 1$. Часові діаграми наведені на рис. 5.6 (на адресні входи був поданий код $A = 00111_2$ і на виході мультимплексора пройшов сигнал з входу D7).

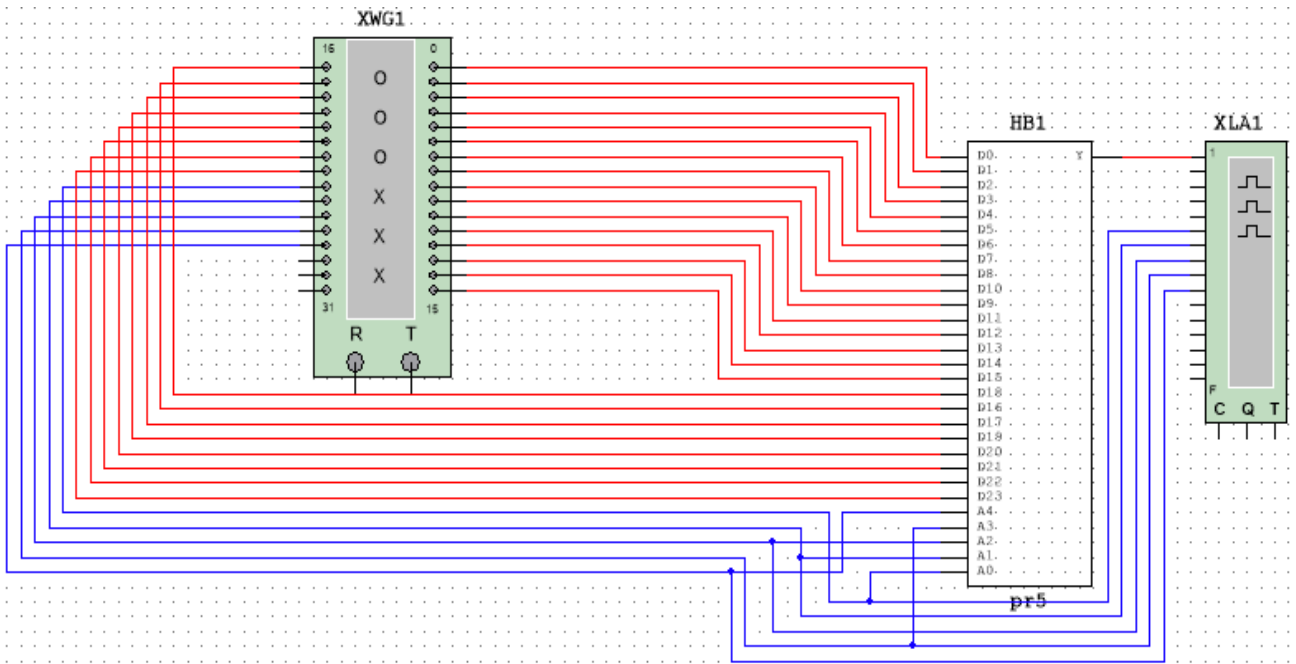


Рисунок 5.3

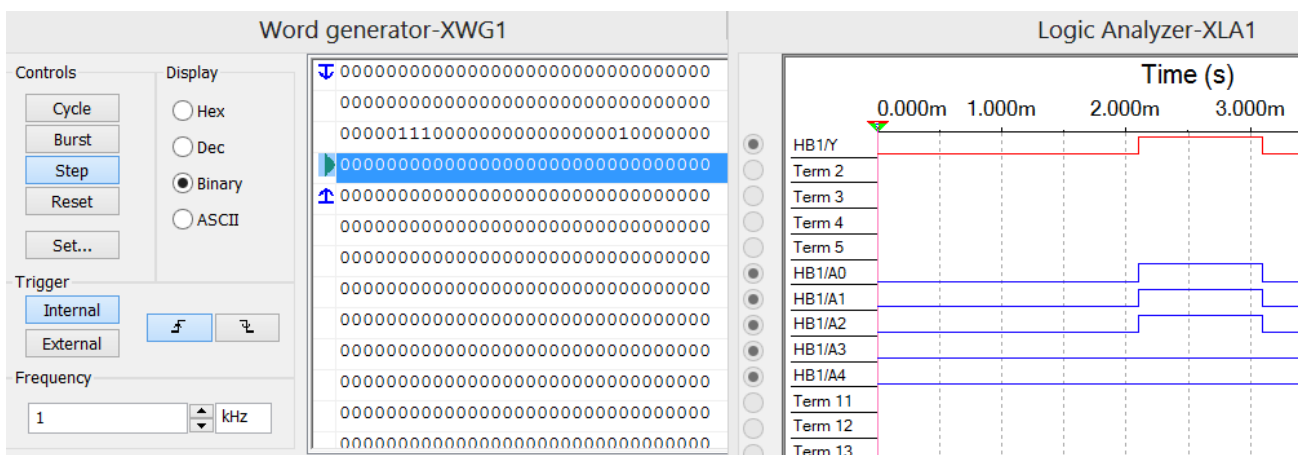


Рисунок 5.3

Зміст звіту

1. Тема і мета роботи.
2. Індивідуальне завдання.
3. Результати виконання дослідів (схеми, графіки, розрахунки та ін.) з описом, які прилади були використані, що в результаті отримали на графіках, порівняти теоретичні дані з результатами експериментів.
4. Загальні висновки по роботі.

Контрольні питання

1. Призначення, основні поняття і характеристики мультиплексора.
2. Побудова мультиплексорів великої розмірності на основі базових мікросхем меншої розмірності.
3. Чому мультиплексор називають комутатором?
4. Яка максимальна кількість інформаційних входів у мультиплексора з трьома адресними входами?
5. Наведіть ТС заданого викладачем мультиплексора.
6. Призначення, основні поняття і характеристики демультиплексорів.
7. Робота дешифратора в режимі демультиплексора.
8. Побудова демультиплексорів великої розмірності на основі базових мікросхем меншої розмірності.
9. Поясніть різницю між мультиплексором і демультиплексором.
10. Яка максимальна кількість інформаційних виходів у демультиплексора з чотирма адресними входами?

Практична робота 6

СУМАТОРИ

Мета роботи: розглянути принципи побудови багаторозрядних суматорів.

Завдання: розробити схему восьмирозрядного суматора та дослідити його роботу в режимі додавання двох чисел $A = 3$ і $B = N$, де N – номер варіанта.

Порядок виконання роботи

Перед початком виконання завдання треба ознайомитися з методичними матеріалами лекції на тему «Суматори» та теоретичними відомостями з літератури [1 – 4, 7].

Суматор – це схема, яка виконує операцію арифметичного додавання чисел. На рис. 6.1, а наведено УГП однорозрядного суматора, а на рис. 6.1, б – його ТС.

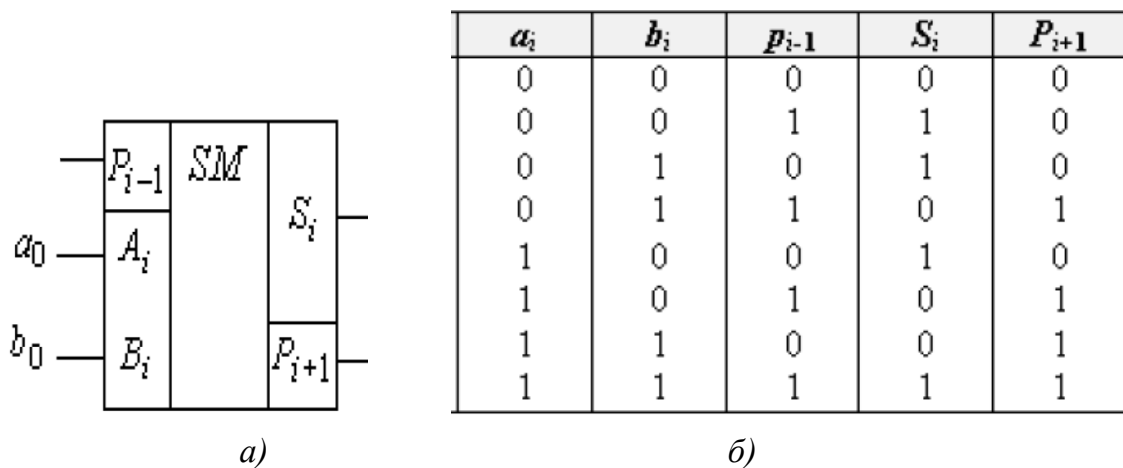


Рисунок 6.1

Паралельні багаторозрядні суматори призначені для одночасного підсумовування двох багаторозрядних чисел і характеризуються різними способами передачі сигналів переносу від молодших розрядів суматора до старших. Розрізняють паралельні комбінаційні суматори з послідовним, паралельним і комбінованим переносом. Вибір типу переносу між розрядами підсумовуючого пристрою визначається вимогами до швидкодії.

На рис. 6.2 наведена схема дослідження чотирирозрядного паралельного суматора з послідовним переносом, побудована з використанням однорозрядних суматорів, які можна взяти у бібліотеці елементів Multisim, як показано на рис. 6.3.

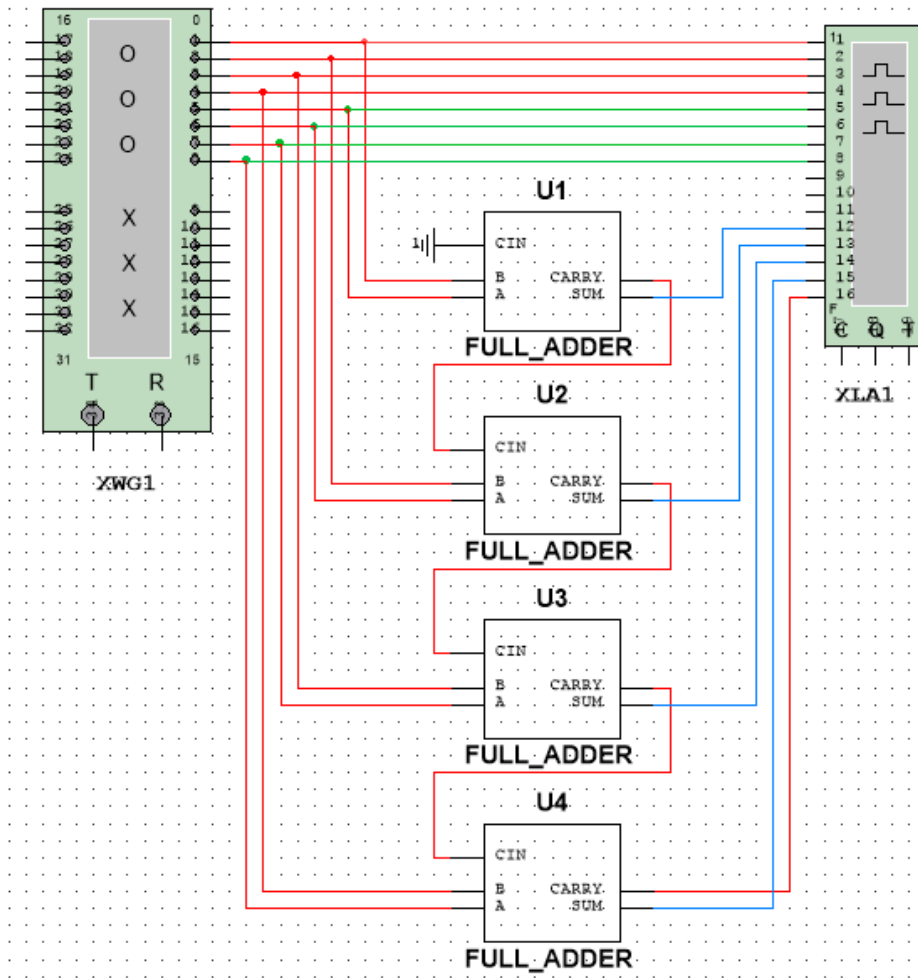


Рисунок 6.2

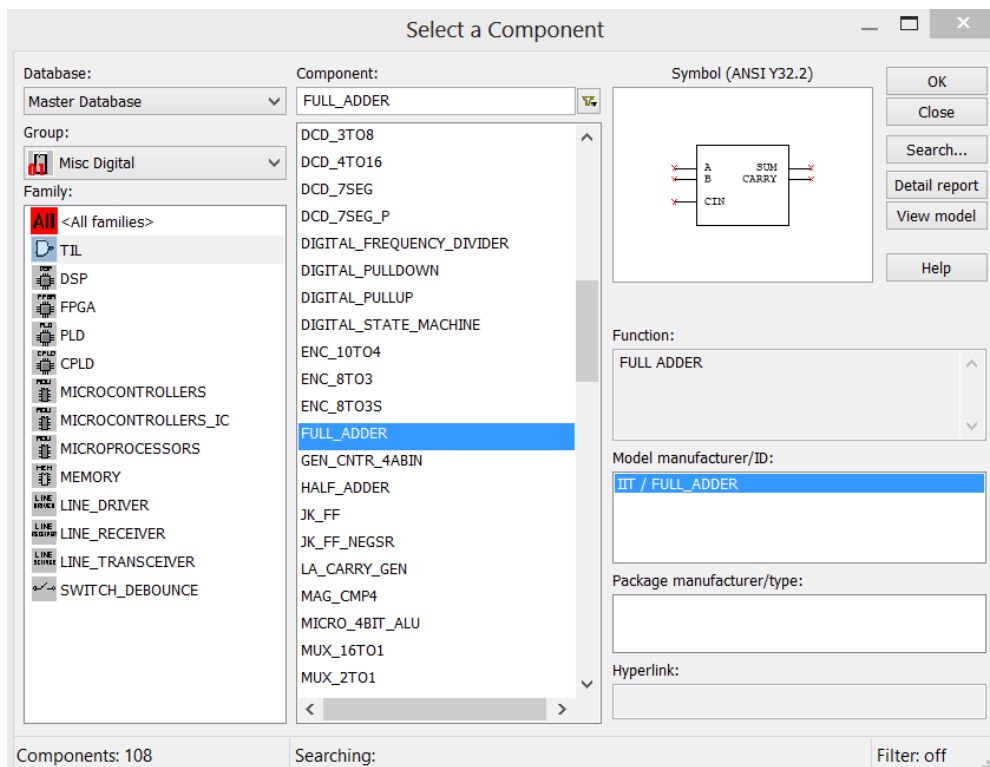


Рисунок 6.3

Практична робота 7
ПРОЄКТУВАННЯ ЦИФРОВИХ ПРИСТРОЇВ НА ПЛІС
ЗА ДОПОМОГОЮ МОВИ СХЕМ

Мета роботи: ознайомитися з технологією проектування цифрових пристроїв в системі автоматизованого проектування Quartus II.

Завдання: створити проект в системі автоматизованого проектування (САПР) Quartus II, синтезувати схему цифрового пристрою (ЦП) згідно з варіантом (табл. 7.1), отримати часові діаграми.

Таблиця 7.1

№ вар.	Логічний вираз	№ вар.	Логічний вираз
1	$F = \overline{(A \cdot B)} + (\overline{C} \cdot D)$	16	$F = A \oplus \overline{B} \cdot \overline{C} \cdot D$
2	$F = \overline{(A \oplus B)} + \overline{C}$	17	$F = (A \cdot B) \oplus \overline{C}$
3	$F = \overline{A} \oplus B \oplus C \cdot \overline{D}$	18	$F = \overline{(A \cdot B)} + \overline{C}$
4	$F = \overline{(A \oplus B)} + \overline{C} \oplus D$	19	$F = \overline{(A \cdot B)} + \overline{(C \cdot D)}$
5	$F = \overline{(A \cdot B)} + (\overline{C} + D)$	20	$F = \overline{(A \oplus B)} \cdot \overline{C} \cdot D$
6	$F = \overline{(A \cdot B)} \oplus (\overline{C} \cdot D)$	21	$F = \overline{(A \oplus B)} + \overline{C} \oplus D$
7	$F = (A \cdot \overline{C}) \cdot (\overline{C} + D)$	22	$F = \overline{(A \cdot B)} \oplus \overline{C}$
8	$F = \overline{(A \cdot B)} + (\overline{C} \cdot D)$	23	$F = (A \cdot B) \cdot (\overline{C} + D)$
9	$F = A \oplus B \oplus C \cdot D$	24	$F = A \oplus \overline{B} \cdot \overline{C} \cdot D$
10	$F = A \oplus B \cdot C \cdot D$	25	$F = A \cdot B \cdot C \cdot D$
11	$F = \overline{(A \cdot B)} + (C \cdot D)$	26	$F = \overline{(A \cdot B)} \oplus (\overline{C \cdot D})$
12	$F = \overline{(A \oplus B)} \cdot \overline{C} \cdot D$	27	$F = \overline{(A \cdot B)} \oplus (\overline{C \oplus D})$
13	$F = \overline{A} \oplus B \oplus C \cdot \overline{D}$	28	$F = A \cdot B + C \cdot D$
14	$F = \overline{(A \cdot B)} \oplus (\overline{C \oplus D})$	29	$F = A \oplus B \cdot C \cdot D$
15	$F = (A \cdot \overline{C}) \cdot (\overline{C} + D)$	30	$F = A \oplus B \oplus C \cdot D$

Порядок виконання роботи

Перед початком виконання завдання треба ознайомитися з методичними матеріалами лекції на тему «Програмовані логічні інтегральні схеми» та теоретичними відомостями з літератури [1 – 7].

Система автоматизованого проектування Quartus II призначена для

проектування ЦП з високим ступенем інтеграції, включаючи розробку систем на одному кристалі програмованих логічних інтегральних схем (ПЛІС). При роботі з мікросхемами програмованої логіки фірми Altera основним інструментом проектування ЦП є САПР Quartus II, яка підтримує всі етапи проектування (створення проєкту, компіляцію, моделювання і програмування) та має простий інтерфейс користувача.

Для створення нового проєкту необхідно вибрати в меню *File* → *New Project Wizard*, задати робочий каталог та ім'я проєкту (рис. 7.1). Потім вибрати тип кристала *Cyclone, EP1C6T144C8*, натиснути *Finish* (рис. 7.2).



Рисунок 7.1

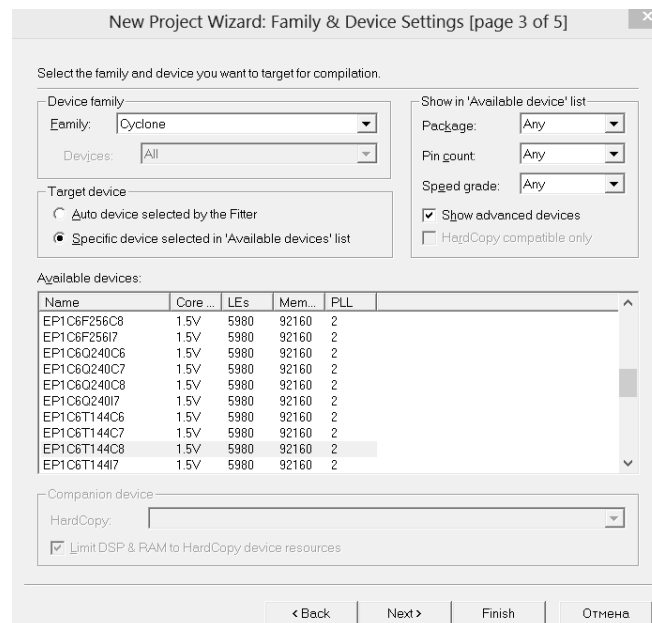


Рисунок 7.2

Тепер вибираємо *File* → *New* та у діалоговому вікні (рис. 7.3) вибираємо *Block Diagram / Schematic File*.

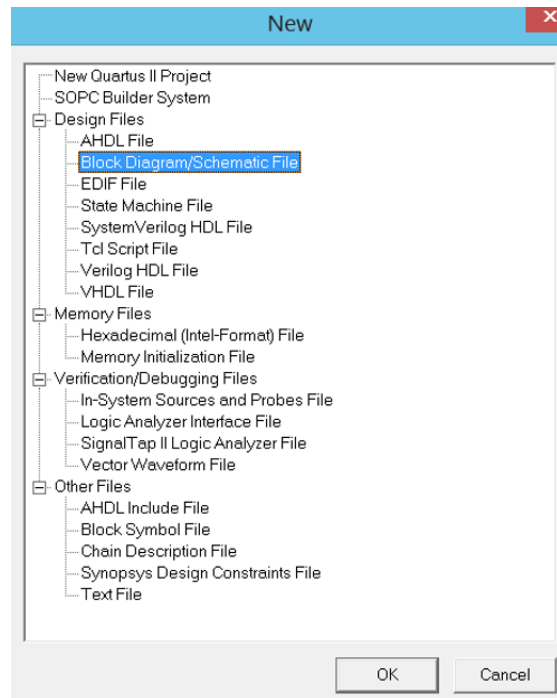


Рисунок 7.3

Тепер у вікні схемного редактора починаємо збирати задану схему. Для цього натискаємо відповідну кнопку в боковому меню (рис. 7.4) і вибираємо елементи схеми у бібліотеці *primitives / logic*. Вхідні та вихідні виводи вибираємо з бібліотеки *primitives / pin* (рис. 7.5), потім з'єднуємо компоненти за допомогою відповідної кнопки (рис. 7.6).

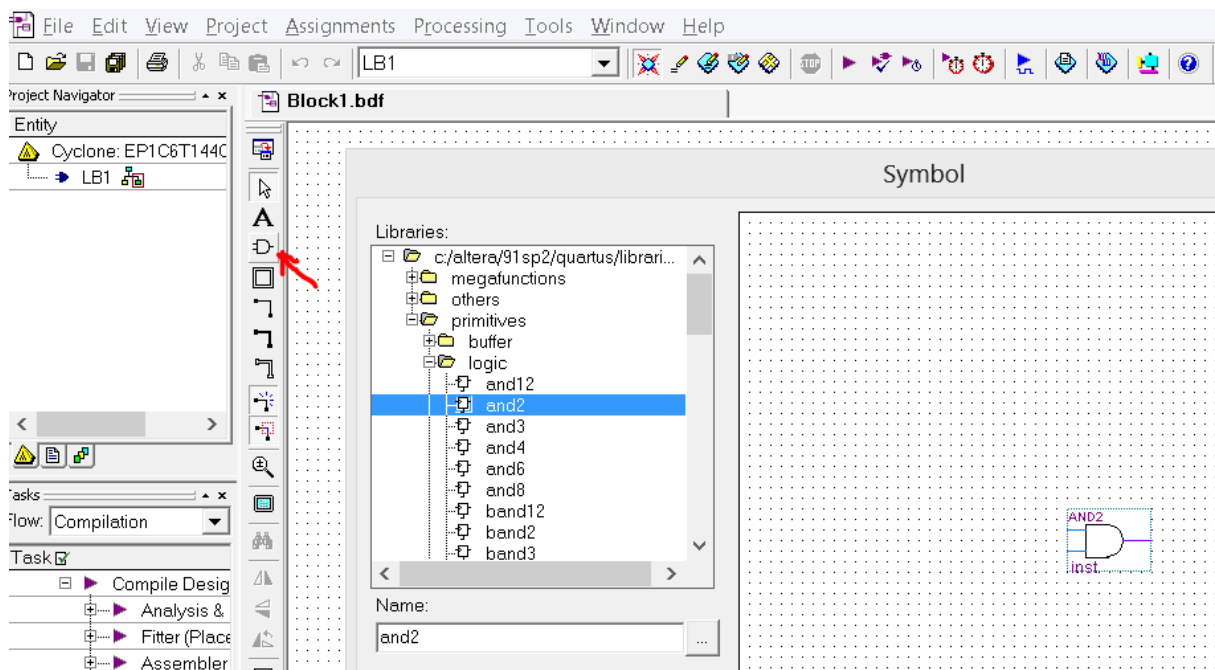


Рисунок 7.4

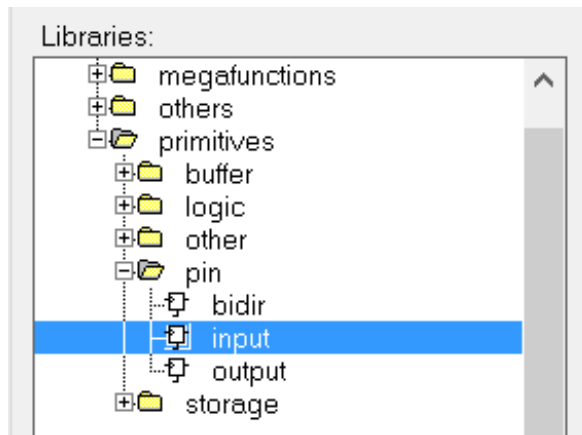


Рисунок 7.5

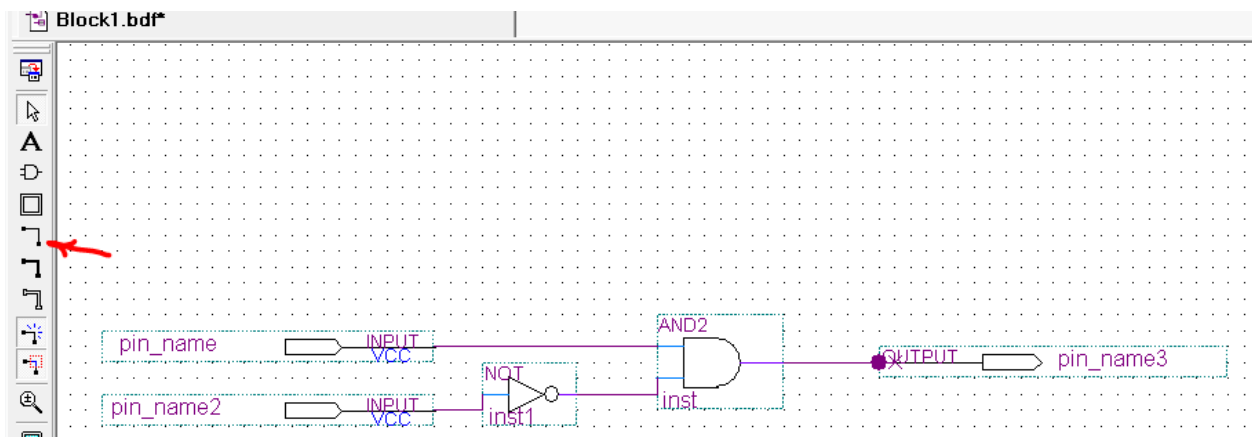


Рисунок 7.6

Виконуємо перейменування елементів. Для цього робимо подвійне натискання лівою кнопкою миші по одному з елементів і записуємо його нове ім'я (рис. 7.7).

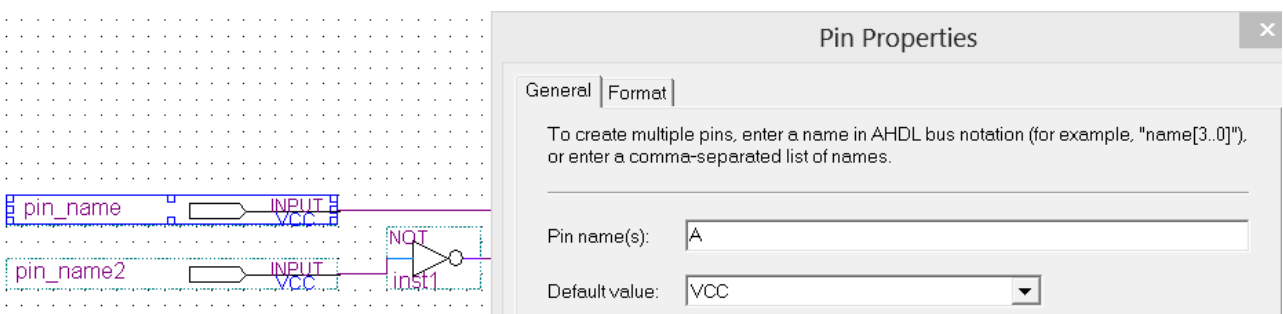


Рисунок 7.7

Тепер виконаємо компіляцію проєкту (*Processing* → *Start Compilation*). Повідомлення компілятора (помилки і попередження) відображаються у вікні виводу повідомлень (рис. 7.8).

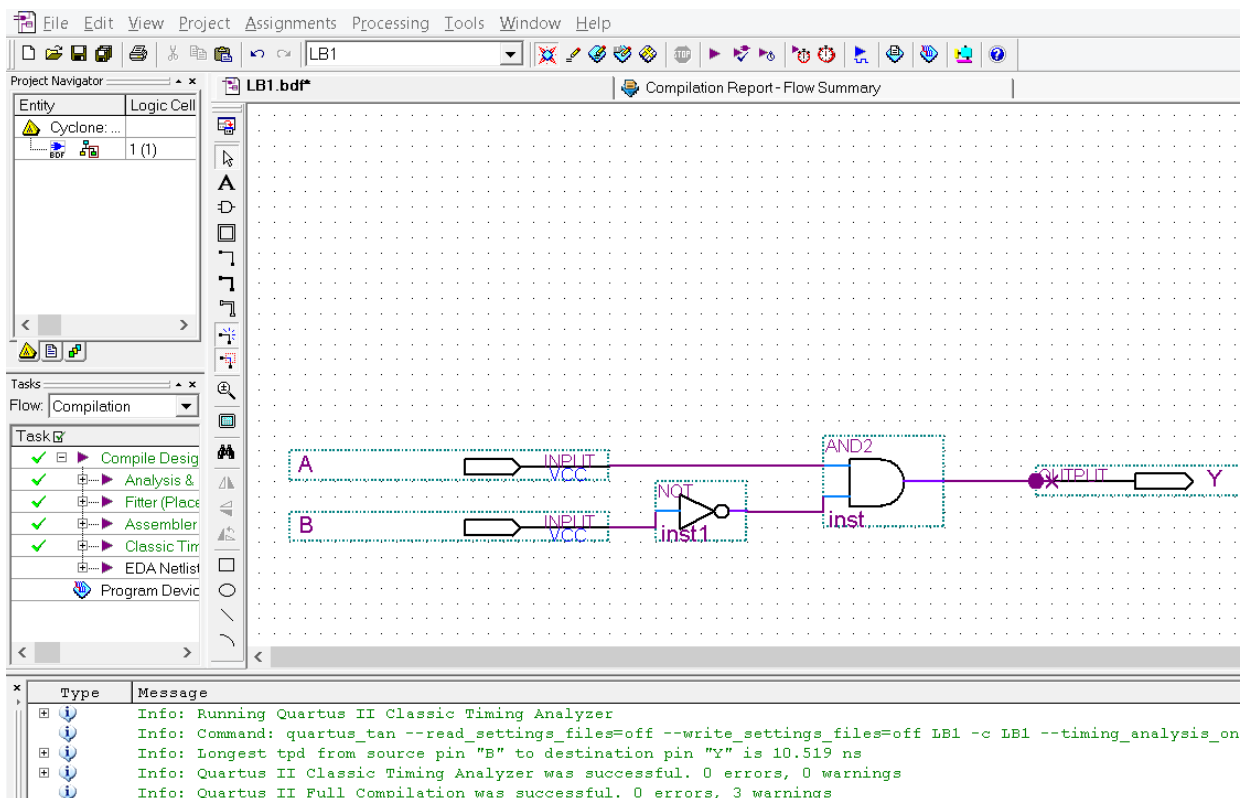


Рисунок 7.8

У разі відсутності помилок вибираємо *File* → *New* → *Vector Waveform File*. За допомогою двох натискань лівої кнопки миші на полі віконця, яке з'явилося, відкрити вікно *Insert Node or Bus* і вибрати *Node Finder* (рис. 7.9).

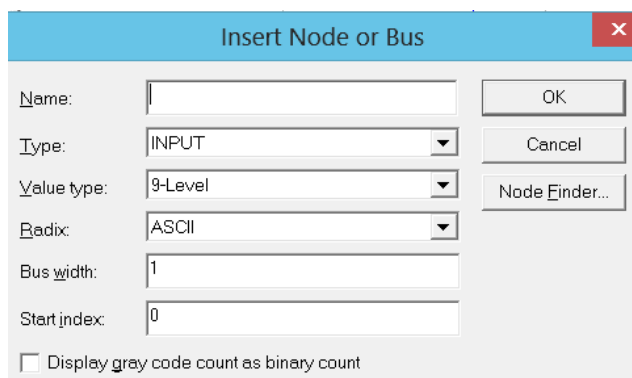


Рисунок 7.9

У розділі *Filter* вибрати *Pins: all*, потім натиснути кнопку *List* і перевірити наявність списку виводів схеми в лівому вікні. Перенести список в праву частину за допомогою кнопки *>>* та натиснути *OK* (рис. 7.10).

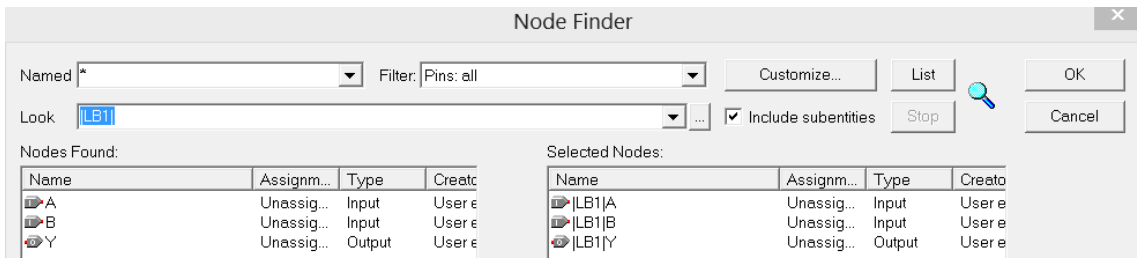


Рисунок 7.10

Щоб налаштувати часові інтервали, треба вибрати вивід і натиснути у боковому меню кнопку «С», потім у вікні *Timing* встановити часові інтервали (рис. 7.11).

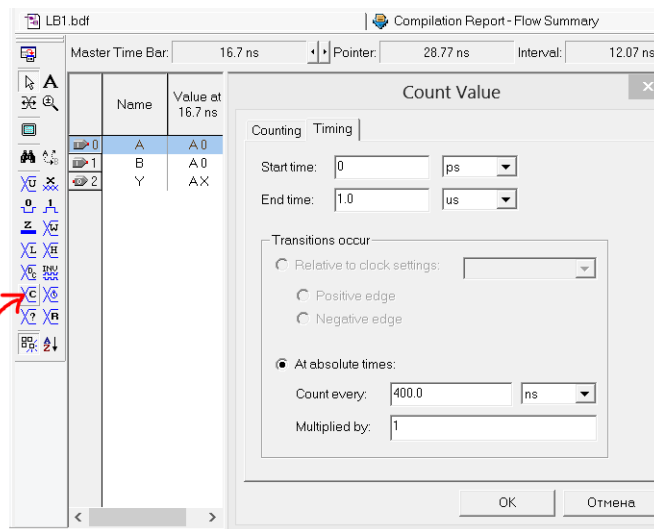


Рисунок 7.11

Зберігаємо налаштування діаграм (*File* → *Save as*) з таким же ім'ям, яке має проєкт (в нашому випадку *LB1*). Тепер знову виконаємо компіляцію (*Processing* → *Start Compilation*) і, якщо не було помилок, вибрати *Processing* → *Start Simulation*). Отримані в результаті моделювання часові діаграми наведені на рис. 7.12.

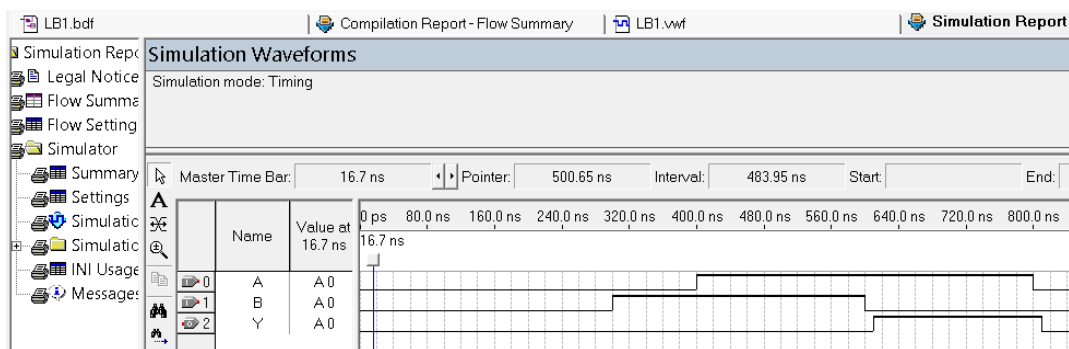


Рисунок 7.12

Зміст звіту

1. Тема і мета роботи.
2. Індивідуальне завдання.
3. Результати виконання дослідів (схеми, графіки, розрахунки та ін.) з описом, які прилади були використані, що в результаті отримали на графіках, порівняти теоретичні дані з результатами експериментів.
4. Загальні висновки по роботі.

Контрольні питання

1. Призначення ПЛІС.
2. Назвіть основні види ПЛІС.
3. Особливості реалізації комбінаційних схем на базі ПЛІС.
4. Призначення та можливості САПР Quartus II.

Практична робота 8

ПРОЄКТУВАННЯ ЦИФРОВИХ ПРИСТРОЇВ НА ПЛІС ЗА ДОПОМОГОЮ МОВИ VHDL

Мета роботи: отримати навички проєктування ЦП в САПР Quartus II за допомогою мови VHDL.

Завдання: виконати у САПР Quartus II за допомогою мови VHDL проєктування дешифратора на $k = N + 1$ розрядів, де N – номер варіанта.

Порядок виконання роботи

Розглянемо створення опису 5-розрядного дешифратора мовою VHDL. Для цього спочатку треба ознайомитися з методичними матеріалами лекції на тему «Програмовані логічні інтегральні схеми» та теоретичними відомостями з літератури [1 – 7]. Для створення проєкту у САПР Quartus II вибираємо у меню *File* → *New project wizard*, потім вказуємо шлях до каталогу, в якому буде знаходитися проєкт (рис. 8.1), і вибираємо тип кристала *Cyclone*, *EP1C6T144C8* (рис. 8.2).

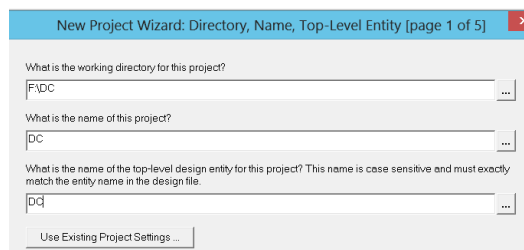


Рисунок 8.1

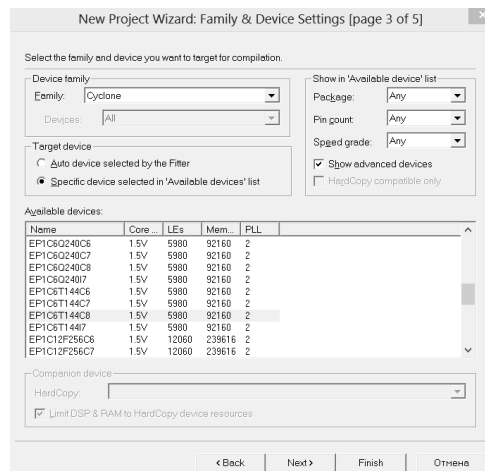


Рисунок 8.2

Тепер треба вибрати в меню *File* → *New* → *VHDL File*. При такому виборі відкриється вікно редактора, в якому треба записати код програми (рис. 8.3).

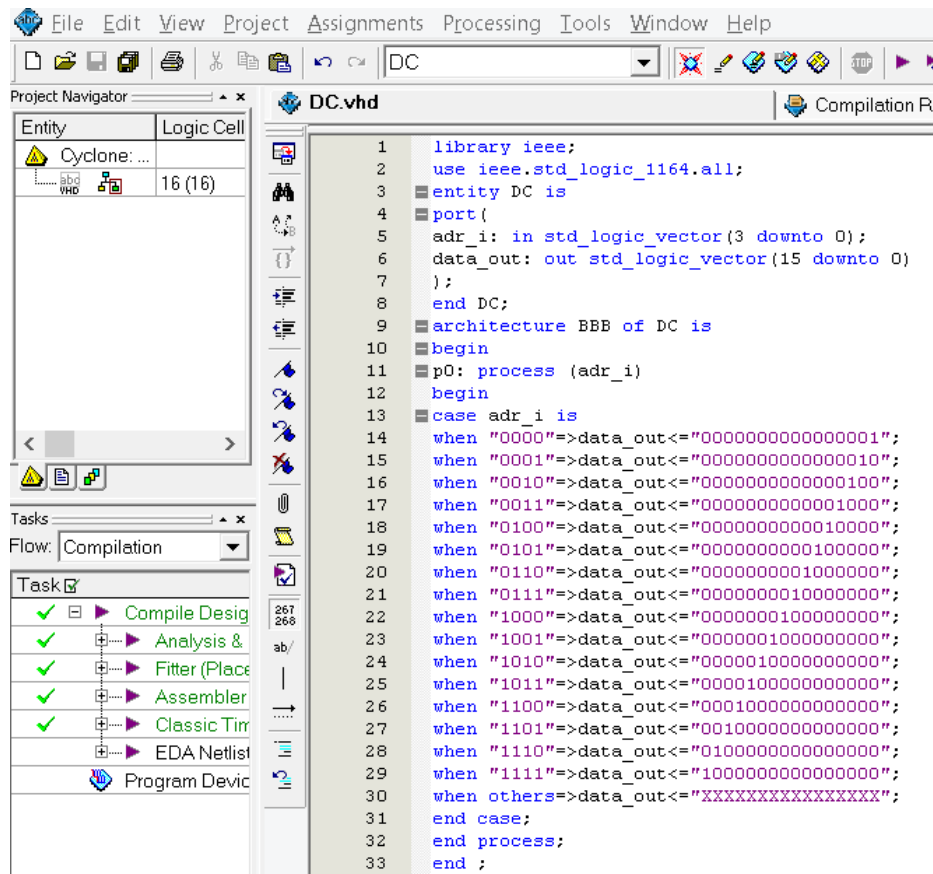


Рисунок 8.3

Зберегти (*File* → *Save*) і виконати компіляцію (*Processing* → *Start Compilation*). Тепер перейдемо до побудови часових діаграм – вибираємо *File* → *New* → *Vector Waveform File*.

За допомогою двох натискань лівої кнопки миші на полі віконця, яке з'явилося, відкрити вікно *Insert Node or Bus* і натиснути кнопку *Node Finder* (рис. 8.4).

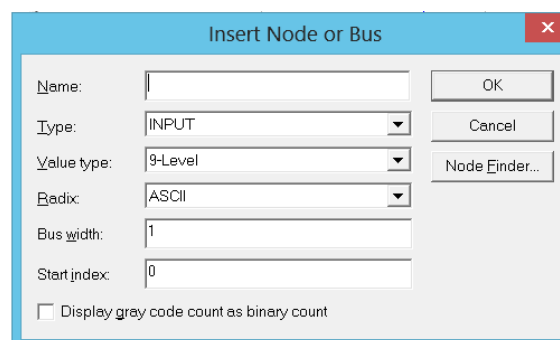


Рисунок 8.4

У розділі *Filter* вибрати *Pins: all*, потім натиснути кнопку *List* і перевірити наявність списку виводів схеми в лівому вікні. Перенести список в праву частину за допомогою кнопки *>>* та натиснути *OK* (рис. 8.5).

Щоб налаштувати часові інтервали треба вибрати вивід і натиснути у боковому меню кнопку «C». (рис. 8.6), потім у вікні *Timing* встановити часові інтервали (рис. 8.7).

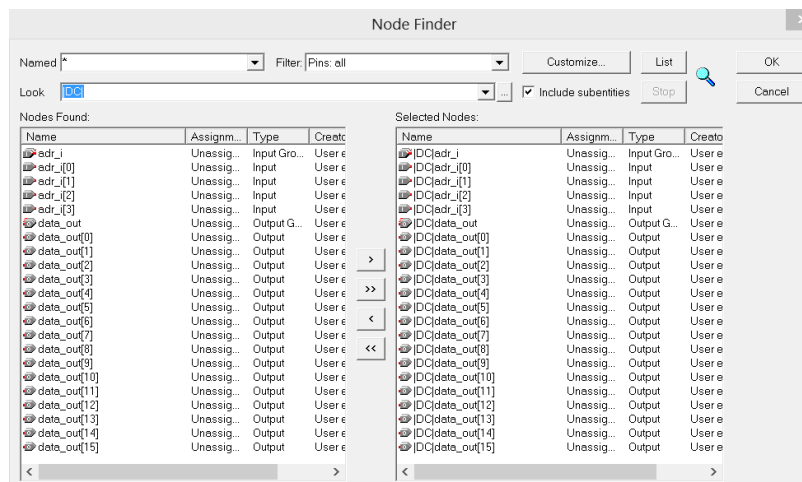


Рисунок 8.5

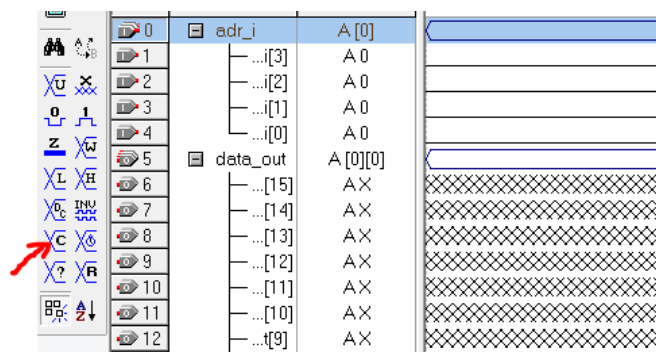


Рисунок 8.6

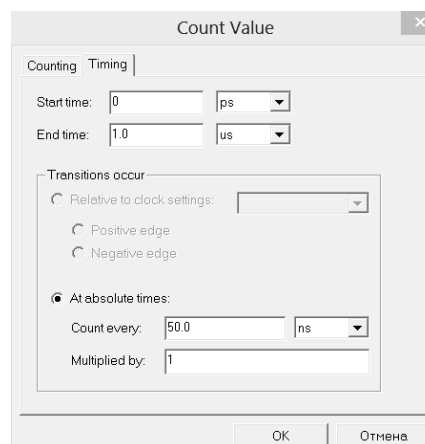


Рисунок 8.7

Зберегти налаштування діаграм (*File* → *Save as*) з таким же ім'ям, яке має проєкт (в нашому випадку *DC*). Тепер знову виконаємо компіляцію (*Processing* → *Start Compilation*) і, якщо не було помилок, вибрати *Processing* → *Start Simulation*). Отримані в результаті моделювання часові діаграми наведені на рис. 8.8.

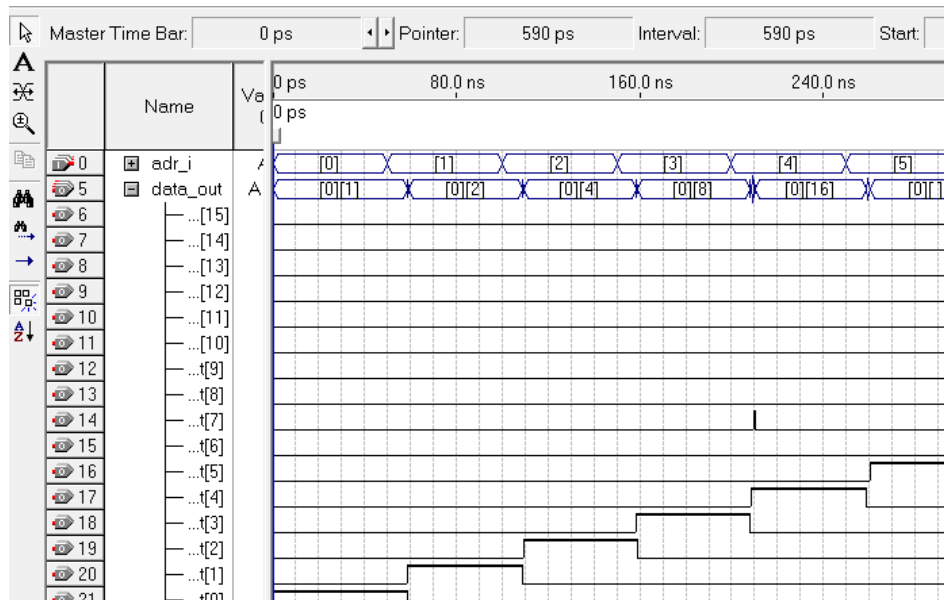


Рисунок 8.8

Зміст звіту

1. Тема і мета роботи.
2. Індивідуальне завдання.
3. Результати виконання дослідів (схеми, графіки, розрахунки та ін.) з описом, які прилади були використані, що в результаті отримали на графіках, порівняти теоретичні дані з результатами експериментів.
4. Загальні висновки по роботі.

Контрольні питання

1. Система проєктування Quartus II, її призначення та можливості.
2. Назвіть основні види ПЛІС.
3. Назвіть відмінності ПЛІС від мікроконтролерів.
4. Назвіть можливості мов опису апаратури.
5. Наведіть узагальнену структурну схему ПЛІС.

Список літератури

1. Цифрова схемотехніка. Моделювання та аналіз [Електронний ресурс]: навчальний посібник для студентів спеціальності 171 «Електроніка» / В. В. Макаренко, В. М. Співак. – Київ: КПІ ім. Ігоря Сікорського, 2021. – 490 с.
2. Мікропроцесори та цифрова електроніка [Електронний ресурс]: навчальний посібник для студентів спеціальності 141 «Електроенергетика, електротехніка та електромеханіка» / К. К. Побєдаш, В. А. Святненко. – Київ: КПІ ім. Ігоря Сікорського, 2021. – 120 с.
3. Схемотехніка: пристрої цифрової електроніки [Електронний ресурс]: у 2 т.: підручник для студентів, що навчаються за спеціальністю «Електроніка». / В. М. Рябенський, В. Я. Жуйков, Ю. С. Ямненко, А. В. Заграничний. – Київ: НТУУ «КПІ», 2016. – 399 с.
4. Електроніка та мікросхемотехніка: підручник / С. О. Квітка – Мелітополь: Видавничо-поліграфічний центр «Люкс», 2019. – 223 с.
5. Quartus II Version 7.2 Handbook / Altera Corporation, 2007. – Vol. 1. – 714 P.
6. VHDL Tutorial / Peter J. Asbenden: Elsevier Science, 2004. – 84 P.
7. Electronics Workbench. Multisim 9 Simulation and Capture. User Guide / National Instruments Corporation, 2006. – 794 P.
8. СТЗВО-ХПІ-3.01-2021. Текстові документи у сфері навчального процесу. Загальні вимоги до виконання. – Харків: НТУ «ХПІ», 2021. – 47 с.

ЗМІСТ

Вступ	3
Практична робота 1. Синтез комбінаційних схем на логічних елементах....	5
Практична робота 2. Синтез перетворювачів кодів на логічних елементах..	9
Практична робота 3. Тригери.....	15
Практична робота 4. Лічильники.....	21
Практична робота 5. Мультиплектори	25
Практична робота 6. Суматори.....	30
Практична робота 7. Проектування цифрових пристроїв на ПЛІС за допомогою мови схем.....	33
Практична робота 8. Проектування цифрових пристроїв на ПЛІС за допомогою мови VHDL.....	40
Список літератури	44

Навчальне видання

Методичні вказівки до виконання практичних робіт
з навчальної дисципліни «Комп'ютерна схемотехніка»
для студентів денної та заочної форми навчання
за спеціальністю «Комп'ютерна інженерія»

Укладачі:

СКОРОДСЛОВ Володимир Васильович,
ГЕЙКО Геннадій Вікторович,
ОРЛОВА Тетяна Олександрівна

Відповідальний за випуск проф. Олександр ЗАКОВОРОТНИЙ
Роботу до видання рекомендував проф. Микола ЗАПОЛОВСЬКИЙ

В авторській редакції

План 2024 р., поз. 126.
Підп. до друку 13.03.2024. Формат 60x84 1/16.
Папір офсет. Друк ризографічний. Ум. друк. арк. 0,7.

Видавничий центр НТУ «ХП»,
вул. Кирпичова, 2, м. Харків, 61002
Свідоцтво суб'єкта видавничої справи ДК № 5478 від 21.08.2017 р.

Електронна версія