

В.В. Макаренко, В.М. Співак



NI Multisim

Цифрова та імпульсна схемотехніка

Моделювання та аналіз

Навчальний посібник

НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ
"КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ"

В.В. Макаренко, В.М. Співак

Цифрова та імпульсна схемотехніка
Моделювання та аналіз

Рекомендовано Вченою радою НТУУ "КПІ"
як навчальний посібник для студентів, які навчаються
за напрямом підготовки "Акустотехніка"

НТУУ "КПІ"

Київ

УДК 621.382.2 / 3. (075.8)
ББК 32.844 1я73
С92

Гриф "Рекомендовано Методичною радою НТУУ "КПІ"
(протокол від 30 червня 2015 р. № 6)

Автори: В.В. Макаренко, В.М. Співак,

Рецензенти:

д-р техн. наук, проф. Г.М. Розорінов (Державний університет телекомунікацій);

к-т техн. наук, проф. М.Б. Гумен (Національний Авіаційний університет).

Цифрова та імпульсна схемотехніка. Моделювання та аналіз. Електронний навчальний посібник / В.В. Макаренко, В.М. Співак, – К.: НТУУ "КПІ", 2015. – 314 с. іл.

У посібнику розглянуто широкий круг питань, пов'язаних з вивченням, проектуванням, аналізом, моделюванням та використанням елементів та вузлів цифрових та імпульсних пристроїв за допомогою програми NI Multisim.

Посібник призначений для студентів технічних спеціальностей вищих навчальних закладів.

УДК 621.382.2 / .3 (075.8)
ББК 32.844 1я73

© В.В. Макаренко, В.М. Співак, 2015
© В.І. Бойко, В.Я. Жуйков, В.М. Співак,
А.А. Зорі, В.В. Багрій, О.В. Богдан,
Т.О. Терещенко, 2010, зі змінами.

ЗМІСТ

Вступ.....	8
1 Програма моделювання ni multisim.....	10
1.1 Призначення програми NI Multisim	10
1.2 Початок роботи із програмою NI Multisim.....	13
1.3 Компоненти й прилади Multisim.....	15
1.4 Контрольні питання	24
2 Сигнали і методи їх дослідження	24
2.1 Загальні характеристики сигналів	24
2.2 Імпульсні сигнали.....	30
2.3 Основні характеристики змінних електричних сигналів	33
2.4 Вимірювання параметрів сигналів за допомогою програми NI Multisim .	36
2.4.1 Джерела сигналів у Multisim.....	36
2.4.2 Інструменти аналізу сигналів у Multisim.....	38
2.4.3 Налаштування параметрів аналізу.....	43
2.4.4 Приклад дослідження спектру сигналів.....	50
2.5 Основні правила роботи з вимірювальними пристроями	54
2.5.1 Осцилограф	54
2.5.2 Плоттер Боде.....	57
2.5.3 Генератор слів.....	61
2.5.4 Аналізатор спектру.....	67
2.5.5 Логічний аналізатор	69
2.6 Контрольні питання	77
3 Проходження імпульсних сигналів через RC-кола	78
3.1 Диференціюючі, розділові та інтегруючі RC-кола	78
3.2 Обмежувачі послідовного і паралельного типу на діодах	86
4 Транзисторні насичені ключі	92
4.1 Призначення транзисторних ключів	92
4.2 Лінійні моделі транзисторів в режимі великого сигналу.....	93

4.3	Розрахунки параметрів транзисторних ключів	97
4.4	Контрольні питання	104
5	Математичні основи побудови цифрових пристроїв.....	104
5.1	Системи числення	104
5.2	Коди та їх характеристика.....	109
5.3.1	Коди з паралельною формою представлення інформації	109
5.3.2	Коди з послідовною формою представлення інформації	113
5.3	Виконання арифметичних операцій у двійковій системі.....	115
5.4	Основи булевої алгебри.....	117
5.4.1	Основні визначення.....	117
5.4.2	Закони і тотожності алгебри логіки	120
5.4.3	Способи задання логічних функцій.....	122
5.5	Спрощення булевих функцій	126
5.5.1	Доцільність спрощення.....	126
5.5.2	Задачі мінімізації	127
5.5.3	Спрощення логічних функцій за допомогою карт мінтермів.....	128
5.5.4	Способи об'єднання мінтермів на картах Вейча або Карно.....	129
5.5.5	Позначення логічних елементів.....	130
5.6	Контрольні питання	135
6	Структури базових логічних елементів.....	136
6.1	Характеристики цифрових сигналів.....	136
6.2	Схеми найбільш поширених логічних елементів	139
6.3	Транзисторно-транзисторна логіка	144
6.3.1	Базовий елемент ТТЛ-логіки.....	144
6.3.2	Елемент з відкритим колектором	147
6.3.3	Схема з трьома станами вихода.....	148
6.4	Логічні елементи на МДН-транзисторах	150
6.5	Логічні елементи інтегрально-інжекційної логіки	155
6.7	Контрольні питання	158
7	Комбінаційні схеми.....	159

7.1	Дешифратори	159
7.1.1	Загальні зауваження	159
7.1.2	Лінійні дешифратори	161
7.1.3	Прямокутні (матричні) дешифратори	162
7.1.4	Пірамідальні дешифратори	163
7.2	Шифратори.....	165
7.3	Мультиплексори і демюльтиплексори.....	166
7.3.1	Мультиплексори	166
7.3.1	Демюльтиплексори	169
7.4	Суматори кодів	170
7.5	Схеми порівняння кодів або цифрові компаратори.....	175
7.6	"Небезпечні змагання" у комбінаційних пристроях.....	178
7.7	Контрольні запитання	180
8	Тригерні елементи	181
8.1	Призначення та класифікація тригерів	181
8.2	Асинхронні та синхронні RS-тригери.....	183
8.2.1	Асинхронний RS-тригер	183
8.2.2	Асинхронний RS-тригер з інверсними входами.....	185
8.2.3	Синхронний RS-тригер.....	186
8.3	Тригери T-типу	188
8.4	Тригери D-типу.....	189
8.5	Тригери JK-типу	190
8.6	Універсальні RSD- та RSJK-тригери.....	192
8.7	Приклади використання тригерів	193
8.8	Контрольні запитання	200
9	Регістри.....	201
9.1	Загальні зауваження	201
9.2	Паралельні регістри на D-тригерах	202
9.3	Послідовні регістри.....	204
9.4	Паралельно-послідовні і послідовно-паралельні регістри.....	206

9.5	Послідовні регістри зі зворотними зв'язками.....	208
9.6	Приклади використання регістрів	209
9.6.1	Робота декількох регістрів на загальну шину	209
9.6.2	Формувач квазігармонічного сигналу.....	210
9.6.3	Перетворювач паралельного коду в послідовний.....	211
9.6.3	Перетворювач послідовного коду в паралельний.....	213
9.7	Контрольні запитання	214
10	Лічильники імпульсів	214
10.1	Призначення та класифікація лічильників імпульсів.....	214
10.2	Двійкові лічильники.....	216
10.3	Реверсивні лічильники.....	219
10.4	Синхронні двійкові лічильники	220
10.5	Недвійкові лічильники.....	221
10.5.1	Загальні зауваження	221
10.5.2	Синтез лічильника з заданим коефіцієнтом ділення	222
10.5.3	Побудова недвійкового лічильника з використанням готового лічильника	226
10.5.4	Використання програмованих лічильників для побудови лічильників з довільним коефіцієнтом ділення	229
10.5.5	Побудова недвійкових лічильників за допомогою дешифраторів	234
10.6	Лічильники на регістрах зсуву.....	235
10.7	Застосування регістрів і лічильників для побудови схем затримки імпульсних сигналів.....	237
10.8	Контрольні запитання.....	238
11	Генератори імпульсів	239
11.1	Загальні зауваження	239
11.2	Чекаючі мультивібратори, або одновібратори.....	241
11.2.1	Одновібратор на RS-тригері.....	241
11.2.2	Одновібратор на RS-тригері з інверсними входами.....	244
11.2.3	Одновібратор не чутливий до тривалості вхідного імпульсу.....	246

11.2.4	Одновібратори на логічних елементах.....	247
11.2.5	Одновібратори в інтегральному виконанні	248
11.3	Мультивібратори	249
11.3.1	Мультивібратори на RS-тригерах.....	249
11.3.2	Мультивібратори на логічних елементах	251
11.3.3	Мультивібратори на основі інтегральних одновібраторів.....	257
11.3.4	Мультивібратори на основі інтегрального таймеру NE555.....	258
12	Запам'ятовуючі пристрої.....	264
12.1	Оперативні запам'ятовуючі пристрої	264
12.2	Мікросхеми масочних ПЗП.....	271
12.3	Мікросхеми програмуємих ПЗП.....	273
12.4	Мікросхеми репрограмовані ПЗП	279
13	застосування цифрових інтегральних мікросхем	286
13.1	Завади та завадостійкість цифрових пристроїв.....	286
13.2	Рекомендації з монтажу інтегральних мікросхем.....	296
13.3.	Контрольні запитання	310
	Список рекомендованої літератури.....	311

ВСТУП

Значний прогрес у розвитку багатьох областей науки й техніки обумовлений розвитком електроніки. Сьогодні неможливе знайти галузь промисловості, у якій не використовувалися б електронні прилади або електронне обладнання вимірювальної техніки, автоматики й обчислювальної техніки. Причому тенденція розвитку така, що частка електронних інформаційних та автоматичних пристроїв безупинно збільшується. Це є результатом розвитку інтегральної технології, впровадження якої дозволило налагодити масовий випуск дешевих, високоякісних мікроелектронних функціональних вузлів різного призначення.

На сьогоднішній день промисловість випускає велику кількість електронних функціональних вузлів, необхідних для створення пристроїв автоматики, вимірювальної й обчислювальної техніки, перетворювачів інформації та ін.: інтегральні підсилювачі, комутатори, логічні елементи, лічильники, регістри, аналого-цифрові та цифро-аналогові перетворювачі, формувачі і т.д. Типові електронні вузли дозволяють зібрати потрібний електронний блок без детального розрахунку його окремих складових частин.

Необхідно тільки вірно підібрати інтегральні мікросхеми, розробити схему їх з'єднання й увести зворотні зв'язки необхідного виду. Але для цього потрібно розуміти не тільки принципи функціонування окремих елементів, а і принципи побудови складних пристроїв та систем, у яких взаємодіє велика кількість елементів. До того ж велика кількість пристроїв та систем містить як аналогові, так і цифрові компоненти, що потребує узгодження їх параметрів.

Дисципліна "Цифрова схемотехніка" являється базовою дисципліною і забезпечує вивчення схемотехніки цифрових пристроїв та їх використання в різних модулях електронних систем. Дисципліна спрямована на вивчення фізичних основ перетворення аналогових сигналів в цифрову форму і обробки цифрових сигналів на основі методів і засобів дискретної математики, а також пристроїв, що реалізують ці задачі.

Для проектування навіть нескладних електронних пристроїв необхідне розуміння процесів, що відбуваються як в окремих його частинах, так і в пристрої в цілому. Зважаючи на те, що більшість студентів не можуть перевірити

роботу електронних пристроїв на фізичних макетах, то для засвоєння принципів роботи основних цифрових, аналогових та аналого-цифрових пристроїв доцільно провести моделювання їх роботи за допомогою програми-симулятора.

Найбільш зручною з погляду інтерфейсу користувача є програма схематехнічного моделювання NI Multisim. Вона дозволяє студентам закріпити матеріал, який вивчається в рамках курсу, одержати навички роботи з вимірювальною апаратурою різного призначення (хоча й віртуальною) і засвоїти методику організації й проведення експериментів відповідно до поставленого завдання.

Спеціально для компанії Analog Devices компанією National Instruments була розроблена безкоштовна версія програми, у якій трохи обмежене число компонентів у базі користувача й встановлені тверді обмеження на число компонентів, які можуть бути використані для створення схеми, не більш ніж 25.

Як показує практика такого числа елементів на схемі досить для того щоб створити кожний із пристроїв, які вивчаються в базових курсах схемотехніки.

Цим і пояснюється структура навчального посібника. Спочатку знайомство з основами роботи в програмі схематехнічного моделювання, а потім розгляд основних розділів дисципліни "Цифрова схемотехніка" з ілюстрацією основних положень за допомогою моделей, що можуть бути легко повторені навіть малокваліфікованим користувачем.

В результаті вивчення курсу "Цифрова схемотехніка" студент повинен знати: принципи побудови та функціонування цифрових та аналого-цифрових пристроїв; принципи вибору методів аналізу та розрахунку електронних пристроїв з заданими характеристиками, а також вміти: розрахувати електронні кола; узагальнити вплив характеристик окремих вузлів електронних пристроїв на їх параметри; виконати синтез різноманітних електронних пристроїв та провести їх моделювання.

1 ПРОГРАМА МОДЕЛЮВАННЯ NI MULTISIM

1.1 Призначення програми NI Multisim

Розробка будь-якого радіоелектронного пристрою супроводжується фізичним або математичним моделюванням. Фізичне моделювання пов'язане зі значними матеріальними витратами, оскільки потрібно виготовляти макет і проводити досить трудомісткі дослідження. Найчастіше фізичне моделювання неможливе. Наприклад, при розробці великих інтегральних схем (ВІС). Тому доцільно застосовувати при проектуванні програми математичного моделювання, які не тільки дозволяють знизити строки й вартість розробки, але й надають розроблювачеві цілий ряд інструментів аналізу, які або недоступні при фізичному моделюванні, або їх вартість надзвичайно висока.

На сьогоднішній день розроблювачі використовують кілька програм схемотехнічного моделювання: Micro-Cap, Alpak, Orcad, Altium Designer (раніше Protel), Proteus, Multisim (раніше Electronics Workbench), Labview і інші [1].

Найбільш зручними для моделювання є два пакети програм – Orcad і NI Multisim (це не відноситься до НВЧ-пристроїв). Безкоштовна версія програми моделювання NI Multisim Analog Devices Edition версії 10.0.1 призначена для моделювання схем з використанням аналогових компонентів, що випускаються компанією Analog Devices. Слід відмітити, що ліцензійна версія програми NI Multisim без пакетів розширення коштує більше 4000, а повна версія близько шести тисяч доларів. На сьогоднішній день вже випущена версія програми 3.01.

Із програмою NI Multisim™ Analog Devices® Edition, яка поширюється вільно, компанія Analog Devices і підрозділ Electronics Workbench Group компанії National Instruments надають інженерові можливість розробки й моделювання різних радіоелектронних пристроїв: аналогових, цифрових і комбінованих аналого-цифрових.

У повну версію пакета NI Multisim входять програми NI Ultiboard (для

розробки друкованих плат, виконує розміщення й трасування з'єднань на платах, що мають до 32 шарів) і NI Multisim MCU Module (для налагодження й моделювання мікропроцесорних систем). Крім того, знімаються багато обмежень, які введені в безкоштовній версії (наприклад, на число елементів схеми, яке в безкоштовній версії не повинне перевищувати 25).

Програма NI Multisim™ Analog Devices® Edition є Spice симулятором і дозволяє:

- моделювати аналогові схеми, використовуючи більш 800 бібліотечних елементів – операційних підсилювачів, ключів, комутаторів і ін.;
- досліджувати схеми із числом елементів не перевищуючим 25;
- використовувати для аналізу вбудовані інструменти й алгоритми, включаючи аналіз найгіршого випадку (, що передбачає аналіз самого несприятливого варіанта умов);
- можливість заміни компонентів і зміни їх параметрів, для детального вивчення властивостей схеми;
- здійснювати online зв'язок з Analog Devices Design Center для одержання додаткових інструментів аналізу;
- негайно одержати доступ до довідкових даних будь-яких компонентів Analog Devices.

Програму Multisim (раніше Electronics Workbench) розробила канадська компанія Electronics Workbench (колишня Interactive Image Technologies). Головний продукт компанії Electronics Workbench, Multisim – це один із кращих інструментів для розрахунків лінійних і нелінійних електричних кіл і розробки друкованих плат. Серед користувачів програми такі відомі корпорації, як Sony, Boeing, а також передові академічні установи, такі як Масачусетський технологічний інститут. В 2005 г компанія Electronics Workbench була придбана американською корпорацією National Instruments з метою розвитку більш тісному зв'язку між вимірювальним устаткуванням, що використовується при створенні електронних пристроїв, і програмами, призначеними для розрахунків електричних кіл. Угода відбулася після того як кілька років National Instruments співро-

бітничала з Electronics Workbench для інтеграції програми Multisim у графічне середовище "віртуальних приладів" NI Labview. Незважаючи на укладений контракт, компанія Electronics Workbench залишається незалежним підрозділом у складі National Instruments і в найближчі кілька років буде незалежно поширювати програми через власну дистриб'юторську мережу.

Основні достоїнства програми Multisim:

1. Простий графічний редактор, що дозволяє досить просто малювати на екрані електронні схеми у звичному зображенні.
2. Велика бібліотека сучасних електронних компонентів, дискретних, інтегральних аналогових, цифрових і змішаних аналого-цифрових. Бібліотека відкрита, легко може поповнюватися новими елементами, у тому числі й вітчизняними.
3. Велика бібліотека моделей електронних схем, що дозволяє використовувати готові практичні розробки й легко модернізувати під конкретне завдання. Приклади схем, пропоновані компаніями National Instruments і Analog Devices, можна знайти в [2].
4. Широкий вибір віртуальних вимірювальних приладів, що дозволяють виконати будь-яке вимірювання (і не тільки електричний вимір). Робота із цими вимірювальними приладами максимально наближена до роботи з реальними приладами. Підключивши віртуальний прилад до будь-якої точки схеми можна одержати вичерпну інформацію про процеси в даному вузлі.
5. Простий по інтерфейсу набір моделюючих засобів, що дозволяє крім традиційного моделювання електронної схеми по постійному й змінному струму, провести моделювання спектральних, нелінійних, амплітудно-частотних, фазо-частотних характеристик, вплив температури на окремі компоненти й на схему в цілому, можливість зміни будь-яких параметрів компонентів, параметрів джерел сигналів і живлення. Досить просто можна виконати імовірнісний аналіз роботи схеми з різними законами розподілу параметрів.
6. Можливість підключення віртуальних приладів програми Labview.
7. Широкі можливості документування дослідження, одержання твердої копії

як електричної схеми, так і параметрів моделювання, інформації з екрана вимірювальної апаратури, добре оформлених графічних результатів дослідження.

8. Низькі вимоги до швидкодії комп'ютера. Можлива робота починаючи з 386 моделі процесора.
9. Не вимагає знань по програмуванню. Потрібно лише знайомство із середовищем Windows. Інтуїтивний інтерфейс дозволяє швидко навіть непідготовленому користувачеві (буквально за півгодини) познайомитися з основами й приступитися безпосередньо до електронних досліджень.
10. Ретельно підготовлений довідковий матеріал (Help), забезпечує контекстну допомогу як по меню, компонентам, опціям моделювання, так і по загальних питаннях моделювання.

Multisim забезпечує введення електричних схем для їхнього подальшого моделювання й дозволяє створювати текстовий опис цифрових пристроїв на мовах VHDL і Verilog для синтезу ПЛІС.

1.2 Початок роботи із програмою NI Multisim

Роботу із програмою слід почати з установки основних параметрів. Для цього необхідно в меню Options вибрати пункт Global Preferences (рис. 1.1).

Відкриється вікно, у якому є чотири закладки. В Parts вибираються:

- спосіб відображення елементів схеми – у стандарті DIN або ANSI;
- спосіб вводу елементів схеми;
 - ◆диночний елемент;
 - ◆воду всіх частин елемента (наприклад, ІС у якій містяться чотири ОУ);
 - ◆воду елементів необмежене число раз при натисканні лівої кнопки "миші";

- аналіз схеми з використанням ідеальних або реальних моделей елементів.

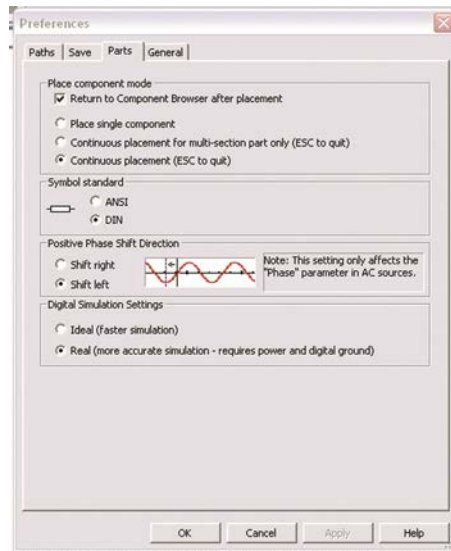


Рис. 1.1. Вікно установки основних параметрів програми

На вкладці Paths задаються шляхи до файлів і робочої папки програми, на вкладці Save задається автозбереження (auto-backup), створення прихованої копії (для відновлення останньої працездатної версії досліджуваної схеми у випадку ушкодження файлу схеми) і режим збереження даних симулювання (моделювання) разом з параметрами вимірювальних приладів.

Додатково встановлюються параметри для робочого аркуша програми через меню Options/Sheet Properties (рис. 1.2). Тут можна задати колір фону й колір елементів. Доступно 5 варіантів установки параметрів: білий або чорний фон й колір елементів і ліній за замовчуванням, чорний фон й білі елементи й лінії, білий фон й чорні елементи й лінії. У режимі Custom користувач може задати колір усіх елементів і фону самостійно (рис. 1.3). В Sheet Properties задаються товщина ліній, режим відображення сітки, вибирається розмір і тип шрифту, розмір і орієнтація робочого аркуша й ще цілий ряд параметрів. Докладно з пунктами меню і їх призначенням або за допомогою підказки програми (англ. мовою).

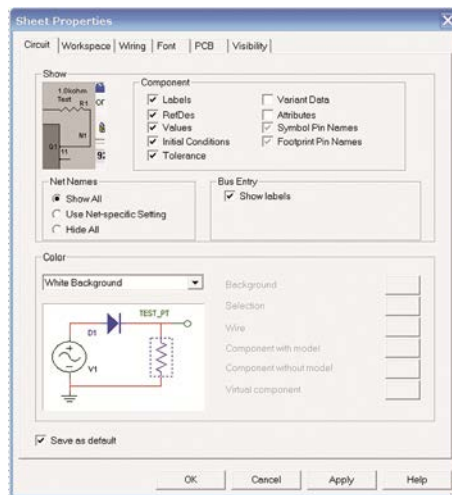


Рис. 1.2. Вікно установки параметрів робочого аркуша

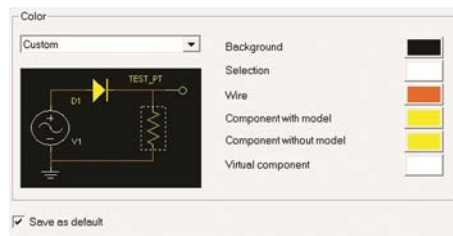


Рис. 1.3. Установка кольору елементів робочого аркуша

Настроїти вид робочого вікна й панелі інструментів легко. Для цього досить помістити курсор "миші" в область аркуша з панелями інструментів і натиснути праву клавішу "миші". У контекстному меню, що відкрився, необхідно поставити пташки біля тих панелей інструментів, які бажано відображати.

1.3 Компоненти й прилади Multisim

Після установки параметрів програми й робочого аркуша можна приступати до малювання принципової схеми.

Для цього спочатку розміщують елементи схеми на робочому аркуші. Для розміщення елемента досить клацнути лівою кнопкою "миші" на піктограмі потрібної бібліотеки (рис. 1.4) або через меню Place/Component вибрати необхідний елемент. За замовчуванням панель компонентів відображається у вікні про-

грами (рис. 1.5). Користувачеві доступні бібліотеки джерел живлення, генераторів сигналів, пасивних компонентів, транзисторів і діодів, логічних і аналогових мікросхем, змішаних аналого-цифрових і цифро-аналогових компонентів, індикаторів, запобіжників, джерел опорної напруги, електромеханічних компонентів (двигунів, механічних контактів, котушок, трансформаторів і ін.).



Рис. 1.4. Фрагмент робочого вікна програми з бібліотеками елементів



Рис. 1.5. Панель компонентів

Деякі елементи бібліотек джерел потужності й генераторів сигналів наведені в табл. 1.1.

Табл. 1.1. Елементи бібліотек джерел потужності й генераторів сигналів

POWER_SOURCES							SIGNAL_SOURCES	
DC_Power	DGND	Ground	VCC	VDD	VEE	VSS	Clock_Voltage	AC_Voltage
Джерело постійної напруги	Цифровий загальний	Загальний	Джерело +U _ж для ІМС ТТЛ	Джерело +U _ж для ІМС КМОП	Джерело -U _ж	Джерело живлення КМОП	Генератор імпульсів позитивної полярності	Генератор змінної напруги

На рис. 1.6 наведений приклад вікна програми при виборі резистора. У вікні Component вибирається номінальне значення опору резистора, у вікні Component type – тип виконання резистора: плівковий, дрововий, композитний, для поверхневого монтажу (різного типу) і ін. Точність резистора (відхилення від номінального значення) вибирається у вікні Tolerance (%) з ряду 0, 0.1, 0.2, 0.5, 1 і 2.

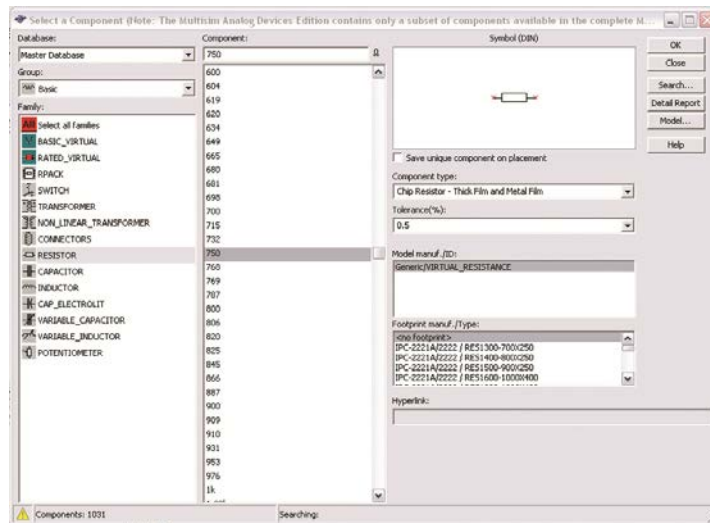


Рис. 1.6. Вікно вибору пасивних компонентів

При виборі інших компонентів (наприклад, змінного резистора або конденсатора) будуть з'являтися видозмінені вікна вибору параметрів компонентів.

Розглянемо на прикладі фільтра нижніх частот порядок роботи з програмою, вибір віртуальних приладів і аналіз отриманих результатів. Для аналізу виберемо схему, синтезовану за методикою, викладеною в [3] і розраховану за допомогою програми Filter Wiz Pro. Вихідні дані для проектування фільтра: нерівномірність АЧХ у смузі пропускання $a_c \leq 1$ дБ, гарантоване загасання в смузі непропускання $a_s \geq 30$ дБ, частота зрізу фільтра $f_c = 3400$ Гц, частота гарантованого загасання 9000 Гц. При розрахунках отриманий порядок фільтра $n = 3$ для апроксимації по Чебишеву й $n = 5$, для апроксимації по Баттерворту. Вибираємо апроксимацію по Чебишеву.

Схема реалізується послідовним з'єднанням кола першого порядку з добротністю 0,5, під'єднаної через повторювач напруги, і другого порядку реалізованої за схемою Саллен-Кі, що реалізує добротність полюса, рівну 2,02. Розрахована програмою Filter Wiz Pro, АЧХ фільтра наведена на рис. 1.7, а значення опорів резисторів і ємностей конденсаторів наведені на принциповій схемі (рис. 1.8). Колір провідників і компонентів на схемі залишені встановленими в програмі за замовчуванням. Слід зауважити, що набір резисторів, пропонує меню програми, відповідає ряду E96 і на схемі були розміщені компоненти відповідні до цього ряду, хоча розрахункові значення резисторів становлять: $R1 = 94,72 \text{ кОм}$, $R2 = R3 = 99,89 \text{ кОм}$.

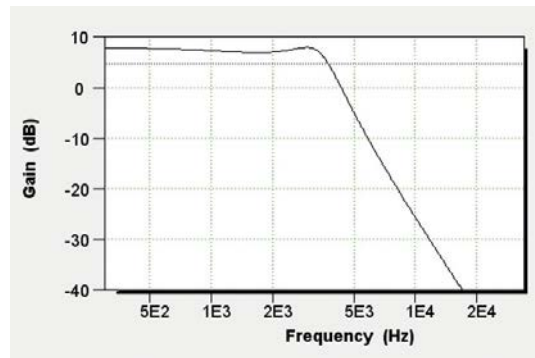


Рис. 1.7. Розрахована АЧХ фільтра нижніх частот

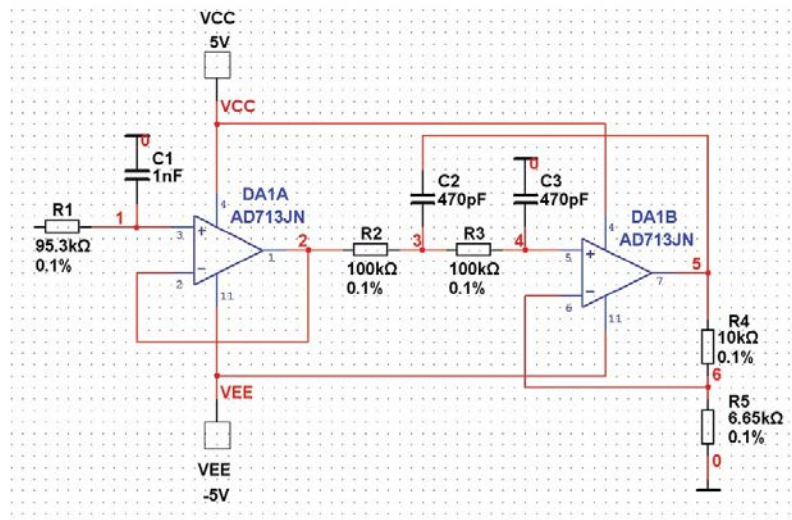


Рис. 1.8. Принципова схема ФНЧ

При необхідності можна ввести резистори необхідного номіналу вручну.

Для реалізації фільтра буде потрібно використати два операційні підсилювачі зі смугою одиничного посилення (GBW – Guaranteed Bandwidth) не менш 1 МГц. Вибираємо зчетверений ОП типу AD713, частота одиничного посилення якого дорівнює 3 МГц.

При розміщенні елементів на схемі зручно користуватися контекстним меню, яке викликається натисканням правої кнопки "миші". Воно дозволяє повертати елементи по і проти годинникової стрілки на 90 градусів, здійснювати дзеркальні перетворення по вертикалі й горизонталі й містить ще багато різних пунктів. При підключенні джерел живлення (меню Place Source, яке позначено піктограмою загального проводу (табл. 1.1) слід урахувати, що джерело позитивної напруги позначається як VCC, а негативної – як VEE.

Тепер можна приступати до розміщення джерела сигналу й вимірювальних приладів на робочому аркуші схеми. Програма дозволяє використовувати прилади, показані на рис. 1.9.

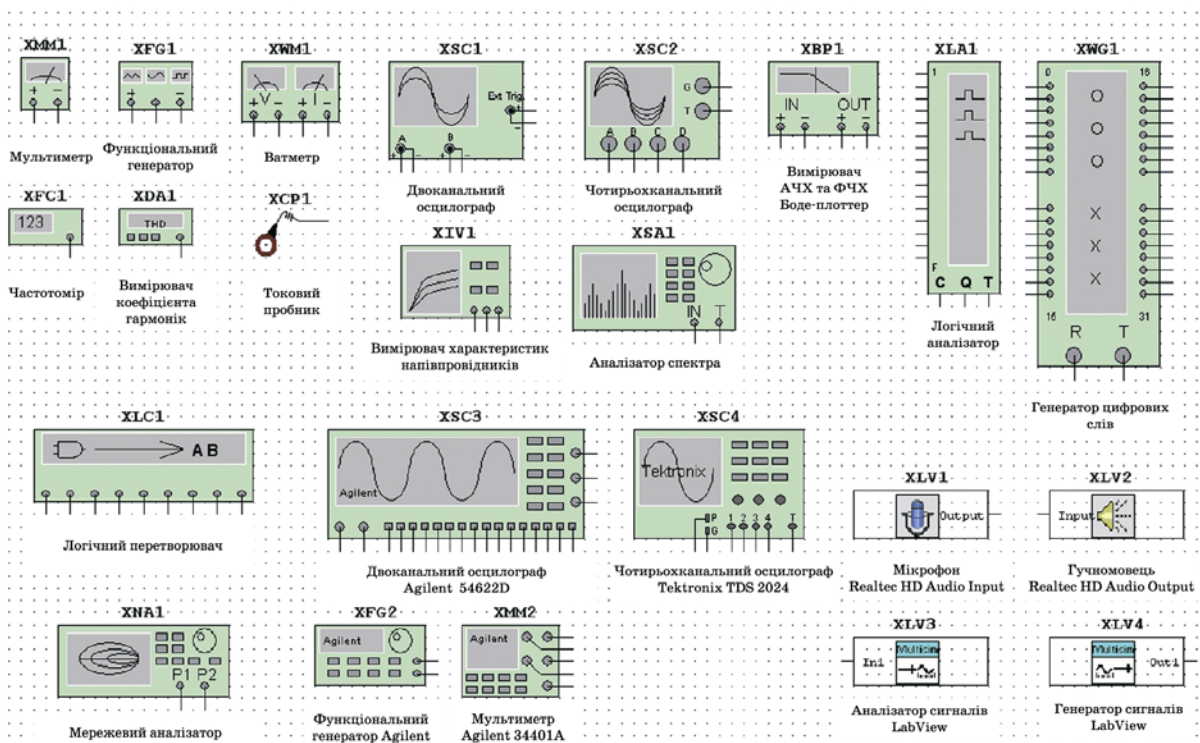


Рис. 1.9. Віртуальні вимірювальні прилади програми Multisim

Кожний з віртуальних приладів має безліч параметрів, з якими ми будемо

знайомитися в міру необхідності. Для аналізу схеми обмежимося поки трьома приладами:

- функціональним генератором у якості джерела вхідного сигналу;
- двоканальним осцилографом для аналізу форми сигналу на вході й виході фільтра;
- графопобудовником АЧХ і ФЧХ (Vode Plotter).

Для розміщення приладу досить клацнути лівою кнопкою "миші" на піктограмі приладу, розміщеної з правої сторони робочого вікна програми, і перетягнути зображення в потрібне місце робочого аркуша.

Для того, щоб на екрані осцилографа вхідний і вихідний сигнали відображалися різним кольором необхідно поміняти колір лінії, яка підводить до другого входу осцилографа. Для цього виділяють лінію клацанням лівої кнопки "миші" і потім натискають праву кнопку. У контекстному меню, що з'явився, потрібно вибрати пункт Change Color. Схема з підключеними приладами показана на рис. 1.10.

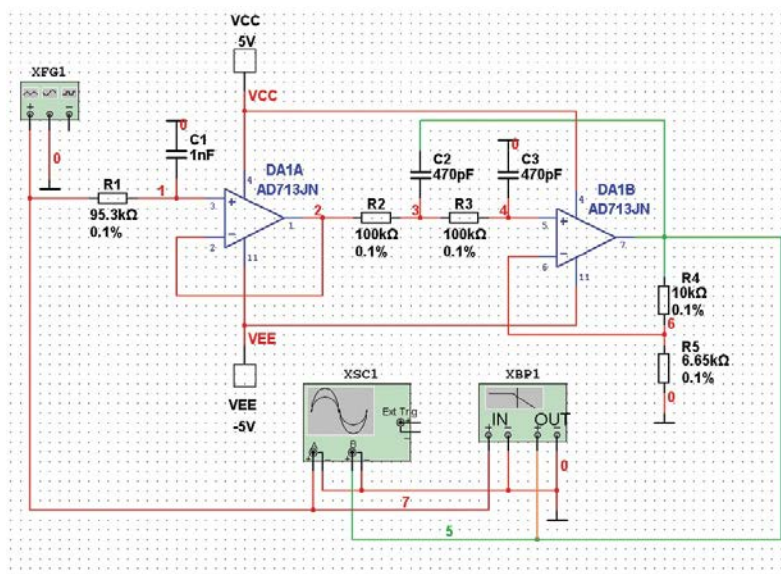


Рис. 1.10. Схема ФНЧ з підключеними вимірювальними приладами

Після цього можна задати параметри іспитового сигналу. Для цього необхідно клацнути на зображенні приладу лівої кнопки "миші". У вікні, що відкрилося, встановлюємо параметри сигналу на виході функціонального генератора (рис. 1.11). Можна вибрати форму сигналу: синус, трикутник, прямокутник.

Частота сигналу задається в рядку Frequency у діапазоні від 1 фГц до 103 ТГц. Амплітуда в діапазоні від 1 фВ до 103 ТВ. Напряга зсуву задається в тому ж діапазоні. За замовчуванням на виході генератора формується двополярна напруга. Наприклад, задана амплітуда 10 В для гармонічного сигналу. На виході генератора будуть сформований сигнал з позитивною і негативною амплітудами 10 В. Якщо потрібно сформувати однополярний сигнал (наприклад, прямокутні імпульси амплітудою 5 В), потрібно задати амплітуду сигналу рівну половині необхідної (для прикладу 2,5 В) і задати позитивний зсув напруги рівний +2,5 В.

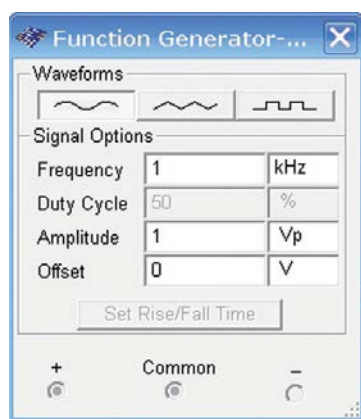


Рис. 1.11. Установка параметрів вхідного сигналу

Після цього приступаємо до аналізу роботи схеми. Для цього досить натиснути на зелений трикутник (рис. 1.4), або натиснути вимикач, розташований у правій верхній частині робочого вікна програми, або через меню Simulate викликати команду Run.

Проконтролюємо форму сигналу на вході і виході фільтра за допомогою осцилографа. Тому що коефіцієнт підсилення фільтра (з розрахунку) дорівнює 2.5, а розмах вхідної напруги – 1 В, встановимо чутливість каналу А осцилографа 1 В/діл, а каналу В – 2 В/діл. Форма сигналу на вході й виході ФНЧ показана на рис. 1.12. Для рознесення сигналів на екрані осцилографа по вертикалі вводимо зсув Y position у каналі А рівний +1.6 В, а в каналі В – -1.4 В.

Після цього можна здійснити перевірку АЧХ і ФЧХ спроектованого філь-

тра за допомогою Bode Plotter. Отримана в результаті моделювання АЧХ наведена на рис. 1.3., а ФЧХ – на рис. 1.14. Крім того, можна зберегти файл із результатами виміру АЧХ і ФЧХ. Файл із розширенням .bod являє собою текстовий файл, фрагмент якого показаний на рис. 1.15. Аналіз результатів показав, що максимальна нерівномірність АЧХ у смузі пропускання небагато менше 1 дБ, що цілком задовольняє поставленим умовам.

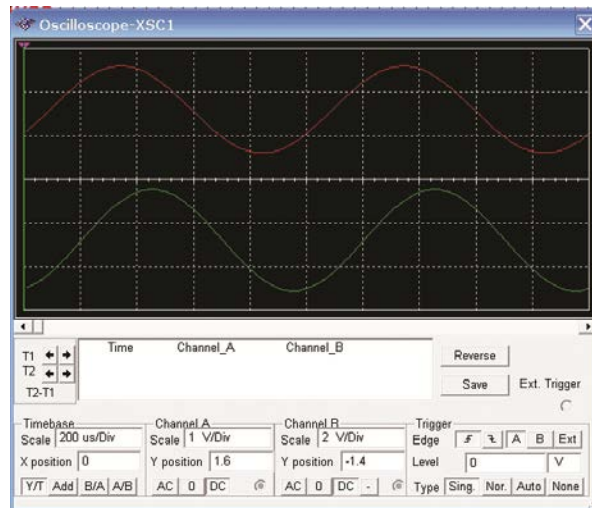


Рис. 1.12. Форма сигналу на вході (червоний) і виході (зелений) ФНЧ

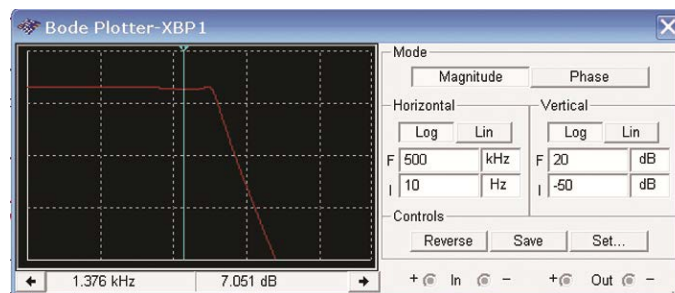


Рис. 1.13. Форма АЧХ змодельованого ФНЧ

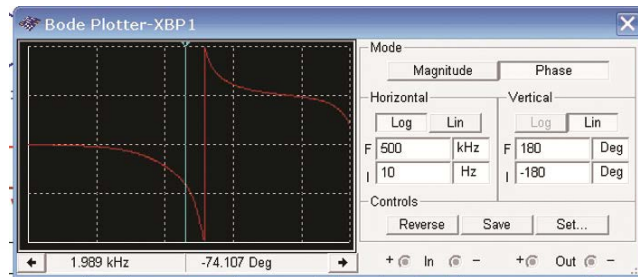


Рис. 1.14. Форма ФЧХ змодельованого ФНЧ

```

Bode data: BOD

column 1 Frequency (Hz)
column 2 Gain (dB)
column 3 Gain (Linear)
column 4 Phase (Deg)
trace name: Bode Result

Color: 255
Gain_Range_Start: 3.162278e-003
Gain_Range_End: 1.000000e+001
Phase_Range_Start: -1.800000e+002
Phase_Range_End: 1.800000e+002
Frequency Gain (dB) Gain Phase
-----
1.00000e+001 7.97149e+000 2.50365e+000 -4.27497e-001
1.02329e+001 7.97148e+000 2.50365e+000 -4.37454e-001
1.04713e+001 7.97148e+000 2.50365e+000 -4.47644e-001
1.07152e+001 7.97148e+000 2.50365e+000 -4.58071e-001
1.09648e+001 7.97147e+000 2.50365e+000 -4.68740e-001
1.12202e+001 7.97147e+000 2.50365e+000 -4.79658e-001
1.14815e+001 7.97146e+000 2.50365e+000 -4.90831e-001
1.17490e+001 7.97146e+000 2.50365e+000 -5.02263e-001
1.20226e+001 7.97145e+000 2.50364e+000 -5.13962e-001
1.23027e+001 7.97144e+000 2.50364e+000 -5.25934e-001
1.25893e+001 7.97144e+000 2.50364e+000 -5.38184e-001
-----

```

Рис.1.15. Фрагмент текстового файлу з результатами моделювання

З безкоштовною версією програми поставляється один приклад (Getting Started), що складається із трьох різних файлів: аркуш із розміщеними компонентами (Getting Started 1), компоненти, з'єднані в схему (Getting Started 2), і схема з підключеними вимірювальними приладами (Getting Started 3). Використовуючи ці файли легко провести експерименти із запропонованою в прикладі схемою, що дозволить швидше освоїти роботу із програмою.

1.4 Контрольні питання

1. Як настроїти інтерфейс програми NI Multisim?
2. Як встановити розмір робочого аркуша й одиниць виміру?
3. Як настроїти автоматичне збереження схем і результатів моделювання?
4. Як настроїти колір фону, елементів, проводів і інших позначень схеми?
5. Як настроїти відображення панелей інструментів?

2 СИГНАЛИ І МЕТОДИ ЇХ ДОСЛІДЖЕННЯ

2.1 Загальні характеристики сигналів

Форма й способи перетворення електричних сигналів нерозривно пов'язані із принципами побудови електронних пристроїв автоматики й управління й у великому ступені визначають їхні характеристики й особливості.

Електричні сигнали в електронних пристроях по своїй фізичній суті можна розділити аналогові й дискретні. Аналогові сигнали являють собою безперервні в часі функції напруги або току й, у свою чергу, діляться на постійні й змінні.

Постійні аналогові сигнали являють собою однополярні сигнали напруги або струму що повільно змінюються у часі.

Змінними аналоговими сигналами називаються функції напруги або струму, що змінюються в часі як по амплітуді, так і за знаком. Прикладом змінного сигналу є гармонічний або синусоїдальний.

Дискретними називаються такі електричні сигнали, які являють собою розривні в часі функції напруги або струму й можуть мати обмежене число рівнів. Найбільш часто в електроніці використовуються дискретні сигнали, які

мають тільки два рівні – високої напруги (струму) і низької напруги (струму). Такі сигнали називають імпульсними або двійковими. Представлення інформації за допомогою таких сигналів має ряд переваг, обумовлених високою надійністю й простотою пристроїв, якими вони генеруються й перетворюються. Два дискретні значення, які приймають двійкові сигнали, звичайно позначають двома цифровими символами – "1" і "0". Тому двійкові дискретні сигнали також називають цифровими, а розділ електроніки, що вивчає формування, перетворення й передачу двійкових сигналів – цифровою технікою.

Аналогова або дискретна форми представлення електричних сигналів суттєво впливають на принципи побудови й особливості роботи електронних пристроїв, які формують, підсилюють і перетворюють ці сигнали.

Електронні пристрої, що оперують із аналоговими сигналами, як правило, працюють у лінійному режимі й формують клас аналогових пристроїв. Особливість їх полягає в тому, що вхідні й вихідні сигнали зв'язані лінійними або близькими до лінійних залежностями. Прикладами аналогових пристроїв є підсилювачі постійних, змінних і імпульсних сигналів, що працюють без насичення, активні фільтри, генератори гармонічних сигналів, лінійні електричні кола із зосередженими або розподіленими параметрами типу R , L , C , імпульсні трансформатори, що працюють у лінійному режимі без насичення, лінії затримки та інші.

Лінійні елементи використовуються для посилення, фільтрації, диференціювання, інтегрування, укорочення, розширення й інших перетворень аналогових і дискретних сигналів.

Електронні пристрої, що оперують із дискретними сигналами, працюють у суттєво нелінійному режимі. Основу їх структури становлять нелінійні (ключові) елементи, які здійснюють під впливом керуючих сигналів різні комутації, підключення й відключення пасивних і активних елементів, джерел живлення й т. п. У статичному режимі ключова схема перебуває в одному із двох станів – замкненому (включеному) або розімкнутому (виключеному). Комутації ключа створюють на його виході перепади напруги з амплітудою, близької до амплі-

туди джерела живлення. Тим самим на виході ключа формується послідовність імпульсних сигналів, форма яких залежить як від швидкості перемикавання ключа, так і від параметрів лінійних елементів, що входять у схему.

Цифрові пристрої здійснюють логічне перетворення сигналів, їх запам'ятовування, підсумовування; шифрацію й дешифрацію цифрових кодів; ділення частоти імпульсів, а також ряд інших операцій. Цифрові пристрої відіграють провідну роль у багатьох галузях науки й техніки, і, насамперед в автоматичній, телемеханічній, обчислювальній техніці, супутниковому зв'язку, радіолокації, робототехніці, телебаченні, системах радіо й проводового зв'язку. Це пояснюється тим, що елементи й вузли цифрової техніки завдяки широкому застосуванню в них ключових режимів при існуючому рівні розвитку електроніки є найбільш надійними, завадостійкими й тому дозволяють забезпечити високу надійність роботи складних апаратних комплексів, наприклад АСУ, робототехнічних систем, гнучких автоматизованих виробництв, обчислювальних машин, тощо.

Важливим фактором, що визначає широке впровадження цифрової техніки, є також її економічна ефективність, яка, з одного боку, визначається технологічністю при виготовленні й простотою при налаштуванні й експлуатації, а з іншого – можливістю розв'язку завдань, нездійснених раніше на базі вузлів аналогової техніки.

Елементи й вузли цифрової техніки при правильному проектуванні не вимагають індивідуального регулювання й налаштування, дозволяють організувати масове виробництво із застосуванням сучасних засобів автоматизації, скоротити витрати праці й отримати великий економічний ефект. Цифрові пристрої досить просто зазнають автоматизації проектування, для них легко будуються математичні моделі, які з високим ступенем точності відповідають характеристикам реальних пристроїв, вони досить просто перебудовуються (перепрограмуються) на реалізацію інших функцій. Цифрова техніка дозволяє також широко використовувати мікромініатюризацію, зменшити масу й габаритні розміри апаратури, що в ряді випадків є одним з вирішальних факторів при проектуванні.

Імпульсна й цифрова техніка, будучи тісно зв'язані одна з одною, відповідають за різні характеристики пристроїв. Імпульсні сигнали є носіями цифрової інформації, причому імпульсна техніка займається формуванням, посиленням і перетворенням імпульсних сигналів по їхніх фізичних параметрах (тривалості, частоті, амплітуді, потужності), а цифрова техніка, абстрагуючись від цих фізичних параметрів, займається перетворенням інформації, яку несуть у собі послідовності імпульсних сигналів, чергування високих і низьких рівнів напруги або сукупності різних рівнів напруги, виражених умовними параметрами 0 або 1, В або А і т.д. Імпульсні сигнали є, таким чином, носіями цифрової інформації, а імпульсні пристрої лежать в основі реалізації будь-яких цифрових схем.

Різна фізична суть імпульсних і цифрових сигналів визначає й різні методи їх дослідження й опису.

В основі аналізу й синтезу імпульсних пристроїв, які являють собою електричні й електронні кола, лежать відомі закони електричних і електромагнітних кіл, доповнені електричними моделями окремих електронних елементів, що представляють собою сукупність пасивних елементів і джерел напруги. В основі аналізу й синтезу цифрових пристроїв, стан яких описується абстрагованими від конкретних фізичних параметрів змінними й функціями, лежать методи дискретної математики, алгебри логіки й теорії цифрових автоматів.

Інформація, передана за допомогою електричних сигналів, полягає в зміні їх електричних параметрів і форми або в умовному взаємному розташуванні елементів цих сигналів.

При передачі інформації шляхом зміни фізичних параметрів електричних сигналів як інформативного параметра можуть використовуватися амплітуда, частота або фаза гармонічного сигналу, амплітуда, полярність, тривалість імпульсу або паузи.

Синусоїдальні сигнали поширені найбільше широко. Математичний вираз, що описує синусоїдальну напругу, має вигляд

$$u = U_m \sin(\omega t + \varphi),$$

де U_m – амплітуда сигналу, ω – кутова частота в радіанах у секунду, причому $\omega = 2\pi f$, φ – початкова фаза сигналу.

Основне достоїнство синусоїдальної функції (а також основна причина настільки широкого поширення синусоїдальних сигналів) полягає в тому, що ця функція є розв'язком цілого ряду лінійних диференціальних рівнянь, що описують як фізичні явища, так і властивості лінійних кіл.

Лінійне коло має наступну властивість: вихідний сигнал, породжений сумою двох вхідних сигналів, дорівнює сумі двох вихідних сигналів, кожний з яких породжений вхідними сигналами, що діють не в сукупності, а окремо: інакше кажучи, якщо $U_{\text{вих}}(A)$ – вихідний сигнал, породжений сигналом A , то для лінійного кола справедлива наступна рівність:

$$U_{\text{вих}}(A + B) = U_{\text{вих}}(A) + U_{\text{вих}}(B).$$

Якщо на вході лінійного кола діє синусоїдальний сигнал, то на виході також одержимо синусоїдальний сигнал, але в загальному випадку його амплітуда й фаза будуть іншими. Це твердження слухне тільки для синусоїдального сигналу. На практиці прийнято оцінювати поведінку схеми по її амплітудно-частотній характеристиці, яка показує, як змінюється амплітуда синусоїдального сигналу залежно від частоти.

Аналогові сигнали описуються неперервними функціями напруги, струму тощо. Джерелами аналогових сигналів є давачі різноманітних фізичних величин, наприклад, мікрофон.

Математична модель складного детермінованого змінного сигналу в загальному вигляді описується формулою

$$x(t) = \sum_{n=0}^{N-1} X_{m,n} \sin(\omega_n t + \varphi_n), \quad (2.1)$$

де $X_{m,n}$, ω_n , ϕ_n – відповідно, амплітуда, частота та початкова фаза n -ої гармоніки; N – кількість гармонік.

Інформація, що передається сигналом (2.1), як правило, міститься в амплітудах його складових. У системах автоматики та радіотехніки часто використовується синусоїдальний (гармонічний) як базовий для передачі інформації. При цьому інформація, що передається, може міститись у будьякому з його параметрів – амплітуді, частоті, фазі, або одночасно в декількох з них.

Процес цілеспрямованої зміни параметрів базового сигналу за законом зміни інформації, що передається, називається модуляцією. Базовий сигнал при цьому називається несіним. На рис. 2.1,а наведений приклад амплітудно-модульованого (АМ), а на рис. 2.1,б – частотно-модульованого сигналів.

Якщо модулюючий сигнал гармонічний (рис. 2.1), то модуляція називається гармонічною. Розрізняють амплітудну (АМ), частотну (ЧМ) та фазову (ФМ) модуляції. Останні дві, завдяки взаємозв'язку між частотою та фазою, часто об'єднуються під назвою кутової модуляції. Окрім перелічених існує ще багато більш складних видів модуляції. Пристрої, в яких забезпечується процес модуляції параметрів базової функції, називаються модуляторами.

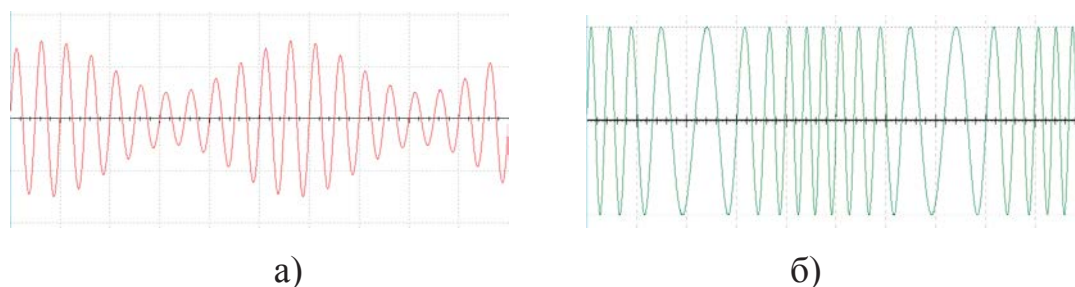


Рис. 2.1. Приклад амплітудно-модульованого (а) та частотно-модульованого (б) сигналів

Описані види модуляції використовуються для передачі мовних, музичних, телевізійних сигналів, сигналів з різних джерел даних (наприклад, давачів рівня рідини у цистернах, температури в приміщеннях і т. п.).

Не вдаючись у деталі теорії модуляції, необхідно відмітити, що амплітуд-

на модуляція більш проста в технічній реалізації, порівняно з кутовими. Але, у той же час, цей вид модуляції має низьку стійкість як відносно зовнішніх завад, так і відносно нестабільності параметрів апаратури, в якій вона використовується. Кутові види модуляції, навпаки, мають більш складну технічну реалізацію і займають більш широку смугу частот, але при цьому вони більш стійкі до зовнішніх завад.

2.2 Імпульсні сигнали

Підтримувати стабільність і точність параметрів аналогових пристроїв досить важко. На їх роботу впливають технологічні допуски, які закладаються при виробництві електронних компонентів, коливання температури, напруги живлення, космічне випромінювання, шуми і наводки, що створюються електронними приладами, іншими колами і пристроями.

До того ж, реалізація математичних і логічних операцій у більшості випадків або дуже складна, або навіть неможлива при роботі з аналоговими сигналами. Для того, щоб впевнитись у цьому, достатньо спробувати реалізувати на аналогових компонентах будь-яку з відомих констант. Рекомендується провести такий дослід: використовуючи операційний підсилювач і решту реальних компонентів, реалізувати схему підсилювача так, щоб на виході підтримувалась напруга, рівна за величиною числу $\pi = 3,141592653\dots$. На практиці забезпечити точність відтворення такого аналогового сигналу навіть з похибкою в 1% досить складно.

Окрім синусоїдальних, в якості базових сигналів часто використовують різні за формою імпульсні сигнали та їх послідовності. На рис. 2.2 зображений типовий одиночний імпульс та наведені у взаємозв'язку його амплітудні та часові параметри.

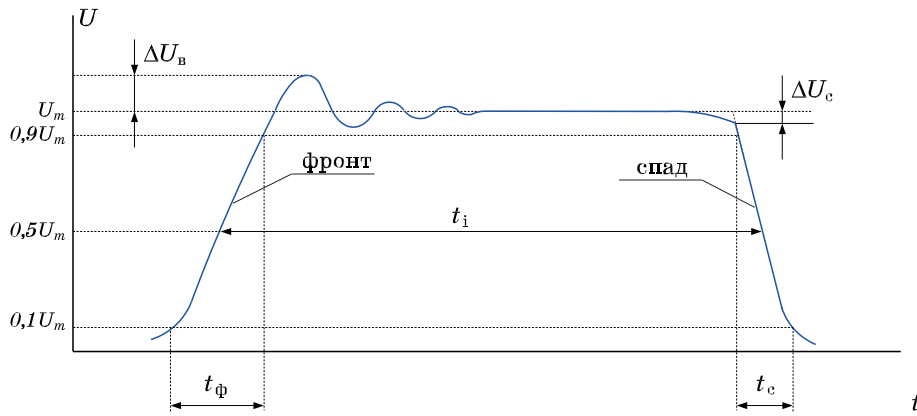


Рис. 2.2. Типовий одиночний імпульс

До амплітудних відносяться: U_m – амплітуда імпульсу; $\Delta U_в$ – викид на фронті імпульсу; $\Delta U_с$ – спад вершини. До часових – тривалість фронту t_ϕ та спаду t_c , тривалість імпульсу t_i .

Параметри імпульсу в часі можуть змінюватись у широких межах і, відповідно, одиночні імпульси можуть мати різну форму. На рис. 2.3,а – в зображенні імпульси експоненціальної, пилкоподібної та трикутної форми.

Імпульси можуть бути однополярними і різнополярними. Однополярні імпульси можуть бути позитивними й негативними. Для одержання імпульсних послідовностей різної форми, частоти й амплітуди застосовують спеціальні генератори.

Імпульси, що наведені на рис. 2.2 та 2.3 називають відеоімпульсами. Однак окрім відеоімпульсів існують більш складні імпульси – імпульси з заповненням простими або модульованими сигналами. На рис. 2.4 наведені приклади радіоімпульсів з заповненням гармонічним сигналом (рис. 2.4,а) та прямокутним сигналом (рис. 2.4,б).

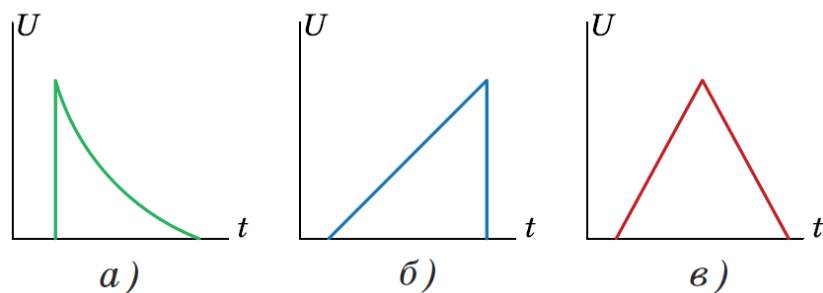


Рис. 2.3. Однополярні імпульси експоненціальної (а), пилкоподібної (б) та трикутної (в) форми

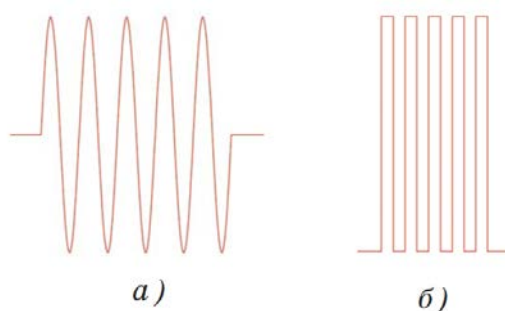


Рис. 2.4. Радіоімпульси з заповненням гармонічним (а) та прямокутним (б) сигналами

Імпульсна послідовність характеризується наявністю пауз між одиночними імпульсами. В якості паузи тривалістю t_p приймається нульовий рівень напруги чи струму або такий рівень, який прирівнюється до нульового (рис. 2.5). Якщо тривалість імпульсів і пауз між ними в послідовності не змінюється, то говорять про періодичну послідовність, яка характеризується періодом

$$T = t_i + t_p,$$

коефіцієнтом заповнення

$$S = t_i / T$$

та скважністю

$$Q = T/t_i.$$

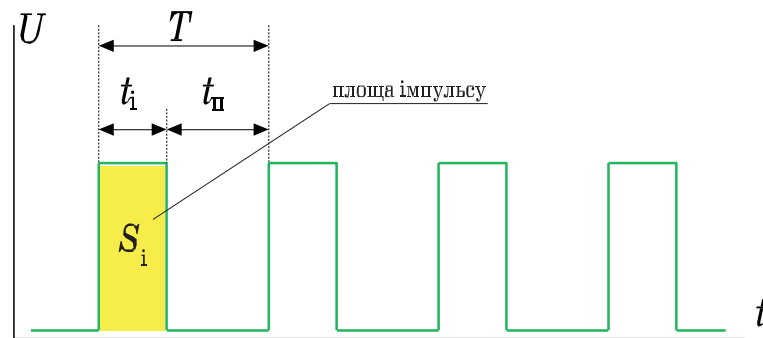


Рис. 2.5. Послідовність прямокутних імпульсів

Одним з важливих параметрів є середнє значення послідовності імпульсів або імпульсу, яке може бути розраховане за формулою

$$U_{\text{сеп}} = \int_0^{t_i} U(t) dt = \frac{S_i}{T} = \frac{U_m}{Q}, \quad (2.2)$$

де S_i – площа під імпульсом, U_m – амплітуда імпульсу.

2.3 Основні характеристики змінних електричних сигналів

Змінний електричний сигнал у більшості випадків являє собою функцію часу $u(t)$ з періодом $T = 1/f$ яку можна записати у вигляді ряду Фур'є

$$u(t) = U_0 + U_{1\text{max}} \cos(\omega_0 t - \varphi_1) + U_{2\text{max}} \cos(2\omega_0 t - \varphi_2) + U_{3\text{max}} \cos(3\omega_0 t - \varphi_3) + \dots, \quad (2.3)$$

де $\omega = 2\pi f_0$; $\varphi_1, \varphi_2, \varphi_3$ – початкові фази окремих гармонік; $U_{1\text{max}}, U_{2\text{max}}, U_{3\text{max}}$ – амплітуди цих гармонік.

Окремі складові називають гармоніками, причому коливання основної частоти називають першою гармонікою і т.д.

Сукупність величин U_k називають спектром амплітуд, сукупність величин φ_k – спектром фаз. Найчастіше цікавляться тільки спектром амплітуд і називають його для краткості просто спектром. Графічні зображення спектрів деяких імпульсних сигналів наведені на рис. 2.6.

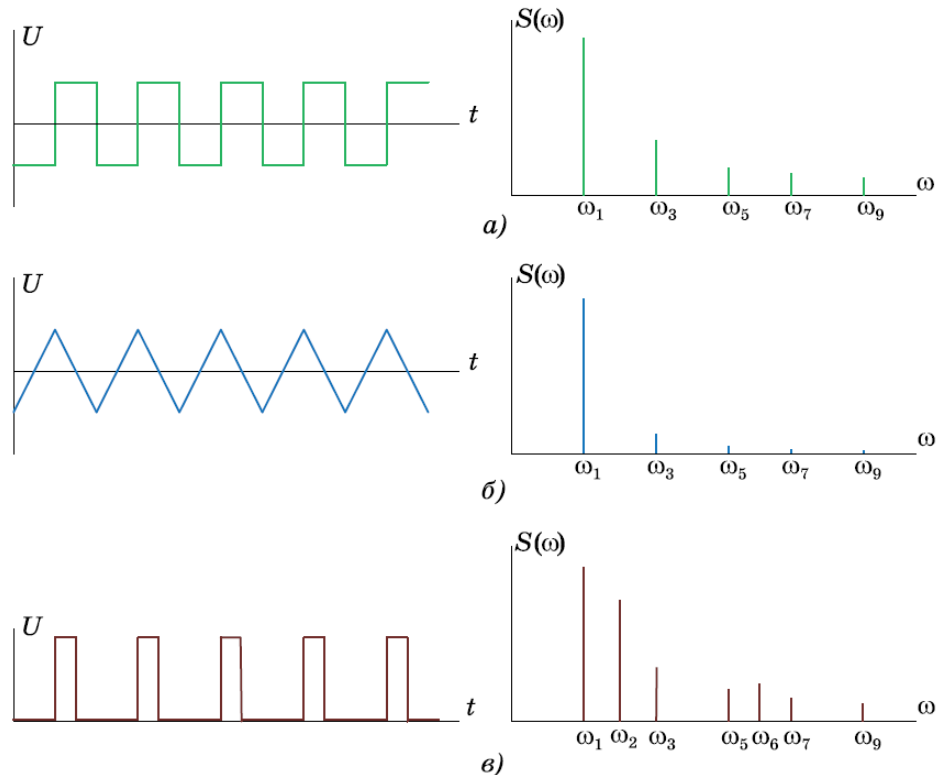


Рис. 2.6. Форма сигналів і графічне зображення спектрів прямокутних симетричних імпульсів з $Q = 2$ (а), трикутних імпульсів (б) та однополярних прямокутних імпульсів з $Q = 4$ (в)

Довжини вертикальних відрізків дорівнюють амплітудам відповідних гармонік. Ці відрізки називають спектральними лініями, а сам спектр – лінійчатим.

У загальному випадку сума (2.3) є нескінченним рядом, тобто спектр сигналу нескінченний. Тому що амплітуди гармонік у міру збільшення їх номера (кутової частоти) зменшуються, починаючи з деякої гармоніки, високочастотними коливаннями зневажають, тим самим, обмежуючи спектр сигналу.

Інтервал частот, у якому розміщується обмежений спектр, називається шириною спектра. Обмеження спектра роблять виходячи із припустимого спотворення сигналу так, щоб не втратити інформацію, що міститься в ньому.

На рис. 2.7 показано, як формуються прямокутні імпульси (рис. 2.6,а) з гармонік. Графіки першої і третьої гармонік і їх суми зображені на рис. 2.7, а. На рис. 2.7, б ця сума доповнена п'ятою гармонікою. Характерно, що прямокутні імпульси, що мають скважність $Q = 2$ є парними відносно осі і містять тільки непарні гармоніки.

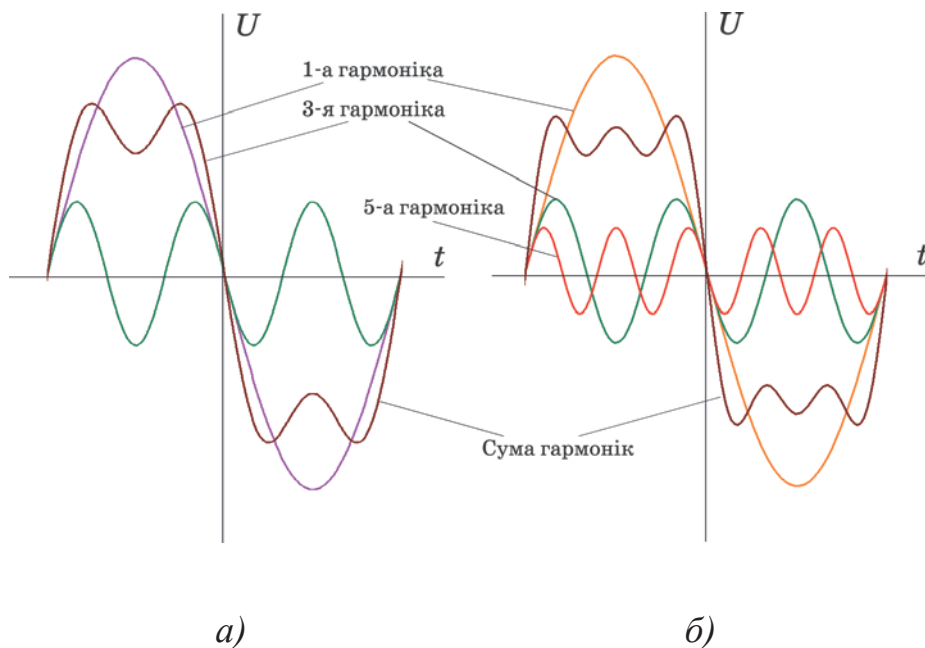


Рис. 2.7. Формування прямокутних імпульсів з першої (синя) та третьої (червона) гармонік (а), та з додаванням п'ятої гармоніки (б)

Використання для гармонічного аналізу складних періодичних коливань рядів Фур'є в комбінації із принципом накладення являє собою ефективний засіб для вивчення впливу лінійних кіл на проходження сигналів. Слід, щоправда, відзначити, що визначення сигналу на виході кола по сумі гармонік із заданими амплітудами й фазами є непростою задачею, особливо якщо не забезпечується швидка збіжність ряду Фур'є, що представляє вхідний сигнал. Найпоширеніші в радіотехніці сигнали не відповідають цій умові, і для задовільного відтворення форми сигналів звичайно необхідно підсумувати велику кількість гармонік.

Оскільки при дослідженні різних кіл параметри сигналів можуть змінюватися у широких межах, доцільно мати такий інструмент, який дозволить визначити параметри сигналів з найменшими втратами часу. Найкраще для таких цілей підходить програма NI Multisim.

2.4 Вимірювання параметрів сигналів за допомогою програми NI Multisim

2.4.1 Джерела сигналів у Multisim

Програма NI Multisim надає широкі можливості як для синтезу сигналів, так і для дослідження їх параметрів. У стандартну бібліотеку джерел сигналів входять:

1. Джерела напруги:

- AC VOLTAGE – джерело змінної напруги;
- AM VOLTAGE – джерело амплітудно-модульованого сигналу;
- BIPOLAR VOLTAGE – генератор біполярних прямокутних імпульсів з інтервалами між позитивним та негативним імпульсами;
- CLOCK VOLTAGE – генератор прямокутних однополярних імпульсів;
- EXPONENTIAL VOLTAGE – генератор експоненціального імпульсу;
- FM VOLTAGE – джерело частотно-модульованого сигналу;
- LVM VOLTAGE – генератор LabVIEW, що використовує дані з файлу *.lvm;
- PIECEWISE LINEAR VOLTAGE – генератор кусково-лінійного сигналу;
- PULSE VOLTAGE – генератор біполярних прямокутних імпульсів;
- TDM VOLTAGE – генератор LabVIEW, що використовує дані з файлу *.tdm;
- THERMAL NOISE – генератор теплового шуму;

- TRIANGULAR VOLTAGE – генератор трикутного сигналу;

2. Джерела струму:

- AC CURRENT – джерело змінного струму;
- BIPOLAR CURRENT – генератор струму біполярних прямокутних імпульсів з інтервалами між позитивним та негативним імпульсами;
- CLOCK CURRENT – генератор прямокутних однополярних імпульсів струму;
- DC CURRENT – джерело постійного струму;
- EXPONENTIAL CURRENT – генератор експоненціального імпульсу струму;
- FM CURRENT – джерело частотно-модульованого струму;
- LVM CURRENT – генератор LabVIEW, що використовує дані з файлу *.lvm;
- PIECEWISE LINEAR CURRENT – генератор кусково-лінійного струму;
- PULSE_ CURRENT – генератор біполярних прямокутних імпульсів струму;
- TDM CURRENT – генератор LabVIEW, що використовує дані з файлу *.tdm;

3. Джерела сигналів, що управляються напругою:

- ABM VOLTAGE – генератор, параметри якого задаються математичним виразом;
- CONTRCLED ONE SHOT – генератор з одним стійким станом (аналог одновібратора), параметри якого задаються користувачем;
- CURRENT CONTROLLED VOLTAGE SOURCE – джерело напруги, що управляється струмом;
- FSK VOLTAGE – джерело частотно-маніпульованого (Frequency Shift Keying) сигналу;
- VOLTAGE CONTROLLED PIECEWISE LINEAR SOURCE – джерело

напруги апроксимованої відрізками, що керується напругою;

- VOLTAGE CONTROLLED SINE WAVE – джерело синусоїдальної напруги, що керується напругою;

- VOLTAGE CONTROLLED SQUARE WAVE – джерело прямокутної напруги, що керується напругою;

- VOLTAGE CONTROLLED TRIANGLE WAVE – джерело трикутної напруги, що керується напругою;

- VOLTAGE CONTROLLED VOLTAGE SOURCE – джерело напруги, що керується напругою;

3. Джерела сигналів, що управляються струмом:

- ABM CURRENT – джерело струму;

- CURRENT CONTROLLED CURRENT SOURCE – джерело струму, що керується струмом;

- VOLTAGE CONTROLLED CURRENT SOURCE – джерело струму, що керується напругою.

2.4.2 Інструменти аналізу сигналів у Multisim

У Multisim передбачена велика кількість функцій аналізу даних емуляції, від простих до самих складних, у тому числі й вкладених.

Список усіх функцій Multisim наведений на рис. 2.8. Розглянемо основні види аналізу:

1. DC Operating Point – аналіз кола на постійному струмі.

Аналіз кіл на постійному струмі здійснюється для резистивних схем. Це правило впливає прямо з теорії електричних кіл; при аналізі на постійному струмі конденсатори замінюють розривом, котушки індуктивності – коротким замиканням, нелінійні компоненти, такі як діоди й транзистори, замінюють їхнім опором постійному струму в робочій точці. Аналіз кіл на постійному струмі виявляє вузлові потенціали досліджуваної схеми.

2. AC Analysis – аналіз кола на змінному струмі.

Аналіз кіл на змінному струмі полягає в побудові частотних характеристик.

3. **Transient Analysis** – аналіз перехідних процесів.

Аналіз перехідних процесів у колах дозволяє визначити форму вихідного сигналу на протязі часу перехідного процесу, тобто побудувати графік сигналу як функції часу.

Щоб почати аналіз, треба вибрати пункт меню *Simulate/Analyses* і обрати необхідний режим.

4. **Fourier Analysis** – Фур'є-аналіз, тобто аналіз спектру сигналу.

1. Дозволяє здійснювати аналіз спектру сигналів у заданому діапазоні частот і обраній кількості гармонік. Результати аналізу виводяться як у вигляді графіків, так і табличній формі.

З іншими методами аналізу при необхідності будемо знайомитись у процесі досліджень.

Крім вбудованих функцій аналізу є можливість визначити свою функцію за допомогою команд *SPICE*.

При підготовці до аналізу необхідно настроїти його параметри, наприклад, діапазон частот для аналізатора змінного струму (*AC analysis*), основну частоту та кількість гармонік для Фур'є-аналізу. Необхідно також вибрати вихідні канали (*traces*), що позначені на схемі як ноди, тобто точки (вузли) схеми у яких необхідно провести аналіз.

Для перегляду результатів емуляції призначений *Grapher*. Він відкривається з меню *View/Grapher*, або іконкою, що розташована у верхньому рядку графічного меню програми. Після завершення обраного типу аналізу вікно *Grapher* відкривається автоматично.

Велика кількість параметрів *Grapher* налаштовується у вікні властивостей. Наприклад, можна змінювати масштаби, діапазони, заголовки, стилі ліній осей (рис. 2.9).

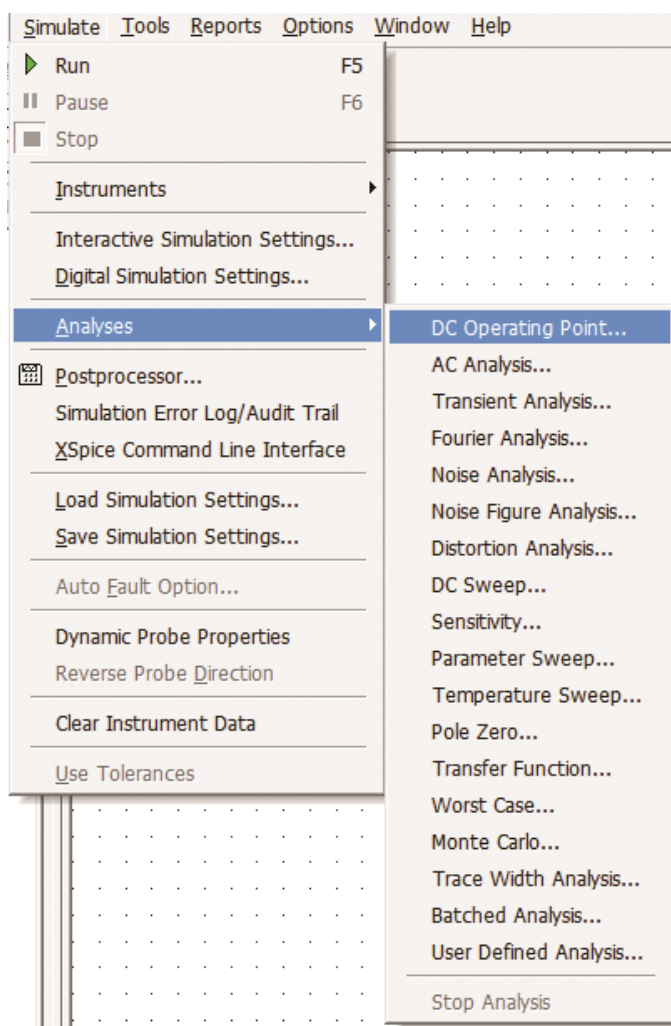


Рис. 2.8. Меню аналізу програми NI Multisim

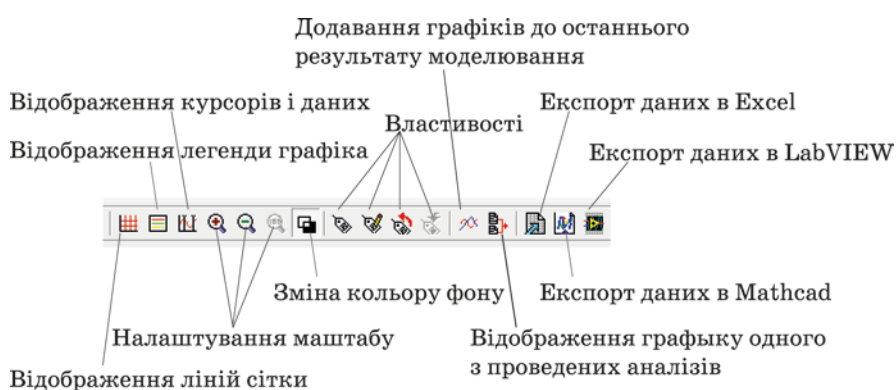


Рис. 2.9. Меню налаштування параметрів Grapher

Кнопками управління, піктограми яких відображаються у верхній частині вікна (рис. 2.9), можна:

1. Включити або виключити сітку.

2. Включити або виключити легенду (позначення кольором сигналу в обраному каналі вимірювання).

3. Включити або виключити курсори. При цьому користувачеві надається можливість переміщення курсорів по горизонтальній осі. У вікні, яке відкривається знизу під вікном графіків, відображаються:

- x_1 – відстань першого курсору (блакитного кольору) від початку координат в одиницях часу;

- y_1 – значення напруги в точці пересічення сигналу з курсором. Аналогічно для другого (жовтого) курсору. Крім того, вказуються мінімальні й максимальні значення сигналів і зсув по осях x і y .

4. Змінити колір фону (із чорного на білий і навпаки) кнопкою реверс (Reverse).

5. Змінити оформлення вікна перегляду. При натисканні кнопки Graph Properties відкривається вікно настроювання (рис. 2.10), у якому в кожній вкладці можна внести зміни в оформлення.

На вкладці General задається колір і товщина ліній сітки, число виведених кривих, на ній же можна включити й виключити курсори, сітку, легенду.

На вкладці Traces вибирається колір і товщина ліній виведених кривих, зсув графіка по осях (вручну або автоматично), на осі Left Axis – мінімальне й максимальне значення напруги (діапазон виміру напруги), напис на осі (Label), колір і товщина осі, число ділень, число знаків після коми в числах, нанесених на осі, і тип шрифту.

Кнопки масштабування, збереження й завантаження настроювань, додавання наступних результатів виміру в особливих поясненнях не мають потреби.

А натиснувши кнопку Overlay traces, можна додати вікно з результатами вимірювань з двох різних вікон на одному графіку. В таблицю, що відображає значення напруги у різних точках осцилограм та інші параметри (наприклад,

виміряні при інших параметрах і виведених в інше вікно), виводяться дані двох графіків. Біля назви додаткових стовпців виведеної таблиці (рис. 2.11) з'являється напис (merged). На рис. 2.11 до результатів вимірювання спектру у вузлі V(2) додано результати вимірювання у вузлі V(1).

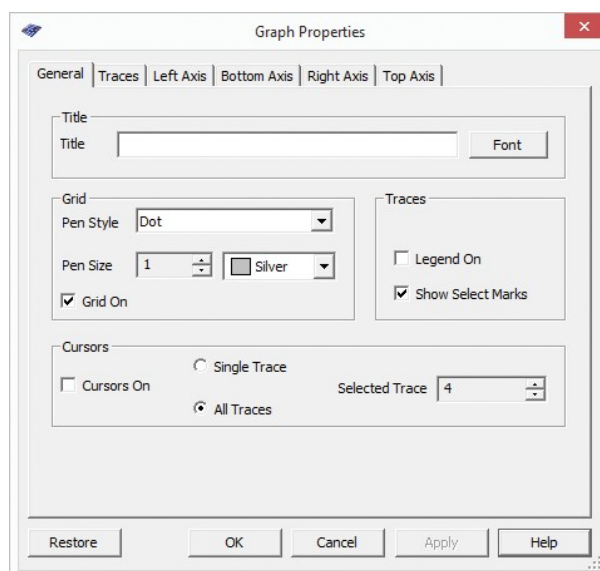


Рис. 2.10. Вікно налаштування інтерфейсу Graph Properties

	V (2)	V (1) [Merged]
x1	2.0000k	2.0000k
y1	1.1794e-016	636.6822m
x2	1000.0000	1000.0000
y2	1.2733	900.3369m
dx	-1000.0000	-1000.0000
dy	1.2733	263.6546m
1/dx	-1.0000m	-1.0000m
1/dy	785.3802m	3.7928
min x	0.0000	0.0000
max x	10.0000k	10.0000k
min y	0.0000	0.0000
max y	1.2733	900.3389m
offset x	0.0000	0.0000
offset y	0.0000	0.0000

Рис. 2.11. Вікно результатів виміру після натискання кнопки Overlay traces

Для трансформації часового масштабу відображуваної осцилограми або АЧХ необхідно, натиснувши ліву кнопку "миші", виділити ділянку сигналу (така операція можлива тільки у вікні, у якому відображаються сигнали, обмежені осями) і відпустити кнопку. У виділеній ділянці масштаб зображення по

вертикалі залишиться незмінним, а по горизонталі він розтягнеться на все вікно. Чим менше ширина захопленої ділянки, тим більше збільшення масштабу зображення по горизонталі.

Останні три кнопки призначені для експорту результатів виміру в Excel, MathCad і збереження файлу вимірів (Save to Measurement file) для системи Lab View.

Програма пакета Multisim Postprocessor за допомогою Grapher дозволяє відобразити результати моделювання в графічному вигляді.

Для роботи з функцією Postprocessor необхідно знати назви вузлів. Тільки ті параметри (вхідні й вихідні змінні), які вказуються при виконанні будь-якого виду аналізу (AC Sweep, DC Sweep, Transient Analysis та інші) відображаються на графіках Postprocessor і Grapher.

За допомогою даної функції можна створити декілька графіків, змінювати параметри графіка, видаляти об'єкти, робити логічні й алгебраїчні операції над графіками (додавання, множення, зведення у квадрат і т.д.).

2.4.3 Налаштування параметрів аналізу

Перш ніж проводити будь який аналіз, необхідно встановити його вихідні параметри, задавши їх у пунктах меню Interactive Simulation Settings і Digital Simulation Settings. Якщо ці установки не зробити, моделювання буде виконуватися з параметрами, заданими в програмі Multisim за замовчуванням.

При звертанні до пункту меню Interactive Simulation Settings відкриється вкладка Defaults for Transient Analysis Instruments, у якій задаються початковий і кінцевий час аналізу. За замовчуванням – від 0 до 1030 с. За замовчуванням часовий крок аналізу задається автоматично. Однак, досить поставити "пташку" біля пункту Set Initial Time Step, щоб встановлювати крок аналізу вручну.

а закладці **Analysis Options** встановлені за замовчуванням наступні параметри:

- Use Multisim Defaults (параметри по замовчуванню);

- Perform Consistency check before starting analysis (перевірка правильності зв'язків до початку аналізу);
- Discard plots to save memory (не проводити запис графіків).

Для того щоб змінити параметри, задані за замовчуванням, необхідно вибрати режим Use Custom Settings і натиснути кнопку Customize, при цьому відкриється вікно Custom Analysis Options (рис. 2.12) – набір команд для встановлення параметрів моделювання.

Настроювання загального характеру (**Global**) – задаються в діалоговому вікні (рис. 2.12), у якому можна змінити параметри аналізу, якщо поставити "пташку" біля відповідного пункту. Параметри мають наступні значення:

- ABSTOL – абсолютна похибка розрахунку струмів; якщо струми в схемі моделі значно більші зазначеного на рис. 12 значення, то для прискорення процесу аналізу значення ABSTOL доцільно збільшити, виходячи із припустимої похибки розрахунків (наприклад, з урахуванням розрядності мультиметра);

- VNTOL – абсолютна похибка розрахунків напруги;

- CHGTOL – абсолютна похибка розрахунку зарядів; встановлені за замовчуванням значення (рис. 2.12) змінювати не рекомендується;

- GMIN – мінімальна провідність частки кола (зазначене на рис. 2.12 значення змінювати не рекомендується); збільшення GMIN позитивно позначається на сходженні розв'язку при одночасному зниженні точності моделювання; використовується при підключенні додаткового алгоритму Gmin stepping;

- PIVREL, PIVTOL – відносна й абсолютна величини елемента рядка матриці вузлових провідностей, прийнятого в якості ведучого; введення такого елемента у випадку застосування методу Гаусса дозволяє підвищити точність проміжних обчислень і, отже, зменшити загальну кількість ітерацій; встановлені за замовчуванням значення параметрів (рис. 2.12) змінювати не рекомендується;

- RELTOL – відносна помилка моделювання; впливає на збіжність розв'язку й швидкість моделювання; рекомендовані значення – $10^{-2} \dots 10^{-6}$;

- TEMP – температура, для якої проводиться моделювання;
- RSHUNT – опір витоку для всіх нод схеми щодо загального проводу (шини заземлення); при повідомленнях про помилки "No DC path to ground" (погане заземлення кола) і "Matrix is nearly singular" (матриці дуже близькі
 - мова йде про матриці Li U-рівнів) значення параметра варіюється в межах 106...109 Ом;
- RAMPTIME – початкова точка відліку часу при аналізі перехідних процесів;
- CONVSTEP, CONVABSSTEP відносний і абсолютний розміри автоматично контрольованого кроку ітерації при розрахунку режиму по постійному струму;
- CONVLIMIT – включення або вимикання додаткових засобів, вбудованих у моделі деяких компонентів, для забезпечення збіжності ітераційного процесу;
- ACST – вкл./викл. виводу отриманих в результаті моделювання статистичних даних, які можуть бути корисними для налагодження процесу моделювання при виникненні проблем. Дані виводяться в діалоговому вікні Grapher.

Усі рекомендовані за замовчуванням параметри наведені в підказці до таблиці Global tab програми. Кнопка Restore to Recommended Settings у всіх діалогових вікнах призначена для відновлення становлення значень параметрів аналізу, встановлених за замовчуванням. Використовується в тому випадку, якщо після редагування необхідно повернутися до даних за замовчуванням.

Слід урахувати, що результатом зміни параметрів ABSTOL, RELTOL, VNTOL, CHGTOL, наприклад, з метою зменшення часу моделювання, може стати незадовільною збіжність ітераційного процесу при наявності в схемі вузлів і кіл, що мають близькі значення шуканих напруг, струмів або зарядів.

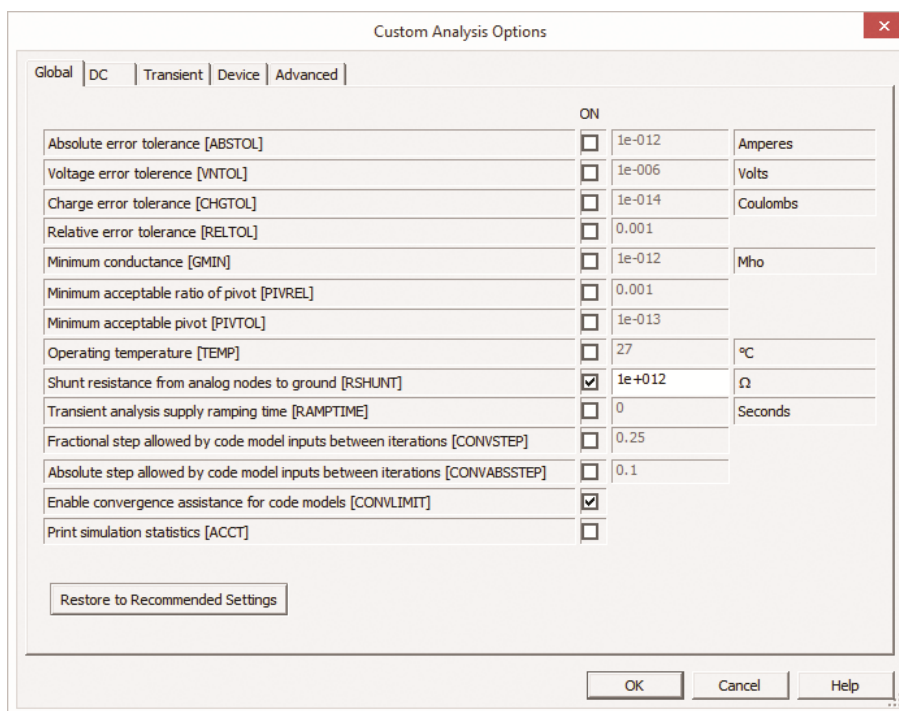


Рис. 2.12. Вікно установки глобальних параметрів аналізу

На вкладці вікна установки параметрів **DC-аналізу** проводяться налаштування для розрахунку режиму по постійному струму (статичний режим) за допомогою діалогового вікна (рис. 2.13), у якому задаються наступні параметри:

- ITL1 – максимальне число ітерацій; при повідомленні "No convergence in DC analysis" (незадовільна збіжність при DC-аналізі) значення параметра необхідно збільшити до 500...1000;
- ITL2 – максимальне число кроків додаткового алгоритму Source stepping, що використовується при незадовільній збіжності розв'язку для нелінійних кіл. При виконанні цього алгоритму здійснюється "розподіл" ділянки характеристики нелінійного компонента на задане параметром SRCSTEPS ("Steps in source stepping algorithm") число кроків;
- ITL6 – число кроків додаткового Gmin stepping алгоритму, використовуваного при незадовільній збіжності;
- GMINSTEPS – число ітерацій із кроком Gmin (мінімальна провідність ланцюга) додаткового Gmin stepping алгоритму

- NOOPITER – перехід безпосередньо до покрокового виконання алгоритму Gmin.

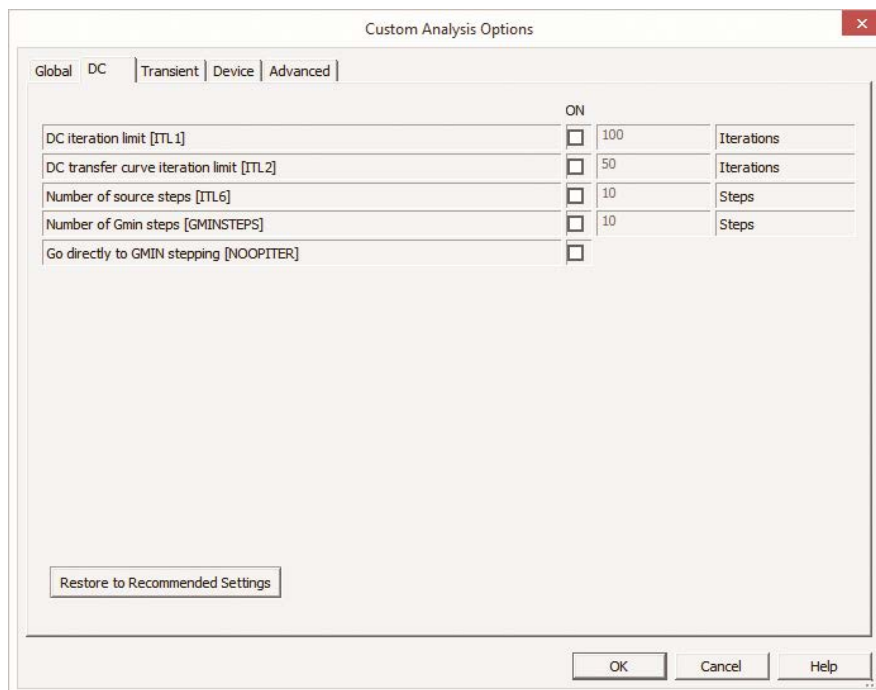


Рис. 2.3. Вікно установки параметрів аналізу на постійному струмі

На вкладці вікна (рис. 2.14) встановлення параметрів режиму аналізу перехідних процесів (**Transient**) задаються наступні параметри:

- ITL4 – максимальне число ітерацій для розрахунків однієї точки перехідних процесів; при повідомленні "Time step too small" (крок часу дуже малий) або "No convergence in the transient analysis" (немає сходження) значення параметра доцільно збільшити до 15 і повторити аналіз;
- Maxcord – максимальний порядок інтегрування – параметр, який необхідно задати для наближеного інтегрування системи диференціальних рівнянь методом Гіра (GEAR), що передбачають можливість роботи зі змінним кроком, який, залежно від швидкості зміни змінної (потенціалу V_i), може автоматично змінюватися; зі збільшенням порядку точність розрахунків збільшується з одночасним зниженням швидкості процесу моделювання; по замовчуванню рівний 2, діапазон зміни від 2 до 6;

- **TRTOL** – константа, що визначає точність розрахунків; наприклад, у найбільш простих випадках така константа, що називається характеристикою кроку, визначається співвідношенням $|dV/dt| h = \text{const}$, де h – крок ітерації, тобто при зміні $|dV/dt|$ повинен відповідно мінятися й крок ітерації; встановлене за замовчуванням значення **TRTOL**, дорівнює 7 і змінювати його не рекомендується;
- **METHOD** – метод наближеного інтегрування системи диференціальних рівнянь **TRAPEZOIDAL** (метод Ейлера з вирівнюванням), що реалізує формулу: $V_{n+1} = V_n + (h/2)(dV_n/dt + dV_{n+1}/dt)$, де h – крок ітерації, V_{n+1} , V_n – значення потенціалу в i -й точці схеми на поточному й попередньому кроках ітерації. Цей метод використовується, якщо в процесі моделювання виникають небажані коливання числових значень розрахованих параметрів або у випадку використання в схемі ідеальних перемикачів. За замовчуванням цей метод призначений для аналізу схем генераторів.

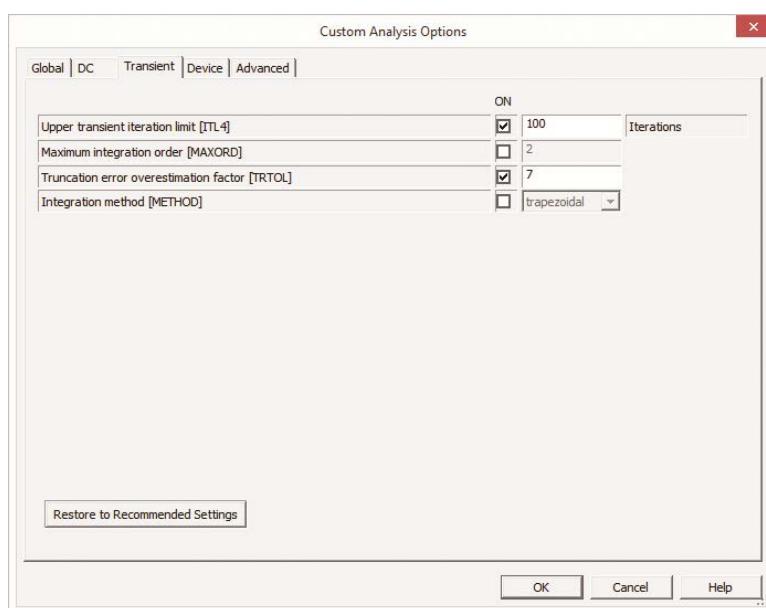


Рис. 2.14. Вікно установки параметрів аналізу перехідних процесів (Transient)

На вкладці вікна (рис. 2.15) установки параметрів **Device** (МОП-транзисторів) задаються наступні параметри:

- **TNOM** – номінальна температура компонента;
- **BYPASS** – вмикання або вимикання нелінійної частини моделі компо-

нента;

- DEFAD – площа дифузійної області стоку, m^2 ;
- DEFAS – площа дифузійної області джерела, m^2 ;
- DEFL – довжина каналу польового транзистора, м;
- DEFW – ширина каналу, м;
- TRYTOCOMPACT – вмикання або вимикання лінійної частини моделі

компонента;

- OLDLIMIT – вмикання або вимикання обмежень SPICE2-моделі для МОП-транзисторів (MOSFET), за замовчуванням виключене.

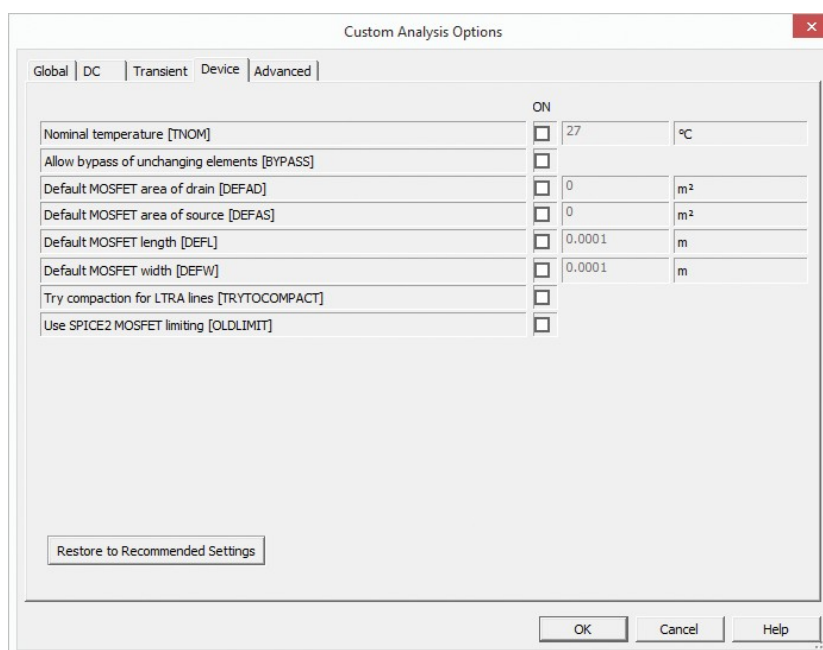


Рис. 2.15. Вікно установки параметрів аналізу Device (МОП-транзисторів)

Остання вкладка в цьому пункті меню – **Advanced** (рис. 2.16), на якій можна встановити наступні параметри:

- AUTOPARTIAL – використання розрахунку auto-partial для всіх моделей;
- BADMOS3 – використання старої моделі mos3;
- KEEPOPINFO – запис кожної точки при обчисленні параметрів малого

сигналу;

- MAXEVTITER – максимальне число ітерацій у точці аналізу;
- MAXOPALTER – максимальне число ітерацій у точці аналізу (альтернативний метод) для аналізу кіл по постійному струму (DCOP);
- MINBREAK – мінімальний часовий інтервал між точками переривання;
- NOOPALTER – не використовувати альтернативний метод для аналізу кіл по постійному струму (DCOP).

Більш докладну інформацію про налаштування пунктів меню "Custom Analyzes Option" можна отримати в [4], що входить до складу документації до програми, що й перебуває за замовчуванням у папці C:\Program Files\National Instruments\Circuit Design Suite 10.0\documentation\Multisim 10 User Guide.pdf.

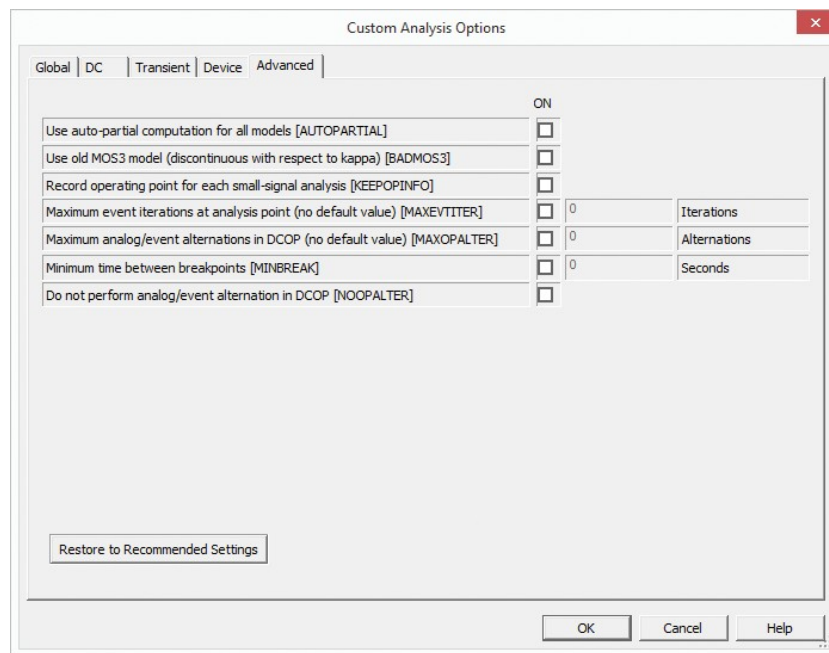


Рис. 2.16. Вікно установки параметрів аналізу Advanced

2.4.4 Приклад дослідження спектру сигналів

Для прикладу розглянемо аналіз спектру сигналу, наведеного на рис. 2.6,в. Модель для такого дослідження складається всього з двох елементів і на-

ведена на рис. 2.17. Елемент V2 – генератор прямокутних однополярних імпульсів (CLOCK VOLTAGE), елемент XSC3 – двоканальний осцилограф.

Вибираємо у меню Simulate/Analyses пункт Fourier Analysis після чого відкривається вікно налаштування параметрів аналізу (рис. 2.18).

У вікні треба задати роздільну здатність аналізу (Frequency Resolution), кількість гармонік (Number of harmonics), час аналізу (Stop time for sampling) та частоту дискретизації (Sampling frequency).

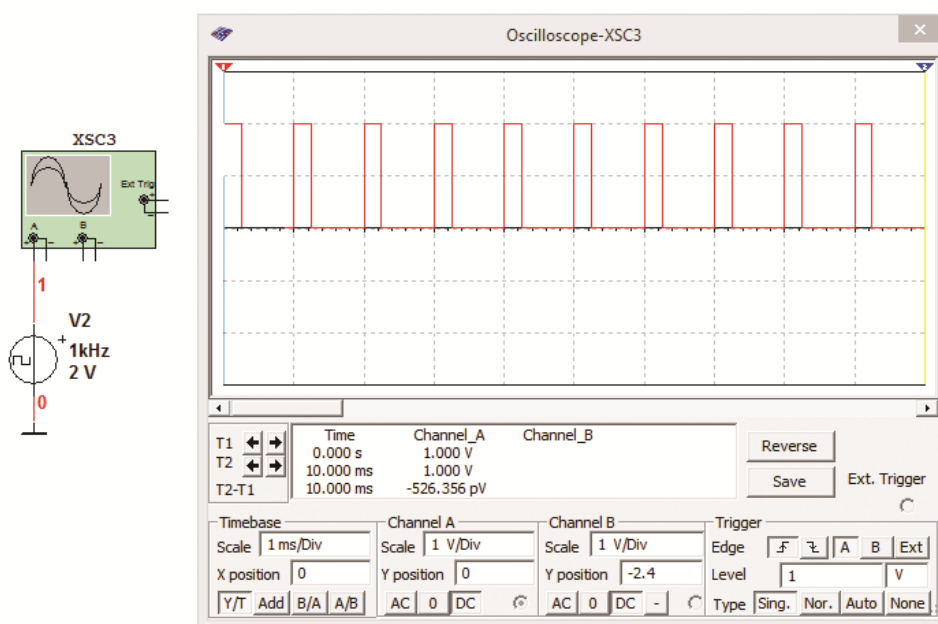


Рис. 2.17. Модель для дослідження спектру послідовності прямокутних імпульсів

Оскільки сигнал, що обрано для аналізу, це послідовність прямокутних імпульсів з частотою слідування 1 кГц, оберемо роздільну здатність рівною 1 кГц і дев'ять гармонік для аналізу. Час аналізу залишимо таким, як встановлено за замовчуванням (0.001 с). Частота дискретизації встановлюється автоматично і у 100 разів вища від основної гармоніки сигналу. При необхідності її можна збільшити.

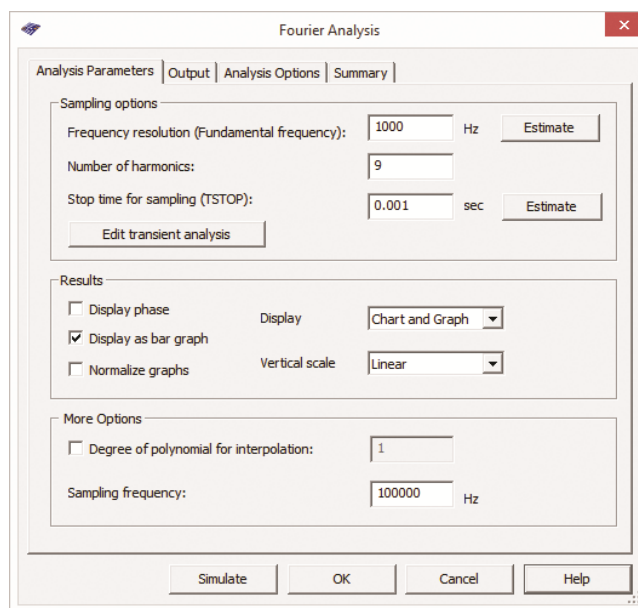


Рис. 2.18. Вікно налаштування параметрів аналізу

Після налаштування параметрів аналізу треба обрати вузол схеми у якому потрібно зробити дослідження. На схемі ці вузли (ноди) позначаються цифрами. Цифрою 0 завжди позначається загальний провід. Вузол де з'єднується вихід генератора та вхід осцилографа позначений цифрою 1. Для вибору потрібного вузла треба натиснути на вкладку Output, після чого відкриється вікно вибору (рис. 2.19). Треба вибрати один з параметрів – струм на виході генератора $I(v2)$ чи напруга у точці $V(1)$ і натиснути кнопку Add. Обраний параметр буде переміщений у праве вікно (рис. 2.19).

Для завершення налаштування треба перейти на вкладку Analysis Options (рис. 2.20), де можна задати параметри SPICE Options і кількість точок аналізу. До SPICE Options відносяться декілька десятків параметрів – похибки відхилення заданих напруги та струму, робоча температура і багато інших. Для недосвідчених користувачів краще залишити ці параметри незмінними.

Після завершення налаштування треба натиснути кнопку Simulate, що знаходиться у лівому нижньому куту (рис. 2.18...2.20).

Результати аналізу виводяться у автоматично відкритому вікні Grapher (рис. 2.21). Окрім спектру у нижній частині вікна виводиться таблиця в якій на-

ведено: значення постійної складової напруги у Вольтах, кількість гармонік аналізу, загальний коефіцієнт гармонік (THD) та значення амплітуди кожної з гармонік.

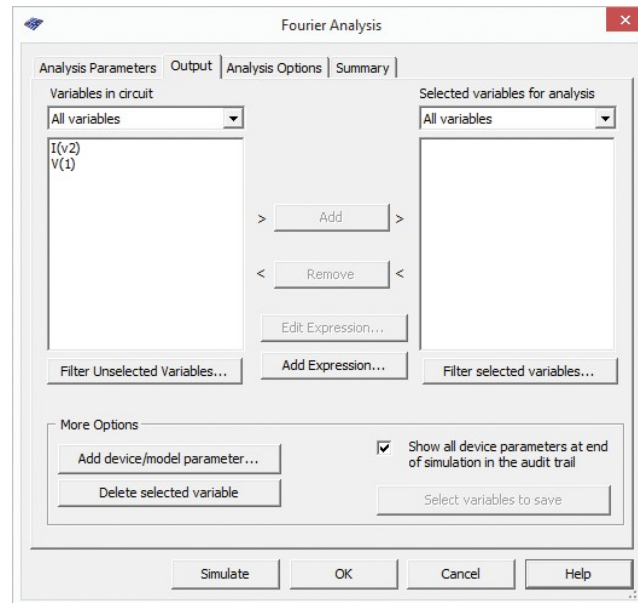


Рис. 2.19. Вікно вибору вузла схеми для аналізу

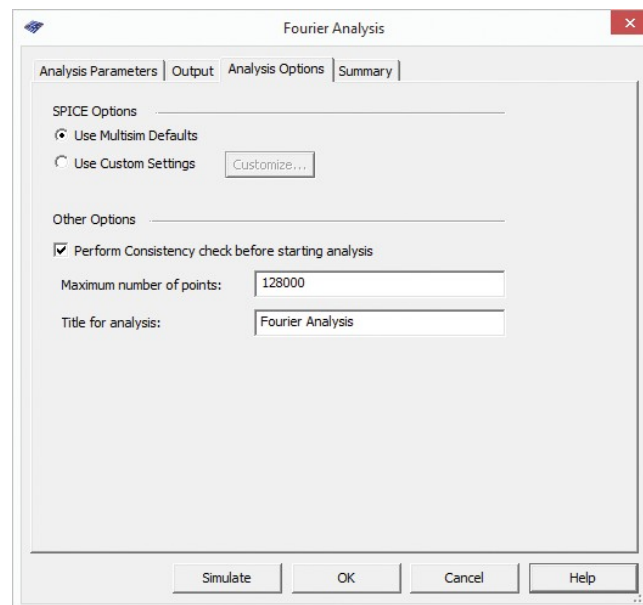


Рис. 2.20. Вікно налаштування SPICE Options

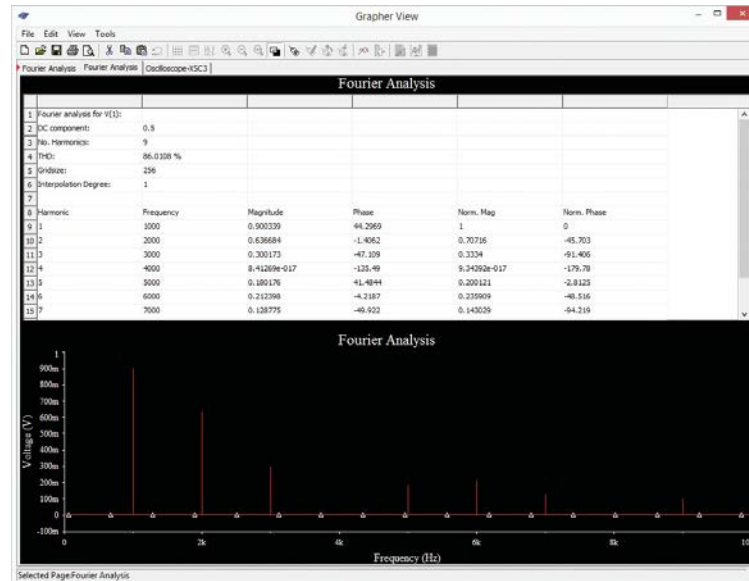


Рис. 2.21. Вікно Grapher з результатами Фур'є-аналізу

Результати аналізу можна зберегти у файлі Excel, передати для аналізу у Mathcad або у LabVIEW, змінити чорний фон вікна на білий, вивести сітку на екран, вивести курсори для детального дослідження отриманих графіків.

2.5 Основні правила роботи з вимірювальними пристроями

2.5.1 Осцилограф

У програмі Multisim доступно 4 типи осцилографів. Розглянемо особливості роботи з дво- і чотирьохканальним осцилографами. Органи управління двоканальним осцилографом показані на рис. 2.22.

Масштаб зображення по вертикалі регулюється дискретно в кожному каналі незалежно органами регулювання чутливості входу. Масштаб зображення по горизонталі – тривалістю розгортки. У кожному каналі передбачена можливість зсуву зображення по вертикалі як вгору, так і вниз. Зсув по горизонталі здійснюється за допомогою зміни значення " X position".

Щоб зображення не зміщувалося по горизонталі необхідно синхронізувати розгортку осцилографа з початком чергового періоду сигналу. Для син-

хронізації переважно вибрати режим "Nor" і задавати рівень синхронізації в рядку "Level" рівний від 10 до 50% амплітуди сигналу, яким здійснюється синхронізація. Це може бути сигнал каналу А або В (по фронту або спаду), а також сигнал зовнішнього джерела сигналу, що підключається до входу "Ext Trg".

При дослідженні сигналів різної частоти слід вибрати для синхронізації найбільш низькочастотний сигнал.

У чотириканальними осцилографі замість роздільних вікон регулювання чутливості і зміщення по вертикалі використовується одне вікно і перемикач каналів (рис. 2.23). Для регулювання у потрібному каналі необхідно встановити покажчик (біла рисочка) на необхідну букву і задати параметри в обраному каналі. Аналогічно здійснюється регулювання і в інших каналах.

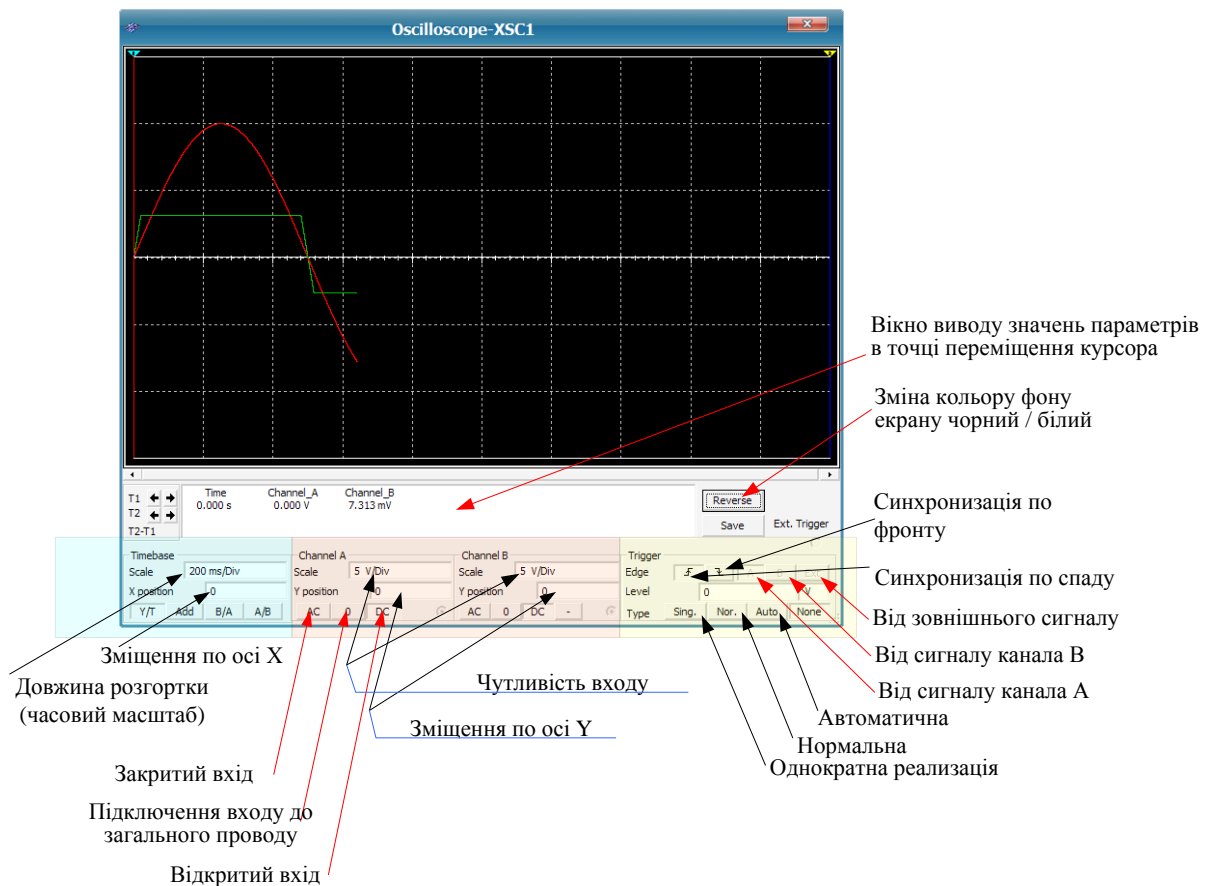


Рис. 2.22. Органи управління осцилографом

Вимірювання параметрів сигналу в будь якій точці (наприклад, амплітуда і часовий інтервал від початку розгортки) можна здійснювати як за поділами, , нанесеним на екрані, так і за допомогою курсорів (зелений і жовтий

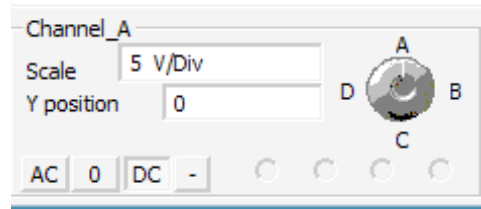


Рис. 2.23. Органи управління чутливістю чотирьохканального осцилографа

трикутники у верхній частині екрана осцилографа). Досить перемістити курсор в потрібну точку екрану і в вікні виводу значень параметрів в точці розміщення курсора прочитати покази (рис. 2.24).

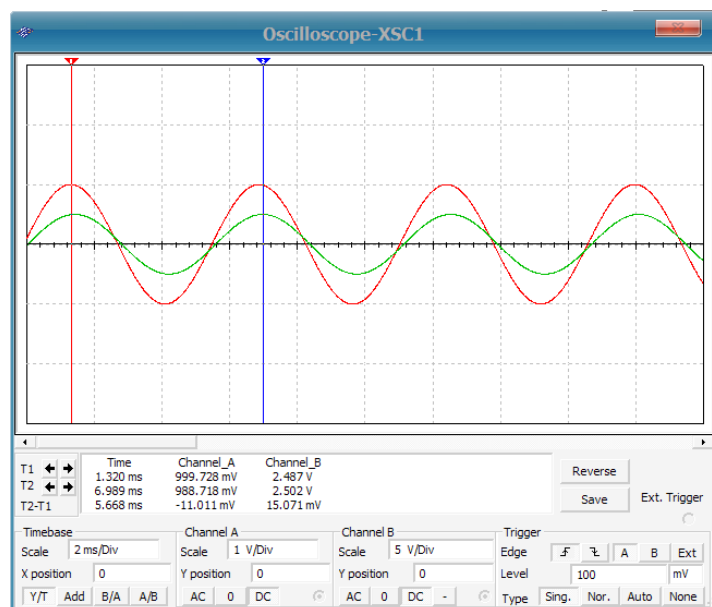


Рис. 2.24. Вимірювання параметрів сигналу в точці з позначкою курсором

Як впливає з рисунка напруга в точці поміченої червоним курсором 999,728 мВ для каналу А і 2,487 В для каналу В, а в точці поміченої синім курсором – 988,718 мВ і 2,502 В, відповідно. У нижньому рядку вказується часовий інтервал між курсорами і різниця напруг, виміряних в цих точках.

2.5.2 Плоттер Боде

Щоб використати інструмент натисніть на кнопку Bode Plotter на панелі інструментів і натисніть на місце, де потрібно розмістити іконку на робочій області. Іконка використовується для підключення плоттера до схеми. Подвійне клацання по іконці відкриває панель інструмента, яка використовується для вводу установок і перегляду результатів вимірювання.

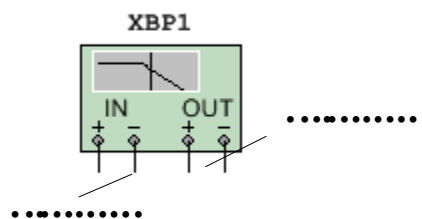


Рис. 2.25. Плоттер Боде

Плоттер Боде будує графік частотної характеристики схеми і більш всього корисний для аналізу схем фільтрів. Плоттер використовується для побудови амплітудно- і фазочастотних характеристик. Коли плоттер підключається до схеми, виконується спектральний аналіз.

Плоттер Боде генерує ряд частот у заданому спектрі. Частота будь-якого джерела АС у схемі не впливає на роботу плоттера. Однак джерело АС повинне бути включене в схему.

Початкове і кінцеве значення масштабу по вертикалі і горизонталі встановлені за замовченням на максимум. Ці значення можуть змінюватися для перегляду графіка в різних масштабах. Якщо масштаб збільшувався або змінювалась база після закінчення симуляції, вам може знадобитись повторна активація схеми, щоб отримати більш детальне зображення. Порівняно з іншими приладами, якщо виводи плоттера Боде переносяться до інших вузлів, необхідно повторно активувати схему, щоб отримати правильні результати.

Діалогове вікно Resolution Points - Settings

Для налаштування параметрів плоттера Боде:

1. Натисніть на Set, щоб відобразити діалог Settings.
2. Введіть потрібну кількість Resolution Points (точок вимірювання) і натисніть Ассерт.

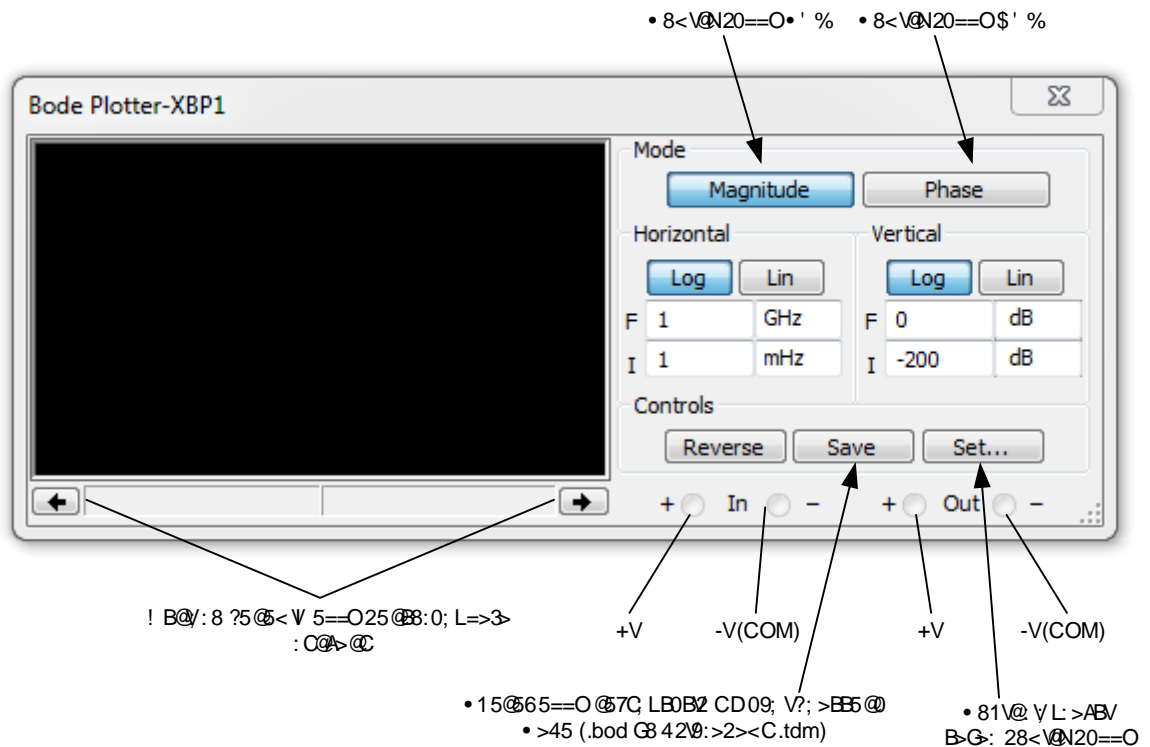


Рис. 2.26. Органи управління плоттером Боде

Вимірювання АЧХ та ФЧХ (Magnitude или Phase)

В режимі вимірювання АЧХ (Magnitude) вимірюється відношення величини напруг (підсилення напруги в децибелах) між двома вузлами в схемі, які під'єднуються до входів In і Out. У режимі вимірювання ФЧХ між цими вузлами вимірюється зсув фаз.

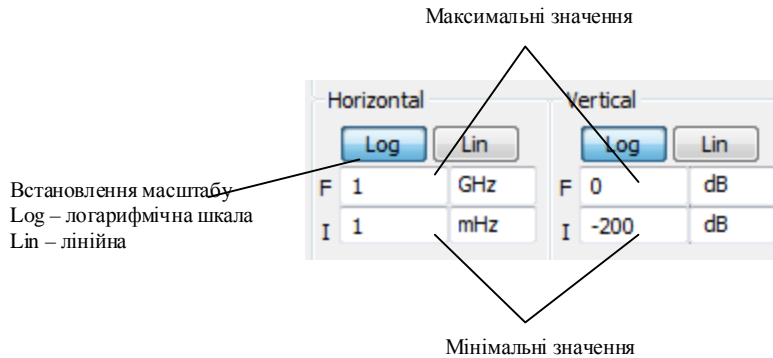
Установки масштабу вертикальної та горизонтальної осей

Логарифмічна шкала використовується, коли значення, які порівнюються, значно відрізняються.

Налаштування частотного діапазону аналізу здійснюється у вікні Horizontal шляхом установки верхнього значення частоти (вікно F на рис.

2.27) і нижнього значення частоти (вікно I на рис. 2.27).

Налаштування максимального і мінімального рівня вхідного сигналу



здійснюється у вікні Vertical (вікно F і I на рис. 2.27, відповідно).

Рис. 2.27. Установки масштабу вертикальної та горизонтальної осей

В табл. 2.1 наведені діапазони вимірювань в лінійному та логарифмічному масштабах.

Табл. 2.1. Залежність одиниць і масштабу по вертикальній осі

Коли вимірюється	Використаний масштаб	Значення по замовчуванню	Максимальне кінцеве значення
Magnitude (gain)	Logarithmic	-200 дБ	200 дБ
Magnitude (gain)	Linear	0	10^9
Phase	Linear	-720°	720°

Перегляд результатів вимірювання плоттером Боде

Змістіть вертикальний курсор плоттера, щоб прочитати частоту і величину чи фазу будь-якої точки на графіку. Вертикальний курсор знаходиться з лівого краю дисплея плоттера Боде.

Щоб перемістити вертикальний курсор натисніть по стрілці в нижній частині плоттера або перетягніть вертикальний курсор від лівого краю дисплея плоттера в точку на графіку, яку хочете виміряти.



Рис. 2.28. Значення частоти і фази на перетині вертикального курсора і графіка

Приклад використання плоттера Боде

На рис.2.29. наведено приклад використання плоттера Боде для вимірювання АЧХ. Зверху зображена схема, що складається із резистора, конденсатора та котушки індуктивності. Знизу зображено екран плоттера Боде і частотну характеристику схеми.

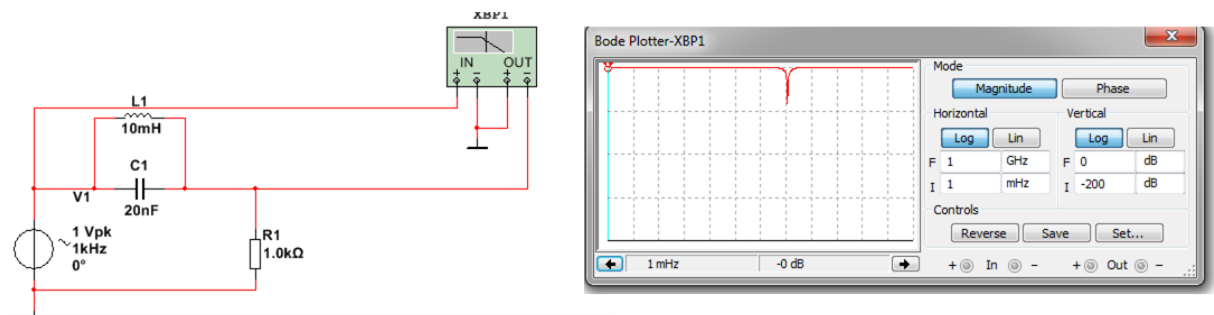


Рис. 2.29. Приклад використання плоттера Боде для вимірювання АЧХ

2.5.3 Генератор слів

Для формування тестових багаторозрядних цифрових сигналів використовується Word Generator (генератор слова), умовне позначення і вікно налаштувань параметрів якого показані на рис. 2.30.

Генератор дозволяє формувати 32-розрядні кодові слова, які можна ввести з клавіатури безпосередньо у вікні введення коду (рис. 2.30).

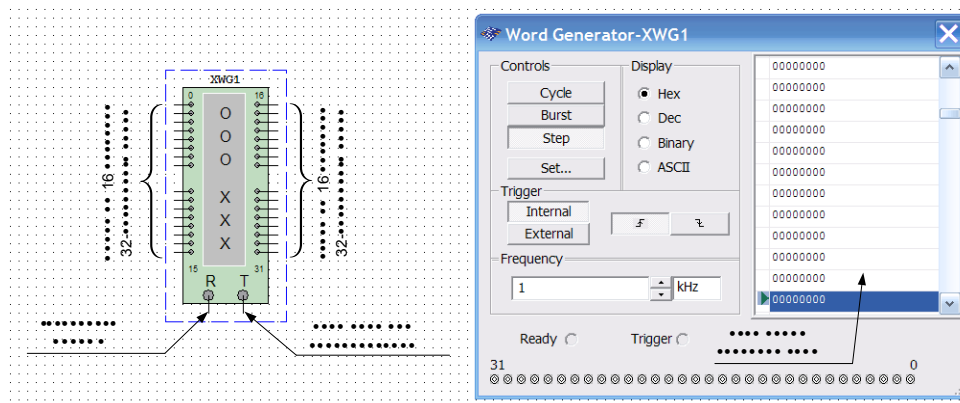


Рис. 2.30. Умовне позначення і вікно налаштувань параметрів генератора слова

Для вводу і збереження введених слів іншими способами необхідно натиснути кнопку Set у вікні налаштування параметрів генератора слова (рис. 2.31). У вікні передналаштувань у стовпці Preset Patterns можна вибрати один з восьми варіантів формування та збереження слова:

- No Change – не змінюється автоматично (ручне введення значень);
- Load – завантажити з файлу;
- Save – зберегти файл;
- Clear buffer – очистити буфер;
- Up Counter – автоматично збільшувати кожне наступне значення на 1;
- Down Counter – автоматично зменшувати кожне наступне значення на 1;

- Shift Right – зміщувати праворуч на одну позицію кожне наступне значення;
- Shift Left – зміщувати ліворуч на одну позицію кожне наступне значення.

Перед початком введення кодових слів необхідно у вікно Buffer Size (рис. 2.31) ввести необхідну кількість кодових слів, яка задається в шістнадцятковому або десятковому коді в залежності від типу виводу на дисплей – в шістнадцятковому (Hex) або десятковому (Dec), який задається в вікні Display Type. Граничний розмір буфера 8 192 кодових слова (2000 в шістнадцятковому коді).

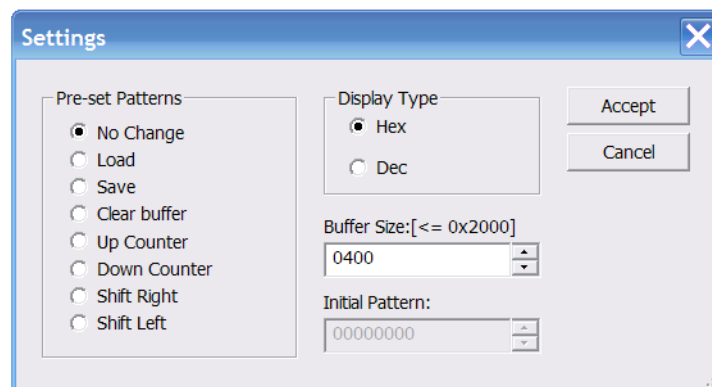


Рис. 2.31. Вікно налаштувань генератора слова

При використанні Up Counter, Down Counter, Shift Right і Shift Left у вікно Initial Pattern необхідно ввести початкове значення коду.

Розглянемо на прикладі, як буде виглядати набір кодових слів при наступних налаштуваннях:

- Display Type – Dec;
- Buffer Size – 10;
- Shift Right;
- Initial Pattern – 2147483648 (відповідає шістнадцятковому кодом 80000000).

Сформовані кодові слова показані на рис. 2.32. Для наочного уявлення цифрового сигналу, що формується, результат у вікні Word Generator представлений в двійковому коді.

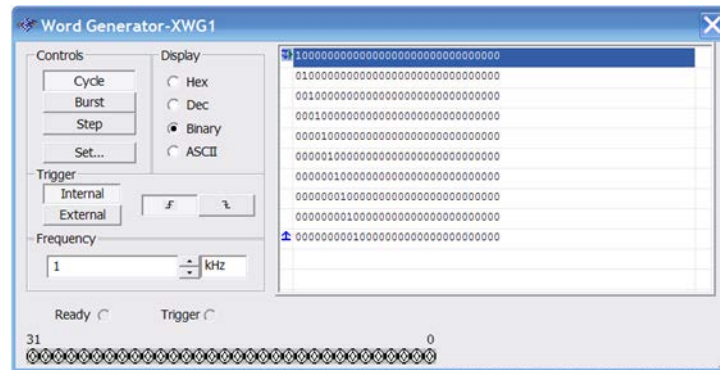


Рис. 2.32 – Основне вікно генератора слова

Для введення значень коду в режимі No Change необхідно курсором "миші" клацнути на відповідному слові і потім ввести з клавіатури потрібні значення коду. Подальші переміщення по полю екрану зручніше проводити не за допомогою "миші", а клавішами управління курсором. Вміст екрану можна стерти, завантажити нове значення або записати у файл. Для запису необхідно натиснути кнопку SAVE і Асерт попередньо натиснувши кнопку Set (рис. 2.32). В діалоговому вікні необхідно вказати ім'я файлу (за замовчуванням пропонується ім'я схемного файлу). В отриманому таким чином текстовому файлі з розширенням .dp будуть записані у вигляді таблиці всі набрані на екрані комбінації. При необхідності файл можна відредагувати в будь-якому текстовому редакторі і завантажити знову натисненням кнопки LOAD.

На рис. 2.33 наведено приклад формування 8-розрядного цифрового сигналу з періодом повторення 16 тактів (режим виводу Cycle) і часові діаграми цього сигналу, отримані за допомогою логічного аналізатора.

Текст файлу, що містить інформацію про сформовані сигнали, наведено на рис. 2.34. Частота виводу сигналів задається в рядку Frequency (рис. 2.33). За замовчуванням задається частота виведення сигналу 1 кГц.

Сформовані слова знімаються з восьми виходів (від 0 до 7) молодших розрядів XWG1 (рис. 2.33). На інших виходах формуються нулі у відповідності з таблицею програмування генератора. Передбачена можливість підключення зовнішнього синхронізуючого сигналу по входу T. За замовчуванням включена синхронізація від внутрішнього тактового генератора.

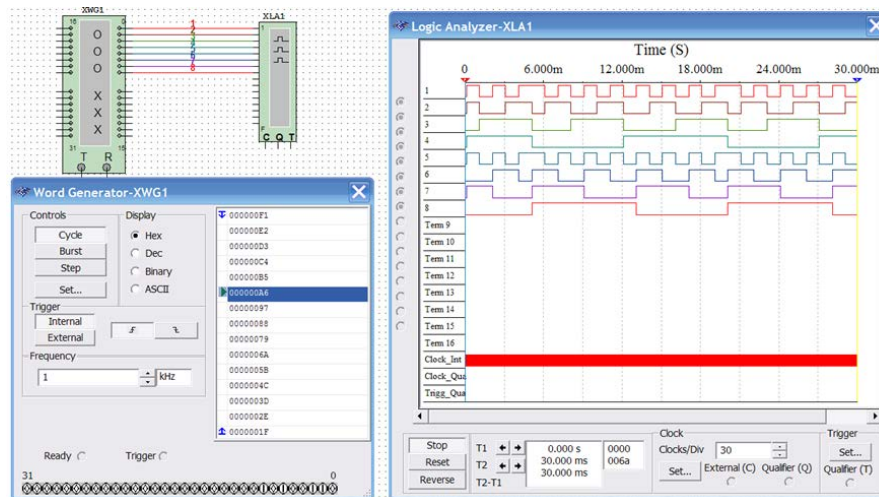


Рис. 2.33. Формування 8-розрядного двійкового коду генератором слова в циклічному

Крім циклічного режиму висновку можна використовувати режими одноразового виведення всієї послідовності кодових слів (Burst) і покроковий (STEP). У покроковому режимі після кожного натискання кнопки Run (на панелі інструментів кнопка позначена зеленим трикутником) виводиться чергове кодове слово. Після перебору всіх введених значень коду буде знову виводитися перше слово, потім друге і т.д.

Data:
000000F1
000000E2
000000D3
000000C4
000000B5
000000A6
00000097
00000088
00000079
0000006A
0000005B
0000004C
0000003D
0000002E
0000001F
Initial:
0000
Final:
000E

Рис. 2.33. Таблиця, що зберігається в файлі *.dp

На вивід R (Ready) генератора слова виводиться сигнал тактової частоти, який може бути використаний для синхронізації інших пристроїв. Сигнал з цього виходу супроводжує кожен кодову комбінацію, що подається на вихід і може бути використаний в тому випадку, коли досліджуваний пристрій має властивість квітування (підтвердження). У цьому випадку після отримання чергової кодової комбінації і супроводжувачого його сигналу READY досліджуваний пристрій формує сигнал підтвердження отримання даних, який подається на вхід зовнішньої синхронізації генератора T і виробляє черговий запуск генератора, якщо він працює в режимі зовнішньої синхронізації.

Для очищення буфера від введених кодових слів необхідно натиснути кнопку Clear buffer.

Генератор кодових слів зручно використовувати для тестування різних цифрових пристроїв, так як він дозволяє формувати довільні послідовності нулів та одиниць.

Розглянемо приклад використання генератора кодових слів для тестування дешифратора типу 74LS138N, що має три входи даних і вісім інверсних виходів. Схема моделі показана на рис. 2.35. Для синхронізації логічного аналізатора використовується сигнал Ready, сформований генератором кодових слів.

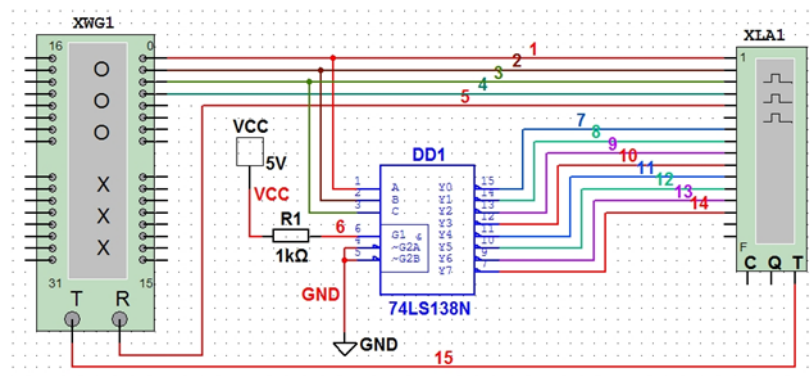


Рис. 2.35. Схема тестування дешифратора трьохрозрядного двійкового коду

У чотири молодших розряди генератора кодових слів занесений код, який збільшується з кожним тактом на одиницю. Результати тестування представлені на рис. 2.36.

Верхні чотири діаграми відповідають сигналам на виходах чотирьох молодших розрядів XWG1, п'ята діаграма відповідає сигналу Ready, а діаграми з сьомої по одинадцяту відповідають сигналам на виходах дешифратора. Коду 000 на входах дешифратора відповідає "0" на першому виході дешифратора, а кодом 111 – на восьмому виході.

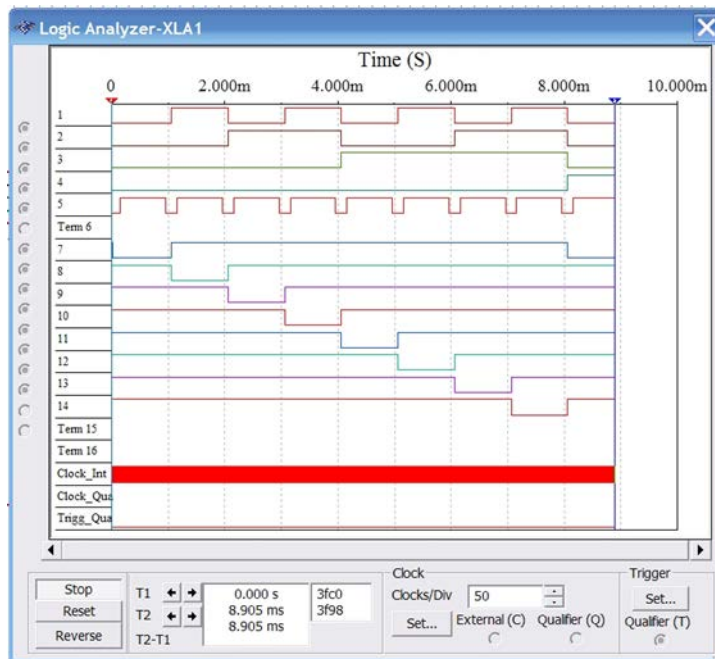


Рис. 2.36. Результати тестування дешифратора трьохрозрядного двійкового коду

2.5.4 Аналізатор спектру

Аналізатор спектру призначений для вимірювання спектрів сигналів. Аналіз спектру відбувається з використання швидкого перетворення Фур'є (ШПФ). На рис. 2.37 наведений зовнішній вигляд та органи управління аналізатором спектру.

Перед проведенням аналізу необхідно задати параметри спектрального аналізу:

1. Діапазон частот аналізу (Span).
2. Початкове і кінцеве значення частоти (Start і End).
3. Центральну частоту (Center).
4. Динамічний діапазон аналізу (Range), який задається як ціна поділки по вертикалі в В/діл або дБ/діл.

5. Опорний рівень в дБ, що відображається на екрані зеленою лінією, і роздільну здатність аналізу (Resolution Freq.).

6. Кількість точок спектрального аналізу, максимальний рівень вхідного сигналу і джерело синхросигналу (внутрішній або зовнішній) задають натиснувши кнопку Set.

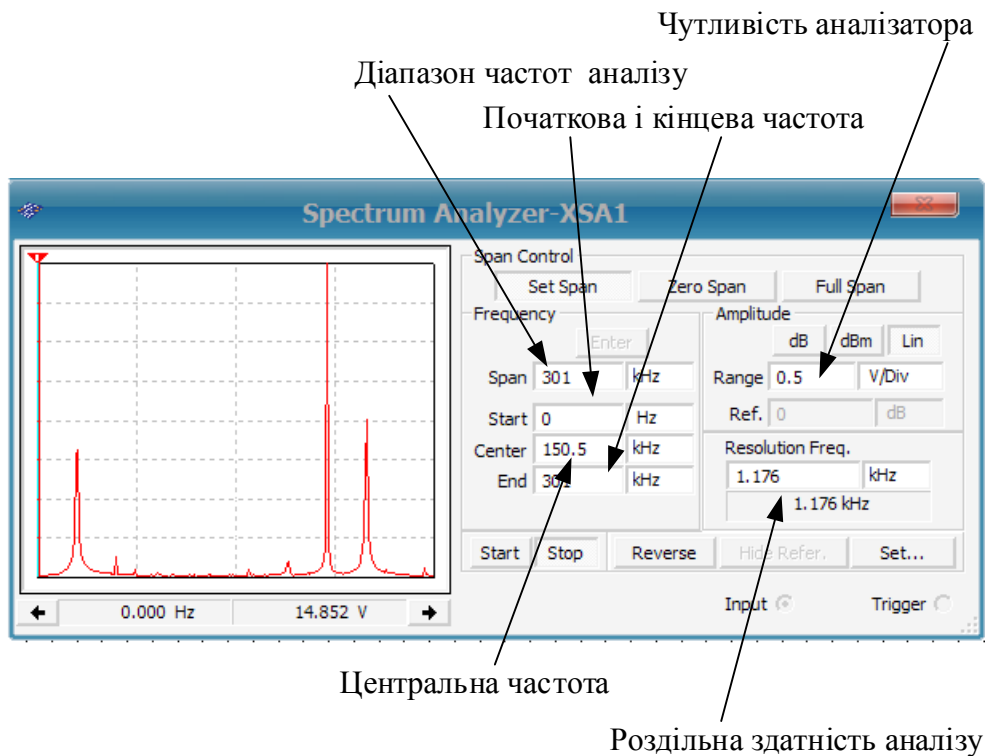


Рис. 2.37. Органи управління аналізатором спектру

Приклад використання

Для ілюстрації роботи аналізатора спектру скористуємось моделлю, що наведена на рис. 2.17. Для аналізу подаємо на вхід аналізатора спектру послідовність прямокутних імпульсів з частотою 1 кГц, тривалість яких складає 20% від тривалості періоду, а амплітуда дорівнює 2 В.

Аналіз отриманої спектрограми (рис. 2.38) показує, що в спектрі в заданому діапазоні аналізу від 1 Гц до 10 кГц присутній цілий ряд гармонік. Значення амплітуд спектру збігається зі значеннями отриманими шляхом ШПФ (рис. 2.21).

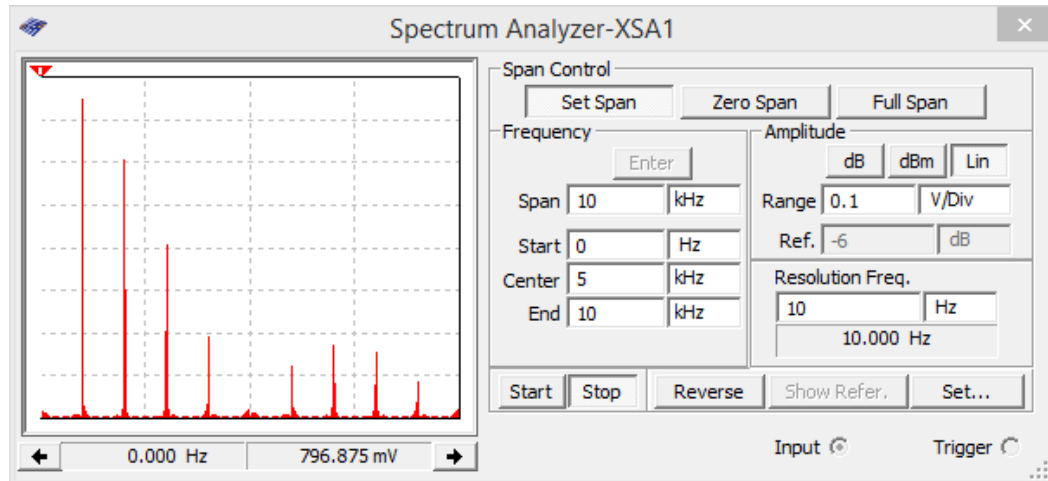


Рис. 2.38. Спектр сигналу прямокутних імпульсів, отриманий за допомогою аналізатора спектру

2.5.5 Логічний аналізатор

Логічний аналізатор призначений для одночасного відображення на одному екрані до 16 процесів, що протікають у цифрових схемах.

Щоб використати інструмент треба натиснути на кнопку Logic Analyzer на панелі інструментів і перемістити іконку на робочій аркуш. Іконка використовується для підключення логічного аналізатора до схеми. Подвійне клацання по іконці відкриває панель інструмента, яка використовується для вводу установок і перегляду результатів вимірювання.

Логічний аналізатор та призначення його входів наведені на рис. 2.39, а вікно налаштування та відображення результатів аналізу – на рис. 2.40.

Якщо двічі клацнути "мишкою" по іконці логічного аналізатора, то відкривається вікно налаштування і відображення результатів аналізу.

У цьому вікні 16 кружків на лівій стороні іконки показують під'єднані входи. Коли виводи з'єднані з вузлами, кружки відображаються з чорними крапками і відображаються імена вузлів і колір діаграми на цьому вході спів-

падає з кольором проводу на схемі, який під'єднаний до цього входу. На вільних входах кружки виводів відображаються без чорних крапок.

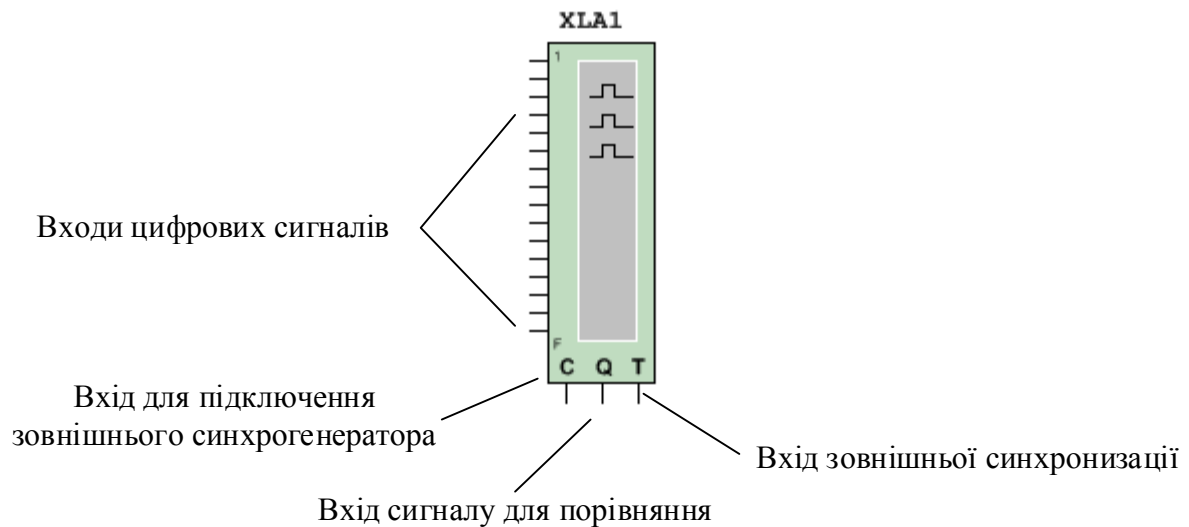


Рис. 2.39. Зовнішній вигляд іконки логічного аналізатору

Коли схема активізується, логічний аналізатор записує вхідні значення своїх виводів. При отриманні сигналу перемикавання логічний аналізатор відображає дані перед і після перемикавання. Дані відображаються як прямокутні імпульси. Верхній ряд відображає сигнал каналу 1, наступний каналу 2 і т.д.

У діалоговому вікні також відображається сигнал внутрішнього або зовнішнього тактового генератора, сигналу зовнішньої синхронізації і сигналу, що поданий на вхід порівняння (рис. 2.39).

Логічний аналізатор збирає дані поки не досягне кількості відліків, кількість яких задається при натисканні кнопки Set. Положення сигналів у часі можна виміряти у точках перетину курсорів T1 і T2, коли робота аналізатора зупинена. Також автоматично перший курсор T1 переміщається до положення тимчасового нуля, коли робота аналізатора зупиняється.

Після вмикання режиму симуляції логічний аналізатор автоматично починає проводити аналіз. Для перезапуску приладу треба натиснути кнопку Reset. Це призведе до очистки всієї інформації приладу і початку нового циклу збору нової інформації після натискання на кнопку Reset.

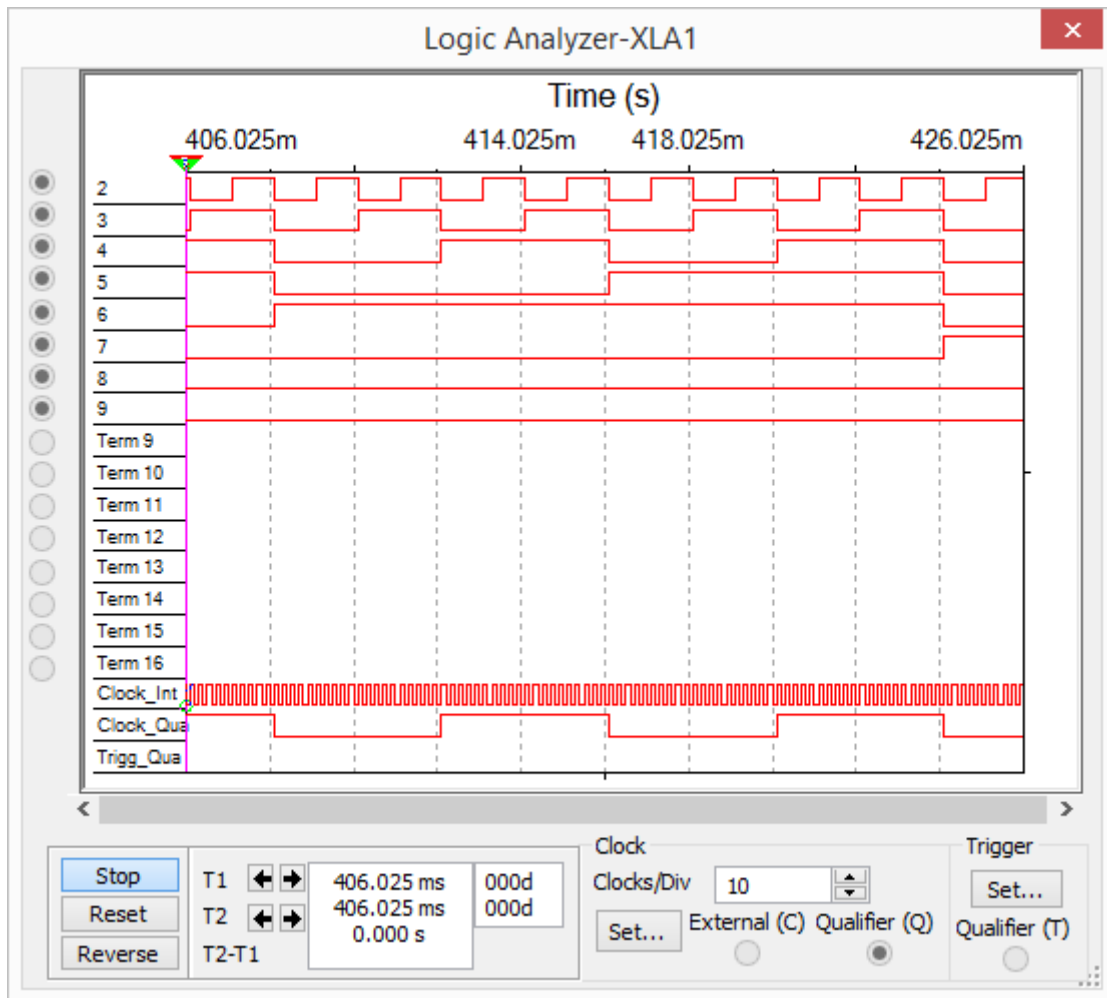


Рис. 2.40. Вікно налаштування та відображення результатів аналізу логічного аналізатора

Щоб відобразити збережені дані без подальшої їх зміни треба натиснути кнопку Stop. Якщо логічний аналізатор вже переключився і відображає дані, клацання по Stop зупинить його роботу і дозволить продовжувати симуляцію. Після зупинки аналізатора, щоб знову запам'ятовувати дані, потрібно натиснути кнопку Reset або знову запустити процес симуляції.

Щоб очистити дисплей аналізатора, треба натиснути Stop, потім Reset, або тільки Reset для продовження вимірювання. Очищення дисплея не перерве симуляцію.

Встановлення параметрів тактового генератора

Генератор може бути внутрішнім або зовнішнім. Для налаштування установок тактового генератора:

1. Клацніть Set в області Clock логічного аналізатора (рис. 2.40).

З'явиться діалогове вікно Clock Setup.

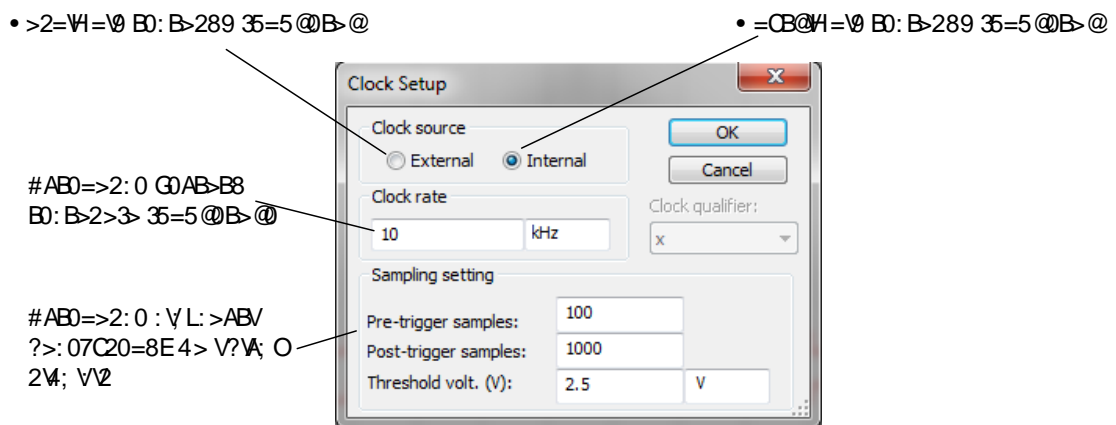


Рис. 2.41. Діалогове вікно Clock Setup

2. Виберіть режим роботи з зовнішнім або внутрішнім тактовим генератором.

3. Встановіть частоту тактового генератора. Частота тактового генератора повинна бути набагато більша ніж частота самого високочастотного сигналу на входах аналізатора. Краще вибирати цю частоту в 10...100 разів вищу за частоту сигналу.

Описувач тактового сигналу (clock qualifier) – це вхідний сигнал, який фільтрує сигнал тактового генератора. Якщо він встановлений в "X", тоді описувач вимкнений і тактовий сигнал визначає, коли формувати відлік. Якщо він встановлений в "1" або "0", відлік тільки тоді, коли тактовий сигнал збігається з заданим в описувачі сигналом.

4. Встановіть, як багато відліків треба показувати до (Pre-trigger samples) і після (Post-trigger samples) початку роботи.

5. Для запам'ятовування встановлених параметрів Клацніть по кнопці Ассепт.

Встановлення параметрів синхронізації

Логічний аналізатор може бути налаштований на перемикання по читанню заданого слова або комбінації слів, або коли зустрічається передній або задній фронт тактового сигналу.

Для завдання до трьох перемикаючих слів або комбінації слів:

1. Клацніть по Set в області Trigger логічного аналізатора.
2. Виберіть Positive, Negative або Both для позитивного і негативного фронтів тактового сигналу.
3. Клацніть в області, яка позначена Pattern A, Pattern B або Pattern C і введіть двійкове число. "X" означає або 1, або 0.
4. Із випадаючого списку Trigger Comb. виберіть потрібну комбінацію.
- 5.

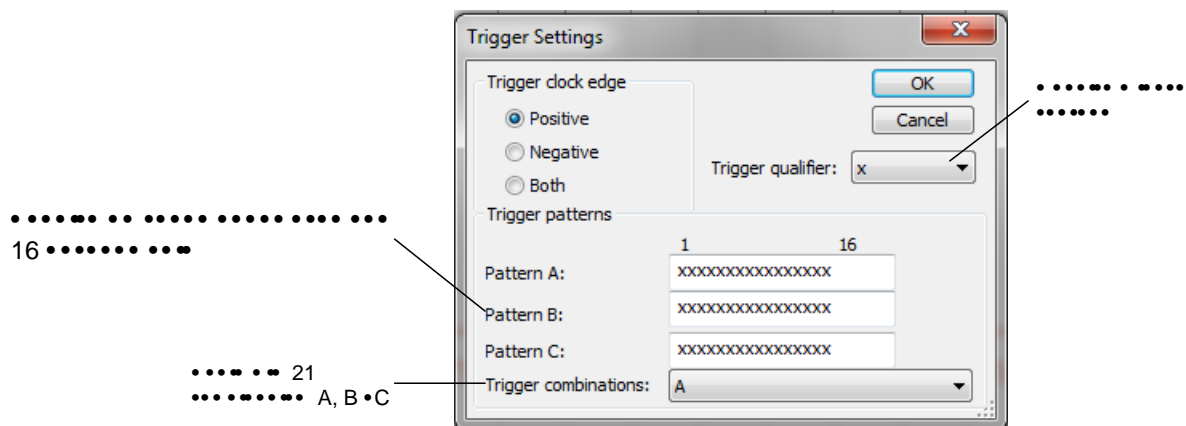


Рис. 2.42. Діалогове вікно Trigger Settings

6. З випадаючого списку Trigger Qualifier виберіть потрібний уточнювач імпульсу запису. Уточнювач імпульсу запису – це вхідний сигнал, що фільтрує сигнал перемикання. Якщо він встановлений в "x", тоді уточнювач не працює і сигнал перемикання визначає, коли перемикати логічний аналізатор. Якщо він встановлений в "1" або "0", логічний аналізатор перемикається тільки тоді, коли сигнал перемикання збігається з обраним уточнювачем імпульсу.

7. Клацніть по Ассерт.

A	B	C
A or B	A or C	B or C
A OR B OR C	A AND B	A AND C
B AND C	A AND B AND C	A NOT B
A NOT C	B NOT C	A THEN B
A THEN C	B THEN C	(A OR B) THEN C
A THEN (B OR C)	A THEN B THEN C	A THEN (B WITHOUT C)

Рис. 2.43. Можливі комбінації синхронізації роботи аналізатора

Приклад використання

Проілюструємо роботу з логічним аналізатором на прикладі схеми синхронного лічильника з коефіцієнтом ділення 10, наведеного на рис. 2.44. Максимальний коефіцієнт рахунки такого лічильника дорівнює 16, а введення додаткового логічного елемента DD4A дозволяє здійснювати примусову установку тригерів лічильника в "0". За умови досягнення коду на виходах лічильника рівного 1010 (двійковий еквівалент десяткового числа 10) на виході DD4A формується сигнал у вигляді короткого імпульсу падаючого з "1" в "0", який подається на інверсні входи установки тригерів в "0" (CLR).

Для аналізу сигналів в різних точках схеми використовується логічний аналізатор XLA1 і осцилограф XSC1. На рис. 2.44 наведені часові діаграми сигналів, отримані за допомогою логічного аналізатора. Для правильного відображення результатів роботи схеми необхідно задати параметри аналізу - частоту вхідного сигналу і параметри логічного аналізатора. Враховуючи, що в точці 12 схеми (вихід DD4A) формується дуже короткий імпульс, тривалість якого дорівнює часу спрацьовування DD4A плюс час установки тригерів в "0", необхідно вибрати частоту вхідного сигналу не нижче 100 кГц, інакше не вистачить роздільної здатності моделі для відображення результатів у точці 12.

Для моделювання була задана частота вхідного сигналу 1 МГц, а тактова частота внутрішнього генератора аналізатора рівна 10 МГц. Чим вище та-

ктова частота, тим вище роздільна здатність аналізатора за часом. Щоб задати тактову частоту необхідно натиснути кнопку Set у відкритому вікні аналізатора (рис. 2.45).

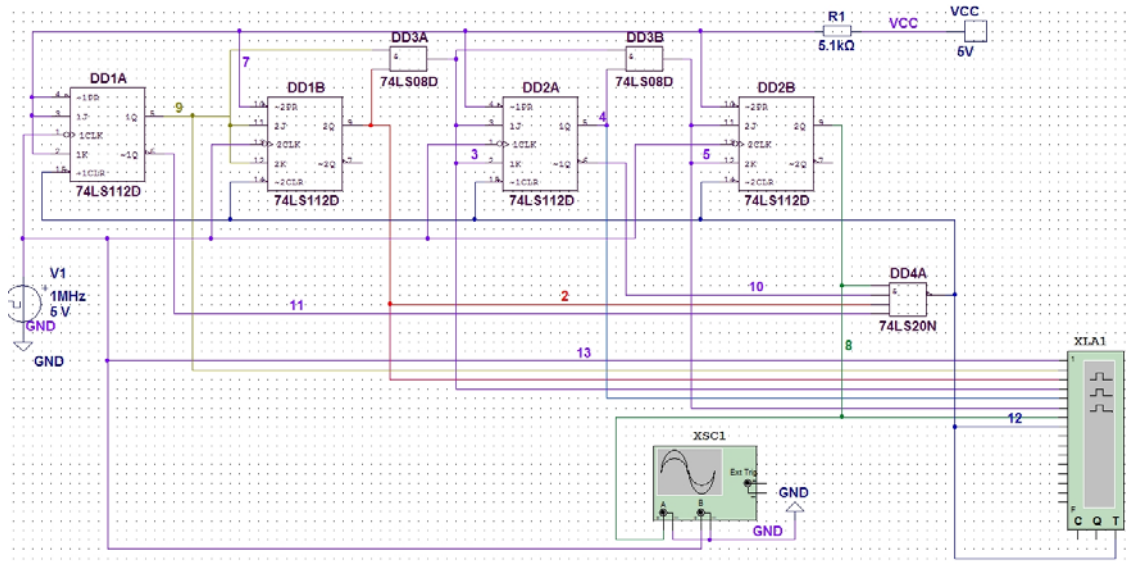


Рис.

2.44. Схема синхронного лічильника з коефіцієнтомділення
рівним десяти

Відкриється діалогове вікно установки параметрів аналізу (рис. 2.45). Крім тактової частоти (Clock Rate) тут задається число вибірок, які будуть оброблятися і виводиться на екран. Якщо число вибірок мале, може бути виведена тільки частина сигналу, якщо більше необхідного, то буде послідовно виводиться декілька реалізацій, що займають повний екран у вікні виводу, поки процес аналізу не буде завершений. Під вибіркою (відліком) маються на увазі значення виведеного сигналу на кожному тактовому інтервалі.

Для розглянутої схеми кожному періоду вхідного сигналу відповідає 10 вибірок (samples). З урахуванням коефіцієнта ділення лічильника рівного 10 у вікно Post-trigger sample необхідно ввести число не менше 100, щоб на екран був виведений один повний цикл роботи лічильника. Більш зручно розглядати процеси, коли на екран виводиться не один період, а більше 1.2, щоб бачити початок і закінчення процесу.

Для розглянутого прикладу було задано число вибірок рівне 150, що дозволило спостерігати на екрані (рис. 2.46) 1.5 циклу роботи лічильника.

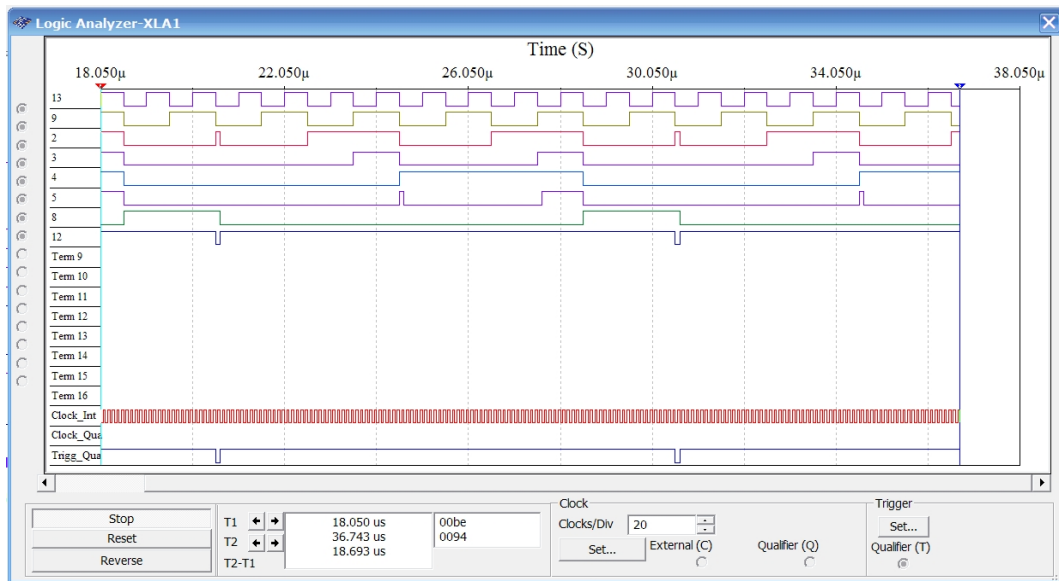


Рис. 2.45. Часові діаграми сигналів на виходах лічильника, отримані за допомогою логічного аналізатора

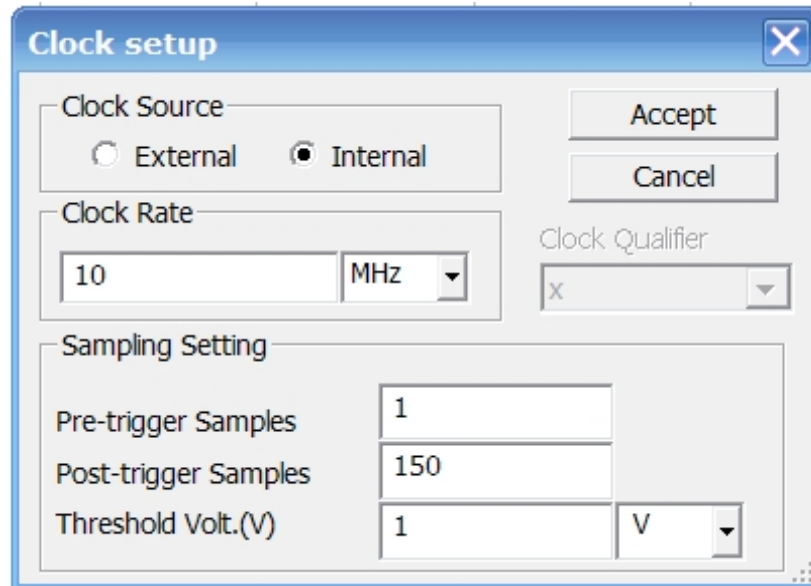


Рис. 2.46. Вікно установки параметрів логічного аналізатора

Масштаб по осі часу можна змінювати, задаючи число тактів на розподіл (Clocs / Div), яке задається в вікні виводу результатів аналізу (рис. 2.44). Чим менше задане число, тим більше масштаб по осі часу.

2.6 Контрольні питання

1. Чи змінюється полярність постійних аналогових сигналів?
2. Які сигнали називають двійковими?
3. Чи потребують індивідуального регулювання і настроювання вузли цифрових пристроїв?
4. Які відмінності між відео та радіоімпульсами?
5. Дайте пояснення параметрам імпульсу та імпульсної послідовності.
6. У якій послідовності прямокутних імпульсів буде ширшим спектр, послідовності з $Q = 2$ чи з $Q = 5$?
7. За допомогою якого виду аналізу можна дослідити спектр сигналу у програмі NI Multisim?
8. Крім графіку спектру які ще дані дозволяє отримати аналіз Фур'є?
9. Яким приладом можна виміряти спектр сигналу?

3 ПРОХОДЖЕННЯ ІМПУЛЬСНИХ СИГНАЛІВ ЧЕРЕЗ RC-КОЛА

3.1 Диференціюючі, розділові та інтегруючі RC-кола

Напруги та струм у RC-колах (рис.3.6) під впливом одиничного стрибка (рис.3.7) залежать від її постійної часу τ .

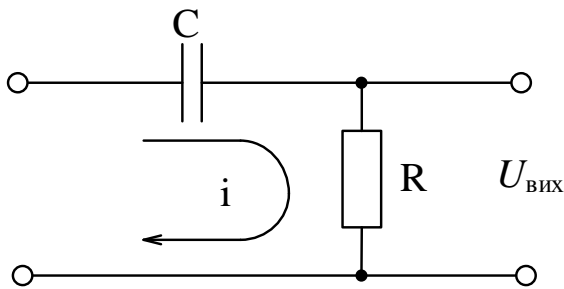


Рис. 3.6. Принципова схема RC-кола

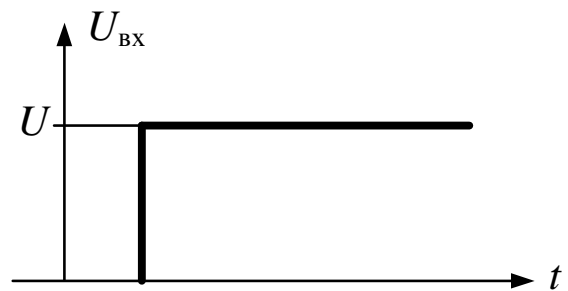


Рис. 3.7. Одиничний стрибок

Напруга на конденсаторі C визначається у вигляді:

$$U_c = U \cdot (1 - e^{-\frac{t}{\tau}}). \quad (3.1)$$

Залежності $U_c(t)$ при різних постійних часу RC-кола наведені на рис.3.8.

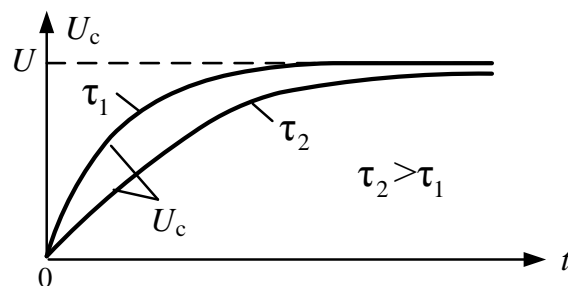


Рис. 3.8. Напруга на ємності при різних постійних часу

Напруга на виході RC-кола (на резисторі) має вигляд:

$$U_R = U - U_c = U - U + U \cdot e^{-\frac{t}{\tau}} = U \cdot e^{-\frac{t}{\tau}}. \quad (3.2)$$

Залежності $U_R(t)$ при різних значеннях τ наведені на рис.3.9. Оскільки $U_R = i \cdot R$, то

$$i = \frac{U_R}{R} = \frac{U}{R} \cdot e^{-\frac{t}{\tau}} \quad (3.3)$$

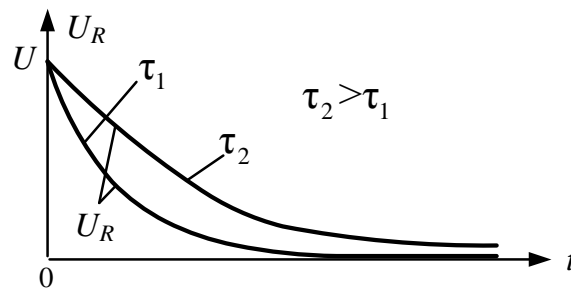


Рис. 3.9. Напряга на резисторі при різних значеннях τ

Залежність $I(t)$ наведена на рис.3.10.

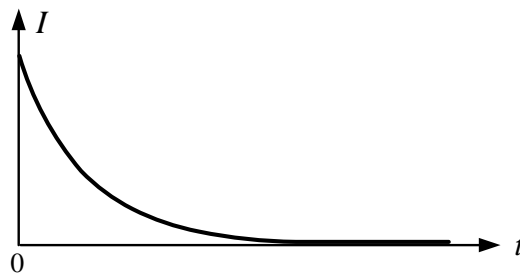


Рис. 3.10. Залежність струму протікаючого через резистор від часу

Диференціюючі та розділові RC-кола

Диференціюючим колом називають таке коло, сигнал на виході якого має значення, пропорційні в кожен момент часу похідній від вхідного сигналу.

Отже, $u_{вих}(t) = K \cdot \frac{du_{вх}(t)}{dt}$. Коефіцієнт K має розмірність секунди, у про-

тивному випадку розмірність лівої і правої частин рівності не буде однакою.

Ідеальним пристроєм диференціювання можна вважати конденсатор C або котушку L . Наприклад, при використанні конденсатора C можна вважати вхідним сигналом напругу на ньому $u_{ex}(t)$, а вихідним – струм i у ланці. Ці змінні зв'язані відомим співвідношенням $i(t) = C \cdot \frac{du_{ex}(t)}{dt}$, тобто струм у ланці пропорційний похідній від вхідної напруги. Однак використовувати цю схему для практичних цілей не можна, тому що вона не містить елемента, який забезпечував би яку-небудь реєстрацію значень струму, вимір його значень.

Для того щоб одержати вихідний сигнал у формі, зручній для спостереження або реєстрації, у коло послідовно включають чутливий до струму прилад із внутрішнім опором R . У найпростішому випадку це може бути резистор R , напруга на якому пропорційна струму $U_R = i \cdot R$. Розглянута RC -ланка може виконувати функції диференціювання (скорочування) при $\tau \ll t_I$, або бути розділовою, якщо $\tau \gg t_I$ (t_I – тривалість імпульсу).

На рис.3.11 показані графіки напруг U_C і U_R такої кола у режимі диференціювання, – ($\tau \ll t_I$), та у якості розділової кола – ($\tau \gg t_I$).

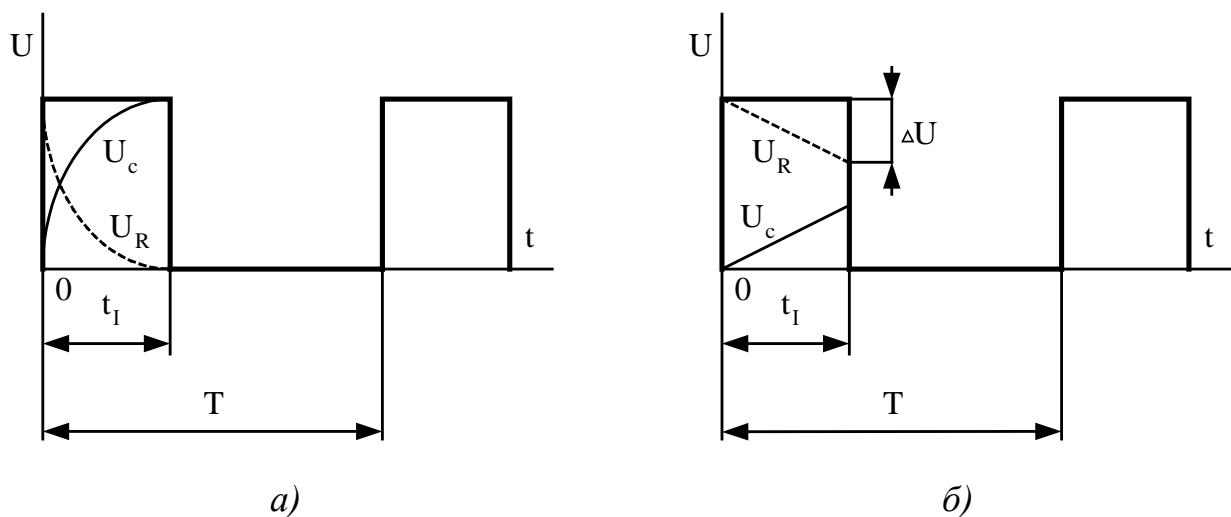


Рис. 3.11. Графіки напруги при 1 – $\tau \ll t_I$ (а) та 2 – $\tau \gg t_I$ (б)

Розглянемо ланку диференціювання під впливом імпульсної послідовності (рис.3.12).

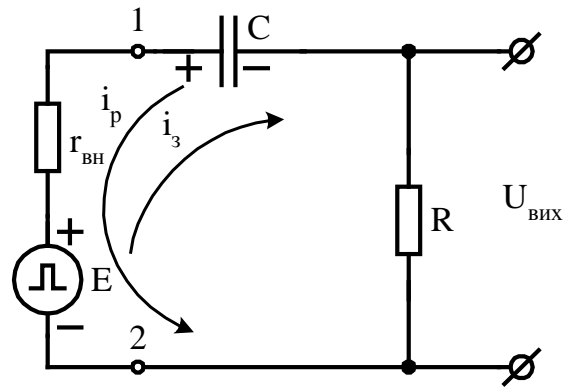


Рис. 3.12. Принципова схема диференціюючого RC -кола

При подачі на вхід кола імпульсу конденсатор C заряджається зарядним струмом $i_з$, при паузі – розряджається, зумовлюючи розрядний струм i_p (при цьому $E = 0$).

Припустимо $r_{вн} \ll R$, тоді їм можна зневажити ($r_{вн} = 0$). Розглянемо режим I, варіант: $\tau \ll t_I, \tau \ll t_n$. Після закінчення імпульсу (момент часу t_1) $E = 0 \Rightarrow U_R = -U_c$ (рис. 3.3.).

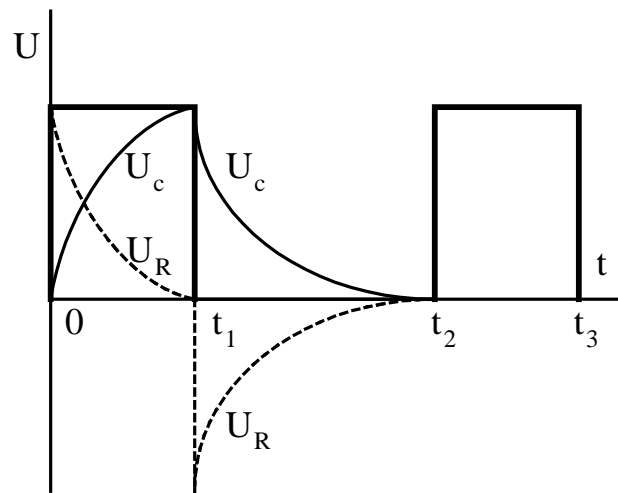


Рис. 3.13. Залежності $U_c(t)$ і $U_R(t)$; режим I

варіант: $\tau \ll t_I, \tau \ll t_n$

У період паузи ($t_1 - t_2$) розряд конденсатора C виходить повний (рис.3.13), тому що $\tau \ll t_n$;

$$U_{вих} = i_p \cdot R = R \cdot C \cdot \frac{dU_c}{dt};$$

$$U_c = U_{12} - U_{вих}.$$

Тоді

$$U_{вих} = R \cdot C \cdot \frac{d(U_{12} - U_{вих})}{dt}.$$

При $U_{вих} \ll U_{12} = U_{вх}$ одержимо:

$$U_{вих} = R \cdot C \cdot \frac{dU_{вх}}{dt}.$$

Виходить, отримана ідеальна ланка диференціювання. Отже, для того щоб ланка була диференціюючою, необхідно виконання трьох умов:

- 1) $\tau \ll t_I$;
- 2) $\tau \ll t_n$;
- 3) $U_{вих} \ll U_{12} = U_{вх}$.

При цьому графік напруги $U_{вих}$ при наявності імпульсної послідовності на вході буде мати наступний вигляд (рис. 3.14):

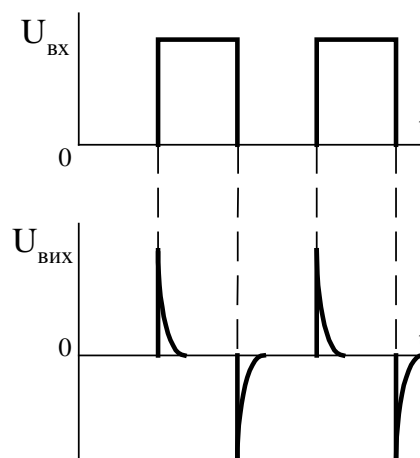


Рис. 3.14. Графік напруги на виході диференціюючого кола при наявності імпульсної послідовності на вході

Режим I, варіант: $\tau \ll t_I$, $\tau \gg t_n$: не згоден для диференціювання, так як конденсатор C не встигає розрядитися до нуля за час t_n , тому нульові початкові умови не виконуються.

Аналогічно, режим II при $\tau \gg t_I$, $\tau \ll t_n$ забезпечує варіант розділової кола. У момент часу t_1 , після дії імпульсу, (рис.3.15) $U_R(t_1) = -U_C(t_1)$, а в момент часу t_2 мають місце нульові початкові умови. Сигнал на виході практично повторює сигнал на вході. Отже, така ланка є розділовою.

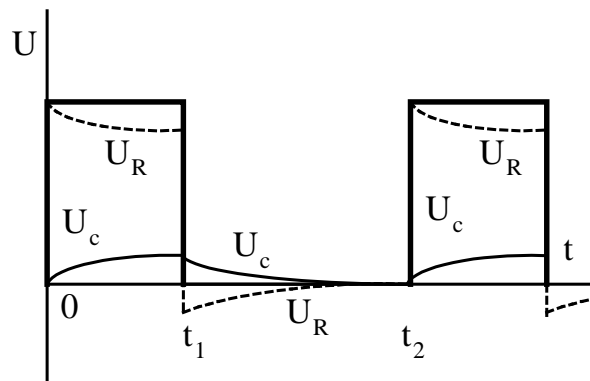


Рис. 3.15. Залежності $U_C(t)$ і $U_R(t)$; режим II при $\tau \gg t_I$, $\tau \ll t_n$

Інтегруючі RC-кола

Інтегруючою ланкою називають чотирьохполюсник, сигнал на виході якого пропорційний інтегралу від вхідного сигналу. У випадку, коли вхідний і вихідний сигнали виражаються в однакових одиницях (наприклад, в одиницях напруги), операцію, виконувану інтегруючою ланкою, можна записати у вигляді співвідношення:

$$U_{вих}(t) = K \int_0^t U_{вх}(t) dt,$$

де K – коефіцієнт пропорційності, що має розрядність c^{-1} .

На рис.3.16 наведена принципова схема інтегруючої кола. Нехай $R_H \Rightarrow \infty$, що практично має місце при $R_H \gg R_{вих}$ кола.

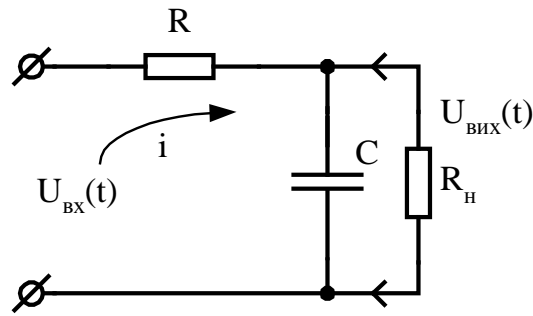


Рис. 3.16. Принципова схема інтегруючої RC-кола

Інтегруючі кола часто застосовують для подовження імпульсів або для одержання напруги, яка змінюється за законом, близьким до лінійного.

Для інтегруючої кола:

$$U_c = \frac{1}{C} \cdot \int_0^t i(t) dt,$$

значення струму в колі $i(t) = \frac{U_{вх}(t) - U_{вих}(t)}{R}$.

Підставивши значення струму у формулу U_c , одержимо:

$$U_c = \frac{1}{C} \cdot \int_0^t \frac{U_{вх}(t) - U_{вих}(t)}{R} dt = \frac{1}{R \cdot C} \cdot \int_0^t [U_{вх}(t) - U_{вих}(t)] dt.$$

Для одержання ідеальної інтегруючої кола необхідно, щоб виконувалася умова $U_{вих} \ll U_{вх}$, тоді запишемо:

$$U_c = \frac{1}{R \cdot C} \cdot \int_0^t U_{вх}(t) dt.$$

Для того, щоб забезпечити низький коефіцієнт передачі кола, тобто $U_{вих} \ll U_{вх}$ ($U_{вих} = U_c$), необхідно забезпечити умову $\tau \gg t_I$ (рис. 3.17). Кут на-

хилу прямої на виході інтегруючої кола пропорційний амплітуді напруги імпульсу, що інтегрується, та зворотно пропорційний постійній часу τ кола.

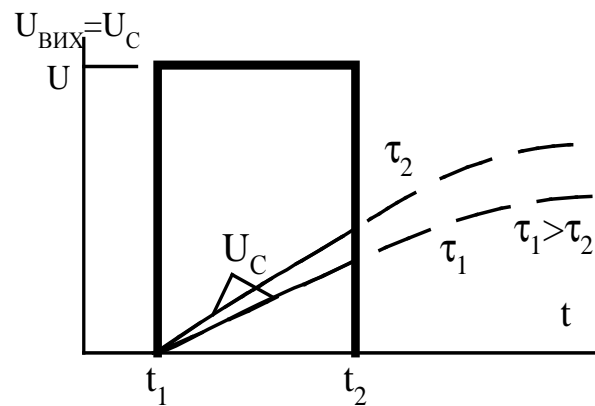


Рис. 3.17. Напруга на виході кола (на конденсаторі) при різних τ

Отже, для того щоб ланка точно інтегрувала необхідне виконання наступних умов:

- 1) $U_{вих} \ll U_{вх}$;
- 2) $\tau \gg t_I$.

У період дії імпульсу ($t_1 \div t_2$) $U_{вх} = U = const$, значить

$$U_{вих} = \frac{1}{R \cdot C} \cdot \int_0^t U \cdot dt = \frac{U}{R \cdot C} \cdot t.$$

У момент часу t_2 напруга на виході кола буде:

$$U_{вих}(t_2) = \frac{U}{R \cdot C} \cdot t_I.$$

На рис. 3.18 показана вихідна напруга інтегруючої RC -кола, де

- 1 – Реальна напруга інтегруючої кола $U_{вих} = U_c$;
- 2 – Напруга на виході ідеального інтегратора.

При $\tau \gg t_I$ ланка працює практично без похибки.

Визначимо максимальні похибки, що мають місце наприкінці імпульсу:

$$\Delta_{max} = \frac{dU_c}{dt} \Big|_{t=0} - \frac{dU_c}{dt} \Big|_{t=t_I}, \quad \delta_{max} = \frac{\Delta_{max}}{\frac{dU_c}{dt} \Big|_{t=0}},$$

де Δ_{max} – максимальне значення абсолютної і δ_{max} – відносної похибки.

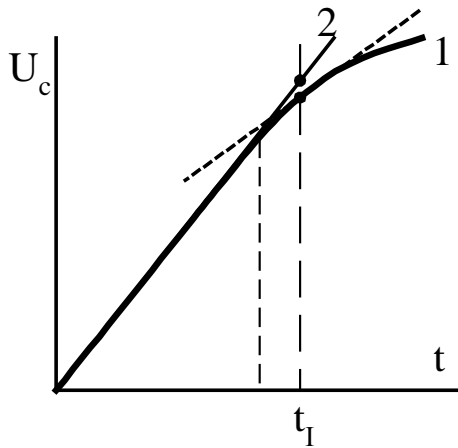


Рис. 3.18. Оцінка похибки

Значення похибки при $t = t_I$ складе:

$$\delta_{t=t_I} = \frac{\frac{dU_c}{dt} \Big|_{t=0} - \frac{dU_c}{dt} \Big|_{t=t_I}}{\frac{dU_c}{dt} \Big|_{t=0}}.$$

3.2 Обмежувачі послідовного і паралельного типу на діодах

Обмежувачі напруги призначені для захисту вхідних кіл електронних пристроїв від небезпечного для них рівня вхідних сигналів. Крім того в деяких випадках вони можуть використовуватись для формування імпульсів.

На рис. 3.19 наведена структурна схема захисту електронних пристроїв за допомогою обмежувача. Вхідна напруга перевищує допустиме значення на вході обмежувача, а на його виході рівень напруги знаходиться у допустимих

межах.

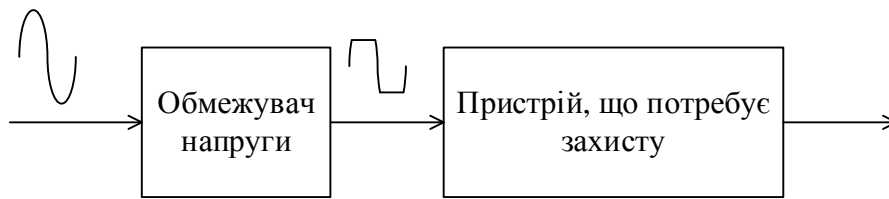


Рис. 3.19. Структурна схема захисту електронних пристроїв за допомогою обмежувача

Розрізняють обмежувачі *зверху*, *знизу* і *двосторонні* обмежувачі. Амплітудні характеристики обмежувачів і осцилограми, що ілюструють їхню роботу, наведені на рис. 3.20, 3.21 і 3.22.

Послідовні обмежувачі на діодах.

Принципова схема послідовного обмежувача знизу на приблизно нульовому рівні наведена на рис. 3.23 разом з осцилограмою, що ілюструє її роботу.

Опір навантаження повинен бути набагато більше опору обмежувача R ($R_H \gg R$), а внутрішній опір джерела синусоїдального сигналу $R_{вн} \ll R$. Для забезпечення протікання струму в інтервалі від 0 до π $U_{вх.м} \gg U_{д.пр}$, де $U_{д.пр}$ – напруга на діоді, включеному в провідному напрямку, яка має порядок $0,3 \dots 0,7$ В.

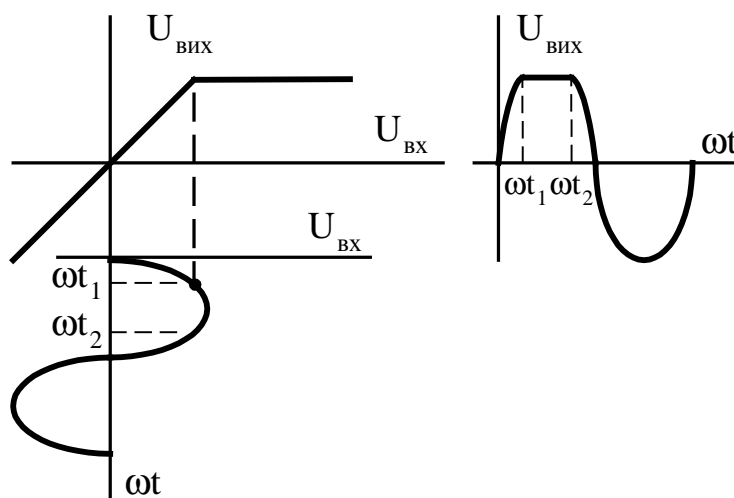


Рис. 3.20 – Діаграми, що пояснюють роботу одностороннього обмежувача зверху

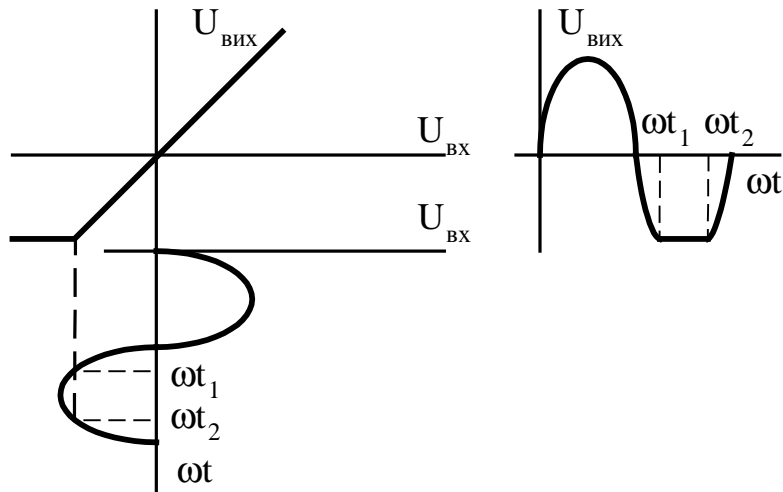


Рис. 3.21. Діаграми, що пояснюють роботу одностороннього обмежувача знизу

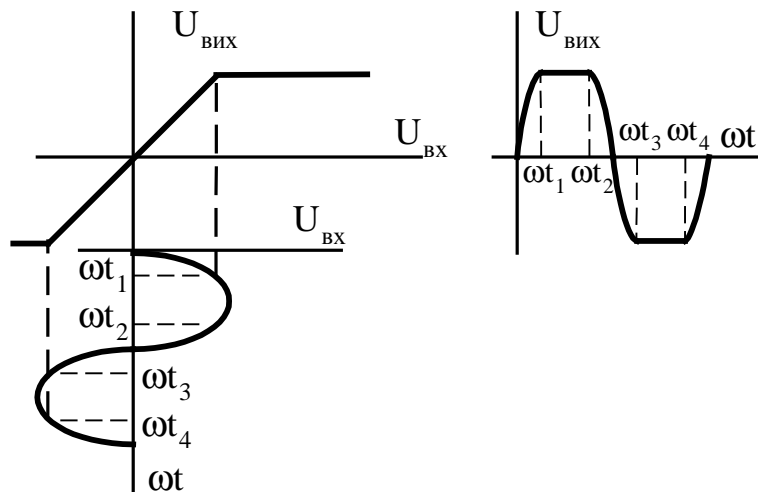


Рис. 3.22. Діаграми, що пояснюють роботу двостороннього обмежувача

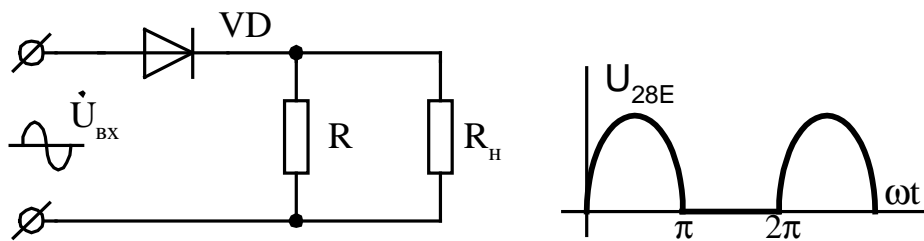


Рис. 3.23. Послідовний обмежувач на діоді

Схема обмежувача зверху на приблизно нульовому рівні та осцилограми його роботи аналогічні і мають вигляд, приведений на рис.3.24.

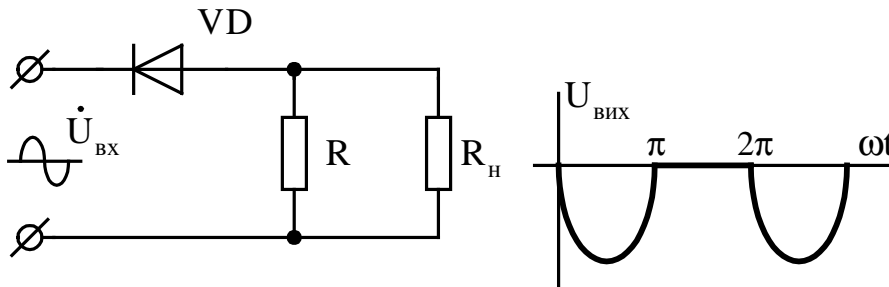


Рис. 3.24. Обмежувач зверху на нульовому рівні

Для того, щоб схеми обмежувачів були універсальними, вони повинні забезпечувати обмеження на довільному рівні. Схема обмежувача зверху на довільному рівні наведена на рис.3.25. Полярність джерела ЕРС U_{on} вибирають так, щоб діод VD був відкритий при $E_{vx} = 0$. U_{on} може змінюватися в межах $U_{on} = 0 - E_{vx\ max}$. Оскільки $R_{вн}$ і $R_{VD\ пр}$ набагато менші від величини резистора R , можна зробити припущення, що $R_{вн} \approx 0$; $R_{VD\ пр} \approx 0$.

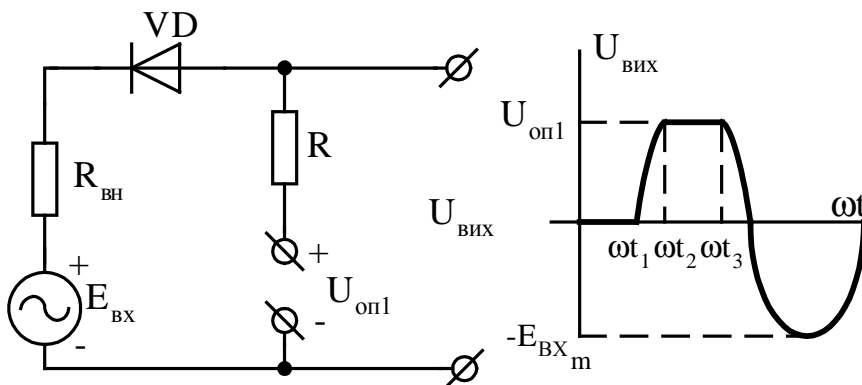


Рис. 3.25. Обмежувач довільного рівня зверху

При виконанні умови $E_{vx} \leq U_{on}$ діод VD відкритий і при виконанні зроблених допущень $U_{вих} = E_{vx}$. Якщо $E_{vx} > U_{on}$, то VD-закритий: струм у контурі (і через резистор R) дорівнює нулю, отже $U_{вих} = U_{on}$ (інтервал аргументу

$\omega t_2 \div \omega t_3$). На інтервалі від 0 до ωt_1 , коли $E_{вх} = 0$, то і $U_{вих} = 0$. Схема обмежувача *знизу* на довільному рівні наведена на рис.3.26. Робота схеми, осцилограма та припущення аналогічні розглянутим вище.

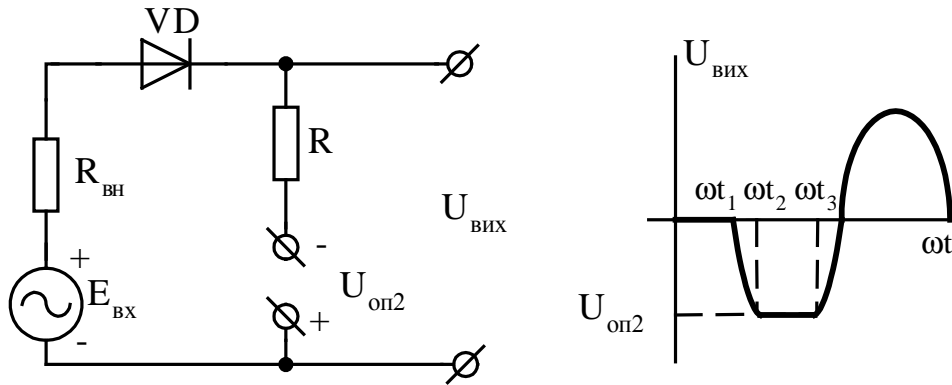


Рис. 3.26. Обмежувач знизу на довільному рівні

Схема обмежувача рівня *зверху* і *знизу* на довільних рівнях являє собою комбінацію двох розглянутих схем включених послідовно (рис. 3.27).

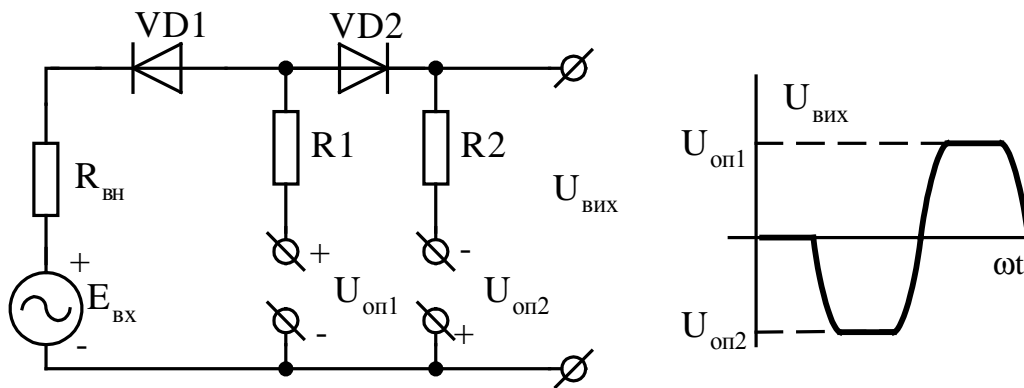


Рис. 3.27 – Обмежувач зверху і знизу на заданих рівнях

До недоліків послідовних обмежувачів на діодах відносять:

1. Обмежувачі вимагають джерел ЕРС вхідного сигналу ($R_{вн} \approx 0$).
2. Схеми пасивні і мають коефіцієнт передачі $K < 1$.
3. Величина ЕРС $E_{вх}$ повинна бути великою (десятки вольтів), для виконання умови $E_{вх} \gg U_{д.пр}$.

Паралельні обмежувачі на діодах

Основним недоліком послідовних обмежувачів на діодах є потреба у низькому внутрішньому опорі джерела сигналу. Для ліквідації цього недоліку розроблені паралельні обмежувачі на діодах. Такі схеми обмежувачів не вимагають дуже низького вихідного опору джерела ЕРС. Опір навантаження також, як і у послідовних обмежувачів, повинен бути $R_H \gg R$.

Схема обмежувача на діодах *зверху*, приблизно на нульовому рівні й осцилограми, що ілюструють її роботу, наведені на рис. 3.28. Приймаючи припущення $R_H \gg R$ і $E_{вх} \gg U_{д.пр}$, опишемо схему системою рівнянь:

$$\begin{cases} E_{вх} = I \cdot R + U_{VD}; \\ U_{VD} = \varphi(I). \end{cases}$$

Рівняння перше – навантажувальна пряма 1, друге – вольт-амперна характеристика діода 2. Побудувавши навантажувальну пряму по точках Х.Х. і К.З. ($I = 0, U_{\partial} = E_{вх}; U_{\partial} = 0, I_{кз} = \frac{E_{вх}}{R}$), побудуємо осцилограму $U_{\partial}(\omega t) = U_{вих}$ при синусоїдальній вхідній ЕРС $E_{вх}$. Одержимо обмеження зверху на рівні $U_{д.пр} \approx 0,3 \div 0,6 \text{ В}$.

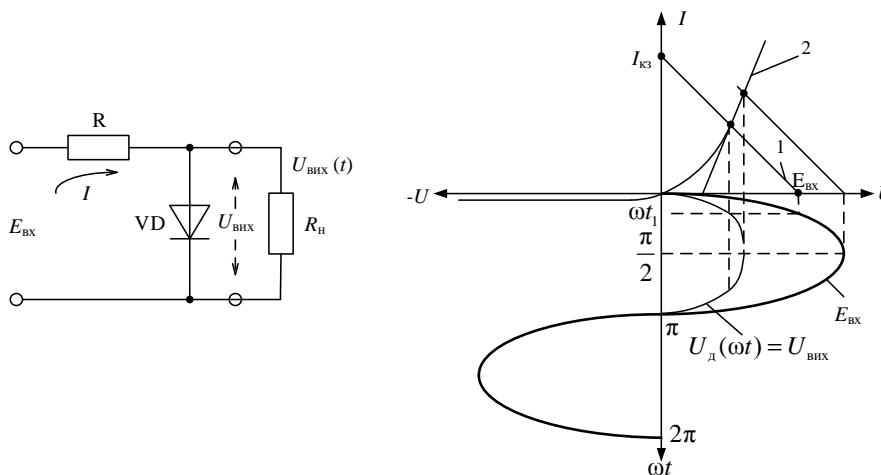


Рис. 3.28. Паралельний обмежувач зверху

Паралельний обмежувач на діодах *знизу* на приблизно нульовому рівні відрізняється напрямом підключення діода, а для обмеження на довільних рівнях схеми доповнюються джерелами напруги $U_{оп}$, полярність яких вибирають так, щоб діоди були закриті при $E_{вх} = 0$.

4 ТРАНЗИСТОРНІ НАСИЧЕНІ КЛЮЧІ

4.1 Призначення транзисторних ключів

Електронні ключі (ЕК) використовують в імпульсній техніці і цифровій техніці для комутації сигналів в різних електричних колах. Найчастіше ключові схеми виконують на транзисторах, діодах або тиристорах. Розрізняють два види ключів:

- транзисторні насичені ключі;
- аналогові ключі.

Для передачі або відключення аналогових сигналів в радіоелектронній апаратурі застосовують електронні аналогові ключі, які при подачі сигналу управління (найчастіше, це логічна одиниця) переходять в замкнутий або розімкнений стан. При замиканні ключа його внутрішній опір зменшується до значень $R_{замкн.} = 300 \dots 0,3$ Ом в ключах на біполярних транзисторах (БТ) і до значень $0,0003$ Ом в кращих ключах на польових транзисторах (ПТ). При цьому, в закритому стані вони мають опір близько $R_{розімкн.} = 50 \dots 500$ кОм для діодних ключів і ключів на БТ, і від 1 до 10 МОм для ключів на ПТ. У кращих ключах на ПТ з ізольованим затвором опір розімкненого ключа може досягати 10^{12} Ом при використанні транзисторів з ізольованим затвором.

Транзисторні насичені ключі використовуються для формування імпульсних сигналів різної амплітуди, для перетворення рівнів імпульсних сигналів і управління різними пристроями (наприклад, електромагнітними реле або світлодіодними індикаторами).

4.2 Лінійні моделі транзисторів в режимі великого сигналу

На відміну від режиму малого сигналу, де відхилення від робочої точки за постійним струмом не перевищує 20...30%, у режимі великого сигналу транзистор переходить із зони відсічення через активну область у режимі насичення та навпаки. Як правило, в імпульсній техніці транзистор працює в двох протилежних станах: у режимі відсічення (транзистор закритий) і в режимі насичення (транзистор відкритий і насичений). Коефіцієнт передачі транзистора в цих режимах менше одиниці, тобто він не має підсилювальних властивостей.

Крім того, при переключенні з одного режиму в другий та навпаки транзистор знаходиться в активному режимі, час переключення складає одиниці мікросекунд. У перехідному (активному) режимі коефіцієнт передачі транзистора набагато більше одиниці. У режимі великого сигналу характеристики транзистора нелінійні і принцип накладення не може бути застосований.

Для аналізу схем із транзисторами, що працюють у режимах великого сигналу, застосовують методи аналізу нелінійних схем. В інженерній практиці знайшов широке застосування метод апроксимації нелінійної ВАХ **кусочно-лінійними функціями**.

Сутність методу: для окремих областей (відсічення, насичення, перехідна область) виконується апроксимація нелінійних ВАХ кусочно-лінійними функціями. У кожній області, на основі апроксимуючих функцій, ВАХ представляються рядом Тейлора. На основі обговореної лінійної апроксимації всіма похідними, починаючи з другої, можна зневажити (ряд обмежить двома доданками $a + b \cdot x$), постійну складову необхідно враховувати.

На підставі отриманих рівнянь для кожної з областей, з урахуванням постійних складових, синтезують електричну модель транзистора. При цьому моделі виходять лінійними, для всіх трьох областей, однак різні. Широко застосовують моделі транзисторів у системі h -параметрів.

Розглянемо апроксимацію вхідних і вихідних характеристик біполярного

транзистора (схема з СЕ) і польового транзистора (з індукованим каналом). На рис.4. 1 представлені вихідні характеристики біполярного транзистора.

Область відсічення (1) розташована між характеристиками $I_{\bar{b}} = 0$ і $I_{\bar{b}} = -I_{к0}$ з відповідними значеннями струмів колектора $I_{к поч}$ і $I_{к0}$. Область насичення (3) відповідає мінімальним значенням напруги U_{KE} . Опір транзистора в режимі насичення $R_{KE нас}$ визначається тангенсом кута нахилу лінії 3, тобто $tg\beta$. Між ними знаходиться область активного режиму – 2. На вхідних характеристиках транзистора (рис. 4.2) також зазначені ці три основні області.

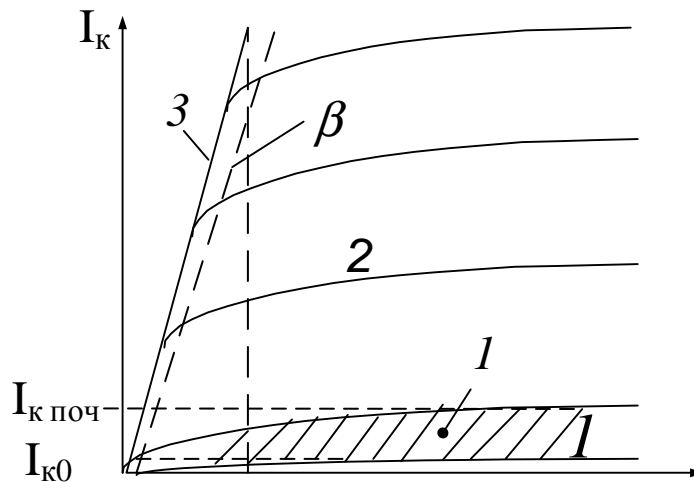


Рис. 4.1. Вихідні характеристики біполярного транзистора

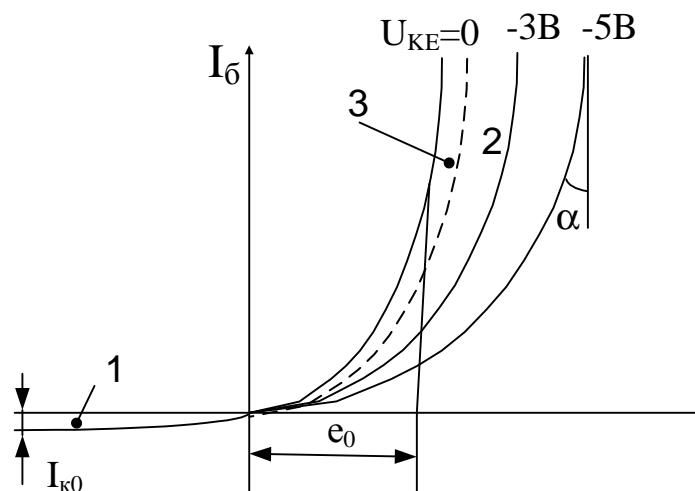


Рис. 4.2. Вхідні характеристики біполярного транзистора

Лінійна апроксимація вхідних і вихідних характеристик біполярного транзистора з указівкою характерних областей наведена на рис. 4.3.

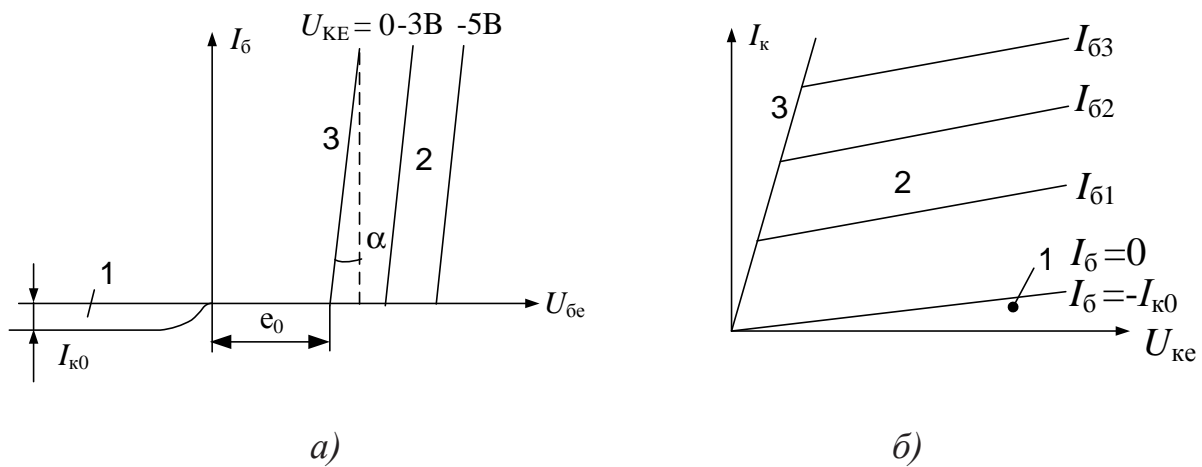


Рис. 4.3. Апроксимація вхідних (а) і вихідних (б) характеристик біполярного транзистора

Характеристики польового транзистора з індукованим каналом, аналогічні розглянутим і їх апроксимація для трьох областей (рис. 4.4) аналогічна.

Установимо значення струмів колектора для транзисторів, що знаходяться в області відсічення. Для схеми з спільною базою при $I_E = 0$ між базою і колектором протікає зворотний (тепловий) струм величиною $I_{\text{к0}}$ (рис. 4.5,а). Для схеми з спільним емітером для забезпечення $I_{\text{б}} = 0$ необхідно через перехід емітер-база пропускати струм $I_{\text{к0}}$ (рис. 4.5,б). При цьому струм колектора буде $I_{\text{к поч}} = I_{\text{к0}} \cdot h_{21E}$, тобто в h_{21E} разів більше, ніж для схеми з спільною базою. Зменшити струм $I_{\text{к поч}}$ до величини $I_{\text{к0}}$ можна шляхом запирання транзистора потенціалом відсічення на базу, пропускаючи струм з бази в емітер величиною $I_{\text{к0}}$, у результаті чого $I_E = 0$, а $I_{\text{к}} = I_{\text{к0}}$ (рис. 4.5, в).

Електрична модель транзистора для області активного режиму (2) була розглянута вище.

Модель транзистора в області відсічення ($I_E = 0$), що забезпечується подачею позитивного потенціалу на базу відносно емітера (спільної шини) має вигляд, представлений на рис. 4.6.

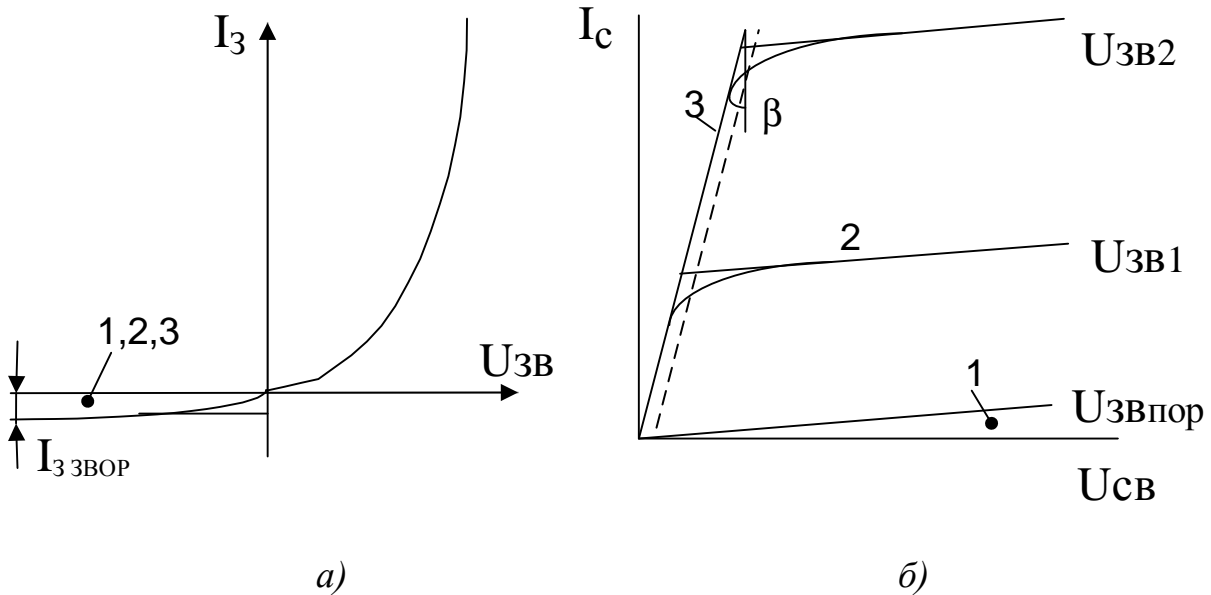


Рис. 4.4. Вхідні (а) і вихідні (б) характеристики польового транзистора з індукованим каналом

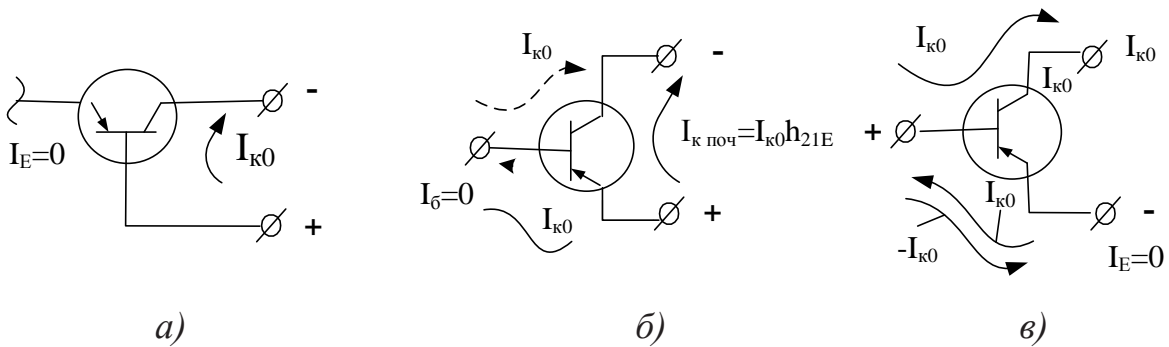


Рис. 4.5. Струми колекторів в області відсічення

Для області насичення (3), модель транзистора має вигляд (рис. 4.7), де e_0 визначається при апроксимації вхідної характеристики. При цьому $e_0 = U_{BE\text{ нас}} \approx 0,2 \div 0,5B$, $h_{11E} = tg\alpha$ (рис.3.31), $R_{к\text{ нас}} = tg\beta$ (рис. 4.1).

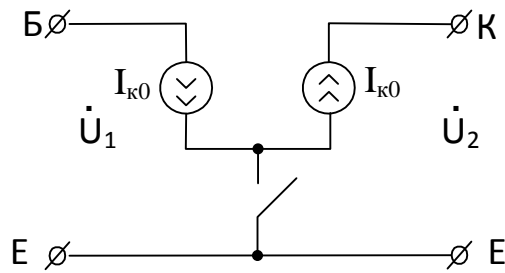


Рис. 4.6. Електрична модель транзистора для області відсікання (1)

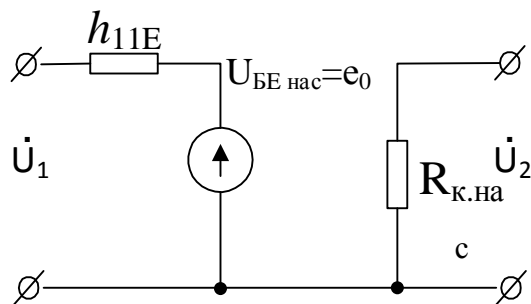


Рис. 4.7. Електрична модель транзистора в області насичення (3)

Модель транзистора в області відсікання являє собою розрив емітера відносно до базово-колекторного проміжку, через який протікає струм $I_{к0}$. Для цього режиму необхідно подати на базу транзистора потенціал відсічення відносно емітера.

Модель транзистора в режимі насичення являє собою практично замкнуті електроди – база, колектор і емітер, тому що $R_{к нас} \approx (1 \div 10) \text{ Ом}$; $e_0 \approx (0,2 \div 0,5) \text{ В}$; $h_{11E} \approx (10 \div 100) \text{ Ом}$. Для забезпечення режиму насичення транзистора необхідно подати струм у базу, який перевищує струм бази насичення.

4.3 Розрахунки параметрів транзисторних ключів

Розглянемо методику розрахунку ключа в режимі насичення. Принципова схема ключа наведена на рис. 4.8. Для насичення ключа (рис. 4.8,а) необхідні позитивні вхідні імпульси визначеної амплітуди. У результаті розрахунків потрібно одержати

ти: тип транзистора, E_K , R_K , R_{δ} (E_I). Для негативних входних імпульсів застосовують транзистори типу p-n-p (рис. 4.8,б).

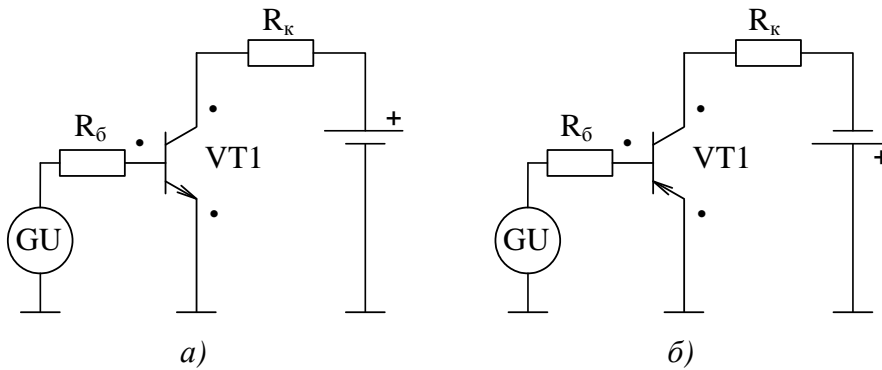


Рис. 4.8. Схеми включення біполярних транзисторів n-p-n (а) та p-n-p (б) провідності

Розрахунок схеми за постійним струмом традиційний, однак враховується вхідна характеристика транзистора в режимі насичення ($U_{KE} \approx 0$).

$$\begin{cases} E_K = U_{KE \text{ нас}} + I_K \cdot R_K; \\ U_{KE \text{ нас}} = I_K \cdot R_{K \text{ нас}}. \end{cases}$$

Навантажувальна лінія (1) будується по двох точках (Х.Х і К.З.) (рис.4.9).

$$\text{Х.Х.: } I_K = 0, U_{KE} = E_K.$$

$$\text{К.З.: } U_{KE} = 0, I_{K.З.} = \frac{E_K}{R_K}.$$

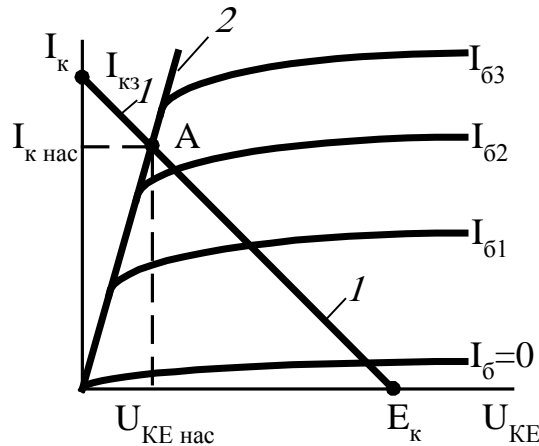


Рис. 4.9. Розрахунок ключа за постійним струмом

Перетинання навантажувальної прямої (1) з лінією насичення (2) – точка "А", що визначає режим насичення і його параметри $I_{K \text{ нас}}$, $U_{KE \text{ нас}}$ і $I_{B \text{ нас}}$, у даному випадку це I_{B_3} (рис. 4.9). При проектуванні ключів струм колектора в режимі насичення звичайно заданий, що визначає вибір типу транзистора по припустимому струмі і положенню точки "А" (значить і струму $I_{K.з.}$). За значенням цього струму

розраховують резистор R_K із формули $R_K = \frac{E_K}{I_{K.з.}}$.

Для розрахунку резистора $R_{\bar{\sigma}}$ скористаємося вхідною характеристикою транзистора в режимі насичення ($U_{KE} \approx 0$). Струм бази, зумовлений E_I і резистором $R_{\bar{\sigma}}$ повинний бути: $I_{\bar{\sigma}} \geq I_{\bar{\sigma}_3}$. Установимо положення точки "А" на вхідній характеристиці за значенням струму бази в точці "А" на вихідних характеристиках $I_{\bar{\sigma}_3}$ (рис. 4.10). Якщо E_I задано, то навантажувальна лінія до вхідних характеристик повинна перейти з точки Х.Х. (E_I) через точку "А" і визначити значення струму К.З. ($I_{\bar{\sigma} \text{ к.з.}}$). Оскільки струм $I_{\bar{\sigma} \text{ к.з.}} = E_I / R_{\bar{\sigma}}$, то звідси можна визначити значення резистора $R_{\bar{\sigma}}$ у вигляді $R_{\bar{\sigma}} = E_I / I_{\bar{\sigma} \text{ к.з.}}$.

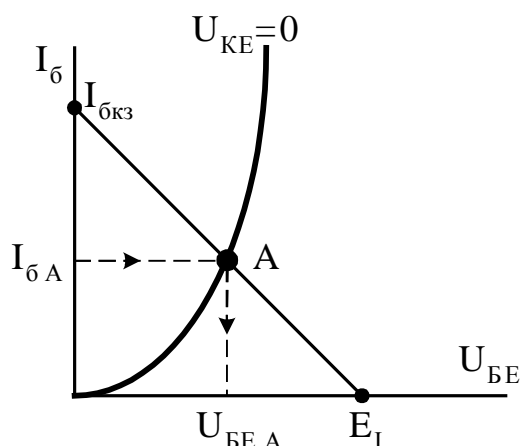


Рис. 4.10. Визначення положення робочої точки на вхідних характеристиках

Для прискорення процесу насичення ключа вводять поняття коефіцієнта насичення.

$$\text{Коефіцієнт насичення } S = \frac{I_b}{I_{b \text{ нас}}}, \quad I_{b \text{ нас}} = I_{b \text{ A}}.$$

Рекомендоване значення коефіцієнта $S \cong 1,5 \div 2$, тому що зі збільшенням S зменшується час включення ключа, однак при цьому збільшується час вимикання.

Найпростіший розрахунок ключа.

$I_{k \text{ нас}}$ – (координата точки "А", і E_k , що задана споживачем. Наприклад:

$$I_{k \text{ нас}} = 0,1 \text{ А}; \quad E_k \approx 10 \text{ В}.$$

$$\text{Приймемо, що } I_{k.z.} \cong I_{k \text{ нас}} \Rightarrow R_k = \frac{E_k}{I_{k \text{ нас}}} = \frac{10}{0,1} = 100 \text{ Ом};$$

і тоді, з урахуванням середнього коефіцієнту підсилення транзистора за струмом $h_{21E} \approx 50$, розрахуємо струм бази насичення:

$$I_{b \text{ нас}} = \frac{I_{k \text{ нас}}}{h_{21E}} = \frac{0,1}{50} \approx 2 \text{ мА}.$$

Прийmemo $S = 2$, тоді $I_{\bar{\sigma}} = S \cdot I_{\bar{\sigma} \text{ нас}} = 4 \text{ мА}$ і розрахуємо $R_{\bar{\sigma}}$ при заданому значенні амплітуди імпульсу, наприклад, при $E_I = 5 \text{ В}$, $U_{BE \text{ A}} \approx 0,4 \text{ В}$ одержимо

$$R_{\bar{\sigma}} = \frac{E_I - U_{BE \text{ A}}}{I_{\bar{\sigma} \text{ A}}} = \frac{5 - 0,4}{4 \cdot 10^{-3}} = 1,1 \text{ кОм}.$$

Орієнтовні вимоги до транзистора:

$$U_{KE \text{ проб}} = 15 \div 20 \text{ В}; \quad I_{k \text{ max}} = 150 \div 200 \text{ мА}; \quad h_{21E} \approx 50.$$

Повна модель ключа для області насичення має вигляд (рис. 4.11):

При цьому $R_{k \text{ нас}} \ll R_k$, що забезпечує $U_{KE \text{ нас}} \approx 0$.

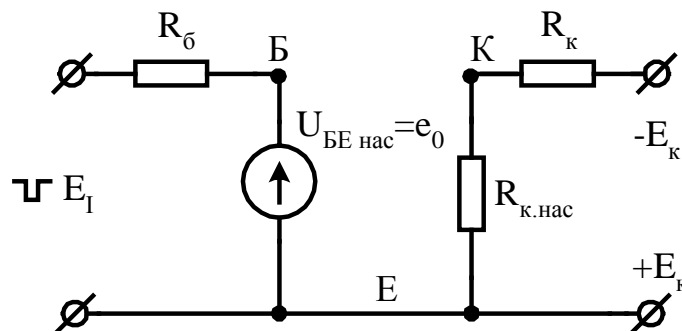


Рис. 4.11. Повна модель ключа для області насичення

при $I_{\bar{\sigma}} \geq I_{\bar{\sigma} \text{ нас}}$

Спрощена модель ключа має вигляд (рис. 4.12). У спрощеному варіанті можна вважати, що виводи транзистора К, Е і Б – мають однаковий потенціал.

Розрахунок ключа в режимі відсікання. Схема ключа і фрагменти розрахунку за постійним струмом наведені на рис. 4.12.

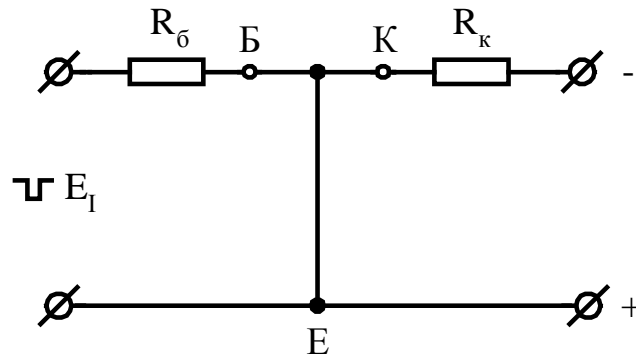
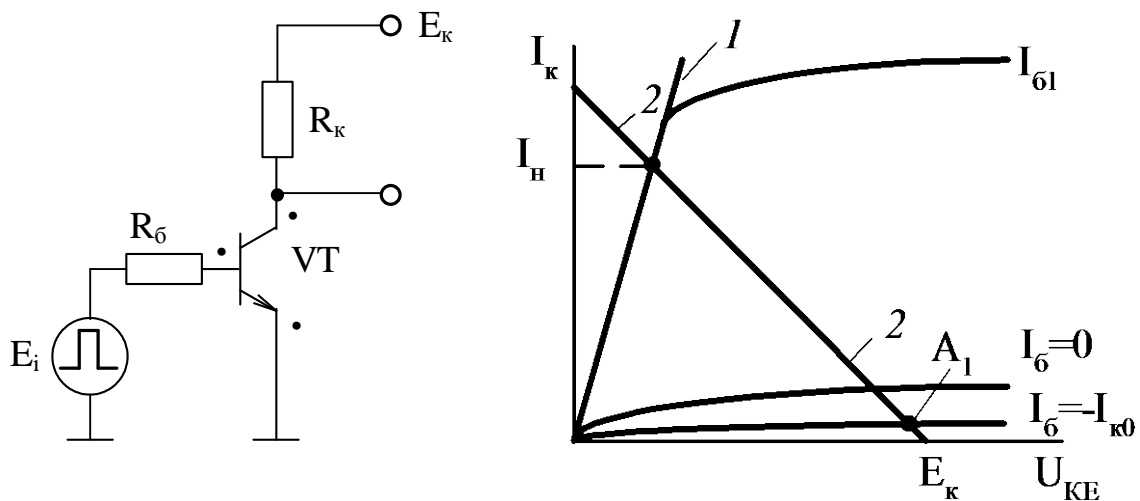
Рис. 3.40. Спрощена модель ключа при $I_{\bar{6}} \geq I_{\bar{6} \text{ нас}}$ 

Рис. 4.12. Схема ключа в режимі відсікання та елементи розрахунків за постійним струмом

На вхід схеми надходять позитивні імпульси, що замикають транзистор. Робоча точка A_1 для повного запирання транзистора повинна розташовуватися на самій нижній характеристиці ($I_{\bar{6}} = -I_{\kappa 0}$). При цьому $U_{KE \text{ відс}} \approx -E_{\kappa}$. Розрахунок режиму за постійним струмом аналогічний. Модель ключа в режимі відсічення наведена на рис. 4.13.

Розрахуємо амплітуду імпульсів (E_I), що надходять на вхід ключа і забезпечують запирання транзистора (точку A_1).

Відомий опис вхідної характеристики транзистора

$$I_{\bar{o}} = I_{\bar{o} \text{ нас}} \cdot \left(e^{\frac{-U_{BE}}{\varphi_T}} - 1 \right),$$

де $I_{\bar{o} \text{ нас}}$ – значення струму бази при зворотному включенні вхідного переходу транзистора, у режимі відсікання $I_{\bar{o} \text{ нас}} = -I_{\kappa 0}$;

φ_T – тепловий потенціал (25мВ при нормальних умовах, $T=293^\circ\text{K}$).

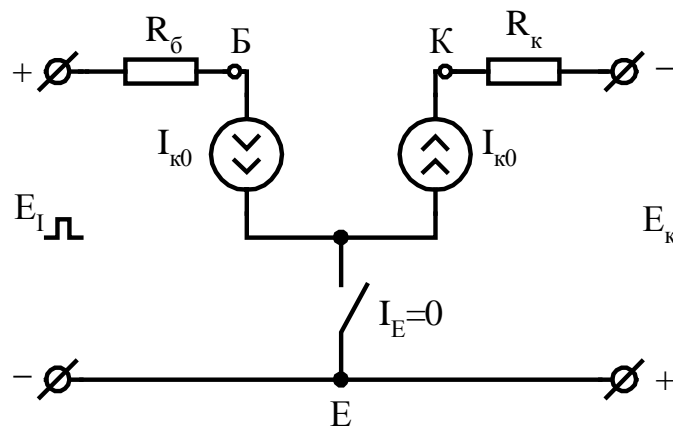


Рис. 4.13. Модель ключа в режимі відсікання

Тоді

$$I_{\bar{o}} = I_{\kappa 0} \cdot \left(e^{\frac{-U_{BE}}{\varphi_T}} - 1 \right).$$

Якщо $e^{\frac{-U_{BE}}{\varphi_T}} \ll 1$, то $I_{\bar{o}} = -I_{\kappa 0}$, що забезпечує роботу транзисторного ключа в точці

A_1 . Для забезпечення $e^{\frac{-U_{BE}}{\varphi_T}} \ll 1$ необхідно, щоб $U_{BE} \approx 10\varphi_T = 250 \text{ мВ}$.

Знайдемо амплітуду вхідних імпульсів

$$E_I = U_{BE \text{ відс}_{max}} + I_{\kappa 0} \cdot R_{\bar{o}}.$$

Значення напруги $I_{к0} \cdot R_{б}$ – порядку десятків мілівольт, тому є запасом $E_I \approx (0,3 \div 0,5) \text{ В}$. Спрощена модель ключа являє собою розімкнуті колектор і емітер, при напрузі на базі $(0,3 \div 0,5) \text{ В}$.

4.4 Контрольні питання

1. Намалюйте RC-ланку і встановіть умови, при яких вона буде такою, що диференціює.

2. При яких умовах RC-ланка буде розділовою?

3. Назвіть основні джерела похибок в інтегруючих колах, напишіть формули для їхнього визначення.

4. Назвіть переваги інтеграторів на ОППС.

5. У чому перевага паралельних діодних обмежувачів відносно до послідовних? Назвіть основні недоліки діодних обмежувачів.

6. Наведіть повні і спрощені лінійні моделі транзисторів в областях насичення і відсічення. Які коефіцієнти передач транзистора в цих областях?

7. Наведіть методику розрахунку транзисторного ключа в режимі насичення, модель ключа, поясніть зміст коефіцієнта насичення S і його рекомендовані значення.

1. Викладіть методику розрахунку транзисторного ключа в режимі відсічення, наведіть модель ключа.

5 МАТЕМАТИЧНІ ОСНОВИ ПОБУДОВИ ЦИФРОВИХ ПРИСТРОЇВ

5.1 Системи числення

Система числення – це спосіб запису (зображення) чисел.

Системи числення, в яких ваговий коефіцієнт кожної цифри залежить від її положення у послідовності цифр, що зображає число, називаються позицій-

ними. У непозиційних системах значення кожної цифри постійне і не залежить від місця її розташування в числі. Всі системи числення, які використовуються в цифровій схемотехніці, є позиційними.

При розгляді позиційних систем важливим виступає поняття *базису*. *Базис системи числення* – це послідовність чисел, яка задає значення (вагу) кожної цифри в залежності від місця її розміщення.

Приклади базисів:

- десяткової системи числення: $10^0, 10^1, 10^2, \dots, 10^n, \dots$;
- двійкової – $2^0, 2^1, 2^2, \dots, 2^n, \dots$;
- вісімкової – $8^0, 8^1, 8^2, \dots, 8^n, \dots$;
- шістнадцяткової – $16^0, 16^1, 16^2, \dots, 16^n, \dots$

У загальному плані для позиційних систем числення базис можна записати в вигляді послідовних членів геометричної прогресії:

$$\dots P^{-m}, \dots, P^{-2}, P^{-1}, P^0, P^1, P^2, \dots, P^n, \dots$$

Число P називається *основою системи числення*. У подальшому при розгляді систем числення основа зображатиметься у вигляді нижнього індексу в кінці числа.

Сукупність різних цифр, які використовуються в позиційній системі числення для запису чисел, називається *алфавітом системи*.

Будь-яке натуральне число A в P -ічній системі числення записується у розгорнутій і згорнутій формах запису. Наприклад, число A в P -ічній системі числення представляється в згорнутій формі так:

$$A = (a_n a_{n-1} \dots a_1 a_0 a_{-1} a_{-2} \dots a_{-k})_P ; \quad (5.1)$$

у розгорнутій:

$$A = a_n \cdot P^n + a_{n-1} \cdot P^{n-1} + \dots + a_1 \cdot P^1 + a_0 \cdot P^0 + a_{-1} \cdot P^{-1} + a_{-2} \cdot P^{-2} + \dots + a_{-k} \cdot P^{-k} \quad (5.2)$$

Приклад 5.1 Перевести двійкове число $A = 11011_2$ в десяткову систему числення.

Розв'язання. Запишемо число в розгорнутій формі:

$$A = 1 \cdot 2^4 + 1 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 = 2(2^2(2+1)+1)+1 = 27.$$

При програмуванні як на мовах високого рівня, так і на мові Асемблера часто необхідно знати значення ступенів двійки до 16. У цифровій та мікропроцесорній техніці важливо пам'ятати ступені до 10. Приведемо їх, починаючи з 5:

$$2^5 = 32; \quad 2^6 = 64; \quad 2^7 = 128; \quad 2^8 = 256; \quad 2^9 = 512; \quad 2^{10} = 1025.$$

Знання цих чисел дає можливість більш спрощено розв'язувати задачі переведення десяткових чисел у двійковий код.

Приведене вище правило переведення цілих чисел у десяткову систему числення може бути використаним і для переведення дробових чисел.

Приклад 5.2 Перевести число $A = 0,11_2$ в десяткову систему числення.

Розв'язання. Запишемо число A в розгорнутій формі:

$$A = 1 \cdot 2^{-1} + 1 \cdot 2^{-2} = 0,75_{10}.$$

Формула (5.2) здебільшого використовується для переходу від системи числення з меншою основою до системи числення з більшою основою.

Ірраціональні дробові числа представляються у скороченій формі і переводяться аналогічно, або для них використовуються спеціальні алгоритми.

Приклад 5.3 Перетворити у двійковий код число 105_{10} .

Розв'язання. Операція перетворення виконується у послідовності, наведеній нижче.

$$\begin{aligned}
 105 & : 2 = 52 + \text{залишок } 1 = a_0 \\
 52 & : 2 = 26 + \text{залишок } 0 = a_1 \\
 26 & : 2 = 13 + \text{залишок } 0 = a_2 \\
 13 & : 2 = 6 + \text{залишок } 1 = a_3 \\
 6 & : 2 = 3 + \text{залишок } 0 = a_4 \\
 3 & : 2 = 1 + \text{залишок } 1 = a_5 \\
 1 & : 2 = 0 + \text{залишок } 1 = a_6
 \end{aligned}$$

Тобто, $105_{10} = A_2 = a_6 a_5 a_4 a_3 a_2 a_1 a_0 = 1101001_2$.

Типові помилки при реалізації такого алгоритму наступні: порушення порядку запису цифр, що одержуються; неправильне вписування крайньої ліворуч цифри.

Використовуючи ступені числа 2 з прикладу 1.5, скористаємось спрощеним способом переведення числа A_{10} у двійкову систему числення. Дійсно, можемо записати нерівності

$$2^7 > 105 > 2^6.$$

Звідси витікає, що двійкове число представляється 7-ма розрядами, старший з яких $2^6 = 64$. Оскільки різниця $105 - 64 = 41$ знаходиться в інтервалі $2^6 > 41 > 2^5$, то стверджуємо, що і наступний по старшинству розряд – шостий ($2^5 = 32$) – дорівнює 1. Наступна різниця $41 - 32 = 9 = 1001_2$. П'ятий розряд дорівнює нулю, і в результаті отримуємо ту ж саму відповідь.

Переведення числа A , що має дробову частину, з десяткової системи числення у двійкову має ту особливість, що ціла і дробова частини переводяться окремо.

Сформулюємо тепер правило переведення дробової частини з десяткової системи числення в P -ічну. Знову представимо її у розгорнутому вигляді:

$$A_{10} = a_{-1} \cdot P^{-1} + a_{-2} \cdot P^{-2} + \dots + a_{-k} \cdot P^{-k} + \dots \quad (5.3)$$

Перемножуючи ліву і праву частини (5.3) на P в правій частині виразу отримуємо:

$$a_{-1} + a_{-2} \cdot P^{-2} \dots + a_{-k} \cdot P^{-k} + \dots \quad (5.4)$$

З отриманого результату можемо зробити висновок, що перша цифра a_{-1} дробової частини числа A в P -ічній системі числення дорівнює цілій частині результату перемноження десяткової дробової частини на P . Після чергового перемноження залишку дробової частини на P отримаємо значення a_{-2} :

$$(a_{-2} \cdot P^{-1} + \dots + a_{-k} \cdot P^{-k+1} + \dots) \cdot P.$$

Цей процес продовжується до тих пір, поки дробова частина результату перемноження лівої частини не стане рівною нулю або поки не буде виділений період повторності цифр.

Приклад 5.4 Перевести число $A = 0,375_{10}$ в двійкову систему числення.

Розв'язання. Виконуємо операцію множення в наведеній нижче послідовності.

$$\begin{array}{ll} 0,375 \times 2 = 0,75 & 0 \text{ – перша цифра результату} \\ 0,75 \times 2 = 1,5 & 1 \text{ – друга цифра результату} \\ 0,5 \times 2 = 1 & 1 \text{ – остання цифра результату} \end{array}$$

Внаслідок виконання перетворень отримали результат $0,375_{10} = 0,011_2$.

5.2 Коди та їх характеристика

5.3.1 Коди з паралельною формою представлення інформації

Система числення, в якій використовуються лише два знаки для відображення інформації, називається *двійковою*, основою якої є число 2. За аналогією з десятковою, двійкова система числення є позиційною, і будь-яке ціле десяткове число може бути представлене двійковим рядом, що вміщує лише "1" та "0" у відповідності з алгоритмом:

$$A_{10} = \sum_{i=0}^{k-1} a_i \cdot 10^i \rightarrow A_2 = \sum_{j=0}^{p-1} a_j \cdot 2^j, \quad (5.5)$$

де $a_i = 0 \dots 9$ – цифри i -го розряду десяткового числа; $a_j = 0 \dots 1$ – відповідно, цифри j -го розряду двійкового числа. Розряди чисел рахуються зліва направо, починаючи зі старшого. Дробові числа представляються доповненням суми (5.5) від'ємними ступенями числа 2.

Електронні системи, що оперують сигналами, які відповідають лише рівням "1" та "0", називаються *цифровими*. Схеми, на основі яких реалізуються такі системи, також називаються *цифровими*, а розділи електроніки, що вивчають принципи побудови таких схем – *цифровою схемотехнікою*.

Як у теорії інформації, так і на практиці застосування цифрової схемотехніки використовується багато різноманітних кодів. Визначимось з основною термінологією.

Код – це універсальний спосіб відображення інформації при її зберіганні, передачі і обробці у вигляді системи однозначних відповідностей між елементами повідомлень і сигналами, за допомогою яких ці елементи можна зафіксувати. Іншими словами, *кодування* – це однозначне перетворення символів одного алфавіту в символи іншого, а код – правило, закон, алгоритм, при якому від-

бувається це перетворення. Комбінації символів, що належать до даного коду, називаються *кодovими словами*. Символи, за допомогою яких повідомлення трансформується в код, є *вторинним алфавітом*. Процес відновлення вмісту повідомлення за допомогою відповідного коду називається *декодуванням*. Необхідною умовою декодування є взаємно однозначна відповідність кодovих слів у вторинному алфавіті символам первинного алфавіту та їх комбінаціям. При передачі кодovих символів по лініях зв'язку вони повинні бути розділені так, щоб кожен символ міг бути прийнятим самостійно, що виконується з використанням різних принципів їх розділення. Розділення символів може бути *просторовим, часовим і якісним*. *Просторове* розділення по суті є багатоканальним зв'язком, і при його використанні відпадає необхідність у спеціальних методах кодування. При *якісному* розділенні між символами повинно бути як мінімум дві розподільчі ознаки (наприклад, тривалість імпульсу, паузи), які легко відрізняються на приймальній стороні лінії зв'язку. *Якісне* розділення дає можливість одночасної передачі інформації від різних об'єктів по одному каналу зв'язку. Прикладом якісного розділення є частотне розділення (моногоармонічний сигнал при імпульсі має одну частоту, а при паузі – іншу). При часовому розділенні використовуються спеціальні комутатори на передаючій та приймальній сторонах, які по чергово з'єднують необхідні лінії зв'язку.

Двійкове кодування десяткових чисел в відповідності з (5.5) не є єдиним. При роботі з двійковими числами широко використовуються й інші коди, які в різних практичних ситуаціях мають свої переваги перед двійковим. Деякі з них для позитивних чисел в інтервалі $0 \dots 15$ представлені у набл. 5.1.

Прямий двійковий код A_2 також називають кодом 8-4-2-1 у відповідності з ваговими коефіцієнтами розрядів.

Зворотній код $B_2 = b_3 b_2 b_1 b_0$ отримується шляхом інверсії кожного розряду прямого коду:

$$B_2 = b_3 b_2 b_1 b_0 = \overline{A_2} = \overline{a_3} \overline{a_2} \overline{a_1} \overline{a_0}.$$

Він використовується як самостійно в логічних структурах цифрових систем, так і при виконанні арифметичних операцій для одержання доповнюючого коду D_2 . Останній застосовується при виконанні арифметичних операцій і знаходиться відповідно до формули:

$$D_2 = B_2 + 1 = \overline{A_2} + 1 = \overline{a_3} \overline{a_2} \overline{a_1} \overline{a_0} + 1,$$

де число 1 додається шляхом двійкової арифметики.

Код Грея, який часто називається *циклічним*, має ту особливість, що при переході з одного числа до сусіднього проходить зміна "0" на "1" або навпаки тільки в одному розряді. Як видно з таблиці, код, представлений двома, трьома або чотирма розрядами, завжди створює циклічну послідовність, тобто адекватну можливість переходу від самого старшого кодового значення числа до самого молодшого. Ця особливість дозволяє використовувати його при кодуванні кутових переміщень у перетворювачах кута повороту у цифровий код. Код Грея знаходить також широке використання у різних перетворювачах "аналог - код", де його властивість дає можливість звести похибки неоднозначності при зчитуванні інформації до одиниці молодшого розряду.

Табл. 5.1. Значення деяких двійкових кодів в інтервалі від 0 до 15

A_{10}	A_2 (двійковий)				B_2 (зворотний)				D_2 (доповнюючий)				Код Грея			
	a_3	a_2	a_1	a_0	b_3	b_2	b_1	b_0	d_3	d_2	d_1	d_0	g_3	g_2	g_1	g_0
0	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0
1	0	0	0	1	1	1	1	0	1	1	1	1	0	0	0	1
2	0	0	1	0	1	1	0	1	1	1	1	0	0	0	1	1
3	0	0	1	1	1	1	0	0	1	1	0	1	0	0	1	0
4	0	1	0	0	1	0	1	1	1	1	0	0	0	1	1	0
5	0	1	0	1	1	0	1	0	1	0	1	1	0	1	1	1
6	0	1	1	0	1	0	0	1	1	0	1	0	0	1	0	1

7	0	1	1	1	1	0	0	0	1	0	0	1	0	1	0	0
8	1	0	0	0	0	1	1	1	1	0	0	0	1	1	0	0
9	1	0	0	1	0	1	1	0	0	1	1	1	1	1	0	1
10	1	0	1	0	0	1	0	1	0	1	1	0	1	1	1	1
11	1	0	1	1	0	1	0	0	0	1	0	1	1	1	1	0
12	1	1	0	0	0	0	1	1	0	1	0	0	1	0	1	0
13	1	1	0	1	0	0	1	0	0	0	1	1	1	0	1	1
14	1	1	1	0	0	0	0	1	0	0	1	0	1	0	0	1
15	1	1	1	1	0	0	0	0	0	0	0	1	1	0	0	0

В літературі описані декілька різних прийомів для одержання коду Грея. Один з них дозволяє будувати код Грея безпосередньо з двійкового, використовуючи наступне правило: i -й біт коду Грея встановлюється в нуль, якщо i -й та $(i + 1)$ -й біти відповідного двійкового коду однакові; у протилежному випадку біт $i = 1$. У тому випадку, коли $(i + 1)$ -й біт виходить за рамки розрядності двійкового коду, його значення приймається рівним нулю.

При записі слів двійкового коду може використовуватись шістнадцяткове числення

$$A_{16} = \sum_{j=0}^S a_j^{16} \cdot 16^j .$$

При його використанні десяткові числа від 10 до 15 замінюються відповідно латинськими літерами А, В, С, D, Е, F. Двійковий і шістнадцятковий коди легко взаємно переводяться. Для цього двійкове слово будь-якої довжини розбивається на тетради, починаючи з молодшого розряду i , відповідно до табл. 5.1 та вищезазначеними еквівалентами літер та цифр, записується його шістнадцяткове представлення. Наприклад, $A_2 = 111011_2 = 0011\ 1011_2 = 3B_{16}$.

Для позначення цього коду використовують букву h (*hexadecimal*), яку ставлять після його числового значення: $3B_{16} = 3Bh$.

5.3.2 Коди з послідовною формою представлення інформації

Паралельний формат зберігання і передачі даних використовується при малих відстанях між цифровими пристроями і при зберіганні у напівпровідникових запам'ятовуючих пристроях. У той же час, при записі або зчитуванні на магнітні або оптичні носії цифрова інформація повинна передаватись у послідовному форматі. Послідовний формат використовується і при передачі на великій відстані по телефонних і кабельних лініях зв'язку. У кожному з таких випадків представлена в паралельному форматі інформація повинна перетворюватись у послідовний за допомогою спеціальних апаратно-програмних засобів.

Базовою концепцією передачі інформації у послідовному форматі є строга узгодженість побітної передачі з сигналами синхронізації, тобто кожному періоду синхросигналу повинен ставитись у відповідність один біт інформації, що передається. Інтервал часу між двома тактами синхросигналу є *бітовим інтервалом*, протягом якого по інформаційному каналу передається "0" або "1". У такому випадку, незалежно від довжини слова, яке передається, кількість інформаційних провідників не перевищуватиме трьох – загальний, інформаційний, синхронізації. В інтервалі тактового періоду генератора синхросигналів на інформаційний провідник від джерела сигналу повинен передаватись один біт у вигляді високого або низького рівня напруги. Частота передачі інформаційних сигналів однозначно визначається частотою синхросигналу, розділеною на довжину (у бітах) слів, що передаються. Здебільшого початок інформаційного сигналу (його фронт) співпадає з початком синхроімпульсу, але така особливість передачі не є обов'язковою.

На жаль, описана форма передачі інформації нереальна, оскільки на приймальній стороні неможливо з потоку інформаційних біт виділити окремі слова, принаймні при неузгодженості роботи приймача і передавача. Тому в ряді випадків до раніше визначених провідників додається четвертий, призначений для визначення початку слів. Така форма обміну інформації використову-

ється в комп'ютерній техніці, а також у системах телекомунікацій.

В інших інформаційних системах – наприклад, телефонних і кабельних мережах – використовується лише двопроводова лінія передачі. У такому випадку всі сигнали спеціально поєднуються, створюючи достатньо складний код послідовного формату, який скоріше можна розглядати як аналоговий сигнал з складними видами модуляції. Використовується і спосіб, при якому в потоці інформаційних біт має місце встановлений порядок, який відомий і строго витримується як на стороні передавача, так і на стороні приймача. Такий порядок називається *протоколом обміну*.

При передачі інформації у послідовному форматі використовується декілька способів побудови послідовних кодів. Один з них полягає у потенціальному представленні логічних рівнів "1" та "0" або протягом всього тактового інтервалу, або на половині його. В обох випадках цифровий сигнал представляється у вигляді однополярних імпульсів. Перший з них у літературі називається *NRZ* – *non-return to zero* (рис. 5.1).

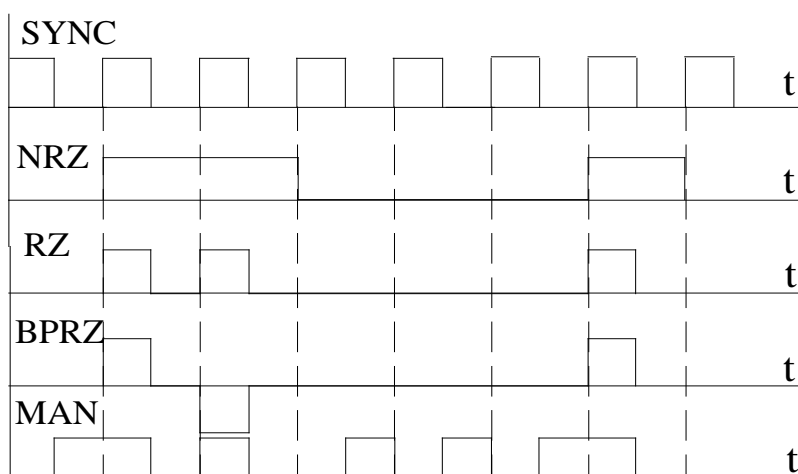


Рис. 5.1. Форми представлення цифрових сигналів

Інший спосіб формування цифрової послідовності полягає в тому, що логічні сигнали "1" і "0" можуть представлятись у вигляді різнополярних імпульсів, дія яких триває на всьому періоді тактового сигналу, або на його частині.

Прикладом однополярного коду є код *RZ* (*return to zero*). Після встановлення рівня лог. "1" у момент появи синхросигналу інформаційний сигнал діє на половині періоду, після чого встановлюється в нуль. Код з інверсією одиниці представляється на рис. 5.1 біполярним кодом *BPRZ*. Його особливість полягає у відсутності постійної складової в інформаційному сигналі, що підвищує завадостійкість кіл, які отримують цей сигнал.

Широко використовуються коди, в яких логічні сигнали кодуються не як потенціальні рівні, а як фронти переходу з "0" в "1" і з "1" в "0". Прикладом таких кодів є Манчестерський код (*MAN*). Головна перевага такого коду полягає в тому, що незалежно від символів, що передаються, він забезпечує як мінімум одну передачу в бітовому інтервалі. Лог. "0" у такому коді передається як перехід з "0" в "1" посередині бітового інтервалу, а "1" – як перехід з "1" в "0". Оскільки Манчестерський код має більше переходів **0 – 1 – 0**, ніж інші коди, він вимагає більшої смуги пропускання лінії зв'язку. Такі коди широко використовуються в міжкомп'ютерних системах зв'язку.

Кожен із способів має свої недоліки і переваги, які враховуються при прийнятті рішення про їх використання.

5.3 Виконання арифметичних операцій у двійковій системі

Основною операцією, яка використовується в цифрових системах при виконанні різних обчислень, є операція *алгебраїчного додавання*. Вона виконується на основі правил виконання операцій у двійковій системі зображення чисел, які для однорозрядних чисел мають такий вигляд:

$$\begin{array}{r}
 0 \\
 + 0 \\
 \hline
 0
 \end{array}
 \quad
 \begin{array}{r}
 1 \\
 + 0 \\
 \hline
 1
 \end{array}
 \quad
 \begin{array}{r}
 0 \\
 + 1 \\
 \hline
 1
 \end{array}
 \quad
 \begin{array}{r}
 1 \\
 + 1 \\
 \hline
 10
 \end{array}$$

$$N + D = 0' 854 + 1' 613 = 10' 467 = 467.$$

Перенесення, що з'являється зі знакового розряду, відкидається.

Аналогічно виконується операція віднімання в двійковій системі числення.

Приклад 5.7 Додати два числа $N = 0' 11011_2 = 27_{10}$ і $K = 1' 01101_2 = -13_{10}$.

Розв'язання. Знаходимо додатковий код від'ємного числа K :

$$D = 1' 10011.$$

Знаходимо суму:

$$\begin{array}{r} N = 0' 1 1 0 1 1 \\ + D = 1' 1 0 0 1 1 \\ \hline (N + D) = 10' 0 1 1 1 0 \end{array}$$

Відкидаючи 1 переносу в знаковому розряді, отримуємо

$$N + D = 0' 01110_2 = 14_{10}.$$

5.4 Основи булевої алгебри

5.4.1 Основні визначення

У практиці інженерної діяльності часто мають місце ситуації, при яких має значення не рівень сигналів, що поступають з відповідних датчиків, а лише наявність чи відсутність таких сигналів. Наприклад, у системах охоронної сигналізації необхідно знати, замкнені чи не замкнені двері або вікна в приміщенні, що охороняється. У системах автоматики часто необхідно знати, чи не перевершує кількість рідини в цистерні заданий рівень, чи не є тиск у котлі нижчим визначеної межі, чи не перевершує температура в приміщенні задану величину і т. п.

Схеми, що дають можливість розв'язувати поставлені задачі, можуть описуватись виразами типу: "лампочка на пульті охоронної сигналізації горить, якщо всі вікна замкнені (точніше, замкнено перше і друге і третє і... вікно)". Або "лампочка не горить, якщо хоча б одне вікно відкрите (тобто може бути відкритим перше **або** друге **або** третє **або** перше і друге **або**...)". Такі вирази називаються *логічними*.

При проектуванні подібних систем задаються відповідним рівнем напруги живлення, і наявність чи відсутність її дає можливість одержувати відповіді на поставлені питання. Оскільки рівень напруги може бути різним і задаватись прийнятою елементною базою, то з метою формалізації опису подібних схем приймаються деякі умови. Як приклад, високий рівень напруги приймається за "1", низький – відповідно, за "0". У такому разі наведені вище вирази можуть бути формалізовані: якщо контакти, що фіксують положення вікон, позначити як аргументи x_1, x_2, \dots, x_n , які можуть приймати лише значення "1" або "0", то напругу на лампочці можемо розглядати як функцію y , яка теж приймає одне з двох аналогічних значень.

Математичний апарат, що оперує з аргументами та функціями, які набувають тільки двох значень – "0" та "1" – називається *двійковою (булевою) алгеброю* або *алгеброю логіки*. Такий математичний апарат для розв'язання задач формальної логіки розробив ірландський математик Дж. Буль.

Логічні змінні (аргументи), як і змінні звичайної алгебри, позначаються літерами латинського алфавіту з різними індексами – наприклад, $x_0, x_1, x_2, x_3, \dots$. Індекс при змінній може одночасно означати розряд двійкового числа.

Якщо змінна x_i набуває значення $x_i = 1$, то таке її значення називають *істинним*. Протилежне $x_i = 0$ називають *хибним* і умовно позначають $\overline{x_i}$, що означає заперечення істинного значення аргументу (в зарубіжній практиці операція заперечення позначається апострофом x'). Два елементи булевої алгебри – подія істинна і подія хибна – називають її *константами*.

Булева функція позначається літерою y і є двійковою функцією двійкових аргументів. Умовне її позначення $y = f(x_1, x_2, \dots, x_n)$.

Булева функція, яка залежить від n аргументів, називається n -вимірною і є повністю визначеною, якщо вказані значення її для всіх двійкових наборів значень її аргументів. Кількість таких наборів дорівнює 2^n . Тобто, областю визначеності функції n змінних є сукупність дискретних точок n -вимірного простору, причому кожна з точок є комбінацією значень цих змінних (кодовою комбінацією). Оскільки можливі 2^n різних комбінацій логічних змінних, то область визначення функції складається зі скінченної величини – 2^n точок. Це, в свою чергу, означає, що кожна функція може бути задана таблицею значень, які вона приймає в точках її області визначеності.

Функція повністю визначена, якщо задані її значення в усіх точках області визначеності. Значення функції вибираються з множини "0" і "1". Якщо ж значення функції не задано в одній або кількох точках, то вона є неповністю визначеною. Кодові комбінації, при яких функція невизначена, називаються *факкультативними*. У практиці цифрової схемотехніки існує велика кількість неповністю визначених функцій. Довизначення їх, якщо це необхідно, забезпечується встановленням їх значень – "0" або "1" –довільним шляхом.

Усі можливі логічні функції n змінних можна створити за допомогою трьох основних операцій:

а) логічне заперечення (інверсія, операція **НІ**); позначається рискою над відповідною функцією або аргументом;

б) логічне додавання (диз'юнкція, операція **АБО**), яке позначається символами (V), (+);

в) логічне множення (кон'юнкція, операція **І**), яке позначається символами (\wedge), (\cdot), (&). Для позначення еквівалентності логічних виразів використовується знак (=).

Запереченням (інверсією) називається такий зв'язок між аргументом x та функцією y , при якому y істинна тоді і тільки тоді, коли значення x хибне, і навпаки.

Логічним множенням (кон'юнкцією) декількох змінних називається така функція, яка істинна тоді і тільки тоді, коли одночасно істинні всі логічні змінні.

Логічним додаванням (диз'юнкцією) декількох змінних називається така функція, яка хибна тоді і тільки тоді, коли одночасно хибні всі додавані змінні.

Слід пам'ятати, що операція кон'юнкції є старшою операцією і виконується раніше диз'юнкції.

Прикладом найпростіших функцій є наступні:

$$y_1 = \bar{x}_1; \quad y_2 = x_1 \cdot x_2; \quad y_3 = x_1 + \bar{x}_2.$$

У табл. 5.2 наведені приклади деяких логічних функцій двох змінних.

Табл. 5.2. Логічні функції двох змінних

Технічна реалізація булевих функцій, а, відповідно, і їх фізична інтерпретація добре ілюструється за допомогою контактних схем, в яких логічна змінна x_i відповідає замкненому контакту.

5.4.2 Закони і тотожності алгебри логіки

Назва функції	Логічний вираз	X_1X_2			
		00	01	10	11
Інверсія (НІ)	$y = \bar{x}_1$	1	1	0	0
Диз'юнкція (АБО)	$y = x_1 + x_2 = x_1 \vee x_2$	0	1	1	1
Кон'юнкція (І)	$y = x_1 \cdot x_2 = x_1 \wedge x_2$	0	0	0	1
Еквівалентність	$y = x_1 = x_2 = \overline{(x_1 + x_2)(\bar{x}_1 + \bar{x}_2)}$	1	0	0	0
Функція Пірса (АБО-НІ)	$y = \overline{x_1 + x_2} = \overline{x_1 \vee x_2} = x_1 \cdot x_2$	1	0	0	0
Функція Шеффера (І-НІ)	$y = \overline{x_1 x_2} = \overline{x_1 \wedge x_2} = \bar{x}_1 + \bar{x}_2$	1	1	1	0
Сума по модулю 2 (виключне АБО)	$y = x_1 \oplus x_2 = (\bar{x}_1 + \bar{x}_2)(x_1 x_2)$	0	1	1	0

В алгебрі логіки використовується ряд аксіом (тотожностей) та законів. Основними з них є наступні: переміщувальний (властивість комутативності); сполучний (властивість асоціативності); розподільний (властивість дистрибутивності); інверсії (теорема де Моргана). Головні аксіоми та закони булевої алгебри наведені у табл. 5.3.

Табл. 5.3. Головні аксіоми та закони булевої алгебри

Назва аксіоми чи закону	Вирази
Аксіоми (тотожності)	$0 \cdot x = 0; x \cdot x = x; x \cdot 1 = x; x \cdot \bar{x} = 0$ $1 + x = 1; 0 + x = x; x + x = x; x + \bar{x} = 1$
Закони комутативності	$x_1 + x_2 = x_2 + x_1$ $x_1 \cdot x_2 = x_2 \cdot x_1$
Закони асоціативності	$x_1 + x_2 + x_3 = x_1 + (x_2 + x_3) = (x_1 + x_2) + x_3 =$ $= (x_1 + x_3) + x_2$ $x_1 \cdot x_2 \cdot x_3 = x_1 \cdot (x_2 \cdot x_3) =$ $= x_2 \cdot (x_1 \cdot x_3) = x_3 \cdot (x_1 \cdot x_2)$
Закони дистрибутивності	$x_1 \cdot (x_2 + x_3) = x_1 \cdot x_2 + x_1 \cdot x_3$ $x_1 + x_2 \cdot x_3 = (x_1 + x_2) \cdot (x_1 + x_3)$
Закони інверсії (теорема де Моргана, принцип подвійності)	$\overline{x_1 \cdot x_2} = \bar{x}_1 + \bar{x}_2$ $\overline{x_1 + x_2} = \bar{x}_1 \cdot \bar{x}_2$
Закони поглинання	$x_1 + x_1 \cdot x_2 = x_1$ $x_1 \cdot (x_1 + x_2) = x_1$

Використовуючи наведені у табл. 5.3 закони та тотожності, які використовуються при перетворенні логічних функцій, можна створювати нові. Наприклад:

$$x_1 \cdot \overline{(x_1 + x_2)} = x_1 \cdot x_2;$$

$$x_1 \cdot \overline{x_2} + x_2 = x_1 \cdot \overline{x_2} + x_2(x_1 + \bar{x}_1) = x_1 \cdot \overline{x_2} + x_1 \cdot x_2 + \bar{x}_1 \cdot x_2 = x_1 + x_2.$$

У подальшому крапки, що відображають операцію логічного множення у формулах, для спрощення запису приводити не будемо.

Закони інверсії, які відображають властивість взаємного перетворення операцій логічного множення і додавання в алгебрі логіки, називають *принципом подвійності*.

5.4.3 Способи задання логічних функцій

Існують такі способи задання або запису логічних функцій – *аналітичний, табличний, за допомогою карт Карно, графічний та кубічний*.

Аналітично логічна функція може бути записана різними комбінаціями кон'юнкцій та диз'юнкцій логічних змінних. Зазвичай логічні функції записуються або у вигляді суми добутоків логічних змінних (диз'юнкція кон'юнкцій) або у вигляді логічного добутку їх сум (кон'юнкція диз'юнкцій). Наведення функції у вигляді диз'юнкції кон'юнкцій називають *диз'юнктивною нормальною формою (ДНФ)*:

$$y = \overline{x_1 x_2} + \overline{x_1 x_3} + x_1 x_2 \overline{x_3} ,$$

а запис у вигляді кон'юнкції диз'юнкцій – відповідно, *кон'юнктивною нормальною формою (КНФ)*:

$$y = (x_1 + x_2)(x_2 + \overline{x_3})(\overline{x_1} + x_2 + x_3) .$$

Інверсія у відповідності з теоремою де Моргана будь-якої функції, наведеній в одній формі, призводить до заміни запису на іншу форму.

Наприклад, інверсія функції $y = x_1 + x_2 \overline{x_3} + x_1 \overline{x_2} x_3$ представляється у вигляді $\overline{y} = \overline{x_1} (\overline{x_2} + x_3) (\overline{x_1} + x_2 + \overline{x_3})$.

Будь-яка логічна функція, задана в аналітичній формі, може бути перетворена на **ДНФ** або **КНФ** за допомогою тотожностей та законів алгебри логі-

ки. При цьому для однієї і тієї ж функції може існувати декілька рівнозначних диз'юнктивних та кон'юнктивних нормальних форм.

У той же час, існує лише один вид **ДНФ** та **КНФ**, в яких функція може бути записана єдиним чином. Такі форми називаються *досконалими диз'юнктивними (кон'юнктивними) нормальними формами (ДДНФ, ДКНФ)*. Вони характеризуються тим, що в **ДДНФ** кожна кон'юнкція, а в **ДКНФ** кожна диз'юнкція містять усі логічні змінні даної функції, з інверсіями або без них.

Прикладами **ДДНФ** та **ДКНФ** запису є функції чотирьох змінних

$$y_1 = \overline{x_3} \overline{x_2} \overline{x_1} \overline{x_0} + \overline{x_3} x_2 \overline{x_1} \overline{x_0} + x_3 \overline{x_2} \overline{x_1} \overline{x_0} ;$$

$$1010 \quad 0110 \quad 1011$$

$$y_2 = (x_1 + \overline{x_2} + \overline{x_3} + x_4)(\overline{x_1} + x_2 + \overline{x_3} + x_4).$$

Оскільки кожна кон'юнкція функції, що наведена у **ДДНФ**, визначає її істинне значення, відповідаюче "1", то такі кон'юнкції називаються *конституєнтами одиниці (мінтермами)*. Аналогічно, диз'юнкції функції, що наведені у **ДКНФ**, називаються *конституєнтами нуля (макстермами)*.

Якщо замінити логічні змінні та їх заперечення одиницями та нулями, то кожна кон'юнкція буде представляти собою двійкове число.

Це дозволяє, наприклад, вище наведену логічну функцію y_1 записати у вигляді:

$$y_1 = \bigvee_0^{15} 6, 10, 11.$$

Така форма називається досконалою скороченою диз'юнктивною формою або канонічною сумою.

Аналогічно, функцію можна зобразити і у вигляді добутку макстермів. Така форма запису називається *канонічним добутком*. Наприклад:

$$y = \bigwedge_0^7 2, 4 = (x_2 + \overline{x_1} + x_0)(\overline{x_2} + x_1 + x_0).$$

Легко бачити можливість конвертації в представленні функції у вигляді макстермів та мінтермів, оскільки кожна з них доповнює функцію до повного перебору логічних змінних. Як приклади, можемо записати:

$$y = \bigvee_0^7 2, 6, 7 = \bigwedge_0^7 0, 1, 3, 4, 5 ;$$

$$y = \bigvee_0^7 0, 1, 3, 5 = \bigwedge_0^7 2, 4, 6, 7 ;$$

$$y = \bigvee_0^{15} 0, 4, 5, 9, 11, 13, 15 = \bigwedge_0^{15} 1, 2, 3, 6, 7, 8, 10, 12, 14 .$$

Індекси біля умовних позначень операцій диз'юнкції та кон'юнкції вказують на діапазон можливих мінтермів та макстермів логічних функцій. Нижній індекс іноді не вказується.

Досконала диз'юнктивна нормальна форма запису дозволяє легко перейти до інших форм запису – *табличної* та *карт Карно*. У табл. 5.4 наведені функції $y_1 \dots y_5$ двох змінних x_0 та x_1 .

Табл. 5.4. Табличний спосіб представлення логічних функцій

x_1	x_0	y_1	y_2	y_3	y_4	y_5
0	0	0	0	0	0	1
0	1	1	1	1	0	0
1	0	1	1	1	0	0
1	1	x	1	0	1	1

Табличний спосіб полягає у тому, що функція задається у вигляді таблиці відповідності (таблиці істинності станів). У таблицю вписують усі можливі комбінації аргументів у порядку зростання їх індексів і при кожній комбінації встановлюється значення функції. Кількість всіх можливих сполук аргументів, а, отже, і кількість значень функції дорівнює 2^n , де n – кількість логічних змінних. З табличної форми запису легко перейти до аналітичної, використовуючи

досконалу диз'юнктивну форму запису логічних функцій. Для цього функція записується як диз'юнкція конститuent одиниці. Наприклад, функцію y_3 з табл. 1.5 можемо записати у вигляді:

$$y_3 = \overline{x_1} x_0 + x_1 \overline{x_0}.$$

Ця функція може бути записана і з використанням нульових її значень:

$$\overline{y_3} = \overline{x_1} \overline{x_0} + x_1 x_0.$$

Використовуючи властивість подвійної інверсії, легко встановити тотожність обох форм запису.

У практичній схемотехніці найбільш поширеними є системи, які реалізують логічні функції **I-НІ**, **АБО-НІ**, **ВИКЛ. АБО**. Вони дозволяють найбільш просто реалізовувати різні функції, мати більшу кількість входів, прості в технічній реалізації.

Карта Карно (Вейча) – це компактна форма представлення таблиці істинності логічної функції. Такі карти містять у кожній клітинці окремий мінтерм і тому ще мають назву карт мінтермів. Карти мінтермів Карно та Вейча представляють собою прямокутні таблиці із клітинками, число яких дорівнює 2^n , де n – кількість змінних. Кожна одиниця, поміщена в клітку карти Карно, відповідає своєму мінтерму. Щоб нанести на карту вираз ab треба поставити 1 у всіх клітках що містять a і b одночасно. Якщо в клітці з'являється дві або більш 1, вважається, що там 1 – одиниця.

На рис. 5.2 наведено приклад позначення змінних на картах Вейча для чотирьох змінних.

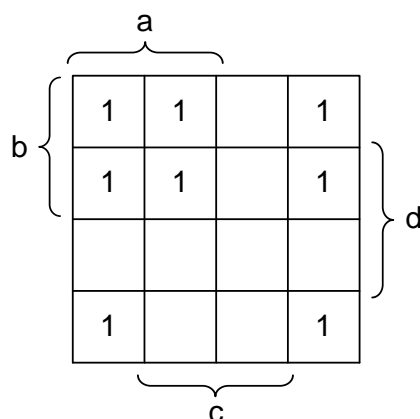


Рис. 5.2. Позначення змінних на карті Вейча

Змінна a приймає прями значення у двох лівих стовпчиках таблиці, а у двох правих стовпчиках – приймає інверсне значення (рис. 5.2). Для зменшення кількості написів біля таблиці інверсні значення на рисунках не позначають.

5.5 Спрощення булевих функцій

5.5.1 Доцільність спрощення

б наочно пересвідчитись про необхідність спрощення розглянемо логічний вираз

$$\begin{aligned}
 y &= \bar{x}_1 x_2 x_3 \bar{x}_4 + x_1 x_2 x_3 \bar{x}_4 + x_1 x_2 \bar{x}_3 \bar{x}_4 + \bar{x}_1 x_2 \bar{x}_3 \bar{x}_4 = \\
 &= x_1 x_2 \bar{x}_4 (x_3 + \bar{x}_3) + \bar{x}_1 x_2 \bar{x}_4 (x_3 + \bar{x}_3) = \\
 &= x_1 x_2 \bar{x}_4 + \bar{x}_1 x_2 \bar{x}_4 = x_2 \bar{x}_4 (x_1 + \bar{x}_1) = x_2 \bar{x}_4.
 \end{aligned}$$

За допомогою винесення змінних за дужки і з урахуванням того, що $x + \bar{x} = 1$, отримаємо спрощений вираз $y = x_2 \bar{x}_4$.

Такий метод перетворення називається аналітичним, або методом Квай-на.

Перетворена функція набагато простіше вихідної, а це означає, що для її реалізації буде потрібно набагато менше логічних елементів, ніж для реалізації початкової функції. При побудові апаратури прагнуть до реалізації структурних схем, що забезпечують мінімальну витрату компонентів та устаткування. Це і обумовлює необхідність мінімізації логічних функцій.

5.5.2 Задачі мінімізації

Під мінімізацією булевої функції найчастіше розуміють знаходження найбільш простого виразу у вигляді суперпозиції операцій, що представляють функціонально повну систему.

Найбільш простим вважається вираз, що містить мінімальне число суперпозицій.

Метою мінімізації є зменшення вартості технічної реалізації логічних функцій незалежно від використовуваних апаратних засобів.

Логічні функції апаратно реалізуються за допомогою мікросхем, орієнтованих на виконання тих чи інших операцій. Мікросхеми загального використання здебільшого можуть реалізовувати декілька простих одиночних операцій. З цієї причини справедливо стверджувати, що чим простішою є аналітична форма запису логічної функції, тим менше використовується логічних елементів і, як результат, тим менше мікросхем необхідно для її реалізації. Складність логічних функцій визначається кількістю логічних змінних, що входять до їх складу в прямому і інверсному виді, та кількістю простих логічних операцій над ними. Будь-яка логічна функція може бути записана різними аналітичними виразами різного рівня складності. Серед них можна знайти такі, які містять мінімальну кількість логічних змінних і операцій над ними. Задача знаходження таких аналітичних виразів називається *мінімізацією логічних функцій*. Звідси витікає, що *мінімізація логічної функції* – це заміна логічної функції, що представлена у вигляді логічної суми мінтермів або логічного добутку макстермів, ін-

шою логічною функцією з мінімальною кількістю логічних змінних та операцій над ними.

Задача мінімізації – це задача неоднозначна, і різними шляхами можна отримати різні вирази мінімізованої функції, які відрізнятимуться між собою кількістю змінних і операцій над ними.

5.5.3 Спрощення логічних функцій за допомогою карт мінтермів

Карта Карно відрізняється від карти Вейча порядком розташування змінних на карті.

Карти Карно виявляються більш зручними при аналізі й синтезі послідовних схем (наприклад, лічильників або регістрів). На бокових гранях карти вказують змінні, а ті області де змінні приймають інверсні значення не позначають (вважається що це і так зрозуміло). Наприклад, у верхньому лівому куту знаходиться мінтерм у якому змінна c приймає інверсне значення, а на гранях карти не позначено \bar{c} .

На рис. 5.3 та 5.4 наведено приклади позначення змінних на картах Вейча та Карно (відповідно) та розташування мінтермів у цих картах.

a				
b	$ab\bar{c}\bar{d}$	$abc\bar{d}$	$\bar{a}bc\bar{d}$	$\bar{a}b\bar{c}\bar{d}$
	$ab\bar{c}d$	$abcd$	$\bar{a}bcd$	$\bar{a}b\bar{c}d$
	$a\bar{b}\bar{c}d$	$a\bar{b}cd$	$\bar{a}\bar{b}cd$	$\bar{a}\bar{b}\bar{c}d$
	$a\bar{b}\bar{c}\bar{d}$	$a\bar{b}c\bar{d}$	$\bar{a}\bar{b}c\bar{d}$	$\bar{a}\bar{b}\bar{c}\bar{d}$
	c			
	d			

Рис. 5.3. Розміщення мінтермів на карті Вейча

	a			
	$\bar{a}\bar{b}\bar{c}\bar{d}$	$\bar{a}b\bar{c}\bar{d}$	$a\bar{b}\bar{c}\bar{d}$	$a\bar{b}c\bar{d}$
	$\bar{a}\bar{b}c\bar{d}$	$\bar{a}bc\bar{d}$	$ab\bar{c}\bar{d}$	$ab\bar{c}d$
c	$\bar{a}\bar{b}cd$	$\bar{a}bcd$	$abcd$	$a\bar{b}cd$
	$\bar{a}b\bar{c}d$	$\bar{a}bc\bar{d}$	$ab\bar{c}\bar{d}$	$a\bar{b}c\bar{d}$
	b			

Рис. 5.4. Розміщення мінтермів на карті Карно

Для нанесення логічного виразу на карту мінтермів достатньо розташувати "1" у клітинках карти, що відповідають всім умовам цього виразу. Наприклад, вираз $y = ab + \bar{c}\bar{d} + \bar{a}b\bar{c}$ відповідає карті мінтермів на рис. 5.5.

	a			
b	1^{ab}	1^{ab}		
	1^{ab}	1^{ab}		$1^{\bar{a}b\bar{c}}$
	$1^{\bar{c}\bar{d}}$			$1^{\bar{c}\bar{d}}$
	c			

Рис. 5.5. Нанесення на карту Вейча виразів

Якщо декілька "1" треба розміщувати в одній клітинці карти, то там ставиться тільки одна одиниця.

5.5.4 Способи об'єднання мінтермів на картах Вейча або Карно

Спрощення досягається склеюванням одиниць на карті мінтермів. Склеювати можна квадрати, подвійні квадрати, повні стовпці, а також два сусідніх мінтерма і мінтерми, що перебувають у протилежних кінцях стовпчика або рядка. Приклади склеювання наведені нижче.

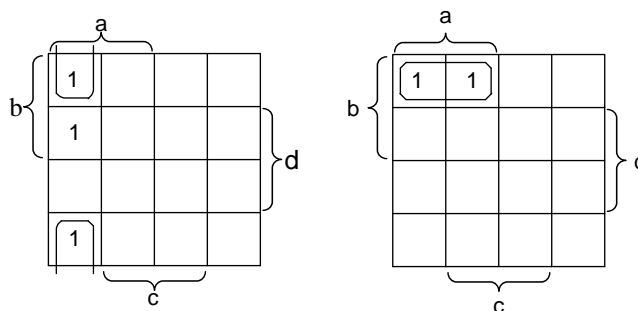


Рис. 5.6. Склевання двох мінтермів

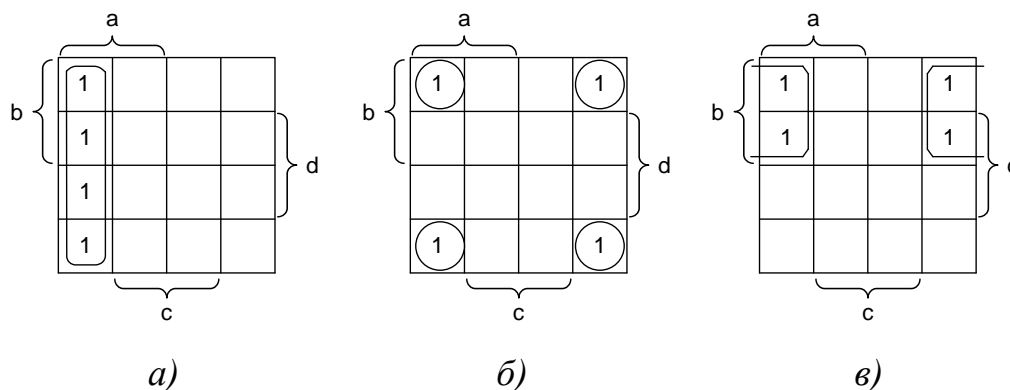


Рис. 5.7. Склеювання чотирьох мінтермів

При мінімізації за допомогою карт мінтермів *мінімальна форма буде отримана у тому випадку коли мінімальним числом контурів охопити максимальне число одиниць*. Не треба забувати про те, що одна і та сама одиниця може попадати в декілька контурів одночасно.

Для зчитування спрощеного виразу з карти мінтермів слід притримуватись такого правила. У спрощеному виразі для кожного склеювання будуть відсутні ті змінні, що змінюють свій знак у цьому склеюванні. Наприклад, для склеювання з чотирьох одиниць (рис. 5.7,в) змінні b та d змінюють свій знак. Тому спрощений вираз для цього склеювання буде виглядати як $y = a\bar{c}$.

5.5.5 Позначення логічних елементів

Для реалізації логічних функцій використовуються логічні елементи, умовні позначення яких у відповідності зі стандартом наведено на рис. 5.8.

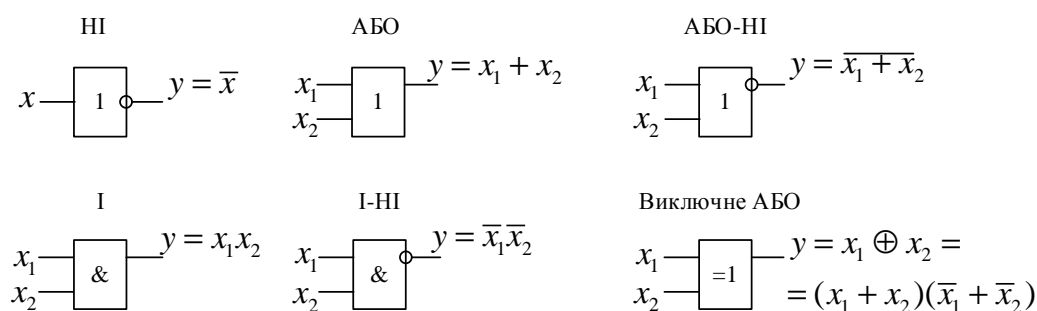


Рис. 5.8. Умовні позначення логічних елементів

На рис. 5.8 наведені умовні позначення, характерні для стандартів, прийнятих у країнах СНД, німецькому стандарті DIN та міжнародному стандарті ІЕС 60617. Використання наведених умовних позначень дає можливість будувати складні логічні та принципові схеми електронних пристроїв. Логічні елементи, умовні зображення яких наведені на рис. 5.8, виготовляються в різних серіях цифрових мікросхем.

Приклад 5.8 Побудувати схему, що відповідає функції $y = x_1 x_2 + \overline{x_1 x_2}$.

Розв'язання. Використовуючи лише однофункціональні логічні елементи, будується схема, що наведена на рис. 5.9.

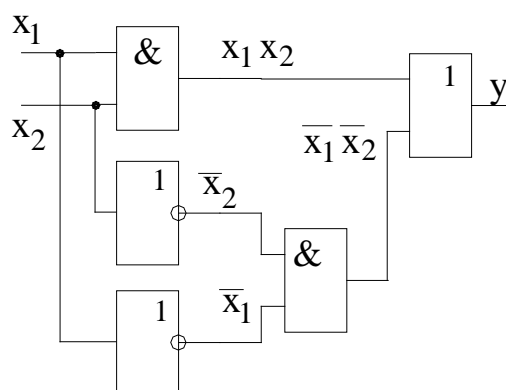


Рис. 5.9. Приклад реалізації логічного виразу за допомогою логічних елементів

Для кращого розуміння процесів, що відбуваються у цифрових схемах, використовують *часові діаграми*, які відображають часові співвідношення між вхідними логічними змінними і вихідною функцією (рис. 5.10). Часові діаграми зображають з урахуванням фронтів імпульсних послідовностей з відображенням моментів початку перехідних процесів і часто мають допоміжні вказівні стрілки, які уточнюють хід перехідних процесів у схемі.

На рис. 5.10 наведено приклад часових діаграм для логічної схеми, зображеної на рис. 5.9, що реалізує операцію цифрового компаратора. У випадку, що розглядається, приводяться лише вхідні та вихідні сигнали. При визначенні інтервалів часових затримок, тривалості перехідних процесів приводиться більша деталізація часових діаграм.

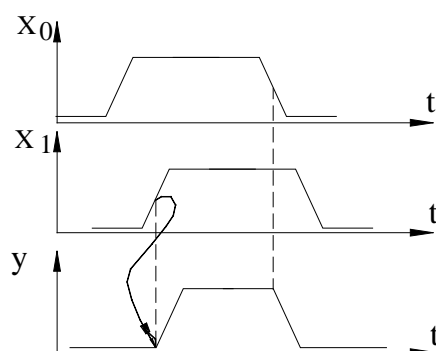


Рис. 5.10. Приклад часових діаграм сигналів у цифрових схемах

Функціонально повна система логічних елементів – набір елементів, який дозволяє реалізувати логічне вираз будь-якого ступеня складності.

Таких наборів існує три:

- НІ, І, АБО;
- І-НІ;
- АБО-НІ.

Елементи І, АБО, І-НІ, АБО-НІ, що реалізовані у вигляді логічних мікросхем, можуть мати 2, 3, 4 або 8 входів.

Розглянемо приклад створення схеми за логічним виразом

$$y = x_1 x_2 x_3 + \overline{x_3 x_2 x_4} + x_1 \overline{x_3}.$$

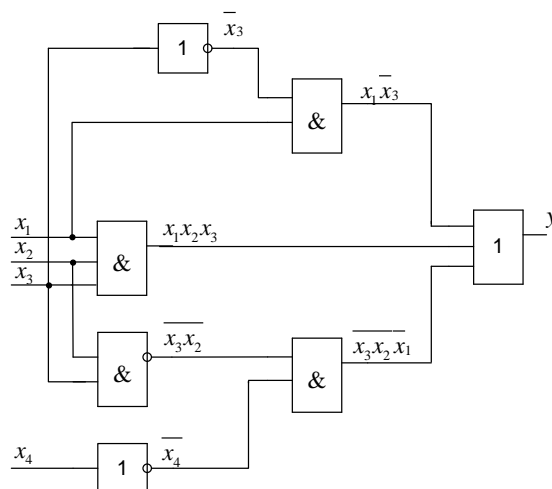


Рис. 5.11. Схема з набору логічних елементів НІ, І, АБО

Реалізуємо схему за виразом $y = \overline{x_4(x_3 + x_4)} + \overline{x_1 x_2(x_3 + x_4)}$ з набору І-НІ.

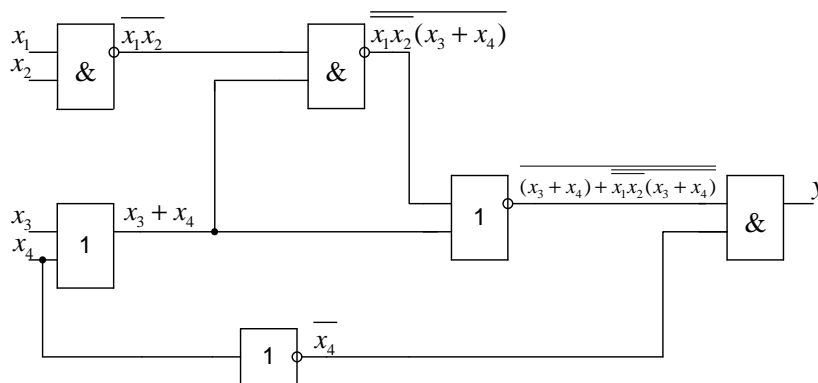


Рис. 5.12. Схема з набору логічних елементів І-НІ

Спробуємо мінімізувати розглянутий вище вираз

$$y = \overline{x_4(x_3 + x_4)} + \overline{x_1 x_2(x_3 + x_4)} = \overline{x_4} \cdot \overline{x_3 + x_4} + \overline{x_1 x_2(x_3 + x_4)} = 0.$$

Результатом є нульове значення на виході, тобто замість схеми, що наведена на рис. 5.12 треба просто з'єднати вихід з загальним проводом.

Розглянемо ще один приклад мінімізації. За виразом $y = \overline{x_1 x_2 x_3 x_4} + \overline{x_3 x_4} + x_3 x_4 + x_1 x_3$ побудуємо схему на логічних елементах АБО-НІ, а потім зробимо мінімізацію і побудуємо схему за мінімізованим виразом.

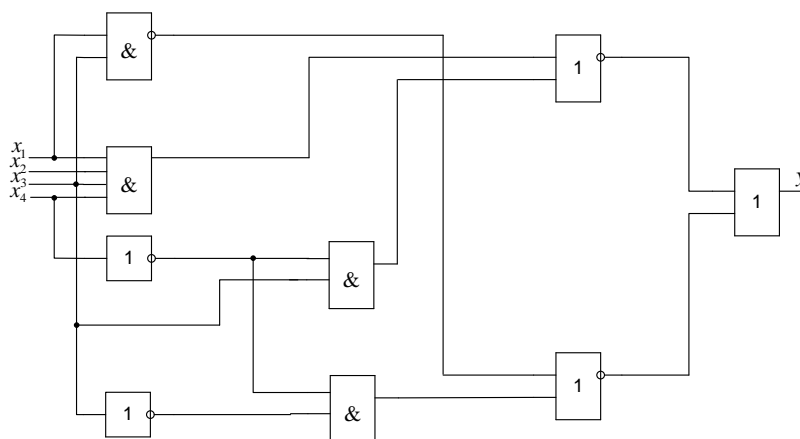


Рис. 5.13. Схема з набору логічних елементів АБО-НІ

Зробимо спрощення логічного виразу. Для цього позначимо складові як a та b і проведем спрощення спочатку для окремих складових, а потім для всього виразу.

$$y = \overline{x_1 x_2 x_3 x_4} + \overline{x_3 x_4} + x_3 x_4 + x_1 x_3;$$

$$y = a + b;$$

$$a = \overline{x_1 x_2 x_3 x_4} + \overline{x_3 x_4} = \overline{x_1 x_2 x_3 x_4} \cdot \overline{x_3 x_4} = (\overline{x_1} + \overline{x_2} + \overline{x_3} + \overline{x_4})(\overline{x_3} + \overline{x_4}) =$$

$$= \overline{x_1} \overline{x_3} + \overline{x_2} \overline{x_3} + \overline{x_3} \overline{x_3} + \overline{x_4} \overline{x_3} + \overline{x_1} \overline{x_4} + \overline{x_2} \overline{x_4} + \overline{x_3} \overline{x_4} + \overline{x_4} \overline{x_4};$$

$$b = \overline{x_3 x_4} + x_1 x_3 = \overline{x_3 x_4} \cdot x_1 x_3 = (\overline{x_3} + \overline{x_4}) x_1 x_3 = x_1 x_3 \overline{x_3} + x_1 x_3 x_4 =$$

$$= x_1 x_3 + x_1 x_3 x_4;$$

$$y = \overline{x_4} + x_1 x_3 + \overline{x_1 x_3} = \overline{x_4} + x_1 x_3 + \overline{x_1} + \overline{x_3}.$$

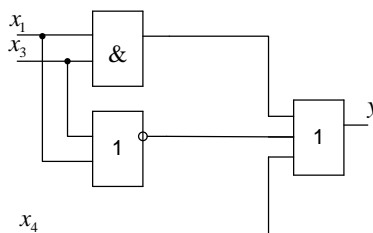


Рис. 5.14. Мінімізований варіант схеми, що показана на рис. 5.13

5.6 Контрольні питання

1. Дайте визначення системи числення. Наведіть приклади позиційних і непозиційних систем числення. Дайте пояснення.
2. Що Ви розумієте під терміном "алфавіт системи числення"? Наведіть приклади алфавітів двійкової системи числення; шістнадцяткової системи числення; системи числення з основою 10.
3. Дайте пояснення особливостям переведення чисел з десяткової системи числення у двійкову.
4. Дайте пояснення особливостям переведення дробових чисел з однієї системи числення в іншу. Наведіть конкретні приклади.
5. Поясніть взаємозв'язок між прямим двійковим, зворотнім і доповнюючим кодами.
6. Поясніть переваги та недоліки послідовного і паралельного форматів передачі даних.
7. Які способи послідовної передачі даних Вам відомі? Поясніть їх особливості.
8. Поясніть послідовність виконання арифметичних операцій додавання і віднімання в двійковій системі числення при різних знаках зменшуваного і від'ємника.
9. Операція віднімання у двійковому коді виконується з використанням доповнюючого коду. Проаналізуйте і дайте пояснення, чи справедлива подібна послідовність виконання арифметичної операції, якщо числа задаються у двійково-десятковому коді; у коді "з надлишком 3".
10. Дайте визначення терміну "алгебра логіки" ("булева алгебра").
11. Дайте пояснення диз'юнктивній і кон'юнктивній формам запису логічних функцій, а також досконалим формам запису.

12. Перелічіть відомі Вам способи запису логічних функцій. Дайте пояснення взаємозв'язку між ними.

13. Дайте пояснення суті теореми де Моргана. Приведіть приклади її використання.

14. Поясніть властивості карт мінтермів.

15. Які логічні операції використовуються для аналітичного способу мінімізації логічних функцій?

16. На яких властивостях карт Карно реалізується задача мінімізації логічних функцій?

17. Поясніть суть мінімізації логічних функцій методом Квайна.

6 СТРУКТУРИ БАЗОВИХ ЛОГІЧНИХ ЕЛЕМЕНТІВ

6.1 Характеристики цифрових сигналів

Цифрові сигнали лог. “0” і лог. “1”, які використовуються в курсі дискретної математики, виступають ідеалізацією тих сигналів, що мають місце в реальних електронних схемах.

У ключових схемах, що використовуються при двійковому представленні інформації, значенням лог. “0” та лог. “1” присвоюються обмежені діапазони напруг, які розміщуються в інтервалі від нуля до величини діючої напруги живлення логічних схем.

Не розглядаючи у даному параграфі технічні характеристики апаратних засобів для реалізації операцій над цифровими сигналами, визначимось лише з основними параметрами реальних сигналів.

Які б технічні засоби не використовувались, їх параметри загалом можливо оцінити за допомогою характеристики амплітудної характеристики, що являє собою залежність $U_{\text{вих}} = f(U_{\text{вх}})$ (рис. 6.1), де, відповідно, $U_{\text{вх}}$ та $U_{\text{вих}}$ – напру-

ги, що присутні на вході та виході електронного пристрою з урахуванням їх нестабільності.

Як відомо, логічні елементи у будь-яких цифрових пристроях мають достатньо розгалужені послідовні з'єднання. Тому, проходячи від одного логічного елемента до іншого, інформаційний сигнал може розсіювати свою енергію. Для запобігання цьому кожен логічний елемент повинен забезпечувати підсилення вхідного сигналу як за напругою, так і за потужністю. До того ж, відомо, що функціональна повнота логічних елементів обов'язково включає інверсію сигналу. Тому найпростішим логічним елементом може бути транзистор, включений за схемою із загальним емітером (загальним витоком для МДН-транзисторів), який, як відомо, інвертує вхідний сигнал. Зображена на рис. 6.1 діаграма відповідає амплітудній характеристиці інвертора. Це означає, що цифровий пристрій повинен не тільки формувати вихідні сигнали з параметрами, близькими до ідеальних "0" та "1", а й за рівнем вхідного сигналу відрізняти значення "0" та "1".

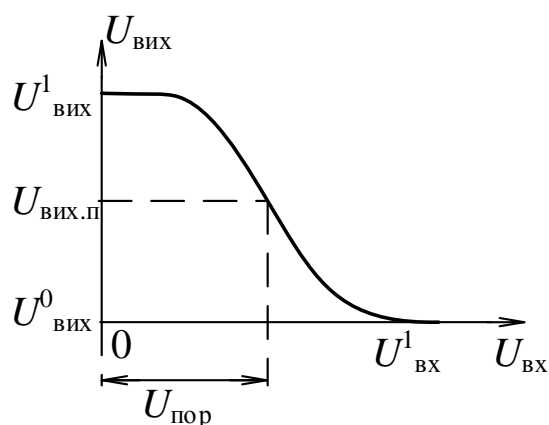


Рис. 6.1. Амплітудна характеристика логічного інвертора

Як рівень логічного нуля, так і одиниці для будь-якого логічного елемента є не конкретною величиною, а деяким визначеним діапазоном напруг. Переключення логічного елемента відбувається у той час, коли вхідна напруга переважає пороговий рівень $U_{пор}$. Отже сигналу вхідної одиниці відповідає діапазон напруги в інтервалі від $U_{пор}$ до $U_{вих}^1$, а сигналу вхідного нуля – діапазон від 0 до

$U_{\text{пор}}$. Під U^1 та U^0 розуміють номінальні значення напруги цифрового елемента в статичному режимі.

Кількісно порогове значення напруги визначається точкою на характеристиці $U_{\text{вих}} = f(U_{\text{вх}})$, в якій модуль диференційного коефіцієнта передачі цифрового елемента дорівнює одиниці.

Для найбільш поширених логічних елементів, виготовлених за технологією ТТЛ при напрузі живлення +5 В $U_{\text{пор}} \approx 1,2$ В (при кімнатній температурі), а для елементів КМОН – $U_{\text{пор}} = U_{\text{ж}}/2$, де $U_{\text{ж}}$ – напруга живлення логічного елемента.

Порогові рівні визначають стійкість до завад логічних елементів. Виділяють *статичну* та *динамічну* завадостійкість. *Статична завадостійкість* оцінюється як мінімальна різниця між значеннями вихідного та вхідного сигналів визначеного рівня:

Статична завадостійкість – це мінімальна величина завад на виході цифрового елемента, що може привести до зміни стану підключеного до нього логічного елемента тієї ж серії. Статична завадостійкість є параметром, який не залежить від часу, тобто тривалість завад набагато перевищує час зміни стану ключового елемента. Якщо ж час дії завад близький до часу переключення елемента, то така завада називається динамічною.

Цифрові сигнали характеризуються також часовими характеристиками, які здебільшого визначаються як динамічні параметри логічних ключів. До них відносяться:

$t^{1,0}$ – час переходу виходу елемента зі стану “1” в “0” – це інтервал часу, протягом якого напруга на виході елемента змінюється від рівня “1” до рівня “0”. Вказані рівні вимірюються відповідно при значеннях 0,9 та 0,1 амплітуди сигналу $U_{\text{М}}$ (рис. 6.2);

$t^{0,1}$ – час переходу вихідного сигналу з “0” в “1” – це інтервал часу, протягом якого напруга на виході елемента переходить з “0” в “1”;

t_{Φ} – тривалість фронту сигналу – інтервал часу між значеннями сигналу на рівнях (0,1 – 0,9) $U_{\text{М}}$, при зміні сигналу з “0” до “1”;

t_c – тривалість спаду сигналу – інтервал часу між значеннями сигналу на рівнях $(0,1 - 0,9) U_M$, при зміні сигналу від “1” до “0”;

$t_3^{1,0}$ – час затримки включення елемента – інтервал часу між фронтом вхідного та спадом вихідного імпульсів, заміряні на рівні $0,5 U_M$;

$t_3^{0,1}$ – час затримки виключення елемента – інтервал часу між спадом вхідного та фронтом вихідного імпульсів, виміряні на рівні $0,5 U_M$ (рис. 6.2);

$t_{3.PC}$ – середній час затримки розповсюдження сигналу, який знаходиться за формулою:

$$t_{3.PC} = \frac{(t_3^{0,1} - t_3^{1,0})}{2}.$$

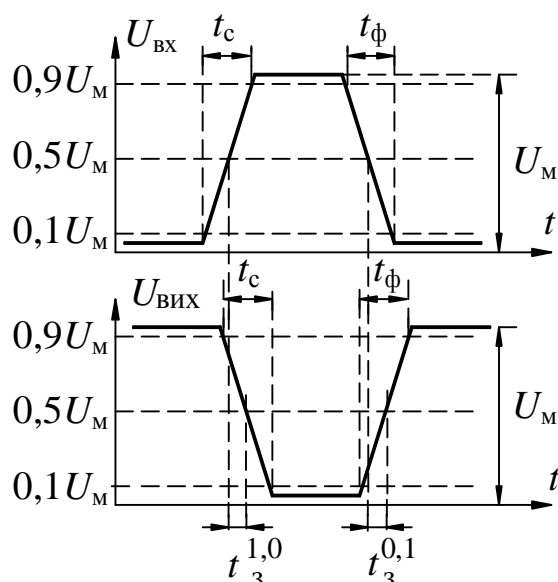


Рис. 6.2. Часові діаграми сигналів на вході та виході логічного елемента

6.2 Схеми найбільш поширених логічних елементів

В даний час при розробці інтегральних схем (ІС) найбільше поширення одержали наступні технології виготовлення логічних елементів:

- транзисторно-транзисторна логіка (ТТЛ);
- логіка на комплементарних польових транзисторах (КМОП);
- емітерно-зв'язана логіка (ЕЗЛ);

- інтегрально-інжекторна логіка (І²Л);
- діод-транзисторна логіка (ДТЛ);
- логіка на одноступінних польових транзисторах (*n*-МОН і *p*-МОН).

Логічні схеми, що виготовляються на різній конструктивно-технологічній основі, значно розрізняються за своїми характеристиками, навіть якщо вони реалізують однакові функції. У кожного з вказаних видів схемотехніки є свої переваги. Так, ЕЗЛ відрізняється високою швидкістю, хоч деякі різновиди ТТЛ наближаються до неї по цьому параметру. Як *p*-МОН, так і *n*-МОН логіка широко застосовуються в мікропроцесорах, а КМОН схемотехніка користується перевагою, коли важливе зменшення споживаної потужності.

Динамічні МОН-структури використовуються для побудови різних запам'ятовуваних пристроїв; вони мають просту організацію, в якій логічний стан визначається зарядом ємності, внутрішньо властивій логічному елементу. І²Л застосовується в інтегральних схемах.

Самими розповсюдженими на сьогоднішній день є ІС, що реалізують ТТЛ і її різновиди. Інтегральні схеми даного типу мають середню швидкість ($F_{\max} = 30 \dots 100$ МГц) і середню споживану потужність.

Логічним елементом називається пристрій, що реалізує тільки одну бульову функцію. Такі елементи називають одно-функціональними на відміну від функціональних елементів, що реалізують декілька бульових функцій. У функціональному елементі можуть використовуватися декілька логічних елементів. За способом кодування двійкових змінних логічні елементи цифрових пристроїв поділяють на імпульсні, динамічні, потенційні, імпульсно-потенційні та фазові.

В імпульсних елементах "1" представляється наявністю електричного імпульсу напруги або струму, а "0" – відсутністю відповідного імпульсу.

В динамічних елементах "1" представляється пачкою імпульсів або потенціалом, що поновлюється через необхідний інтервал часу, а "0" – відсутністю імпульсів (або навпаки).

В потенційних логічних елементах (ПЛЕ) вхідні і вихідні двійкові змінні кодуються різною величиною електричного потенціалу.

В імпульсно-потенційних елементах на входи елементів можуть подаватися як потенційні рівні, так і електричні імпульси, причому вихідні сигнали, як правило, мають імпульсний характер. Розподіл сигналів на імпульсні і потенційні відносний. Прийнято тип сигналу визначати через тривалість такту, залежно від частоти тактового генератора цифрового пристрою. Імпульсний сигнал. сигнал з тривалістю менше тривалості такту. Потенційний сигнал. сигнал з тривалістю не менше тривалості такту.

В фазових елементах застосовуються сигнали у вигляді синусоїдальної напруги, а значення "1" і "0" двійкових змінних кодуються фазою синусоїдальної напруги відносно опорної напруги. Фазовий принцип кодування двійкових змінних застосовується, як правило, в пристроях аналогово-цифрового типу.

Реалізація характеристик, близьких до ідеальних, пов'язана з відомими труднощами внаслідок технологічного розкиду параметрів мікросхем при виготовленні, зміни напруг порогів в залежності від зміни напруги живлення і температури навколишнього середовища в процесі експлуатації. Тому реально зони статичної завадостійкості для кожного типу ЛЕ встановлюють на основі статистичного аналізу амплітудних передавальних характеристик. Напруги статичної завад вказуються в паспорті на логічний елемент і гарантуються для найгіршого випадку роботи даного елемента.

При зіставленні амплітудних передавальних характеристик ЛЕ різних типів часто використовують не абсолютні значення статичної завадостійкості, а їх відношення до мінімального логічного перепаду: $K_{пер}^H = U_{пер}^H / U_L$, $K_{пер}^6 = U_{пер}^6 / U_L$.

Чим ближче амплітудна передавальна характеристика до ідеальної, тим ближче значення цих коефіцієнтів до 0,5.

Статичні параметри визначають умови формування і значення напруг високого і низького рівнів на виході ЛЕ, його навантажувальну спроможність, споживану потужність за заданими напругами живлення, навантаження і тем-

пературою навколишнього середовища.

До статичних параметрів ЛЕ відносяться:

- вихідні і вхідні напруги лог. "0" і "1" ($U_{\text{вих}}^0, U_{\text{вих}}^1, U_{\text{вх}}^0, U_{\text{вх}}^1$);
- вхідні і вихідні порогові напруги лог. "0" і "1" ($U_{\text{вих.пор}}^0, U_{\text{вих.пор}}^1, U_{\text{вх.пор}}^0, U_{\text{вх.пор}}^1$);
- вхідні і вихідні струми лог. "0" і "1" ($I_{\text{вх}}^0, I_{\text{вх}}^1, I_{\text{вих}}^0, I_{\text{вих}}^1$);
- струми споживання в стані лог. "0" і "1" ($I_{\text{сп}}^0, I_{\text{сп}}^1$);
- споживана потужність ($P_{\text{сп}}$).

Порогова напруга логічного елемента $U_{\text{пор}}$ є вхідною напругою, малі відхилення від якої в ту або іншу сторону приводять до переходу логічного елемента на його виході з стану "1" в стан "0" або зворотно.

Вхідний струм ЛЕ задається для несприятливого режиму роботи в межах допустимих температур навколишнього середовища та напруги живлення як для рівня лог. "0" ($I_{\text{вх}}^0$), так і для рівня лог. "1" ($I_{\text{вх}}^1$). Вихідні струми $I_{\text{вих}}^0, I_{\text{вих}}^1$ характеризують навантажувальну здатність ЛЕ. (Струми, що втікають, мають позитивний знак, а струми, що витікають, негативний знак.) Завадостійкість визначається відносно цих струмів. Тому збільшення коефіцієнта розгалуження приводить до зниження завадостійкості.

Вхідний струм лог. "1" $I_{\text{вх}}^1$ визначається як вхідний струм для напруги лог. "1" на вході ЛЕ.

$I_{\text{вх}}^0$ - вхідний струм лог. "0", визначається як вхідний струм для напруги лог. "0" на вході ЛЕ.

$I_{\text{вих}}^1$ - вихідний струм лог. "1", визначається як вихідний струм для напруги лог. "1" на виході ЛЕ.

$I_{\text{вих}}^0$ - вихідний струм лог. "0", визначається як вихідний струм для напруги лог. "0" на виході ЛЕ.

Струм споживання від джерела (джерел) живлення ЛЕ ($I_{\text{сп}}$) залежить від типу

ЛЕ. Для ЛЕ ЕЗЛ він майже постійний (якщо не брати до уваги навантаження) і не залежить від його логічного стану, для ЛЕ ТТЛ струм має різні значення для стану "0" і "1". Крім того, ЛЕ ТТЛ мають викиди струму під час перехідних процесів при перемиканні ЛЕ, що приводить до істотного збільшення струму споживання на високих частотах. Амплітуда і тривалість викиду залежать від характеру та величини навантаження, схемотехніки вихідного каскаду ЛЕ ТТЛ, довжини лінії зв'язку та ін.

Вхідний опір логічного елемента $R_{вх}$. відношення приросту вхідної напруги до приросту вхідного струму (визначається для двох значень вхідного сигналу: $R_{вх}^0$ та $R_{вх}^1$).

Вихідний опір логічного елемента $R_{вих}$. відношення приросту вихідної напруги до приросту вихідного струму (визначається для двох значень вихідного сигналу: $R_{вих}^0$ та $R_{вих}^1$).

Динамічні параметри. Швидкодія ЛЕ при перемиканні визначається електричною схемою, технологією виготовлення і характером навантаження. Для ідентифікації вимірювань динамічних параметрів в технічній документації на ІС наводяться параметри еквівалентного навантаження, встановлюються вимоги до амплітуди і тривалості фронту вхідного сигналу.

На рис. 6.2 наведені часові діаграми, що пояснюють зміну характеристик вихідного імпульсу в залежності від параметрів вхідного імпульсу і властивостей елемента.

Гранична робоча частота елемента задає діапазон робочих частот сигналів, переданих елементом без спотворення так, щоб за час одного такту, у схемі встигали завершитися перехідні процеси.

Частота перемикання. максимальна частота, на якій у найгірших умовах гарантується спрацьовування лічильного тригера, складеного з логічних елементів даної серії.

Навантажувальна здатність ЛЕ характеризує його здатність одержувати сигнал від декількох джерел інформації й одночасно бути джерелом інформації для ряду інших елементів. Для чисельної характеристики навантажуваль-

ної здатності ЛЕ використовуються два коефіцієнти: m -коефіцієнт розгалуження і n -коефіцієнт об'єднання.

- 1) m -коефіцієнт розгалуження. характеризує кількість входів для елементів даної серії, що допускається для підключення до виходу даного елемента – $m = (10...100)$. Навантажувальна здатність елемента характеризується його вихідним опором ($R_{\text{вих}}$).
- 2) n -коефіцієнт об'єднання. характеризується кількістю входів даного логічного елемента (від двох і більше).

6.3 Транзисторно-транзисторна логіка

Ця технологія має, мабуть, найбільше число різновидів логічних елементів, тому що тривалість її використання дозволила виявити багато з властивих їй обмежень та способів їх подолання. Схемотехнічно більшість ІС, що входять до складу серій ТТЛ, виконано на основі комбінації двох базових схем: елемента І-НІ і розширника по АБО.

6.3.1 Базовий елемент ТТЛ-логіки

Елемент І-НІ (рис. 6.3) може бути представлений послідовним з'єднанням трьох каскадів:

- вхідного багатомітерного транзистора $VT1$ з резистором $R1$ і діодами $VD_0...VD_{n-1}$, що реалізують логічну операцію І;
- фазорозщеплювача на транзисторі $VT2$, резисторі $R2$ і колі нелінійної корекції $R3, R4$ та $VT3$;
- двотактного вихідного підсилювача на транзисторах $VT4$ і $VT5$, резисторі $R5$ та діоді VD_n .

Розширник по АБО (рис. 6.4) по суті повторює перші два каскади елемента І-НІ і містить вхідний багатомітерний транзистор $VT1$ з резистором $R1$ і

транзистор $VT2$ фазорозщеплювача.

Об'єднання елементів І-НІ і розширника по АБО шляхом з'єднання точок a і b дозволяє одержати ЛЕ, що реалізує послідовність операцій І-АБО-НІ.

Розглянемо роботу елемента І-НІ (рис. 6.3). Припустимо, що хоча б один вхід елемента X_0, \dots, X_{n-1} безпосередньо підключений до спільної шини, тобто на нього подана напруга лог. "0". У цьому випадку перехід багатоемітерного транзистора (БЕ) $VT1$ насичений струмом, що протікає від джерела живлення через резистор $R1$. Струм і напруга колектора будуть мало відрізнятися від нульових, тому транзистор $VT2$ фазорозщеплювача виявляється закритим.

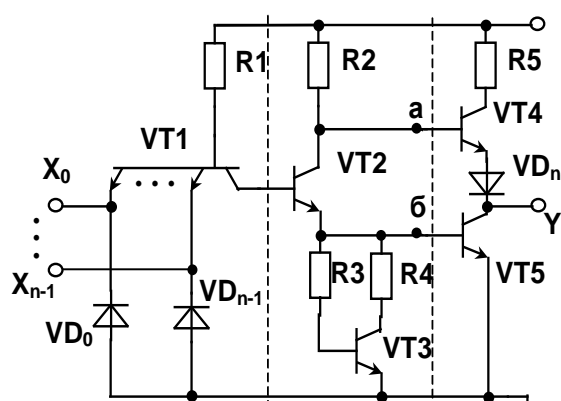


Рис. 6.3. Принципова електрична схема ЛЕ І-НІ ТТЛ

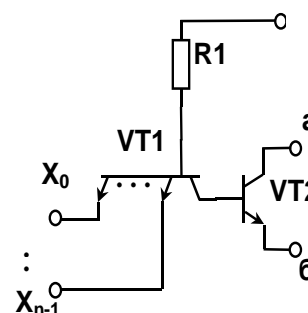


Рис. 6.4. Принципова електрична схема розширника АБО серії ТТЛ

Так як емітерний струм транзистора $VT2$ практично дорівнює нулю, буде закритий і транзистор $VT5$. Струм, що протікає через резистор $R2$, втікає в базу транзистора $VT4$, насичує його. Тому напруга присутня на виході Y ЛЕ близька до напруги живлення і визначається виразом

$$U_{\text{вих}}^1 = U_{\text{ж}} - I_{\text{вих}} R_5 - U_{\text{ке}VT4} - U_{VD_n}.$$

Таким чином, при наявності на кожному із входів схеми напруги низько-

го рівня, напруга на його виході буде мати високий рівень. Припустимо тепер, що на усі входи ЛЕ поданий високий рівень напруги. У цьому випадку всі емітерні переходи багатоемітерного транзистора $VT1$ виявляються закритими. При цьому його колекторний перехід зміщається в прямому напрямку і по колу резистор $R1$, колекторний перехід транзистора $VT1$ та послідовно з'єднані емітерним переходом транзистори $VT2$ і $VT5$ буде протікати струм. Цей струм насичує транзистори $VT2$ і $VT5$, і на виході у ЛЕ встановиться низька напруга, чисельно рівна напрузі насичення транзистора $VT5$:

$$U_{\text{вих}}^0 = U_{KEVT5} = I_{\text{вих}} r_{\text{вих}VT5}.$$

Так як транзистор $VT2$ насичений, то присутня на його колекторі напруга виявляється недостатньою для прямого зсуву двох послідовно включених $p-n$ -переходів (емітерний перехід $VT4$ і діод VD_n). Транзистор $VT4$ буде закритий.

Таким чином, якщо на усіх входах схеми присутня висока напруга, на виході ЛЕ будемо мати напругу низького рівня.

Паралельне з'єднання кількох виходів таких елементів неприпустимо, тому що формування на них сигналів різних рівнів призведе до виходу з строю транзисторів вихідного підсилювача потужності. Для позитивної логіки описаний алгоритм роботи відповідає визначенню операції І-НІ:

$$y = \overline{x_0 x_1 x_{n-1}}.$$

Виконання вихідного каскаду елемента за двотактною схемою дозволяє одночасно вирішити дві задачі:

1. Підвищити швидкодію елемента. Навантаження ЛЕ, як правило, носить ємнісний характер, і застосування двотактного вихідного каскаду дозволяє збільшити струм перезаряду ємності навантаження.

2. Знизити споживання. У сталому режимі лог. "0" через вихідний каскад протікає тільки струм навантаження.

У вхідному колі багатоємітерного транзистора $VT1$ включені додаткові діоди $VD_0 \dots VD_{n-1}$, що захищають елемент від появи на його вході неприпустимих напруг зворотної полярності.

ІС ТТЛ, що випускаються в межах СНД, можна розділити на такі групи:

- стандартні. серія 155, 133;
- швидкодіючі з діодами Шоткі. серії 530, 531, 1531;
- малопотужні швидкодіючі з діодами Шоткі. серії 533, 555, 1533.

Елементи всіх цих серій практично виконані за єдиною схемою. Основне розходження даних серій полягає в їхній швидкодії і споживаній потужності. Типові параметри ЛЕ різних серій ТТЛ наведені в табл. 6.1.

Напруга всіх перелічених вище серій ЛЕ ТТЛ дорівнює $+5V \pm 5\%$ або $+5V \pm 10\%$ у залежності від типу виконання. Однак сучасні технології дозволять випускати логічні елементи ТТЛ з напругами живлення від 1,2 В, що зберігатимуть працездатність при зменшенні напруги до 0,8 В.

Табл. 6.1. Параметри ЛЕ серій ТТЛ

Серія ІС	$t_{зам\ порівн}$	$P_{сн}, мВт$	$U^1_{вих}, В$	$U^0_{вих}, В$	$I^1_{вих}, мА$	$I^0_{вих}, мА$
К155	10	10	2,4	0,4	-0,4	16
К531	3	20	2,7	0,5	-1,0	20
К555	10	2,0	2,7	0,5	-0,4	8,1

6.3.2 Елемент з відкритим колектором

Якщо в схемі базового елемента виключити знову елементи $R5$, $VT4$ і VDn , то одержимо схему з відкритим колектором. Умовне графічне позначення логічного елемента з відкритим колектором наведено на рис. 6.5.

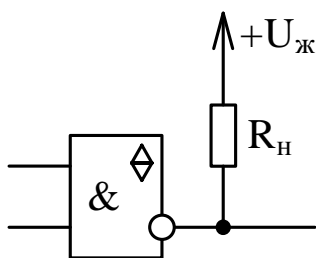


Рис. 6.5. Умовне графічне позначення логічного елемента з відкритим колектором

Щоб така схема сформувала на виході 1 потрібно R_n включати між виходом і джерелом живлення. У цьому випадку схема працює, як розглянутий раніше базовий елемент ТТЛ. Схему з відкритим колектором можна використовувати для підключення елементів індикації, реле й інших навантажень, що вимагають напруги живлення ≥ 5 В. На рис. 6.6 наведено приклад використання логічного елемента з відкритим колектором для управління електромагнітним реле.

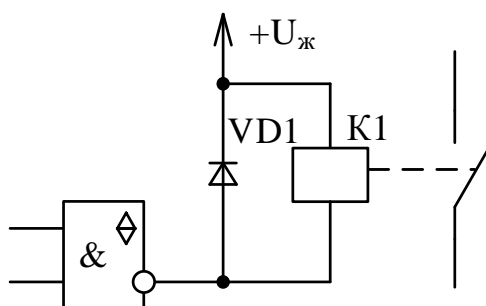


Рис. 6.6. Використання логічного елемента з відкритим колектором для управління електромагнітним реле

6.3.3 Схема з трьома станами вихода

У складі більшості серій інтегральних мікросхем існують елементи з трьома станами виходу. Вони мають вхід EZ (у зарубіжній літературі OE – Output Enable – дозвіл виходу), що управляє, або скорочено просто E (Enable), одне зі значень сигналу на якому переводить обидва вихідні транзистори в

закритий стан. Схема ТТЛ елемента з трьома станами виходу приведена на рис. 6.7.

При $EZ = 0$ напруги на базах транзисторів $VT3$ і $VT4$ приймають низький (що закриває) рівень, що робить неможливим протікання вихідних струмів через транзистори.

Транзистор $VT3$ закритий тому, що додатковий діод $VD3$ знаходиться в стані, що проводить, і потенціал на базі близький до нуля. Транзистор $VT4$ також буде закритий, оскільки на його емітері присутній рівень логічного нуля. З урахуванням того, що при "0" на вході EZ транзистор $VT1$ відкритий і низьким опором переході емітер-колектор шунтує резистор $R2$, то $VT2$ закритий, струм через нього не протікає і як наслідок напруга на базі $VT4$ дорівнює нулю.

Такий стан виходу логічного елемента називають Z -станом або станом високоімпедансу виходу (сотні кОм). Для реальних логічних елементів ТТЛ Z стан виходу характеризується струмом витoku $20 \dots 40$ мкА.

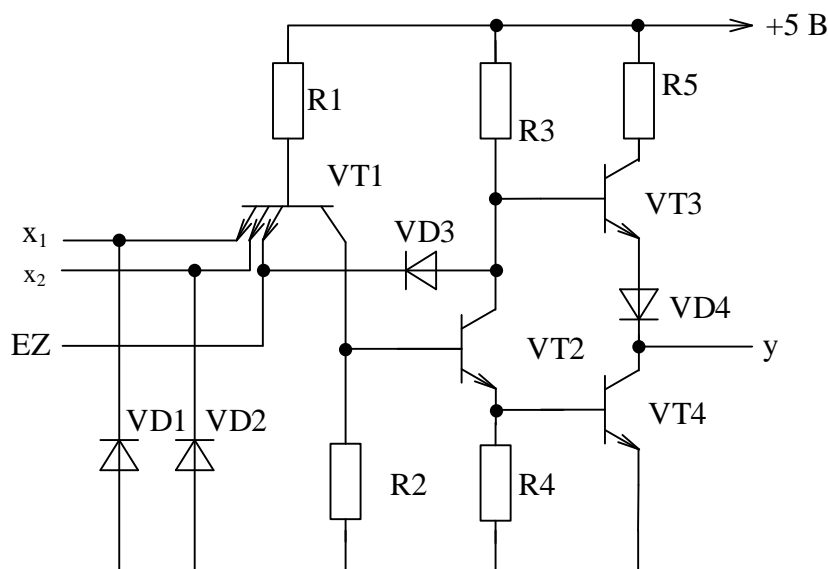


Рис. 6.7. Спрощена схема логічного елемента 2I-N1 з трьома станами виходу

Схема з трьома станами найчастіше використовується для підключення декількох пристроїв до одної і тої ж шини (наприклад, організація обміну да-

ними в ПК між різними вузлами). Той пристрій, що у даний момент повинен бути підключений до шини, переводиться в активний режим, а всі інші в третій стан і вони не заважають роботі активного пристрою.

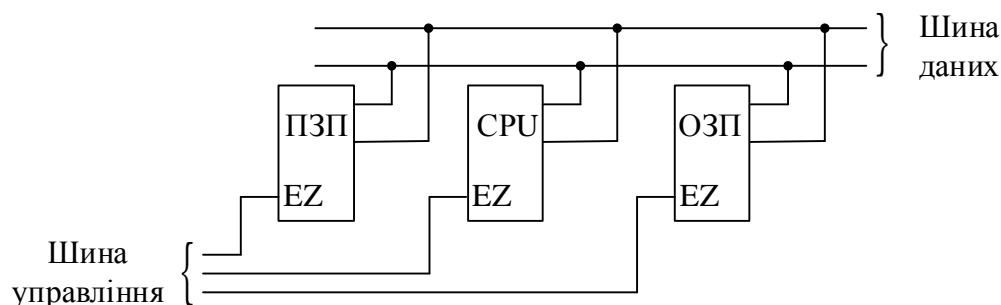


Рис. 6.8. Організація обміну даними між різними пристроями з використанням елементів з трьома станами виходу

6.4 Логічні елементи на МДН-транзисторах

Широкому поширенню МДН-схемотехніки сприяли такі її особливості:

- більш проста технологія виготовлення (коротше технологічний цикл виготовлення), що сприяє підвищенню відсотка виходу придатних виробів;
- менші геометричні розміри приладу і більш прості схемотехнічні рішення, що при однаковій з біполярною ІС площею кристала дозволяє розмістити на ньому більш складну по виконуваних функціях схему або при однаковій функціональній складності одержати меншу площу кристала, що також сприяє підвищенню виходу придатних виробів (менше вплив дефектів вихідного напівпровідника).

Разом з тим при розробці ІС МДН доводиться враховувати наступні особливості даного класу приладів:

- МДН-транзистор володіє гіршими ключовими властивостями у порівнянні з біполярним транзистором. Це виражається в більшому вихідному опорі і, отже, у більшій залишковій напрузі у включеному стані;

- залишкова напруга на включеному МДН-транзисторі значно залежить від керуючої напруги. Стосовно до логічних схем це означає сильну залежність напруги лог. "0" від напруги лог. "1". Послабити цю залежність можна зменшенням абсолютного струму стоку у включеному стані, що вимагає використання в ключі на МДН-транзисторі високоомного навантаження;
- необхідність застосування власного високоомного навантаження при фіксованій ємності збільшує постійну часу, що визначає тривалості фронту і спаду вихідної напруги ЛЕ. Це приводить до падіння швидкодії;
- у силу розглянутих вище особливостей (нестабільність вихідних логічних рівнів) для забезпечення достатньої завадостійкості ЛЕ на МДН-транзисторах повинні працювати при великих значеннях логічного перепаду. Це також сприяє падінню швидкодії елемента.

Слід зазначити, що необхідність застосування високоомного навантаження має і позитивну властивість, що виражається в зменшенні потужності, яка розсіюється в ключі на МДН-транзисторі.

Схемотехнічні рішення, при побудові ІС МДН, спрямовані на усунення вищеописаних недоліків елементарного ключа. Тому при побудові ІС схема ключа з навантажувальним резистором не використовується. Широке застосування знайшла схема ключа з навантажувальним МДН-транзистором, що забезпечує збільшення струму перезаряду ємності навантаження, а, отже, і швидкодії ключа. Це додатково дозволяє спростити технологію виготовлення ІС, тому що зі схеми виключаються всі пасивні елементи (резистори) і вона будується тільки на однотипних елементах. МДН-транзисторах.

В залежності від типу використовуваного транзистора розрізняють ІС *n*-МОН і *p*-МОН-типів. Розглянемо побудову ЛЕ з використанням *n*-МОН-транзисторів. На рис. 6.9, *a*, *б* наведені принципові електричні схеми двохходових ЛЕ, що реалізують операції 2І-НІ та 2АБО-НІ.

Обидві схеми містять по три транзистори, з яких $VT1$ виконує роль активного навантаження, а $VT2$ і $VT3$ є власне транзисторними ключами, що реалізують логічні операції. У схемі рис.6.9,а, що реалізує логічну операцію І-НІ, транзистори $VT2$ і $VT3$ включені послідовно. Тому для появи на виході схеми низької напруги на затвори обох транзисторів необхідно подати високу напругу, достатню для протікання струму активного навантаження. У схемі рис. 6.9,б, транзистори $VT2$ і $VT3$ включені паралельно. Тому при подаванні на затвор кожного з них високої напруги на виході буде сформована напруга низького рівня.

Збільшення числа вхідних змінних елемента вимагає збільшення кількості послідовно або паралельно включених транзисторів. Тому, використовуючи описаний принцип з мінімальними схемотехнічними витратами, можна побудувати логічний елемент із необхідним числом входів.

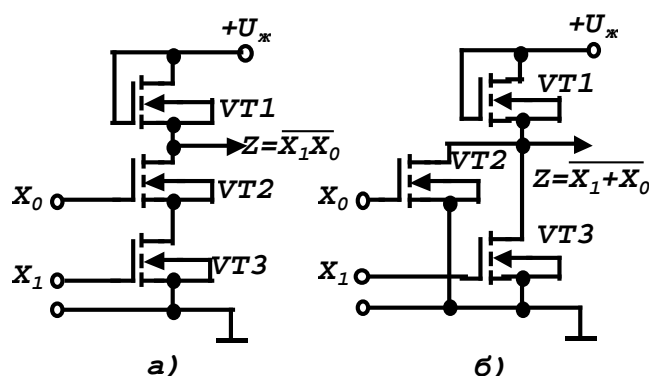


Рис. 6.9. Принципові електричні схеми ЛЕ на МДН-транзисторах,
2І–НІ (а) та 2АБО–НІ (б)

Збільшення швидкодії ІС МДН вимагає збільшення струмів перезарядження ємності навантаження. Однак це обмежується ростом споживаної потужності і збільшенням нестабільності вихідних логічних рівнів. Перебороти зазначене протиріччя можна або технологічним шляхом, створюючи транзистори з меншою вхідною ємністю, або схемотехнічним шляхом, застосовуючи схему ключа на транзисторах з каналами різного типу (комплементарні транзистори). Ці ключі, з одного боку, дозволяють значно збільшити струми перезаряду ємності навантаження, а з іншого максимально зменшити потужність, що

розсіюється в елементі. Ключ на комплементарних транзисторах при правильному виборі параметрів вхідних елементів у статичному режимі роботи практично не споживає потужність від джерела живлення.

Споживана елементом потужність у статичному режимі тотожно дорівнює потужності, що віддається ним у навантаження. А так як навантаженням елемента є вхідні кола аналогічних елементів, що носять чисто ємнісний характер, то потужність, що відібрана від джерела живлення, витрачається тільки в динамічному режимі на перезаряд цієї ємності, тобто має мінімально можливе значення.

На рис. 6.10 наведена принципова електрична схема інвертора КМОН, що використовується як базовий логічний елемент.

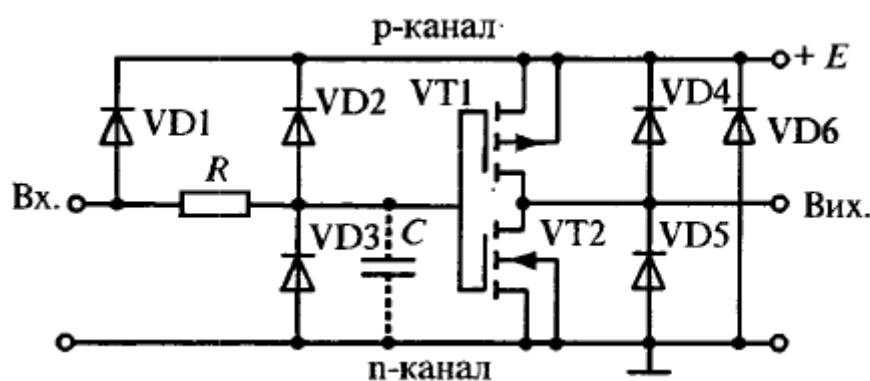


Рис. 6.10. Принципова електрична схема транзисторного ключа ІС КМОН

Схема може бути умовно розбита на три частини: вхідний діодно-резистивний обмежувач напруги; власне інвертор на КМОН-транзисторах; вихідне діодне коло. Вхідний опір транзисторів у схемі досягає значень до 10^{12} Ом. При товщині ізоляції між затвором і напівпровідником порядку 50...70 мкм його власна пробивна напруга складає порядку 150...200 В. Це припускає введення в елемент спеціальної схеми захисту від статичної електрики, що може потрапити на його вхід у процесі збереження чи монтажу. Роль цієї схеми виконує вхідний діодно-резистивний обмежувач на елементах $VD1$, $VD2$, $VD3$ і $R1$. Дана схема обмежує напругу на вході транзисторного

ключа в діапазоні від $U_{жс} - 0,7$ В до $U_{жс} + 0,7$ В.

Елементи вихідного діодного кола ($VD4, VD5, VD6$) утворені відповідними областями самого транзисторного ключа і з погляду його роботи не є обов'язковими. Наявність цих діодів накладає додаткові обмеження на використання елемента. Завжди повинно виконуватися нерівність

$$|U_{ВХ} - U_{ВІХ}| < U_{ж} .$$

В протилежному випадку діоди вхідного обмежувача і вихідного кола можуть відкриватися та замкнути коло живлення елемента. Останнє може бути причиною його пробою. Тому напруга живлення на КМОН-схеми повинна завжди подаватися до включення і зніматися після відключення вхідного інформаційного сигналу.

Схемотехнічно ЛЕ КМОН-типу повторюють схеми елементів n -МОН- і p -МОН-типів. Відмінність полягає в тому, що завжди використовуються пари транзисторів. При цьому, якщо для реалізації заданої логічної функції транзистори з каналом n -типу включаються послідовно, то парні їм транзистори p -типу включаються паралельно і навпаки. На рис. 6.11 наведені принципові електричні схеми, що реалізують логічні операції 2І-НІ і 2АБО-НІ. Для спрощення на наведених схемах не показані елементи вхідних і вихідних кіл ключа.

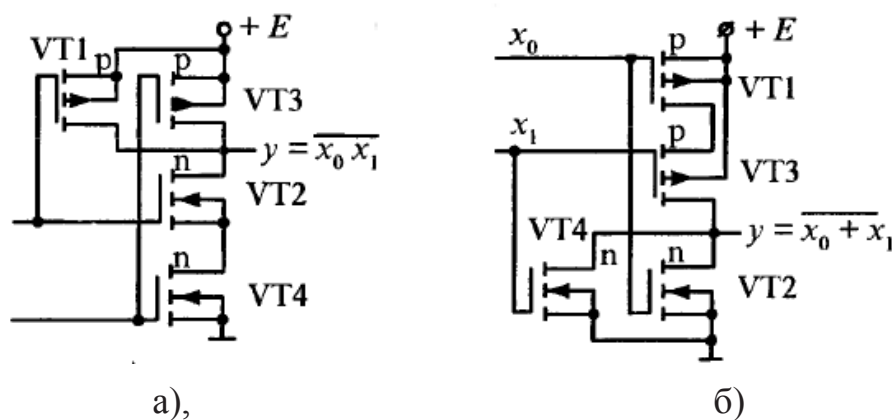


Рис. 6.11. Принципові електричні схеми ЛЕ КМОН-типу, 2І-НІ (а) та 2АБО-НІ (б)

До особливостей схем ЛЕ треба віднести відсутність додаткового навантажувального транзистора. Його роль виконує один із транзисторів ключа.

Аналіз схем дозволяє зробити важливий практичний висновок про те, що аналогічно ЛЕ ТТЛ для ЛЕ КМОН паралельне включення декількох їхніх виходів заборонено.

В табл. 6.2 наведені найбільш важливі параметри ЛЕ КМОН серії 561 при напрузі живлення 9 В.

Слід також зазначити, що КМОН-елементи мають високу завадостійкість – до 40% напруги живлення, оскільки пороговий рівень таким мікросхем дорівнює половині напруги живлення.

Табл. 6.2. Основні параметри логічних елементів КМОН серії 561

$U^1_{\text{вих min}}, \text{В}$	$U^0_{\text{вих max}}, \text{В}$	$t_{\text{зат порівн}}, \text{нс}$	$F_{\text{max}}, \text{МГц}$	$I_{\text{сп}}, \text{мкА}$	$U_{\text{ж}}, \text{В}$	$K_{\text{роз}}$	$C_{\text{вх}}, \text{пФ}$
8	0.3	30 ($C_{\text{н}}=15 \text{ пФ}$) 100 ($C_{\text{н}}=100 \text{ пФ}$)	3	0,1	3... 15	50	5

6.5 Логічні елементи інтегрально-інжекційної логіки

Для підвищення технологічності виготовлення бажано при розробці ІС застосовувати схемотехнічні рішення, що використовують тільки однотипні елементи, наприклад транзистори. Цей шлях, як було показано раніше, реалізований у ІС МДН, що поряд з іншими перевагами є причиною їх широкого поширення. Однак, як уже відзначалося, ключ на біполярних транзисторах на сьогодні має кращі як ключові, так і частотні властивості. Це є передумовою до постійного пошуку нових схемотехнічних рішень для реалізації біполярних ІС. Такий пошук призвів до майже одночасної розробки фірмами Philips і IBM елемента інтегрально-інжекційної логіки (І²Л) [18]. Відповідна йому принципова електрична схема ЛЕ І²Л наведена на рис. 6.12.

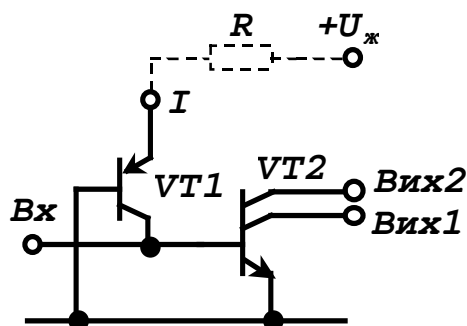


Рис. 6.12. Принципова електрична схема ЛЕ І²Л

Особливістю елементів І²Л є:

- відсутність резисторів, що різко спрощує технологію виробництва ІС;
- використання струмового принципу живлення, при якому в ІС задається не напруга, а струм, який безпосередньо інжектується в область напівпровідника, що утворює структуру одного з транзисторів;
- просторове сполучення в кристалі напівпровідника областей, що функціонально належать різним транзисторам. При цьому структура розташовується як по горизонталі (планарно), так і по вертикалі. Таке рішення дозволяє відмовитися від застосування спеціальних рішень для відділення областей, що належать різним елементам, як це необхідно робити в елементах ТТЛ і ЕЗЛ;
- мале значення логічного перепаду, що дозволяє максимально збільшити швидкодію елемента.

В наведеній схемі (рис. 6.12) багатоколекторний транзистор $VT2$ виконує функцію інвертування вхідного сигналу, а транзистор $VT1$ – генератора (інжектора) базового струму транзистора $VT2$. До особливостей елемента варто віднести і сталість струму інжектора у всіх режимах роботи елемента. Струм інжектора задається резистором R , що, як правило, виконується загальним на групу елементів.

Важливою особливістю елемента І²Л є можливість, варіюючи струм інжектора в широких межах, змінювати його швидкодію. Реально струм інжектора може змінюватися від 1 нА до 1 мА, тобто на 6 порядків. Оскільки для зада-

ної схемотехніки енергія переключення елемента. величина постійна, у таких же межах може змінюватися і швидкодія елемента. Важливо, щоб для цього не потрібно було б ніяких схемотехнічних змін в елементі.

Принцип дії схеми І²Л полягає в наступному. Допустимо, зовнішній сигнал, що відповідає сигналу лог. "1" на вході елемента (база транзистора VT2), відсутній. У цьому випадку струм інжектора, втікаючи в базу транзистора VT2, насичує його. На його колекторах, а, отже, і на вихідних виводах елемента присутня напруга низького рівня, яка дорівнює напрузі насичення транзистора VT2 – реально це 0,1...0,2 В.

Якщо база транзистора VT2 безпосередньо чи через насичений транзистор підключена до загальної шини, то виконується умова $U_{вх} < U_{бe0}$, транзистор VT2 закритий, тому що струм інжектора замикається на загальну шину, минаючи його емітерний перехід. У цьому випадку напруга на його колекторах визначається зовнішніми колами. При послідовному включенні декількох інверторів ця напруга дорівнює напрузі емітерного переходу наступного транзистора. Таким чином, для ЛЕ І²Л $U^0 = 0,1...0,2$ В; $U^1 = 0,6...0,7$ В.

З наведених співвідношень випливає, що перепад логічних рівнів для ЛЕ І²Л складає 0,4...0,6 В.

З використанням наведеної схеми можуть бути реалізовані основні логічні операції І-НІ і АБО-НІ. На рис. 6.13 наведена логічна схема, побудована на трьох інверторах І²Л.

Особливістю елементів І²Л є можливість паралельного включення декількох їхніх виходів. З наведеної схеми випливає, що при паралельному включенні декількох виходів у загальній точці щодо вхідних змінних реалізується логічна операція АБО-НІ. Щодо вихідних сигналів елементів реалізується логічна операція І. Таким чином, якщо не потрібний гальванічний поділ між вхідними і вихідними сигналами, то логічна операція І виконується без яких-небудь додаткових схемотехнічних витрат простим об'єднанням відповідних виходів ЛЕ. Після інвертування результату виконаної операції АБО-НІ додатковим елементом

щодо вхідних перемінних реалізується логічна операція АБО, а щодо вихідних сигналів перших елементів. операція І-НІ.

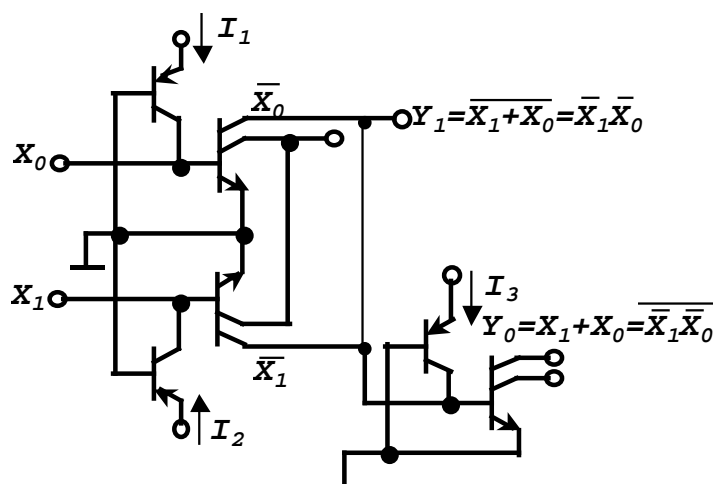


Рис. 6.13. Реалізація логічних операцій 2І-НІ та 2АБО-НІ на ЛЕ І²Л

ЛЕ І²Л дозволяє максимально уніфікувати структуру ІС, знизивши площу її кристала, і або зменшити її споживання, або підвищити швидкодію. Типовий час затримки поширення ЛЕ І²Л при струмі інжектора 0,1 мкА складає 10 нс. При цьому енергія переключення для цього елемента на кілька порядків менше, ніж для елемента ТТЛ.

Через невелику завадостійкість, обумовлену малим логічним перепадом, ЛЕ І²Л використовуються винятково в складі ВІС і СВІС, та як окремі ІС малого ступеня інтеграції не випускаються. При цьому вхідні і вихідні кола ІС, виконаних за технологією І²Л, робляться сумісними по логічних рівнях із сигналами ТТЛ.

6.7 Контрольні питання

2. Дайте поняття позитивної і негативної логіки.
3. Перелічіть основні статистичні і динамічні параметри цифрових елементів?

4. Перелічіть варіанти модифікацій елементів ТТЛ-типу і цілі, для рішення яких вони були розроблені.
5. Чим пояснюється широке поширення елементів ТТЛ-типу?
6. У чому перевага елементів МДН-типу?
7. Яка схема є базовою для логічних елементів МДН-типу?
8. Які особливості логічних елементів І²Л-типу?
9. Поясніть принцип роботи логічних елементів І²Л-типу?
10. Поясніть фізичний зміст порогової напруги.
11. Що таке третій стан виходу логічного елемента?
12. Які особливості підключення навантаження до логічних елементів з відкритим колектором?

7 КОМБІНАЦІЙНІ СХЕМИ

7.1 Дешифратори

7.1.1 Загальні зауваження

Логічні пристрої діляться на комбінаційні і послідовні (автомати з пам'яттю). Вихідні величини логічних пристроїв комбінаційного типу залежать тільки від поточного значення вхідних величин (аргументів). Після завершення перехідних процесів на виходах логічних пристроїв комбінаційного типу встановлюються вихідні величини, на які характер перехідних процесів впливу не надає. До комбінаційних пристроїв належать дешифратори і шифратори, мультиплектори та демультиплектори, а також суматори кодів.

Дешифратори і шифратори належать до числа перетворювачів кодів. З поняттям шифрування зв'язане представлення про стиск даних, з поняттям дешифрування – зворотне перетворення.

В умовних позначеннях дешифраторів і шифраторів використовуються

букви DC і CD (від слів decoder і coder відповідно).

Повним дешифратором називається комбінаційна схема (КС), що має n входів і 2^n виходів що реалізує на кожному виході функцію, що представляє собою мінтерм n вхідних змінних. У повному дешифраторі кожній комбінації значень вхідних сигналів відповідає сигнал тільки на одному з виходів. Іншими словами, дешифратором називають, логічний пристрій, що має n входів та $m = 2^n$ виходів і який перетворює код числа, що надходить на його входи, у позиційний (унітарний) код, тобто сигнал формується на кожному відрізку часу тільки на одному з його виходів.

Якщо вхідний код двійковий, то функція дешифратора описується наступними виразами:

$$\begin{aligned} y_0 &= x_1 x_2 x_3 \dots x_n, \\ y_1 &= \bar{x}_1 x_2 x_3 \dots x_n, \\ &\dots\dots\dots \\ y_m &= \bar{x}_1 \bar{x}_2 \bar{x}_3 \dots \bar{x}_m, \end{aligned}$$

де, n – кількість розрядів вхідного коду; m – можлива кількість виходів дешифратора; x_i – вхідна змінна.

Дешифратори можуть реалізовувати як функції наведені вище, так і інверсні їм значення. В залежності від цього розрізняють дешифратори з прямими та інверсними виходами рис. 7.1. Причому, всі дешифратори ТТЛ мають інверсні виходи. Інверсія на виході означає, що на всіх виходах зберігається "1" окрім активного виходу, рівень на якому дорівнює "0".

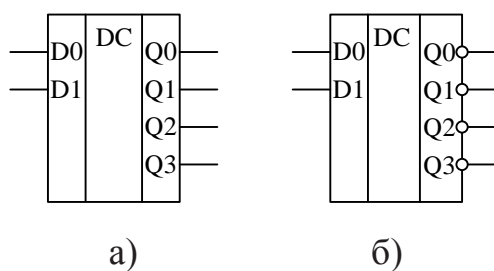


Рис. 7.1. Умовне графічне позначення дешифратора з двома входами і прямими (а) та інверсними виходами (б)

Дешифратор може бути виконаний одноступінчатим (лінійним) і багатоступінчатим. Багатоступінчаті можна розділити на прямокутні (матричні) і пірамідальні.

7.1.2 Лінійні дешифратори

Лінійні дешифратори виконуються реалізацією виразів, що наведені вище, напряму. Для побудови лінійного дешифратора потрібно використання логічних елементів з кількістю входів рівним розрядності вхідного коду. Крім того потрібно висока навантажувальна здатність того пристрою, що формує вхідні коди, тому що до його вихідних шин підключається велика кількість входів логічних елементів що утворюють дешифратор. Практично навантажувальна здатність не перевищує 10...20. Лінійний суматор навантажує вхідний пристрій на $2^n/2$ входів. На рис. 7.2 наведена схема лінійного дешифратора на три входи.

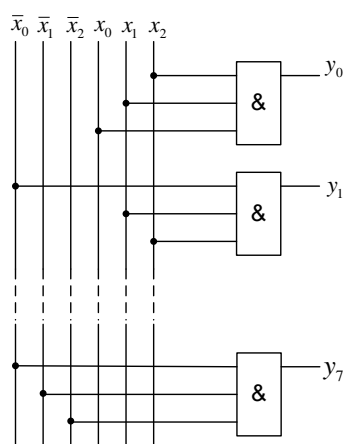


Рис. 7.2. Принципова схема лінійного дешифратора на три входи

7.1.3 Прямокутні (матричні) дешифратори

Удосконалення структури дешифраторів можливо при використанні ряду елементів для формування часткових кон'юнкцій, використовуваних надалі для одержання необхідних вихідних функцій дешифратора.

Прямокутний дешифратор містить перший ступінь з кількох лінійних дешифраторів, кожних з яких дешифрує групу розрядів вхідного коду. Усі кон'юнкції усередині групи утворюються за допомогою допоміжних дешифраторів, а необхідні вихідні змінні дешифратора (мінтерми) формуються у результаті кон'юнкцій вихідних змінних допоміжних дешифраторів.

Багаторозрядне слово розбивається на N груп. При парному n обидві групи однакові і містять $n/2$ входів кожна. При непарному n перша група містить $(n+1)/2$ входів, а друга група – $(n-1)/2$.

Оцінюючи, як і раніш, навантажувальну здатність вихідних елементів джерела вхідного коду, можна зробити висновок про необхідність додаткової розбивки груп на підгрупи (якщо навантажувальна здатність виявляється менше ніж число входів лінійного дешифратора) або з можливості застосування як допоміжний дешифратор – лінійного. Якщо потрібно додаткові розбивки на підгрупи то допоміжний дешифратор розподілу по двох східчастій схемі, а весь дешифратор виявляється виконаним по 3-х східчастій схемі.

Розглянемо приклад побудови прямокутного дешифратора на 4 входи і 16 виходів. Нехай навантажувальна здатність вихідних елементів пристрою, що формує вхідний код дешифратора дорівнює 3. Тоді дешифратор необхідно будувати по двох східчастій схемі.

Розбиваємо усі входи на 2 групи по 2 входи в кожній. Перевіряємо, чи буде достатньої навантажувальна здатність для $N = 2$. Навантажувальна здатність дорівнює $((2^N + 1) / 2 = 2,5)$.

Структура дешифратора буде виглядати так, як показано на рис. 7.3.

	x_0x_1	$x_0x_1\bar{x}_2\bar{x}_3$	$-y_0$
	\bar{x}_0x_1	$\bar{x}_0x_1x_2x_3$	$-y_1$
1 група	$x_0\bar{x}_1$	$x_0\bar{x}_1x_2x_3$	$-y_2$
	$\bar{x}_0\bar{x}_1$	$\bar{x}_0\bar{x}_1x_2x_3$	$-y_3$
		.	.
		.	.
		.	.
	x_2x_3	$x_0x_1\bar{x}_2\bar{x}_3$	$-y_{12}$
	\bar{x}_2x_3	$\bar{x}_0x_1\bar{x}_2\bar{x}_3$	$-y_{13}$
2 група	$x_2\bar{x}_3$	$x_0\bar{x}_1\bar{x}_2\bar{x}_3$	$-y_{14}$
	$\bar{x}_2\bar{x}_3$	$\bar{x}_0\bar{x}_1\bar{x}_2\bar{x}_3$	$-y_{15}$

Рис. 7.3. Структура прямокутного дешифратора

7.1.4 Пірамідальні дешифратори

Пірамідальні дешифратори, так само як і прямокутні, відносяться до розряду багатоступінчастих дешифраторів, особливістю яких є застосування у всіх групах дешифрації двовходових логічних елементів з обов'язковим підключенням виходу елемента K -го ступеню до входів тільки 2-х елементів $(K+1)$ ступеню. Число ступенів K в пірамідальному дешифраторі на одиницю менше розрядності вхідного коду $K = N-1$, а число логічних елементів кожного ступеню визначається за формулою $B_i = 2^{i+1}$, де i – номер ступеню пірамідального дешифратора. На рис. 7.4 наведено приклад побудови трьохрозрядного дешифратора.

У дешифраторах часто передбачається операція стробіювання (тактування), що дозволяє формування вихідних сигналів тільки у визначених стробуючими імпульсами інтервалах часу. Стробіювання може здійснюватися введенням додаткового входу паралельно інформаційним (рис. 7.7,а) у кожний елемент дешифратора або блокуванням всіх елементів через одне з вхідних кіл (рис. 8.8,б).

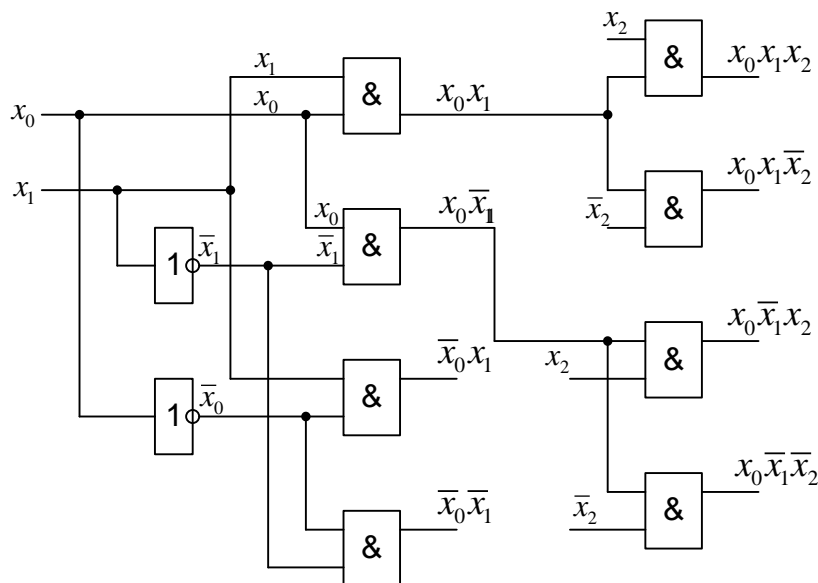


Рис. 7.4. Структура трьохрозрядного пірамідального дешифратора

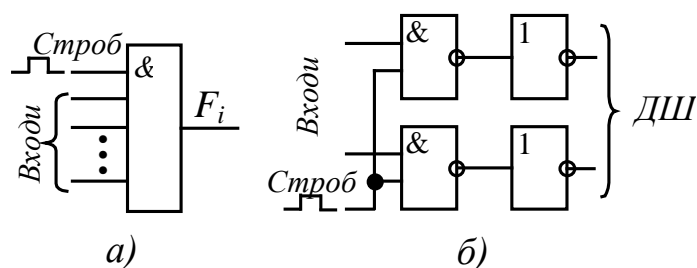


Рис. 7.5. Способи стробіювання дешифратора

В останньому випадку при нульовому значенні сигналу стробіювання штучно формуються нулі в колах прямого й інверсного значень змінної, що забезпечує наявність хоча б одного нуля в числі вхідних величин для кожного елемента дешифратора.

При цьому усі виходи мають нульові значення сигналу, тому що будь-яка змінна в прямому чи інверсному вигляді надходить на всі елементи дешифратора. При одиничному значенні сигналу стробіювання відновлюється нормальне коло передачі змінної на входи дешифратора. Описані варіанти можна назвати стробіюванням по виходу і стробіюванням по входу.

7.2 Шифратори

Шифратором називається комбінаційна схема, що перетворює сигнал, поданий на одну з вхідних шин, у визначену кодову комбінацію на виході (операція зворотна дешифруванню). У країнах СНД такі мікросхеми позначаються буквами ИВ, наприклад К155ИВ3 (зарубіжний аналог SN74148N).

За принципом роботи шифратори поділять на двійкові та пріоритетні. При збудженні одного з входів шифратора на його виході формується двійковий код відповідаючий номеру входу. Повний двійковий шифратор має 2^n входів і n виходів. Відповідність вхідного та вихідного кодів двійкового шифратора можна побачити у табл. 7.1.

Табл. 7.1. Відповідність вхідного та вихідного кодів шифратора

Стан входу				Код на виході	
D0	D1	D2	D3	Q1	Q0
1	0	0	0	0	0
0	1	0	0	0	1
0	0	1	0	1	0
0	0	0	1	1	1

З таблиці випливає, що $Q0 = \overline{D3D2D1D0} + D3D2D1D0$ а $Q1 = \overline{D3D2D1D0} + D3D2D1D0$.

Пріоритетні шифратори виконують більш складні функції. В такому шифраторі кожному з входів присвоюється пріоритет. Найчастіше входу з найменшим номер присвоюється найнижчий пріоритет. У випадку коли на декілька входів шифратора надходять сигнали то на виході формується код що відповідає входу з найвищим пріоритетом.

7.3 Мультиплексори і демультиплексори

7.3.1 Мультиплексори

Мультиплексором називається комбінаційна схема (КС), що має $m+2^m$ входів і один вихід, де m – число адресних входів, а 2^m – число інформаційних входів мультиплексора.

Мультиплексори (англ. multiplexer, позначається MUX) використовуються в інформаційних та інформаційно-вимірювальних системах для розділу каналів інформації у часі, тобто по черзі підключають різні джерела інформації до каналу зв'язку. Іншими словами, мультиплексор виконує функцію прийому інформації по одному з n вхідних каналів и передає її по єдиному вихідному каналу.

Еквівалентна схема мультиплексора, що має два входи й один вихід, може бути представлена у вигляді, що наведений на рис. 7.6.

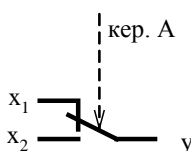


Рис. 7.6. Еквівалентна схема мультиплексора з двома входами

Входи мультиплексора поділяються на дві групи: інформаційні і керуючі (адресні). Робота такого мультиплексора описується рівнянням

$$y = x_1 \bar{A} + x_2 A$$

Якщо $A=0$ (значення сигналу на вході управління), то перемикач знаходиться в положенні x_1 , а якщо $A=1$, то перемикач знаходиться у положенні x_2 .

Принципова схема мультиплексора на два входи і один вихід наведена на рис. 7.7.

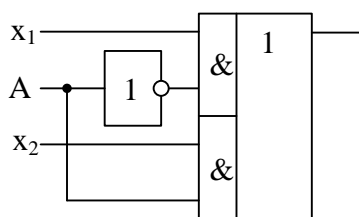


Рис. 7.7. Принципова схема мультиплектора 2×1

Позначення 2×1 означає, що мультиплексор має 2 входи і 1 вихід. Приклад умовного позначення мультиплектора наведений на рис. 7.8.

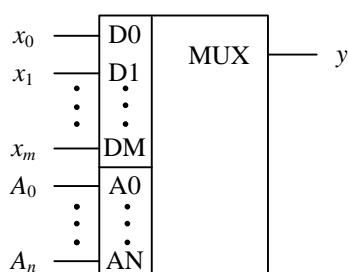


Рис. 7.8. Умовне позначення багатовходового мультиплектора

Якщо побудувати мультиплексор на 8 входів і 1 вихід, то його характеристичне рівняння буде мати вигляд:

$$y = x_0 \overline{A_0} \overline{A_1} \overline{A_2} + x_1 \overline{A_0} A_1 \overline{A_2} + x_2 \overline{A_0} A_1 A_2 + x_3 A_0 \overline{A_1} \overline{A_2} + \dots + x_7 A_0 A_1 A_2.$$

Оскільки зміна кодів на входах управління (адресних) відповідає рівнянням трьохрозрядного дешифратора, то функціональну схему мультиплектора можна зобразити так, як показано на рис. 7.9.

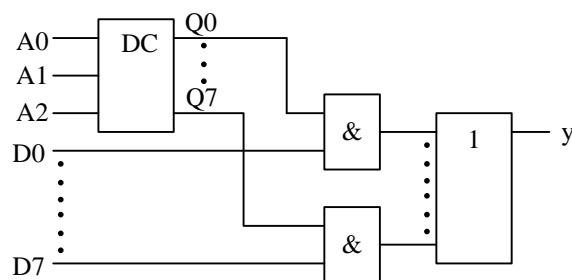


Рис. 7.9. Функціональна схема мультиплексора на 8 входів та 1 вихід

В даний час промисловістю випускаються серії мікросхем, до складу яких входять мультиплексори, що мають число адресних входів $m = 1, 2, 3$ і 4. Мікросхеми мультиплексорів, що випускаються в межах СНД, позначаються буквами КП, наприклад КР1533КП2.

Крім мультиплексорів, що мають один вихід, можна організувати мультиплексори, що містять кілька виходів. Наприклад, мультиплексор $2 \times (4 \times 1)$ – містить 2 мультиплексори, кожний з яких містить 4 входи і 1 вихід. Умовне графічне позначення зведеного чотирьохканального мультиплексора наведено на рис. 7.10.

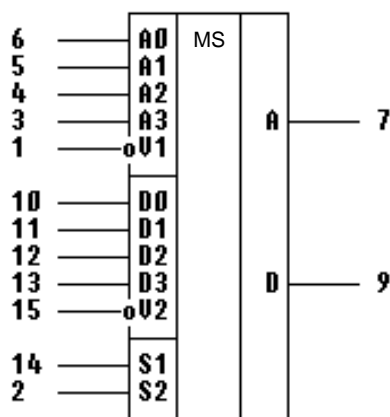


Рис. 7.10. Умовне графічне позначення зведеного 4-канального мультиплексора

7.3.1 Демультимплексори

При передаванні даних загальним каналом з поділом у часі потрібні не тільки мультиплексори, але і пристрої зворотного призначення, що розподіляють дані з одного каналу між декількома приймачами інформації. Демультимплексори виконують функцію, зворотну мультиплексорам, тобто роблять комутацію одного інформаційного вхідного сигналу на 2^m виходів, де m – число адресних входів. Мультиплексори, що виконані на основі аналогових двонаправлених ключів (наприклад, 564КП1 і 564КП2), можуть виконувати функції і демультимплексорів.

Еквівалентна схема демультимплексора, що має один вхід і два виходи, наведена на рис. 7.11.

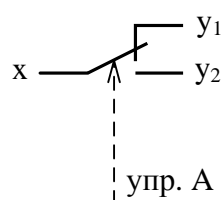


Рис. 7.11. Еквівалентна схема демультимплексора 1×2

Умовне графічне позначення демультимплексора на схемах наведено на рис. 7.12.

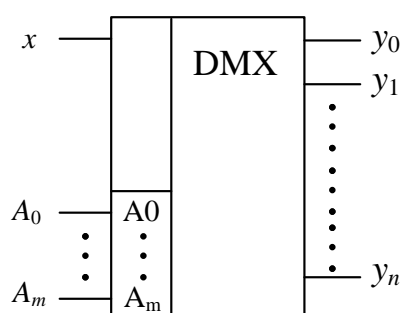


Рис. 7.12. Умовне графічне позначення демультимплексора

Число виходів демультимплексора визначається по формулі $n = 2^m$. Характеристичні рівняння демультимплексора мають вигляд:

$$\begin{aligned}
 y_0 &= x \overline{A_0} \overline{A_1} \dots \overline{A_m}, \\
 y_1 &= x A_0 \overline{A_1} \dots \overline{A_m}, \\
 y_2 &= x A_0 A_1 \dots \overline{A_m}, \\
 &\dots\dots\dots, \\
 y_n &= x A_0 A_1 \dots A_m.
 \end{aligned}$$

При $x=1=\text{const}$ демультиплексор перетворюється в звичайний дешифратор.

Принципова схема демультиплексора 1×4 (1 вхід і 4 виходи) наведена на рис. 7.13.

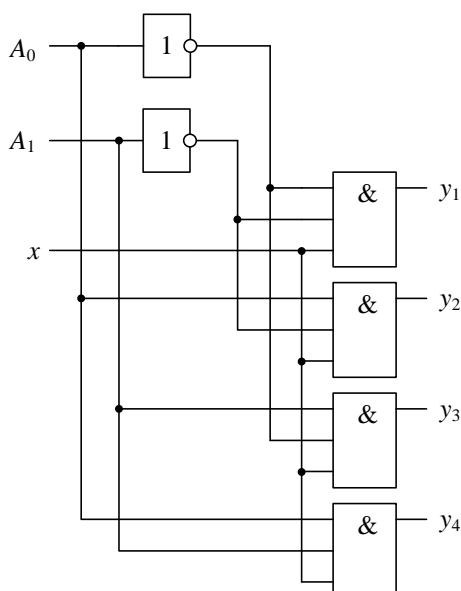


Рис. 7.13. Принципова схема демультиплексора 1×4

7.4 Суматори кодів

Суматором називається комбінаційний логічний пристрій, призначений для виконання операції арифметичного додавання чисел представлених у вигляді двійкових кодів.

Суматори є одним з основних вузлів арифметико-логічного пристрою. Термін суматор охоплює широкий спектр пристроїв, починаючи з найпрості-

ших логічних схем, до складних цифрових вузлів. Спільним для всіх цих пристроїв є арифметичне додавання чисел, представлених у двійковій формі. Класифікація суматорів може бути виконана по різних ознаках.

По числу розрядів розрізняють: напівсуматори, однорозрядні суматори, багаторозрядні суматори.

Напівсуматором називається пристрій, призначений для додавання двох однорозрядних слів, який має два входи і два виходи і що формує із вхідних сигналів сигнали суми і переносу в старший розряд.

Однорозрядним суматором називається пристрій, призначений для додавання двох однорозрядних слів, який має три входи і два виходи, і формуючий із сигналів вхідних доданків і сигналу переносу з молодших розрядів сигнали суми і переносу в старший розряд.

Багаторозрядним суматором називається пристрій, призначений для додавання двох багато розрядних слів, який формує на виході код суми і сигнал переносу у випадку, якщо результат додавання не може бути представлений кодом, розрядність якого збігається з розрядністю кодів доданків.

Багаторозрядні суматори підрозділяються на послідовні і паралельні. В послідовних суматорах операція додавання виконується послідовно розряд за розрядом, починаючи з молодшого. В паралельних всі розряди вхідних кодів сумуються одночасно.

Розрізняють комбінаційні суматори – пристрої, які не мають власної пам'яті, та накопичуючі суматори з власною внутрішньою пам'яттю, у якій акумулюються результати виконаної операції. При цьому кожний черговий доданок додається до того значення, яке зберігалось у пристрої.

По способу тактування розрізняють синхронні й асинхронні суматори. В синхронних суматорів час виконання операції арифметичного підсумовування двох кодів не залежить від виду самих кодів і завжди залишається постійним. В асинхронних суматорів час виконання операції залежить від виду доданків. Тому по завершенню виконання підсумовування необхідно виробляти спеціаль-

ний сигнал завершення операції.

В залежності від використовуваної системи числення розрізняють двійково-ві, двійково-десяткові й інші типи суматорів.

Одержимо функції, що описують операції арифметичного додавання двох однорозрядних двійкових кодів x_1 і x_0 . Алгоритм її виконання пояснюється таблицею істинності (табл. 7.2). У графі s (сума) наведене значення результату додавання, а в графі p (перенос) отримане при цьому значення переносу в старший розряд. Варто звернути увагу на відмінності результатів, одержуваних при арифметичному і логічному додаваннях. При логічному додаванні в останньому рядку стовпця s було би присутнє значення 1. Ця відмінність результатів даних операцій не дозволяє застосувати для арифметичного підсумовування елемент АБО, а вимагає розробки спеціалізованого пристрою.

Табл. 7.2. Формування суми однорозрядних двійкових чисел

x_1	x_0	s	p
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Значення сигналу переносу, рівного одиниці в останньому рядку таблиці 7.2 говорить про те, що результат, отриманий при виконанні операції арифметичного додавання, у цьому випадку не може бути представлений двійковим кодом, розрядність якого дорівнює розрядності слів доданків. Для представлення результату необхідне слово, що має на один розряд більше, ніж, коди доданків.

Використовуючи приведену таблицю, легко записати систему функцій алгебри логіки, що описують алгоритм операції арифметичного додавання.

$$s = \bar{x}_1 x_0 + x_1 \bar{x}_0 = x_1 \oplus x_0, \quad (7.1)$$

$$p = x_1 x_0.$$

Для її технічної реалізації необхідні логічні елементи І та виключне АБО (рис. 7.14).

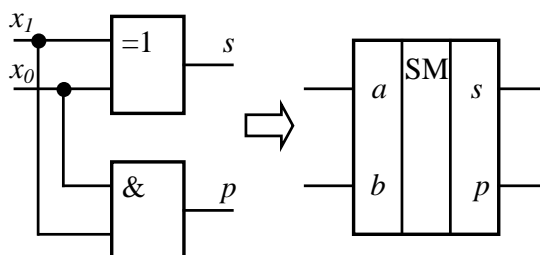


Рис. 7.14. Напівсуматор та його умовне позначення

Операція додавання додатних двійкових чисел визначається правилами двійкової арифметики:

1. Значення переносу z_{p+1} у $(p + 1)$ -й розряд дорівнює 1, якщо дві або три величини з x_p , y_p і z_p рівні 1, де x_p і y_p – розряди чисел X и Y , а z_p – перенос з $(p - 1)$ -го розряду.
2. Значення p -го розряду s_p суми чисел X и Y дорівнює 1, якщо непарне число величин x_p , y_p і z_p дорівнює 1.

Значення переносу в перший розряд завжди дорівнює 0, тобто $z \equiv 0$. Якщо при додаванні розрядна сітка не переповняється, то перенос у старший $(n + 1)$ -й розряд відсутній ($z_{n+1} = 0$). У загальному випадку необхідно робити додавання і віднімання як додатних, так і від’ємних чисел.

Таблиця істинності (табл. 7.3), що описує закон функціонування однорозрядного двійкового суматора, складається на підставі правила додавання додатних чисел.

Табл. 7.3. Таблиця істинності однорозрядного двійкового суматора

i	x_p	y_p	z_p	s_p	z_{p+1}
0	0	0	0	0	0
1	0	0	1	1	0
2	0	1	0	1	0
3	0	1	1	0	1
4	1	0	0	1	0
5	1	0	1	0	1
6	1	1	0	0	1
7	1	1	1	1	1

Один з можливих варіантів реалізації однорозрядного двійкового суматора наведено на рис. 7.15.

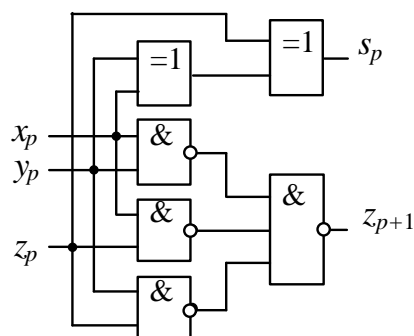


Рис. 7.15. Схема однорозрядного двійкового суматора

Для додавання двох n -розрядних чисел X і Y потрібно використовувати n однорозрядних суматорів. На рис. 7.16 наведена функціональна схема суматора для трьохрозрядних чисел $X = (x_3, x_2, x_1)$ і $Y = (y_3, y_2, y_1)$.

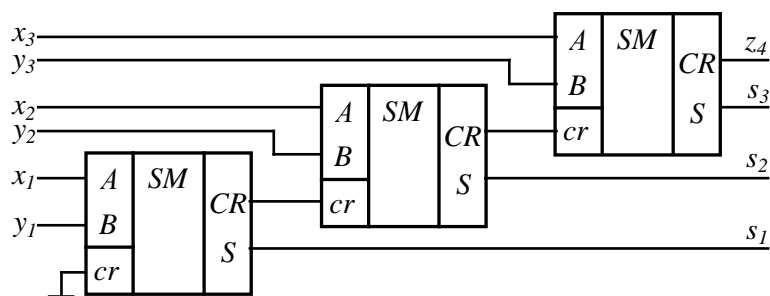


Рис. 7.16. Функціональна схема суматора трьохрозрядних чисел

7.5 Схеми порівняння кодів або цифрові компаратори

Схемою порівняння кодів або цифровим компаратором називається комбінаційний логічний пристрій, призначений для порівняння чисел, представлених у виді двійкових кодів. Число входів компаратора визначається розрядністю порівнюваних кодів.

Цифрові компаратори що реалізуються у вигляді цифрових схем формують на виходах три ознаки: $A = B$, $A > B$ та $A < B$, де A і B – значення кодів, що порівнюються.



Рис. 7.17. Функціональне позначення цифрового компаратора

Найбільш поширений спосіб зіставлення двох чисел, заздалегідь записаних в регістри, заснований на їх порозрядному порівнянні починаючи із старшого, тобто використовується принцип послідовного порівняння кодів багаторозрядних чисел. Якщо порівнюються два числа $A(a_n, a_{n-1}, \dots, a_1)$ і $B(b_n, b_{n-1}, \dots,$

b_1), то умовою їх рівнозначності ($A = B$) є рівність кодів усіх однойменних розрядів, а умовою нерівнозначності ($A \neq B$) – нерівність кодів хоч би у одному розряді, при цьому $A > B$, якщо $a = 1, b = 0$. Звідси булеві функції наберуть вигляду

$$\begin{aligned} Q_{a_i=b_i} &= \overline{a_i b_i} + a_i b_i, \\ Q_{a_i>b_i} &= a_i \overline{b_i}, \\ Q_{a_i<b_i} &= \overline{a_i} b_i. \end{aligned}$$

На рис. 7.18, а, б показані дві схеми, що реалізують функцію рівності двох кодів $R(v)$.

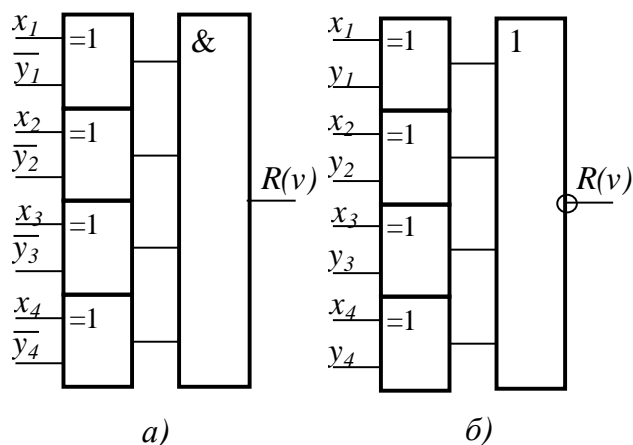


Рис. 7.18. Схеми формування ознаки рівнозначності 4-розрядних кодів

Щоб сформувати ознаки $A > B$ та $A < B$ за допомогою логічних елементів знадобиться досить складна схема. Найбільш зручно будувати схеми порівняння кодів з використанням суматорів. Якщо коди що порівнюються однакові, то різниця їх значень дорівнює 0. Інші дві ознаки теж нескладно сформувати.

Розглянемо на прикладі яким чином можна побудувати схему порівняння кодів з використанням суматора.

Для цього здійснимо операцію віднімання на двома 4-розрядними числами для 3-х випадків: $A = B$, $A > B$ та $A < B$. Нагадаємо, щоб відняти одне число з

іншого необхідно один з доданків представити в додатковому коді, тобто проінвертувати всі розряди числа і додати 1 у молодший розряд.

Перший випадок $A = B$. Нехай $A = B = 5$ (0101 у двійковому коді).

Представимо число B у додатковому коді:

$$\begin{array}{r} 1010 \\ + 1 \\ \hline 1011 \end{array}$$

Тобто сума дорівнює $s = 1011$, а перенос $p = 0$. Тепер складемо ці два числа:

$$\begin{array}{r} 0101 \\ +1011 \\ \hline 1\ 0000 \end{array}$$

Для отриманого результату $s = 0000$, а перенос $p = 1$, тобто у загальному вигляді $s = 0$, $p = 1$.

Другий випадок $A > B$. Нехай $A = 6$ (0110 у двійковому коді), а $B = 5$. Тоді різниця A і B буде дорівнювати:

$$\begin{array}{r} 0110 \\ +1011 \\ \hline 1\ 0001 \end{array}$$

Для отриманого результату $s = 0001$, а перенос $p = 1$, тобто у загальному вигляді $s \neq 0$, $p = 1$.

Третій випадок $A < B$. Нехай $A = 5$, а $B = 6$. Число B у додатковому коді дорівнює 1010. Тоді різниця A і B буде дорівнювати:

$$\begin{array}{r} 0101 \\ +1010 \\ \hline 0\ 1111 \end{array}$$

Для отриманого результату $s = 1111$, а перенос $p = 0$, тобто у загальному вигляді $s \neq 0$, $p = 0$.

З урахуванням цих результатів побудована схема порівняння кодів з використанням повного 4-розрядного суматора, що наведена на рис. 7.19.

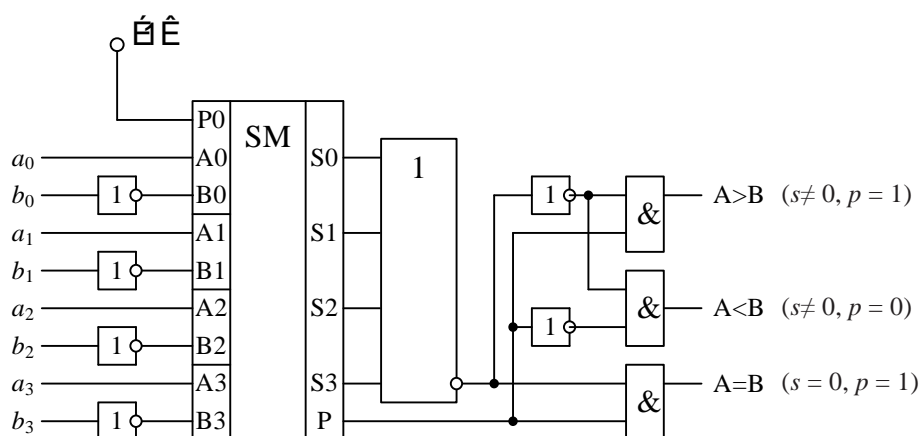


Рис. 7.19. Принципова схема порівняння 4-розрядних кодів з використанням суматора

7.6 "Небезпечні змагання" у комбінаційних пристроях

Інерційність реальних логічних елементів приводить до того, що вихідні сигнали з'являються після зміни перехідних процесів через якийсь час, обумовлений тривалістю перехідних процесів. Найважливішим параметром, що характеризує інерційність логічного елемента, є середній час затримки вихідного сигналу стосовно вхідного $t_{з.с.р.}$.

Можна логічний елемент представити складеним з двох частин – логічного елемента – безінерційного елемента, що виконує логічні функції, й елемента затримки D.

У різних частинах комбінаційного пристрою, у залежності від числа елементів, що послідовно переключаються під дією вхідного сигналу, перехідний процес буде закінчуватися в різний час.

На виході комбінаційного пристрою можлива поява завад, що порушують роботу пристроїв, що під'єднуються до його виходів. Розглянемо схему комбі-

наційного пристрою, що представлена на рис. 7.20. Характеристичне рівняння

цього пристрою має вигляд: $y = x_3 x_1 x_4 x_2$.

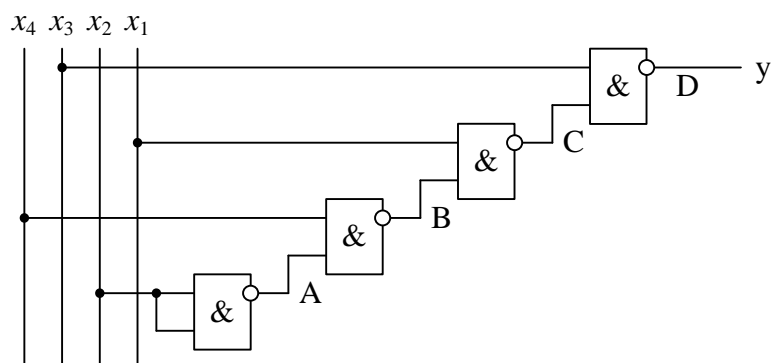


Рис. 7.20. Комбінаційний пристрій з "небезпечними змаганнями"

Часові діаграми, що ілюструють роботу цієї схеми наведені на рис. 7.21.

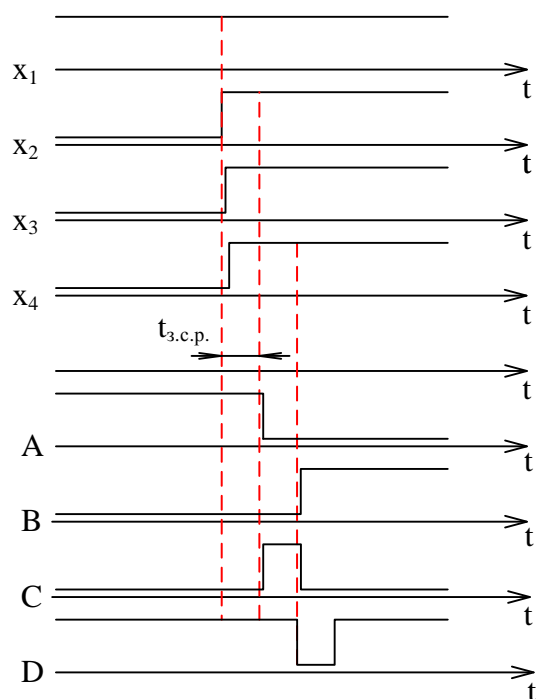


Рис. 7.21. Часові діаграми роботи схеми пристрою з "небезпечними змаганнями"

При зміні вхідного сигналу з 1000 на 1111 значення вихідного сигналу

повинне зберегтися рівним 1, однак, на виході комбінаційного пристрою на час $3t_{з.с.р.}$ з'являється імпульс завад, обумовленої затримками, що вносять логічні елементи. Якщо така завада порушує роботу включеного на виході пристрою, то маємо справу з “небезпечними станами”.

Для боротьби з небезпечними станами вживають наступних заходів:

1. Включають на виході згладжуючий фільтр, наприклад, інтегруюче коло (використовують рідко).
2. Вводять синхронну передачу сигналів від одного пристрою до іншого за допомогою спеціальних імпульсів синхронізації, що визначають моменти передачі інформації. Пауза між імпульсами синхронізації вибирається такою, щоб за її час закінчилися перехідні процеси і на виході пристрою установилися стаціонарні значення сигналів.

7.7 Контрольні запитання

1. Що таке функціонально повна система та базис ЛЕ?
2. Синтезуйте схему для реалізації функції $F = \overline{\overline{x_1 + x_2 + x_1 + x_2}}$ на елементах І-НІ.
3. Які призначення і структурна схема мультиплексора та демультимплексора?
4. Які призначення та структурні схеми одноступінчатого, пірамідального і багатоступінчатого дешифраторів?
5. Які призначення та логічна схема шифратора?
6. Запишіть ФАЛ, що реалізує арифметичне підсумовування однорозрядних двійкових кодів.
7. Чим відрізняються напівсуматор від однорозрядного суматора?
8. Які призначення і логічна схема цифрового компаратора?

8 ТРИГЕРНІ ЕЛЕМЕНТИ

8.1 Призначення та класифікація тригерів

Тригер являє собою пристрій з двома стійкими станами, що містить запам'ятовуючий елемент (власне тригер) і схему управління. Схема управління перетворює інформацію що надходить на її входи в комбінацію сигналів, що впливають на входи власне тригера, стан якого характеризує пристрій в цілому. Можливі і більш прості варіанти тригерів, наприклад такі, в яких взагалі відсутня схема управління.

Власне тригер називають ще бістабільним пристроєм, або фіксатором. Здатність запам'ятовувати і зберігати інформацію визначила цілий клас пристроїв.

Тригери розрізняються:

- за функціональною ознакою;
- за способом запису інформації в тригер.

Функціональний ознака визначає тип тригера, тобто його логічне рівняння, що характеризує стан входів і виходів тригера до і після його спрацьовування.

Спосіб запису інформації в тригер визначає часову діаграму його роботи. За цією ознакою тригери поділяються на дві групи: асинхронні і синхронні. У асинхронні тригери запис інформації здійснюється безпосередньо з надходженням інформаційного сигналу на його вхід. Запис інформації в синхронні (тактуемі) тригери здійснюється тільки за наявності дозволяючого тактового імпульсу на додатковий тактовий вхід. Тактуемі тригери, в свою чергу, поділяються на тригери, які працюють за рівнем тактового імпульсу (тригери із статичним управлінням) – прийом інформації відбувається протягом всієї тривалості імпульсу, і на тригери з динамічним входом – запис інформації проводиться по фронту або спаду тактового імпульсу. В інший час, незалежно від рівня тактового

імпульсу тригер не сприймає інформаційні сигнали, а отже, не змінює свого стану.

У зарубіжній інженерній практиці всі тригерні схеми розділяються на дві групи.

Перша з них – *flip-flop* – характеризується тим, що вибірка вхідних сигналів і відповідна зміна виходів визначається в моменти дії тактових часових сигналів (синхронні тригери).

Особливість другої групи схем – *latch* – полягає в тому, що вони змінюють свій стан при зміні вхідних сигналів незалежно від наявності чи відсутності часових тактових сигналів.

Тригери відносяться до класу пристроїв, що мають так званий парафазний вихід. Це означає, що стан тригера подається одночасно прямим і інверсним значеннями на його виходах Q і \bar{Q} (Q і \bar{Q} – внутрішні змінні).

Вихідні значення стану тригера в таблиці перемикань (істинності) прийнято відображати наступними символами:

- 0 – ($Q = 0$; $\bar{Q} = 1$);
- 1 – ($Q = 1$; $\bar{Q} = 0$);
- Q – стан тригера не змінюється при зміні інформації на його вході
- ($Q^n = Q^{n+1}$ або $Q^t = Q^{t+1}$);
- \bar{Q} – стан тригера змінюється на протилежний;
- X – невизначений стан тригера (цим символом позначається також заборонена комбінація значень змінних на вході тригера).

Залежність значень сигналів на виходах тригера від значень сигналів на його входах видається, як правило, у вигляді таблиці переходів тригера. Загальне число комбінацій змінних на вході дорівнює 2^n , де n – число зовнішніх змінних. При кожному наборі зовнішніх змінних тригер може знаходитися в одному з двох стійких станів. Таким чином, загальна кількість рядків у таблиці дорівнює $2 \cdot 2^n$. Повну таблицю переходів тригера, як правило, не використовують,

оскільки вона ускладнює сприйняття. Скорочення таблиці виконується за допомогою виключення тих станів, які є очевидними для нормального функціонування тригера і характерними для всіх типів тригерів або тригерів даного класу.

Відомо, що теоретично можна створити 5^{2^n} типів тригерів, де n – число зовнішніх змінних. Проте практичне застосування знайшло обмежена кількість типів, серед яких найбільш поширені, наприклад, RS, T, D, JK та комбіновані RSD і RSJK-тригери.

8.2 Асинхронні та синхронні RS-тригери

8.2.1 Асинхронний RS-тригер

RS-тригером називається логічний пристрій з двома стійкими станами, що має таких два інформаційних входи R (reset – скидання у початковий стан, за який прийнято "0") і S (set – встановлення у "1"), що при

$S = 1, R = 0$ тригер встановлюється у стан "1",

$R = 1, S = 0$ тригер встановлюється у стан "0",

$R = 0, S = 0$ тригер зберігає попередній стан $Q^t = Q^{t+1}$,

а стан $R = 1, S = 1$ – заборонений.

Зміна станів RS-тригера наведена в табл. 8.1, а умовне графічне позначення на схемах – на рис. 8.1.

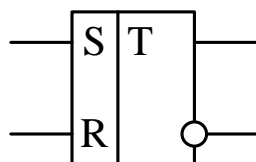


Рис. 8.1. Умовне графічне позначення RS-тригера

Табл. 8.1. Таблиця переходів RS-тригера

S	R	Q^t	Q^{t+1}
1	0	1	1
		0	1
0	1	1	0
		0	0
0	0	1	1
		0	0
1	1	X	

Одночасна подача двох активних сигналів на входи S і R заборонена, а якщо така ситуація все ж виникає, то стан тригера вважається невизначеним.

Зміну станів тригера можна показати за допомогою часових діаграм сигналів на його входах та виході (рис. 8.2).

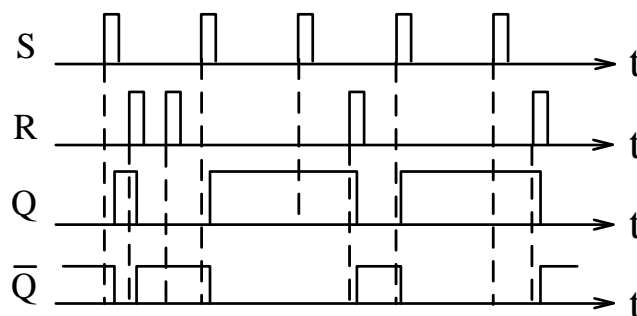


Рис. 8.2. Часові діаграми роботи RS-тригера

На рис. 8.2 показано, що тригер перемикається з деякою затримкою, величина якої залежить від технології виготовлення та серії інтегральних мікросхем. Практично, в залежності від серії, затримка може складати від 10 до 300 нс.

Ще одна форма опису функціонування тригера, це його характеристичне рівняння

$$Q^{t+1} = S + \bar{R}Q^t. \quad (8.1)$$

Вибравши як елементну базу базис АБО-НІ, перетворимо (8.1), використовуючи закон заперечення і правило де Моргана, до виду $Q_{t+1} = \overline{\overline{R + S + Q_t}}$, $\bar{Q}_{t+1} = \overline{\overline{S + R + \bar{Q}_t}}$.

Схема, що відповідає цьому виразу, наведена на рис. 8.3.

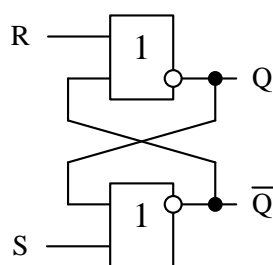


Рис. 8.3. Принципова схема RS-тригера

8.2.2 Асинхронный RS-триггер з інверсними входами

RS-тригером з інверсними входами називається логічний пристрій з двома стійкими станами, що має таких два інформаційних входи R (reset – скидання у початковий стан, за який прийнято "0") і S (set – встановлення у "1"), що при

$S = 0, R = 1$ тригер встановлюється у стан "1",

$R = 0, S = 1$ тригер встановлюється у стан "0",

$R = 1, S = 1$ тригер зберігає попередній стан $Q^t = Q^{t+1}$,

а стан $R = S = 0$ – заборонений.

Зміна станів RS-тригера наведена в табл. 8.2, а умовне графічне позначення на схемах – на рис. 8.4.

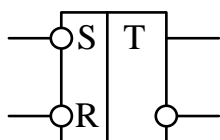


Рис. 8.4. Умовне графічне позначення RS-тригера з інверсними входами

Табл. 8.2. Таблиця переходів RS-тригера з інверсними входами

\bar{S}	\bar{R}	Q^t	Q^{t+1}
0	0	1	1
		0	1
1	0	1	0
		0	0
1	1	1	1
		0	0
0	0	X	

Одночасна подача двох активних сигналів (для цього типу тригерів це рівень логічного "0") на входи S і R заборонена, а якщо така ситуація все ж вини-

кає, то стан тригера вважається невизначеним.

Зміну станів тригера можна показати за допомогою часових діаграм сигналів на його входах та виході (рис. 8.5).

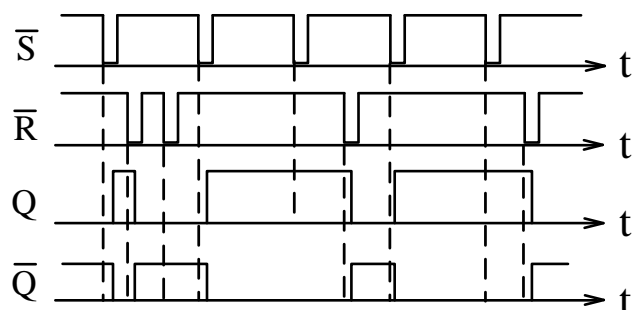


Рис. 8.5. Часові діаграми роботи RS-тригера з інверсними входами

Вибравши як елементну базу базис І–НІ, перетворимо (8.1), використовуючи правило де Моргана $Q_{t+1} = \overline{\overline{S} \overline{R} Q_t}$, $\overline{R} + \overline{S} = 1$.

Схема RS-тригера з інверсними входами побудована в базисі І–НІ наведена на рис. 8.6.

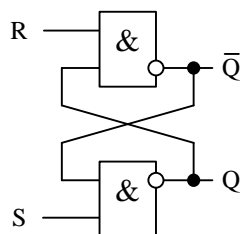


Рис. 8.6. Принципова схема RS-тригера з інверсними входами

8.2.3 Синхронний RS-тригер

На відміну від асинхронних тригерів, що перемикаються при подачі на один з входів активного рівня, синхронний тригер перемикається тільки при наявності дозволяючого (синхронізуючого) сигналу на вході управління, що частіше носить назву входу синхронізації. А сигнали що подають на цей вхід на-

зиваються синхросигналами або синхроімпульсами.

На рис. 8.7 наведена принципова схема синхронного RS-тригера. Він складається зі схеми управління (два логічних елемента І) та самого тригера. Як слідує з аналізу схеми, для того щоб на входах RS-тригера (на рис. 8.7 позначені як R' як S') з'явився сигнал необхідно щоб на вході CI була сформована "1". При відсутності сигналу на вході CI на виходах логічних елементів І формується рівень логічного "0" і RS-тригер зберігає попередній стан. Якщо сигнали на входах S та CI (або на входах R та CI) будуть збігатися у часі, то тоді, відповідно, на виході верхнього (нижнього) логічних елементів І буде формуватися сигнал управління і RS-тригер буде перемикатися.

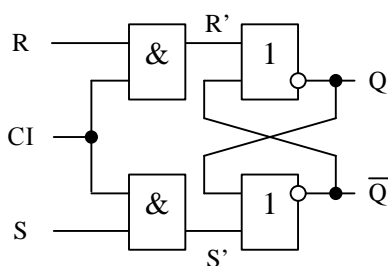


Рис. 8.7. Принципова схема синхронного RS-тригера

Часові діаграми, що пояснюють роботу синхронного RS-тригера, наведені на рис. 8.8.

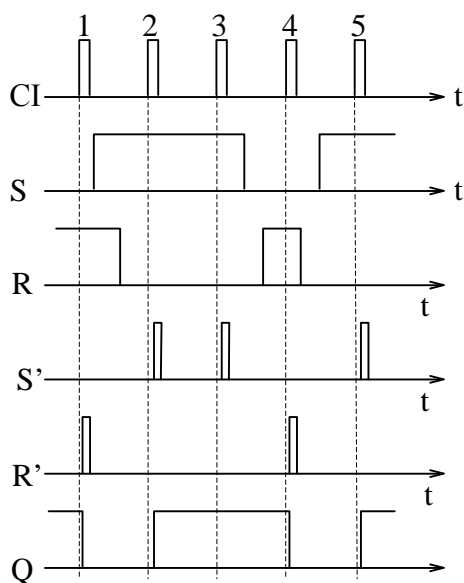


Рис. 8.8. Часові діаграми роботи синхронного RS-тригера

8.3 Тригери Т-типу

Це логічний пристрій із двома стійкими станами й одним інформаційним входом, що змінює стан на виході щоразу, коли на його вхід надходить імпульс. Цей тригер ще називається лічильним тригером. Логічне рівняння такого тригера має вигляд:

$$Q^{t+1} = \bar{T}^t Q^t + T^t \bar{Q}^t$$

Даний тригер у залежності від позначення може спрацьовувати або по фронті імпульсу (/), або по його спаду (\). Функціональне позначення Т-тригера, що спрацьовує по фронті, наведено на рис. 8.9,а, а тригера, що спрацьовує по спаду вхідного імпульсу – на рис. 8.9,б.

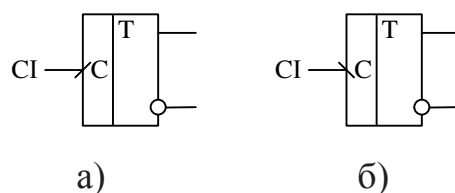


Рис. 8.9. Умовне графічне позначення Т-тригера

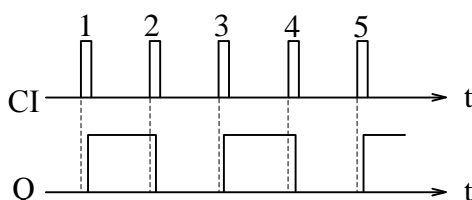


Рис. 8.10. Часові діаграми роботи Т-тригера

При виконанні тригера в базисі АБО-НІ, і при умові, що тригер керується перепадами з 1 в 0 на вході С (\), одержимо схему, показану на рис. 8.11.

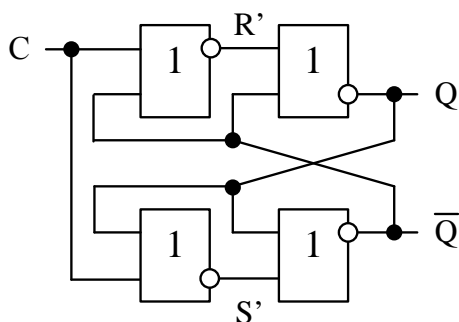


Рис. 8.11. Схема Т-тригера з імпульсним управлінням в базисі АБО-НІ

8.4 Тригери D-типу

Це логічний пристрій із двома стійкими станами й одним інформаційним входом D, що запам'ятовує інформацію яка надходить на вхід D в момент приходу синхроімпульсу на вхід C (синхронизації). Логічне рівняння такого тригера має вигляд

$$Q^{t+1} = D^t$$

Значення вихідного сигналу в момент часу t+1 збігається з кодом вхідного сигналу в момент часу t. Умовне позначення D-тригера наведено на рис. 8.12, а варіант реалізації на елементах АБО-НІ – на рис. 8.13.

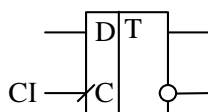


Рис. 8.12. Умовне графічне позначення D-тригера

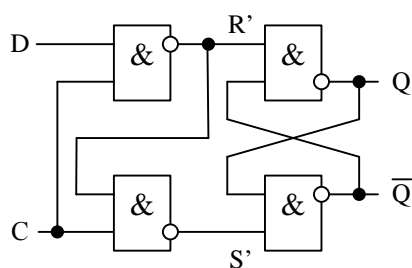


Рис. 8.13. Варіант реалізації D-тригера на елементах І-НІ

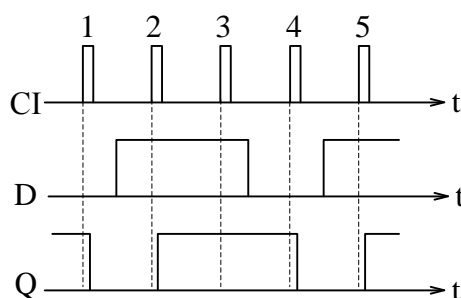


Рис. 8.14. Часові діаграми роботи D-тригера

Якщо вхід D з'єднати з виходом Q тригера то $D = \bar{Q}$, і значення вихідного сигналу в момент часу $t+1$ збігається з кодом на інверсному виході тригера в момент часу t , тобто $Q^{t+1} = \bar{T}^t Q^t + T^t \bar{Q}^t$ і тригер працює в режимі лічильного тригера. Схема включення D-тригера в режим T-тригера, наведена на рис. 8.15.

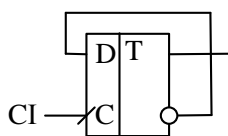


Рис. 8.15. Схема включення D-тригера в режим T-тригера

Слід зауважити, що T-тригери у вигляді окремих інтегральних мікросхем не випускаються, а реалізуються на D-тригерах або JK-тригерах.

8.5 Тригери JK-типу

Це логічний пристрій із двома стійкими станами і двома інформаційними входами J і K , що за умови $J=K=1$ здійснює інверсію попереднього стану (працює в режимі лічильного тригера), а в інших випадках працює як RS-тригер. При цьому вхід J еквівалентний входіві S , а вхід K – входіві R . Логічне рівняння, що описує роботу тригера має вигляд

$$Q^{n+1} = \bar{K}^n Q^n + J^n \bar{Q}^n.$$

Слід відмітити, що JK-тригера відноситься до синхронних тригерів і тому всі перемикання цього тригера відбуваються тільки у моменти надходження синхроімпульсів на його вхід синхронізації С. Умовне графічне позначення JK-тригера наведено на рис. 8.16.

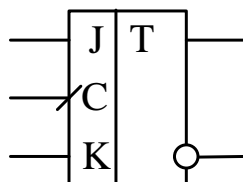


Рис. 8.16. Умовне графічне позначення JK-тригера

В табл. 8.3 наведено переходи JK-тригера при різних значеннях сигналів на входах J та K.

Табл. 8.3. Таблиця переходів JK-тригера

J ^t	K ^t	Q ^t	Q ^{t+1}
0	0	0	0
		1	1
1	0	0	1
		1	1
0	1	0	0
		1	0
1	1	0	1
		1	0

JK-тригер найбільш універсальний з розглянутих тригерів. Він може працювати в режимі T- або D-тригера, що витікає з таблиці функціонування. На рис. 8.17 наведено схеми підключення JK-тригера для реалізації цих видів тригерів.

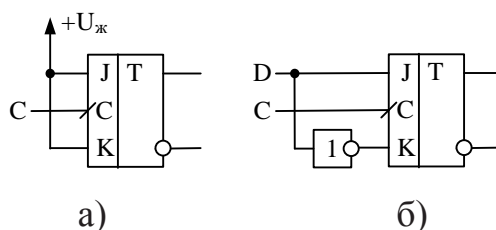


Рис. 8.17. Схеми підключення JK-тригера для реалізації T-тригера (а) та D-тригера (б)

8.6 Універсальні RSD- та RSJK-тригери

Універсальні тригери – тригери, що можуть працювати в різних режимах і як різні типи тригерів. Умовні графічні позначення універсальних тригерів наведені на рис. 8.18.

Розглянемо роботу таких тригерів.

RSJK-тригер (рис. 8.16,а) це логічний пристрій із двома стійкими станами і чотирма інформаційними входами RSJK, що за умови $S = R = 0$ працює як JK-тригер, а у всіх інших випадках, як асинхронний RS-тригер. Тобто, якщо

$S = 1, R = 0$, то тригер перемикається у "1"

$S = 0, R = 1$, то тригер перемикається у "0"

$S = R = 1$ – заборонена комбінація.

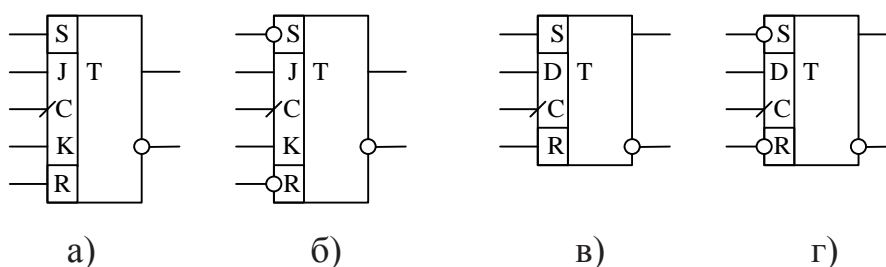


Рис. 8.16. Умовне графічне позначення RSJK- та RSD-тригерів з прямими та інверсними входами

RSJK-тригер з інверсними входами (рис. 8.16,б) це логічний пристрій із двома стійкими станами і чотирма інформаційними входами RSJK, що за умови

$S = R = 1$ працює як JK-тригер, а у всіх інших випадках, як асинхронний RS-тригер. Тобто, якщо

$S = 0, R = 1$, то тригер перемикається у "1"

$S = 1, R = 0$, то тригер перемикається у "0"

$S = R = 0$ – заборонена комбінація.

Аналогічно функціонують і RSD-тригери. Для тригера з прямими входами R та S активний рівень на цих входах "1", заборонена комбінація $S = R = 1$, а для RSD-тригера з інверсними входами S та R активний рівень на цих входах "0", а заборонена комбінація $S = R = 0$.

На рис. 8.17 наведений приклад реалізації RSD-тригера з інверсними входами в базисі І-НІ. Зі схеми витікає, що входи R та S мають пріоритет, оскільки вони зумовлюють, чи будуть працювати логічні елементи, до яких вони під'єднані.

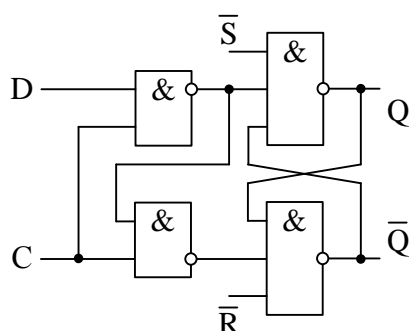


Рис. 8.17. Приклад реалізації RSD-тригера з інверсними входами в базисі І-НІ

Універсальні D- і JK-тригери широко використовуються при побудові лічильників, регістрів, суматорів, пристроїв управління, розподільників імпульсів, різних цифрових автоматів, при синтезі довільних тригерних структур і т.д.

8.7 Приклади використання тригерів

Стартостопний пристрій у пристроях управління – сукупність якого-

небудь різновиду RS-тригера і керованого їм вентиля. На рис. 8.18, а, б показані найпростіша реалізація стартозупинного пристрою на трьох двохходових вентилях і часова діаграма його роботи. Відзначимо, конкретна реалізація розглянутих схем передбачається виконаною на елементах ТТЛ-серій, наприклад К155 або КР1533. Тривалість імпульсів управління τ_1 і τ_2 (стартозупинних імпульсів) повинна бути достатньою для спрацьовування RS-тригера й одночасно менше інтервалу часу між стартозупинними імпульсами, для того щоб виключити можливість появи на входах забороненої комбінації.

Якщо стартозупинне управління формується за допомогою контактних перемикачів типу реле, кнопок і т.п., то для поліпшення динамічних властивостей тригера і підвищення його завадостійкості "вільні" виводи мікросхем повинні бути зафіксовані на рівнях "0" та "1". Прикладом може служити схема, зображена на рис. 8.18, в. У цій схемі опір резисторів R_1 і R_2 вибираються зі співвідношення $R_1 = R_2 \leq U_{\text{вх}}^0 / I_{\text{вх}}^0$.

При використанні даної схеми потрібно враховувати наступну обставину: якщо сигнал "Старт" є одночасно сигналом установки нуля (фрагмент схеми, що виконаний пунктиром), то схема неприйнятна. Після короткочасного замикання контактів "Старт" у колі установки нуля повинний бути рівень "1", а в даній схемі $U_{\text{вих}}^0 + R_1 I_{\text{вх}}^0$, де $U_{\text{вих}}^0$ – напруга на виході, $R_1 I_{\text{вх}}^0$ – падіння напруги на резисторі від струму верхнього вентиля RS-тригера. Ця сума сприймається в колі установки нуля як рівень "0", що блокує роботу елементів, для яких призначено коло установки нуля.

Відзначений недолік не можна усунути збільшенням опорів резисторів R_1 і R_2 , тому що схема буде практично не захищеною від завад. Як правило, ця схема використовується як генератор одиночних імпульсів (рис. 8.18, з), що усуває деренчання контактів перемикача.

До переваг схем, зображених на рис. 8.18, в, з, можна віднести те, що резистори R_1 і R_2 не споживають потужності від джерела при розімкнутих контактах (точніше, ця потужність мізерно мала).

Недолік, відзначений для схеми на рис. 9.14, *в*, усунутий у схемі, показаній на рис. 8.18, *д* однак якщо за цією схемою виконувати генератор одиночних імпульсів, то резистор, у нормальному стані замкнутий на землю, буде споживати значну потужність від джерела живлення. Можлива реалізація RS-тригера на одному вентилі І та одному вентилі АБО (рис. 8.18, *е*). У даного тригера на відміну від нормальних схем виходи не додаткові і управління на входах здійснюється перепадами різної полярності.

Тригер може бути особливо корисним у випадках, коли необхідно виключити можливість змагань. Як впливає з діаграми рис. 8.18, *ж*, на якій враховані затримки поширення вентилів, сигнал на виході y_1 цілком лежить усередині інтервалу часу, що відповідає тривалості сигналу y_2 . Неважко переконатися, що на парах елементів І–НІ, АБО–НІ; АБО, І–НІ не можна реалізувати тригерну структуру з використанням двох перехресних колах зв'язку.

Запропонована реалізація RS-тригера на одному вентилі І або одному вентилі АБО (рис. 8.18, *з*, *і*). Припустимо, що управління схемою здійснюється контактами, які замикаються. На вході x_1 забезпечується рівень "1" через резистор R від джерела живлення, якщо тепер короткочасно замкнути контакт "Старт", то на виході встановиться рівень "1" і буде утримуватися, тому що $x_2 = y$. Короткочасне замикання контакту "Стоп" забезпечує появу "0" на виході й утримання його, по входу $x_2 = y$. Робота схеми, зображеної на рис. 8.18, *і*, відбувається аналогічно.

Схеми рис. 8.18, *з*, *і* мають незвичайну властивість – між сигналом по одному з входів і сигналом на виході тут немає вентиляної затримки; однак у тригера недолік – сигнал на одному з входів обов'язково збігається із сигналом на виході. При реалізації конкретної схеми функціонування схеми повинне забезпечуватися з передбаченням заходів захисту вентилів при одночасній дії сигналів "Старт" і "Стоп".

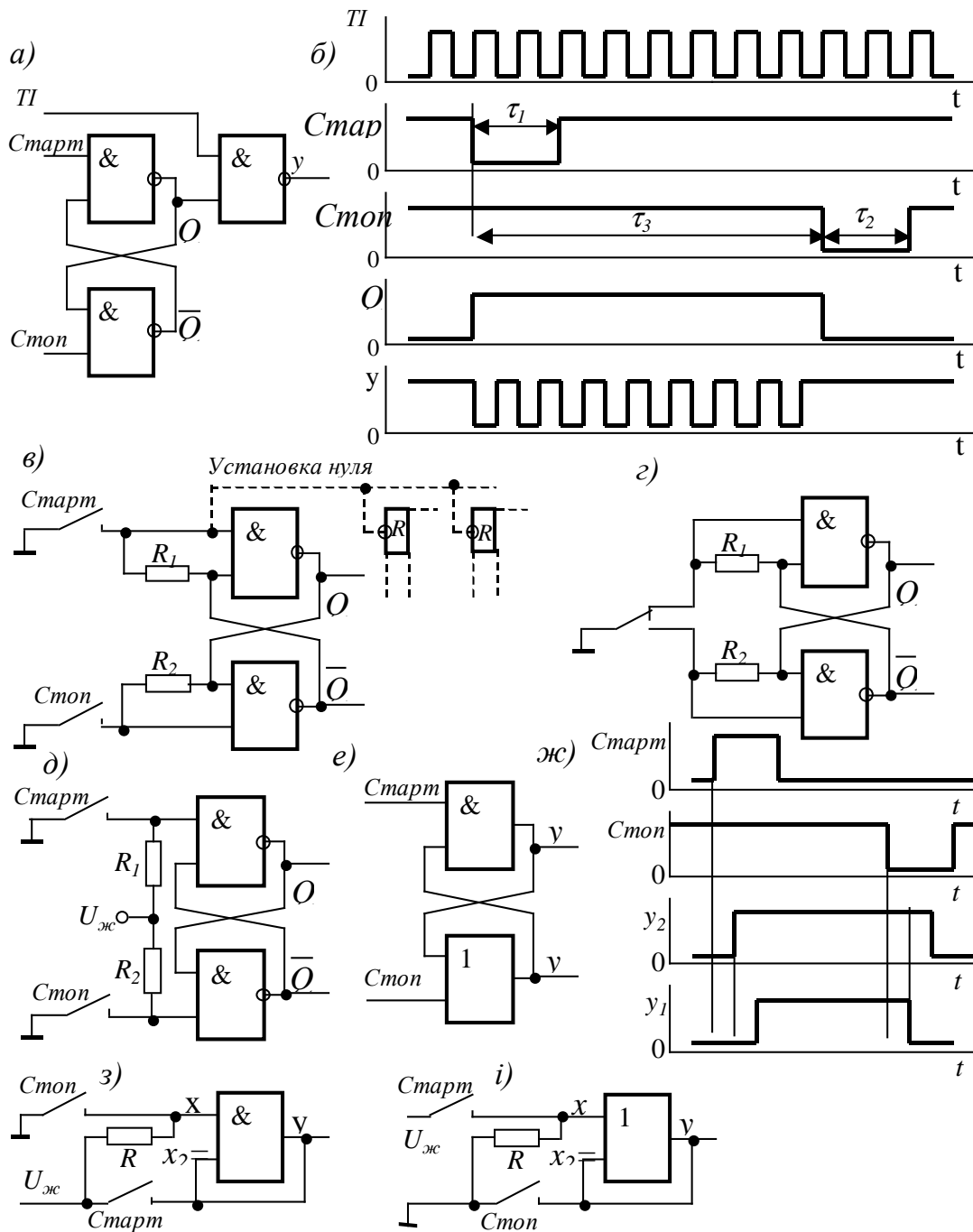


Рис. 8.18. Варіанти схем стартостопних пристроїв з імпульсним управлінням: *a* – базова схема; *б...е, з, і* – реалізація структури RS-тригера; *б, ж* – відповідні часові діаграми роботи схем *a* та *е*.

В усіх схемах, показаних на рис. 8.18, управління RS-тригерами здійснюється імпульсними сигналами для усунення заборонених комбінацій на їхніх входах. Однак іноді потрібно забезпечити комбіноване управління: по одному вході-імпульсне, а по іншому – перепадом потенціалів. Приклади схем, що за-

довольняють цим вимогам, наведені на рис. 8.19.

Розглянемо роботу схеми рис. 8.19, а. Припустимо, що тригер перебуває в стані "0", а на входах R і S встановлені рівні логічної "1" (рис. 8.19, б). Так як на вході D постійно присутній рівень "0", переходи 01 підтверджують нульовий стан. Тригер можна встановити в стан "1" тільки імпульсним сигналом "Старт", а в стан "0" тригер перейде з приходом першого переходу 01 на вході "Стоп". Робота інших схем відбувається аналогічно.

На рис. 8.20 наведені варіанти стартостопних пристроїв з управлінням переходами по обох входах.

В цифрових пристроях різного призначення часто виникає задача виділення переходів 10 і 01 асинхронних сигналів, що з'являються в довільний момент часу, з одночасною прив'язкою виділених переходів до моменту часу, обумовленому тактовими імпульсами.

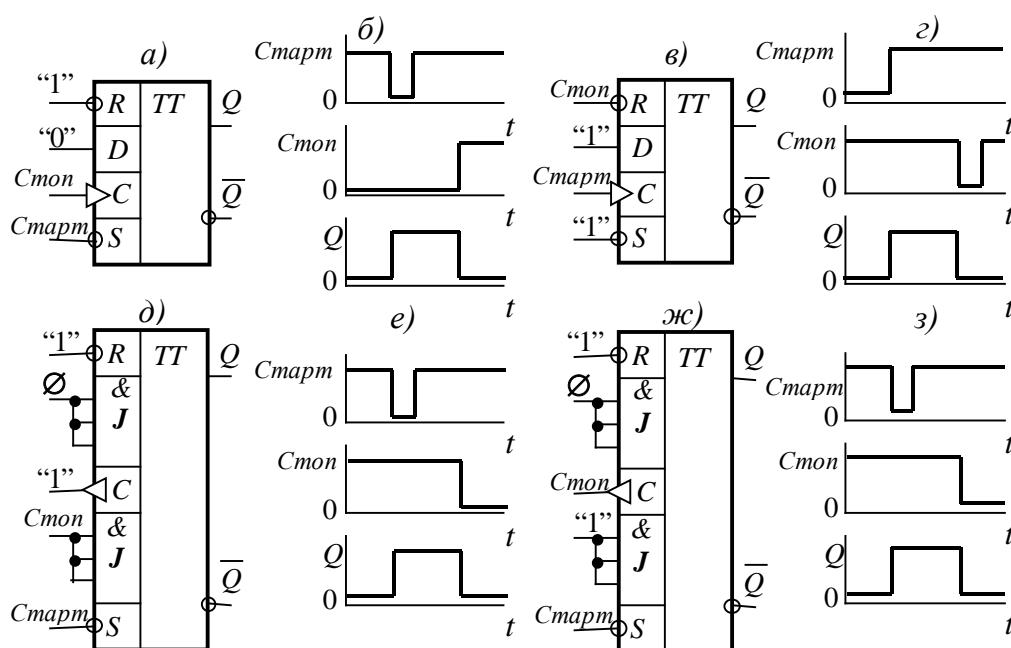


Рис. 8.19. Варіанти схем стартостопних пристроїв з комбінованим управлінням: а, в – відповідно на D- тригері при $D=0$ та $D=1$; б, з – відповідні часові діаграми роботи схем а та в; д, ж – відповідно схеми на JK- тригері в асинхронному та тактовому режимах; е, з – відповідні часові діаграми роботи схем д та ж.

Приклади таких схем наведені на рис. 8.21. Розглянемо роботу схеми, показаної на рис. 8.21, *а*. Задача, що вирішує дана схема, може бути сформульована в такий спосіб: розробити цифровий пристрій, який виділяє перехід 10 асинхронного сигналу x та поміщає виділений перехід у момент часу, який відповідає першому переходу 01 тактових імпульсів і виникає відразу після появи переходу 10 сигналу x , причому тривалість вихідного сигналу цифрового пристрою повинна дорівнювати тривалості тактового імпульсу.

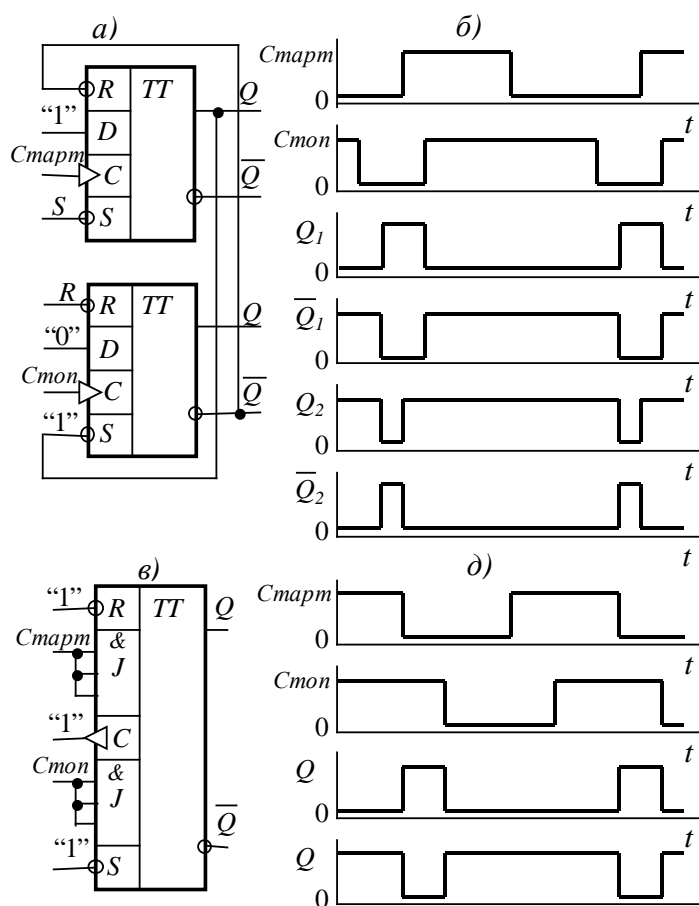


Рис. 8.20. Варіанти схем стартозупних пристроїв з управлінням переходами:

а – схема на D – тригерах; *в* – схема на JK- тригері ;
б, *г* – відповідні часові діаграми роботи схем *а* та *в*.

Якщо подати сигнал x на вхід D першого D-тригера, тоді кожен перехід

01 сигналу ТІ переводить тригер у стан $Q_1=x$, а вихід Q_1 з'єднати з входом D другого D-тригера, тоді кожен перехід 01 сигналу буде переводити тригер у стан $Q_2 = Q_1 = x$; зі зрушенням на половину періоду тактових імпульсів (при скважності, що дорівнює 2). З часової діаграми (рис. 8.21, б) випливає, що вихідний сигнал у описується рівнянням $y = \overline{Q_1}Q_2$.

Відзначимо, що отриманий пристрій ніяк не реагує на перехід 01 сигналу x .

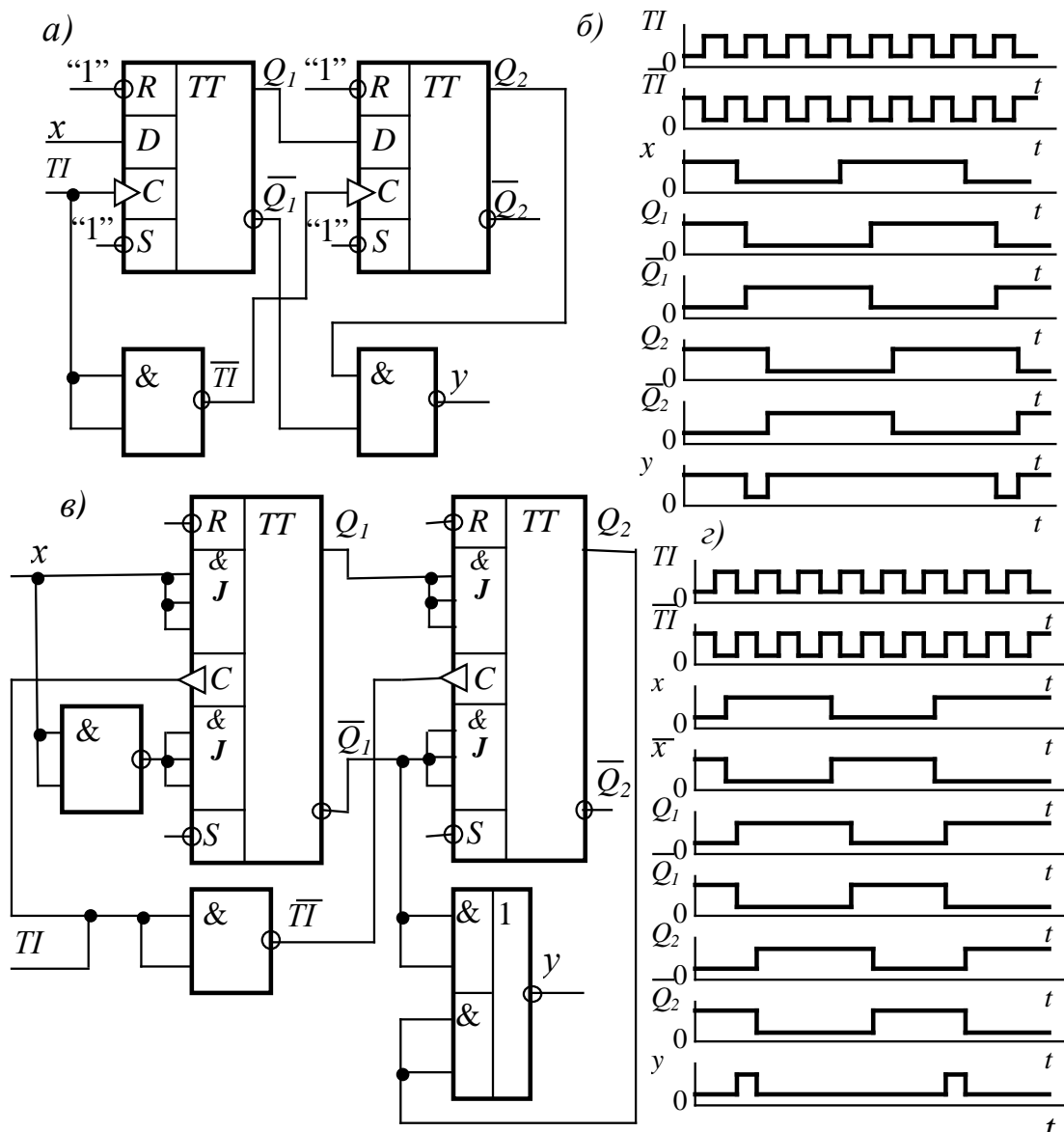


Рис. 8.21. Схеми пристроїв виділення і стробіювання переходів 10 та 01: а – 10 на D-тригерах; в – 01 на JK-тригерах;

б, г – відповідні часові діаграми роботи схем а та в.

Робота схеми, зображеної на рис. 8.21, в, що виділяє перехід 01 сигналу x та виконана на універсальних JK-тригерах пояснюється аналогічним образом.

8.8 Контрольні запитання

13. Що таке тригерні пристрої (тригери)? Перелічіть області їхнього використання.
14. Наведіть класифікацію тригерів по визначальним ознакам.
15. Якими параметрами і характеристиками визначається робота тригера в статичному та динамічному режимах?
16. Якими способами можна описати закон функціонування тригера?
17. Перелічіть різновиди RS - тригера.
18. Чим принципово відрізняється робота схеми T- тригера від роботи RS- тригера?
19. Що таке лічильний тригер? Що таке лічильний режим роботи універсального тригера?
20. Що таке синхронні тригери?
21. Сформулюйте визначення для універсального тригера.
22. Опишіть роботу універсального JK - тригера в асинхронному і синхронному режимах.

9 РЕГІСТРИ

9.1 Загальні зауваження

Регістрами називаються пристрої, що виконують функції прийому, збереження і передачі інформації. Інформація в регістрі зберігається у вигляді числа (слова), представленого комбінацією 0 і 1.

Регістри виконуються, як правило, на основі тригерів R-S, D або J-K-тригерів.

За допомогою регістрів можуть здійснюватися операції перетворення кодів (наприклад, з послідовного в паралельний і навпаки), а також деякі логічні операції (порозрядне логічне додавання й ін.)... Найбільше застосування регістри знаходять для тимчасового збереження інформації.

Основною ознакою, по якій розрізняють регістри, є спосіб запису числа в регістр. За цією ознакою регістри можна розділити на 3 групи:

- паралельні – інформація записується одночасно в усі тригери регістра;
- послідовні – інформація записується спочатку в перший тригер, а потім передається в другий і т.д.;
- універсальний – працює в будь-якому з режимів.

Послідовні регістри бувають звичайні зсувні та реверсивні. В звичайних регістрах інформація зсувається в одну сторону, а в реверсивних – в обидві.

У паралельних регістрах запис числа здійснюється в усі розряди регістра одночасно (паралельним кодом).

У послідовних регістрах запис коду здійснюється починаючи з молодшого або старшого розряду, шляхом послідовного зрушення коду тактуючими імпульсами. Регістри паралельно-послідовного типу мають входи як для паралельного, так і для послідовного запису інформації.

9.2 Паралельні регістри на D-тригерах

Для реалізації одноканальних паралельних регістрів застосовуються D-тригери, число яких відповідає числу входів регістра. У таких регістрах використовуються D-тригери, що мають інформаційний (D) і тактовий (C) входи, що описуються характеристичним рівнянням $Q_i^{t+1} = D_i^t C_i^t + Q_i^t \bar{C}_i^t$.

В паралельному регістрі інформація одночасно по всіх входах. Прикладом такого регістра є паралельний регістр на тригерах D-типу (рис. 9.1).

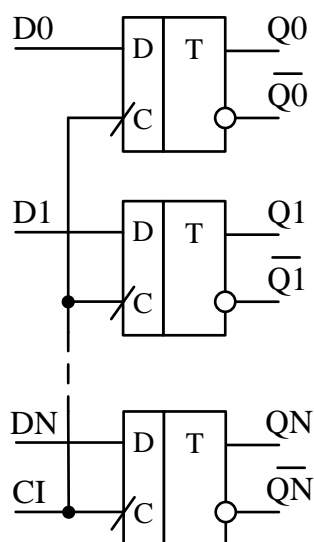


Рис. 9.1. Принципова схема паралельного регістра

В паралельному регістрі в момент приходу синхроімпульсу інформація одночасно запам'ятовується зі всіх входів D, та зберігається в регістрі до моменту приходу наступного синхроімпульсу. На рис. 9.2 показані часові діаграми роботи паралельного регістру.

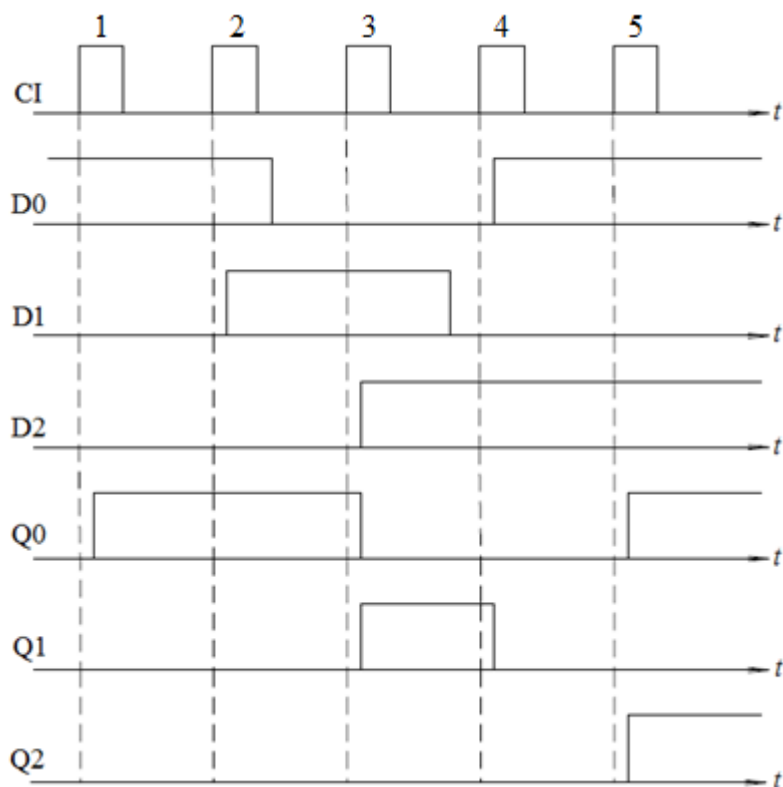


Рис. 9.2. Часові діаграми роботи паралельного регістра

Для реалізації паралельних регістрів можна використати RS-тригери, але для цього потрібно або попередньо встановити тригери регістра в нульовий стан, або порозрядного запису інформації. Це ускладнює схему регістра та вимагає додаткових сигналів для управління роботою регістра.

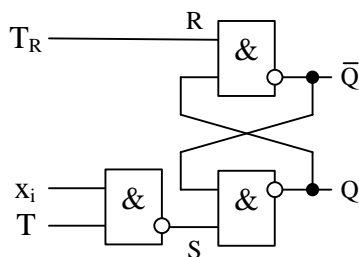


Рис. 9.3. Схема одного розряду паралельного регістра на RS-тригерах

$$Q_i^{t+1} = Q_i^t T_R + X_{2i} T .$$

Табл. 9.1. Таблиця переходів одного розряду регістра на RS-тригерах

T_R	T	Q_i^{t+1}	Операція
0	0	0	уст. в "0"
0	1	0	уст. в "0"
1	0	Q_i^t	збереження інформації
1	1	X_{2i}	запис інформації

9.3 Послідовні регістри

Послідовні регістри (регістри зсуву), як і паралельні, призначаються для короткочасного збереження інформації, представленій в двійковому коді і будуються на тригерах різних типів. У послідовних регістрах здійснюється логічна операція зсуву коду числа.

За методом введення і виведення інформації послідовні регістри підрозділяються на власне послідовні, послідовні та послідовно-паралельні.

У послідовних регістрах інформація вводиться і виводиться в послідовному коді, розряд за розрядом. У паралельно-послідовних регістрах інформація вводиться в паралельному, а виводиться в послідовному коді. У послідовно-паралельному, навпаки, введення в послідовному коді, а виведення у паралельному.

Зрушення коду може здійснюватися по однотоктній або багатотоктній схемі. В однотоктному регістрі кожен імпульс синхронізації, викликає зрушення коду на один розряд.

Найбільш зручною вважається побудова регістрів на тригерах D-типу. На рис. 9.4 наведена принципова схема 3-х розрядного регістра зсуву. На схемі позначення DI відповідає англ. data input (вхідні данні). На рис. 9.5 наведені часові діаграми роботи послідовного регістра, а в табл. 9.2 показано як змінюється стан тригерів регістру в процесі роботи.

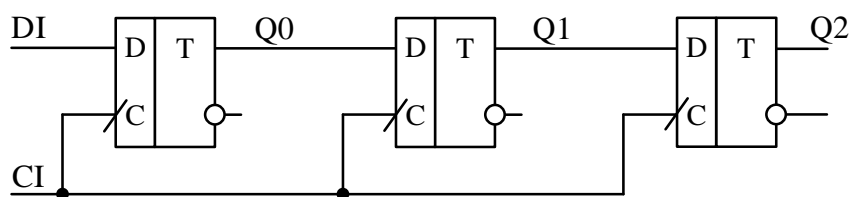


Рис. 9.4. Схема трьохрозрядного послідовного регістра на D-тригерах

Табл. 9.2. Таблица переходів 3-х розрядного регістру зсуву

№ такту	DI	Q0	Q1	Q2
1	0	0	0	0
2	1	1	0	0
3	0	0	1	0
4	0	0	0	1
5	1	1	0	0

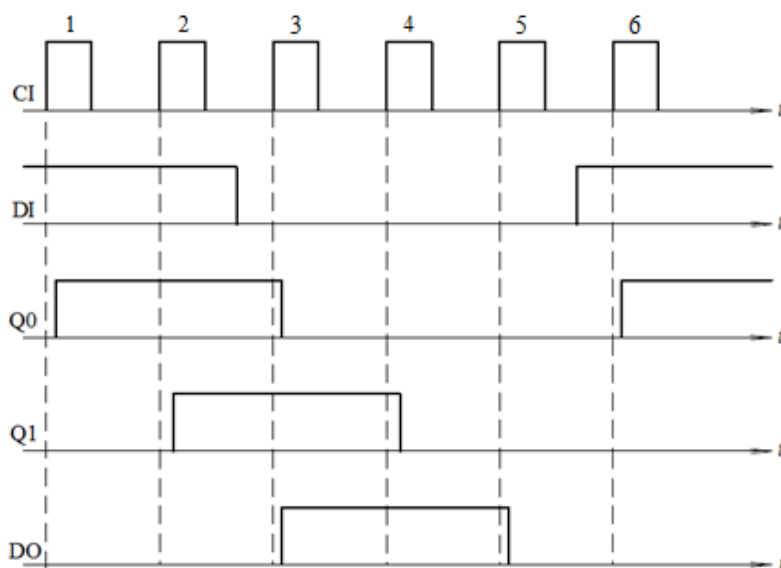


Рис. 9.5. Часові діаграми роботи послідовного регістра

Так як данні зсуваються в часі (кожен тригер зсуває дані на один такт), то такий регістр крім послідовного ще називається зсувним.

Реверсивний зсувний регістр дозволяє зсувати інформацію вправо чи вліво, в залежності від значень управляючих сигналів на додатковому вході. На

рис. 9.6 показана принципова схема реверсивного зсувного регістра з використанням цифрових перемикачів. В даній схемі сигнал на вході V управляє перемиканням напрямку зсуву інформації в регістрі.

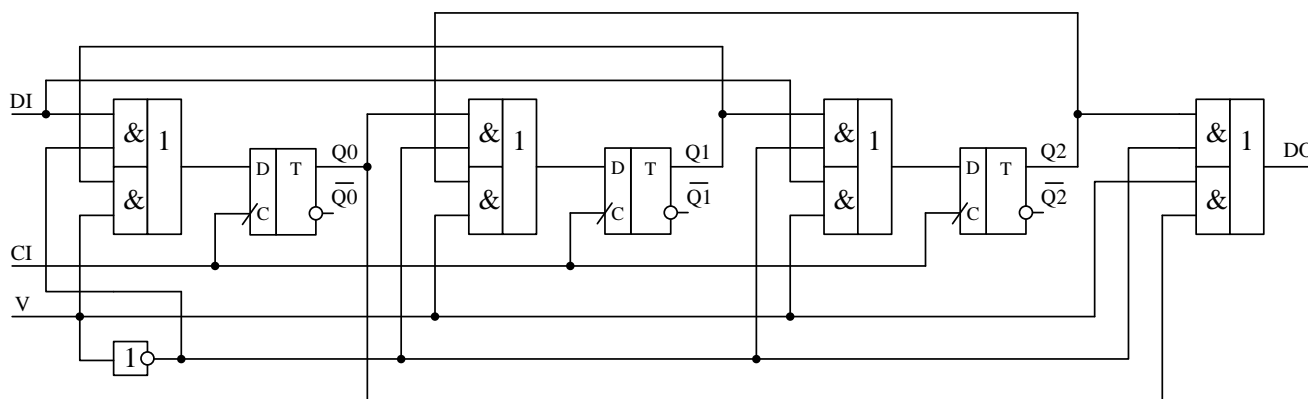


Рис. 9.6. Принципова схема 3-х розрядного реверсивного зсувного регістра

При подачі на вхід V рівня логічного "0" інформація зсувається зліва направо оскільки сигнал, що формується за допомогою інвертора з сигналу V , дозволяє проходження сигналів через верхній логічний елемент I кожного з електронних перемикачів, тобто зліва направо. При подачі на вхід V рівня логічної "1" дозволяється проходження сигналів через нижній елемент I , що забезпечує передавання інформації у зворотному напрямку.

9.4 Паралельно-послідовні і послідовно-паралельні регістри

Паралельно-послідовні і послідовно-паралельні регістри відрізняються від послідовних наявністю схем паралельного введення розрядів і виведення усіх розрядів регістра.

Найбільш просто реалізується послідовно-паралельний регістр. Достатньо вивести виходи кожного з тригерів на вихід і тоді послідовний регістр може реалізувати функції послідовно-паралельний регістра (рис. 9.7).

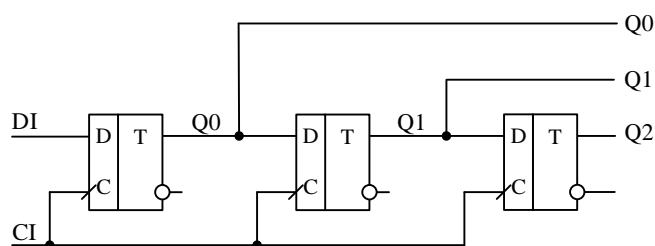


Рис. 9.6. Принципова схема 3-х розрядного послідовно-паралельного регістра

Для реалізації паралельно-послідовного регістра необхідно організувати запис інформації у кожен з тригерів регістру. На рис. 9.8 наведено один з можливих варіантів організації такого регістру на RSD-тригерах.

Входи R і S використовують для запису паралельного коду. Вхід D – для побудови зсувного регістра.

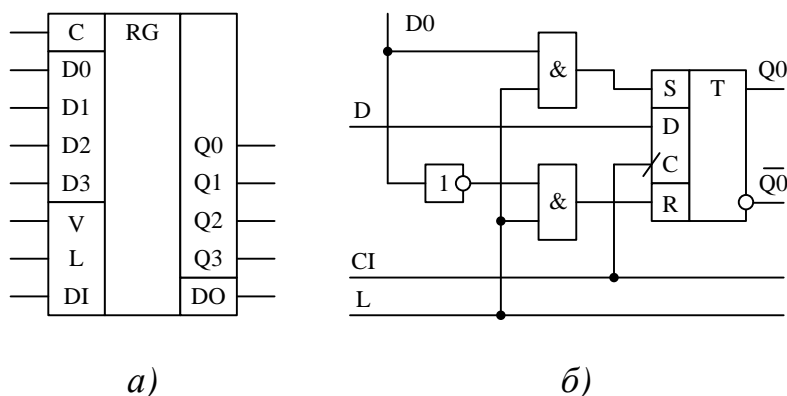


Рис. 9.8. Умовне графічне зображення паралельно-послідовного регістра (а) та принципова схема одного розряду (б)

На рис. 9.8,а введені наступні позначення: C – вхід синхронізації; D0, D1, D2, D3 – входи паралельного коду; V – вхід управління напрямом зсуву; L – вхід дозволу запису паралельного коду; DI – вхід послідовного коду; DO – вихід послідовного коду; Q0, Q1, Q2, Q3 – виходи паралельного коду.

9.5 Послідовні регістри зі зворотними зв'язками

При введенні в послідовний регістр зворотного зв'язку він перетворюється в замкнуте кільце, у якому впливом імпульсів, що зрушують, циркулює введена в регістр інформація. Такі регістри називаються кільцевим лічильником.

На рис. 9.9 наведений приклад побудови 3-розрядного регістра, в якому вихідний сигнал подається знову на вхід регістра. Для нормального функціонування такого регістра необхідно в один або два розряди перед початком роботи записати "1". На рис. 9.10 наведені часові діаграми, що пояснюють роботу такого пристрою, що має назву кільцевий лічильник. Перед початком роботи всі тригери встановлюються у "0" сигналом T_R , а перед подачею синхроімпульсів в перший тригер записується "1", шляхом подачі імпульсу на вхід S.

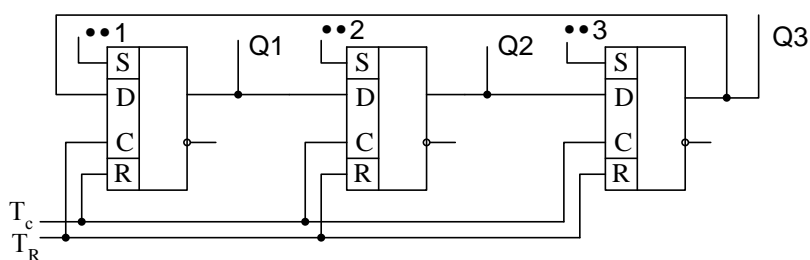


Рис. 9.9. Схема 3-розрядного кільцевого лічильника

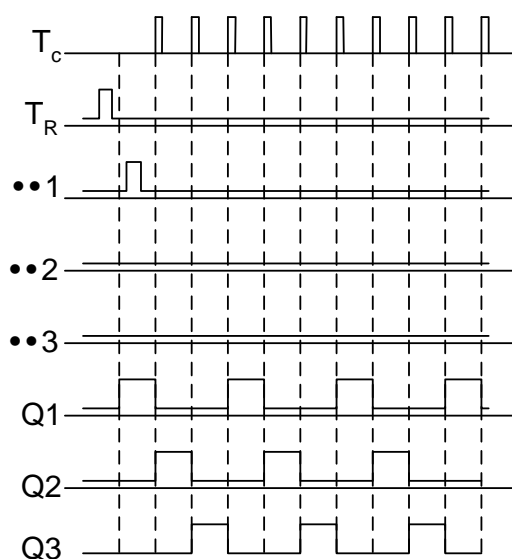


Рис. 9.10. Часові діаграми роботи кільцевого лічильника

Окрім звичайних регістрів випускаються регістри з трьома станами на виході. Це регістри, що мають додатковий вхід для перемикання виходу регістра в високоімпедансний стан (наприклад КР1533ИР23). Це – 8-ми розрядний паралельний регістр, що має вихідні буферні підсилювачі. Перемикання в третій стан здійснюється подачею на вхід \overline{EZ} високого рівня. Перехід в робочий стан здійснюється подачею низького рівня на цей вхід. На рис. 9.11. наведено його умовне графічне позначення та принципова схема.

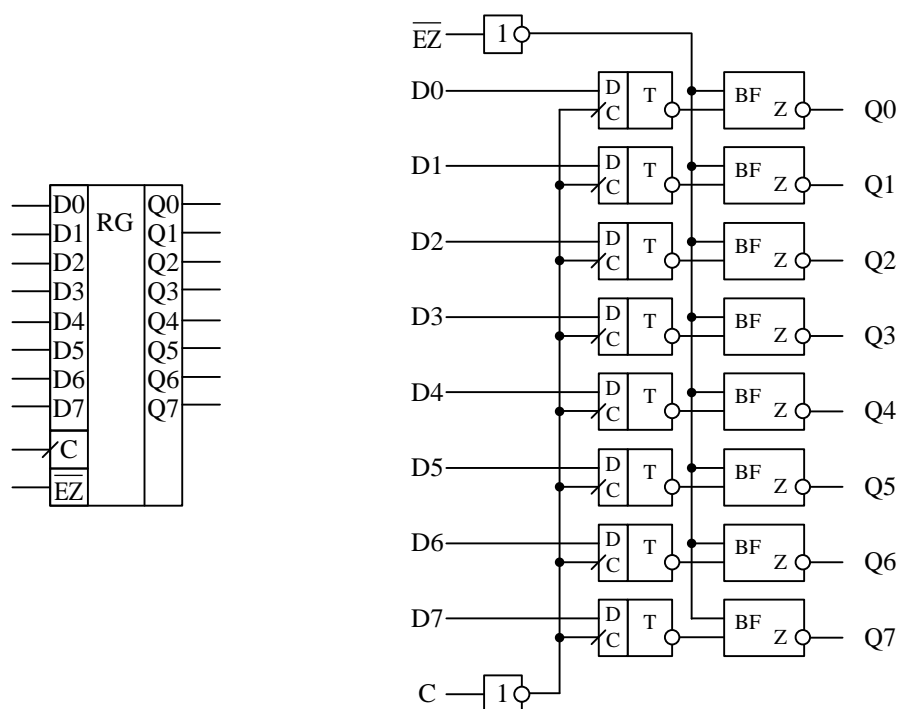


Рис. 9.11. Умовне графічне позначення та принципова схема регістра КР1533ИР23

9.6 Приклади використання регістрів

9.6.1 Робота декількох регістрів на загальну шину

При використанні регістрів з трьома станами на виході значно спрощується організація зв'язку декількох джерел інформації з одним приймачем цієї інформації. На рис. 9.12 наведена схема з'єднання двох регістрів з трьома ста-

нами з однією шиною.

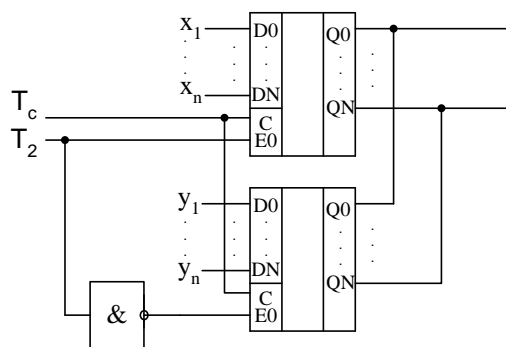


Рис. 9.12. Робота декількох регістрів на загальну шину

При подачі рівня логічного "0" на вхід T_2 активується верхній регістр, а виходи нижнього регістра переводяться у високоімпедансний стан. Якщо подати на вхід T_2 рівень логічної "1", то активується нижній регістр і інформація з його виходів надходить на вихідну шину.

9.6.2 Формувач квазігармонічного сигналу

Відомо, що сигнал будь-якої форми можна скласти з елементарних сходинок, частота слідування яких повинна перевищувати частоту вихідного сигналу у декілька разів. Висота сходинок змінюється у часі, а їх кількість зумовлює точність відтворення форми потрібного сигналу.

На рис. 9.13 наведено схему найпростішого формувача сигналу, що складається з 8 сходинок. Часові діаграми, що пояснюють його роботу наведені на рис. 9.14. Висота сходинок залежить від значень опорів резисторів $R_1 \dots R_4$.

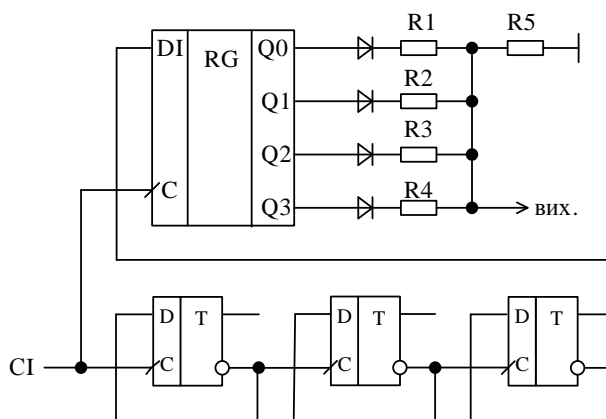


Рис. 9.13. Схема формувача квазігармонічного сигналу

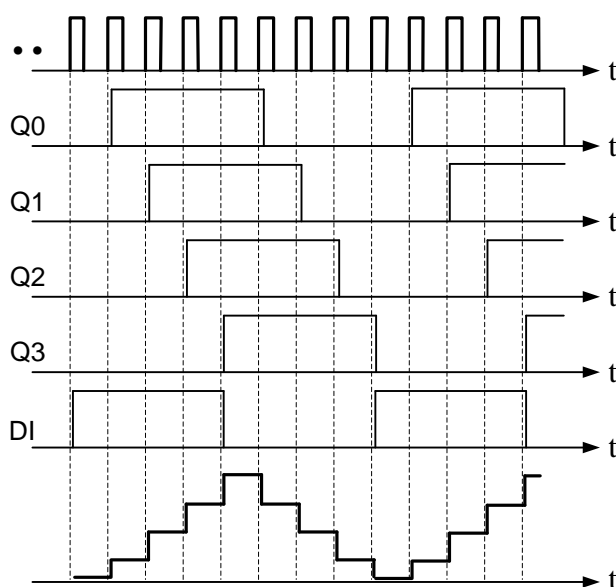


Рис. 9.14. Часові діаграми роботи формувача квазігармонічного сигналу

9.6.3 Перетворювач паралельного коду в послідовний

На рис. 9.15 наведена функціональна схема перетворювача паралельного коду в послідовний.

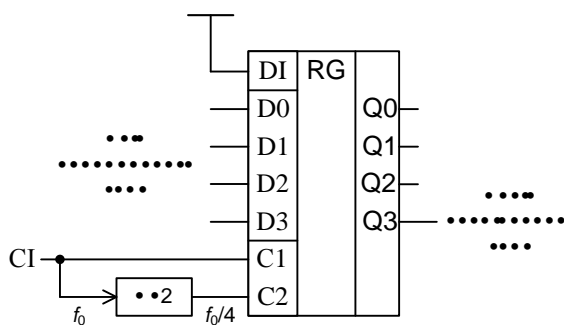


Рис. 9.15. Схема перетворювача паралельного коду в послідовний

На входи $D0\dots D3$ подається паралельний код, а з виходу $Q3$ знімається послідовний код. Часові діаграми, що пояснюють роботу пристрою наведені на рис. 9.16. На схемі вхід $C1$ регістра призначений для синхронізації зсуву послідовного коду, а вхід $C2$ – для синхронізації запису паралельного коду. На вхід послідовного занесення інформації $D1$ поданий "0". Стрілками на діаграмі показано напрямок зчитування коду – від старшого розряду до молодшого. Як слідує з діаграм після першого імпульсу на вході $C2$ в регістр був записаний код 0001, а після четвертого синхроімпульсу на вході $C1$ на виході $Q3$ (вихід послідовного коду) теж буде сформовано код 0001. Нескладно пересвідчитись що після наступних синхроімпульсів на вході $C2$ процес перетворення паралельного коду в послідовний відбувається аналогічно.

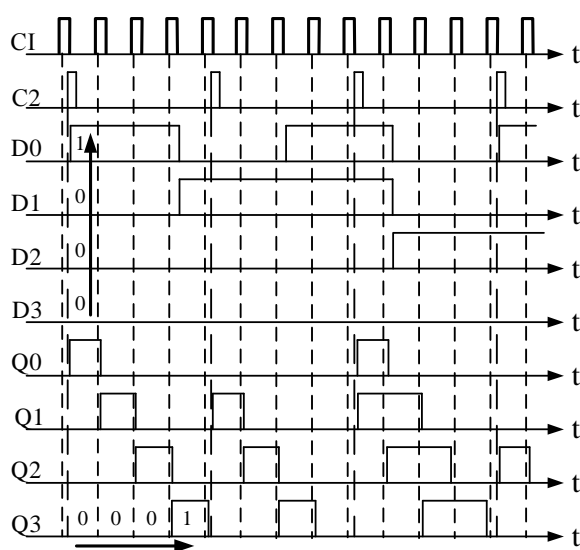


Рис. 9.16. Часові діаграми роботи перетворювача паралельного коду в послідовний

9.6.3 Перетворювач послідовного коду в паралельний

Для перетворення послідовного коду в паралельний можна використати два регістри (рис. 9.17). Перший регістр приймає послідовний код і після того, як він повністю буде введений, з виходів першого регістру він перезаписується у другий (паралельний) регістр, де і буде зберігатися до наступної зміни коду у першому регістрі.

Часові діаграми, що пояснюють роботу перетворювача послідовного коду у паралельний, наведені на рис. 9.18.

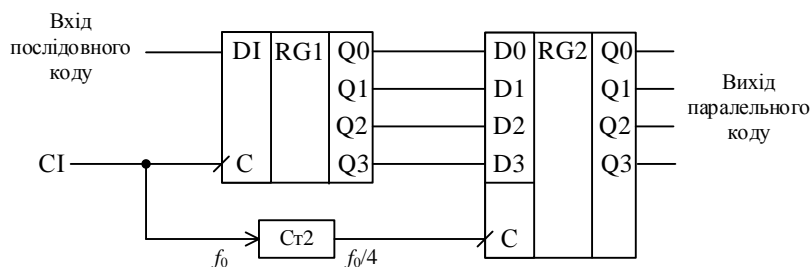


Рис. 9.17. Схема перетворювача послідовного коду в паралельний

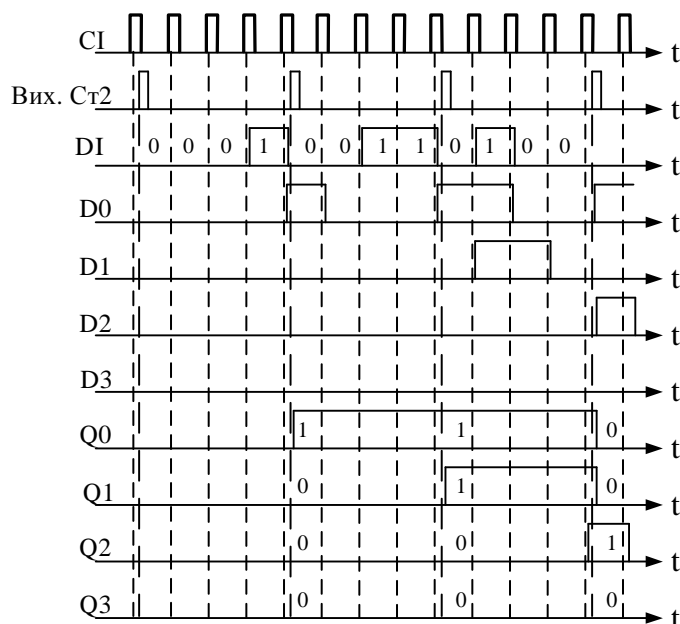


Рис. 9.18. Часові діаграми роботи перетворювача послідовного коду в паралельний

9.7 Контрольні запитання

1. Що таке регістр зсуву та які операції можна здійснити за допомогою регістрів?
2. По яких ознаках можна провести класифікацію регістрів?
3. Які регістри треба використовувати для побудови перетворювачів послідовного коду в паралельний?
4. Які регістри треба використовувати для побудови перетворювачів паралельного коду в послідовний?
5. Які типи тригерів можна використовувати для побудови регістрів?

10 ЛІЧИЛЬНИКИ ІМПУЛЬСІВ

10.1 Призначення та класифікація лічильників імпульсів

Лічильники здійснюють рахунок і збереження коду числа підрахованих сигналів. Під сигналами маються на увазі імпульси або перепади напруги. Найпростішим лічильником є лічильний тригер, що здійснює рахунок і збереження не більш двох сигналів. З'єднуючи кілька тригерів певним чином, можна одержати лічильник з необхідним коефіцієнтом рахунку $K_{\text{рах}}$. Інша назва цього коефіцієнту – коефіцієнт ділення. Він показує у скільки разів частота сигналу на виході лічильника буде нижчою за частоту сигналу на його вході $= f_{\text{вх}}/f_{\text{вих}}$.

Оскільки кожен тригер може знаходитися в одному з двох можливих станів, то лічильник, що складається з m тригерів, може мати $K_{\text{діл}} \leq 2^m$ станів. Перехід лічильника з одного стану в другий відбувається при подачі чергового вхідного сигналу.

Якщо перенумерувати послідовність вхідних сигналів від 0 до $K_{\text{діл}} - 1$, то кожному i -му номеру можна поставити у відповідність його двійковий еквівалент, виражений через стан лічильника, у який він перейде після приходу i -го

вхідного сигналу. Визначаючи стан усіх тригерів лічильника за значеннями логічної змінної на їхніх прямих виходах, можна виразити число і підрахованих сигналів у вигляді m -розрядного двійкового коду.

Існують різні схеми лічильників, що відрізняються призначенням, типом використовуваних тригерів, організацією зв'язку між ними, порядком зміни станів і інших особливостей.

В залежності від порядку зміни станів можуть бути лічильники з природним і довільним порядком рахунку. У перших – значення коду кожного наступного стану відрізняється на 1 від попереднього, у других – можуть відрізнятися більше, ніж на 1.

У свою чергу лічильники з природним порядком рахунку поділяються на прості і реверсивні, прості – на підсумовуючі і віднімаючі. Реверсивні можуть працювати як у режимі додавання, так і в режимі віднімання.

За коефіцієнтом ділення лічильники поділяються на двійкові $K_{\text{діл}} = 2^m$ і недвійкові $K_{\text{діл}} \neq 2^m$.

За способом переключення тригерів під час роботи лічильники підрозділяються на синхронні й асинхронні. У синхронних лічильниках всі тригери переключаються одночасно в момент приходу тактового імпульсу, в асинхронних – після зміни стану на керуючому вході тригера.

Основними параметрами лічильників є ємність і швидкодія. Ємність лічильника характеризується $K_{\text{діл}}$, а швидкодія двома величинами:

- роздільною здатністю $t_p = 1 / f_{\text{вх}}$.
- часом встановлення $t_{\text{вст}}$ коду лічильника.

Роздільна здатність визначається мінімально припустимим інтервалом часу між двома вхідними сигналами, при якому не відбувається втрата кількості підрахованих сигналів. Час встановлення коду $t_{\text{вст}}$ – інтервал часу між моментом часу надходження вхідного сигналу і моментом завершення переходу лічильника в новий стійкий стан.

Обов'язково треба запам'ятати, що код на виходах лічильника потрібно зчитувати тільки з прямих виходів тригерів. Це загально прийнята умова, що

дозволяє запобігати помилок при визначенні стані тригерів лічильника.

10.2 Двійкові лічильники

Основна ознака двійкового лічильника $K_{\text{діл}} = 2^m$. Для побудови таких лічильників можна використовувати різні види тригерів. Найбільше поширення одержали лічильники на основі універсальних JK-тригерів.

Характеристичне рівняння JK-тригера $Q^{t+1} = J^t \bar{Q}^t + \bar{K}^t Q^t$, де J^t і K^t – логічні функції входів J і K, що відповідають попередньому стану тригера.

Розглянемо підсумовуючий лічильник з $K_{\text{діл}} = 8$, кількість розрядів лічильника визначається за виразом $m = \log_2 K_{\text{діл}} = 3$.

Найпростішим за схемою є асинхронний підсумовуючий лічильник на T-тригерах. Оскільки окремо T-тригери не випускаються використаємо JK-тригери, що працюють в режимі T-тригера. Схема лічильника з $K_{\text{діл}} = 8$ наведена на рис. 10.1, а часові діаграми сигналів, що пояснюють його роботу – на рис. 10.2.

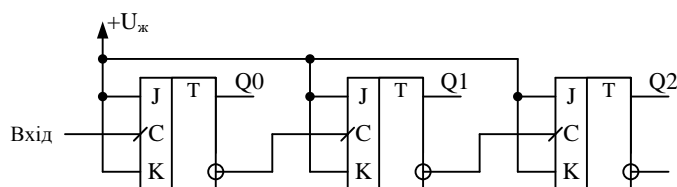


Рис. 10.1. Принципова схема трьохрозрядного асинхронного двійкового підсумовуючого лічильника

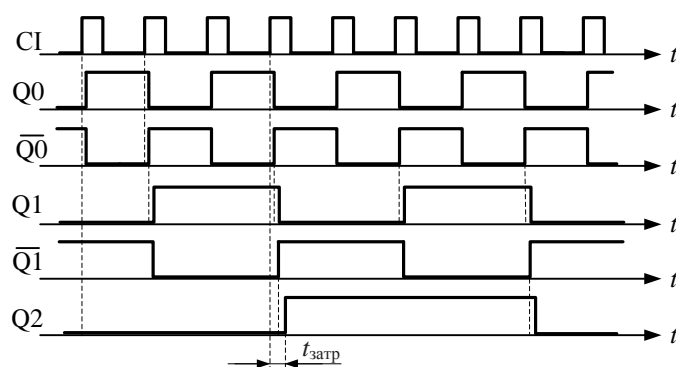


Рис. 10.2. Часові діаграми роботи трьохрозрядного асинхронного двійкового підсумовуючого лічильника

Оскільки JK-тригер працює в режимі лічильного тригера при умові, що на його входах J і K встановлена "1", то ці входи тригерів (рис. 10.1) під'єднані до джерела живлення. Аналізуючи діаграми роботи такого лічильника неважко скласти таблицю станів тригерів лічильника (табл. 10.1). З таблиці і часових діаграм слідує, що код на прямих виходах під час приходу кожного наступного синхроімпульсу зростає, а повний цикл повторення складається з восьми імпульсів. З цього можна зробити висновок, що коефіцієнт ділення дорівнює 8 і лічильник підсумовуючий.

Табл. 5.1. Зміна станів на виходах підсумовуючого лічильника

n	Q0	Q1	Q2
1	0	0	0
2	1	0	0
3	0	1	0
4	1	1	0
5	0	0	1
6	1	0	1
7	0	1	1
8	1	1	1
9	0	0	0

Час затримки спрацьовування останнього тригера лічильника можна розрахувати за простою формулою $t_{\text{затр}} = t_{\text{затр1}} \cdot n$, де $t_{\text{затр1}}$ – затримка спрацьовування одного тригера по відношенню до моменту приходу синхроімпульса на його вхід С (рис. 10.2).

Якщо під'єднати до входів С кожного наступного тригера не інверсні, а прямі виходи попередніх тригерів (рис. 10.3), то отримаємо віднімаючий асинхронний лічильник, часові діаграми роботи якого наведені на рис. 10.4.

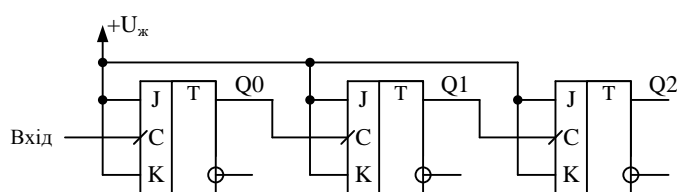


Рис. 10.3. Принципова схема трьохрозрядного асинхронного віднімаючого лічильника

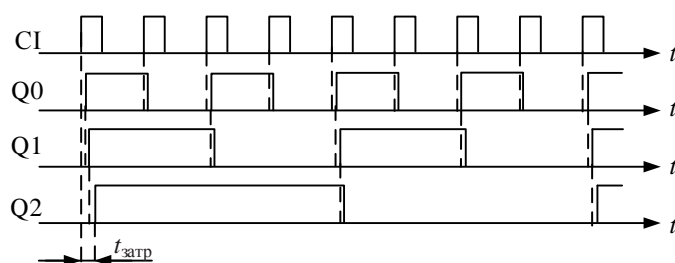


Рис. 10.4. Часові діаграми роботи трьохрозрядного асинхронного двійкового віднімаючого лічильника

Як слідує з часових діаграм, кожний вхідний імпульс викликає зменшення вихідного коду на виходах тригерів на одиницю. Тобто лічильник віднімаючий.

10.3 Реверсивні лічильники

Реверсивними називають лічильники, що можуть працювати або як підсумовуючий, або як віднімаючий, в залежності від значення сигналу управління.

Розглянемо принцип побудови такого лічильника на базі трьохрозрядного двійкового лічильника. Функціональна схема такого лічильника наведена на рис. 10.5.

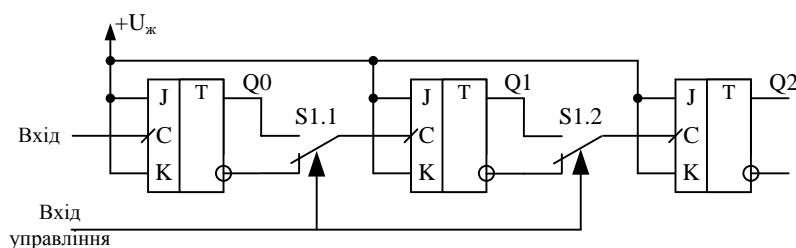


Рис. 10.5. Функціональна схема трьохрозрядного асинхронного реверсивного лічильника

З аналізу роботи схем, що наведені на рис. 10 та 10.3 можна зробити висновок, якщо ключі S1 встановлені у нижнє положення (рис. 10.5) лічильник буде працювати як підсумовуючий, а у верхньому – як віднімаючий.

Замінивши перемикачі електронними ключами, отримаємо трьохрозрядний реверсивний лічильник, схема якого наведена на рис. 10.6.

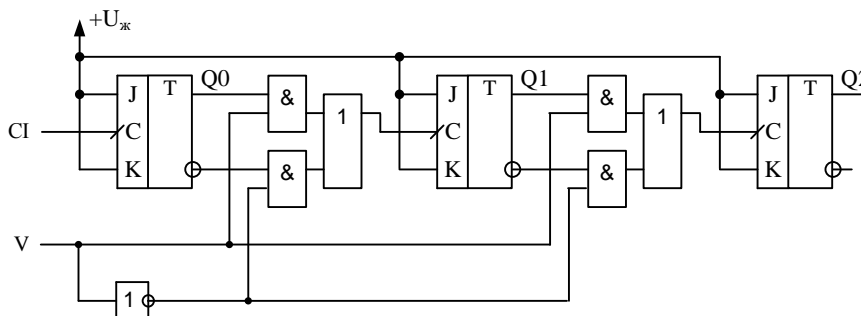


Рис. 10.6. Принципова схема трьохрозрядного асинхронного

реверсивного лічильника

При подачі на вхід управління нульового рівня $V = "0"$ лічильник буде працювати як підсумовуючий оскільки сигнали з інверсних виходів тригерів будуть передаватись на входи синхронізації наступних тригерів, а при $V = "1"$ – як віднімаючий.

10.4 Синхронні двійкові лічильники

Для зменшення часу перемикання лічильника використовуються синхронні лічильники у яких всі тригери перемикаються одночасно. Найбільш зручною виявляється реалізація синхронних лічильників JK-тригерів.

Характеристичне рівняння синхронного лічильника на JK-тригерах має вигляд

$$Q^{t+1} = (J_1 J_2 J_3 J_4)^t \bar{Q}^t + (\overline{K_1 K_2 K_3 K_4})^t Q^t = J^t \bar{Q}^t + \bar{K}^t Q^t.$$

На рис. 10.7 наведена схема чотирьохрозрядного синхронного двійкового лічильника, побудованого на універсальних RSJK-тригерах з інверсними входами R та S. Оскільки входи R та S під'єднані до джерела живлення, то на роботу тригерів вони не впливають.

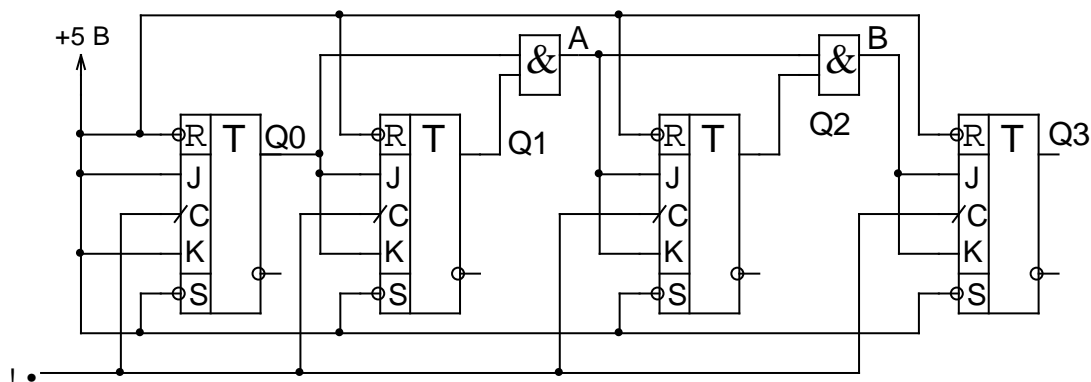


Рис. 10.7. Принципова схема чотирьохрозрядного синхронного лічильника

Логічні елементи І потрібні для того щоб перемикання кожного наступного тригера відбувалось тільки після перемикання всіх попередніх тригерів. При побудові часових діаграм роботи лічильника треба пам'ятати, що перемикання JK-тригерів відбувається тільки якщо під час приходу синхроімпульсу на входах J і K, встановлений рівень логічної "1".

Часові діаграми сигналів у різних точках лічильника наведені на рис. 10.8. Як слідує з часових діаграм сигнал на виході першого логічного елементу І (точка А на схемі) формується тільки після того, як переключилися і перший і другий тригер. Аналогічно формується сигнал у точці В з урахуванням спрацьовування перших трьох тригерів лічильника.

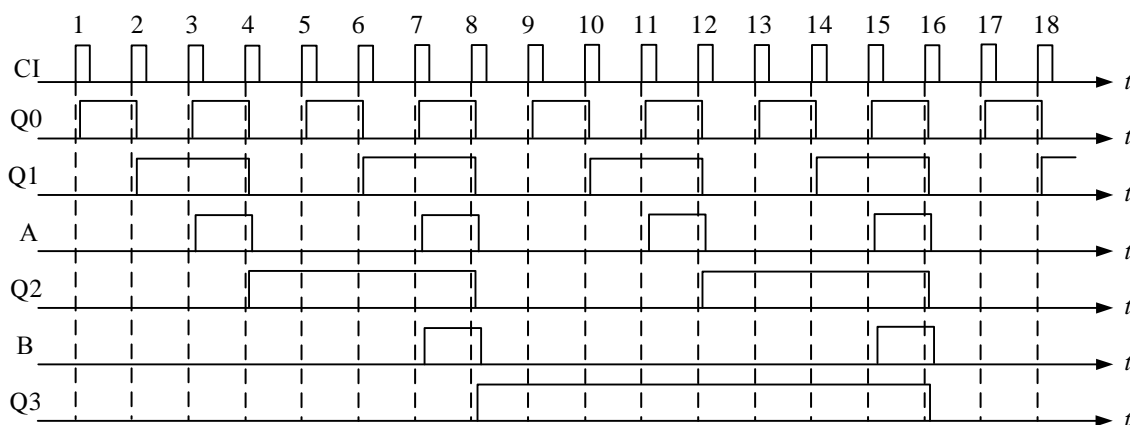


Рис. 10.8. Часові діаграми роботи чотирьохрозрядного синхронного лічильника

10.5 Недвійкові лічильники

10.5.1 Загальні зауваження

Основною ознакою що лічильник є недвійковим це виконання умови $K_{\text{дیل}} \neq 2^n$. Принцип побудови недвійкових лічильників складається у виключенні деяких стійких станів звичайного двійкового лічильника, що є надлишковими для недвійкового лічильника. Надлишкові стани виключаються за допомо-

гою зворотних зв'язків у лічильнику. Зворотні зв'язки утворюють уведенням додаткових логічних елементів, що з'єднують входи і виходи відповідних тригерів.

Основні способи побудови недвійкових лічильників, або лічильників з довільним коефіцієнтом ділення:

- синтез лічильника на рівні логічних рівнянь з мінімізацією кількості кіл зворотного зв'язку;
- використання готового лічильника і введення у нього зворотних зв'язків для виключення надлишкових станів;
- використання програмованих лічильників для формування потрібного коефіцієнта ділення;
- використання готового лічильника і введення у нього кола встановлення у початковий стан, що складається з дешифратора та мультиплексо-ра.

10.5.2 Синтез лічильника з заданим коефіцієнтом ділення

Задача синтезу недвійкового лічильника зводиться до визначення необхідних зворотних зв'язків і мінімізації їхнього числа.

Кількість тригерів у недвійковому лічильнику визначається з виразу

$$n = \lceil \log_2 K_{\text{діл}} \rceil,$$

де $\lceil \]$ – знак округлення до найближчого цілого числа. Число надлишкових станів, що виключаються, дорівнює

$$N = 2^n - K_{\text{діл}}.$$

Оскільки можна виключити будь-які стани в будь-яких комбінаціях, то загальне число схем недвійкового лічильника з тим самим $K_{\text{діл}}$ і усіма варіантами зміни порядку рахунку визначається величиною

$$m = \frac{(K_{\text{діл}} - 1)! K_{\text{діл}}}{N! (K_{\text{діл}} - N)}.$$

Розглянемо процес синтезу лічильника на прикладі побудови синхронного лічильника з коефіцієнтом ділення $K_{\text{діл}} = 3$. Для цього потрібно виконати наступні кроки.

1 крок

Знаходимо необхідну кількість тригерів для побудови лічильника

$$n = \lceil \log_2 K_{\text{діл}} \rceil = \lceil \log_2 3 \rceil = 1.58 \approx 2.$$

Отже лічильник треба будувати на основі двійкового синхронного лічильника з $K_{\text{діл}} = 4$, що складається з двох тригерів.

2 крок

Знаходимо кількість надлишкових станів

$$N = 2^n - K_{\text{діл}} = 2^2 - 3 = 1.$$

Лічильник із двох тригерів може мати $2^2 = 4$ стани:

$$Q_1 Q_2; \overline{Q_1} Q_2; Q_1 \overline{Q_2}; \overline{Q_1} \overline{Q_2}.$$

Виключимо, наприклад, стан $Q_1 Q_2$, а порядок зміни станів приймемо на-

ступний:

$$Q_1 Q_2; Q_1 \bar{Q}_2; \bar{Q}_1 Q_2; \bar{Q}_1 \bar{Q}_2.$$

3 крок

Переходимо до синтезу лічильника. Побудуємо лічильник на JK-тригерах. Характеристичне рівняння роботи JK-тригера

$$Q^{t+1} = J^t \bar{Q}^t + \bar{K}^t Q^t.$$

Складемо таблицю переходів JK-тригера:

Табл. 10.1. Переходи JK-тригера

J^t	K^t	Q^t	Q^{t+1}
0	0	0	0
0	1	0	0
1	0	0	1
1	1	0	1
0	0	1	1
1	0	1	1
0	1	1	0
1	1	1	0

4 крок

Складаємо таблицю функціонування лічильника та сформуємо прикладні таблиці для кожного з тригерів.

Табл. 10.2. Порядок зміну станів лічильника

Q	Номер стану		
	1	2	3
	$\bar{Q}_1 \bar{Q}_2$	$Q_1 \bar{Q}_2$	$\bar{Q}_1 Q_2$
Q_1^t	0	1	0

		\bar{Q}_2^t	Q_2^t
$Q_1^t \Rightarrow$	\bar{Q}_1^t	01 ₁₃	00
	Q_1^t	10 ₂₄	--
$Q_2^t \Rightarrow$	\bar{Q}_1^t	00 ₁₃	10
	Q_1^t	01 ₂₄	--

Рис. 10.9. Прикладні таблиці тригерів лічильників

Q_2^t	0	0	1
Q_1^{t+1}	1	0	0
Q_2^{t+1}	0	1	0

У клітинках, де стоїть знак "-" або "*" функція невизначена.

5 крок

На основі таблиці переходів JK-тригерів складемо характеристичну таблицю JK-тригера.

Табл. 10.3. Характеристична таблиця JK-тригера

$Q^t \rightarrow Q^{t+1}$	J^t	K^t
00	0	*
01	1	*
10	*	1
11	*	0

6 крок

На основі прикладних та характеристичної таблиць складемо карти Карно для J і K входів тригерів лічильника.

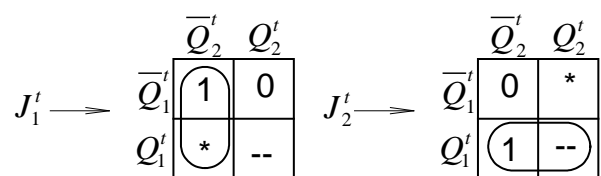


Рис. 10.10. Карти Карно для J-входів тригерів

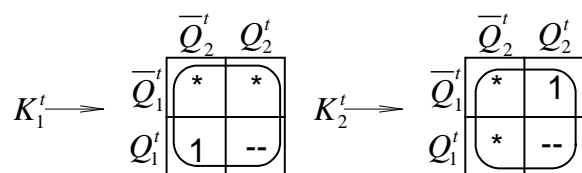


Рис. 10.11. Карти Карно для K-входів тригерів

Використовуючи принцип мінімізації і карти Карно, одержимо такий результат

$$J_1^t = \bar{Q}_2^t \bar{Q}_1^t + \bar{Q}_2^t Q_1^t = \bar{Q}_2^t (\bar{Q}_1^t + Q_1^t) = \bar{Q}_2^t,$$

$$J_2^t = \bar{Q}_2^t Q_1^t + Q_2^t Q_1^t = Q_1^t (\bar{Q}_2^t + Q_2^t) = Q_1^t,$$

$$K_1^t = K_2^t = Q_1^t Q_2^t + \bar{Q}_1^t Q_2^t + Q_1^t \bar{Q}_2^t + \bar{Q}_1^t \bar{Q}_2^t = Q_1^t (Q_2^t + \bar{Q}_2^t) + \bar{Q}_1^t (\bar{Q}_2^t + Q_2^t) = Q_1^t + \bar{Q}_1^t = 1.$$

Таким чином, для побудови лічильника з коефіцієнтом ділення $K_{\text{діл}}=3$ необхідно вхід J_1 1-го тригера з'єднати з виходом \bar{Q}_2 , J_2 – з виходом Q_1 ; на K_1 і K_2 подати "1".

Рисуємо синтезовану схему (рис. 10. 12).

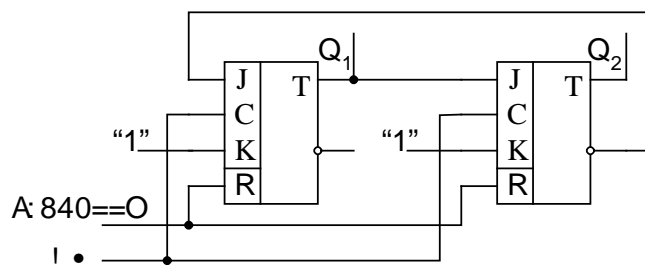


Рис. 10. 12. Схема синтезованого лічильника з коефіцієнтом ділення 3

10.5.3 Побудова недвійкового лічильника з використанням готового лічильника

Прийmemo за основу схему синхронного лічильника, що наведена на рис. 10.7. Для формування потрібного коефіцієнта ділення використаємо входи встановлення у "0" всіх тригерів.

Для формування потрібного коефіцієнта ділення введемо зворотний зв'язок з виходу додаткового логічного елемента (рис. 10.13) на входи R.

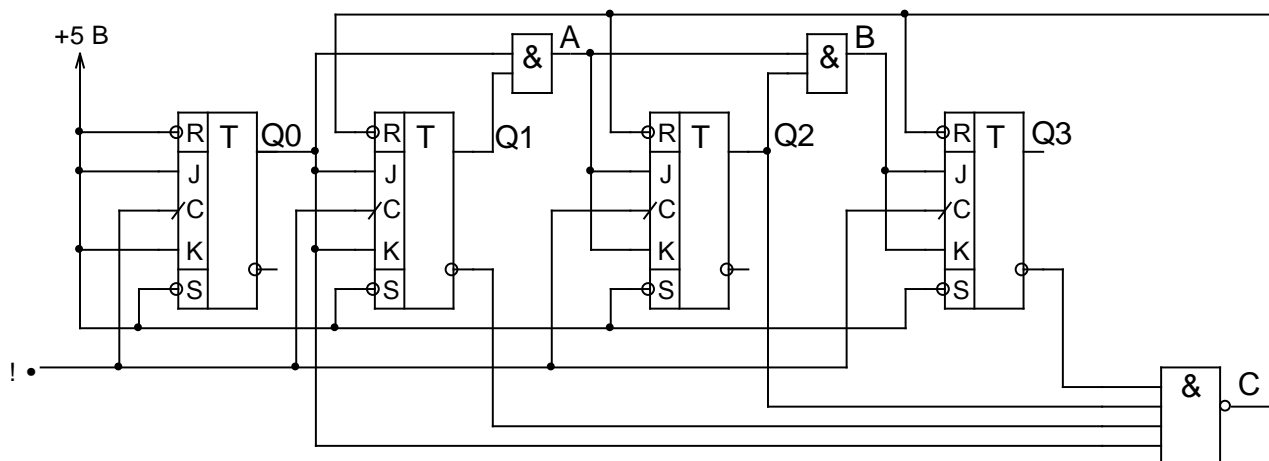


Рис. 10.13. Лічильник з коефіцієнтом ділення 5

Коефіцієнт ділення такого лічильника чисельно буде дорівнювати коду на виходах тригерів при якому на виході третього логічного елемента (вихід С) буде сформовано імпульс.

Для того щоб у точці С було сформовано імпульс необхідно, щоб на входах елемента І були встановлені рівні логічної "1", а ця умова буде виконуватись при умові що $Q3 = 0$, $Q2 = 1$, $Q1 = 0$, $Q0 = 1$, тобто на виходах лічильника встановлюється код 1010, що відповідає десятковому значенню 5.

Часові діаграми, що пояснюють роботу такого лічильника, наведені на рис. 10.14.

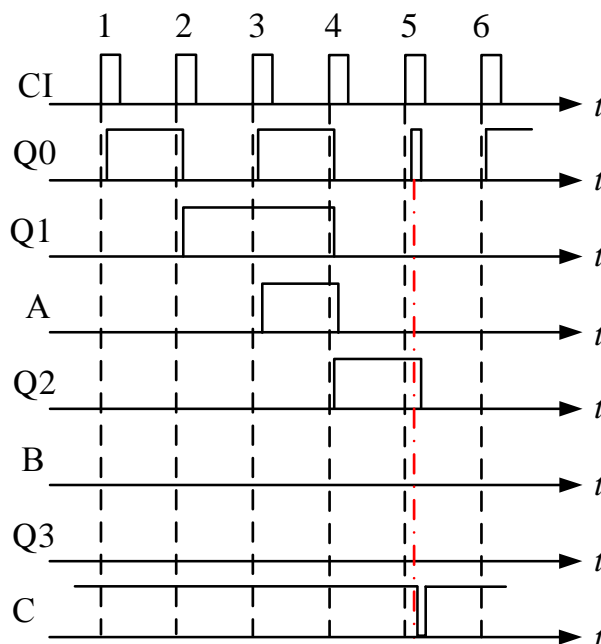


Рис. 10.14. Часові діаграми роботи лічильника з коефіцієнтом ділення 5

У момент часу, коли на виходах лічильника встановлюється код 0101 у точці С формується "0" і перший та третій тригер встановлюються у "0". Одразу після цього умова існування сигналу у точці С порушується і на виході логічного елемента встановлюється знову рівень логічної "1". Тривалість імпульсу у точці С буде дорівнювати сумі затримок що вносять логічний елемент І та перемикання тригерів у стан "0".

При підрахунку коефіцієнта ділення враховуються тільки ті періоди під час яких стан на виходах тригерів (після перемикання під дією синхроімпульса) не змінюється.

Якщо використати для формування потрібного коефіцієнта ділення входи S тригерів, то коефіцієнт ділення буде дорівнювати $N + 1$, де N – значення коду при якому на виході С формується сигнал.

Звісно, що для побудови лічильників таким способом можна використовувати і інші логічні елементи і тригери з прямими входами R та S.

10.5.4 Використання програмованих лічильників для побудови лічильників з довільним коефіцієнтом ділення

Програмованим називають лічильник у якому передбачені додаткові входи для запису початкового коду у тригери лічильника. Потрібний коефіцієнт ділення формується дорахуванням від встановленого до кінцевого значення коду лічильника. Під кінцевим значенням коду найчастіше розуміють встановлення на виході лічильника нульового значення коду.

Тоді коефіцієнт ділення для підсумовуючого лічильника буде дорівнювати

$$K_{\text{діл}} = K_{\text{макс}} - N, \quad (10.1)$$

де $K_{\text{макс}} = 2^n$, n – кількість тригерів лічильника, N – значення початкового коду, записаного у лічильник.

Для віднімаючого лічильника коефіцієнт ділення чисельно дорівнює значенню коду, записаного у лічильник $K_{\text{діл}} = N$.

Принцип побудови програмованих лічильників досить простий. Якщо використати універсальні RSJK-тригери, то входи R та S можна використати для програмування, як показано на рис. 10.15,б.

Для програмування необхідно подати на вхід даних (D0 на рис. 10.15,б) потрібне значення коду цього розряду і подати на вхід L (Load – завантаження) логічну "1" (короткий імпульс). Якщо значення $D0 = 1$, то на вході S тригера встановиться "1", а на вході R – "0", оскільки на верхній вхід логічного елемента I2 сигнал зі входу D0 подається через інвертор. Тригер встановиться у "1".

Якщо на вхід D0 подати "0", то "1" встановиться на вході R і тригер встановиться у "0".

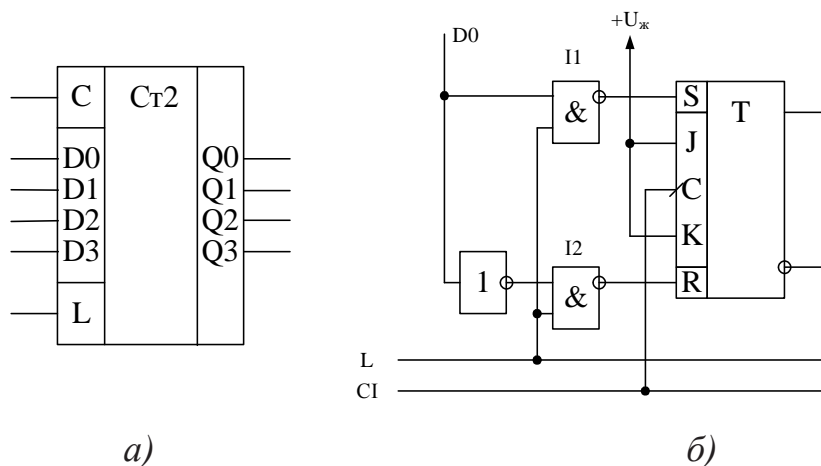


Рис. 10.15. Умовне графічне позначення програмуемого лічильника (а)
і принципова схема одного з його розрядів (б)

Більшість лічильників, що випускаються промисловістю, забезпечуються додатковими входами для попереднього запису паралельного коду. Розглянемо найбільш поширений реверсивний програмований двійковий лічильник КР1533ІЕ7 (аналог мікросхеми 74LS193), що випускається у складі багатьох серій ІМС ТТЛ та КМОН. Аналогічний за функціями двійково-десятковий лічильник КР1533ІЕ6 (74LS192).

Умовне графічне позначення мікросхеми КР1533ІЕ7 наведено на рис. 10.16,а. Умовні графічні позначення 74LS193 наведені на рис. 10.16, б і в. У довідниках можна знайти ще декілька різних позначень.

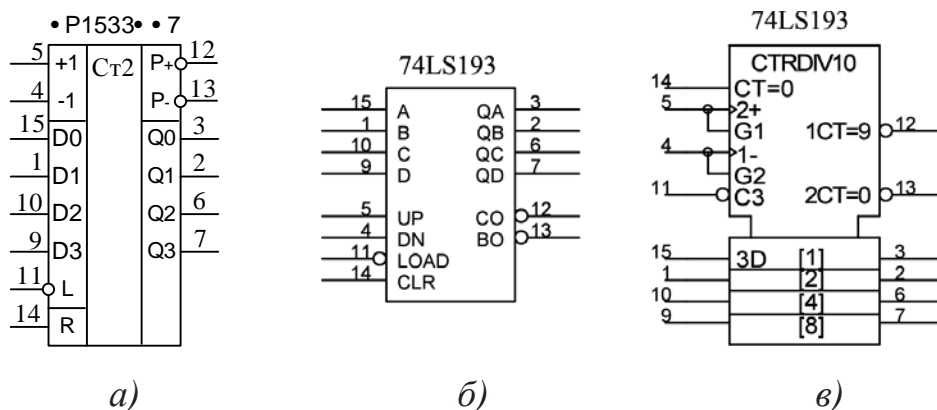


Рис. 10.16. Умовне графічне позначення програмуемого лічильника КР1533ІЕ7
та його аналогу 74LS193

Запис коду початкової установки здійснюється при подачі на вхід дозволу запису L (Load – завантаження) шляхом занесення у кожний розряд лічильника інформації, що подається на входи програмування D0...D3.

Оскільки цей лічильник реверсивний, то в ньому передбачено два входи для зміни напрямку роботи – +1 і -1. Щоб лічильник працював у режимі додавання необхідно на вхід +1 подати імпульси, а на вхід -1 – рівень логічної "1". Для зміни напрямку роботи слід зробити навпаки. На рис. 10.17 наведені часові діаграми сигналів, що ілюструють роботу лічильника у різних режимах, а у табл. 10.4 – значення сигналів на входах мікросхеми у різних режимах роботи.

Табл. 10.4. Таблиця функціонування лічильника КР1533ИЕ7

Режим роботи	Входи			
	R	L	+1	-1
Встановлення у "0"	1	X	X	X
Завантаження коду	0	0	X	X
Додавання	0	1	0→1	1
Віднімання	0	1	1	0→1

Імпульси переносу лічильника, що формуються на виходах P+ у режимі додавання та P- – у режимі віднімання, представляють собою затриманий вхідний імпульс.

Імпульси переносу можна використовувати для з'єднання декількох лічильників між собою для збільшення розрядності (рис. 10.18), а також для програмування лічильника.

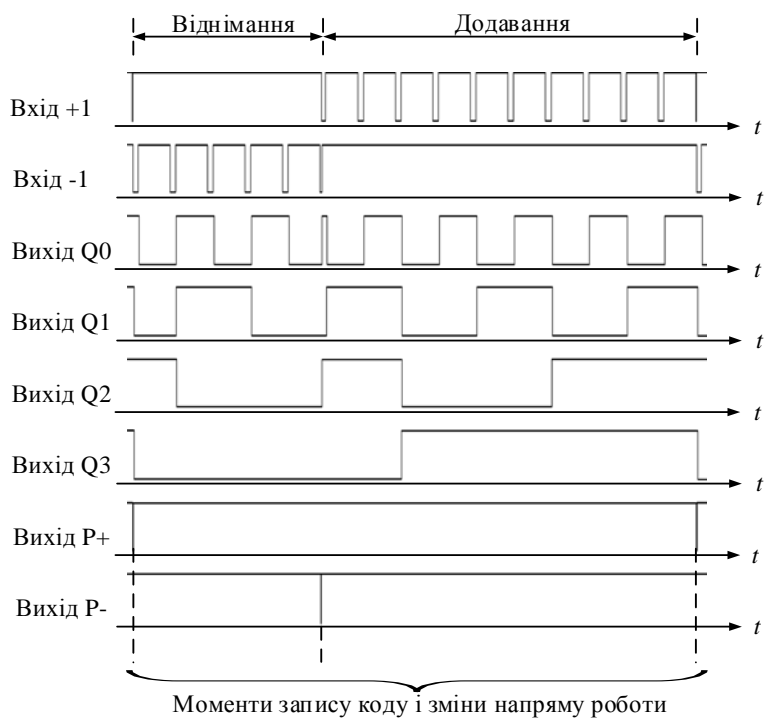


Рис. 10.17. Часові діаграми роботи лічильника КР1533ІЕ7

Для програмування лічильника на його вхід завантаження (L) треба подати імпульс з виходу переносу P+ (якщо лічильник працює у режимі додавання), або з виходу P- (якщо лічильник працює у режимі віднімання).

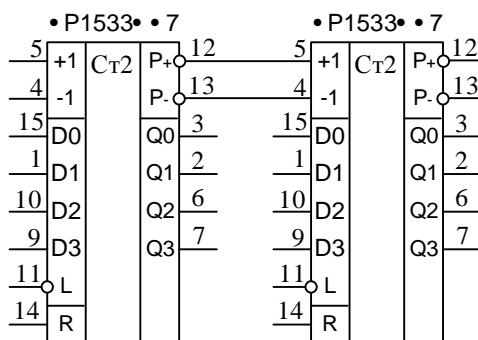


Рис. 10.18. З'єднання лічильників КР1533ІЕ7 для збільшення розрядності

Проілюструвати використання програмованих лічильників можна на прикладі побудови лічильника з потрібним коефіцієнтом лічення що не дорівнює 2^n та 10^n .

Розглянемо приклад. Нехай коефіцієнт ділення лічильника що працює в режимі додавання коду потрібно зробити рівним 237. Для побудови такого лічильника потрібно використати дві мікросхеми КР1533ИЕ7. Тоді максимально можливий коефіцієнт ділення буде дорівнювати 256.

Знаходимо код програмування з співвідношення (10.1).

$$N = K_{\text{макс}} - K_{\text{діл}} = 256 - 237 = 19.$$

Переводимо отримане значення N з десяткової системи у двійковий 8-розрядний код. Отримаємо $N = 00010011$. Схема лічильника з $K_{\text{діл}} = 237$ наведена на рис. 10.19.

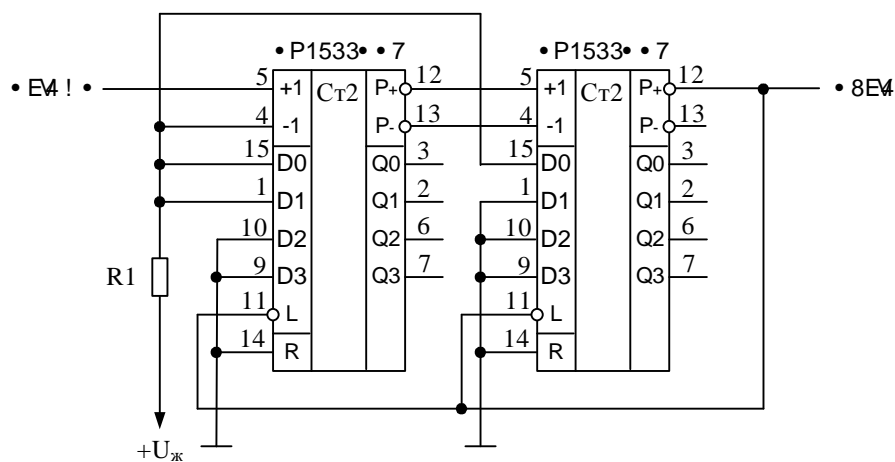


Рис. 10.19. Принципова схема підсумовуючого лічильника з $K_{\text{діл}} = 237$

Код на входах програмування задається підключенням до загального проводу та до резистора R1. У першому лічильнику треба встановити "1" на входах молодших розрядів D0 та D1, а у другому лічильнику – на вході D0. Як тільки на виході переносу P+ буде сформовано імпульс у тригери лічильника буде записаний код 00010011 і почнеться відлік коду від цього значення. Після завершення циклу роботи (при переході тригерів лічильника з стану 11111111 у стан 00000000) на виході P+ знов буде сформовано імпульс переносу і весь процес буде повторюватись.

10.5.5 Побудова недвійкових лічильників за допомогою дешифраторів

Недвійкові лічильники можна побудувати використавши для встановлення коефіцієнта ділення дешифратори двійкового коду. Сутність способу побудови таких лічильників полягає у тому, що вхід встановлення лічильника у "0" під'єднується до одного з виходів дешифратора, входи якого підключені до виходів лічильника. Як тільки на виході лічильника буде встановлений код, що відповідає сигналу на використаному виході дешифратора, лічильник переходить у початковий стан, тобто на всіх його виходах встановлюється значення логічного "0" і весь процес починається з початку.

На рис. 10.20 наведена принципова схема лічильника коефіцієнт ділення якого може встановлюватися у межах від 1 до 16.

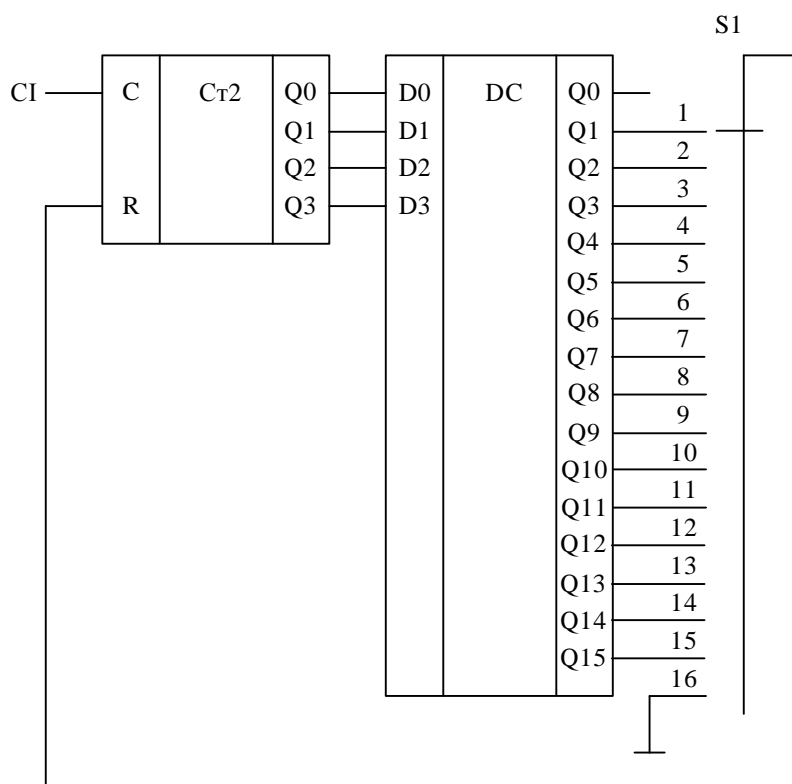


Рис. 10.20. Принципова схема лічильника зі змінним коефіцієнтом ділення

Розглянемо роботу схеми при встановленні перемикача S1 у перше положення, як показано на рис. 10.20. Після встановлення лічильника у "0" код на

його виході починає змінюватись при надходженні на вхід чергового синхроімпульсу. Стан лічильника буде змінюватись наступним чином: 0000, 0001. Як тільки на виході лічильника встановиться код 0001, на виході Q1 дешифратора буде сформовано сигнал "1", який через перемикач S1 подається на вхід R лічильника і встановлює його знову у початковий стан. Таким чином після першого синхроімпульсу весь процес повторюється. Відповідно коефіцієнт ділення лічильника буде дорівнювати 1.

Якщо перевести перемикач у 16 положення, то на вхід R лічильника сигнали встановлення у "0" надходити не будуть і коефіцієнт ділення буде складати 16. Незважно побачити що нумерація виводів перемикача, а також виходів дешифратора, відповідають значенню коефіцієнта ділення що буде встановлений перемикачем у кожному з цих положень.

10.6 Лічильники на регістрах зсуву

Для побудови таких лічильників необхідно перед початком роботи здійснювати спеціальне кодування їхніх внутрішніх станів. Для цього потрібно записати у такий лічильник будь яке значення коду окрім всіх нулів або одиниць.

Такі лічильники отримали назву кільцевих лічильників або лічильників Джонсона. Якщо на вхід CI (рис. 10.21) подати періодичну послідовність імпульсів, то внутрішні стани регістра зсуву будуть також періодично повторюватись, тобто регістр зсуву буде являти собою лічильник за деяким mod M, якщо зазначена періодична послідовність сформована самим регістром зсуву. З цього випливає, що кодування внутрішніх станів, наприклад, лічильника за mod 5 може бути задано схемою 00011. Для побудови принципової схеми використовувати функцію збудження $\overline{D0} = \overline{Q_2 Q_3}$ і отримаємо схему, що наведена на рис. 10.21.

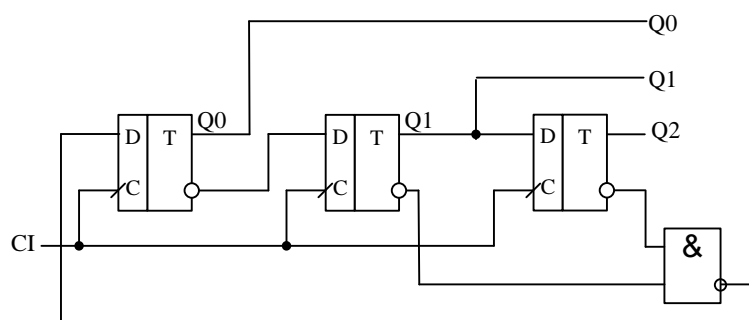


Рис. 10.21. Принципова схема кільцевого лічильника з $K_{\text{діл}} = 5$

Просуваючи через регістр, що складається з трьох тригерів таку періодичну послідовність символів 0 і 1, одержимо п'ять різних кодових комбінацій (внутрішніх станів): 000, 010, 111, 101, 001 (рис. 10.22). При подальшому зсуві формуються ті ж самі кодові комбінації, тому що послідовність символів 0 і 1 періодична.

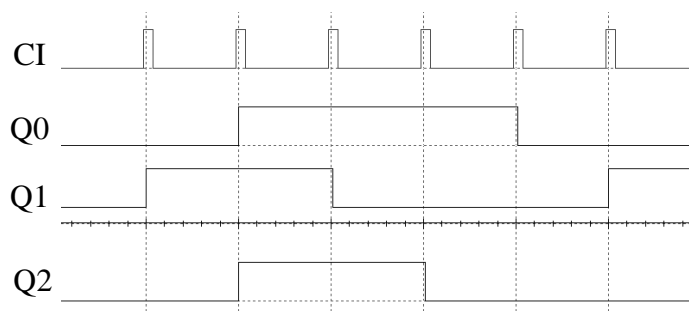


Рис. 10.22. Часові діаграми лічильника кільцевого лічильника з $K_{\text{діл}} = 5$

При кодуванні внутрішніх станів лічильників за допомогою періодичної послідовності символів 0 і 1 варто керуватися правилами:

- число символів M в одному періоді послідовності визначає коефіцієнт ділення лічильника;
- мінімальне число тригерів m знаходять з умови одержання при зсуві періодичної послідовності символів 0 і 1 M різних кодових комбінацій.

10.7 Застосування регістрів і лічильників для побудови схем затримки імпульсних сигналів

Використовуючи регістри зсуву можна побудувати схему дискретної затримки імпульсних сигналів. Такі задачі виникають при формуванні сигналів управління різними пристроями.

На рис. 10.23 наведена функціональна схема такого пристрою.

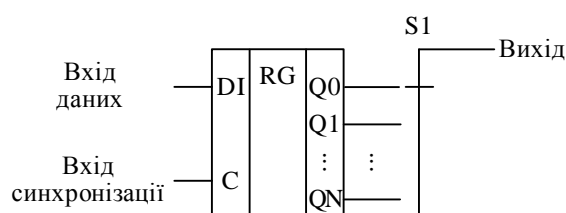


Рис. 10.23. Функціональна схема пристрою дискретної затримки імпульсних сигналів

Вхідні дані записуються у перший тригер регістру зсуву через вхід DI (Data Input) і з кожним тактовим імпульсом, що надходить на вхід синхронізації просувається у регістрі на один розряд.

Якщо період слідування синхроімпульсів позначити як T_{Cl} , а вихідний сигнал знімати з n виходу регістра за допомогою перемикача S1, то час затримки буде дорівнювати nT_{Cl} .

Щоб побудувати пристрій дискретної затримки, необхідно задати максимальний час t_{max} і крок зміни затримки Δt_3 . Тоді кількість розрядів регістра можна знайти по формулі $N = t_{max}/\Delta t_3$.

Якщо кількість розрядів регістра дуже велика, то можна побудувати схему затримки з використанням декількох регістрів, кожний з яких дозволяє змінювати затримку на різний час. Тоді функціональна схема такого пристрою може мати вигляд, що наведений на рис. 10.24.

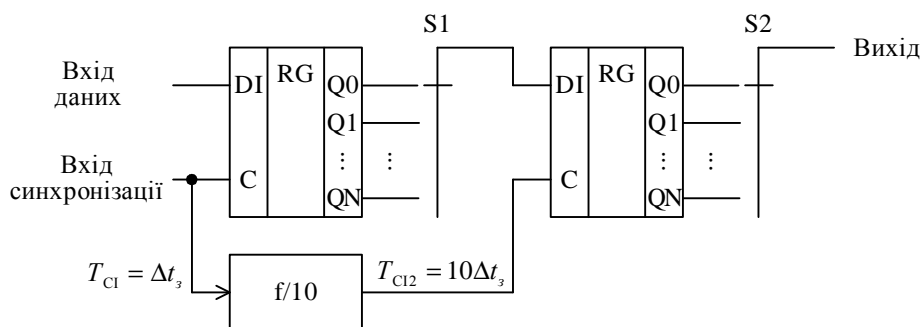


Рис. 10.24. Функціональна схема пристрою двоступеневої дискретної затримки імпульсних сигналів

Схема складається з двох регістрів і дільника частоти з коефіцієнтом ділення 10. В такій схемі за допомогою перемикача S1 можна дискретно змінювати затримку з кроком Δt_3 , а за допомогою S2 – з кроком $10\Delta t_3$. Якщо змінити коефіцієнт ділення дільника частоти, то дискретність перебудови часу затримки другого ступеня можна зменшити. Кількість таких ступенів може бути довільною.

Використання багатоступінчатих схем затримки дозволяє значно скоротити необхідну кількість розрядів регістра.

10.8 Контрольні запитання

1. Назвіть основні параметри й ознаки класифікації лічильників.
2. Поясніть принципи роботи реверсивного лічильника.
3. Поясніть принцип дії програмованого лічильника.
4. Якими способами можна побудувати лічильник з довільним коефіцієнтом ділення?
5. Як здійснюється попередня установка лічильників?
6. Поясніть принцип побудови схеми дискретної затримки імпульсних сигналів.
7. Чим відрізняються синхронні та асинхронні лічильники?

8. Як розрахувати коефіцієнт ділення програмованого лічильника що працює у режимі додавання коду?
9. Як розрахувати коефіцієнт ділення програмованого лічильника що працює у режимі віднімання коду?
10. Як розрахувати коефіцієнт ділення лічильника з зворотним зв'язком на основі логічних елементів?
11. Поясніть яким чином можна побудувати лічильник з довільним коефіцієнтом ділення використовуючи дешифратори двійкового коду?

11 ГЕНЕРАТОРИ ІМПУЛЬСІВ

11.1 Загальні зауваження

Електронний генератор виконує функції перетворення енергії джерела постійного струму в електричні коливання необхідної форми, частоти і потужності. Електронні генератори є невід'ємною частиною багатьох вимірювальних приладів: частотомірів, осцилографів, приладів часу, прийомопередавачів, систем індикації і т. д. Основними параметрами генераторів є: форма коливань, частота коливань f , відносна нестабільність частоти коливань $\Delta f/f$, корисна і споживана потужності.

Будь який генератор може працювати в одному з наступних режимів:

- чекання;
- автоколивань;
- синхронізації;
- ділення частоти.

У режимі чекання генератор працює з одним стійким станом рівноваги. Зовнішній імпульс, що запускає, викликає стрибкоподібний перехід генератора у новий стан, що не є стійким. У цьому стані, названому тимчасово стійким, генератор знаходиться протягом часу обумовленого параметрами схеми генера-

тора, що чекає. Таким чином, чекаючий генератор генерує тільки один імпульс визначеної тривалості при впливі на нього зовнішнього імпульсу, що запускає. Застосовують режим, що чекає, для формування часових інтервалів (формування імпульсів за тривалістю), для ділення частоти і для інших цілей (наприклад, для затримки сигналів).

В автоколивальному режимі, генератор має два стани і жодного стійкого. Генератор у такому режимі без зовнішніх впливів переходить з одного стану в інше і навпаки.

Генератор є нелінійним пристроєм. Узагальнена схема генератора містить підсилювач, частотнозадаюче коло позитивного зворотного зв'язку (ПЗЗ) і коло негативного зворотного зв'язку (НЗЗ). Коло ПЗЗ визначає умови збудження коливань, частоту і швидкість наростання амплітуди вихідного коливання генератора. Наростання амплітуди коливань буде відбуватися до тих пір, поки дія нелінійного негативного зворотного зв'язку не обмежить її зростання.

При включенні живлення виникають коливання, зумовлені нестационарними процесами: зарядом ємностей, індуктивностей, перехідними процесами в активних елементах. Ці коливання, потрапляючи на вхід підсилювача, посилюються останнім і через коло позитивного зворотного зв'язку знову надходять на вхід підсилювача.

Для виникнення коливань необхідні дві умови, які прийнято називати умовами балансу амплітуд і фаз

$$\begin{cases} |K\beta| = 1; \\ \arg(K\beta) = \varphi_k + \varphi_\beta = 0, \end{cases}$$

де K – коефіцієнт підсилення підсилювача, β – коефіцієнт передачі кола позитивного зворотного зв'язку, φ_k – фазовий зсув коливань підсилювачем, φ_β – фазовий зсув коливань колом позитивного зворотного зв'язку.

Для формування коливань потрібної частоти використовують кола, що

містять реактивні елементи – ємності або індуктивності. Якщо у генераторах використовують тільки RC-кола, то такі генератори мають назву мультівібратори.

Мультівібратори служать для одержання імпульсів прямокутної форми. Генератор містить як мінімум один реактивний елемент, наприклад конденсатор, ємність якого разом з активним опором, визначає тривалість вихідних імпульсів.

Для вимірювальних цілей найбільш важливою є відносна нестабільність частоти коливань $\Delta f/f$. За цим параметром генератори умовно можна розділити на три групи:

- низькостабільні $10^{-3} > \Delta f/f > 10^{-6}$;
- середньостабільні $10^{-6} > \Delta f/f > 10^{-9}$;
- високостабільні $\Delta f/f < 10^{-9}$.

Детальніше з характеристиками стабільних генераторів ми познайомимся у розділі присвяченому стабілізації частоти коливань.

11.2 Чекаючі мультівібратори, або одновібратори

Мультівібратори що працюють в чекаючому режимі отримали назву одновібраторів (ОВ). Розглянемо принципи побудови таких генераторів на різних елементах цифрової техніки.

11.2.1 Одновібратор на RS-тригері

Схема одновібратора, побудованого з використанням RS-тригера, наведена на рис. 11.1.

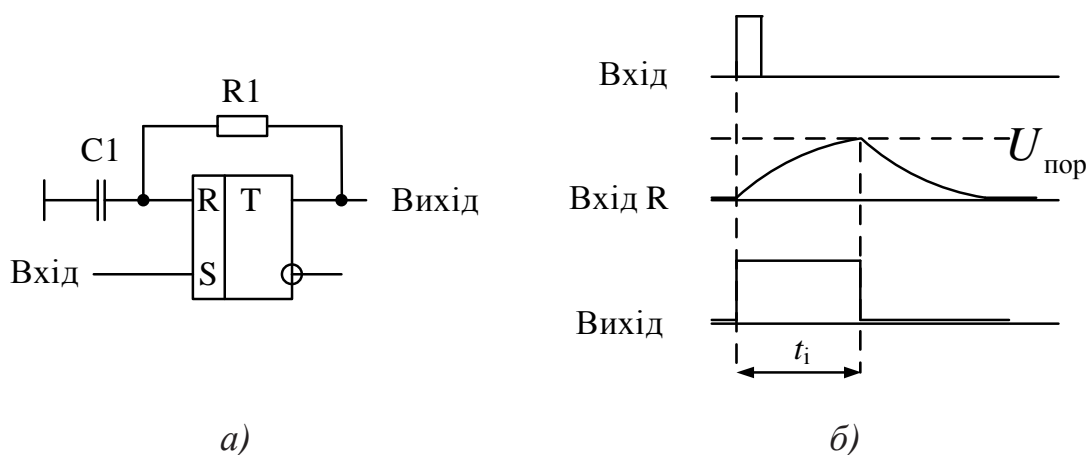


Рис. 11.1. Принципова схема одновібратора, побудованого на RS-тригері (а) та часові діаграми його роботи (б)

Схема працює наступним чином. Після приходу на вхід S тригера імпульсу запуску ОВ на виході схеми встановлюється рівень логічної "1" і починається заряд конденсатора С1 через резистор R1. Як тільки напруга на конденсаторі сягне порогового рівня тригер переключиться у стан "0" і схема перейде у початковий стан. Тривалість імпульсу на виході одновібратора буде зумовлена часом заряду конденсатора С1 до порогового рівня.

Знайдемо тривалість імпульсу цього одновібратора. Відомо, що напруга на конденсаторі описується виразом

$$U_c = A(1 - e^{-t/\tau}), \quad (11.1)$$

де A – амплітуда вхідного сигналу, τ – постійна часу RC-кола.

Для розрахунку тривалості імпульсу приймаємо $U_c = U_{\text{пор}}$, $t = t_i$, $A = U_{\text{вих}}$. Перепишемо (11.1) з урахуванням прийнятих позначень

$$U_{\text{пор}} = U_{\text{вих}} (1 - e^{-t_i/\tau}).$$

Вирішуючи рівняння відносно t_i отримаємо

$$t_i = \tau \ln \frac{U_{\text{вих}}}{U_{\text{вих}} - U_{\text{пор}}}.$$

Для мікросхем виготовлених за технологією КМОН вираз, з урахуванням того, що $U_{\text{вих}} = U_{\text{ж}}$, а $U_{\text{пор}} = U_{\text{ж}}/2$ спрощується і має такий вигляд

$$t_i = \tau \ln \frac{U_{\text{ж}}}{U_{\text{ж}} - U_{\text{ж}}/2} = \tau \ln 2 = 0,693\tau. \quad (11.2)$$

Однак у такого одновібратора є один суттєвий недолік. Оскільки час заряду та розряду конденсатора приблизно однаковий, то період слідування вхідних імпульсів не може бути меншим ніж $2t_i$. Це пов'язано з тим, що коли конденсатор С1 не повністю розрядиться до моменту приходу наступного вхідного імпульсу, то час його заряду до порогового рівня буде меншим, ніж при заряді від нульового рівня і тривалість вихідного імпульсу ОВ зменшиться, що неприпустимо.

Для зменшення часу розряду використовують прискорююче коло, що складається з діода VD1 та резистора R2 (рис. 11.2). Опір резистора R2 вибирається набагато меншим ніж опір R1 ($R_2 \ll R_1$). При заряді конденсатора С1 діод закритий і наявність резистора R2 не впливає на швидкість заряду, а при розряді діод відкривається і струм розряду протікає паралельно по двох колах. А оскільки $R_2 \ll R_1$, то струм через R2 набагато більший ніж через R1, то час потрібний для розряду С1 значно скорочується.

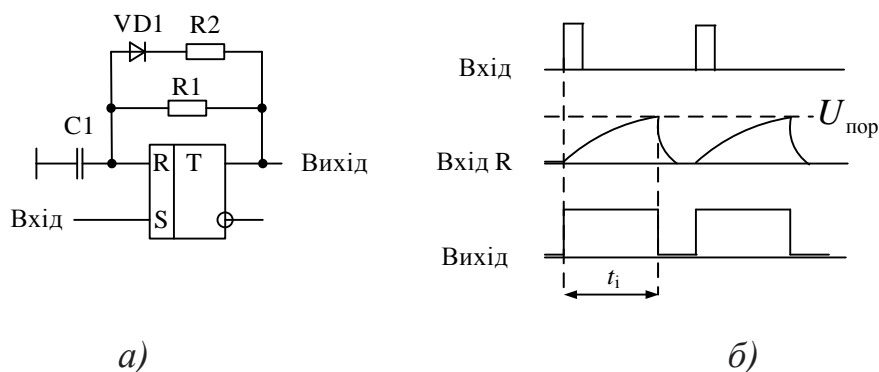


Рис. 11.2. Принципова схема одновібратора, побудованого на RS-тригері зі скороченим часом відновлення (а) та часові діаграми його роботи (б)

11.2.2 Одновібратор на RS-тригері з інверсними входами

Оскільки більшість мікросхем містять RS-тригери з інверсними входами, розглянемо одновібратор побудований на такому тригері. Використаємо вхід R для запуску одновібратора (для запуску можна використовувати будь-який вхід). Схема такого ОВ наведена на рис. 11.3.

На відміну від ОВ побудованого на RS-тригері після подачі на вхід імпульсу запуску починається розряд конденсатора C1. Тривалість імпульсу буде дорівнювати часу розряду конденсатора від максимальної напруги на виході Q до порогового рівня, що ілюструють часові діаграми роботи ОВ (рис. 11.3,б).

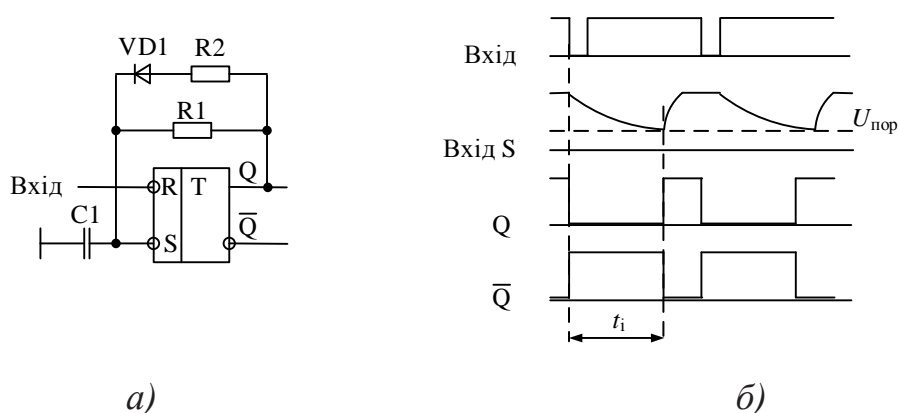


Рис. 11.3. Принципова схема одновібратора, побудованого на RS-тригері з інверсними входами (а) та часові діаграми його роботи (б)

Для обох розглянутих одновібраторів необхідно завжди виконувати умову яка полягає у тому, що тривалість вхідного імпульсу повинна бути завжди менша, ніж тривалість вихідного. Якщо $t_{вх} > t_i$, то порушується умова нормальної роботи тригера (на входах тригера встановлюється заборонений стан). Для RS-тригера заборонений стан $S = R = "1"$, а для RS-тригера з інверсними входами заборонений стан $S = R = "0"$.

Для того, щоб запобігти такій ситуації на вході ОВ треба встановити формувач коротких імпульсів (рис. 11.4 та 11.5).

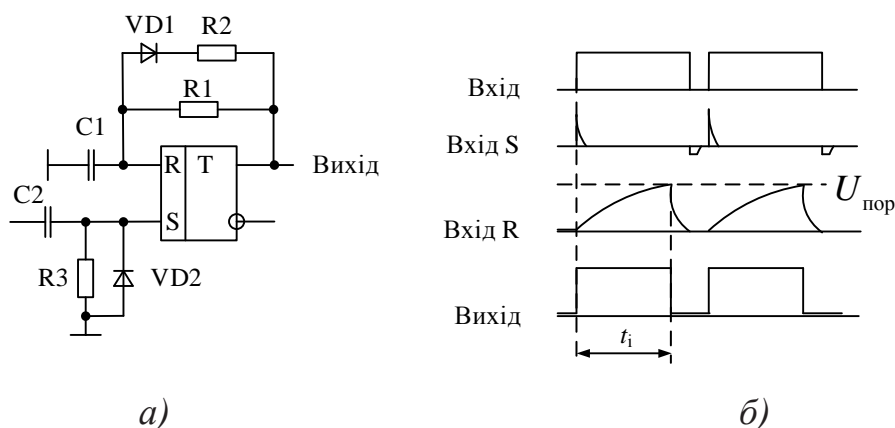


Рис. 11.4. Принципова схема одновібратора, побудованого на RS-тригері з формувачем коротких імпульсів на вході (а) та часові діаграми його роботи (б)

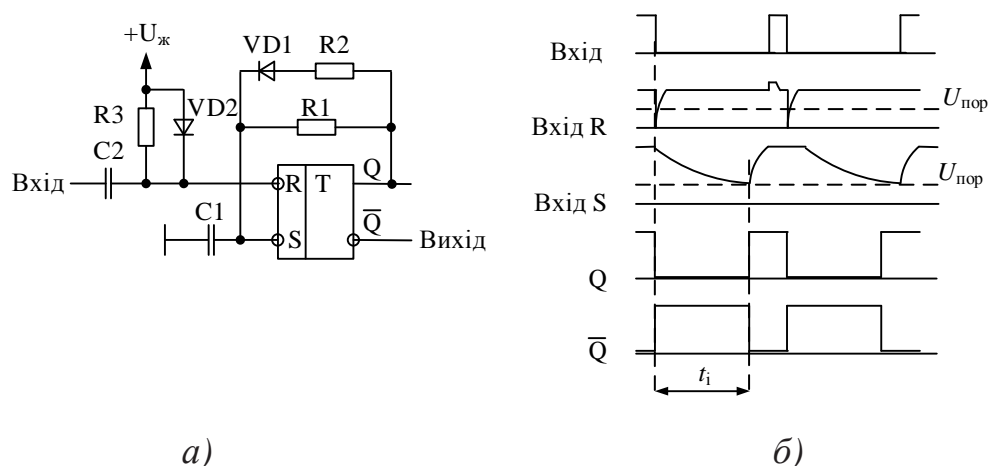


Рис. 11.5. Принципова схема одновібратора, побудованого на RS-тригері з інверсними входами і формувачем коротких імпульсів на вході (а) та часові діаграми його роботи (б)

Формувачі коротких імпульсів побудовані з використання диференціюючих кіл, а діоди VD2 призначені для обмеження напруги на входах тригерів у безпечних межах.

11.2.3 Одновібратор не чутливий до тривалості вхідного імпульсу

Мультивібратор не чутливий до тривалості вхідного імпульсу можна побудувати використовуючи RSD- або RSJK-тригер. На рис. 11.6 наведена принципова схема мультивібратора виконаного на RSD-тригері. Оскільки вхід С використовується для запуску одновібратора, то спрацьовувати ОВ буде по фронту вхідного сигналу.

Після подачі вхідного імпульсу у D-тригер записується "1" оскільки на вхід D подається напруга живлення. Після перемикання тригера у "1" починається заряд конденсатора С1. Тривалість вихідного імпульсу буде дорівнювати часу заряду конденсатора до порогового рівня. Як тільки напруга на вході R досягне $U_{пор}$ тригер перемикається у "0" і конденсатор швидко розряджається через коло R2, VD1. Часові діаграми що пояснюють роботу одновібратора наведені на рис. 11.6,б.

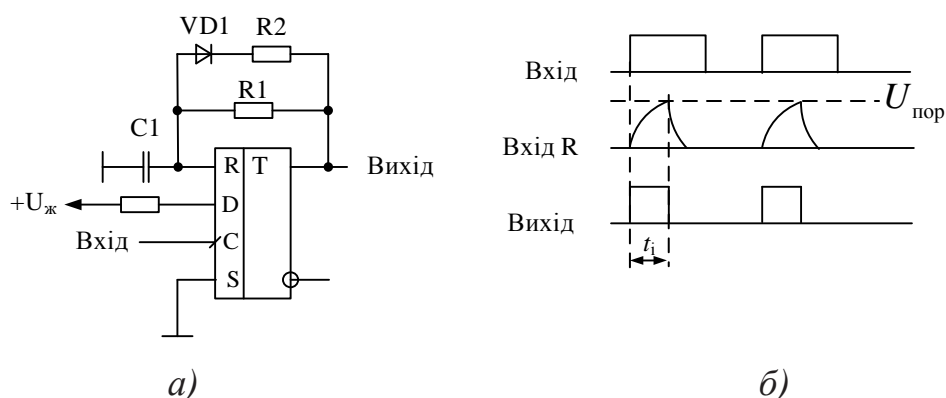


Рис. 11.6. Принципова схема одновібратора не чутливого до тривалості вхідного імпульсу (а) та часові діаграми його роботи (б)

11.2.4 Одновібратори на логічних елементах

Для побудови одновібраторів можна використати логічні елементи і інтегруючі або диференціюючі кола. На рис. 11.7 наведена схема одновібратора у якому використане диференціююче коло.

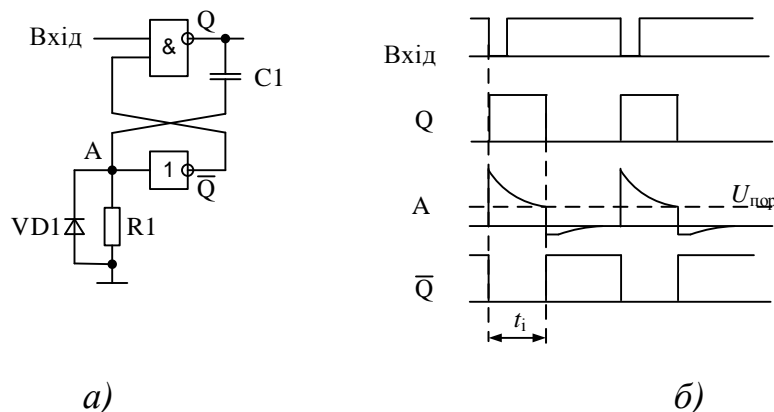


Рис. 11.7. Принципова схема одновібратора на логічних елементах (а) та часові діаграми його роботи (б)

На вхід такого ОВ треба подавати низький рівень вхідної напруги для його запуску (рис. 1.17,б). До подачі вхідного сигналу у точці А напруга дорівнює "0", а отже на виході інвертора формується "1" і, як слідство, на виході Q формується логічний "0". При подачі на вхід елемента І-НІ нульового рівня на його виході Q формується рівень логічної "1" і цей стрибок напруги через диференціююче коло C1, R1 передається на вхід інвертора у точку А. На виході \bar{Q} буде сформовано "0", який буде утримувати логічний елемент І-НІ у стані Q = "1" до закінчення формування вихідного імпульсу.

Починається заряд конденсатора C1 і, як слідство, напруга у точці А зменшується. Коли вона сягне порогу інвертор сформує на виході \bar{Q} "1" і на виході Q встановиться "0". Формування імпульсу закінчується. Перепад напруги з "1" в "0" з виходу І-НІ передається у точку А. Для запобігання ушкодження вхідних

кіл логічного елемента призначений діод VD1 (як правило вбудований у мікросхему). Він обмежує від'ємну напругу на вході А величиною $-0,7$ В.

Можна побудувати аналог RS-тригера на логічних елементах і реалізувати ОВ з використанням інтегруючого кола.

11.2.5 Одновібратори в інтегральному виконанні

В багатьох серіях мікросхем випускаються інтегральні мультивібратори, які є універсальними і дозволяють здійснювати їх запуск як фронтом, так і спадом вхідного сигналу, встановлювати їх у початковий стан у будь який момент часу. На рис. 11.8 наведене умовне графічне позначення інтегрального ОВ КР1533АГЗ (функціональний аналог ІМС 74LS123) та таблиця функціонування. В одній мікросхемі міститься два одновібратора з повторним запуском.

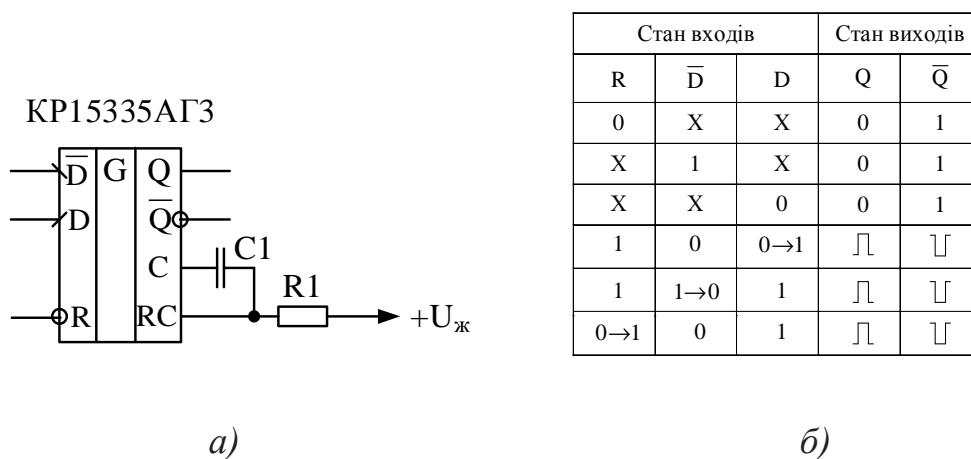


Рис. 11.8. Умовне графічне позначення інтегрального ОВ КР1533АГЗ (а) та таблиця його функціонування (б)

З таблиці функціонування слідує, що ОВ може запускатися як по фронту (вхід D і R), так і по спаду (вхід \bar{D}).

Залишилось пояснити що таке повторний запуск. Якщо після запуску ОВ під час формування імпульсу в момент часу t_1 (імпульс ще не закінчився на виході) на вхід запуску знову подати імпульс, то на виході, починаючи з цього моменту часу, буде продовжене формування вихідного імпульсу. Причому тривалість вихідного імпульсу в такій ситуації буде складати величину $t_{вих} = t_1 + t_i$,

де t_i – тривалість імпульсу на виході одновібратора при його запуску одиночним імпульсом, тобто тривалість зумовлена постійною часу RC-кола, під'єданого до входів мікросхеми (рис. 11.9).

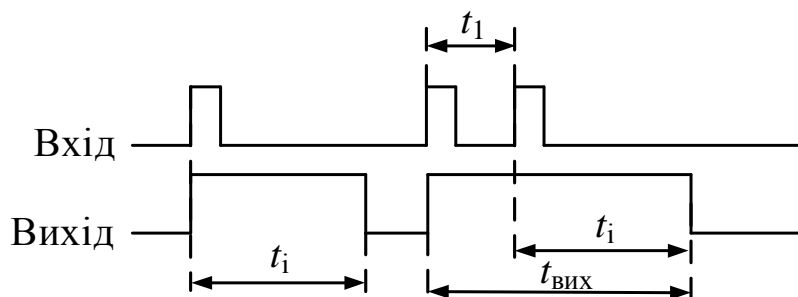


Рис. 11.9. Часові діаграми роботи ОБ з повторним запуском

Звісно що можна подавати не тільки 2, а довільну кількість імпульсів для продовження формування імпульсу на виході одновібратора.

11.3 Мультивібратори

11.3.1 Мультивібратори на RS-тригерах

Мультивібратори на RS-тригерах можна побудувати на основі схем, наведених у розділах 11.2.1 та 11.2.2. Для цього потрібно щоб сигнал з виходу одного одновібратора призводив до запуску другого одновібратора, для побудови яких використовуються входи S і R. На рис. 11.10 наведена схема мультивібратора, побудованого на RS-тригері з прямими входами та часові діаграми сигналів у різних точках схеми.

Період слідування вихідного сигналу дорівнює $T_{\text{вих}} = t_{i1} + t_{i2}$, а тривалість імпульсів з урахуванням (11.2) становить

$$t_{i1} = R_3 C_2 \ln \frac{U_{\text{ж}}}{U_{\text{ж}} - U_{\text{ж}} / 2} = R_3 C_2 \ln 2 = 0,693 R_3 C_2,$$

$$t_{i2} = R_1 C_1 \ln \frac{U_{ж}}{U_{ж} - U_{ж} / 2} = R_1 C_1 \ln 2 = 0,693 R_1 C_1.$$

Розглянемо роботу мультивібратора детально. Починати аналіз роботи з будь якого стану на виході. Припустимо що на виході Q встановлений рівень "1". Тоді конденсатор C1 заряджається і коли напруга на ньому досягне порогового рівня тригер переключиться у "0". В результаті цього на виході \bar{Q} встановиться "1" і почне заряджатися конденсатор C2, а оскільки на виході Q встановлюється "0", то конденсатор C1 швидко розряджається через прискорююче коло VD1, R2. У той момент часу коли напруга на конденсаторі C2 сягне порогового значення тригер переключиться у "1" і почнеться знову заряд конденсатора C1, а також швидкий розряд C2 через прискорююче коло VD2, R4. Весь процес повторюється.

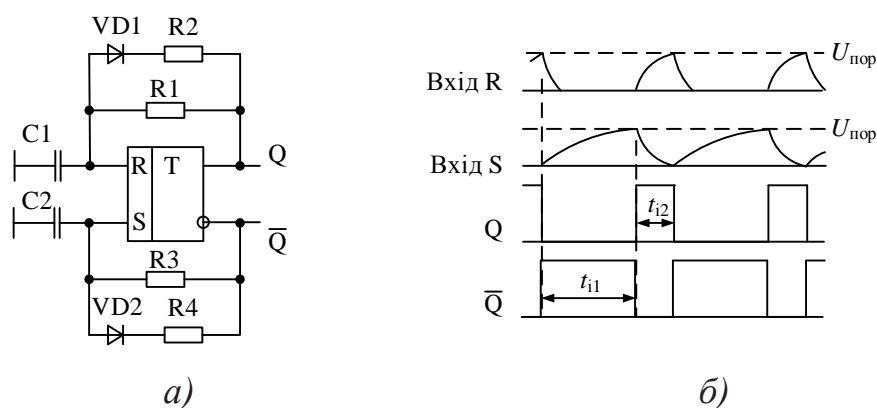


Рис. 11.10. Принципова схема мультивібратора на RS-тригері (а)
та часові діаграми його роботи (б)

Аналогічно будується мультивібратор на основі RS-тригера з інверсними входами, схема якого наведена на рис. 11.11.

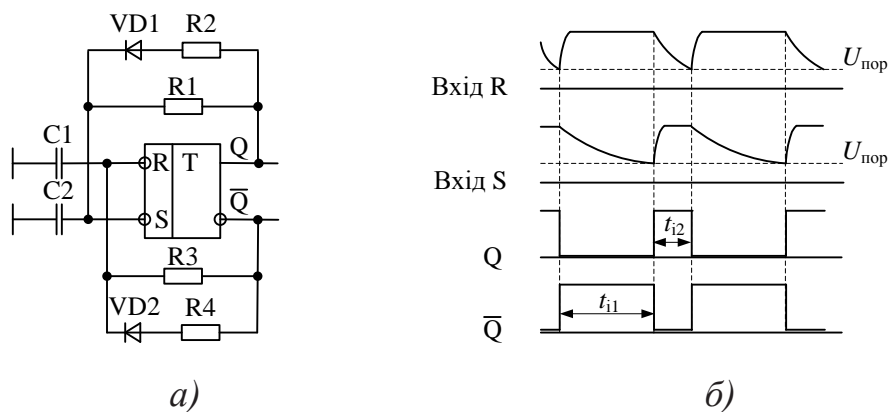


Рис. 11.11. Принципова схема мультивібратора на RS-тригері з інверсними входами (а) та часові діаграми його роботи (б)

Принцип дії аналогічний принципу дії одновібратора виконаного на такому тригері (див. розділ 11.2.2).

11.3.2 Мультивібратори на логічних елементах

При побудові мультивібраторів на логічних елементах використовується велика кількість схемних рішень. Розглянемо деякі з них.

На базі одновібратора на логічних елементах можна побудувати мультивібратор схема якого наведена на рис. 11.12.

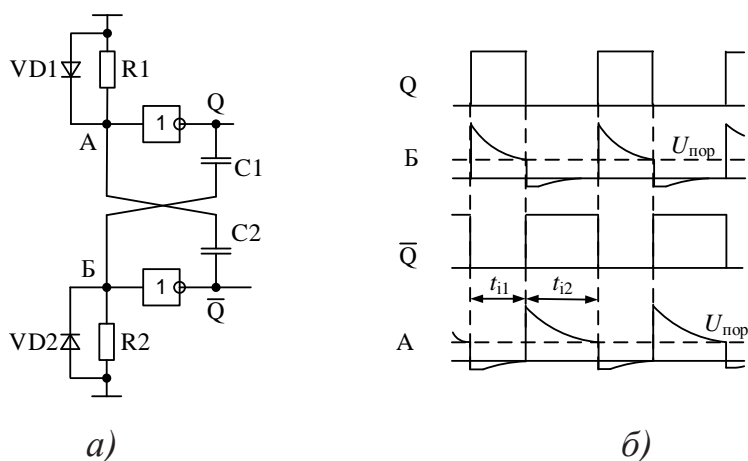


Рис. 11.12. Принципова схема мультивібратора на логічних елементах (а) та часові діаграми його роботи (б)

Тривалість імпульсів кожного плеча мультивібратора залежить від часу за

який конденсатори будуть заряджатися до напруги $U_c = U_{ж} - U_{пор}$. Якщо вибрати номінальні значення елементів таким чином щоб $R_1 = R_2$, $C_1 = C_2$, то такий мультивібратор називається симетричним, а тривалість імпульсів кожного плеча однакова $t_{i1} = t_{i2}$. Період слідування вихідного сигналу може бути розрахована за формулою

$$T_{вих} = 2RC \ln \left(\frac{U_{вих}}{U_{пор.}} \right),$$

де $U_{вих}$ – амплітуда сигналу на виході інверторів.

Для КМОН-елементів $U_{вих} = U_{ж}$.

Використовуючи логічні елементи КМОН можна побудувати мультивібратор, що має тільки одне коло яке задає період слідування вихідних імпульсів. Схема такого мультивібратора наведена на рис. 11.13.

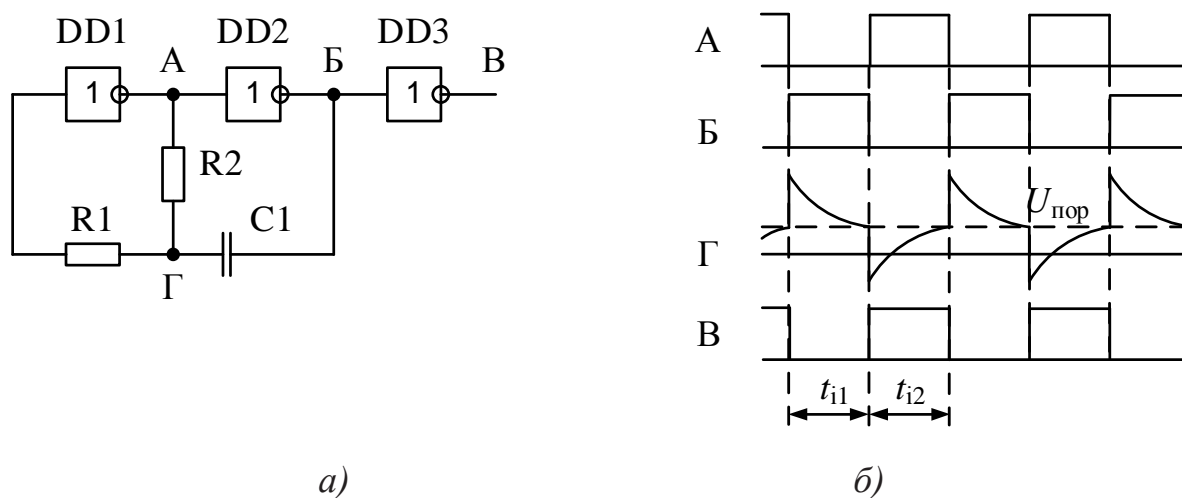


Рис. 11.13. Принципова схема мультивібратора на логічних елементах КМОН (а) та часові діаграми його роботи (б)

Розглянемо роботу схеми. Припустимо що напруга у точці Б стрибком змінилася з "0" у "1" (рис. 11.13,б). Тоді у точці А напруга буде дорівнювати "0", а на виході диференціюючого кола, що складається з резистора R2 та конденсатора C1, буде сформований стрибок напруги від рівня $U_{пор}$ до $U_{пор} + U_{ж}$.

Починається заряд конденсатора з виходу $DD2 \rightarrow C1 \rightarrow R2 \rightarrow$ вихід $DD1$. Як слідство, напруга у точці Г починає зменшуватись і коли вона впаде до порогового рівня, то інвертор $DD1$ переключиться з "0" у "1", оскільки його вхід через резистор $R1$ під'єднаний до точки Г.

Після цього на виході Б напруга стрибком переходить з "1" у "0" і цей стрибок через коло $C1, R2$ передається у точку Г. Починається перезаряд конденсатора $C1$ і напруга у точці Г починає збільшуватись. Як тільки напруга у цій точці зросте до порогового рівня, інвертор $DD1$ переключається у "0", на виході $DD2$ формується "1" і весь процес повторюється.

Інвертор $DD3$ призначений для запобігання впливу опору навантаження, що підключається на виході генератора, на частоту вихідного коливання. Резистор $R1$ призначений для запобігання розряду конденсатора $C1$ через захисні діоди, що знаходяться у середині інвертора й для запобігання розряду конденсатора $C1$ через захисні діоди, що встановлені на вході інвертора (у середині мікросхеми) $DD1$. Для стабільної роботи мультивібратора потрібно виконання умови $R1 > R2$.

Для схеми наведеної на рис. 11.13

$$t_{i1} \approx t_{i2},$$

де

$$t_{i1} = R_2 C_1 \ln \frac{U_{ж} + U_{пор}}{U_{пор}},$$

$$t_{i2} = R_2 C_1 \ln \frac{2U_{ж} - U_{пор}}{U_{ж} - U_{пор}}.$$

Якщо $U_{пор} = U_{ж}/2$, то період слідування вихідних імпульсів буде дорівнювати $T_{вих} = t_{i1} + t_{i2} \approx 2,2R_2C_1$.

Якщо виключити резистор $R1$ зі схеми і з'єднати точку Г зі входом $DD1$,

то буде виконуватись умова

$$t_{i1} \approx t_{i2} = R_2 C_1 \ln \frac{U_{ж}}{U_{ж} - U_{ж} / 2} = 0,693 R_2 C_1,$$

а період слідування вихідних імпульсів буде складати $T_{вих} \approx 1,4 R_2 C_1$.

У всіх розглянутих раніше схемах генераторів логічні елементи працюють у ключовому режимі. Однак їх можна використати і у лінійному, чи близькому до лінійного режимах. Схема такого генератора наведена на рис. 11.14.

Генератор фактично складається з двох інвертуючих підсилювачів. Резистори R1 та R2 встановлюють робочу точку інверторів на лінійній ділянці амплітудної характеристики. Конденсатор C2 формує позитивний зворотній зв'язок і вихідний сигнал підсилювача повертається на вхід (завдяки двом каскадам підсилювача зсув фаз між входом та виходом дорівнює 2π , що забезпечує баланс фаз генератора). Логічний елемент DD3 є буферним, тобто, він призначений для покращення форми вихідного сигналу. Часові діаграми роботи генератора наведені на рис. 11.14,б.

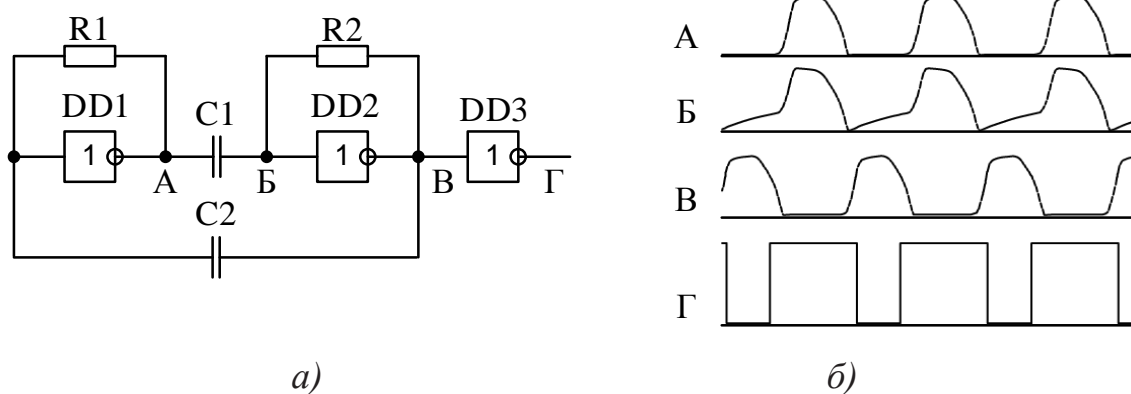


Рис. 11.14. Принципова схема мультивібратора на логічних елементах ТТЛ, що працюють у лінійному режимі, (а) та часові діаграми його роботи (б)

Ще один приклад побудови генератора на логічних елементах що працюють у лінійному режимі наведено на рис. 11.15,а. Схему зібрано на трьох елементах І-НІ. Часові діаграми роботи генератора показані на рис. 11.15,б. Принцип роботи генератора полягає в наступному. Припустимо в початковий момент часу на виході елементу DD3 встановлений рівень логічного нуля. Це означає, що на виході елементу DD2 рівень логічної одиниці. Отже, конденсатор С1 буде заряджатись і на вході елементу сформується стрибок напруги, який переведе елемент DD1 в стан логічного нуля.

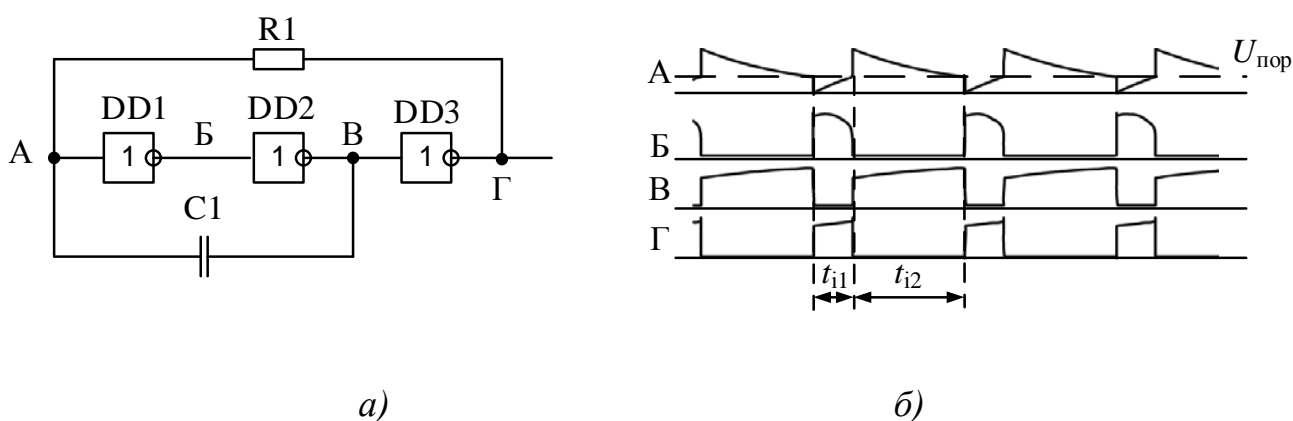


Рис. 11.15. Схема генератора на трьох елементах І-НІ (а)
та часові діаграми його роботи (б)

Заряд конденсатора продовжується до тих пір, поки напруга на вході DD1 не буде дорівнювати $U_{пор}$. В цей час на правій обкладинці конденсатора позитивний потенціал, а на лівій – негативний (сам конденсатор заряджений до напруги $U_1 - U_{пор}$), де U_1 – вихідна напруга на виході логічного елементу. Для КМОН елементів $U_1 = U_{ж}$, а для ТТЛ залежить від опору навантаження і серії мікросхем. Регламентується тільки мінімальний рівень логічної "1" не менше ніж 2,4 В.

Коли на вході DD1 сформується рівень логічного нуля (відповідно на виході DD2 – логічний нуль, а на виході DD3 – логічна одиниця), то конденсатор почне перезаряджатись від напруги $-(U_1 - U_{пор})$ до $U_{пор}$. В кінці перехідного процесу ліва обкладинка буде заряджена позитивно, а права – негативно. Коли на вході DD1 знову з'явиться рівень логічної одиниці, то в точці Б сформується

логічний нуль, а в точці В – логічна одиниця. Конденсатор знову перезаряджається. Але в точці А сформується стрибок напруги, який дорівнює $U_1 + U_{\text{пор.}}$ (оскільки на конденсаторі залишилась напруга від попереднього процесу).

Обчислимо період слідування сигналу на виході генератора. Він складається з двох часових інтервалів. В момент, коли на виході генератора (точка Г) – логічна одиниця, потенціал точки А визначається напругою на конденсаторі. Оскільки умови на конденсаторі не є нульовими, то знайдемо функцію зміни напруги на конденсаторі. Загальний розв'язок диференційного рівняння для напруги на конденсаторі

$$U_C(t) = U_1 + Ae^{-t/R_1C_1}.$$

В момент часу $t = 0$, $U_C(t) = -(U_1 - U_{\text{пор.}})$. Отже, константа

$$A = -(2U_1 - U_{\text{пор.}}).$$

Тривалість імпульсу на виході генератора визначається при умові $U_C(t) = U_{\text{пор.}}$.

$$U_{\text{пор.}} = U_1 - (2U_1 - U_{\text{пор.}})e^{-t/R_1C_1},$$

Звідки

$$t_{\text{il}} = R_1C_1 \ln \left(\frac{2U_1 - U_{\text{пор.}}}{U_1 - U_{\text{пор.}}} \right).$$

В ті моменти часу, коли на виході генератора формується логічний "0", потенціал точки А визначається напругою на резисторі

$$U_R(t) = (U_1 + U_{\text{пор.}})e^{-t/R_1C_1},$$

зв'ідки

$$t_{i2} = R_1 C_1 \ln \left(\frac{U_1}{U_1 + U_{\text{пор.}}} \right).$$

Період сигналу дорівнює $T_{\text{вих}} = t_{i1} + t_{i2}$.

11.3.3 Мультивібратори на основі інтегральних одновібраторів

Використовуючи мікросхему КР1533АГ3 що містить два одновібратора, можна побудувати мультивібратор, схема якого і часові діаграми наведені на рис. 11.16.

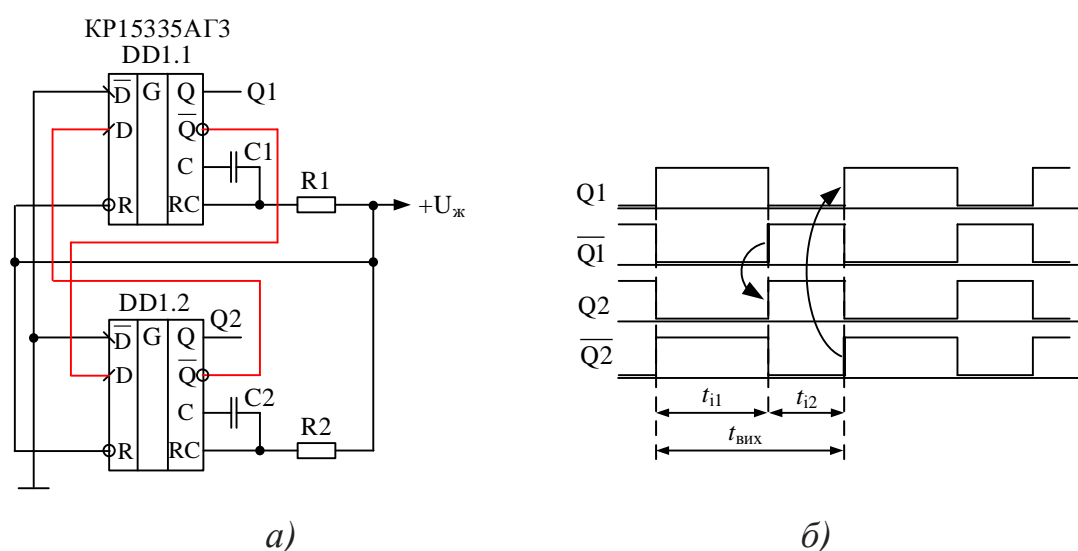


Рис. 11.16. Схема мультивібратора на мікросхемі інтегрального одновібратора КР1533АГ3 (а) та часові діаграми його роботи (б)

Принцип побудови такого генератора дуже простий. Вихідний сигнал верхнього одновібратора запускає формування імпульсу другим одновібратором і навпаки (рис. 11.16,б).

11.3.4 Мультивібратори на основі інтегрального таймера NE555

Функціональна схема інтегрального таймера NE555 наведена на рис. 11.17. Функціональні аналоги що випускаються в межах СНД 1006ВИ1 та 1087ВИ2.

Основні технічні характеристики мікросхеми NE555:

- напруга живлення 4,5...18 В;
- максимальний вихідний струм 200 мА;
- споживаний струм до 206 мА.

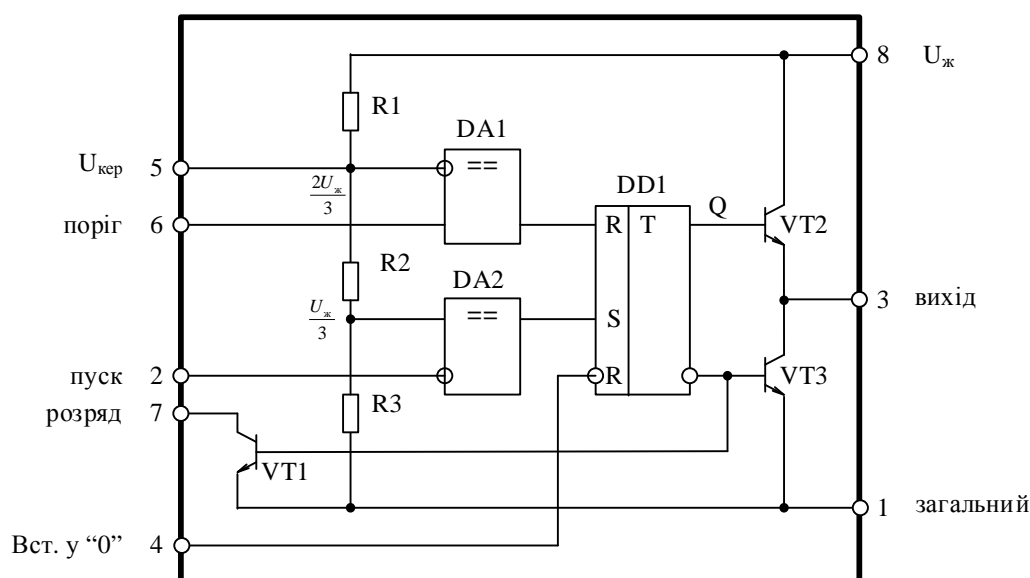


Рис. 11.17. Функціональна схема інтегрального таймера NE555

Серед функціональних блоків виділяють RS-тригер (DD1), компаратори (DA1 і DA2), вихідний підсилювальний каскад, побудований за двотактною схемою, і додатковий транзистор VT1. Призначення транзистора VT1 – розряд частотнозадаючого конденсатора при використанні мікросхеми в якості генератора. Встановлення тригера у "0" (скидання) відбувається при подачі логічної одиниці (рівень від $U_{ж}/2 \dots U_{жив}$) на вхід R. Якщо тригер встановлений у "0", то

на виході мікросхеми (вив. 3) формується низький рівень напруги (транзистор VT3 відкритий).

За функціональною схемою мікросхеми важко зрозуміти в чому ж вона унікальна. Вся оригінальність полягає у способі управління тригером, а саме формування керуючих сигналів. Керуючі сигнали формуються на виходах компараторів DA1 і DA2, на один з входів яких подана опорна напруга. Щоб сформувати керуючі сигнали необхідно отримати на входах тригера (виходи компараторів) сигнали високого рівня.

Для запуску таймера необхідно подати на вхід "Пуск" (вив. 2) напругу в межах $0 \dots (U_{ж}/3)$. Цей сигнал призводить до спрацьовування тригера і на його виході формується сигнал "1". Сигнал більше ніж $U_{ж}/3$ не викличе яких-небудь змін у стані мікросхеми, тому що опорна напруга для компаратора DA2 становить $U_{ж}/3$.

Зупинка таймера відбувається після скидання тригера. Для цього напруга на вході $U_{пор}$ (вив. 6) має перевищити $2U_{ж}/3$ (опорна напруга для компаратора DA1 становить $2U_{ж}/3$). При скиданні тригера на виході мікросхеми встановлюється сигнал низького рівня і відбувається розряд частотнозадаючого конденсатора.

Регулювання опорної напруги може проводитися шляхом підключення додаткового резистора або джерела живлення до виводу 5 мікросхеми.

На рис. 11.18 показана схема одноібратора, побудованого з використанням таймера NE555. Пусковий імпульс подається на вхід нижнього компаратора (вив. 2), інверсний вхід R (вхід скидання) тригера (вив. 4) не використовується і на нього подається напруга живлення. Інверсний вхід верхнього компаратора (вив. 5), щоб уникнути впливу завад, заземлюється по змінному струму через фільтруючий конденсатор C1. Транзистор T1 виконує функції розрядного ключа (рис. 11.17) і підключається паралельно частотнозадаючому конденсатору C2.

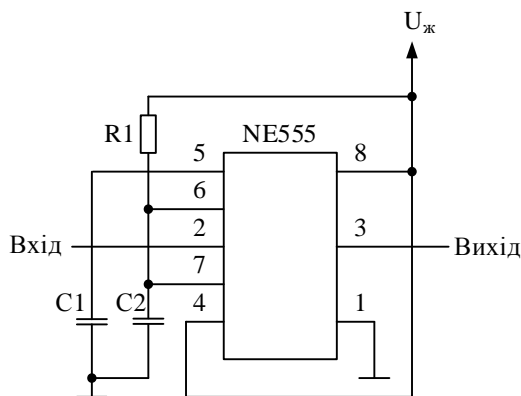


Рис. 11.18. Принципова схема одновібратора на таймері NE555

Принцип дії одновібратора ілюструється часовими діаграмами, що наведені на рис. 11.19.

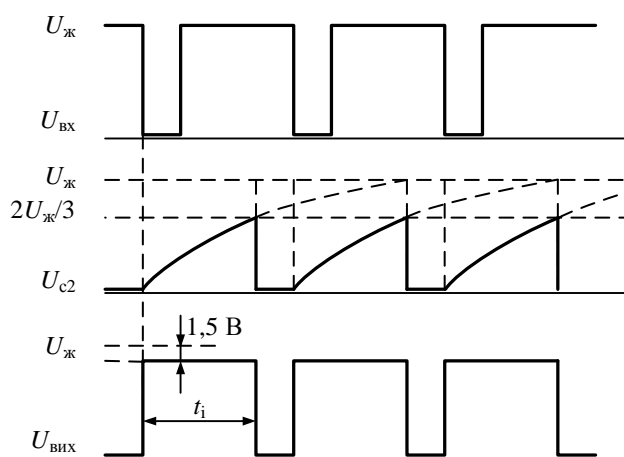


Рис. 11.19. Часові діаграми роботи одновібратора на базі таймера NE555

У початковому стані на виході таймера встановлений рівень логічного "0", а транзистор Т1 (рис. 11.17) відкритий і напруга на конденсаторі С2 дорівнює нулю.

Після приходу негативного фронту пускового імпульсу $U_{вх}$ компаратор DA2 переключиться у "1" і встановлює тригер DD1 у "1". На виході таймера встановлюється високий рівень ($U_{ж} - 1,5 \text{ В}$), а транзистор Т1 закривається і починається заряд конденсатора С2 через резистор R1 від джерела живлення.

Як тільки напруга на конденсаторі C_2 сягне значення $2U_{ж}/3$, компаратор DA1 переключиться у "1" і, як слідство, тригер переключиться у "0", вихідна напруга таймера стане близькою до нуля. Транзистор T1 (вив. 7) відкривається і конденсатор C_2 швидко розряджається.

Якщо наступний вхідний імпульс прийде раніше, ніж закінчиться формування вихідного імпульсу, то одновібратор на нього не відреагує.

Тривалість вихідного імпульсу можна знайти з рівняння для напруги на конденсаторі

$$U_c = U_{ж}(1 - e^{-t/\tau}),$$

де $\tau = R_1C_2$ – постійна часу RC-кола.

Оскільки заряд конденсатора закінчується коли напруга на ньому стає рівною $2U_{ж}/3$, то можна скласти рівняння

$$U_{ж}(1 - e^{-t/\tau}) = \frac{2U_{ж}}{3},$$

звідки

$$t_i = \tau \ln 3 = 1,1R_1C_2.$$

Використовуючи таймер NE555 можна побудувати мультівібратор принципова схема якого наведена на рис. 11.20.

Для поліпшення форми вихідних імпульсів резистор, що задає струм заряду конденсатора C_2 , розділений на дві частини. Після відкриття транзистора T1 (рис. 11.17) конденсатор C_2 розряджається через резистор R2. Якщо транзистор T1 закритий, конденсатор буде заряджатися через послідовно з'єднані R1 і R2.

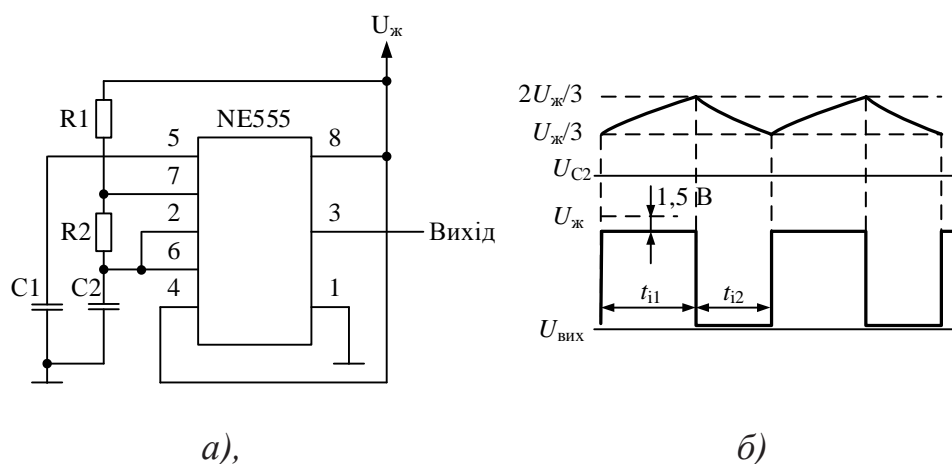


Рис. 11.20. Принципова схема мультивібратора на базі таймера NE555 (а)
та часові діаграми його роботи

Якщо $U_c < U_{ж}/3$, включається нижній компаратор і виключається верхній (рис. 11.17), але коли $U_c > 2U_{ж}/3$, стан компараторів змінюється на протилежний. Відповідно сформованим компараторами сигналам перемикається тригер. Тому в моменти, коли $U_c > 2U_{ж}/3$, відкривається транзистор Т1 і конденсатор С2 починає розряджатися.

За час заряду конденсатора (на рис. 11.20 позначено як t_{11}) напруга U_c на ньому змінюється в межах $U_{ж}/3 < U_c < 2U_{ж}/3$. Оскільки U_c змінюється тільки у вказаних межах, то можна записати

$$\frac{U_{ж}}{3} + \frac{2U_{ж}}{3}(1 - e^{-t_{11}/\tau_{зар}}),$$

де $\tau_{зар} = (R_1 + R_2)C_2$.

З попереднього рівняння неважко розрахувати тривалість імпульсу t_{11}

$$t_{11} = \tau_{зар} \ln 2 = 0,693(R_1 + R_2)C_2.$$

Аналогічно можна визначити час розряду конденсатора через резистор R2

$$t_{i2} = \tau_{\text{позр}} \ln 2 = 0,693R_2C_2.$$

Таким чином, період слідування імпульсів на виході генератора буде дорівнювати

$$T_{\text{вих}} = t_{i1} + t_{i2} = 0,693(R_1 + 2R_2)C_2,$$

а частота слідування імпульсів

$$f_{\text{вих}} = \frac{1}{t_{i1} + t_{i2}} = \frac{1,44}{(R_1 + 2R_2)C_2}.$$

Треба звернути увагу на те, що частота вихідного сигналу такого генератора від напруги живлення не залежить.

Скважність послідовності імпульсів на виході (рис. 11.20) визначимо щодо тривалості позитивного вихідного імпульсу

$$Q = \frac{t_{i1} + t_{i2}}{t_{i1}} = \frac{R_1 + 2R_2}{R_1 + R_2}.$$

Таким чином, у схемі рис. 11.20 неможливо отримати значення $Q = 2$, оскільки таке значення можна отримати тільки при $R_1 = 0$, але тоді схема стає непрацездатною.

12 ЗАПАМ'ЯТОВУЮЧІ ПРИСТРОЇ

12.1 Оперативні запам'ятовуючі пристрої

Для короткочасного збереження невеликих об'ємів кодових слів звичайно використовують регістри. При необхідності тривалого збереження або збереження великих об'ємів інформації застосовують запам'ятовуючі пристрої (ЗП), виконані на спеціалізованих ІС. Застосування ЗП, що використовують ІС, дозволяє максимально спростити апаратну частину електронних пристроїв.

По виконуваній функції ЗП можна класифікувати на: оперативні запам'ятовуючі пристрої (ОЗП) і постійні запам'ятовуючі пристрої (ПЗП).

До оперативних відносять ЗП, що використовуються для збереження інформації, одержуваної в процесі роботи пристрою і забезпечують можливість зчитування та запису інформації на протязі часу коли до них підключене джерело живлення.

Оперативні ЗП можуть бути виконані як статичними, так і динамічними. У статичних ОЗП записана інформація постійно зберігається у виділеному для неї місці і не руйнується при її зчитуванні. Руйнування інформації можливо тільки при її примусовому стиранні або вимкненні напруги джерела живлення.

У динамічних ОЗП інформація постійно циркулює в масиві, відведеному для її збереження. При цьому зчитування інформації супроводжується її руйнуванням. Для збереження інформації її необхідно постійно відновлювати.

Для позначення на принципових електричних схемах ІС ОЗП використовується скорочення RAM (Random Access Memory).

Варіант типової структурної схеми статичного оперативного запам'ятовуючого пристрою (ОЗП) наведений на рис. 12.1. Для прикладу обрана мікросхема пам'яті ємністю 256 біт. Структурна схема включає виконані на єдиному кристалі кремнію матрицю накопичувача (запам'ятовуючих елементів), дешифратори коду адреси рядків $A_0...A_3$ (DC_x) і стовпців $A_4...A_7$ (DC_y), пристрій

управління (ПУпр), пристрій запису (ПЗап) і пристрій зчитування (ПЗчит). Режимом роботи всього пристрою керують сигнали \overline{CS} (Chip Select – вибір мікросхеми) і \overline{WR}/RD (Write/Read – запис-зчитування). Вхід на який подається інформація позначається як DI (Data Input), а вихід з якого виводиться зчитувана інформація DO (Data Output).

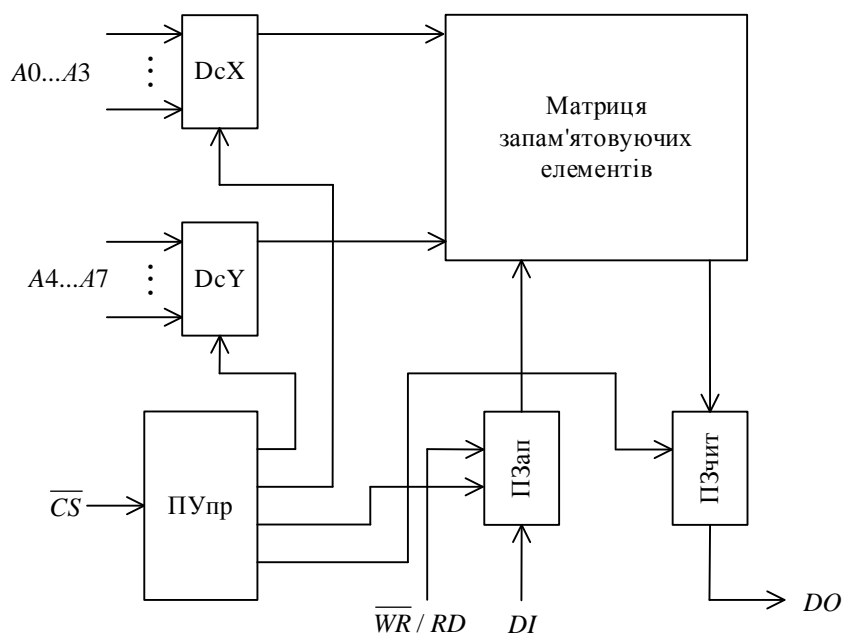


Рис. 12.1. Структурна схема запам'ятовуючого пристрою з однорозрядною організацією

Матриця накопичувача містить 256 запам'ятовуючих елементів ЗЕ, розташованих на перетинаннях 16 рядків і 16 стовпців (рис. 12.2). Кожен ЗЕ являє собою статичний тригер, що може бути реалізований на основі біполярних або МДН-транзисторів. Це залежить від технології виготовлення мікросхем.

Доступ до кожного ЗЕ можна організувати за допомогою логічного елементу І (рис. 12.3).

Для збереження інформації в тригері необхідне джерело живлення, тобто тригер розглянутого типу є енергозалежним. При наявності живлення тригер здатний зберігати свій стан як бажано довго.

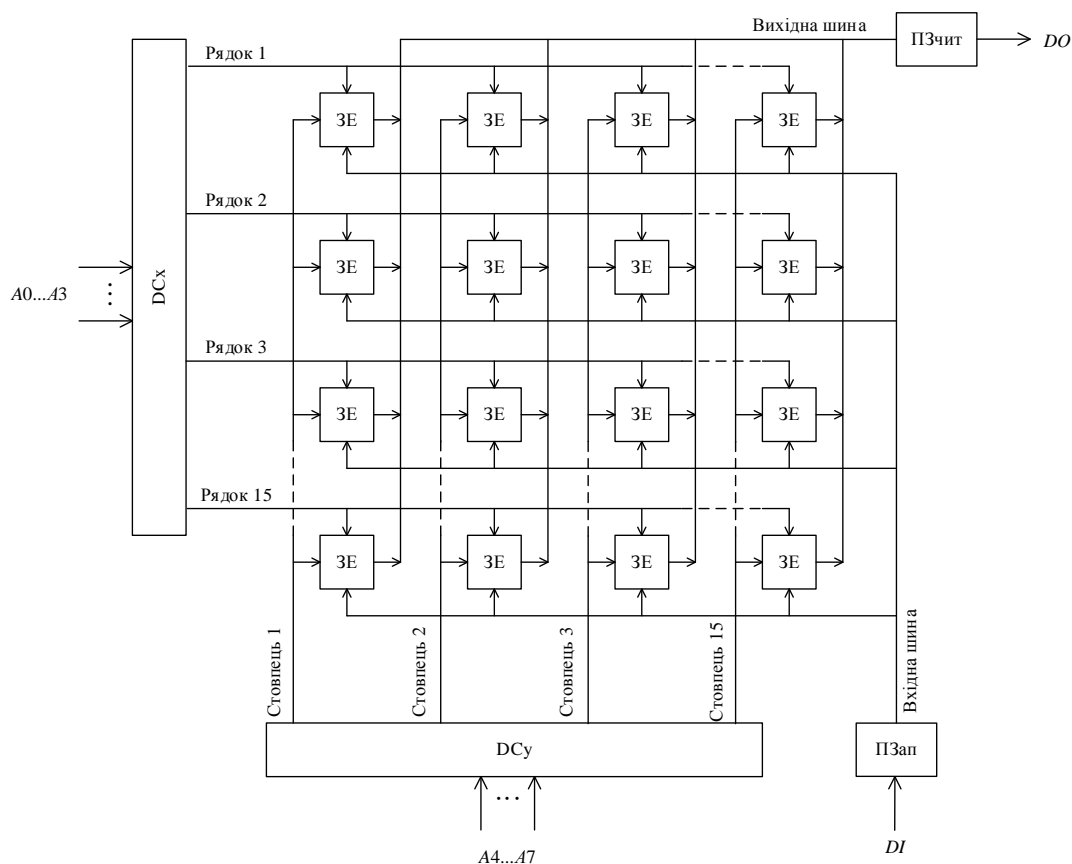


Рис. 12.2. Структурна матриці запам'ятовуючих елементів

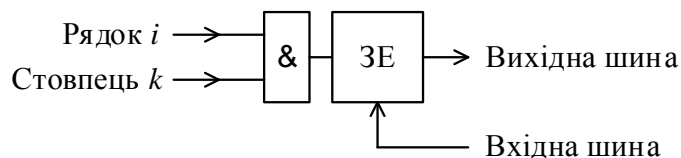


Рис. 12.3. Організація доступу до запам'ятовуючих елементів матриці

Для запису 0 або 1 у мікросхему необхідно підвести цю інформацію до входу DI , подати код адреси $A\{A_0 - A_7\}$, сигнал дозволу \overline{CS} і сигнал \overline{WR} / RD рівні "0", що відповідає режиму запису. При зазначених сигналах збуджується заданий рядок X_i , обраний дешифратором коду адреси рядків, і в результаті цього відкривається доступ по розрядних шинах до усіх ЗЕ даного рядка. Одночасно збуджується один з виходів Y_k , дешифратора коду адреси стовпців і під'єднає обраний ЗЕ.

Звертання до мікросхеми для зчитування відбувається аналогічно, але при

значенні сигналу \overline{WR} / RD рівному "1".

У більшості мікросхем пам'яті пристрій зчитування (або пристрій вводу/виводу) містить вихідний ключовий підсилювач-формувавч, здатний приймати три стани: два функціональних, відповідно "0" або "1", і третій стан, коли внутрішні блоки запам'ятовуючого пристрою відключаються від виходу. У третьому стані вихід відключений від приймача інформації, наприклад інформаційної шини.

Наявність у мікросхеми виходу на три стани дозволяє з'єднувати інформаційні вхід і вихід для підключення їх до єдиної інформаційної шини.

На рис. 12.4 наведені типові часові діаграми сигналів на входах статичного ОЗП.

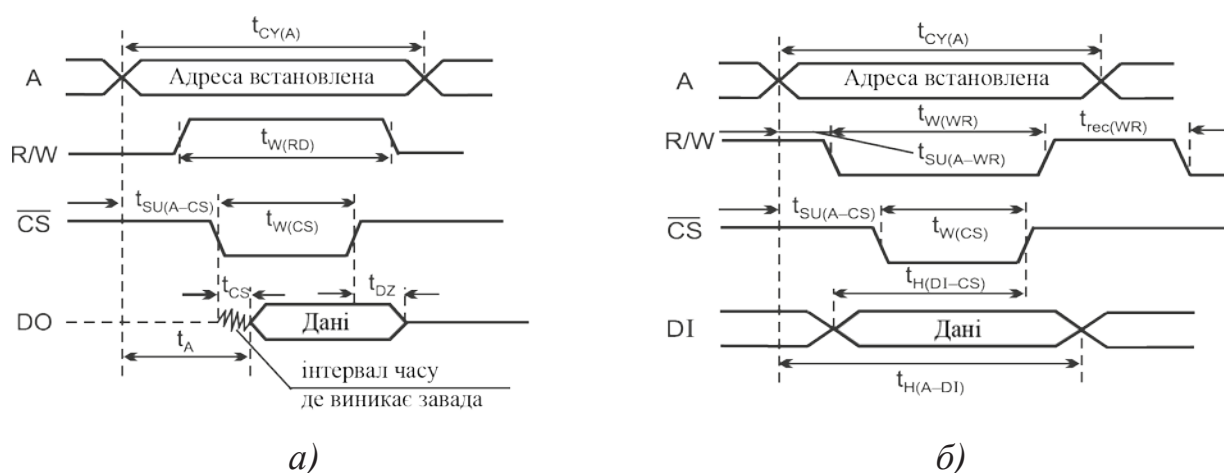


Рис. 12.4. Типові часові діаграми сигналів на входах статичного ОЗП в режимі зчитування (а) та запису інформації (б)

Розглянута структурна схема (рис. 12.1) являє собою приклад реалізації статичних ОЗП з однорозрядною організацією. Цей тип мікросхем переважає в сучасній номенклатурі мікросхем пам'яті. Разом з тим усе більш активний розвиток одержують мікросхеми статичних ОЗП з багаторозрядною словниковою організацією. Принцип побудови таких мікросхем аналогічний розглянутому вище, але при виборі адреси одного з ЗЕ відбувається звернення одразу до декількох ЗЕ, що мають одну адресу, але кожний під'єднаний до різних вхідних і вихідних шин. Пристрої запису і зчитування для цього мають n незалежних ка-

налів, де n – кількість розрядів запам'ятовуючого пристрою.

У мікросхемах пам'яті динамічного типу функції ЕП виконує електричний конденсатор, утворений усередині МДН-структури (рис. 12.5). Інформація представляється у виді заряду: наявність заряду на конденсаторі відповідає логічному "0", відсутність-логічній "1". Оскільки час збереження конденсатором заряду обмежений, передбачають періодичне відновлення (регенерацію) записаної інформації. У цьому складається одна з відмінних рис динамічних ОЗП. Крім того, для них необхідна синхронізація, що забезпечує необхідну послідовність включень і вимикань функціональних вузлів.

Для виготовлення мікросхем динамічних ОЗП в основному застосовують n -МДН-технологію, що дозволяє підвищувати швидкодію і рівень інтеграції мікросхем, забезпечувати малі струми витoku і за цей рахунок збільшувати час збереження заряду на запам'ятовуючому конденсаторі.

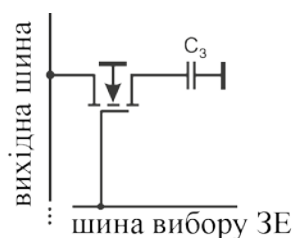


Рис. 12.5. Комірка динамічного ОЗП на МДН-структурах

Розглянемо типовий варіант реалізації динамічного ОЗП на прикладі мікросхеми інформаційною ємністю $16\text{K} \times 1$ біт. В її структурну схему (рис. 11.3) входять виконані в одному кремнієвому кристалі матриця накопичувача, що містить 16384 елементів пам'яті, розташованих на перетинаннях 128 рядків і 128 стовпців, 128 підсилювачів зчитування і регенерації, дешифратори рядків і стовпців, пристрій управління, пристрій вводу-виводу та мультиплексний регістр адреси.

Матриця накопичувача розділена на дві частини по 64×64 ЗЕ у кожній. Між ними розміщені підсилювачі, так що кожен стовпець складається з двох

Таким чином, у кожному із 128 стовпців до підсилювача з різних сторін підключені ЗЕ та опорні елементи. Оскільки потенціал напівшини з ЗЕ відрізняється від опорного, то сигнал F_3 викликає перекидання тригера по переважному рівню. У підсумку на виходах-входах тригера формуються повні рівні "1" і "0". Той із сигналів, який відбиває зчитану інформацію комутується на вхід пристрою виводу. Очевидно, зчитаним може бути тільки один сигнал з обраного дешифратором стовпця.

Сигнал на вході-виході тригера-підсилювача виконує також функцію відновлення рівня заряду запам'ятовуючого конденсатора, тобто функцію регенерації інформації. Причому ця операція відбувається у всіх ЗЕ обраного рядка одночасно.

Таким чином, при кожному звертанні до матриці для зчитування інформації автоматично здійснюється регенерація інформації у всіх ЗЕ, що належать обраному рядку.

Для адресації 16К елементів пам'яті необхідний 14-розрядний код. З метою зменшення числа необхідних виводів корпусу в мікросхемах динамічних ОЗП код адреси вводять вроздріб: спочатку сім молодших розрядів $A_0...A_6$, супроводжуючи їх стробуючим сигналом \overline{RAS} , потім сім старших розрядів $A_7...A_{13}$ з стробуючим сигналом \overline{CAS} . У середині мікросхеми коди адреси рядків і стовпців фіксуються в адресному регістрі, потім дешифруються і здійснюють вибірку необхідного ЗЕ.

Для формування внутрішніх сигналів $F_1...F_5$, керуючих включенням і вимиканням у визначеній послідовності функціональних вузлів мікросхеми, у її структурі передбачений пристрій управління, для якого входними є сигнали \overline{RAS} , \overline{CAS} , \overline{WR} / RD .

Пристрій вводу-виводу забезпечує вивід одного біта інформації DO у режимі зчитування і ввід одного біта інформації DI з її фіксацією за допомогою D-тригера в режимі запису. В усіх режимах, крім режиму зчитування, вихід

встановлюється у третій стан, що дозволяє поєднувати інформаційні вхід і вихід при підключенні мікросхеми до загальної інформаційної шини.

12.2 Мікросхеми масочних ПЗП

Мікросхеми ПЗП по способу програмування, тобто занесення в них інформації, підрозділяють на три групи: ПЗП, що одноразово програмуються виготовлювачем по замовленому фотошаблону (масці), масочні ПЗП (ПЗПМ, ROM); ПЗП, що одноразово програмуються користувачем шляхом перепалювання плавких перемичок на кристалі (ППЗП, PROM); ПЗП, що багаторазово програмуються користувачем, репрограмуємі ПЗП (РПЗП, EPROM).

Загальною властивістю всіх мікросхем ПЗП є їхня багаторозрядна (словникова) організація, режим зчитування як основний режим роботи і енергозалежністю. Разом з тим у них є й істотні розходження в способі програмування, режимах зчитування, у звертанні до них при застосуванні. Тому доцільно розглянути кожен групу мікросхем ПЗП окремо.

Мікросхеми ПЗПМ виготовляють згідно біполярної ТТЛ, ТТЛШ-технології, *n*-канальної, *p*-канальної і КМДН-технологіям. Принцип побудови в більшості мікросхем групи ПЗПМ однаковий і може бути представлений структурою матриці запам'ятовуючих елементів (рис. 12.6). Структурна схема самої мікросхеми наведена вище (рис. 12.1). Матриця складається з масиву ЗЕ, кожний з яких розміщений на перетині рядка і стовпця. Елемент пам'яті ПЗПМ являє собою резистивну або напівпровідникову (діодну, транзисторну) перемичку між рядком і стовпцем. На рис. 12.6 це діоди. Інформацію в матрицю заносять у процесі виготовлення мікросхеми. У тих рядках де на перетині рядка і стовпця встановлений діод, при звертанні до нього буде зчитуватися "1", а там де діодів нема стовпець під'єднаний до загального через резистор і з цього рядка зчитується "0".

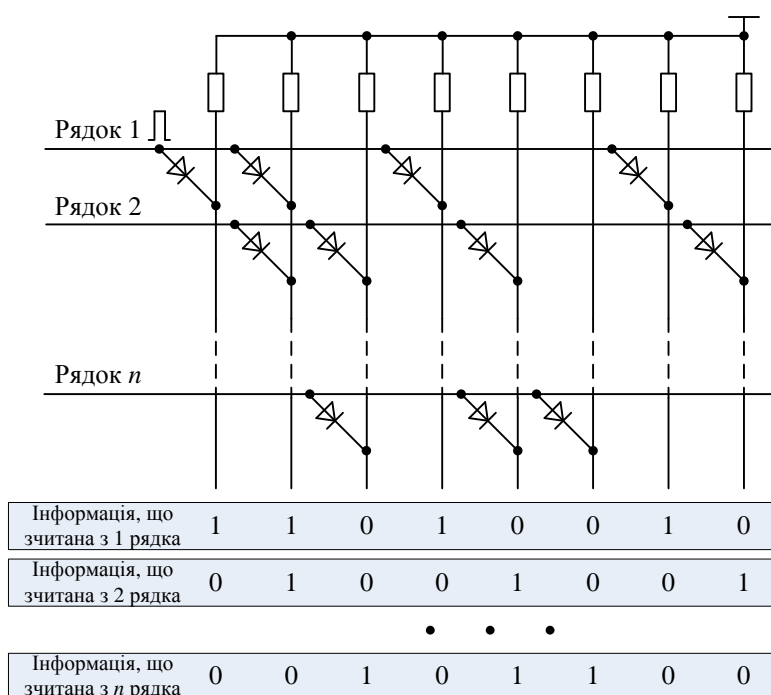


Рис. 12.6. Матриця запам'ятовуючих елементів мікросхеми масочного ПЗП

Мікросхеми на біполярних транзисторах програмують шляхом формування перемичок між рядками і стовпцями в тих точках матриці, куди варто занести логічну 1. У тих точках матриці, де повинний бути логічний 0, перемичку не формують.

Програмування мікросхем ПЗПМ здійснюють один раз. Оскільки схема з'єднань або граничні напруги транзисторів не залежать від режиму роботи мікросхеми, вона має властивість енергозалежності. Завдяки цій властивості мікросхеми ПЗПМ широко використовують як носії постійних програм, підпрограм різного призначення, кодів фізичних констант, постійних коефіцієнтів і т.п. Занесену в ПЗПМ інформацію в технічній документації називають "прошиванням".

Мікросхеми ПЗПМ працюють у режимах: збереження і зчитування. Для зчитування інформації необхідно подати код адреси і сигнал управління (CS), що дозволяє цю операцію. Сигнали управління можна подавати рівнем 1, якщо вхід CS прямий, або 0, якщо вхід інверсний. Частіше вхід CS виконується інве-

рним.

Багато мікросхем мають кілька входів управління, звичайно зв'язаних визначеним логічним оператором. У таких мікросхемах необхідно подавати на керуючі входи визначену комбінацію сигналів, щоб сформувавши умову дозволу зчитування.

Основним динамічним параметром мікросхем ПЗПМ являється час вибірки адреси. При необхідності стробіювання вихідних сигналів на керуючі входи CS варто подавати імпульси після надходження коду адреси. У такому випадку в розрахунок часу зчитування треба приймати час установлення сигналу CS щодо адреси і час вибору.

Вихідні сигнали майже у всіх мікросхем ПЗПМ мають TTL-рівні. Виходи побудовані в основному за схемою з трьома станами.

Для зниження споживаної потужності деякі мікросхеми допускають застосування режиму імпульсного живлення. В цьому режимі живлення на мікросхему подають тільки при зчитуванні інформації.

12.3 Мікросхеми програмуємих ПЗП

Мікросхеми програмуємих ПЗП за принципом побудови і функціонування аналогічні масочним ПЗП, але мають відмінність у тому, що допускають програмування на місці свого застосування користувачем. Операція програмування полягає в руйнуванні частини плавких перемичок на поверхні кристала імпульсами струму амплітудою 30...50 мА. Технічні засоби для виконання цієї операції досить прості і можуть бути побудовані самим користувачем. Ця обставина в сполученні з низькою вартістю і доступністю мікросхем ПЗП обумовило їхнє широке поширення на практиці.

Мікросхеми ПЗП, що випускаються вітчизняною промисловістю, здебільше виготовлені по TTLШ-технології.

Типовий варіант структури та реалізації матриці запам'ятовуючих елеме-

нтів мікросхеми ППЗП представлений на рис. 12.7. В основному вона повторює загальну структуру запам'ятовуючих пристроїв, але має додаткові пристрої $F_1 \dots F_n$ для формування струму програмування.

Матриця до програмування, тобто у початковому стані, містить однорідний масив провідних перемичок, що з'єднують рядки і стовпці у всіх точках їхніх перетинань. Перемички встановлюють з таких матеріалів: ніхрому, полікристалічного кремнію, силіциду платини та інших матеріалів. Перемичка в матриці виконує роль ЗЕ. Наявність перемички кодується логічною "1", якщо підсилювач зчитування (ПЗ) є повторювачем, і логічним "0", якщо підсилювач зчитування – інвертор. Отже, мікросхема ППЗП перед програмуванням у залежності від характеристики вихідного підсилювача може мати заповнення матриці або логічним 0 або логічною 1 (частіше логічною "1").

Робота запрограмованої мікросхеми ППЗП в режимі зчитування нічим не відрізняється від роботи мікросхеми ПЗПМ, розглянутих раніше. У деяких мікросхем мається вивід для під'єднання джерела напруги програмування U_p . У режимі зчитування цей вивід не задіяний.

Різновидом ППЗП є програмуємі випалюванням плавких перемичок логічні матриці (ПЛМ), виконані по ТТЛШ-технології, що мають ідентичні характеристики і конструктивні параметри, але відрізняються типом виходу: у першій з мікросхем вихід з відкритим колектором, у другій – на три стани.

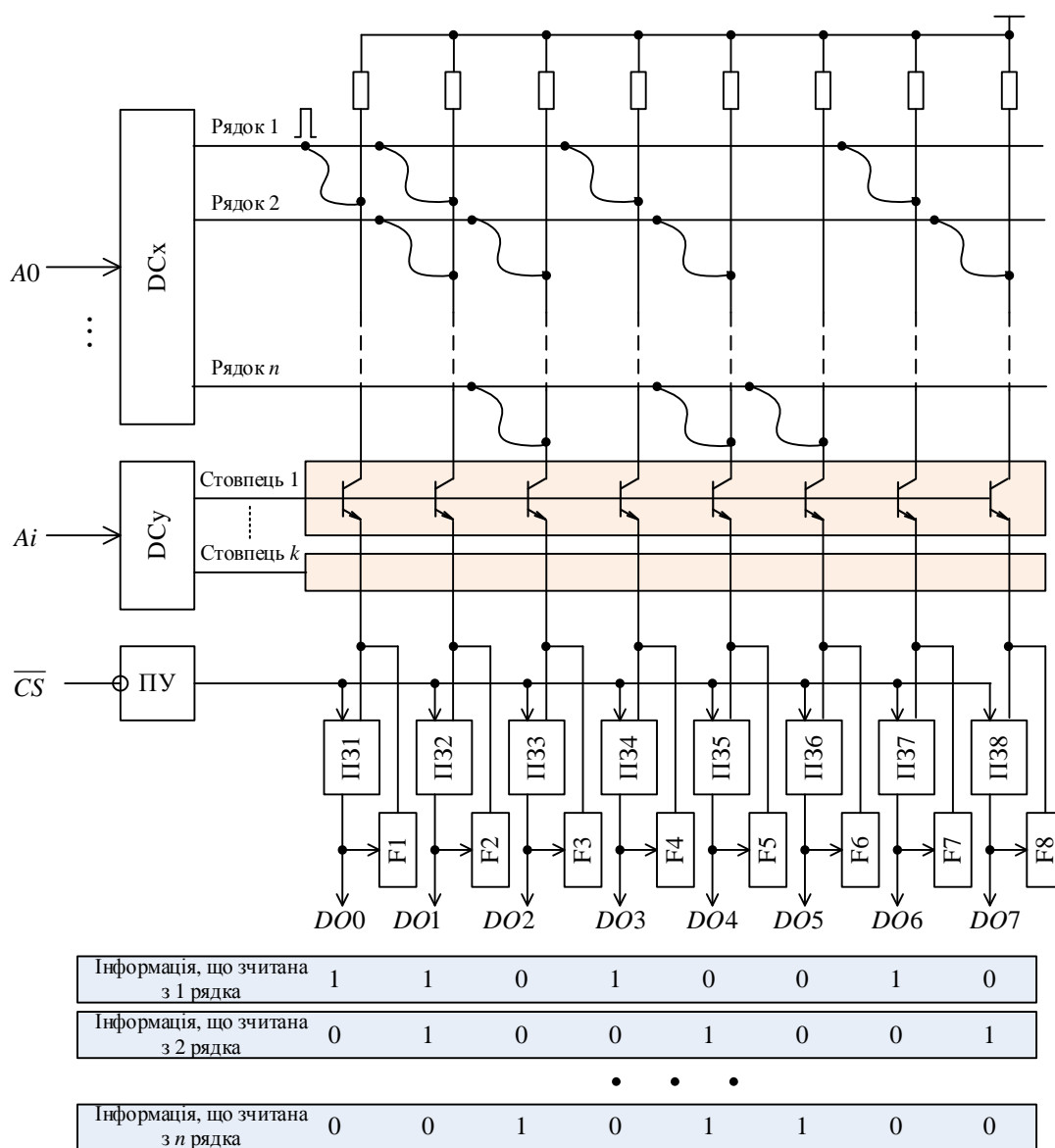


Рис. 12.7. Структура мікросхеми ППЗП

Названі мікросхеми ПЛМ мають 16 входів $A_{15} - A_0$ для змінних, над якими ПЛМ виконує запрограмовані операції, вхід CS з нульовим рівнем дозволу, вхід PR дозволу запису, тобто програмування, і вісім виходів. Структура мікросхеми (рис. 12.8) включає операційну частину з матриці І, матриці АБО, входних і вихідних підсилювачів і програмуючу частину з адресними формувачами $FA1$, $FA2$ і дешифратори $DCPR$.

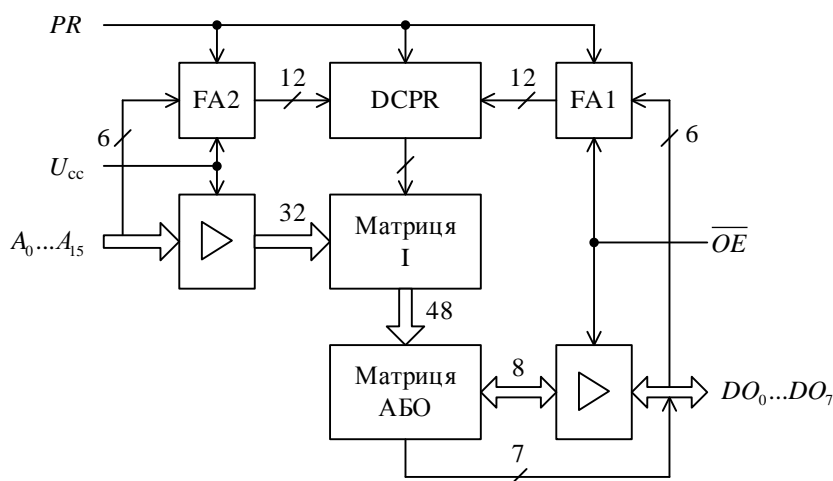


Рис. 12.8. Структура мікросхеми ПЛМ

Основу ПЛМ (рис. 12.8) складають матриці І та АБО. Матриця І виконує операції кон'юнкції над 16 вхідними змінними та їх інверсними значеннями, що надходять на рядкові шини матриці. Необхідні логічні добутки формують на шинах стовпців шляхом випалювання непотрібних перемичок між рядками і стовпцями.

Число стовпців 48, отже, на виході матриці І можна одержати до 48 логічних добутків, у кожне з яких може входити до 16 змінних та їхніх інверсій. Матриця АБО виконує операцію диз'юнкції над логічними добутками, сформованими матрицею І. Число виходів цієї матриці 8, тому вона здатна сформувати до восьми логічних сум, у кожна з яких може входити до 48 логічних добутків. Таким чином, можливості ПЛМ характеризуються числом точок комутації. Програмування матриці АБО виконується так само, як і матриці І, шляхом випалювання "непотрібних" перемичок. На виходах матриці АБО розміщені програмувальні підсилювачі, що у залежності від стану перемички можуть передавати значення вихідної функції в прямій чи інверсійній формі представлення.

Для програмування служать вбудовані вузли програмуючої частини, які збуджує сигнал дозволу PR. Програмування здійснюють способом, аналогічним програмуванню ППЗП, у три етапи: спочатку програмують матрицю І, потім матрицю АБО і вихідні інвертори.

Функціональна схема ПЛІМ наведена на рис. 12.9. Програмована логічна матриця має n входів, k елементів І, виходи яких утворюють k вертикальних шин, m елементів АБО, виходи яких підключені до входів суматорів по модулю 2 (М2), що виконують роль керованих інверторів. Виходи цих m інверторів є виходами самої ПЛІМ. Кожен елемент І має $2n$ входів, якими він пов'язаний з усіма шинами вхідних сигналів і їх інверсій. В лінії зв'язку включені спеціальні перемички, позначені на рис. 12.9 короткими зигзагами. Ці перемички виконуються з певного матеріалу (наприклад, ніхром, кристалічний кремній) або у вигляді спеціальних p - n переходів так, щоб їх можна було вибірково руйнувати ("випалювати"), залишаючи лише ті зв'язки, які потрібні споживачеві ПЛІМ. У ряді типів ПЛІМ випалювати перемички може сам споживач, подаючи на відповідні виводи корпусу імпульси струму або напруги певної амплітуди і тривалості.

Елементи АБО ПЛІМ, так само як і елементи І, мають на входах випалювані перемички, з допомогою яких вони підключені до всіх вертикальних шин. Після випалювання на програматорі непотрібних перемичок у елементів АБО також залишаються лише ті зв'язки з вертикалями, які необхідні споживачу. Технічна реалізація елементів АБО така, що після випалювання перемичок на входах АБО, які ні до чого не підключені забезпечуються рівні логічного нуля.

Аналогічним чином програмують відсутність або виконання інвертування виходів АБО, відповідно перепалюючи або залишаючи перемички на верхніх по рис. 12.9 входах елементів М2.

Методи технологічного виконання елементів І, АБО, М2 і руйнування перемичок можуть бути різними. З точки зору логічного проектування істотно лише те, що схемотехнік може використовувати ПЛІМ за своїм розсудом:

- подати на будь-який елемент І будь-яку комбінацію входів ПЛІМ або їх інверсій;
- підключити до будь-якого елементу АБО будь-яку комбінацію вертикальних шин (виходів);

- проінвертувати вихідні сигнали АБО.

Такі можливості дозволяють дуже просто реалізувати на ПЛІМ перетворювачі кодів або, що те ж саме, системи логічних функцій.

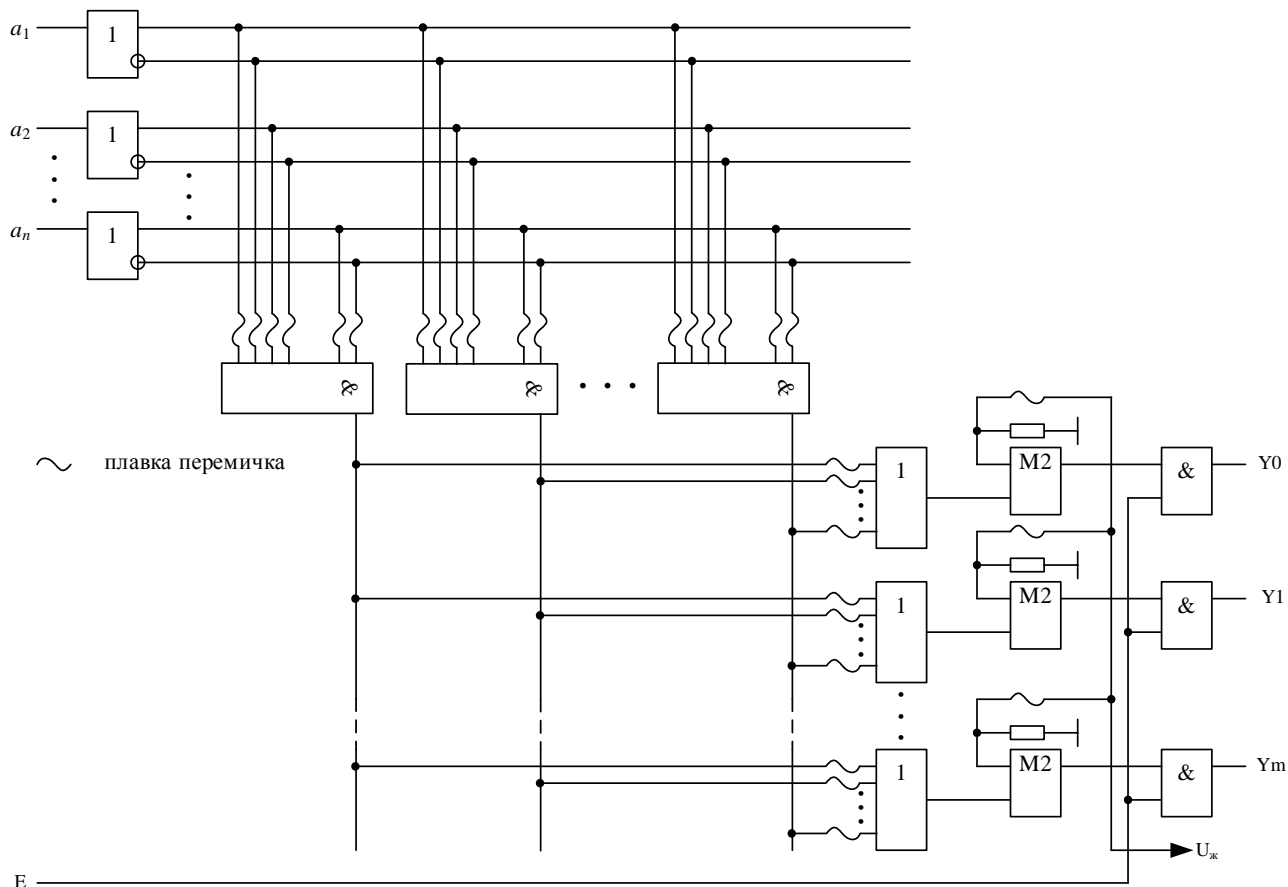


Рис. 12.9. Функціональна схема ПЛМ

Широко застосовують ПЛМ, програмовані по способу замовленого фотомашаблону на заводі-виготовлювачі. Такі ПЛМ є різновидом масочних ПЗП. Вони включені, зокрема, до складу багатьох мікропроцесорних комплектів у якості ПЗП мікрокоманд. На основі ПЛМ можна будувати всілякі цифрові пристрої як комбінаційного, так і послідовного типів.

12.4 Мікросхеми репрограмовані ПЗП

Основна відмінна риса мікросхем репрограмованих ПЗП (РПЗП) полягає в їхній здатності до багаторазового (від 100 до 10 тис.) перепрограмувань самим користувачем. Ця властивість мікросхем забезпечена застосуванням ЗЕ із властивостями керованих "перемичок", функції яких виконують транзистори зі структурою МНОН і транзистори n -МОН із плаваючим затвором (ПЗ) з використанням механізму лавинної інжекції заряду ЛІЗМОН.

Всю номенклатуру мікросхем РПЗП можна розділити на дві групи: РПЗП з записом і стиранням електричними сигналами (група ЕС) і РПЗП з записом електричними сигналами і стиранням ультрафіолетовим випромінюванням (група УФ).

Елемент пам'яті зі структурою МНОН являє собою МДН-транзистор з індукованим каналом p -типу (рис.12.10,а) або n -типу, що має двошаровий діелектрик під затвором. Верхній шар формують з нітриду кремнію, нижній – з окислу кремнію, причому нижній шар значно тонше верхнього.

Якщо до затвору відносно підкладки прикласти імпульс напруги позитивної полярності з амплітудою 30...40 В, то під дією сильного електричного поля між затвором і підкладкою електрони здобувають достатню енергію, щоб пройти тонкий діелектричний шар до межі розділу двох діелектриків. Верхній шар (нітриду кремнію) має значну товщину і електрони подолати його не можуть.

Накопичений на межі розділу двох діелектричних шарів заряд електронів знижує граничну напругу і зміщує передатну характеристику транзистора вліво (рис. 12.10,б). Цей стан ЗЕ відповідає логічній "1". Режим занесення заряду під затвор називають режимом програмування.

Логічному "0" відповідає стан транзистора без заряду електронів у діелектрику. Щоб забезпечити цей стан, на затвор подають імпульс напруги негативної полярності з амплітудою 30...40 В. При цьому електрони витісняються в підкладку. При відсутності заряду електронів під затвором передатна характе-

ристика зміщується в область високої граничної напруги. Режим витіснення заряду з підзатворного діелектрика називають режимом стирання.

Режим стирання і програмування можна здійснити за допомогою напруги однієї полярності: негативної для p -МНОН, позитивної для n -МНОН структур. Ця можливість заснована на використанні явища лавинної інжекції електронів під затвор, що відбувається, якщо до джерела і стоку прикласти імпульс негативної напруги 30...40 В, а затвор і підкладку з'єднати з корпусом. У результаті електричного пробую переходів джерело-підкладка і стік-підкладка відбувається лавинне розмноження електронів і інжекція деяких з них, які володіють достатньою кінетичною енергією, на границю між шарами діелектриків. Для стирання необхідно подати імпульс негативної напруги на затвор. У режимі зчитування на затвор подають напругу $U_{зч}$, значення якого лежить між двома граничними рівнями. Як що в ЗЕ записана "1", транзистор відкриється, а при "0" – залишиться в закритому стані. У залежності від цього, як видно з рис. 12.11, *г*, у розрядній шині або буде протікати струм на вихід, або ні. Підсилювач зчитування трансформує стан шини в рівень напруги "1" або "0" на виході мікросхеми.

Для поліпшення характеристик РПЗП широко застосовують технологію виготовлення ЗЕ на n -МНОН транзисторах. Такі ЗЕ аналогічні розглянутим, але мають провідність підкладки p -типу, а джерело і стік n -типу.

Варіант ЗЕ на структурі ЛІЗМОН з подвійним затвором (рис. 12.11, *в*) являє собою n -МОН транзистор, у якого в підзатворному однорідному діелектрику SiO_2 сформована ізольована провідна область з металу або полікристалічного кремнію. Цей затвор одержав назву "плаваючого".

У режимі програмування на керуючий затвор, джерело і стік подають імпульс напруги +21... 25 В. У зворотно зміщених p - n переходах виникає процес лавинного розмноження носіїв заряду і частина електронів інжектує на ПЗ. У результаті накопичення на ПЗ негативного заряду передатна характеристика транзистора зміщується в область високої граничної напруги (вправо), що від-

повідляє запису "0".

Стирання записаної інформації, тобто витиснення заряду з ПЗ, у структурах ЛІЗМОП здійснюють двома способами: у РПЗП-ЕС електричними сигналами, у РПЗП-УФ за допомогою УФ опромінення. У структурах зі стиранням електричними сигналами імпульсом позитивної напруги на керуючому затворі знімають заряд електронів із ПЗ, відновлюючи низьковольтний рівень граничної напруги, що відповідає "1".

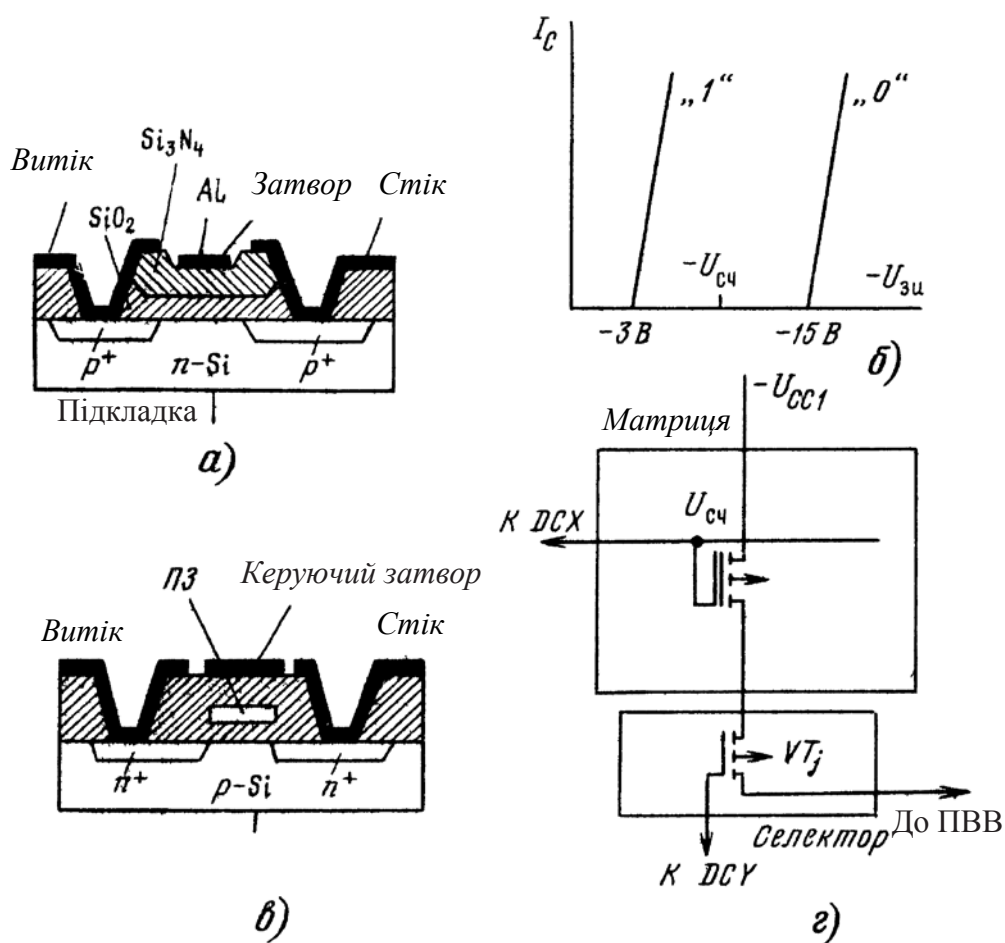


Рис. 12.11. Елементи пам'яті РПЗП типу МНОН (а) і його передатна характеристика (б), та елементи РПЗП типу ЛІЗМОП (в) і розташування ЗЕ в матриці мікросхеми

У структурах з УФ опроміненням електрони розсмоктуються з ПЗ у підкладку в результаті посилення теплового руху за рахунок отриманої енергії від джерела УФ випромінювання. Режим зчитування здійснюють так само, як у ЕП

на структурі МНОН. У режимі збереження забезпечують відсутність напруги на електродах ЗЕ для того, щоб виключити розсмоктування заряду в діелектричному середовищі. Теоретичними розрахунками доведена можливість збереження заряду сотні років. На практиці цей час обмежують для одних типів мікросхем декількома тисячами годин, для інших – декількома роками. Отже, мікросхеми РПЗП відносяться до групи енергонезалежних.

Принцип побудови і режим роботи РПЗП розглянемо на прикладі мікросхеми ємністю $2K \times 8$ з ЗЕ на p -МНОН транзисторах.

Структурна схема РПЗП (рис. 12.12) містить елементи, необхідні для роботи мікросхеми в якості ПЗП: матрицю з елементами пам'яті, дешифратори коду адреси рядків і стовпців, селектор (ключі вибору стовпців), пристрій вводу-виводу ПВВ. Крім того, у структурі передбачені функціональні вузли, що забезпечують її роботу в режимах стирання і програмування (запису інформації) – це комутатори режимів і формувачі імпульсів необхідної амплітуди і тривалості із напруги програмування U_{PR} . У порівнянні з мікросхемами ПЗПМ і ППЗП система керуючих сигналів доповнена сигналами програмування PR і стирання ER. Накопичувач з матричною організацією містить 128 рядків і 128 стовпців, на перетинаннях яких розташовані 16 384 елементів пам'яті. Управління накопичувачем здійснюють сьома старшими розрядами адресного коду, який після дешифрування вибирає рядок з 128 елементами пам'яті. Сигнали, зчитані з елементів обраного рядка, надходять на входи селектора, призначення якого складається у виборі з 128-розрядного коду на входах восьми розрядів, що далі надходять через ПВВ на виходи мікросхеми.

- Селектором керують чотири молодших розряди адресного коду, які після дешифрування забезпечують вибірку одного восьмирозрядного слова з 16 слів, що містяться в обраному рядку. Пристрій управління під впливом сигналів на своїх входах забезпечує роботу мікросхеми в одному з наступних режимів: збереження, зчитування, стирання, запису (програмування). Керуючі сигнали мають наступне призначення:

тю мікросхем даної групи є значне число циклів перепрограмування, що досягає для більшості мікросхем 10 тис. Ця їхня властивість у сполученні з енерго-незалежністю дозволяє широко використовувати їх в апаратурі в якості вбудованих ПЗП зі змінюваною інформацією.

В структурі і режимах роботи мікросхем РПЗП-УФ багато загального з мікросхемами групи ЕС. Виключення складає режим стирання, для реалізації якого необхідне джерело УФ випромінювання.

Подальший розвиток технології ПЛМ призвів до створення програмованих логічних інтегральних схем (ПЛІС). Реалізовані ними функції можна багаторазово змінювати, нерідко для цього навіть не потрібно витягати мікросхему з пристрою, в якому вона працює.

Кристал ПЛІС містить велике число однотипних логічних елементів. З'єднують елементи в потрібному порядку за допомогою перемичок – ключів на польових транзисторах. А в кожному логічному елементі є перемикачі (мультиплексори), програмуючи які, можна змінювати виконувані функції.

Майже всі зовнішні виводи ПЛІС універсальні. Любий з них може служити входом, або виходом. Деякі виводи мають додаткові функції, наприклад, служать для програмування конфігурації мікросхеми, що, однак, не виключає їхнього використання як звичайного входу або виходу.

За внутрішньою структурою і способу запам'ятовування конфігурації ПЛІС можна розділити на два види: FPGA (field programmable gate array – матриця вентилів, програмованих електричним полем) і CPLD (complex programmable logic device – складна програмована логічна матриця).

Мікросхеми FPGA, подібно ОЗП, зберігають задану конфігурацію тільки при включеному живленні і "забувають" її після вимикання. Щораз, включивши живлення, таку ПЛІС необхідно програмувати заново. Програму звичайно зберігають у встановленому на одній платі з ПЛІС завантажувальному ПЗП, що може бути послідовним однорозрядним або паралельним восьмирозрядним. Спосіб завантаження конфігурації задають логічними рівнями на керуючих

входах. Процедура перезапису виконується автоматично, після чого ПЛІС переходить у робочий режим.

Мікросхеми CPLD зберігають конфігурацію незалежно від наявності напруги живлення. У мікросхеми конфігурацію заносять за допомогою програматора, а стирають ультрафіолетовим випромінюванням. Такі ПЛІС встановлюють, як правило, у вже налагоджені пристрої. Для налагодження нових виробів вони незручні через тривалу (до години) процедуру очистки.

Мікросхеми, виконані за технологією FLASH, можна неодноразово програмувати, не вилучаючи з пристрою, в якому вони встановлені. Для цього в них передбачений спеціальний порт JTAG. Щоб записати вихідну конфігурацію або внести в неї зміни, виводи цього порту через кілька буферних мікросхем з'єднують кабелем з портом LPT персонального комп'ютера.

Порт JTAG корисний не тільки для програмування. Через нього комп'ютер може одержати інформацію про логічні рівні на усіх виводах ПЛІС і в контрольних точках всередині її. Можливість організувати такий порт передбачений і в ПЛІС структури FPGA останніх серій. Виводи мікросхеми, зайняті портом JTAG, можуть служити і звичайними входами/виходами.

11.5. Контрольні запитання

1. Для чого призначені ПЗП?
2. Як організовані схеми ПЗП і на яких ЗЕ вони виконуються?
3. Як можна задавати 0 і 1 у матричних ПЗП?
4. Як програмуються однократно програмовані ПЗП?
5. На яких елементах виконуються РПЗП?
6. Поясніть принцип роботи ЗЕ РПЗП.
7. Як здійснюється запис інформації в РПЗП?
8. Перелічіть цифрові схеми, що можуть бути віднесені до програмованих логічних пристроїв.

9. Назвіть основні складові частини ПЛІС.
10. Чим пояснюється функціональна гнучкість ПЛІС?
11. У чому призначення ОЗП?
12. Назвіть основні параметри ЗП
13. Що таке елементарна запам'ятовуюча комірка?
14. У чому полягає принцип побудови ІС ОЗП з одновимірною адресацією; із словарною адресацією?
15. Наведіть приклади енергонезалежних ЗЕ для побудови ОЗП
16. Наведіть структуру ІС динамічного ОЗП
17. У чому полягає особливість динамічних ОЗП?

13 ЗАСТОСУВАННЯ ЦИФРОВИХ ІНТЕГРАЛЬНИХ МІКРОСХЕМ

13.1 Завади та завадостійкість цифрових пристроїв

В міру удосконалювання пристроїв цифрової техніки вони одержують усе більше застосування для автоматизації управління всілякими об'єктами. При цьому в безпосередній близькості друг до друга виявляються електронні пристрої і потужні агрегати, такі як електродвигуни, електромагніти, електронагрівальні прилади, зварювальні машини й ін. У зв'язку з цим усе більшого значення набуває проблема зменшення шумів і забезпечення завадостійкості електронних пристроїв. Ця проблема зв'язана не тільки з ростом зовнішніх завад від розташованих поблизу агрегатів, але і із збільшенням внутрішніх завад – взаємного впливу елементів і блоків електронних пристроїв один на одного. Останнє особливо істотно в зв'язку з тенденцією підвищення швидкодії і мікромініатюризацією електронних схем.

Цифровий пристрій являє собою мережу з'єднаних між собою елементів. Електричне коло, що з'єднує вихід одного елемента (джерела сигналу) із входом іншого елемента (приймача сигналу), утворює контур, що служить свого

роду антеною, яка перетворить зміну електромагнітного поля в ЕРС і струм у контурі. Під дією цієї ЕРС на вході елемента-приймача виникає завада, що залежить від площі контуру, швидкості зміни електромагнітного поля, вихідного опору елемента-джерела і вхідного опору елемента-приймача. Завади, створювані електромагнітним полем, розглядають для досить віддалених джерел, якими звичайно є порівняно потужні агрегати. Крім них є також джерела завад, розташовані в безпосередній близькості від вхідних кіл елемента. Це сусідні провідники, що мають з розглянутим колом розподілений індуктивний і ємнісний зв'язок. Завади, обумовлені впливами через ці зв'язки при передачі сигналів по сусідніх колах, називають перехресними.

Елементи, що входять до складу цифрового пристрою, підключаються до спільних джерел живлення. При цьому створюються завади через спільний вихідний опір $R_{ж}$ джерела живлення й опір шин $R_{ш}$, що підводять живлення (рис. 13.1).

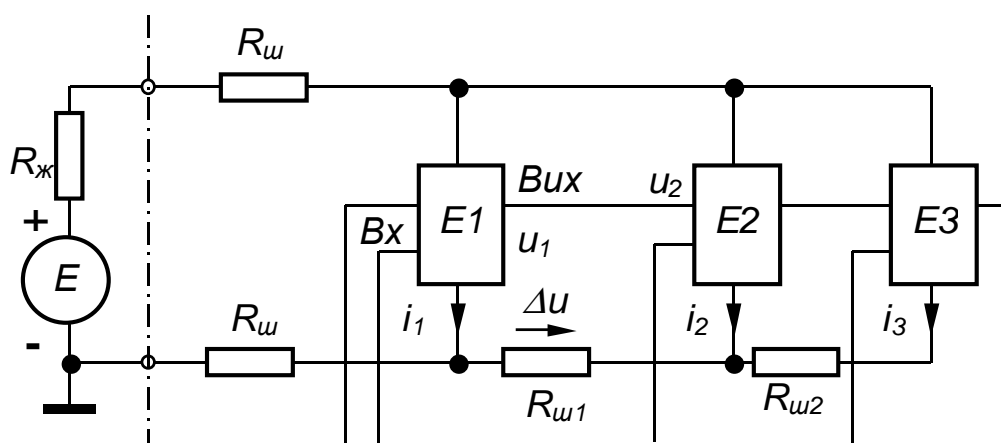


Рис. 13.1. Зв'язок елементів через спільне джерело живлення та шини підводу

Шини, що підводять живлення, мають розподілені параметри: ємність, індуктивність і опір. Для прикладу на рис. 13.2 наведена еквівалентна схема шини живлення елементів транзистор-транзисторної логіки (ТТЛ).

При цьому прийнято, що індуктивність провідника, який з'єднує виводи

живлення двох поруч розташованих мікросхем, становить 20 нГн , а ємність мікросхеми між виводом живлення і виводом "землі" дорівнює 30 пФ . Хвильовий опір такої системи шин із підключеними мікросхемами становить 36 Ом . На рис. 13.3 показана типова діаграма імпульсів завад в такій шині живлення. Спад напруги на спільних для всіх елементів опорах $R_{\text{ж}}$ і $R_{\text{ш}}$ (рис. 13.1) змінює напругу, яка підводиться до елементів. Ці збільшення напруги живлення з деяким послабленням передаються на вихід елемента і створюють заваду. Найбільші завади створюються опорами ділянок нульової (земляної) шини. Так, з рис. 13.1 видно, що спад напруги Δu на опорі $R_{\text{ш}}$ являє собою заваду, що діє в колі передачі сигналу з виходу елемента $E1$ на вхід елемента $E2$.

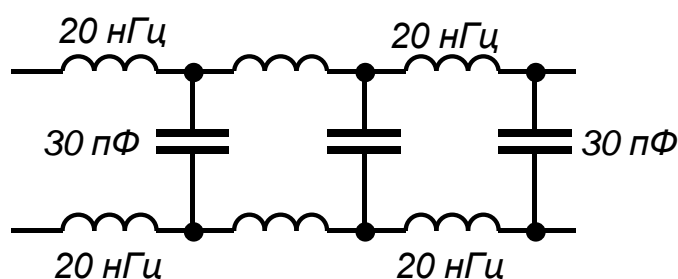


Рис. 13.2. Еквівалентна схема шини живлення логічних елементів

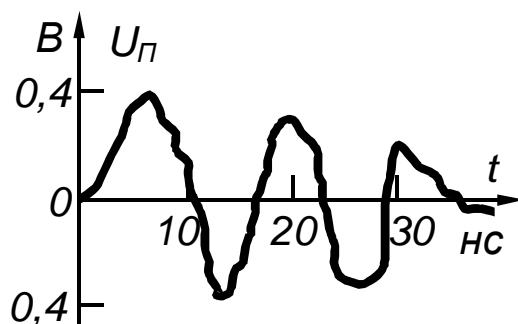


Рис. 13.3. Діаграма імпульсів завад в шинах

Завадостійкість логічного елемента є міра його здатності не реагувати на помилкові вхідні сигнали, викликані електромагнітними наведеннями на вхідний ланцюг, перехресними завадами і завадами в шинах живлення. Оскільки всі

типи логічних елементів утримують інерційні компоненти (транзистори, діоди, магнітні осердя), для переключення яких потрібно певна енергія вхідного сигналу, запас завадостійкості елемента для тривалих і короткочасних завад неоднаковий.

Підвищення завадостійкості пристроїв можна забезпечити, з одного боку, вибираючи елементи підвищеної завадостійкості, а з іншого боку – зменшуючи рівень завад на входах елементів за рахунок відповідних конструктивних і схемних заходів.

Завадостійкість елемента тим вище, чим більше вхідні напруги і струм, необхідні для його переключення, і чим більше час переключення. Узагальнюючи ці показники, можна розглядати енергію, необхідну для переключення. Зокрема, енергія переключення магнітних елементів з діодами на 2...3 порядки вище енергії переключення потенційних елементів інтегральних мікросхем. Однак при виборі елементної бази доводиться брати до уваги й інші фактори: швидкодію, вартість, рівень інтеграції, номенклатуру операційних елементів і функціональних блоків, технологічність виробництва апаратури. Для зменшення завад уживають наступних заходів: зменшення площі контуру кіл, екранування з'єднань, заземлення, гальванічну розв'язку кіл, фільтрацію, обмеження швидкості переключень струму в колах, розв'язку по живленню, екранування блоків і пристроїв.

Для зменшення завад, що виникають у цифрових логічних схемах, необхідно працювати із сигналами, що мають великі часи наростання і спаду, малу амплітуду, обмежити число сигналів, що одночасно переключаються, та застосовувати ефективні методи шунтування і заземлення. Для підвищення стійкості схем до зовнішніх завад варто застосовувати повільні схеми синхронізації з тригерами Шмітта на вході. Якщо система має довгі кабелі, бажано використовувати диференціальні передавальні і приймаючі пристрої, з'єднані симетричними лініями зв'язку, щоб знизити рівень створюваних і сприйманих завад.

Шунтувальні конденсатори – джерела імпульсного струму, споживаного

цифровими схемами при переключенні, зменшують спадання напруги в колах живлення та заземлення і сприяють фільтрації завад, які створюють джерела живлення і заземлення. На рис. 13.4, а показаний традиційний простий спосіб шунтування, застосовуваний у цифрових схемах. Оксидний шунтувальний конденсатор великої ємності (10...100 мкФ, 1мкФ на кожну схему) міститься поблизу джерела живлення. Поруч із кожною тригерною ІС знаходиться керамічний шунтувальний конденсатор ємністю 0,1 мкФ, а до швидкодіючих схем приєднуються також керамічні шунтувальні конденсатори малої ємності (100...1000 пФ). Кожна схема, що передає сигнали за межі друкованої плати, на якій вона знаходиться, або приймаюча сигнали через межі друкованої плати, має керамічний шунтувальні конденсатор ємністю 0,1 мкФ між джерелом живлення і лінією зворотного струму сигналу (рис. 13.5). На частку інших ІС доводяться керамічні шунтувальні конденсатори ємністю 0,01...0,1 мкФ, причому на 5 ІС доводиться принаймні один конденсатор. Недолік такого способу шунтування в тому, що шунтувальні конденсатори слабо фільтрують завад з частотою вище 10 МГц через низькі власні резонансні частоти.

Рис. 13.4,б ілюструє іншу схему шунтування. Конденсатори С1, С2 та феритове кільце утворюють П-подібний фільтр, що послабляє високочастотні завад в друкованій платі. До кожної схеми, що передає сигнали за межі друкованої плати або приймає сигнали, що надходять на плату ззовні, приєднується керамічний шунтувальний конденсатор ємністю 0,1 мкФ, який розташовується між джерелом живлення $U_{дж}$ і лінією зворотного струму (рис. 13.5). Всі інші ІС забезпечуються керамічними шунтувальними конденсаторами ємністю

$$C \geq 4,5nC_n (\Phi),$$

де n – число виходів ІС, C_n – ємність навантаження.

Поблизу джерела живлення міститься танталовий оксидний конденсатор для фільтрації низькочастотних завад. Ємність останнього повинна принаймні в

10 разів перевищувати ємність інших конденсаторів у колі, разом узятих.

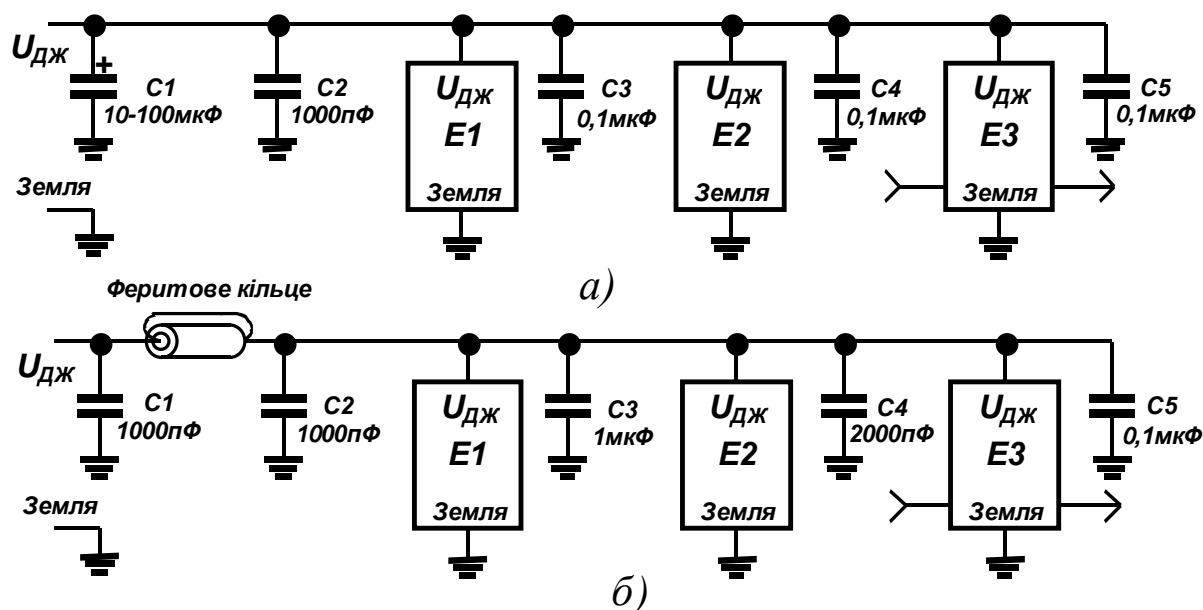


Рис. 13.4. Способи шунтування шин живлення цифрових мікросхем

Таке розташування компонентів забезпечує задовільне шунтування до частот 100 МГц і більше. Керамічні конденсатори повинні мати еквівалентну послідовну індуктивність менше 20 нГн і еквівалентний послідовний опір менше 0,5 Ом. З урахуванням індуктивності виводів танталові (або полікарбонатові) конденсатори повинні мати еквівалентні послідовні індуктивність і опір відповідно менше 30 нГн і 1 Ом. Імпеданс феритового кільця при тактовій частоті схеми не повинний перевищувати 10 Ом, а при частотах, що перевищують тактову частоту ІС у 5 разів, імпеданс повинний перевищувати 50 Ом на робочому струмі. Найкращі результати виходять, коли провідник двічі пропускається крізь феритове кільце. Якщо імпеданс одного феритового кільця занадто малий, можна застосовувати послідовно кілька кілець або більш товсте кільце. Якщо схема допускає додаткове спадання напруги, замість феритового кільця можна використовувати композиційний резистор опором близько 51 Ом.

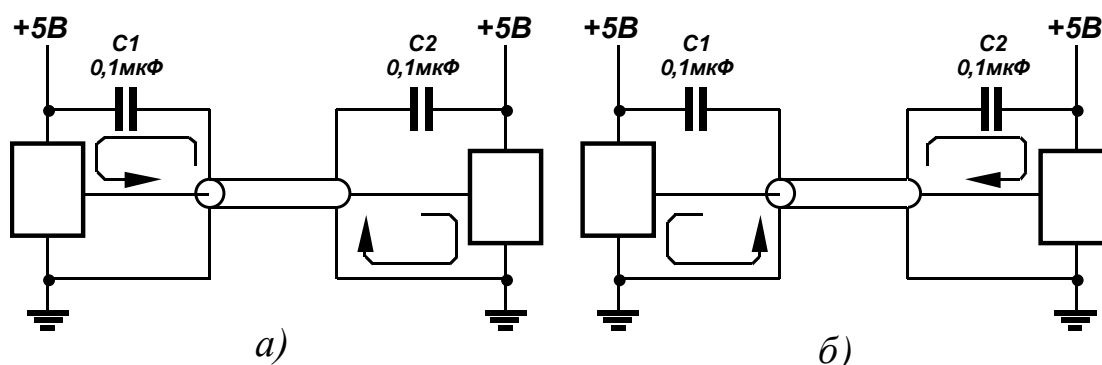


Рис. 13.5. Шунтування елементів, які передають та приймають сигнали за межі друкованої плати при переході від нижнього до верхнього логічного рівня (а) та при переході від верхнього до нижнього логічного рівня (б)

У діапазоні частот 30 МГц...1 ГГц синхронізаційні тактові сигнали і їхні гармоніки є основною причиною випромінюваних завад. Парні гармоніки можна різко зменшити, якщо використовувати сигнали синхронізації з 50% коефіцієнтом заповнення (коли тривалість сигналів синхронізації приблизно дорівнює відстані між ними). Варто спробувати зменшити число ІС, керованих кожним тактовим сигналом. Якщо тактові сигнали повинні надходити на кілька плат, як буфери бажано використовувати вхідні логічні елементи на тригерах Шмітта, а також обмежити розмах напруги і швидкість наростання (dU/dt) амплітуди основних сигналів синхронізації. Якщо сигнали синхронізації керуються перемикачами поза платою, потрібно уникати безпосереднього управління сигналами синхронізації від цих перемикачів. Замість цього бажано приєднати до перемикачів кола, які керують логічними елементами на платі, що у свою чергу будуть керувати тактовими сигналами. Зменшенню завад від тактових сигналів будуть сприяти також їх рознесення по фазі та децентралізація.

Проблему завад можна вирішити шляхом ретельної синхронізації системи. Для зменшення перехідних струмів, що виникають у джерелах живлення і пристроях заземлення, варто керувати невеликою групою мікросхем за допомогою рознесених тактових сигналів. Скороченню терміну часу, протягом якого система найбільш піддана впливу завад, сприяє застосуванню схем синхроніза-

ції вхідних сигналів, крім того бажано стробіювання даних.

Кожний вхідний сигнал, що надходить на плату, варто подавати тільки на одну ІС (бажано, із тригерами Шмітта на входах), це допоможе вирішити проблеми синхронізації. Вхідні ланцюги на тригерах Шмітта підвищують завадо-захищеність схем і полегшують обробку сигналів із повільним наростанням амплітуди. Якщо вхідний сигнал подається на стандартний логічний елемент, часи наростання і спаду варто підтримувати малими для запобігання паразитних коливань.

Особливу увагу вимагають сигнали, що виходять із плати. Виходи тригерів, лічильників і регістрів зсуву необхідно доповнювати логічними елементами буферу або підсилювачами – передавачами для рішення проблеми відображень і викидів від неузгоджених ліній зв'язку. Пропущення вихідних із плати провідників крізь феритове кільце дозволить підключати до виходу неузгоджені лінії зв'язку більшої довжини. Сигнали, що виходять із плати, не повинні надходити на вхід схем, що знаходяться на цій платі. Якщо зневажити цим правилом, то можна зштовхнутися з дуже серйозними проблемами завад, що виникають на вихідному передавачі.

Для запобігання відбиття та викидів довгі лінії зв'язку, повинні узгоджуватися відповідно до їхнього характеристичного імпедансу. У цьому випадку корисним може виявитися послідовно приєднаний резистор за умови, що всі приймаючі пристрої знаходяться на дальньому кінці лінії зв'язку (рис. 13.6, а). Резистор варто підібрати таким чином, щоб при переключенні сигналу в лінії зв'язку виникали лише незначні викиди. дільник на резисторах на дальньому кінці лінії зв'язку дозволить розмістити приймачі в будь-якій її місці (рис. 13.6,б). Щоб зменшити завад в довгій кабельній мережі, варто застосовувати передавальні і приймаючі пристрої що формують диференціальні сигнали які передаються по симетричних лініях зв'язку.

В односпрямованих лініях зв'язку необхідно підключати навантаження до дальніх кінців (рис. 13.7,а), а в двоспрямованих – до обох (рис. 13.5,6). У си-

метричних лініях зв'язку з належним чином погодженим навантаженням придушення завод може досягти 70 дБ (3000:1) у діапазоні частот 0...100 кГц.

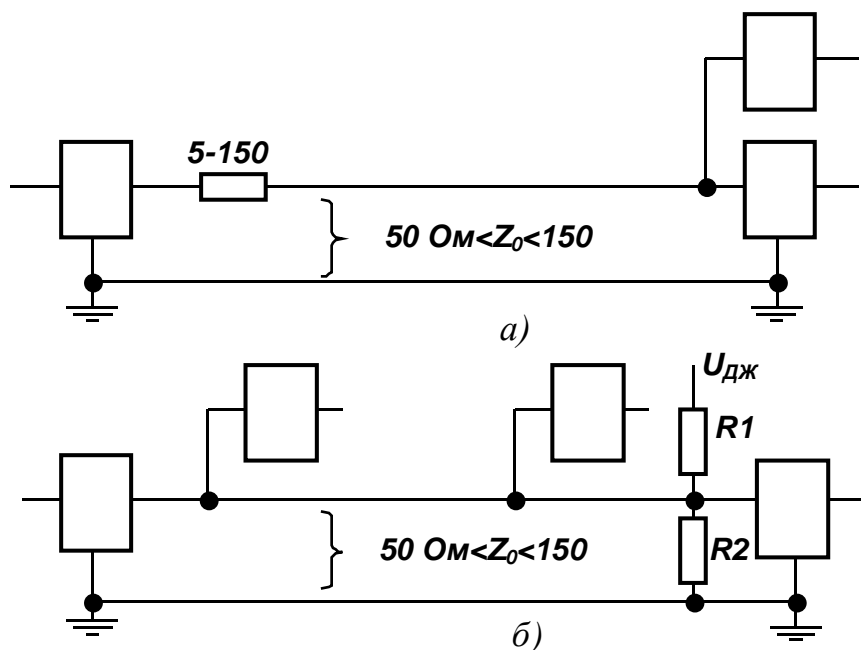


Рис. 13.6. Схеми узгодження довгих ліній зв'язку для зменшення відбиття

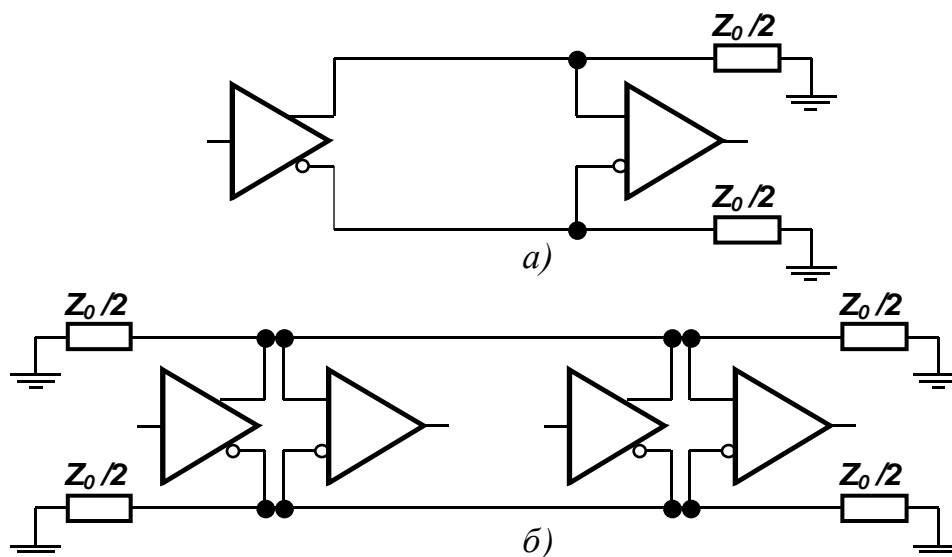


Рис. 13.7. Схеми підключення навантаження до симетричних ліній зв'язку односпрямованих а) та двоспрямованих (б)

Приєднання погодженого навантаження до кабелів, контактних площадок

друкованих плат та проводів зв'язків повинні здійснюватися завжди, коли час поширення сигналу перевищує половину часу наростання або спаду його амплітуди. Імпеданс узгодження плоских і коаксіальних кабелів, а також скручених пар становить 100 Ом ($75 \text{ Ом} \leq Z_0 \leq 120 \text{ Ом}$). Імпеданс узгодження контактних площадок друкованих плат повинний дорівнювати їхньому характеристичному імпедансу ($20 \text{ Ом} \leq Z_0 \leq 200 \text{ Ом}$).

Дільник на резисторах (рис. 13.8,а) може служити погодженим навантаженням і подавати напругу зсуву на лінію зв'язку без додаткових джерел живлення. Наприклад стандартні погоджені навантаження для ТТЛ-схем дорівнюють $R_1 = 330 \text{ Ом}$ і $R_2 = 220 \text{ Ом}$, при цьому з вихідного резистора R_2 знімається напруга +2 В ($U_{дж} = +5 \text{ В}$). При $R_1 = 150 \text{ Ом}$ і $R_2 = 470 \text{ Ом}$ з вихідного резистора знімають напругу +3,8 В, а при $R_1 = 120 \text{ Ом}$ і $R_2 = 470 \text{ Ом}$ – 4 В.

Більшість КМОН ІС мають навантажувальну здатність, недостатню для приєднання дільників на резисторах. До них можна підключати резистивно-ємнісний дільник, показаний на рис. 13.8,б, де $R_3 = 1 \text{ кОм}$, $R_4 = 330 \text{ Ом}$, $C_1 = 1000 \text{ пФ}$.

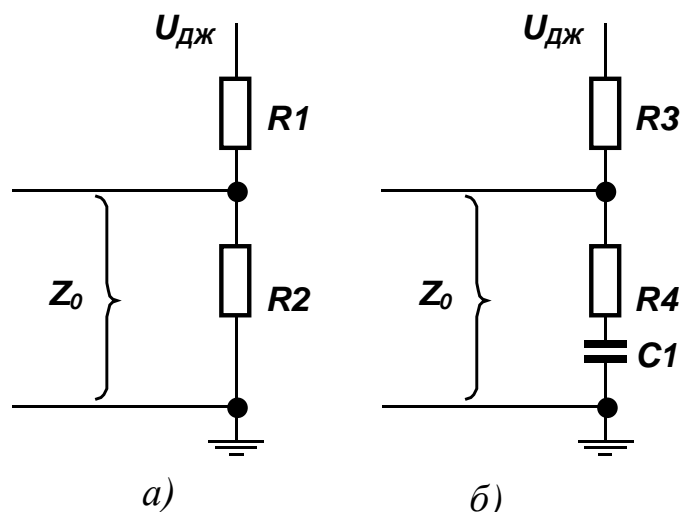


Рис. 13.8. Узгоджені навантаження для ліній зв'язку схем ТТЛ (а)
та КМОН (б)

Всі невикористані входи ІС повинні перебувати або під високим, або під низьким потенціалом. Деякі системи передбачають можливість відключення

невикористаних вузлів.

13.2 Рекомендації з монтажу інтегральних мікросхем

Однією з основних умов, що забезпечують надійну роботу електронної апаратури, сконструйованої із широким застосуванням цифрових інтегральних мікросхем, є дотримання правил по їх установці, пайці і монтажу.

Основними елементами конструкції вузлів і блоків електронної апаратури, що дозволяють найбільше повно реалізувати переваги ІС, є друковані плати. Друковані плати використовуються в масовому виробництві, а також для створення швидкодіючих і малогабаритних систем. З їхньою допомогою легко проводити збирання систем, вони компактні і мають гарні високочастотні характеристики. Їхні основні недоліки – тривалий час конструювання і труднощі, з якими доводиться зіштовхуватися при внесенні конструктивних змін.

Конструювання монтажних плат можна умовно розбити на вісім основних етапів:

- визначення розмірів і форми плати, а також положення з'єднувачів,
- визначення розташування ІС,
- розміщення на платі кіл землі і живлення,
- розміщення дискретних компонентів,
- визначення топології кіл землі і живлення,
- розкладка кіл синхронізації,
- розкладка інших сигнальних кіл,
- остаточне доведення проекту.

Розмір і форму друкованих плат, а також положення з'єднувачів можна визначити виходячи з фізичного проекту виробу.

При розробці конструкцій друкованих плат приймається ряд принципових рішень, пов'язаних із вибором таких параметрів, як число позицій m для ус-

тановки ІС, крок установки ІС у горизонтальному і вертикальному напрямках h_x , h_y , число зовнішніх виводів q , число прошарків для реалізації з'єднань s . Вибір цих параметрів пов'язаний з урахуванням економічних, технологічних, схематичних, технічних чинників і здійснюється на основі дослідних даних. При цьому порушення оптимальних співвідношень між параметрами істотно ускладнює процес конструювання і збільшує вартість розробки апаратури.

Необхідне число зовнішніх виводів можна оцінити по формулі $q = cn$, де c – середнє число виводів ІС; n – число ІС на платі; $r = 0,57 \dots 0,75$. Найбільше значення r відповідає операційним пристроям паралельного типу, найменше – комбінаційним логічним схемам.

Кроки установки ІС у горизонтальному і вертикальному напрямках, що виражаються числом кроків між друкованими провідниками, можна знайти з формули

$$h_x = b + \frac{n_y c}{4},$$

$$h_y = a + \frac{n_x c}{4},$$

де n_x – число ІС у ряду; n_y – число ІС у стовпчику; c – середнє число виводів у ІС; a , b – розміри модуля уздовж вертикальної і горизонтальної осей плати, що виражаються числом кроків між друкованими провідниками.

Питома площа плати (на один модуль)

$$s_1 = h_x h_y = ab + c(bn_x + an_y)/4 + (cn_x n_y)/16.$$

З збільшенням числа модулів $n_x n_y$ питома площа s_1 , збільшується. При заданому числі елементів площа плати буде мінімальна, якщо $n_x = an_y/b$. При цих умовах конфігурація плати наближається до квадрату. Крім того, така форма сприяє зменшенню довжини провідників та полегшує її конструювання і виготовлення.

Максимальний розмір сторони друкованої плати, як одношарової; так і багатошарової, не повинен перевищувати 500 мм. Це обмеження обумовлюється вимогами міцності і щільністю монтажу: чим більше плата, тим менше щільність монтажу. На практиці звичайно друковані плати із стороною до 100 товщин матеріалу діелектрика виготовляють без додаткових деталей, що підвищують її жорсткість. Для плат з більшими розмірами передбачають спеціальні заходи підвищення жорсткості (додаткові точки кріплення в пристрої, уведення ребер жорсткості і т.д.). Співвідношення розмірів сторін друкованої плати для спрощення компоновання блоків і уніфікації розмірів друкованих плат рекомендуються 1:1, 2:1, 3:1, 4:1, 3:2, 5:2 і т. д. Наведені оцінки можуть служити вихідною базою для вибору основних параметрів плати.

На другому етапі необхідно вирішити, де розмістити ІС. Від правильного розташування корпусів мікросхем на друкованих платах залежать такі параметри приладу, як габарити, маса, надійність роботи. Ніж щільніше будуть розташовуватися корпусу мікросхем на площині друкованих плат, тим складніше автоматизувати їхній монтаж, тим більше жорстким буде температурний режим їхньої роботи, тим більший рівень завад буде наводитися в сигнальних зв'язках. І навпаки, чим більше відстань між мікросхемами, тим менш ефективно використовується фізичний об'єм, тим більше довжина зв'язків. Тому при установці мікросхем на друковані плати варто враховувати всі наслідки вибору того або іншого варіанта їхнього розміщення.

Вибір кроку установки мікросхем на друкованій платі обумовлюється необхідною щільністю компоновання мікросхем в апаратурі, температурним режимом роботи, методом розробки топології друкованих плат (ручний, машинний), складністю принципової електричної схеми і конструктивних параметрів корпусу мікросхеми. Незалежно від типу корпусу крок установки мікросхем рекомендується приймати кратним 2,5 мм. При цьому зазори між корпусами не повинні бути менше 1,5 мм. У технічно обґрунтованих випадках крок установки мікросхем може бути прийнятий кратним 1,25 мм.

Необхідно дотримуватись лінійно-багаторядного розташування ІС на друкованих платах. Однак допускається їхнє розміщення в шаховому порядку. Таке розташування корпусів мікросхем дозволяє автоматизувати процеси зборки і контролю, з більшою ефективністю використовувати корисну площу друкованої плати і прямокутну систему координат для визначення місця розташування корпусів.

Мікросхеми зі штировими виводами в корпусах повинні встановлюватися тільки з однієї сторони друкованої плати. Це пояснюється тим, що монтаж штирових виводів, як правило, роблять у наскрізні металізовані отвори, причому кінці виводів виступають на зворотній стороні плати. Установку мікросхем у корпусах з штировими виводами на друковану плату роблять із зазором 1,0–2,0 мм або з електроізоляційною прокладкою товщиною 1,0–1,5 мм, попередньо приклеюючи їх до поверхні друкованої плати. Прокладку варто розміщати під усією площею основи корпусу або між виводами на площі не менш $2/3$ основи, при цьому вона повинна виключати можливість торкання виступаючих виводів. Зазор між корпусом ІС і платою повинен бути не більш 1,5 мм; зазор між корпусами ІС повинен бути не менш 1,6 мм; виступаючі частини виводів повинні знаходитись над поверхнею плати в межах 0,5...1 мм (якщо в ТУ не обговорене інше). Рекомендується шаг установки мікросхеми по вузькій стороні корпусу 10 мм, по широкій стороні – 25 мм (рис. 13.11).

При установці ІС на друковані плати, часто виникає необхідність формовки виводів. Вимоги, пред'явлені до формовки обумовлюються в технічній документації. Для мікросхем зі штировими виводами формування, як правило, повинно вироблятися з радіусом вигину не менш $2d$ (d – діаметр виводу) і відстанню від корпусу мікросхеми до центра окружності вигину не менш 1 мм (якщо в ТУ не обговорене інше). Штирові виводи утримують корпус мікросхеми досить міцно і витримують практично будь-які механічні впливи.

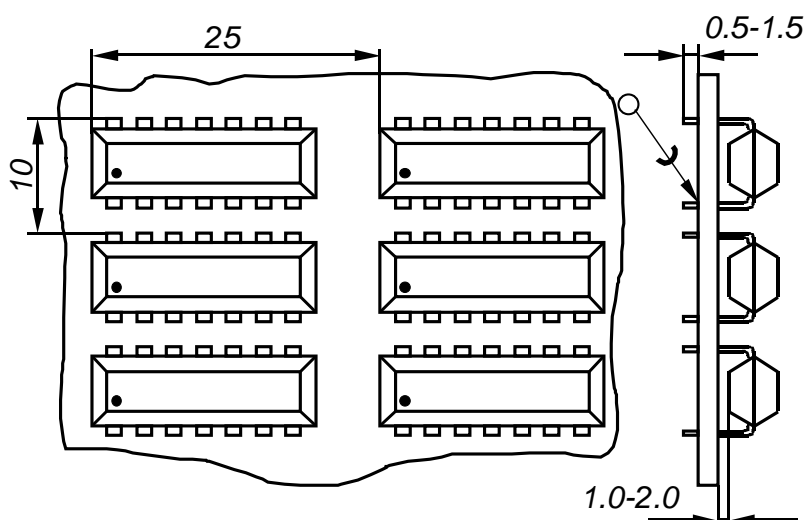


Рис. 13.11. Схема установки мікросхем із штировими виводами на друковану плату

Мікросхеми з планарними виводами також рекомендується встановлювати з однієї сторони друкованої плати, лише в технічно обґрунтованих випадках допускається їх установлювати по обидва боки плати. Існує три варіанти установки корпусів мікросхем у корпусах із площинними виводами на друковані плати (рис. 13.12,а-в): без зазору (формування по рис. 13.12,г), із зазором і на прокладку (формування по рис. 13.12,д).

При монтажі без зазору корпус мікросхеми встановлюють на друковану плату, виводи орієнтують щодо контактних площадок і припаюють. Корпус утримується на виводах або ж його приклеюють до поверхні плати нітроклеєм або епоксидним клеєм. У деяких випадках допускається установка ІС уприутул на платі або з зазором не більш 0,7 мм (якщо в ТУ не обговорене інше).

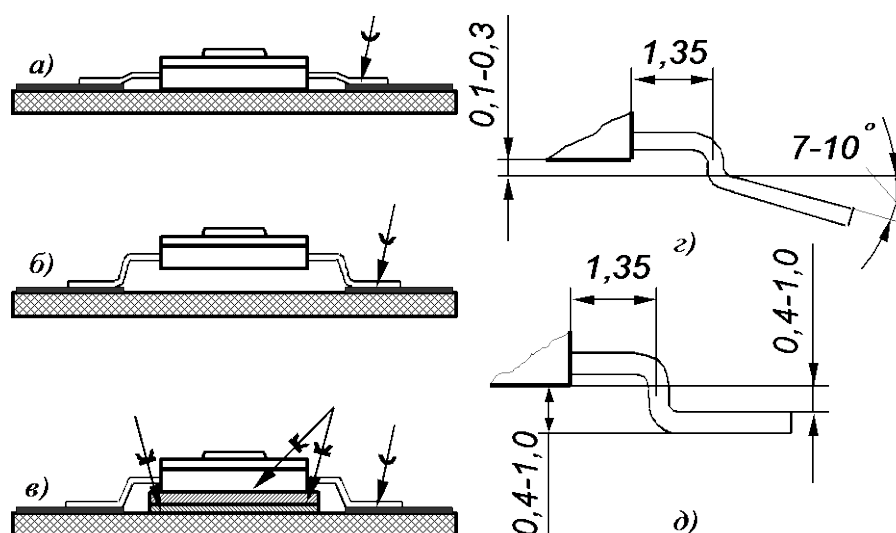


Рис. 13.13. Схема установки на друковану плату корпусів мікросхем з площинними выводами без зазору (а), з зазором (б), з прокладкою (в); з формовка выводів для установки без зазору (г) та формовкою выводів для установки з зазором

При установці мікросхем із зазором корпус утримується на платі винятково на припаяних выводах. При установці на прокладку використовують ізоляційні або металеві матеріали. Як ізоляційна прокладка можуть бути використані смужки тонкого (до 0,3 мм) склотекстоліту або перфорована плівка з вікнами під виводи мікросхем. Прокладку приклеюють до поверхні друкованої плати, а на неї, у свою чергу, приклеюють корпусу мікросхем. Металева прокладка виконує подвійну роль: служить у якості відводу тепла й екрану. Щоб уникнути виникнення коротких замикань між друкованими провідниками на платі металеву прокладку ізолюють від поверхні плати спеціальною плівкою.

На рис. 13.13 представлені варіанти установки мікросхем у корпусах із площинними выводами. Крок установки по вузькій стороні корпусу 17,5 мм, по широкій – 15 мм.

Площинні виводи утримують корпус мікросхеми тільки за рахунок сил адгезії металізованих контактних площадок з матеріалом плати. Так як ці сили порівняно невеликі, а маса корпусу може виявитися істотною при великих пе-

ревантаженнях, то для пристроїв, підданих підвищеному впливу ударів і вібрації, необхідно передбачати додаткові заходи кріплення корпусів із площинними виводами.

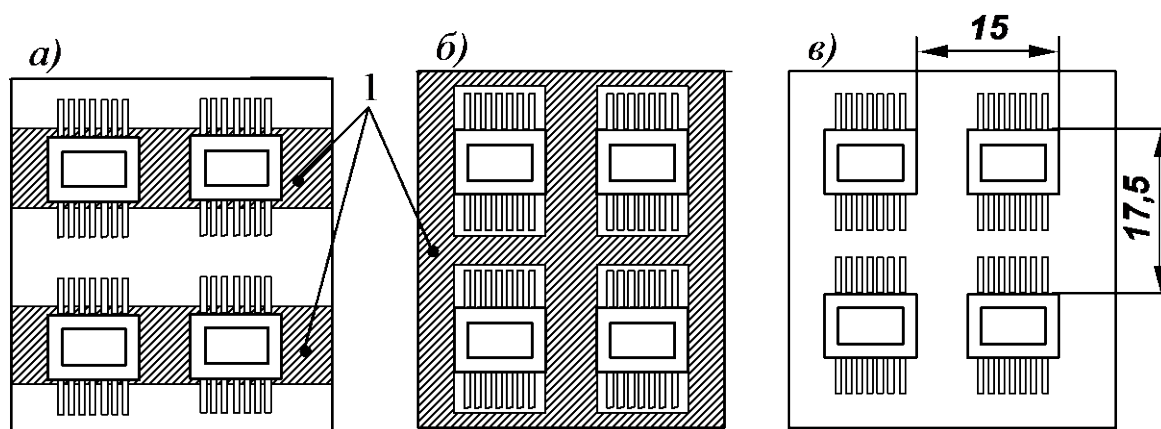


Рис. 13.13. Варіанти установки мікросхем у корпусах із площинними виводами на полозкових прокладках (а), на прокладки з вікнами (б) та без прокладки (в)

Варто врахувати і кращу орієнтацію ІС і інших великих компонентів. Так, на двосторонніх платах ІС необхідно розташовувати паралельно з'єднувачам (рис. 13.14,а), а у випадку багатoshарових плат, паралельно більшій осі плати (рис. 13.14,б).

Установка та кріплення мікросхем на друкованих платах повинні забезпечувати їхню нормальну роботу в умовах експлуатації апаратури. Мікросхеми повинні бути віддалені від елементів, які при роботі виділяють велику кількість тепла. Їх неприпустимо розташовувати в магнітних полях постійних магнітів, трансформаторів і дроселів.

Зв'язані між собою схеми встановлюють поруч, однак при цьому необхідно стежити, щоб чутливі схеми розташовувалися якнайдалі від схем, у яких велика імовірність виникнення завад. Швидкодіючі логічні схеми (кола синхронізації, зовнішні логічні кола) примикають до основного з'єднувача, схеми інтерфейсу до з'єднувачу інтерфейсу, а аналогові схеми ізольовані від цифрових (рис. 13.15). Матриці запам'ятовуючих пристроїв повинні бути поділені навпіл,

а в проміжку між ними варто розмістити схеми обрамлення.

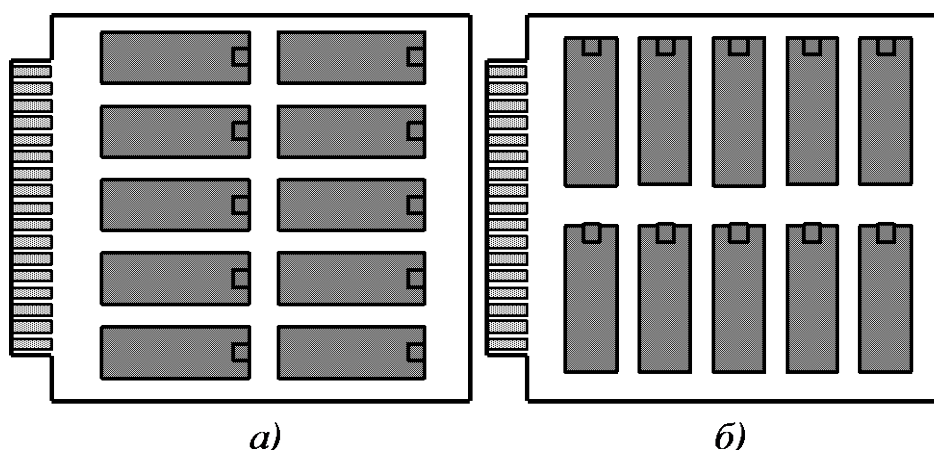


Рис. 13.14. Переважна орієнтація ІС на двосторонніх друкованих платах (а) та багат шарових друкованих платах (б)

Для правильної орієнтації ІС на друкованій платі повинні бути передбачені "ключі", що визначають положення першого виводу кожної мікросхеми (рис. 13.16).

Мікросхеми з відстанню між выводами, кратній 2,5 мм, повинні розташовуватись на друкованій платі таким чином, щоб їхні виводи збігалися з вузлами координатної сітки (рис. 13.16), якщо відстань між выводами мікросхем не кратна 2,5 мм, вони повинні розташовуватись так, щоб один чи кілька выводів мікросхеми збігалися з вузлами координатної сітки. На третьому етапі варто продумати схему живлення і кіл заземлення. Є наступні можливості:

- використовувати площинні лінії передачі,
- використовувати паралельні шини,
- використовувати площини заземлення (рис. 13.17).

Копланарні лінії добре зарекомендували себе в двосторонніх друкованих платах. Паралельні шини сприяють зменшенню завад, однак вони повинні мати спеціальну форму. Шини можна розташувати під ІС або паралельно їм. Вони здатні витримувати струм 2,5...15 А, мають розподілену ємність що не перевищує (0,001...2 мкФ/м) і індуктивність (14...35 нГн/м), а імпеданс між шиною джерела живлення та землею складає 0,15...5 Ом. Для зменшення завад на ши-

нах заземлення контактні площадки схем заземлення повинні бути великими і розташовуватися перпендикулярно шинам.

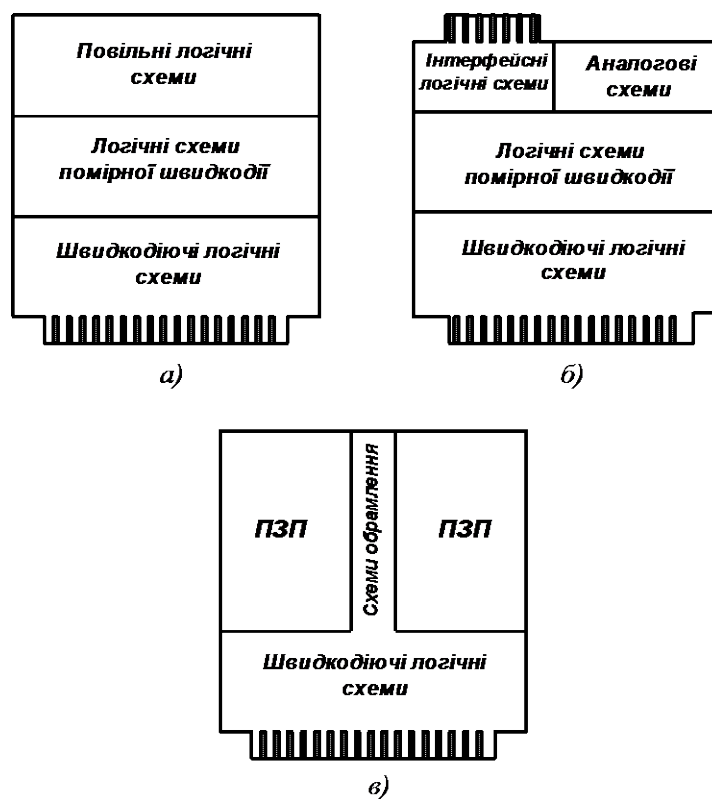


Рис. 13.15. Розміщення компонентів на процесорній платі (а), платі інтерфейсу (б) та платі ПЗП (в)

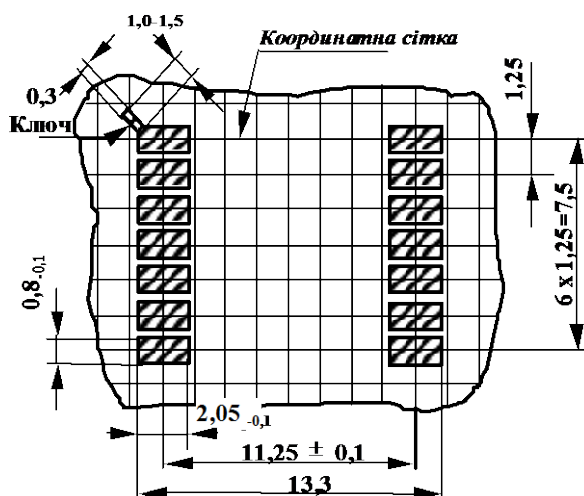


Рис. 13.16. Розмітка посадкових місць для ІС з площинними виводами

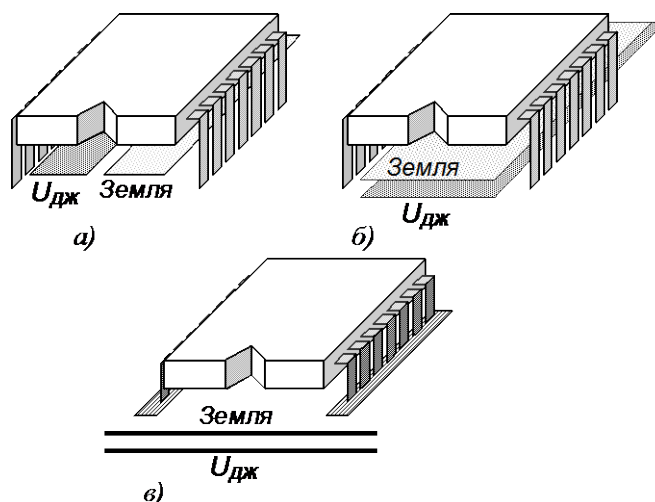


Рис. 13.17. Розміщення шин живлення та заземлення копланарні лінії (а), паралельне розташування шин (б) та площина заземлення (в)

У багатошарових друкованих платах можна використовувати суцільні шари заземлення і шари живлення; можна також розподілити шари живлення між декількома джерелами. Для більш надійного захисту від завад верхні і нижні шари плати повинні бути шарами заземлення або живлення, а сигнальні шари варто поміщати в середині. Шар живлення над шаром заземлення, має розподілену ємність $0,1 \dots 10 \text{ мкФ/м}^2$ і малу індуктивність. У платах типу Multi-wire використовуються тільки шари земля та живлення, а як сигнальні лінії застосовується тонкий провід в ізоляції.

З метою розвантаження друкованого монтажу і зменшення числа шарів плати, живлення до мікросхем можна підводити за допомогою навісних шин. Число шин може дорівнювати числу номіналів джерел живлення. Застосовують два способи установки таких шин – перпендикулярно і паралельно площині плати.

На рис. 13.18, а схематично представлений приклад установки навісної шини живлення 1, перпендикулярної площині плати. Живлення 2 до ІС підво-

диться короткими друкованими провідниками, що відходять від відводів навісної шини, запаяних у металізовані отвори плати. Шина зв'язана відводом з контактом рознімання, до якого підводиться живлення.

На рис. 13.18, б схематично представлена конструкція, у якій навісна шина живлення 1 паралельна площині плати. Подача живлення 2 до ІС здійснюється індивідуальними відводами. Для кріплення шини необхідно передбачати спеціальні стійки.

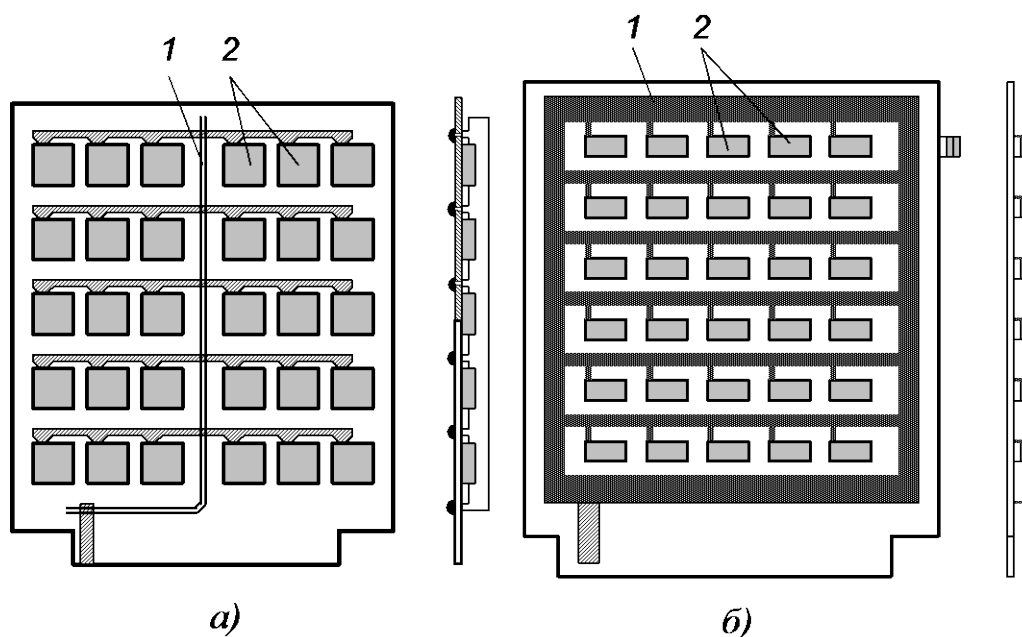


Рис. 13.18. Приклади схеми установки шини живлення (заземлення) перпендикулярно площині плати (а) та паралельно площині плати (б)

Четвертий етап полягає в розміщенні компонентів у кожній схемі. Якщо компонент належить відразу до декількох схем, то його встановлюють поблизу спільної межі. Об'ємні конденсатори і феритові кільці варто помістити якнайближче до виводів живлення і заземлення з'єднувачів. Шунтувальні конденсатори, розв'язуючі ланцюги, а також кола зменшення дугового розряду та викидів напруги повинні знаходитися на мінімальному видаленні (не більше 37 мм) від компонентів, що мають потребу у відповідному захисті. Шунтувальні конденсатори монтується безпосередньо під ІС, що рятує від необхідності змінювати топологію плати.

П'ятий етап-вибір розташування контактів силових ліній та ліній заземлення. Треба звернути увагу на топологію плат, до недоліків якої відносяться протяжні контури протікання струму, висока паразитна індуктивність між силовими лініями та лініями заземлення. На цьому етапі найшов поширення метод зменшення спільних ділянок протікання струмів елементів по шинях живлення. Цей метод полягає в установці додаткових перемичок у шинях живлення і "земля", які зменшують довжину спільних ділянок протікання струмів елементів. На рис. 13.19 наведені три варіанти з'єднання елементів шиною живлення і "земля".

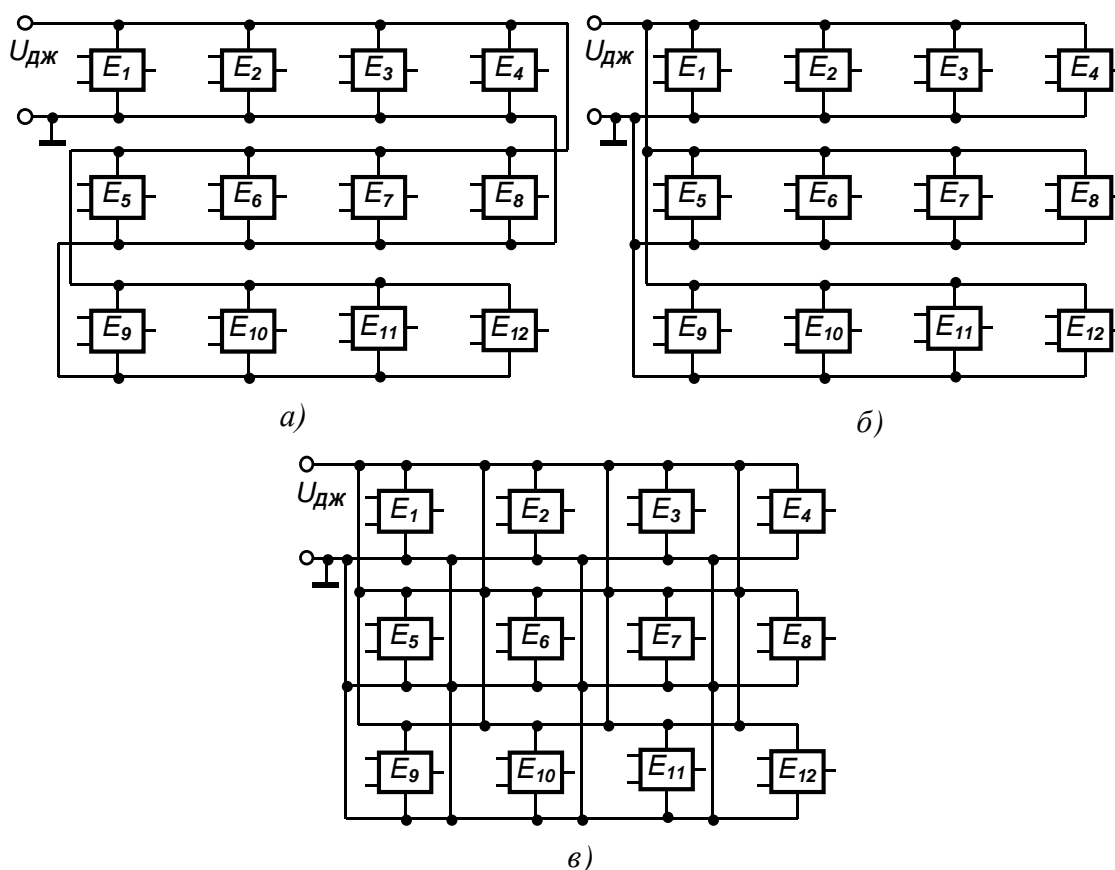


Рис. 13.19. Схеми зменшення спільних ділянок протікання струмів елементів по шинях живлення

У першому варіанті (рис. 13.19,а) переключення елемента, наприклад E_{12} (зміна струму споживання схеми), приводить до виникнення паразитного наведення в інших одинадцяти елементах по шині живлення і "земля". В другому

варіанті (рис. 13.19,б) ця завада в гіршому випадку впливає тільки на чотири елементи, а в третьому варіанті (рис. 13.19,в) завада ще більш зменшується за рахунок уведення додаткових перемичок. Рівень завад у платах з такою топологією ліній живлення і ліній заземлення близький до того, що спостерігається в дорогих багат шарових платах.

Шостий етап – монтаж синхронізуючих кіл таким чином, щоб вони знаходилися поблизу цифрової землі та подальше від чутливих схем. Добре зарекомендував себе метод, при якому формується пара кіл із прямого і зворотного проводів сигналу синхронізації. Зворотні проводи сигналів синхронізації варто з'єднати з цифровою землею поблизу кожної ІС, яка передає чи сприймає синхронізуючі імпульси. У випадку багат шарових плат розміщати ці кола необхідно після розміщення шарів живлення і землі. Кола синхронізації повинні бути дуже короткими, оскільки синхронізуючі імпульси та їхні гармоніки створюють сильне випромінювання. Один контур площею більш $0,001 \text{ м}^2$ може створювати електромагнітне поле, що набагато перевищує припустимі межі.

Далі звичайним шляхом розташовують інші кола сигнальних ліній. Якщо є матриця кристалів ПЗП, адресну шину варто розташовувати в одному напрямку, а шини даних в іншому. Коло до самого молодшого розряду адреси повинно знаходитися безпосередньо після контакту заземлення. Необхідно прагнути до того, щоб ширина кіл була не більше $1/150$ їхньої довжини, і не допускати зигзагоподібних трактів (рис. 13.20,а). Якщо округлити вершини кутів, обмежити вигини кутом у 45° чи використовувати плавні криві (рис. 13.20,б-г), то це дозволить підтримувати імпеданс постійним при частотах від нуля до декількох гігагерць.

На останньому етапі необхідно вирішити:

- наскільки можливо розширити кола ліній живлення та ліній заземлення;
- якщо є вільне місце на платі, заповнити його та з'єднати між собою заземлення цифрових схем;

- заповнити вільні ділянки поверхні мідною фольгою та заземлити їх за допомогою кіл або наскрізних отворів.

При цьому утвориться протяжна сітка заземлення, що сприяє зменшенню токових контурів, імпедансу кіл заземлення і завад, що утворюються за рахунок паразитного зв'язку між джерелом і землею та між провідниками заземлення.

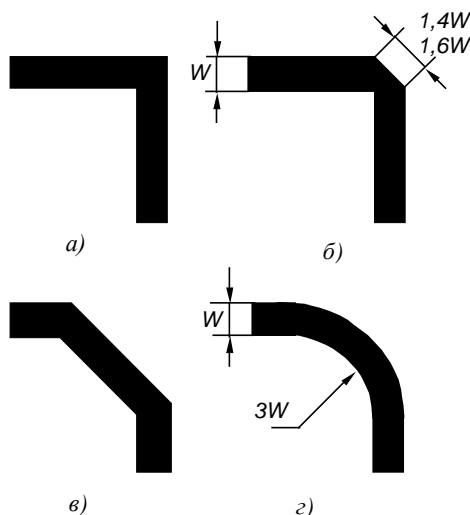


Рис. 13.20. Різновиди вигину контактних площадок на друкованих платах: не прийняттого (а) та прийняттого (б-г)

При необхідності переналадження рекомендується критично проаналізувати наявний варіант пристрою для виявлення можливостей удосконалення. Вимірюється рівень завад земля-земля між ІС та завад живлення-земля поблизу кожної ІС. Перевіряється за допомогою осцилографа, чи не виникають перехідні процеси у виді загасаючих коливань у схемах синхронізації й інших критичних схем.

Занадто великі часи наростання фронтів, перевищення рівня завад живлення-земля та загасаючі коливання на передніх фронтах імпульсів свідчать про неприпустимо малі ємності шунтувальних конденсаторів. Амплітуда завад земля-земля більше 150...300 мВ свідчить про велику паразитну індуктивність схеми заземлення. Наявність паразитних загасаючих коливань на спадаючому фронті сигналів означає підвищену паразитну індуктивність живлення-земля.

Мікросхеми з'єднують з іншими елементами вузлів і блоків електронної

апаратури, як правило, шляхом пайки виводів, тому особлива увага повинна бути звернена на якість монтажу. У серійному виробництві часто використовують групову пайку і пайку "хвилею". У лабораторних умовах і при заміні мікросхем в експлуатації здійснюють пайку одножильним паяльником.

При розпаюванні площинних виводів ІС одножильним паяльником повинні дотримуватися наступні вимоги (якщо в ТУ не обговорено інше): температура жала паяльника повинна бути не більш 265 °С, час торкання до кожного виводу не більш 3 с, інтервал між пайками сусідніх виводів 3...10 с (у залежності від типу корпусу ІС), відстань від корпусу до місця пайки по довжині виводу повинна бути не менш 1 мм.

Для мікросхем зі штировими виводами температура жала паяльника не повинна бути більш 280 °С.

13.3. Контрольні запитання

1. Поясніть причини виникнення завад у цифрових пристроях
2. Яким чином можливо підвищити завадостійкість цифрових пристроїв?
3. Які види шунтування використовуються в цифрових схемах?
4. Наведіть схеми узгодження довгих ліній зв'язку для зменшення відбитків
5. Назвіть етапи конструювання монтажних плат
6. Наведіть рекомендації з монтажу ІС із штировими виводами
7. Наведіть рекомендації з монтажу ІС із планарними виводами
8. Наведіть варіанти розташування шин живлення та заземлення
9. Поясніть схеми зменшення спільних ділянок протікання струмів елементів по шинах живлення та порівняйте їх ефективність

СПИСОК РЕКОМЕНДОВАНОЇ ЛІТЕРАТУРИ

1. Цифрова схемотехніка електронних систем. Підручник / В.І., Бойко, В.Я. Жуйков, А.А. Зорі, В.В. Багрій, В.М. Співак, Т.О. Терещенко. 3-те вид. допов. і переробл.– К.: Вища школа, 2010. – 426 с. (гриф надано МОН України – протокол № 1.4/18-Г-414 від 14.02.2008 р.). ISBN 966-642-193-3.
2. Макаренко В.В. Моделирование радиоэлектронных устройств с помощью программы NI Multisim / Электронный журнал "Радиоежегодник" – Выпуск: апрель, 2013 (23), с.141-267 – <http://www.rlocman.ru>.
3. Угрюмов Е.П. Цифровая схемотехника: Учеб. пособие для вузов. – 2-е изд., перераб. и доп. – СПб.: БХВ-Петербург, 2005. – 800 с.: ил.
4. Гольденберг Л.М. Импульсные и цифровые устройства. – М.: Связь, 1973. – 496с.
5. Рябенский В.М., Жуйков В.Я., Гулий В.Д. Цифрова схемотехніка: Навч. посібник. – Львів: "Новий світ-2000", 2009. – 736 с.
6. Пухальский Г.И., Новосельцева Т.Я. Цифровые устройства: Учебное пособие для втузов. – СПб.: Политехника, 1996. 885 с.: ил.
7. Проектирование радиоэлектронных устройств на интегральных микросхемах / Под ред. проф. С.Я. Шаца. – М.: Сов.радио, 1976. – 310 с.
8. Зельдин Е.А. Импульсные устройства на микросхемах. М.: Радио и связь, 1991 г. – 160 с.
9. Зельдин Е.А. Цифровые интегральные микросхемы в информационно-измерительной аппаратуре. – Л.: Энергоатомиздат, 1986 г. – 276 с.
10. Программируемые логические ИМС на КМОП-структурах и их применение / П.П. Мальцев, Н.И. Гарбузов, А.П. Шарапов и др. – М.: Энергоатомиздат, 1998. – 158 с.
11. Лебедев О.Н. Применение микросхем памяти в электронных устройствах: Справ. пособ. – М.: Радио и связь, 1994. – 216 с.
12. Аналоговые и цифровые интегральные микросхемы / Под ред. С.В. Якубовского. – М.: Радио и связь, 1985 – 432 с.

Навчальне електронне видання
Навчальний посібник

Цифрова та імпульсна схемотехніка.
Моделювання та аналіз

МАКАРЕНКО Володимир Васильович,
СПИВАК Віктор Михайлович

Технічний редактор Наталя Перінська

НТУУ КПІ
2015

