

NI Multisim

В. МАКАРЕНКО, В. СПІВАК

ЦИФРОВА СХЕМОТЕХНІКА МОДЕЛЮВАННЯ ТА АНАЛІЗ

НАВЧАЛЬНИЙ ПОСІБНИК



МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ
"КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ
імені ІГОРЯ СІКОРСЬКОГО"

**ЦИФРОВА СХЕМОТЕХНІКА
МОДЕЛЮВАННЯ ТА АНАЛІЗ**

*Рекомендовано Методичною радою КПІ ім. Ігоря Сікорського
як навчальний посібник для здобувачів ступеня бакалавра
за освітньою програмою "Електронні системи мультимедіа
та засоби Інтернету речей" спеціальності 171 "Електроніка"*

Київ
КПІ ім. Ігоря Сікорського
2021

Цифрова схемотехніка. Моделювання та аналіз. Видання друге, виправлене та доповнене. [Електронний ресурс]: навч. посіб. для студ. спеціальності 171 "Електроніка" / КПІ ім. Ігоря Сікорського; уклад.: В.В. Макаренко, В.М. Співак. – Електронні текстові данні (1 файл: 16,3 Мбайт). – Київ: КПІ ім. Ігоря Сікорського, 2021. – 490 с.

Гриф надано Методичною радою КПІ ім. Ігоря Сікорського (протокол №2 від 9.12.2021 р.) за поданням Вченої ради факультету електроніки(протокол № 09/21 від 27.09.2021 р.)

Електронне мережне навчальне видання

ЦИФРОВА СХЕМОТЕХНІКА МОДЕЛЮВАННЯ ТА АНАЛІЗ

Укладачі: *Макаренко Володимир Васильович*, канд. техн. наук, доцент,
Співак Віктор Михайлович, канд. техн. наук, доцент.

Відповідальний

редактор

Трапезон К.О., к.т.н., доц.

Рецензент:

Терещенко Т.О., д.т.н., проф., професор кафедри електронних пристроїв та систем КПІ ім. Ігоря Сікорського

В навчальному посібнику наведені теоретичні відомості щодо основних параметрів та використання цифрових та аналого-цифрових мікросхем в електронних пристроях. Розглянуті принципи побудови і розрахунків схем типових електронних пристроїв.

До кожного розділу наведені схеми моделей для роботи в середовищі NI Multisim, що дозволяють самостійно перевірити функціонування цифрових та аналого-цифрових пристроїв. Наведена інформація про особливості моделювання, налаштування моделей та роботу з віртуальними пристроями програми Multisim.

Приклади моделей для побудови пристроїв різного призначення з використанням цифрових, аналогових та аналого-цифрових пристроїв дозволяють більш детально ознайомитись з принципами побудови як цифрових, так і аналого-цифрових пристроїв.

В результаті проведення самостійних занять з використанням наведених прикладів студенти зможуть визначати параметри та моделювати основні вузли цифрових та аналого-цифрових пристроїв.

© КПІ ім. Ігоря Сікорського, 2021

ЗМІСТ

Вступ.....	11
1 Програма моделювання NI MULTISIM	13
1.1 Призначення програми NI Multisim.....	13
1.2 Початок роботи із програмою NI Multisim	15
1.3 Компоненти й прилади Multisim	19
1.4 Віртуальні вимірювальні прилади програми Multisim	22
1.4.1 Загальні зауваження	22
1.4.2 Джерела сигналів у Multisim	24
1.4.3 Інструменти аналізу сигналів у Multisim	26
1.4.4 Налаштування параметрів аналізу	30
1.5 Основні правила роботи з вимірювальними пристроями	36
1.5.1 Робота з осцилографами	36
1.5.2 Плоттер Боде.....	43
1.5.3 Генератор слова	47
1.5.4 Функціональний генератор.....	59
1.5.5 Частотомір.....	60
Контрольні питання	60
2 Сигнали і методи їх дослідження	62
2.1 Загальні характеристики сигналів.....	62
2.2 Аналогові сигнали.....	64
2.3 Імпульсні сигнали	71
2.4 Контрольні питання	77
3 Проходження імпульсних сигналів через лінійні кола.....	78
3.1 Диференціюючі та інтегруючі RC-кола	78
3.2 Розділові кола	83
Контрольні питання	85
4 Обмежувачі напруги	86
4.1 Загальні зауваження.....	86
4.2 Послідовні односторонні обмежувачі на діодах	86
4.3 Паралельні обмежувачі на діодах	88
4.4 Паралельні двосторонні обмежувачі напруги	90
4.5 Послідовний двосторонній обмежувач на діодах	94
Контрольні питання	95

5	Транзисторні насичені ключі	96
5.1	Призначення транзисторних ключів.....	96
5.2	Насичений ключ у схемі включення із загальним емітером.....	97
5.3	Статичні режими ключа	99
4.4	Способи прискорення перемикання ключа.....	101
5.5	Транзисторні ключі в схемі з загальною базою.....	104
5.5	Транзисторні ключі на польових транзисторах.....	106
	Контрольні питання	106
6	Математичні основи побудови цифрових пристроїв.....	107
6.1	Системи числення	107
6.2	Коди та їх характеристика.....	110
6.2.1	Коди з паралельною формою представлення інформації.....	110
6.2.2	Коди з послідовною формою представлення інформації.....	113
6.3	Виконання арифметичних операцій у двійковій системі	115
6.4	Основи булевої алгебри.....	116
6.4.1	Основні визначення.....	116
6.4.2	Закони і тотожності алгебри логіки.....	119
6.4.3	Способи задання логічних функцій.....	120
6.5	Спрощення булевих функцій.....	123
6.5.1	Доцільність спрощення.....	123
6.5.2	Задачі мінімізації	124
6.5.3	Спрощення логічних функцій за допомогою карт мінтермів	124
6.5.4	Способи об'єднання мінтермів на картах Вейча або Карно	126
6.5.5	Позначення логічних елементів	129
6.5.6	Приклади побудови схем за логічними виразами	130
5.6	Контрольні питання	133
7	Структури базових логічних елементів	135
7.1	Характеристики цифрових сигналів	135
7.2	Амплітудна характеристика інвертора.....	137
7.3	Схеми найбільш поширених логічних елементів.....	139
7.3.1	Загальні характеристики логічних елементів	139
7.3.2	Транзисторно-транзисторна логіка.....	142
7.4	Логічні елементи на МДН-транзисторах.....	148
7.5	Логічні елементи інтегрально-інжекційної логіки.....	153
7.6	Порівняльні характеристики логічних елементів різних технологій.....	155

7.7 Статичний та динамічний режими роботи логічних елементів.....	157
7.9 Моделювання роботи логічних елементів	157
7.10 Моделювання підсилювачів на логічних елементах.....	159
Контрольні питання	162
8 Комбінаційні схеми.....	163
8.1 Дешифратори.....	163
8.1.1 Загальні зауваження	163
8.1.2 Лінійні дешифратори	164
8.1.3 Прямокутні (матричні) дешифратори	165
8.1.4 Пірамідальні дешифратори	166
8.1.5 Дешифратори фіксованого коду	167
8.2 Шифратори	170
8.3 Мультиплексори і демюльтиплексори	170
8.3.1 Мультиплексори	170
8.3.2 Демюльтиплексори.....	173
8.4 Мікросхеми дешифраторів, шифраторів та мультиплексорів	175
8.4.1 Здвоєний дешифратор/демюльтиплексор 2 на 4 КР1533ИД4 (SN74LS155)	175
8.4.2 Дешифратор 4 на 16 КР1533ИД3 (SN74LS154)	177
8.4.3 Мультиплексор 8 на 1 КР1533КП7 (SN74ALS151).....	179
8.4.4 Здвоєний мультиплексор 4 на 1 КР1533КП12 (SN74ALS253)	180
8.4.5 Пріоритетний шифратор SN74LS148	180
8.5 Суматори кодів.....	183
8.5.1 Загальні поняття про суматори кодів	183
8.5.2 Використання суматорів.....	187
8.6 Схеми порівняння кодів або цифрові компаратори	188
8.7 "Небезпечні змагання" у комбінаційних пристроях	192
7.7 Контрольні запитання.....	193
9 Тригерні елементи.....	195
9.1 Призначення та класифікація тригерів.....	195
9.2 Асинхронні та синхронні RS-тригери	196
9.2.1 Асинхронний RS-тригер	196
9.2.2 Асинхронний RS-тригер з інверсними входами.....	198
9.2.3 Синхронний RS-тригер	199
9.3 Тригери Т-типу.....	201
9.4 Тригери D-типу	202

9.5 Тригери JK-типу	203
9.6 Універсальні RSD- та RSJK-тригери	204
9.7 Приклади використання тригерів.....	205
9.8 Моделювання роботи RS-тригерів.....	207
Контрольні питання	208
10 Регістри	210
10.1 Загальні зауваження.....	210
10.2 Паралельні регістри на D-тригерах.....	210
10.3 Послідовні регістри	212
9.4 Паралельно-послідовні і послідовно-паралельні регістри	214
10.5 Послідовні регістри зі зворотними зв'язками	215
10.6 Приклади використання регістрів.....	217
10.6.1 Робота декількох регістрів на загальну шину.....	217
10.6.2 Формувач квазігармонічного сигналу	218
10.6.3 Перетворювач паралельного коду в послідовний	219
9.6.3 Перетворювач послідовного коду в паралельний	220
10.7 Дослідження регістрів шляхом моделювання	220
10.7.1 Дослідження паралельного регістра на D-тригерах.....	220
10.7.2 Дослідження послідовного регістра на D- та JK-тригерах.....	222
10.7.3 Реверсивний регістр на D-тригерах.....	223
10.7.4 Формувач квазігармонічного сигналу на основі регістра	225
10.7.4 Лічильник імпульсів на основі регістра зі зворотнім зв'язком	226
Контрольні запитання.....	227
11 Лічильники імпульсів	228
11.1 Призначення та класифікація лічильників імпульсів	228
11.2 Двійкові лічильники	229
11.3 Моделювання роботи асинхронних двійкових лічильників	232
11.4 Синхронні двійкові лічильники	237
11.5 Моделювання синхронного двійкового лічильника	239
11.6 Недвійкові лічильники імпульсів.....	241
11.6.1 Загальні зауваження	241
11.6.2 Синтез лічильника з заданим коефіцієнтом ділення.....	241
11.6.3 Побудова недвійкового лічильника з використанням синхронного двійкового лічильника.....	245
11.6.4 Моделювання лічильника з заданим коефіцієнта ділення на основі двійкового	

синхронного лічильника.....	246
11.6.5 Використання програмованих лічильників для побудови лічильників з довільним коефіцієнтом ділення.....	250
11.7 Двійково-десяткові програмовані лічильники.....	257
11.7 Побудова недвійкових лічильників за допомогою дешифраторів.....	259
11.8 Формувачі коду побудовані на реверсивних лічильниках.....	262
11.8.1 Функціональна схема формувача коду.....	262
11.8.2 Формувач одиночних імпульсів.....	265
11.8.3 Схема початкової установки лічильників.....	266
11.8.4 Моделювання реверсивного формувача коду.....	268
11.9 Лічильники на регістрах зсуву.....	269
11.10 Застосування регістрів і лічильників для побудови схем затримки імпульсних сигналів.....	270
Контрольні питання.....	271
12 Генератори імпульсів.....	273
12.1 Загальні зауваження.....	273
12.2 Чекаючі мультивібратори, або одновібратори на тригерах.....	274
12.2.1 Одновібратор на RS-тригері.....	274
12.2.2 Одновібратор на RS-тригері з інверсними входами.....	279
12.2.3 Одновібратор не чутливий до тривалості вхідного імпульсу.....	281
12.3 Одновібратори на логічних елементах.....	283
12.4 Одновібратори в інтегральному виконанні.....	285
12.5 Робота одновібраторів в режимі ділення частоти.....	288
12.3 Мультивібратори.....	289
12.3.1 Мультивібратори на RS-тригерах.....	289
12.3.2 Мультивібратори на логічних елементах.....	291
12.3.3 Мультивібратори на основі інтегральних одновібраторів.....	297
12.3.4 Мультивібратори на основі інтегрального таймеру NE555.....	298
13 Формувачі імпульсів.....	305
13.1 Формувачі імпульсів з використанням диференціюючих кіл.....	305
13.1.1 Загальні зауваження.....	305
13.1.2 Формувачі імпульсів з фронту на транзисторі.....	305
13.1.3 Формувачі імпульсів зі спаду на транзисторі.....	307
13.1.4 Формувач імпульсів з фронту на логічному інверторі.....	308
13.1.5 Формувач імпульсів зі спаду на логічному інверторі.....	308

13.1.6	Формувач імпульсів з фронту та спаду на логічних елементах.....	309
13.2	Формувачі імпульсів з використанням інтегруючих кіл.....	310
13.3	Формувачі імпульсів без використання RC-кіл.....	312
	Контрольні питання	314
14	Цифрові індикатори	315
14.1	Газорозрядні індикатори	315
14.2	Мозаїчні індикатори	316
14.3	Електролюмінісцентні вакуумні індикатори	317
14.4	Рідкокристалічні індикатори	319
14.5	Семисегментні світлодіодні індикатори	321
14.6	Методи управління індикаторами.....	323
14.6.1	Статичний метод індикації.....	323
14.6.2	Динамічний метод індикації.....	325
14.7	Моделювання пристроїв відображення цифрової інформації	327
	Контрольні питання	328
15	Запам'ятовуючі пристрої	329
15.1	Оперативні запам'ятовуючі пристрої.....	329
15.2	Мікросхеми маскових ПЗП.....	335
15.3	Мікросхеми програмованих ПЗП.....	337
15.4	Мікросхеми репрограмованих ПЗП.....	341
15.5	Принцип роботи пристроїв флеш-пам'яті	346
15.5.1	Загальні зауваження	346
15.5.2	Принцип роботи флеш-пам'яті.....	346
15.5.3	Пристрої флеш-пам'яті з архітектурою NOR.....	350
15.5.4	Пристрої флеш-пам'яті з архітектурою NAND.....	351
15.6	Приклади використання запам'ятовуючих пристроїв.....	352
15.6.1	Цифрова лінія затримки.....	352
15.6.2	Цифровий ревербератор з можливістю створення ефекту "луна"	354
15.7	Моделювання роботи запам'ятовуючих пристроїв	356
	Контрольні запитання.....	358
16	Цифро-аналогові перетворювачі	359
16.1	Загальні поняття про цифро-аналогові перетворювачі	359
16.2	Цифро-аналоговий перетворювач на основі "зважуючих" резисторів	360
16.3	Цифро-аналоговий перетворювач на основі матриці R-2R.....	362
16.4	Цифро-аналоговий перетворювач з перерозподілом зарядів.....	363

16.5 ЦАП з однаковими резисторами	364
16.6 Параметри ЦАП	365
16.6.1 Статичні параметри.....	365
16.6.2 Динамічні параметри	366
16.7 Дослідження роботи ЦАП за допомогою Multisim.....	367
16.7.1 Дослідження віртуального 8-розрядного ЦАП	367
16.3.2 Дослідження ЦАП на основі "зважуючих" резисторів.....	370
16.3.3 Дослідження ЦАП з матрицею R-2R.....	372
16.8 Формування сигналів різної форми за допомогою ЦАП	373
16.9 Використання ЦАП для побудови регуляторів напруги	378
Контрольні питання	382
17 Аналогові компаратори	384
17.1 Загальні зауваження.....	384
17.2 Компаратори напруги	385
17.3 Регенеративні компаратори	392
17.4 Логічні елементи, виконуючі функції тригерів Шмітта.....	396
Контрольні питання	397
18 Аналогові ключі та комутатори	398
18.1 Призначення та основні параметри аналогових ключів.....	398
18.2 Діодні аналогові ключі	400
18.3 Аналогові ключі на польових транзисторах	403
18.3.1 Загальні зауваження	403
18.3.2 Принцип роботи й характеристики польових транзисторів.....	404
18.3.3 Вольт-амперні характеристики польових транзисторів	407
18.3.4 Аналоговий ключ на МОН-транзисторі.....	408
18.3.5 Аналоговий ключ на КМОН-транзисторах.....	410
18.3.6 Ключі на польових транзисторах і операційних підсилювачах.....	411
18.4 Інтегральні схеми аналогових ключів та комутаторів.....	413
18.5 Зменшення нелінійних спотворень аналогових ключів	416
Література	424
Контрольні питання	424
19 Пристрої вибірки/зберігання.....	425
19.1 Ідеалізований пристрій вибірки/зберігання.....	425
19.2 Пристрій вибірки/зберігання з реальними характеристиками.....	426
19.3 Дослідження параметрів пристроїв вибірки/зберігання.....	429

Контрольні питання	433
20 Аналого-цифрові перетворювачі	434
20.1 Призначення та структура аналого-цифрових перетворювачів	434
20.2 АЦП розгортуючого врівноваження.....	435
20.2.1 Принцип дії АЦП розгортуючого врівноваження.....	435
20.2.2 Моделювання роботи АЦП розгортуючого врівноваження	438
20.3 АЦП послідовних наближень	440
20.4 Паралельний АЦП	443
20.4.1 Принцип дії паралельного АЦП	443
20.4.2 Моделювання роботи паралельного АЦП	445
20.5 Паралельно-послідовні АЦП	447
20.6 АЦП двотактного інтегрування.....	449
20.7 АЦП з проміжним перетворенням напруги в частоту	455
20.8 АЦП з проміжним перетворенням напруги у період.....	461
20.9 Генератор пилкоподібної напруги, управляємий напругою	465
Контрольні питання	467
21 Застосування цифрових інтегральних мікросхем	469
21.1 Завади та завадостійкість цифрових пристроїв	469
21.2 Рекомендації з монтажу інтегральних мікросхем	476
Контрольні питання	487
Список рекомендованої літератури.....	488

ВСТУП

Значний прогрес у розвитку багатьох областей науки й техніки обумовлений розвитком електроніки. Сьогодні неможливо знайти галузь промисловості, у якій не використовувалися б електронні прилади або електронне обладнання вимірювальної техніки, автоматики й обчислювальної техніки. Причому тенденція розвитку така, що частка електронних інформаційних та автоматичних пристроїв безупинно збільшується. Це є результатом розвитку інтегральної технології, впровадження якої дозволило налагодити масовий випуск дешевих, високоякісних мікроелектронних функціональних вузлів різного призначення.

На сьогоднішній день промисловість випускає велику кількість електронних функціональних вузлів, необхідних для створення пристроїв автоматики, вимірювальної й обчислювальної техніки, перетворювачів інформації та ін.: інтегральні підсилювачі, комутатори, логічні елементи, лічильники, регістри, аналого-цифрові та цифро-аналогові перетворювачі, формувачі і т.д. Типові електронні вузли дозволяють зібрати потрібний електронний блок без детального розрахунку його окремих складових частин.

Необхідно тільки вірно підібрати інтегральні мікросхеми, розробити схему їх з'єднання й увести зворотні зв'язки необхідного виду. Але для цього потрібно розуміти не тільки принципи функціонування окремих елементів, а й принципи побудови складних пристроїв та систем, у яких взаємодіє велика кількість елементів. До того ж велика кількість пристроїв та систем містить як аналогові, так і цифрові компоненти, що потребує узгодження їх параметрів.

Дисципліна "Цифрова схемотехніка" являється базовою дисципліною й забезпечує вивчення схемотехніки цифрових пристроїв та їх використання в різних модулях електронних систем. Дисципліна спрямована на вивчення фізичних основ перетворення аналогових сигналів у цифрову форму й обробки цифрових сигналів на основі методів і засобів дискретної математики, а також пристроїв, що реалізують ці задачі.

Для проектування навіть нескладних електронних пристроїв необхідно розуміння процесів, що відбуваються як в окремих частинах, так і в пристрої в цілому. Зважаючи на те, що більшість студентів не можуть перевірити роботу електронних пристроїв на фізичних макетах, то для засвоєння принципів роботи основних цифрових, аналогових та аналого-цифрових пристроїв доцільно провести моделювання їх роботи за допомогою програми-симулятора.

Найбільш зручною з погляду інтерфейсу користувача є програма схемотехнічного моделювання NI Multisim. Вона дозволяє студентам закріпити матеріал, який вивчається в рамках курсу, одержати навички роботи з вимірювальною апаратурою різного призначення (хоча й віртуальною) і засвоїти методику організації й проведення експериментів відповідно до поставленого завдання.

Спеціально для компанії Analog Devices компанією National Instruments була розроблена безкоштовна версія програми, у якій трохи обмежене число компонентів у базі користувача й встановлені тверді обмеження на число компонентів, які можуть бути використані для створення схеми, не більш ніж 25.

Як показує практика такого числа елементів на схемі досить для того, щоб створити кожний із пристроїв, які вивчаються в базових курсах схемотехніки.

Цим і пояснюється структура навчального посібника. Спочатку знайомство з основами роботи в програмі схемотехнічного моделювання, а потім розгляд основних розділів дисципліни "Цифрова схемотехніка" з ілюстрацією основних положень за допомогою моделей, що можуть бути легко повторені навіть малокваліфікованим користувачем.

У результаті вивчення курсу "Цифрова схемотехніка" студент повинен знати: принципи побудови та функціонування цифрових та аналого-цифрових пристроїв; принципи вибору методів аналізу та розрахунку електронних пристроїв із заданими характеристиками, а також уміти: розрахувати електронні кола; узагальнити вплив характеристик окремих вузлів електронних пристроїв на їх параметри; виконати синтез різноманітних електронних пристроїв та провести їх моделювання.

1 ПРОГРАМА МОДЕЛЮВАННЯ NI MULTISIM

1.1 Призначення програми NI Multisim

Розробка будь-якого радіоелектронного пристрою супроводжується фізичним або математичним моделюванням. Фізичне моделювання пов'язане зі значними матеріальними витратами, оскільки потрібно виготовляти макет і проводити досить трудомісткі дослідження. Найчастіше фізичне моделювання неможливе. Наприклад, при розробці великих інтегральних схем (ВІС). Тому доцільно застосовувати при проектуванні програми математичного моделювання, які не тільки дозволяють знизити строки й вартість розробки, але й надають розроблювачеві цілий ряд інструментів аналізу, які або недоступні при фізичному моделюванні, або їх вартість надзвичайно висока.

На сьогоднішній день розроблювачі використовують кілька програм схемотехнічного моделювання: Alpak, Orcad, Altium Designer (раніше Protel), Proteus, Multisim (раніше Electronics Workbench), Labview і інші [1].

Найбільш зручними для моделювання є два пакети програм – Orcad і NI Multisim (це не відноситься до НВЧ-пристроїв). Безкоштовна версія програми моделювання NI Multisim Analog Devices Edition версії 10.0.1 призначена для моделювання схем із використанням аналогових компонентів, що випускаються компанією Analog Devices. Слід відмітити, що ліцензійна версія програми NI Multisim без пакетів розширення коштує більше 4000, а повна версія – близько шести тисяч доларів. На сьогоднішній день вже випущена версія програми 14.2.

Із програмою NI Multisim™ Analog Devices® Edition, яка поширюлась вільно, компанія Analog Devices і підрозділ Electronics Workbench Group компанії National Instruments надають інженерові можливість розробки й моделювання різних радіоелектронних пристроїв: аналогових, цифрових і комбінованих аналого-цифрових.

У повну версію пакета NI Multisim входять програми NI Ultiboard (для розробки друкованих плат, здійснює розміщення й трасування з'єднань на платах, що мають до 32 шарів) і NI Multisim MCU Module (для налагодження й моделювання мікропроцесорних систем). Крім того, знімаються багато обмежень, які введені в безкоштовній версії (наприклад, на число елементів схеми, яке в безкоштовній версії не повинне перевищувати 25).

Програма NI Multisim™ Analog Devices® Edition є Spice симулятором і дозволяє:

- моделювати аналогові схеми, використовуючи більш 800 бібліотечних елементів – операційних підсилювачів, ключів, комутаторів і ін.;
- досліджувати схеми із числом елементів не перевищуючим 25;
- використовувати для аналізу вбудовані інструменти й алгоритми, включаючи аналіз найгіршого випадку (що передбачає аналіз найнесприятливішого варіанта умов);

- можливість заміни компонентів і зміни їх параметрів, для детального вивчення властивостей схеми;
- здійснювати online зв'язок з Analog Devices Design Center для одержання додаткових інструментів аналізу;
- негайно одержати доступ до довідкових даних будь-яких компонентів Analog Devices.

Програму Multisim (раніше Electronics Workbench) розробила канадська компанія Electronics Workbench (колишня Interactive Image Technologies). Головний продукт компанії Electronics Workbench, Multisim – це один із кращих інструментів для розрахунків лінійних і нелінійних електричних кіл, і розробки друкованих плат. Серед користувачів програми такі відомі корпорації, як Sony, Boeing, а також передові академічні установи, такі як Масачусетський технологічний інститут. В 2005 г компанія Electronics Workbench була придбана американською корпорацією National Instruments із метою розвитку більш тісному зв'язку між вимірювальним устаткуванням, що використовується при створенні електронних пристроїв, і програмами, призначеними для розрахунків електричних кіл. Угода відбулася після того як кілька років National Instruments співробітничала з Electronics Workbench для інтеграції програми Multisim у графічне середовище "віртуальних приладів" NI Labview. Незважаючи на укладений контракт, компанія Electronics Workbench залишається незалежним підрозділом у складі National Instruments і в найближчі кілька років буде незалежно поширювати програми через власну дистриб'юторську мережу.

Основні достоїнства програми Multisim:

1. Простий графічний редактор, що дозволяє досить просто малювати на екрані електронні схеми в звичному зображенні.
2. Велика бібліотека сучасних електронних компонентів, дискретних, інтегральних аналогових, цифрових і змішаних аналого-цифрових. Бібліотека відкрита, легко може поповнюватися новими елементами, у тому числі й вітчизняними.
3. Велика бібліотека моделей електронних схем, що дозволяє використовувати готові практичні розробки й легко модернізувати під конкретне завдання. Приклади схем, запропоновані компаніями National Instruments і Analog Devices, можна знайти в [2].
4. Широкий вибір віртуальних вимірювальних приладів, що дозволяють виконати будь-яке вимірювання (і не тільки електричний вимір). Робота із цими вимірювальними приладами максимально наближена до роботи з реальними приладами. Підключивши віртуальний прилад до будь-якої точки схеми можна одержати вичерпну інформацію про процеси в даному вузлі.
5. Простий по інтерфейсу набір моделюючих засобів, що дозволяє крім традиційного моделювання електронної схеми по постійному й змінному струму, провести

моделювання спектральних, нелінійних, амплітудно-частотних, фазочастотних характеристик, вплив температури на окремі компоненти й на схему в цілому, можливість зміни будь-яких параметрів компонентів, параметрів джерел сигналів і живлення. Досить просто можна виконати імовірнісний аналіз роботи схеми з різними законами розподілу параметрів.

6. Можливість підключення віртуальних приладів програми Labview.
7. Широкі можливості документування дослідження, одержання твердої копії як електричної схеми, так і параметрів моделювання, інформації з екрана вимірювальної апаратури, добре оформлених графічних результатів дослідження.
8. Низькі вимоги до швидкодії комп'ютера. Можлива робота починаючи з 386 моделі процесора.
9. Не вимагає знань по програмуванню. Потрібно лише знайомство із середовищем Windows. Інтуїтивний інтерфейс дозволяє швидко навіть непідготовленому користувачеві (буквально за півгодини) познайомитися з основами й приступитися безпосередньо до електронних досліджень.
10. Ретельно підготовлений довідковий матеріал (Help), забезпечує контекстну допомогу як по меню, компонентам, опціям моделювання, так і по загальних питаннях моделювання.

Multisim забезпечує введення електричних схем для їхнього подальшого моделювання й дозволяє створювати текстовий опис цифрових пристроїв на мовах VHDL і Verilog для синтезу ПЛІС.

1.2 Початок роботи із програмою NI Multisim

Роботу із програмою слід почати з встановлення основних параметрів. Для цього необхідно в меню **Options** вибрати пункт **Global Preferences** (рис. 1.1).

Відкриється вікно, у якому є чотири закладки. В закладці **Parts** вибираються:

- спосіб відображення елементів схеми – у стандарті DIN або ANSI;
- спосіб вводу елементів схеми:
 - ◆ одиночний елемент;
 - ◆ вводу всіх частин елемента (наприклад, ІС у якій містяться чотири ОУ);
 - ◆ вводу елементів необмежене число раз при натисканні лівої кнопки "миші";

аналіз схеми з використанням ідеальних або реальних моделей елементів.

Перед початком роботи необхідно встановити основні параметри робочого аркушу. Для цього в меню **Options** необхідно обрати пункт **Global Preferences** (рис. 1.1) і у вікні що відкривається перейти на вкладку **Parts**. У зоні **Symbol standard** необхідно встановити

відображення елементів схеми за стандартом **DIN**, які відповідають зображенню більшості елементів за системою єдиної конструкторської документації ЄСКД.

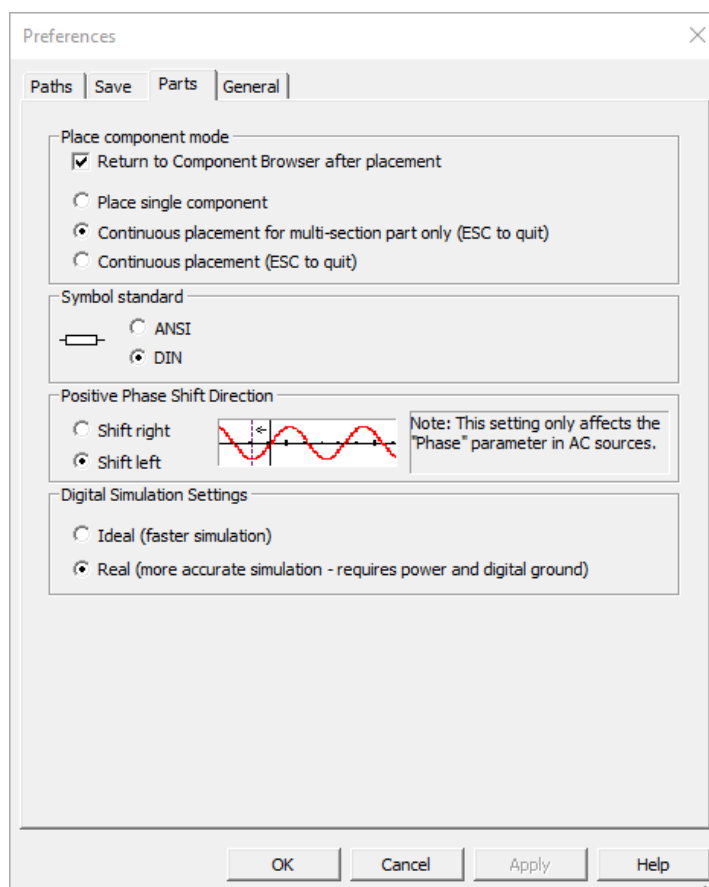


Рис. 1.1. Налаштування відображення елементів за стандартом DIN

Стандарт ANSI (American National Standards Institute) не відповідає міжнародним стандартам і не рекомендується для використання. У більш нових версіях Multisim (13 та 14) замість стандарту **DIN** треба встановити стандарт відображення елементів **IEC 60617**.

Щоб результати моделювання були більш близькими до реальних потрібно у зоні **Digital Simulation Settings** поставити позначку біля пункту **Real**.

На вкладці **Paths** задається шлях до робочої папки програми, що відрізняється від заданого по замовчуванню. На вкладці **Save** треба встановити позначку у вікні автозбереження (**Auto-backup**) і час, через який буде здійснюватися автозбереження (рис. 1.2). При необхідності можна здійснювати створення прихованої копії (Create a "Security Copy") для відновлення останньої працездатної версії досліджуваної схеми (у випадку ушкодження файлу схеми) і режим збереження даних моделювання разом з параметрами вимірювальних приладів (Save simulation data with instruments).

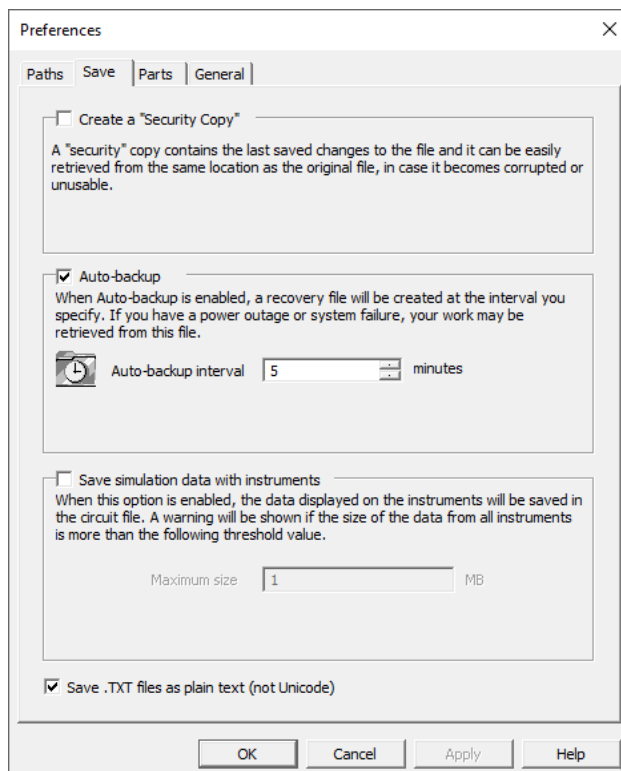


Рис. 1.2. Вкладка встановлення режимів збереження файлів

Для встановлення параметрів відображення робочого аркушу необхідно відкрити меню Options/Sheet Properties (рис. 1.3), у якому є 5 вкладок.

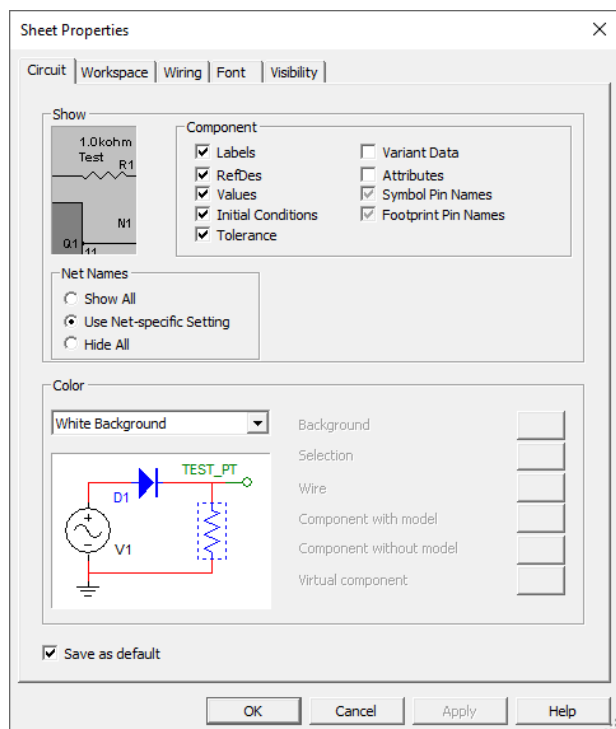


Рис. 1.3. Вікно налаштування Sheet Properties вкладка Circuit

На вкладці **Circuit** (рис. 1.3) задається колір фону і елементів схеми. Доступно 5 варіантів встановлення параметрів:

- білий або чорний фон й колір елементів і ліній за замовчуванням;
- чорний фон й білі елементи й лінії;
- білий фон й чорні елементи й лінії.

У режимі **Custom** користувачем задається колір усіх елементів і фону самостійно, як показано на рис. 1.4. В меню **Sheet Properties** задаються товщина ліній, режим відображення сітки, вибирається розмір і тип шрифту, розмір і орієнтація робочого аркушу й ще цілий ряд параметрів. Докладно з пунктами меню і їх призначенням або за допомогою підказки програми (англ. мовою).

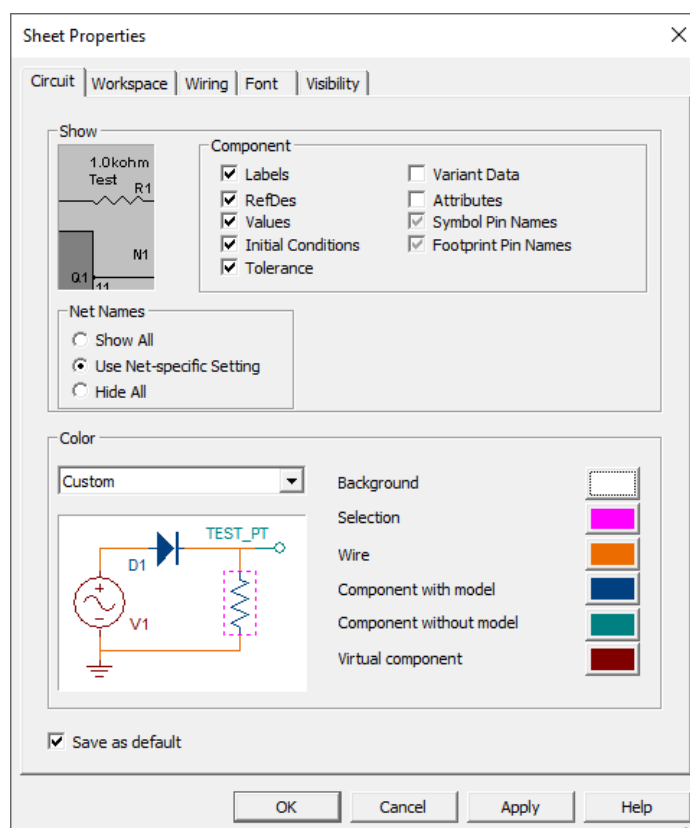


Рис. 1.4. Встановлення кольору елементів робочого аркушу користувачем

Для забезпечення достатнього простору для розміщення елементів моделі на робочому аркуші рекомендується встановити розмір робочого аркушу (**Sheet size**) A3 та **Custom size** у сантиметрах (**Centimeters**), а відображення на ньому сітки так, як показано на рис. 1.5.

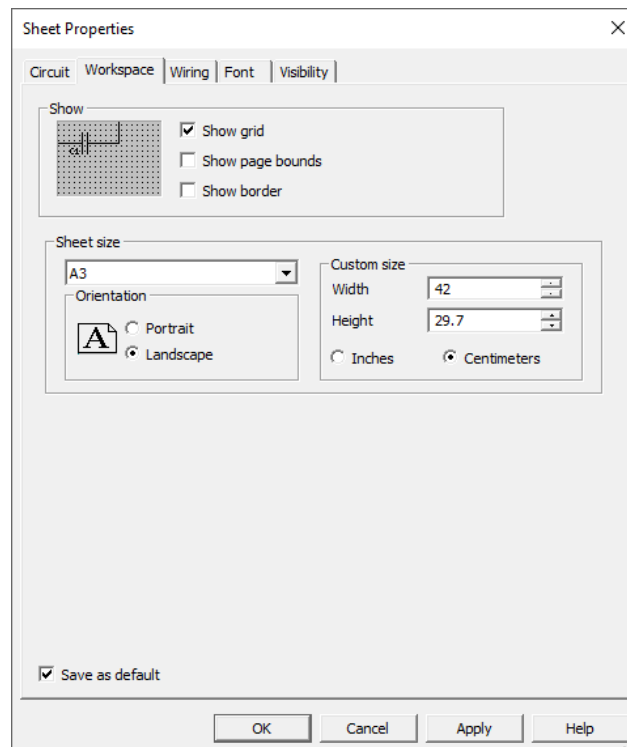


Рис. 1.5. Встановлення розміру робочого аркушу та відображення сітки

Налаштування вигляду робочого вікна й панелі інструментів зробити просто. Для цього досить помістити курсор "миші" в область аркушу з панелями інструментів і натиснути праву кнопку "миші". У контекстному меню, що відкривається, необхідно поставити пташки біля тих панелей інструментів, які необхідно відображати.

1.3 Компоненти й прилади Multisim

Після встановлення параметрів програми та робочого аркушу можна приступати до створення моделі пристрою за його принциповою схемою. Для цього елементи схеми розміщуються на робочому аркуші. Для розміщення будь-якого елемента потрібно клацнути лівою кнопкою "миші" на піктограмі потрібної бібліотеки (рис. 1.6 та 1.7) і у вікні що відкривається, обрати необхідний компонент. Це можна зробити також використовуючи меню **Place/Component**. За замовчуванням панель компонентів відображається у основному вікні програми (рис. 1.6). Для використання доступні бібліотеки джерел живлення, генераторів сигналів, пасивних компонентів, транзисторів і діодів, логічних і аналогових мікросхем, змішаних аналого-цифрових і цифро-аналогових компонентів, індикаторів, запобіжників, джерел опорної напруги, електромеханічних компонентів (двигунів, механічних контактів, котушок, трансформаторів та ін.).

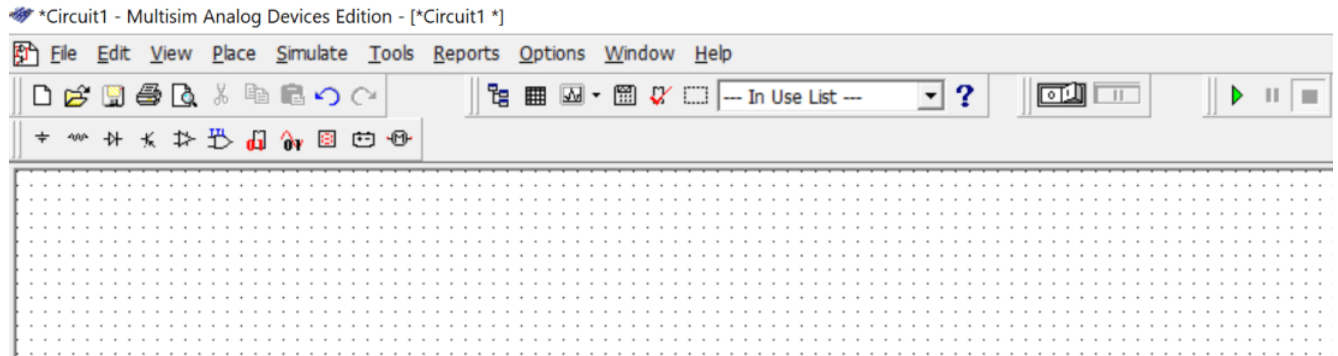


Рис. 1.6. Фрагмент робочого вікна програми з бібліотеками елементів

На рис. 1.7 наведений склад бібліотек елементів Multisim.

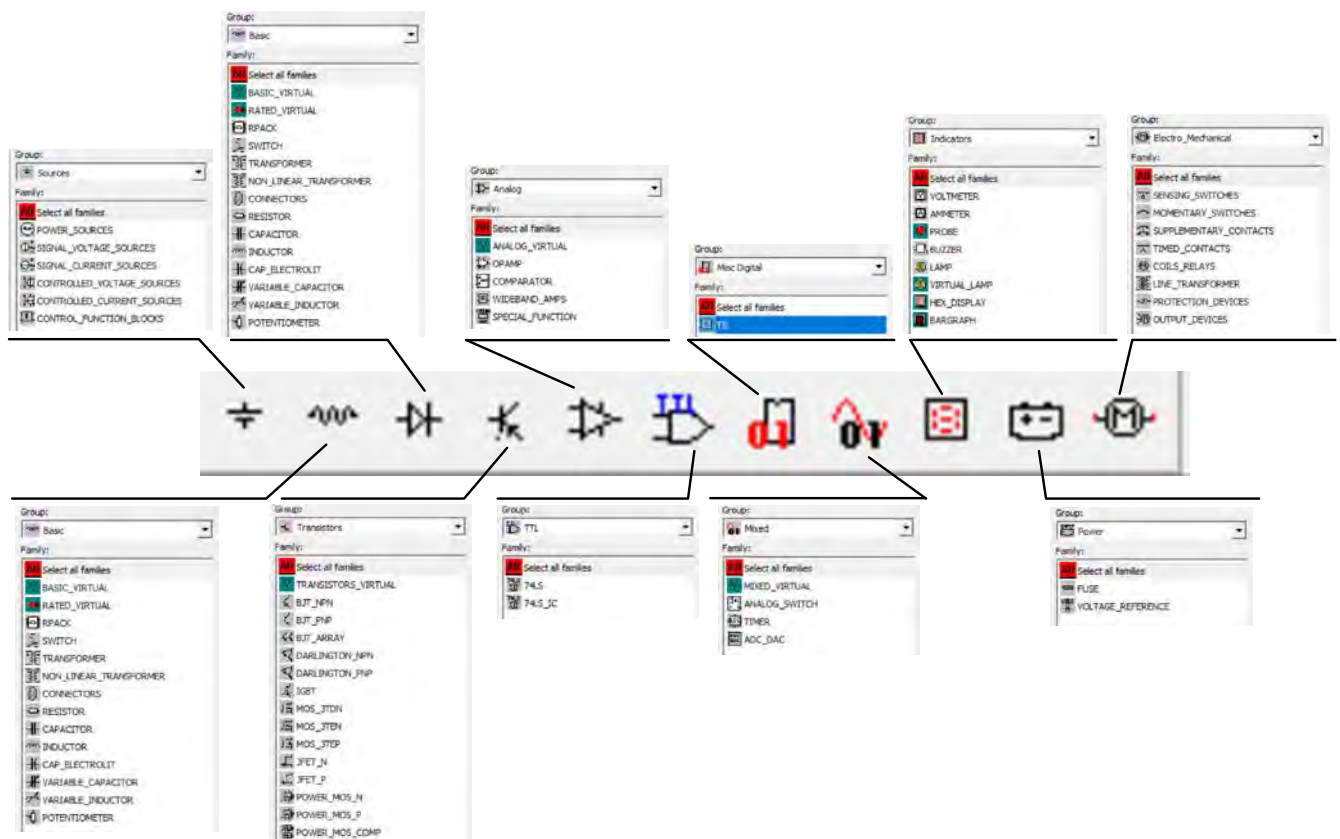


Рис. 1.7. Склад бібліотек компонентів Multisim

Деякі елементи бібліотек джерел потужності й генераторів сигналів наведені в табл. 1.1.

Таблиця 1.1. Елементи бібліотек джерел потужності й генераторів сигналів

POWER_SOURCES							SIGNAL_SOURCES	
DC_Power	DGND	Ground	VCC	VDD	VEE	VSS	Clock_Voltage	AC_Voltage
Джерело постійної напруги	Цифровий загальний	Загальний	Джерело +Uж для ІМС TTL	Джерело +Uж для ІМС	Джерело -Uж	Джерело живлення КМОП	Генератор імпульсів позитивн	Генератор змінної напруги

На рис. 1.8 наведено приклад вікна програми при виборі конденсаторів. У вікні **Component** вибирається номінальне значення ємності конденсаторів, а у вікні **Component type** – тип конденсатора: керамічний, електролітичний, танталовий та інші. Точність ємності обраного конденсатора (відхилення від номінального значення) задається у вікні **Tolerance (%)** з ряду 0, 2, 5, 10 і 20. Для резисторів цей ряд виглядає як 0, 0.1, 0.2, 0.5, 1, 2, 5 і 10.

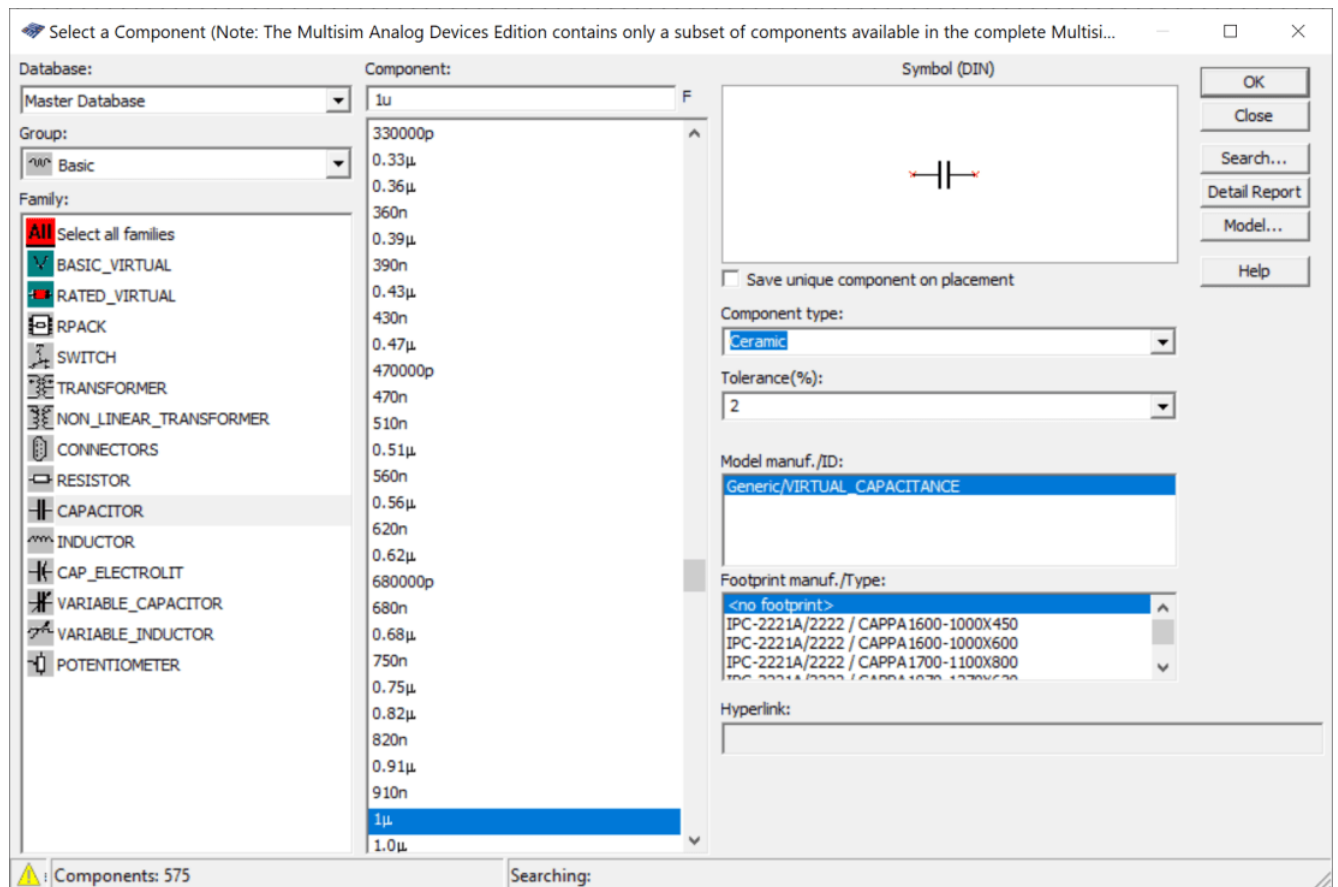


Рис. 1.8. Вікно вибору значення ємності та параметрів конденсатора

При виборі інших компонентів (наприклад, змінного або постійного резистора) у вікнах вибору параметрів компонентів будуть встановлюватись інші дані (характерні для обраного типу компонентів).

1.4 Віртуальні вимірювальні прилади програми Multisim

1.4.1 Загальні зауваження

Програма має у своєму складі віртуальні прилади, показані на рис. 1.9. Кожний з віртуальних приладів має багато параметрів, більшість з яких потребують налаштування в процесі роботи. Для аналізу роботи моделей цифрових пристроїв обмежимося мінімальною кількістю самих необхідних пристроїв:

- двоканальним та чотирьохканальним осцилографами для аналізу форми сигналу у різних точках моделей;
- функціональним генератором у якості джерела сигналу;
- графопобудовником АЧХ і ФЧХ (**Bode Plotter**);
- генератором слів;
- логічним аналізатором;
- вимірювачем частоти (частотоміром);
- аналізатором спектру.

Для розміщення приладу на робочому аркуші необхідно клацнути лівою кнопкою "миші" на піктограмі приладу, що розміщений на панелі з правої сторони робочого вікна програми, і перетягнути зображення в потрібне місце робочого аркушу або обрати потрібний прилад з меню (рис. 1.10).

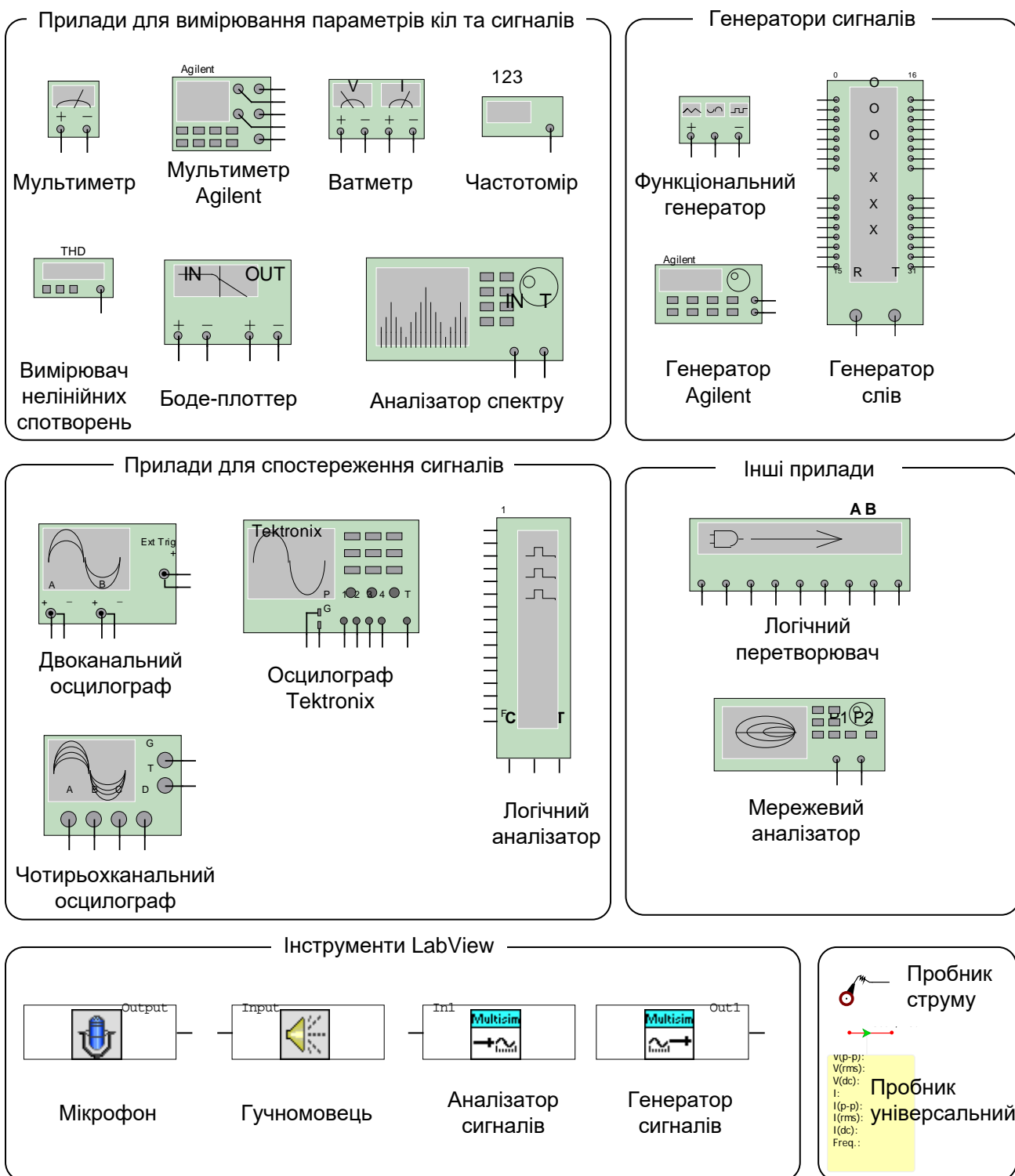


Рис. 1.9. Віртуальні вимірювальні прилади програми Multisim

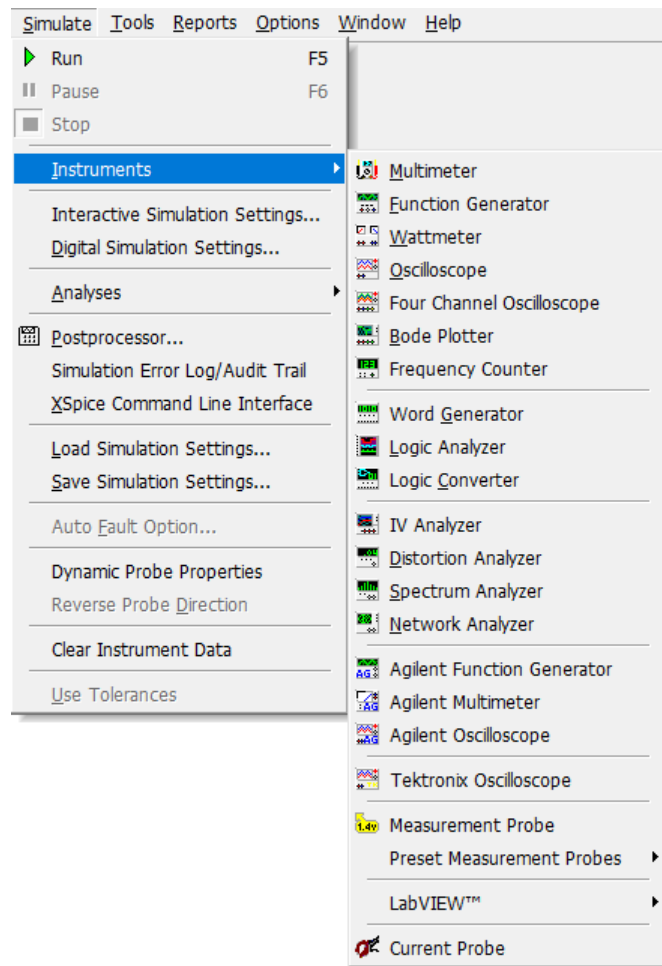


Рис. 1.10. Вибір віртуального приладу за допомогою меню Instruments

1.4.2 Джерела сигналів у Multisim

У програмі Multisim передбачена велика кількість джерел напруги та струму: постійного та змінного, простих та модульованих, джерел сигналів що управляються напругою та струмом, різних функціональних модулів. У стандартну бібліотеку джерел сигналів входять:

1. Джерела напруги:

- AC VOLTAGE – джерело змінної напруги;
- AM VOLTAGE – джерело амплітудно-модульованого сигналу;
- BIPOLAR VOLTAGE – генератор біполярних прямокутних імпульсів з інтервалами між позитивним та негативним імпульсами;
- CLOCK VOLTAGE – генератор прямокутних однополярних імпульсів;
- EXPONENTIAL VOLTAGE – генератор експоненціального імпульсу;
- FM VOLTAGE – джерело частотно-модульованого сигналу;
- LVM VOLTAGE – генератор LabVIEW, що використовує дані з файлу *.lvm;
- PIECEWISE LINEAR VOLTAGE – генератор кусочно-лінійного сигналу;

- PULSE VOLTAGE – генератор біполярних прямокутних імпульсів;
 - TDM VOLTAGE – генератор LabVIEW, що використовує дані з файлу *.tdm;
 - THERMAL NOISE – генератор теплового шуму;
 - TRIANGULAR VOLTAGE – генератор трикутного сигналу;
2. Джерела струму:
- AC CURRENT – джерело змінного струму;
 - BIPOLAR CURRENT – генератор струму біполярних прямокутних імпульсів з інтервалами між позитивним та негативним імпульсами;
 - CLOCK CURRENT – генератор прямокутних однополярних імпульсів струму;
 - DC CURRENT – джерело постійного струму;
 - EXPONENTIAL CURRENT – генератор експоненціального імпульсу струму;
 - FM CURRENT – джерело частотно-модульованого струму;
 - LVM CURRENT – генератор LabVIEW, що використовує дані з файлу *.lvm;
 - PIECEWISE LINEAR CURRENT – генератор кусочно-лінійного струму;
 - PULSE_ CURRENT – генератор біполярних прямокутних імпульсів струму;
 - TDM CURRENT – генератор LabVIEW, що використовує дані з файлу *.tdm;
3. Джерела сигналів, що управляються напругою:
- ABM VOLTAGE – генератор, параметри якого задаються математичним виразом;
 - CONTRCLED ONE SHOT – генератор з одним стійким станом (аналог одновібратора), параметри якого задаються користувачем;
 - CURRENT CONTROLLED VOLTAGE SOURCE – джерело напруги, що управляється струмом;
 - FSK VOLTAGE – джерело частотно-маніпульованого (Frequency Shift Keying) сигналу;
 - VOLTAGE CONTROLLED PIECEWISE LINEARSOURCE – джерело напруги апроксимованої відрізками, що керується напругою;
 - VOLTAGE CONTROLLED SINE WAVE – джерело синусоїдальної напруги, що керується напругою;
 - VOLTAGE CONTROLLED SQUARE WAVE – джерело прямокутної напруги, що керується напругою;
 - VOLTAGE CONTROLLED TRIANGLE WAVE – джерело трикутної напруги, що керується напругою;
 - VOLTAGE CONTROLLED VOLTAGE SOURCE – джерело напруги, що керується напругою;
4. Джерела сигналів, що управляються струмом:

- **ABM CURRENT** – джерело струму;
- **CURRENT CONTROLLED CURRENT SOURCE** – джерело струму, що керується струмом;
- **VOLTAGE CONTROLLED CURRENT SOURCE** – джерело струму, що керується напругою.

1.4.3 Інструменти аналізу сигналів у Multisim

У Multisim передбачена велика кількість функцій аналізу даних емуляції, від простих до самих складних, у тому числі й вкладених. Список усіх можливих видів аналізу Multisim наведений на рис. 1.11. Розглянемо основні види аналізу:

1. **DC Operating Point** – аналіз кола на постійному струмі.

Аналіз кіл на постійному струмі здійснюється для резистивних схем. Це правило впливає прямо з теорії електричних кіл; при аналізі на постійному струмі конденсатори замінюють розривом, котушки індуктивності – коротким замиканням, нелінійні компоненти, такі як діоди й транзистори, замінюють їхнім опором постійному струму в робочій точці. Аналіз кіл на постійному струмі виявляє вузлові потенціали досліджуваної схеми.

2. **AC Analysis** – аналіз кола на змінному струмі.

Аналіз кіл на змінному струмі полягає в побудові частотних характеристик.

3. **Transient Analysis** – аналіз перехідних процесів.

Аналіз перехідних процесів у колах дозволяє визначити форму вихідного сигналу на протязі часу перехідного процесу, тобто побудувати графік сигналу як функції часу.

Щоб почати аналіз, треба вибрати пункт меню **Simulate/Analyses** і обрати необхідний режим.

4. **Fourier Analysis** – Фур'є-аналіз, тобто аналіз спектру сигналу.

Дозволяє здійснювати аналіз спектру сигналів у заданому діапазоні частот і обраній кількості гармонік. Результати аналізу виводяться як у вигляді графіків, так і табличній формі.

З іншими методами аналізу при необхідності будемо знайомитись у процесі досліджень.

Крім вбудованих функцій аналізу є можливість визначити свою функцію за допомогою команд SPICE.

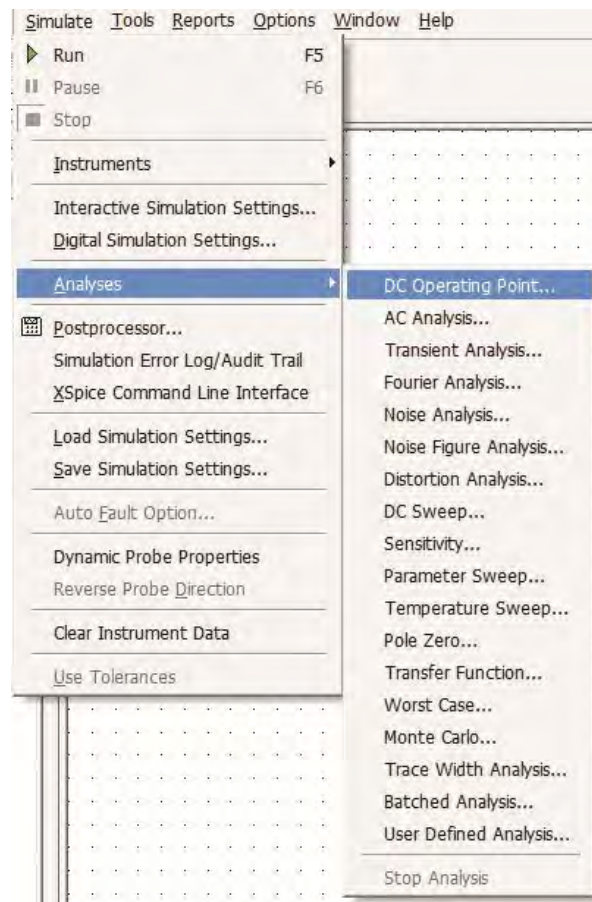


Рис. 1.11. Меню аналізу програми NI Multisim

При підготовці до аналізу необхідно налаштувати його параметри, наприклад, діапазон частот для аналізу на змінному струмі (AC analysis), основну частоту та кількість гармонік для Фур'є-аналізу. Необхідно також вибрати вихідні канали (traces), що позначені на схемі як ноди, тобто точки (вузли) схеми у яких необхідно провести аналіз.

Для перегляду результатів емуляції призначено вікно Grapher. Воно відкривається з меню View/Grapher, або іконкою, що розташована у верхньому рядку графічного меню програми. Після завершення обраного типу аналізу вікно Grapher відкривається автоматично.

Велика кількість параметрів Grapher налаштовується у вікні властивостей. Наприклад, можна змінювати масштаби, діапазони, заголовки, стилі ліній осей (рис. 1.12).

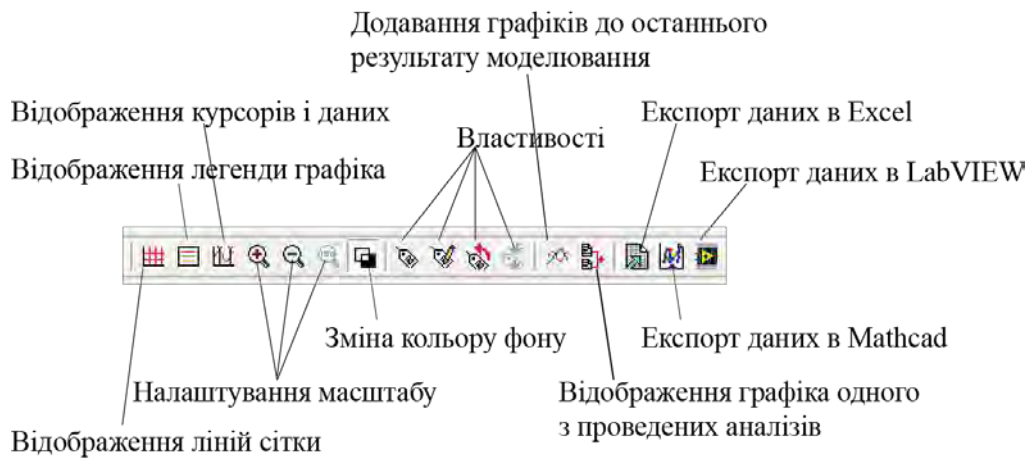


Рис. 1.12. Меню налаштування параметрів Grapher

Кнопками управління (рис. 1.12), піктограми яких відображаються у верхній частині вікна, можна:

1. Включити або виключити сітку.
2. Включити або виключити легенду (позначення кольором сигналу в обраному каналі вимірювання).
3. Включити або виключити курсори. При цьому користувачеві надається можливість переміщення курсорів по горизонтальній осі. У вікні, яке відкривається знизу під вікном графіків, відображаються:
 - x_1 – відстань першого курсору (блакитного кольору) від початку координат в одиницях часу;
 - y_1 – значення напруги в точці пересічення сигналу з курсором. Аналогічно для другого (жовтого) курсору. Крім того, вказуються мінімальні й максимальні значення сигналів і зсув по осях x і y .
4. Змінити колір фону (із чорного на білий і навпаки) кнопкою реверс (**Reverse**).
5. Змінити оформлення вікна перегляду. При натисканні кнопки **Graph Properties** відкривається вікно налаштування (рис. 1.13), у якому в кожній вкладці можна внести зміни в оформлення.

На вкладці **General** задається колір і товщина ліній сітки, число виведених кривих, на ній же можна включити й виключити курсори, сітку, легенду.

На вкладці **Traces** вибирається колір і товщина ліній виведених кривих, зсув графіка по осях (вручну або автоматично), на осі **Left Axis** – мінімальне й максимальне значення напруги (діапазон виміру напруги), напис на осі (**Label**), колір і товщина осі, число ділень, число знаків після коми в числах, нанесених на осі, і тип шрифту.

Кнопки масштабування, збереження й завантаження налаштувань, додавання наступних результатів виміру в особливих поясненнях не мають потреби.

А натиснувши кнопку **Overlay traces**, можна додати вікно з результатами вимірювань з двох різних вікон на одному графіку. В таблицю, що відображає значення напруги у різних точках осцилограм та інші параметри (наприклад, виміряні при інших параметрах і виведених в інше вікно), виводяться дані двох графіків. Біля назви додаткових стовпців виведеної таблиці (рис. 1.14) з'являється напис (**merged**). На рис. 1.14 до результатів вимірювання спектру у вузлі V(2) додано результати вимірювання у вузлі V(1).

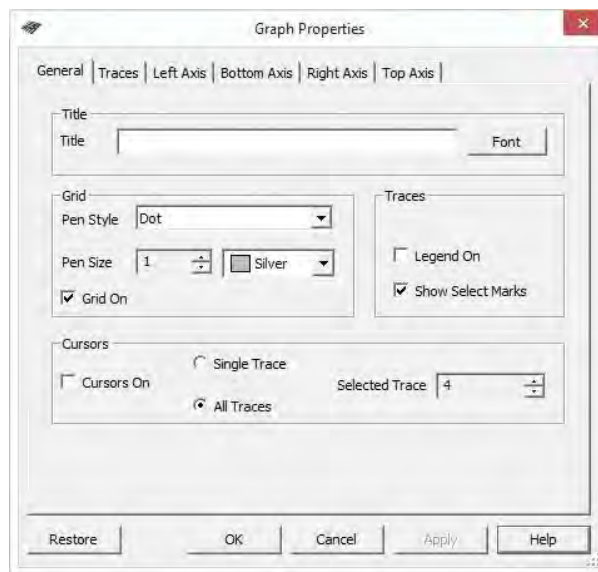


Рис. 1.13. Вікно налаштування інтерфейсу Graph Properties

Fourier Analysis		
	V (2)	V (1) [Merged]
x1	2.0000k	2.0000k
y1	1.1794e-016	636.6822m
x2	1000.0000	1000.0000
y2	1.2733	900.3369m
dx	-1000.0000	-1000.0000
dy	1.2733	263.6546m
1/dx	-1.0000m	-1.0000m
1/dy	785.3802m	3.7928
min x	0.0000	0.0000
max x	10.0000k	10.0000k
min y	0.0000	0.0000
max y	1.2733	900.3389m
offset x	0.0000	0.0000
offset y	0.0000	0.0000

Рис. 1.14. Вікно результатів виміру після натискання кнопки Overlay traces

Для трансформації часового масштабу відображуваної осцилограми або АЧХ необхідно,

натиснувши ліву кнопку "миші", виділити ділянку сигналу (така операція можлива тільки у вікні, у якому відображаються сигнали, обмежені осями) і відпустити кнопку. У виділеній ділянці масштаб зображення по вертикалі залишиться незмінним, а по горизонталі він розтягнеться на все вікно. Чим менше ширина захопленої ділянки, тим більше збільшення масштабу зображення по горизонталі.

Останні три кнопки призначені для експорту результатів виміру в Excel, MathCad і збереження файлу вимірів (Save to Measurement file) для системи Lab View.

Програма пакета Multisim Postprocessor за допомогою Grapher дозволяє відобразити результати моделювання в графічному вигляді.

Для роботи з функцією Postprocessor необхідно знати назви вузлів. Тільки ті параметри (вхідні й вихідні змінні), які вказуються при виконанні будь-якого виду аналізу (AC Sweep, DC Sweep, Transient Analysis та інші) відображаються на графіках Postprocessor і Grapher.

За допомогою даної функції можна створити декілька графіків, змінювати параметри графіка, видаляти об'єкти, робити логічні й алгебраїчні операції над графіками (додавання, множення, зведення у квадрат і т.д.).

1.4.4 Налаштування параметрів аналізу

Перш ніж проводити будь який аналіз, необхідно встановити його вихідні параметри, задавши їх у пунктах меню **Interactive Simulation Settings** і **Digital Simulation Settings**. Якщо ці встановлення не зробити, моделювання буде виконуватися з параметрами, заданими в програмі Multisim за замовчуванням.

При звертанні до пункту меню **Interactive Simulation Settings** відкриється вкладка **Defaults for Transient Analysis Instruments**, у якій задаються початковий і кінцевий час аналізу. За замовчуванням – від 0 до 1030 с. За замовчуванням часовий крок аналізу задається автоматично. Однак, досить поставити "пташку" біля пункту **Set Initial Time Step**, щоб встановлювати крок аналізу вручну.

В закладці **Analysis Options** встановлені за замовчуванням наступні параметри:

- Use Multisim Defaults (параметри по замовчуванню);
- Perform Consistency check before starting analysis (перевірка правильності зв'язків до початку аналізу);
- Discard plots to save memory (не проводити запис графіків).

Для того щоб змінити параметри, задані за замовчуванням, необхідно вибрати режим **Use Custom Settings** і натиснути кнопку **Customize**, при цьому відкриється вікно **Custom Analysis Options** (рис. 1.15) – набір команд для встановлення параметрів моделювання.

Налаштування загального характеру (**Global**) – задаються в діалоговому вікні (рис. 1.15), у якому можна змінити параметри аналізу, якщо поставити "пташку" біля відповідного пункту. Параметри мають наступні значення:

- **ABSTOL** – абсолютна похибка розрахунку струмів; якщо струми у моделі значно більші зазначеного на рис. 1.15 значення, то для прискорення процесу аналізу значення **ABSTOL** доцільно збільшити, виходячи із припустимої похибки розрахунків (наприклад, з урахуванням розрядності мультиметра);
- **VNTOL** – абсолютна похибка розрахунків напруги;
- **CHGTOL** – абсолютна похибка розрахунку зарядів; встановлені за замовчуванням значення (рис. 1.15) змінювати не рекомендується;
- **GMIN** – мінімальна провідність частки кола (зазначене на рис. 1.15 значення змінювати не рекомендується), збільшення **GMIN** позитивно позначається на сходженні розв'язку при одночасному зниженню точності моделювання; використовується при підключенні додаткового алгоритму *Gmin stepping*;
- **PIVREL, PIVTOL** – відносна й абсолютна величини елемента рядка матриці вузлових провідностей, прийнятого в якості ведучого; введення такого елемента у випадку застосування методу Гауса дозволяє підвищити точність проміжних обчислень і, отже, зменшити загальну кількість ітерацій; встановлені за замовчуванням значення параметрів (рис. 1.15) змінювати не рекомендується;
- **RELTOL** – відносна помилка моделювання; впливає на збіжність розв'язку й швидкість моделювання; рекомендовані значення – $10^{-2} \dots 10^{-6}$;
- **TEMP** – температура, для якої проводиться моделювання;
- **RSHUNT** – опір витоку для всіх точок (нод) схеми щодо загального проводу (шини заземлення); при повідомленнях про помилки "No DC path to ground" (погане заземлення кола) і "Matrix is nearly singular" (матриці дуже близькі) мова йде про матриці *L* і *U*-рівнів) значення параметра варіюється в межах $10^6 \dots 10^9$ Ом;
- **RAMPTIME** – початкова точка відліку часу при аналізі перехідних процесів;
- **CONVSTEP, CONVABSSTEP** відносний і абсолютний розміри автоматично контрольованого кроку ітерації при розрахунку режиму по постійному струму;
- **CONVLIMIT** – включення або вимикання додаткових засобів, вбудованих у моделі деяких компонентів, для забезпечення збіжності ітераційного процесу;
- **ACCT** – вкл./викл. виводу отриманих в результаті моделювання статистичних даних, які можуть бути корисними для налагодження процесу моделювання при виникненні проблем (дані виводяться в діалоговому вікні *Grapher*).

Усі рекомендовані за замовчуванням параметри наведені в підказці до таблиці *Global tab*

програми. Кнопка Restore to Recommended Settings у всіх діалогових вікнах призначена для відновлення становлення значень параметрів аналізу, встановлених за замовчуванням. Використовується в тому випадку, якщо після редагування необхідно повернутися до даних за замовчуванням.

Слід урахувати, що результатом зміни параметрів ABSTOL, RELTOL, VNTOL, CHGTOL, наприклад, з метою зменшення часу моделювання, може стати незадовільною збіжність ітераційного процесу при наявності в схемі вузлів і кіл, що мають близькі значення шуканих значень напруги, струмів або зарядів.

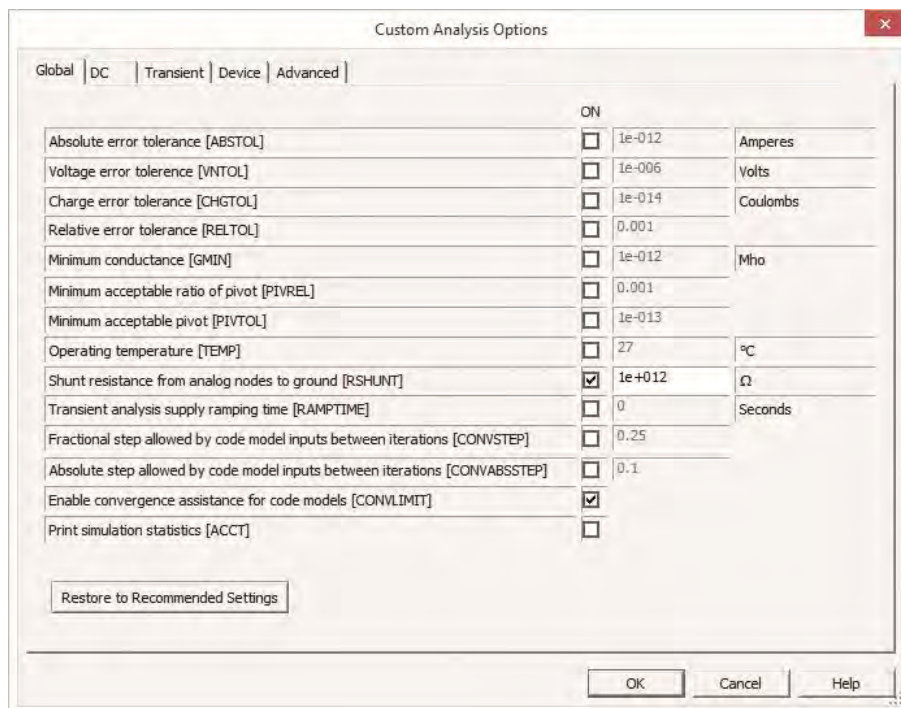


Рис. 1.15. Вікно встановлення глобальних параметрів аналізу

На вкладці вікна встановлення параметрів **DC-аналізу** проводяться налаштування для розрахунку режиму на постійному струмі (статичний режим) за допомогою діалогового вікна, у якому задаються наступні параметри (рис. 1.16):

- ITL1 – максимальне число ітерацій; при повідомленні "No convergence in DC analysis" (незадовільна збіжність при DC-аналізі) значення параметра необхідно збільшити до 500...1000;
- ITL2 – максимальне число кроків додаткового алгоритму Source stepping, що використовується при незадовільній збіжності розв'язку для нелінійних кіл. При виконанні цього алгоритму здійснюється "розподіл" ділянки характеристики нелінійного компонента на задане параметром SRCSTEPS ("Steps in source stepping algorithm") число кроків;
- ITL6 – число кроків додаткового Gmin stepping алгоритму, використовуваного при

незадовільній збіжності;

- GMINSTEPS – число ітерацій із кроком Gmin (мінімальна провідність кола) додаткового Gmin stepping алгоритму;
- NOOPITER – перехід безпосередньо до покрокового виконанню алгоритму Gmin.

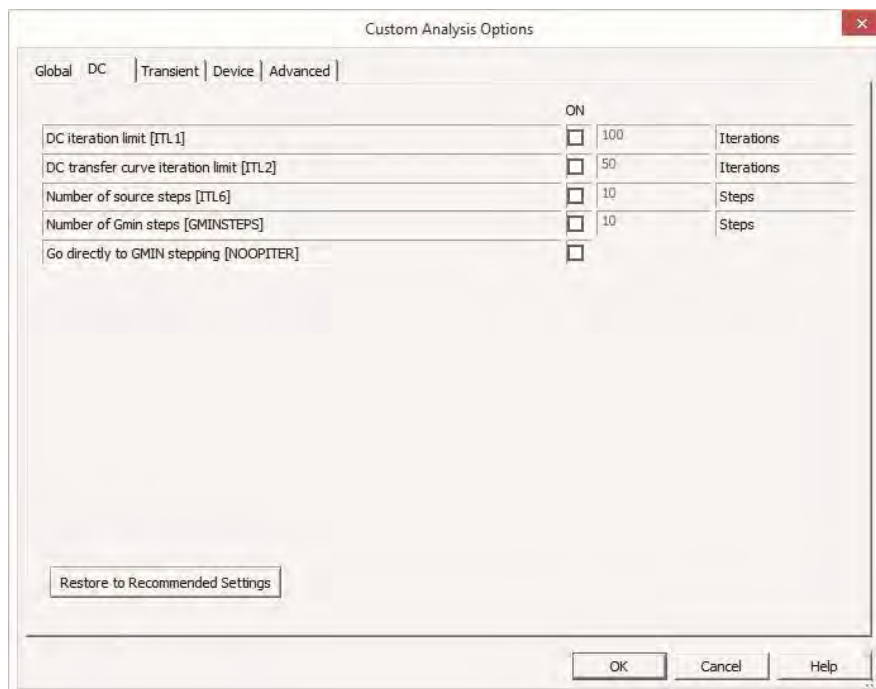


Рис. 1.16. Вікно встановлення параметрів аналізу на постійному струмі

На вкладці вікна (рис. 1.17) встановлення параметрів режиму аналізу перехідних процесів (**Transient**) задаються наступні параметри:

- ITL4 – максимальне число ітерацій для розрахунків однієї точки перехідних процесів; при повідомленні "Time step too small" (крок часу дуже малий) або "No convergence in the transient analysis" (немає сходження) значення параметра доцільно збільшити до 15 і повторити аналіз;
- Maxcord – максимальний порядок інтегрування – параметр, який необхідно задати для наближеного інтегрування системи диференціальних рівнянь методом Гіра (GEAR), що передбачають можливість роботи зі змінним кроком, який, залежно від швидкості зміни змінної (потенціалу V_i), може автоматично змінюватися; зі збільшенням порядку точність розрахунків збільшується з одночасним зниженням швидкості процесу моделювання; по замовчуванню рівний 2, діапазон зміни від 2 до 6;
- TRTOL – константа, що визначає точність розрахунків; наприклад, у найбільш простих випадках така константа, що називається характеристикою кроку, визначається співвідношенням $|dV/dt| h = \text{const}$, де h – крок ітерації, тобто при зміні $|dV/dt|$ повинен відповідно мінятися й крок

ітерації; встановлене за замовчуванням значення TRTOL, дорівнює 7 і змінювати його не рекомендується;

- METHOD – метод наближеного інтегрування системи диференціальних рівнянь TRAPEZOIDAL (метод Ейлера з вирівнюванням), що реалізує формулу:

$$V_{n+1} = V_n + (h/2)(dV_n/dt + dV_{n+1}/dt),$$

де h – крок ітерації, V_{n+1} , V_n – значення потенціалу в i -й точці схеми на поточному й попередньому кроках ітерації.

Цей метод використовується, якщо в процесі моделювання виникають небажані коливання числових значень розрахованих параметрів або у випадку використання в схемі ідеальних перемикачів. За замовчуванням цей метод призначений для аналізу схем генераторів.

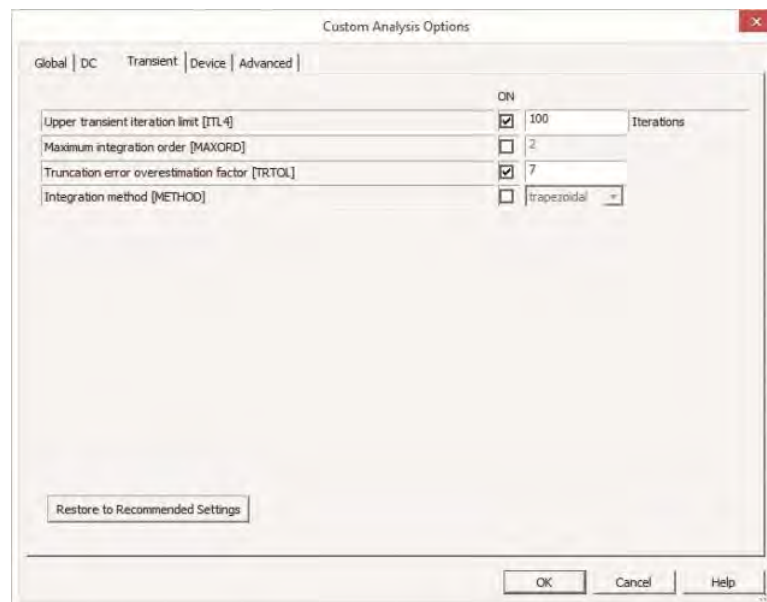


Рис. 1.17. Вікно встановлення параметрів аналізу перехідних процесів (Transient)

На вкладці вікна (рис. 1.18) встановлення параметрів **Device** (МОН-транзисторів) задаються наступні параметри:

- TNOM – номінальна температура компонента;
- BYPASS – вмикання або вимикання нелінійної частини моделі компонента;
- DEFAD – площа дифузійної області стоку, m^2 ;
- DEFAS – площа дифузійної області джерела, m^2 ;
- DEFL – довжина каналу польового транзистора, м;
- DEFW – ширина каналу, м;

- TRYTOCOMPACT – вмикання або вимикання лінійної частини моделі компонента;
- OLDLIMIT – вмикання або вимикання обмежень SPICE2-моделі для МОН-транзисторів (MOSFET), за замовчуванням виключене.

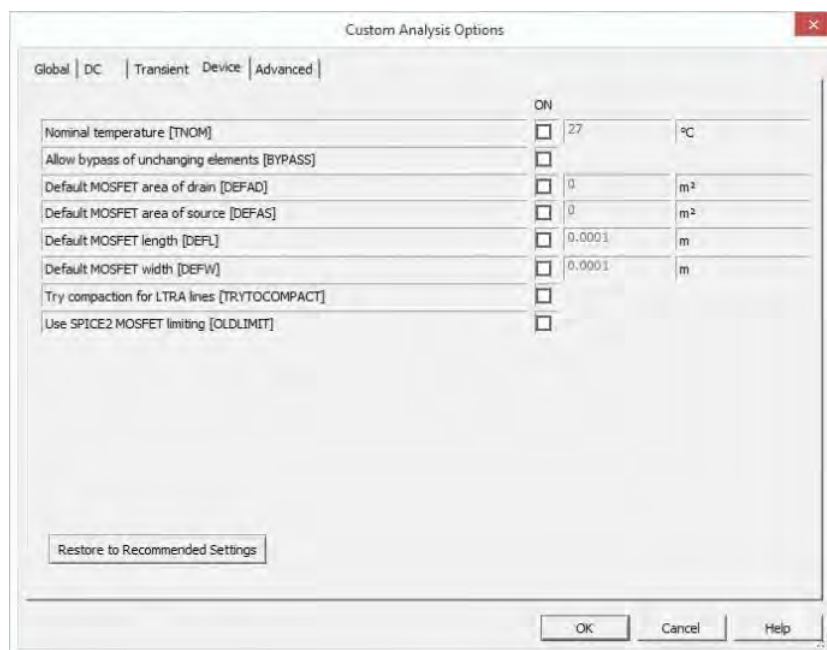


Рис. 1.18. Вікно встановлення параметрів аналізу Device (МОН-транзисторів)

Остання вкладка в цьому пункті меню – **Advanced** (рис. 1.19), на якій можна встановити наступні параметри:

- AUTOPARTIAL – використання розрахунку **auto-partial** для всіх моделей;
- BADMOS3 – використання старої моделі **mos3**;
- KEEPOPINFO – запис кожної точки при обчисленні параметрів малого сигналу;
- MAXEVTITER – максимальне число ітерацій у точці аналізу;
- MAXOPALTER – максимальне число ітерацій у точці аналізу (альтернативний метод) для аналізу кіл по постійному струму (DCOP);
- MINBREAK – мінімальний часовий інтервал між точками переривання;
- NOOPALTER – не використовувати альтернативний метод для аналізу кіл по постійному струму (DCOP).

Більш докладну інформацію про налаштування пунктів меню "Custom Analyzes Option" можна отримати в [4], що входить до складу документації до програми, що й перебуває за замовчуванням у папці C:\Program Files\National Instruments\Circuit Design Suite 10.0\documentation\Multisim 10 User Guide.pdf.

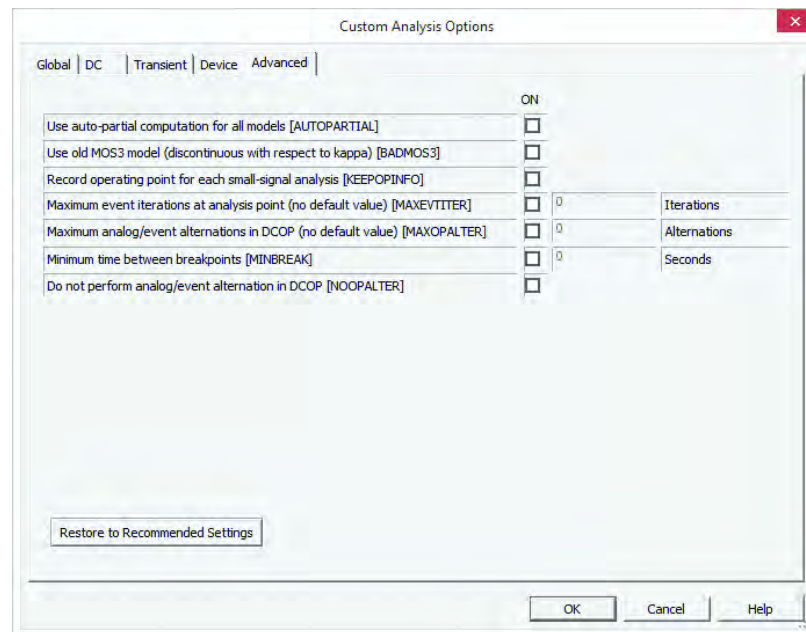


Рис. 1.19. Вікно встановлення параметрів аналізу Advanced

1.5 Основні правила роботи з вимірювальними пристроями

1.5.1 Робота з осцилографами

У програмі Multisim доступно 4 типи осцилографів. Розглянемо особливості роботи з дво- і чотирьохканальним осцилографами. Органи управління двоканальним осцилографом показані на рис. 1.20.

Масштаб зображення по вертикалі регулюється дискретно в кожному каналі незалежно органами регулювання чутливості входу. Масштаб зображення по горизонталі – тривалістю розгортки. У кожному каналі передбачена можливість зсуву зображення по вертикалі як вгору, так і вниз. Зсув по горизонталі здійснюється за допомогою зміни значення "X position".

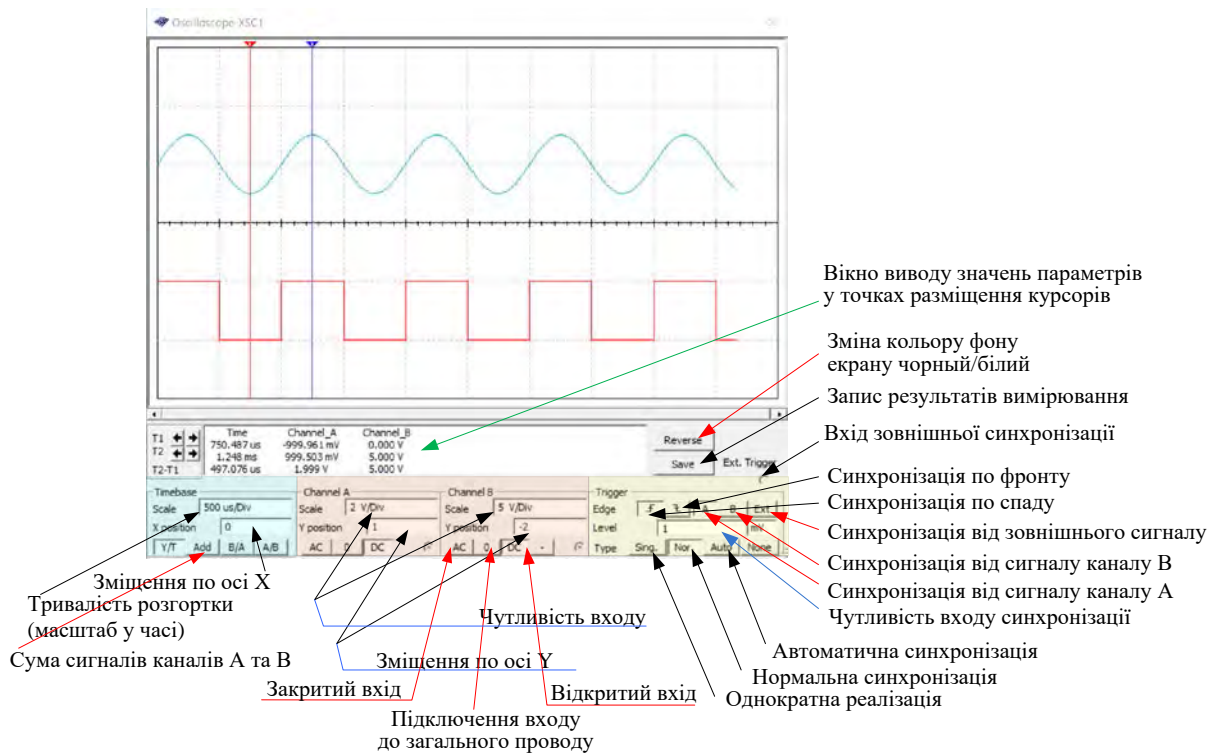


Рис. 1.20. Органи управління двоканальним осцилографом

У чотириканальних осцилографі замість роздільних вікон регулювання чутливості і зміщення по вертикалі використовується одне вікно і перемикач каналів (рис. 1.21). Для регулювання у потрібному каналі необхідно встановити покажчик (біла рисочка) на необхідну букву і задати параметри в обраному каналі (рис. 1.22). Аналогічно здійснюється регулювання і в інших каналах.



Перемикач входів осцилографа для налаштування чутливості та зміщення по вертикалі

Вибір каналу синхронізації

Рис. 1.21. Органи управління чотирьохканальним осцилографом

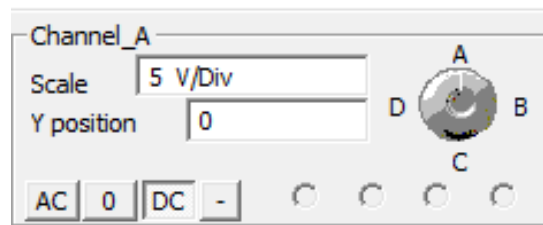


Рис. 1.22. Органи управління чутливістю чотирьохканального осцилографа

Сигнали, що подаються на входи осцилографа, треба розташовувати по вертикалі за простим правилом. Канал А повинен бути самим верхнім, а канал D – самим нижнім. У двоканальному осцилографі нижнім повинен бути канал В.

Для того, щоб на екрані осцилографа сигнали різних каналів відображалися різним кольором, необхідно поміняти кольори ліній, яка підходить до різних входів осцилографа. Для цього виділяють лінію клацанням лівої кнопки "миші" і потім натискають праву кнопку. У контекстному меню, що з'явився, потрібно вибрати пункт **Segment Color** (рис. 1.23).



Рис. 1.23. Контекстне меню для зміни кольору проводу

Після вибору пункту **Segment Color** відкривається вікно вибору кольору (рис. 1.24).

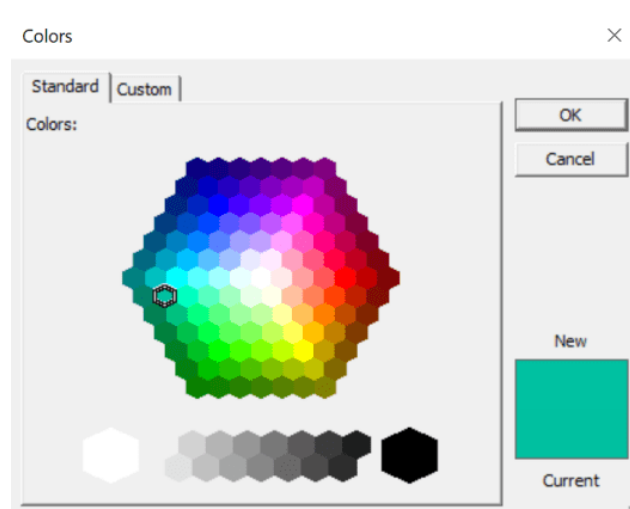


Рис. 1.24. Вікно вибору кольору лінії

Процедуру зміни кольору треба повторити для кожної лінії, що підходить до входу осцилографу.

Синхронізація осцилографа. Щоб зображення не зміщувалося по горизонталі необхідно синхронізувати розгортку осцилографа з початком чергового періоду сигналу. Для синхронізації переважно вибирати режим "Nor" і задавати рівень синхронізації в рядку "Level" рівний від 10 до 50% амплітуди сигналу, яким здійснюється синхронізація. Це може бути сигнал каналу А або В (по фронту або спаду), а також сигнал зовнішнього джерела сигналу, що підключається до входу "Ext Trg".

При дослідженні сигналів різної частоти слід вибирати для синхронізації найбільш низькочастотний сигнал.

Щоб зображення не зміщувалося по горизонталі необхідно синхронізувати розгортку осцилографа з початком чергового періоду сигналу. Для синхронізації переважно потрібно використовувати режим "Nor" (нормальний) і задавати рівень синхронізації в рядку "Level" рівний від 10 до 50% амплітуди сигналу, яким здійснюється синхронізація. Це може бути сигнал каналу А або В (по фронту або спаду), а також сигнал зовнішнього джерела сигналу, що підключається до входу "Ext. Trigger".

Якщо у сигналі наявна постійна складова, то рівень синхронізації треба встановлювати з урахуванням величини постійної складової. Наприклад, гармонійний сигнал з амплітудою 1 В має постійну складову 2 В. При синхронізації такого сигналу потрібно встановити чутливість входу синхронізації не нижче 2,01 В (рис. 1.25).

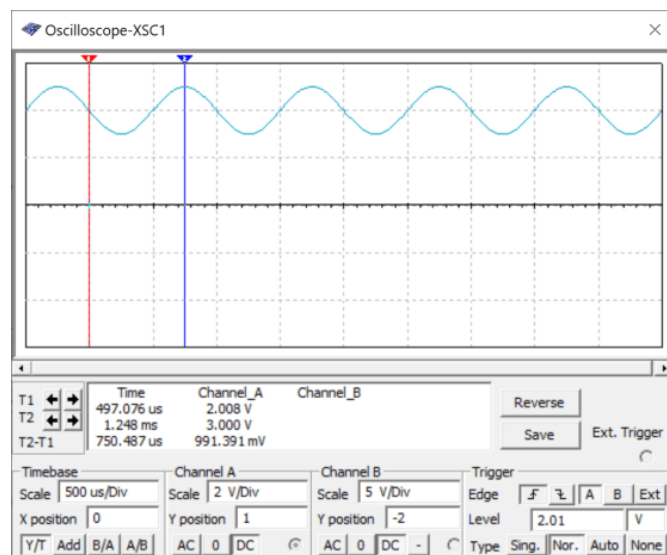


Рис. 1.25. Встановлення рівня синхронізації при наявності постійної 2 В у досліджуваному сигналі

При дослідженні сигналів різної частоти слід обирати для синхронізації сигнал з найнижчою частотою, як показано на рис. 1.26. Синхронізація здійснюється від сигналу що подається на вхід каналу В. Якщо включити синхронізацію від каналу А, то сигнали будуть весь

час зміщуватись один відносно одного по горизонтальній осі.

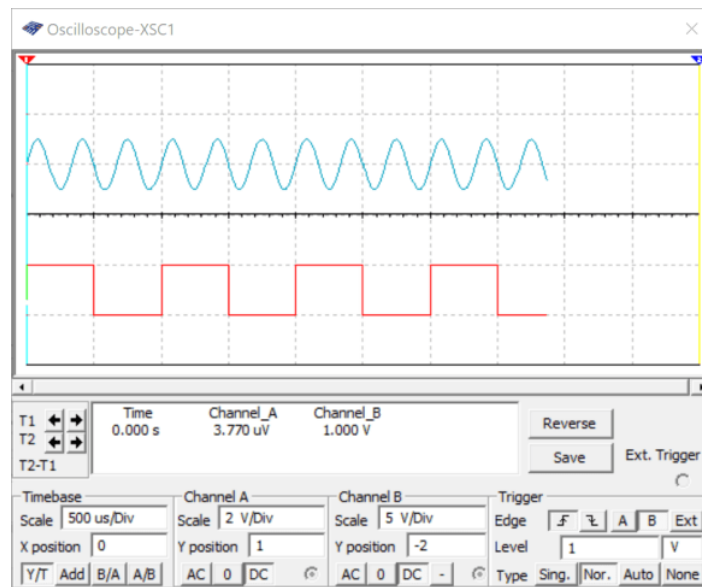


Рис. 1.26. Синхронізація осцилографа сигналом з найнижчою частотою

Вимірювання параметрів сигналу в будь якій точці (наприклад, амплітуда і часовий інтервал від початку розгортки) можна здійснювати як за поділами, нанесеним на екрані, так і за допомогою курсорів (червоний і синій трикутники у верхній частині екрана осцилографа). Досить перемістити курсор в потрібну точку екрана і в вікні виводу значень параметрів в точці розміщення курсора прочитати покази (рис. 1.27).

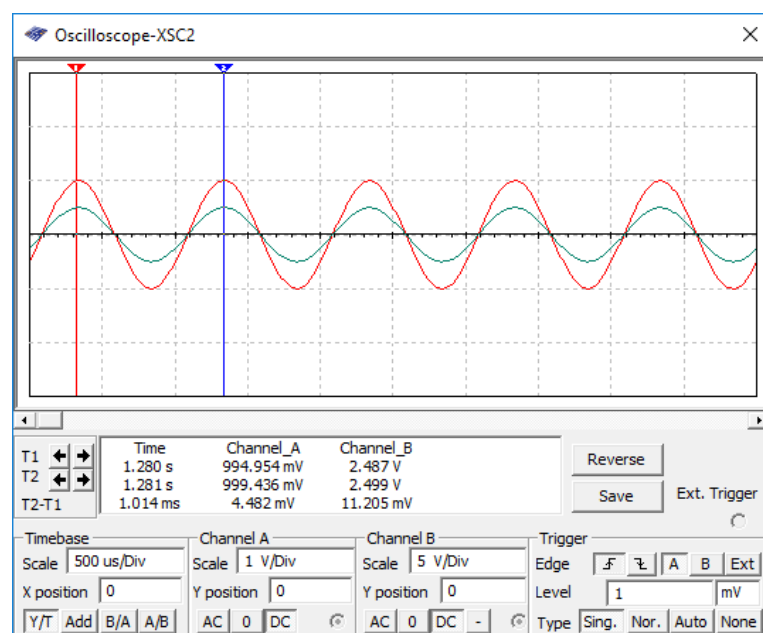


Рис. 1.27. Вимірювання параметрів сигналу в точці позначеною курсором

Як впливає з рис. 1.27 напруга в точці поміченій червоним курсором 994,954 мВ для каналу А і 2,487 В для каналу В, а в точці поміченій синім курсором – 999,436 мВ і 2,499 В, відповідно. У нижньому рядку вказується часовий інтервал між курсорами і різниця напруги, виміряної в цих точках.

Вимірювання тривалості фронту ат затримкк сигналу. Для вимірювання параметрів сигналів з високою швидкістю зміни напруги необхідно встановити частоту сигналу настільки високою, що тривалість періоду вхідного сигналу складала 3...5 тривалостей фронту чи спаду сигналу. Такий же підхід треба використовувати при вимірюванні затримки сигналів при проходженні їх через різні кола.

Проілюструємо це прикладами вимірювання на моделі, що наведена на рис. 1.28. Частота вхідного сигналу, який формується генератором прямокутних імпульсів V1 (CLOCK_VOLTAGE), встановлена рівною 1 кГц (тривалість періоду 1 мс). Як видно з рис. 1.28 виміряти тривалість фронту або затримки за допомогою осцилографа неможливо, бо зображення вхідного і вихідного сигналів на екрані осцилографа співпадають у часі.

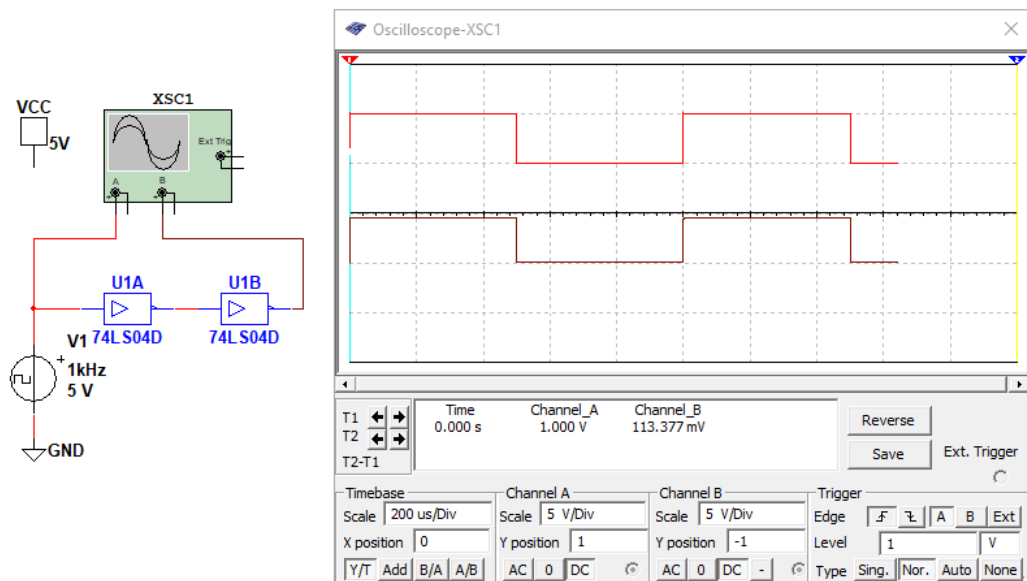


Рис. 1.28. Спроба вимірювання тривалості фронту та затримки сигналу на низькій частоті

Збільшимо частоту вхідного сигналу до 1 МГц і повторимо спробу вимірювання. Результати вимірювання наведені на рис. 1.29. Як слідє з цього рисунка, при такій частоті вхідного сигналу можливо виміряти затримку вихідного сигналу відносно вхідного за допомогою курсорів. Виміряне значення затримки складає близько 47 нс. Але виміряти час зростання сигналу (тривалість фронту) неможливо.

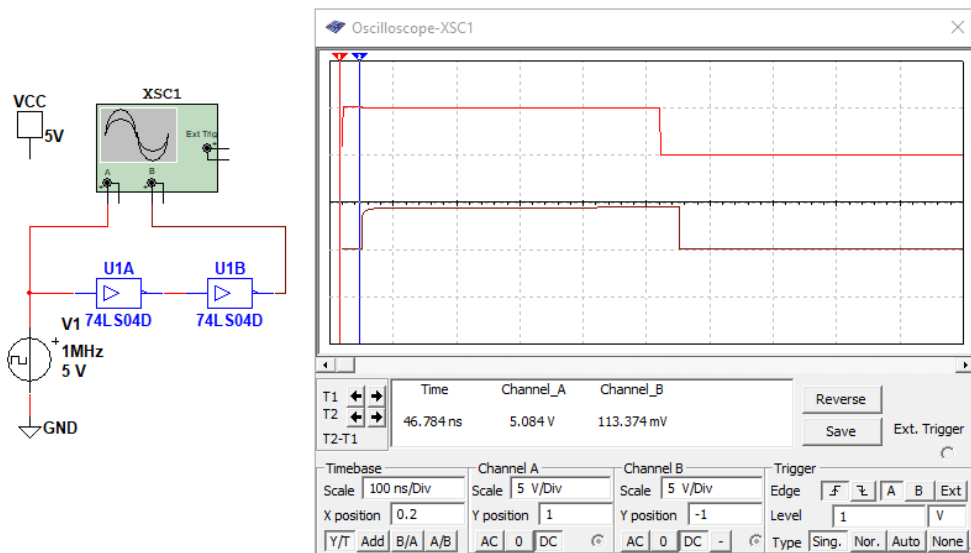


Рис. 1.29. Вимірювання затримки сигналу при частоті вхідного сигналу 1 МГц

Збільшимо частоту вхідного сигналу до 100 МГц. На рис. 1.30 наведені результати вимірювання тривалості фронту вхідного сигналу, що складає 214 пс ($214 \cdot 10^{-12}$ с).

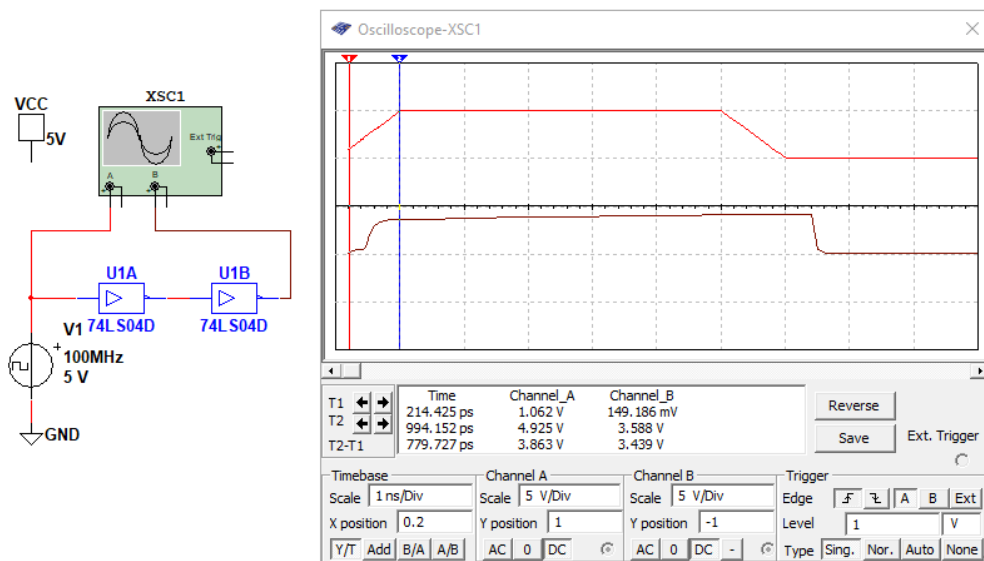


Рис. 1.30. Вимірювання тривалості фронту сигналу при частоті вхідного сигналу 100 МГц

Для зручності вимірювання часових інтервалів після синхронізації осцилографа в режимі **Nor** потрібно натиснути кнопку Sing (від Single – одиничний). У цьому режимі синхронізації у пам'ять осцилографа записується одна реалізація сигналу і після цього зміна сигналу на екрані припиняється.

1.5.2 Плоттер Боде

Плоттер Боде призначений для вимірювання амплітудно-частотних та фазо-частотних характеристик. Щоб використати інструмент натисніть на кнопку **Bode Plotter** на панелі інструментів і перенесіть на потрібне місце на робочому аркуші. Умовне позначенням плоттера наведено на рис. рис. 1.31,а. Підключення до вимірювального кола наведено на рис. 1.31,б.

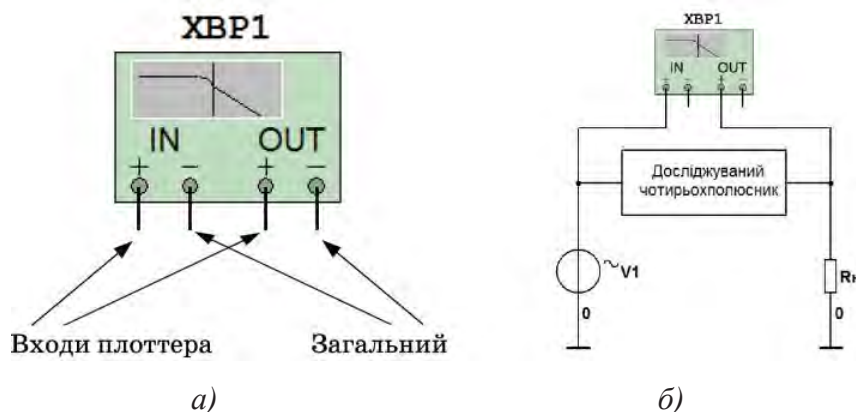


Рис. 1.31. Умовне позначення і призначення входів (а) та схема підключення (б) плоттера Боде

Плоттер використовується для побудови амплітудно-частотних і фазо-частотних характеристик. Коли плоттер підключається до схеми, виконується спектральний аналіз у заданому діапазоні частот. Для роботи Боде-плоттера на вході схеми обов'язково потрібно включити джерело сигналів змінного струму (АС), як показано на рис. 1.31,б. Загальний провід можна до плоттера не під'єднувати оскільки за замовчуванням це з'єднання здійснюється автоматично, хоча на схемі це і не відображається. Частота сигналу джерела АС не впливає на результати роботи плоттера і може бути встановлена будь-якою.

Подвійне клацання по іконці відкриває панель інструмента, яка використовується для вводу установок і перегляду результатів вимірювання (рис. 1.32).

Початкове і кінцеве значення масштабу по вертикалі і горизонталі встановлені за замовченням на максимум. Ці значення можуть змінюватися для перегляду графіка в різних масштабах. Якщо масштаб збільшувався або змінювалась база після закінчення симуляції, вам може знадобитись повторна активація схеми, щоб отримати більш детальне зображення. Порівняно з іншими приладами, якщо виводи плоттера Боде переносяться до інших вузлів, необхідно повторно активувати схему, щоб отримати правильні результати.

Для налаштування кількості точок, що відображають АЧХ або ФЧХ необхідно натиснути кнопку Set (рис. 1.32) і у вікні **Settings dialog** що відкривається встановити потрібну кількість точок (**Resolution Points**) і натиснути кнопку **Accept**. Максимальне значення кількості точок дорівнює 1000. Бажано завжди використовувати максимальне значення для підвищення точності

отриманих результатів.

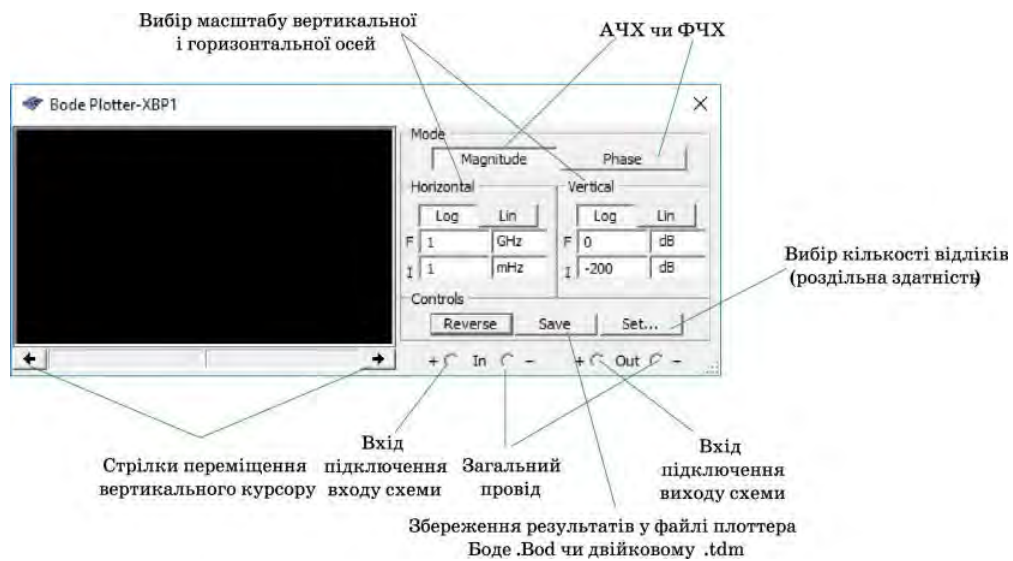


Рис. 1.32. Вікно відображення результатів та налаштування параметрів плоттера Бодє

Вимірювання АЧХ та ФЧХ (Magnitude та Phase)

В режимі вимірювання АЧХ (**Magnitude**) вимірюється відношення величин напруги між двома вузлами в схемі, які під'єднані до входів In і Out. У режимі вимірювання ФЧХ між цими вузлами вимірюється зсув фаз.

Встановлення масштабу вертикальної та горизонтальної осей

Логарифмічна шкала використовується, коли значення, які порівнюються, значно відрізняються за рівнем.

Налаштування частотного діапазону аналізу здійснюється у вікні **Horizontal** шляхом встановлення верхнього значення частоти (вікно F на рис. 1.32 і 1.33) і нижнього значення частоти (вікно I на рис. 1.32).

Налаштування максимального і мінімального рівня вхідного сигналу здійснюється у вікні **Vertical** (вікно F і I на рис. 1.33, відповідно).



Рис. 1.33. Встановлення масштабу вертикальної та горизонтальної осей

В табл. 1.2 наведені діапазони вимірювань в лінійному та логарифмічному масштабах.

Таблиця 1.2. Залежність одиниць і масштабу по вертикальній осі

Режим вимірювання	Використаний масштаб	Значення по замовчуванню	Максимальне кінцеве значення
Magnitude (gain)	Logarithmic	-200 дБ	200 дБ
Magnitude (gain)	Linear	0	10^9
Phase	Linear	-720°	720°

Перегляд результатів вимірювання плоттером Бode

Для ілюстрації вимірювання за допомогою Бode-плоттера скористаємось моделлю, що наведена на рис. 1.34. Схема складається з коливального контуру з елементів L1 та C1 та резистора навантаження Rn. У вікні відображення результатів спостерігається резонансна крива цього контуру. Для більш детального дослідження АЧХ діапазон аналізу встановлений від 10 кГц до 1 МГц, а мінімальне значення коефіцієнта передаванні встановлене рівним -50 дБ. Під час налаштування цих значень АЧХ на екрані перебудовується одночасно зі зміною параметру і це дозволяє обрати найкращий масштаб для перегляду.

Щоб прочитати значення частоти і значення коефіцієнта передаванні схеми чи фазового зсуву у будь-якій точці на графіку треба змістити курсор, що знаходиться з лівого краю вікна відображення результатів вимірювання плоттера Бode, у потрібну точку.

Щоб перемістити вертикальний курсор натисніть по стрілці в нижній частині плоттера або перетягніть вертикальний курсор від лівого краю дисплея плоттера в точку на графіку, яку хочете виміряти (рис. 1.34).

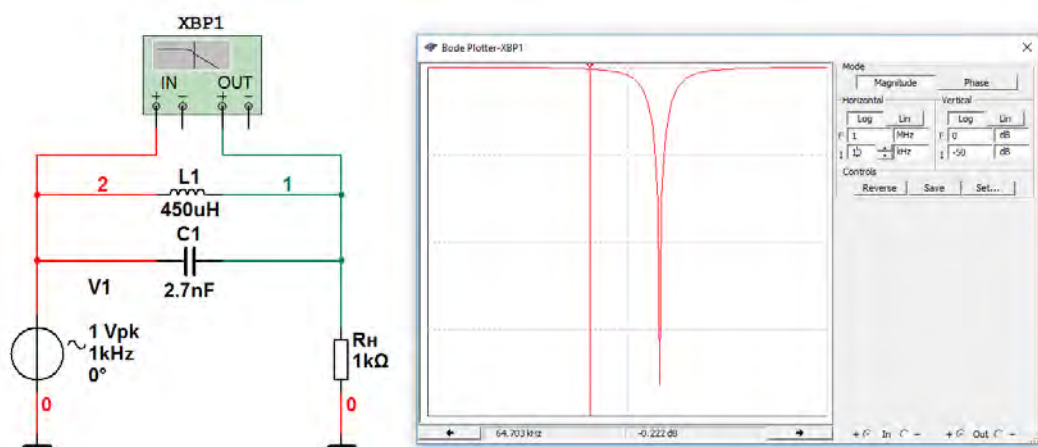


Рис. 1.34. Значення частоти і коефіцієнта передаванні кола на перетині вертикального курсора і графіка

Частотна характеристика, що відображається на рис. 1.34, має дуже гострий резонанс і потрапити курсором у точку мінімального коефіцієнта передаванні досить важко. Для точного переміщення у точку мінімуму чи максимуму АЧХ треба розмістити курсор "миші" на лінії курсору і натиснути праву кнопку "миші". В результаті цього на екран буде виведене контекстне меню для переміщення курсору у якому передбачено (рис. 1.35):

- переміщення курсору вліво чи вправо по осі X на задане значення частоти;
- переміщення у точку (вліво чи вправо) із заданим значення коефіцієнта передаванні (чи фази при вимірюванні ФЧХ);
- переміщення у точку наступного максимуму (мінімуму) АЧХ вліво чи вправо.

Для точного вимірювання частоти резонансу можна скористатися пунктом контекстного меню Go to next Y_MIN зі стрілкою, що вказує праворуч, і курсор автоматично переміститься у точку мінімального коефіцієнту передавання (рис. 1.36).

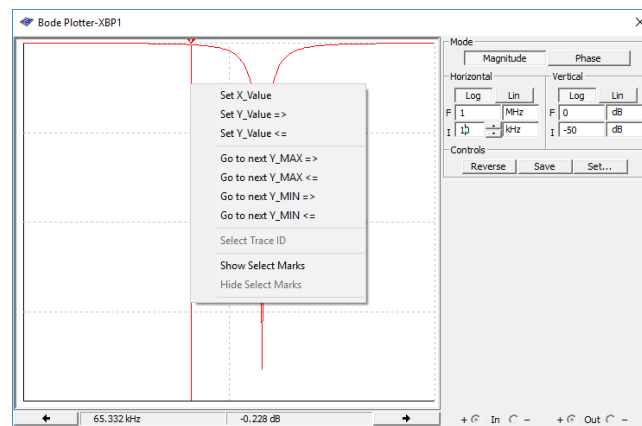


Рис. 1.35. Контекстне меню для переміщення курсора Бодє-плоттера

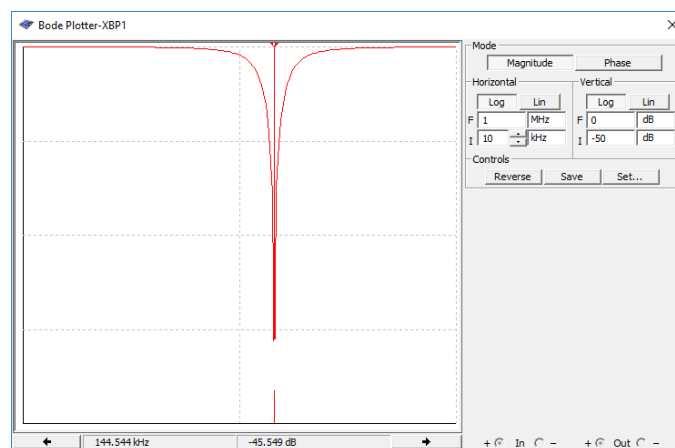


Рис. 1.36. Результати точного вимірювання частоти резонансу за допомогою контекстного меню

1.5.3 Генератор слова

Для формування тестових багаторозрядних цифрових сигналів використовується **Word Generator** (генератор слова), умовне позначення і вікно налаштувань параметрів якого показані на рис. 1.37.

Генератор дозволяє формувати 32-розрядні кодові слова, які можна ввести з клавіатури безпосередньо у вікні введення коду (рис. 1.37).

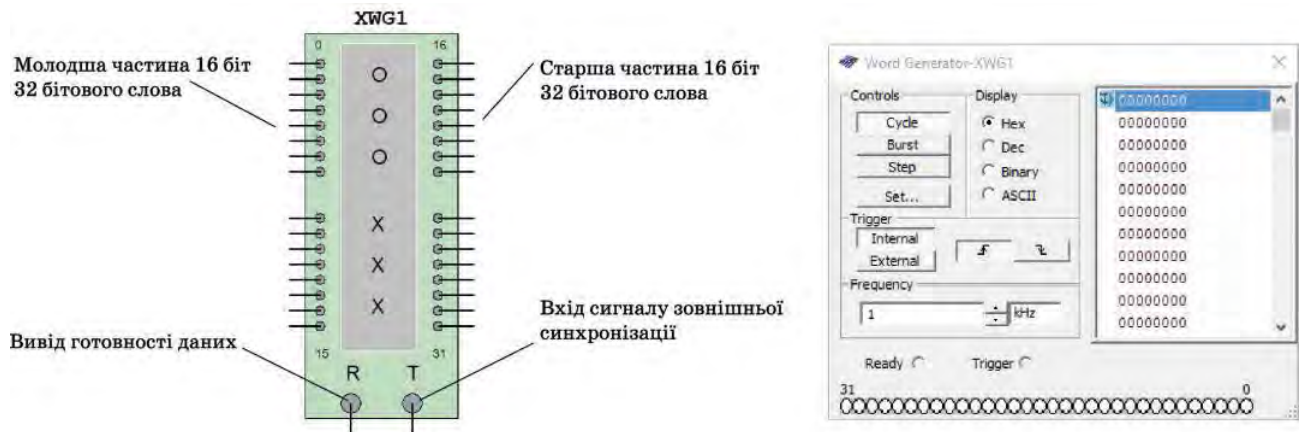


Рис. 1.37. Умовне позначення і вікно налаштувань параметрів генератора слова

Для вводу і збереження введених слів іншими способами необхідно натиснути кнопку Set у вікні налаштування параметрів генератора слова (рис. 1.38). У вікні попередніх налаштувань у стовпці Preset Patterns можна вибрати один з восьми варіантів формування та збереження слова:

- No Change – не змінюється автоматично (ручне введення значень);
- Load – завантажити з файлу;
- Save – зберегти файл;
- Clear buffer – очистити буфер;
- Up Counter – автоматично збільшувати кожне наступне значення на 1;
- Down Counter – автоматично зменшувати кожне наступне значення на 1;
- Shift Right – зміщувати праворуч на одну позицію кожне наступне значення;
- Shift Left – зміщувати ліворуч на одну позицію кожне наступне значення.

Перед початком введення кодових слів необхідно у вікно Buffer Size (рис. 1.38) ввести необхідну кількість кодових слів, яка задається в шістнадцятковому або десятковому коді в залежності від типу виводу на дисплей – в шістнадцятковому (Hex) або десятковому (Dec), який задається в вікні Display Type. Гранічний розмір буфера 8192 кодових слова (2000 в шістнадцятковому коді).

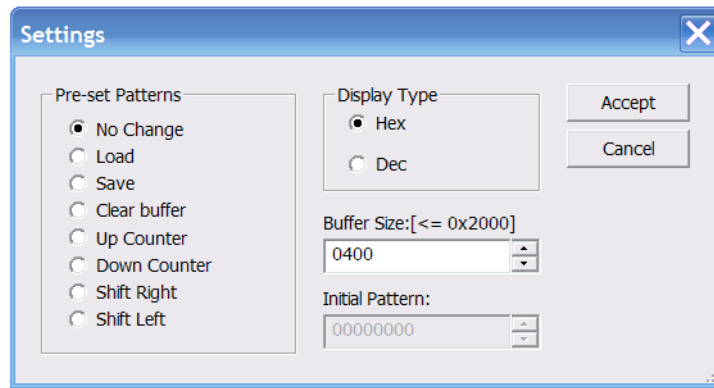


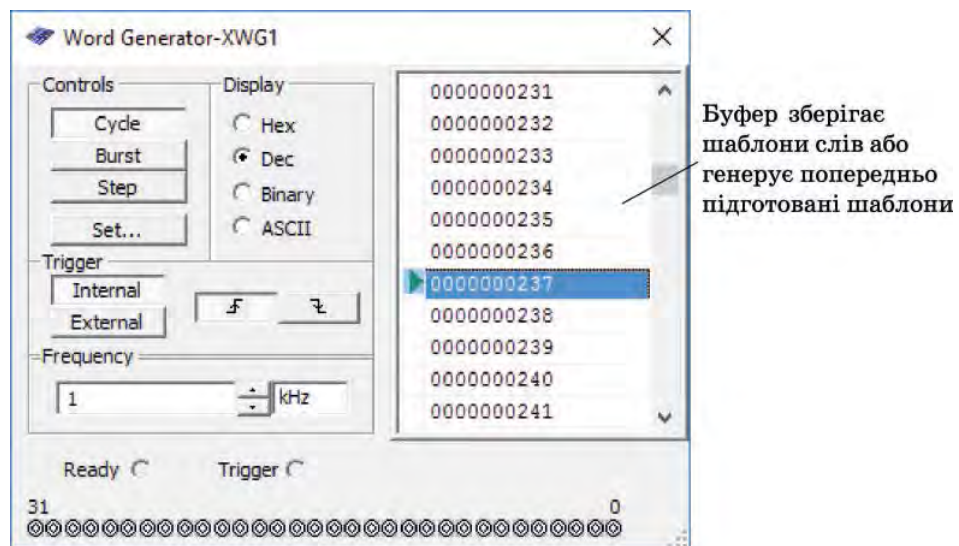
Рис. 1.38. Вікно налаштувань генератора слова

При використанні Up Counter, Down Counter, Shift Right і Shift Left у вікно Initial Pattern необхідно ввести початкове значення коду.

Розглянемо на прикладі, як буде виглядати набір кодових слів при наступних налаштуваннях:

- Display Type – Dec;
- Buffer Size – 10;
- Shift Right;
- Initial Pattern – 2147483648 (відповідає шістнадцятковому кодом 80000000).

Сформовані кодові слова показані на рис. 1.39. Для наочного уявлення цифрового сигналу, що формується, результат у вікні Word Generator представлений в десятковому коді.



Вихідні виводяки відповідають тим, що відображаються на іконці генератора

Рис. 1.39. Основне вікно генератора слова

Щоб встановити об'єм, значення і порядок зміни коду необхідно натиснути кнопку Set (рис. 1.39) і у вікні Settings, що відкриється (рис. 1.40), провести необхідні встановлення.

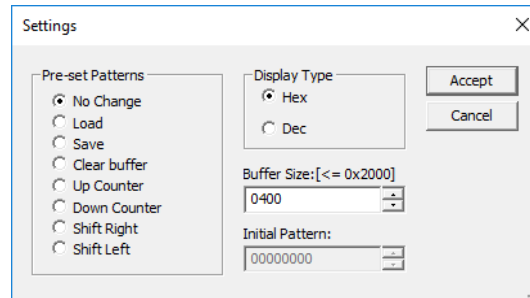


Рис. 1.40. Вікно Settings генератора слова

До введення значень коду в будь-якому режимі необхідно вибрати у якому коді відображати дані – шістнадцятковому (Hex), чи десятковому (Dec). Після цього задати об'єм буфера (не більше ніж 8192 символи), номер початкової позиції з якої почнеться зчитування коду (Initial Pattern) і натиснути кнопку Ассерт.

Для введення значень коду в режимі No Change курсором "миші" клацнути на одній з кнопок вибору режиму формування коду (рис. 1.39): циклічному (Cycle), одноразовому (Burst) або покроковому (Step). У покроковому режимі після кожного натискання кнопки Run (на панелі інструментів кнопка позначена зеленим трикутником) виводиться чергове кодове слово. Після перебору всіх введених значень коду буде знову виводитися перше слово, потім друге і т.д.

Після цього необхідно обрати режим відображення у секції Display (Hex, Dec, Binary або ASCII) і потім ввести з клавіатури потрібні значення коду у кожний рядок. Подальші переміщення по полю екрану зручніше проводити не за допомогою "миші", а клавішами управління курсором. Вміст екрану можна стерти, завантажити нове значення або записати у файл. Для запису необхідно натиснути кнопку Save і Ассерт попередньо натиснувши кнопку Set (рис. 1.40). В діалоговому вікні необхідно вказати ім'я файлу (за замовчуванням пропонується ім'я схемного файлу). В отриманому таким чином текстовому файлі з розширенням .др будуть записані у вигляді таблиці всі набрані на екрані комбінації. При необхідності файл можна відредагувати в будь-якому текстовому редакторі і завантажити знову натисненням кнопки Load.

Окрім режиму ручного вводу коду передбачена можливість автоматичного формування коду у відповідності зі зміною коду на виході підсумовуючого (Up Counter) або віднімаючого (Down Counter) двійкового лічильника, а також автоматичного зміщення коду на одну позицію двійкового коду (тобто у 2 рази) вліво (Shift Left) чи вправо (Shift Right).

Для введення і збереження введених слів іншими способами необхідно натиснути кнопку Set у вікні налаштування параметрів генератора слова (рис. 1.39). У вікні попередніх налаштувань

у стовпці Preset Patterns вибрати один з восьми варіантів формування та збереження слова:

- No Change – не змінюється автоматично (ручне введення значень);
- Load – завантажити з файлу;
- Save – зберегти файл;
- Clear buffer – очистити буфер;
- Up Counter – автоматично збільшувати кожне наступне значення на 1;
- Down Counter – автоматично зменшувати кожне наступне значення на 1;
- Shift Right – зміщувати праворуч на одну позицію кожне наступне значення;
- Shift Left – зміщувати ліворуч на одну позицію кожне наступне значення.

На вихід R (Ready) генератора слова виводиться сигнал тактової частоти, який може бути використаний для синхронізації інших пристроїв. Сигнал з цього виходу супроводжує кожен кодову комбінацію, що подається на вихід і може бути використаний в тому випадку, коли досліджуваний пристрій має властивість квітування (підтвердження). У цьому випадку після отримання чергової кодової комбінації і супроводжуючого його сигналу READY досліджуваний пристрій формує сигнал підтвердження отримання даних, який подається на вхід зовнішньої синхронізації генератора T і виробляє черговий запуск генератора, якщо він працює в режимі зовнішньої синхронізації.

На рис. 1.41 наведено приклад формування 4-розрядного цифрового сигналу з періодом повторення 16 тактів (режим виводу Cycle) і часові діаграми цього сигналу, отримані за допомогою чотирьохканального осцилографа.

Текст файлу, що містить інформацію про сформовані сигнали, наведено на рис. 1.42. Частота виводу сигналів задається в рядку Frequency (рис. 1.41). За замовчуванням задається частота виведення сигналу 1 кГц.

Сформовані слова знімаються з чотирьох виходів (від 0 до 3) молодших розрядів XWG1 (рис. 1.41). На інших виходах формуються нулі у відповідності з таблицею програмування генератора. Передбачена можливість підключення зовнішнього синхронізуючого сигналу по входу T. За замовчуванням включена синхронізація від внутрішнього тактового генератора.

На вивід R (Ready) генератора слова виводиться сигнал тактової частоти, який може бути використаний для синхронізації інших пристроїв. Сигнал з цього виходу супроводжує кожен кодову комбінацію, що подається на вихід і може бути використаний в тому випадку, коли досліджуваний пристрій має властивість квітування (підтвердження). У цьому випадку після отримання чергової кодової комбінації і супроводжуючого його сигналу READY досліджуваний пристрій формує сигнал підтвердження отримання даних, який подається на вхід зовнішньої синхронізації генератора T і виробляє черговий запуск генератора, якщо він працює в режимі зовнішньої синхронізації.

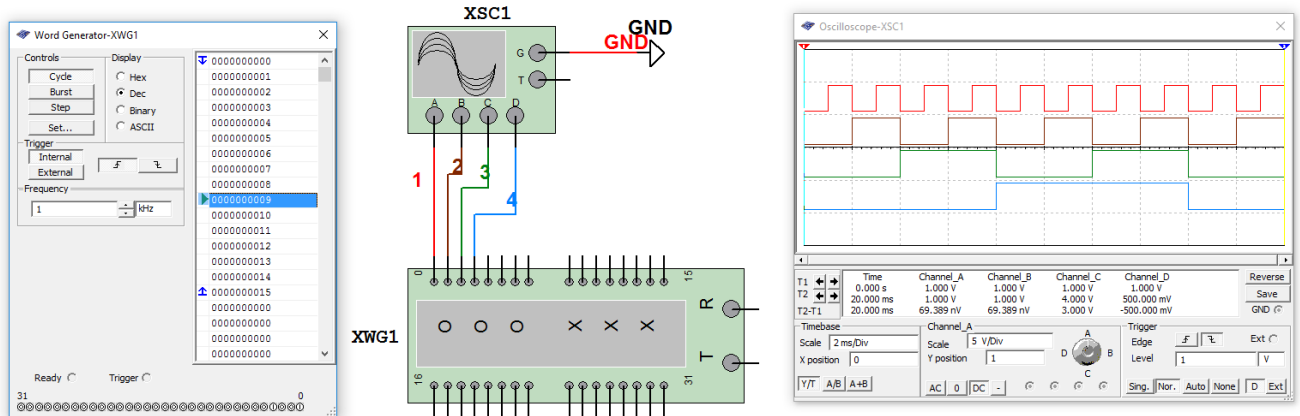


Рис. 1.41. Формування 4-розрядного двійкового зростаючого коду генератором слова в циклічному режимі

Data:
00000000
00000001
00000002
00000003
00000004
00000005
00000006
00000007
00000008
00000009
0000000A
0000000B
0000000C
0000000D
0000000E
0000000F
Initial:
0000
Final:
000F

Рис. 1.42. Таблиця, що зберігається в файлі word.dp

Для очищення буфера від введених кодових слів необхідно натиснути кнопку Clear buffer.

Генератор кодових слів зручно використовувати для тестування різних цифрових пристроїв, так як він дозволяє формувати довільні послідовності нулів та одиниць.

2.5.4 Аналізатор спектру

Аналізатор спектру призначений для вимірювання спектрів сигналів. Аналіз спектру відбувається з використання швидкого перетворення Фур'є (ШПФ). На рис. 1.43 наведений зовнішній вигляд та органи управління аналізатором спектру.

Перед проведенням аналізу необхідно задати параметри спектрального аналізу:

6. Діапазон частот аналізу (Span).
7. Початкове і кінцеве значення частоти (Start і End).
8. Центральну частоту (Center).
9. Динамічний діапазон аналізу (Range), який задається як ціна поділки по вертикалі в В/діл або дБ/діл.
10. Опорний рівень в дБ і роздільну здатність аналізу (Resolution Freq.).
11. Кількість точок спектрального аналізу, максимальний рівень вхідного сигналу і джерело синхросигналу (внутрішнє або зовнішнє) задають натиснувши кнопку Set.

Чим менше значення роздільної здатності, тим точніше значення спектру. Роздільна здатність аналізу також залежить від кількості усереднених реалізацій сигналу, яка задається після натискання кнопки Set (рис. 1.43) у вікні, що показано на рис. 1.44.

Чим більша кількість усереднень, тим більша точність аналізу але і більший час для його проведення. Значення кількості усереднень може вибиратись у діапазоні від 1024 до 32768. Після вибору потрібного числа треба натиснути кнопку Асерт. Після цього можна проводити аналіз натиснувши кнопку початку моделювання у Multisim.

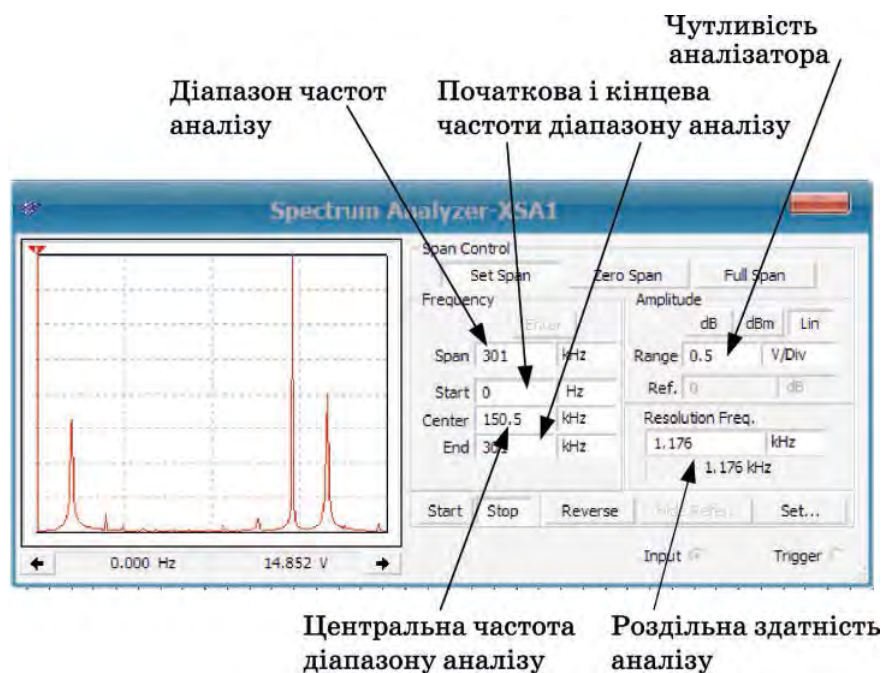


Рис. 1.43. Органи управління аналізатором спектру

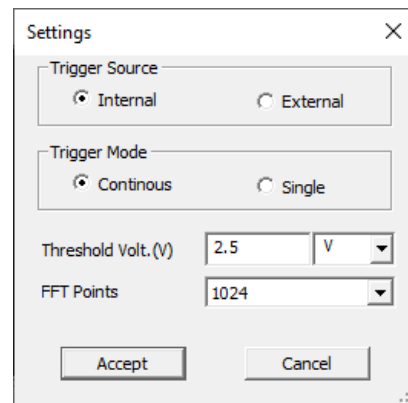


Рис. 1.44. Вікно вибору кількості усереднень

Ілюстрацію роботи аналізатора спектру покажемо на прикладі аналізу спектру послідовності однополярних прямокутних імпульсів. Модель для дослідження спектру наведена на рис. 1.45 і складається всього з двох елементів – генератора прямокутних однополярних імпульсів V1 (CLOCK VOLTAGE) і резистора R1.

Для аналізу подаємо на вхід аналізатора спектру послідовність прямокутних імпульсів з частотою 1 кГц, тривалість яких складає 50% від тривалості періоду, а амплітуда дорівнює 5 В.

Аналіз отриманої спектрограми (рис. 1.45) показує, що в спектрі в заданому діапазоні аналізу від 0 Гц до 30 кГц присутній цілий ряд непарних гармонік. Парні гармоніки у спектрі відсутні, що видно у точці розташування курсору.

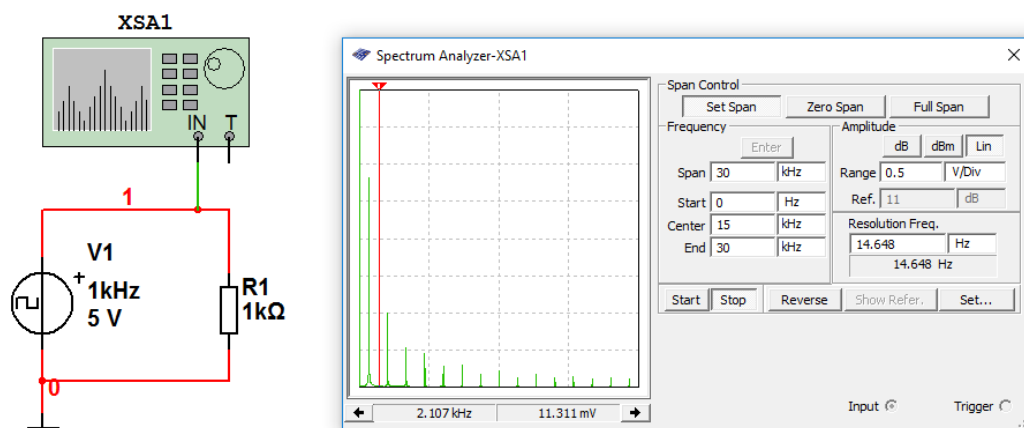


Рис. 1.45. Схема моделі та результати аналізу спектру послідовності прямокутних імпульсів з частотою слідування 1 кГц та коефіцієнтом заповнення 50%

1.5.5 Логічний аналізатор

Логічний аналізатор призначений для одночасного відображення на одному екрані до 16 процесів, що протікають у цифрових схемах. Щоб використати інструмент треба натиснути на кнопку Logic Analyzer на панелі інструментів і перемістити іконку на робочій аркуш. Іконка

використовується для підключення логічного аналізатора до схеми. Подвійне клацання по іконці відкриває панель інструмента, яка використовується для вводу установок і перегляду результатів вимірювання.

Логічний аналізатор та призначення його входів наведені на рис. 1.46, а вікно налаштування та відображення результатів аналізу – на рис. 1.47.



Рис. 1.46. Зовнішній вигляд іконки логічного аналізатору

Якщо двічі клацнути "мишкою" по іконці логічного аналізатора, то відкривається вікно налаштування і відображення результатів аналізу.

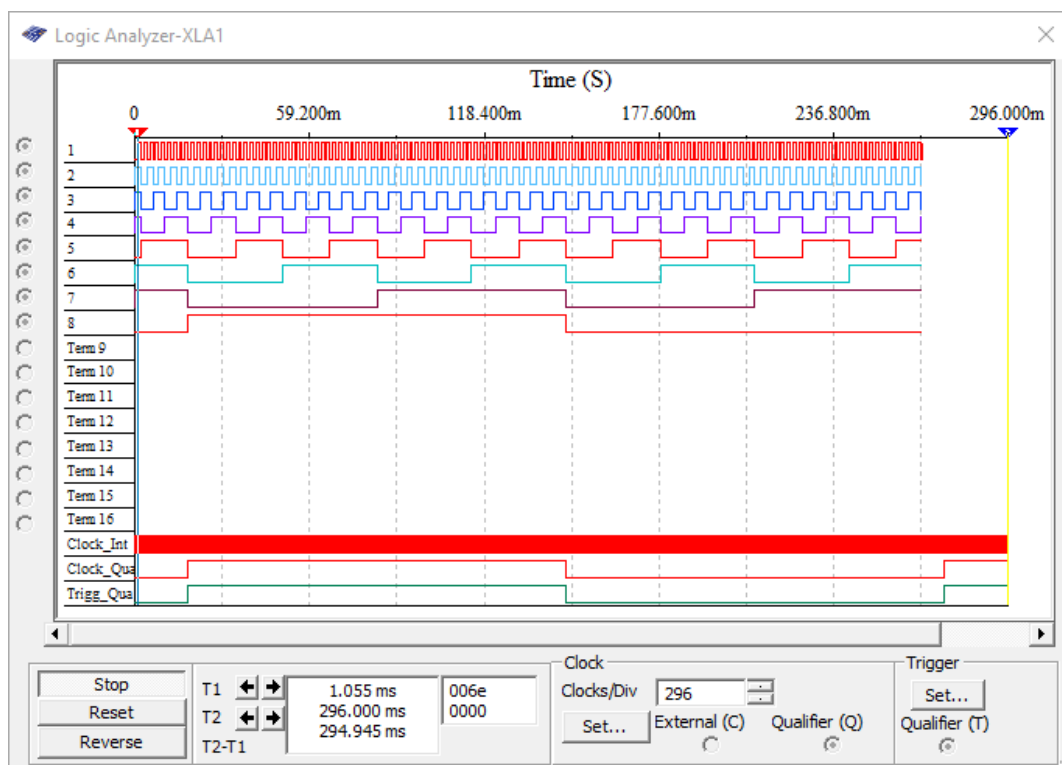


Рис. 1.47. Вікно налаштування та відображення результатів аналізу логічного аналізатора

У цьому вікні 16 кружків по лівому краю показують під'єднані входи. Коли входи з'єднані

з вузлами схеми, кружки відображаються з чорними крапками у середині, біля них відображаються імена вузлів і колір діаграми на цьому вході співпадає з кольором проводу на схемі, який під'єднаний до цього входу. На вільних входах кружки виводів відображаються без чорних крапок і діаграми сигналів біля цих входів не відображаються (рис. 2.47).

В центральній частині панелі управління знаходиться вікно показань курсорів, в якому розташовані три поля:

- "T1" (показання курсора T1);
- "T2" (показання курсора T2);
- "T2-T1" (зсув у часі між курсорами).

Кнопки стрілок дозволяють змінювати положення курсорів. Положення сигналів у часі можна виміряти у точках перетину курсорів T1 і T2, коли робота аналізатора зупинена. Також автоматично перший курсор T1 переміщується у точку моменту синхронізації, коли робота аналізатора зупиняється.

Коли схема активується, логічний аналізатор записує сигнали, що подаються на його входи і відображає їх у вигляді часових діаграм. Сигнали відображаються як прямокутні імпульси. Верхня діаграма відображає сигнал каналу 1, наступна каналу 2 і т.д.

У цьому ж вікні також відображається сигнал внутрішнього або зовнішнього тактового генератора, сигнал зовнішньої синхронізації і сигнал на вході класифікатора синхроімпульсів (рис. 1.47).

Логічний аналізатор збирає і виводить дані поки не досягне кількості відліків, яка задається користувачем після натискання кнопки Set.

Після вмикання режиму симуляції логічний аналізатор автоматично починає проводити аналіз. Для перезапуску приладу треба натиснути кнопку Reset. Це призведе до очистки всієї інформації у вікні логічного аналізатора і початку нового циклу збору інформації.

Щоб відображати збережені дані без їх подальшої зміни треба натиснути кнопку Stop. Після зупинки аналізатора, щоб знову почати процес аналізу даних, потрібно натиснути кнопку Reset або знову запустити процес симуляції Multisim.

Для правильного відображення сигналів, що подаються на входи логічного аналізатора треба враховувати принцип його роботи. Він полягає у тому, що з вхідного сигналу зчитуються відліки з частотою, що задається користувачем. Сигнал цієї частоти у логічному аналізаторі має назву Clock rate (частота дискретизації) і задається від внутрішнього чи зовнішнього генераторів. Частота цього сигналу повинна перевищувати частоту найбільш високочастотного вхідного сигналу не менше ніж у 10 разів. Однак її потрібно вибирати набагато більшою якщо потрібно досліджувати короткі імпульси. Приблизно частоту сигналу Clock rate можна розрахувати за такою формулою $f_{clk} \geq 1/t_i$, де t_i – тривалість найкоротшого імпульсу.

Встановлення параметрів тактового генератора логічного аналізатора

Генератор сигналів Clock rate може бути внутрішнім або зовнішнім. Для налаштування установок тактового генератора потрібно виконати декілька простих операцій:

1. Натисніть кнопку Set в області Clock логічного аналізатора (рис. 1.47). З'явиться діалогове вікно Clock Setup (рис. 1.48).

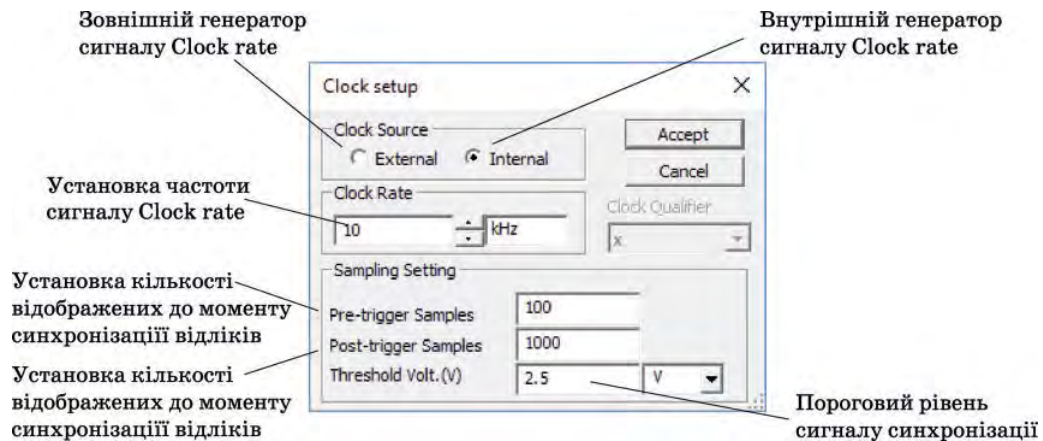


Рис. 1.48. Діалогове вікно Clock Setup

2. Виберіть режим роботи з зовнішнім або внутрішнім тактовим генератором.

3. Встановіть частоту тактового генератора. Частота тактового генератора повинна бути набагато більша ніж частота самого високочастотного сигналу на входах аналізатора. Краще вибирати значення цієї частоти у 10...100 разів більшим за частоту сигналу.

Класифікатор сигналу зовнішньої синхронізації (Clock Qualifier) дозволяє змінювати рівень спрацьовування від сигналу синхронізації. Якщо він встановлений в "X" (рис. 1.49) класифікатор вимкнений і не впливає на роботу аналізатора. Якщо він встановлений в "1" або "0", то синхронізація буде відбуватися у той момент часу коли рівень сигналу синхронізації збігається з заданим класифікатором сигналом.

4. Встановіть кількість відліків яку треба показувати до моменту синхронізації (Pre-trigger samples) і після нього (Post-trigger samples). Кількість відліків для відображення можна приблизно розрахувати знаючи кількість періодів сигналу, які потрібно відображати у вікні аналізатора.

Розглянемо як це зробити на прикладі. Нехай потрібно відобразити трохи більше ніж повний цикл зміни 8-розрядного коду, що відповідає 256 періодам сигналів. Додаємо ще 30 періодів і отримаємо загальну кількість 296, що вводимо у вікно Clocs/Div (рис. 1.48). Після цього натискаємо кнопку Set і у вікні Clock Setup (рис. 1.48) потрібно задати кількість Pre-trigger samples і Post-trigger samples. Для цього потрібно помножити кількість періодів сигналу на відношення частот сигналів Clock rate і найбільш високочастотного сигналу на вході аналізатора.

Для розглянутого на рис. 1.48 прикладу це відношення складає 10 і тому кількість Post-trigger samples повинна бути встановлена рівною або більше ніж 2560. Значення Pre-trigger samples треба встановити рівним 30.

5. Для запам'ятовування встановлених параметрів клацніть по кнопці Ассерпт.

Встановлення параметрів синхронізації

Логічний аналізатор може бути налаштований на перемикання по читанню заданого слова або комбінації слів, або фронту чи спаду сигналу синхронізації.

Для того щоб задати до трьох слів, при яких відбувається синхронізація, або комбінації слів:

1. Клацніть по Set в області Trigger логічного аналізатора. Відкриється вікно Trigger Settings (рис. 1.49).

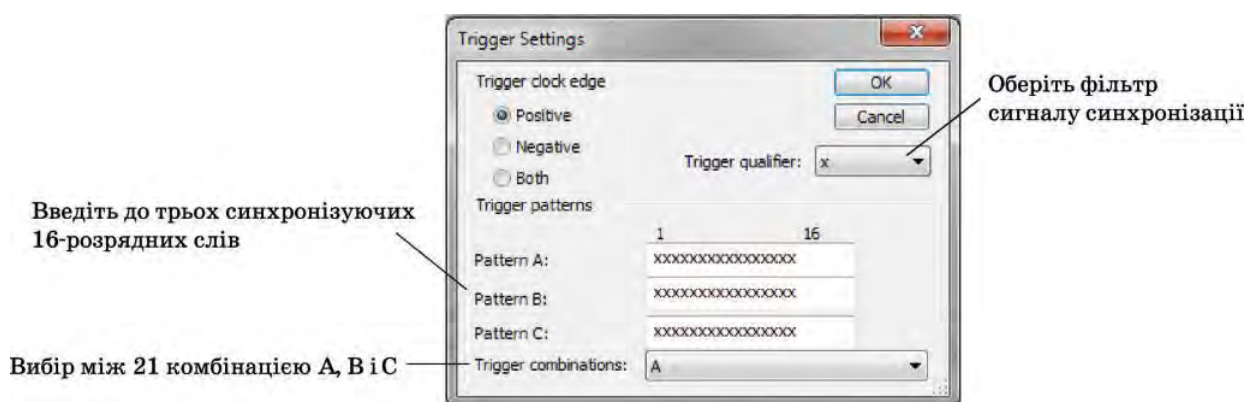


Рис. 1.49. Діалогове вікно Trigger Settings

2. Виберіть Positive, Negative або Both для позитивного і негативного фронтів тактового сигналу.

3. Клацніть в області, яка позначена Pattern A, Pattern B або Pattern C і введіть двійкове число. "X" означає або 1, або 0. Можливі комбінації сигналу синхронізації роботи аналізатора наведені на рис. 1.50.

A	B	C
A OR B	A OR C	B OR C
A OR B OR C	A AND B	A AND C
A AND C	A AND B AND C	A NOT B
A NOT C	B NOT C	A THEN B
A THEN C	B THEN C	(A OR B) THEN C
A THEN (B OR C)	A THEN B THEN C	A THEN (B WITHOUT C)

Рис. 1.50. Можливі комбінації сигналу синхронізації роботи аналізатора

4. Із випадяючого списку Trigger Combination виберіть потрібну комбінацію.
5. З випадяючого списку Trigger Qualifier виберіть потрібний рівень сигналу синхронізації – 0 чи 1.
6. Натисніть кнопку ОК.

Приклад використання логічного аналізатора

Проілюструємо роботу з логічним аналізатором на прикладі. Для аналізу сформуємо восьмирозрядний зростаючий код за допомогою генератора слова (рис. 1.51).

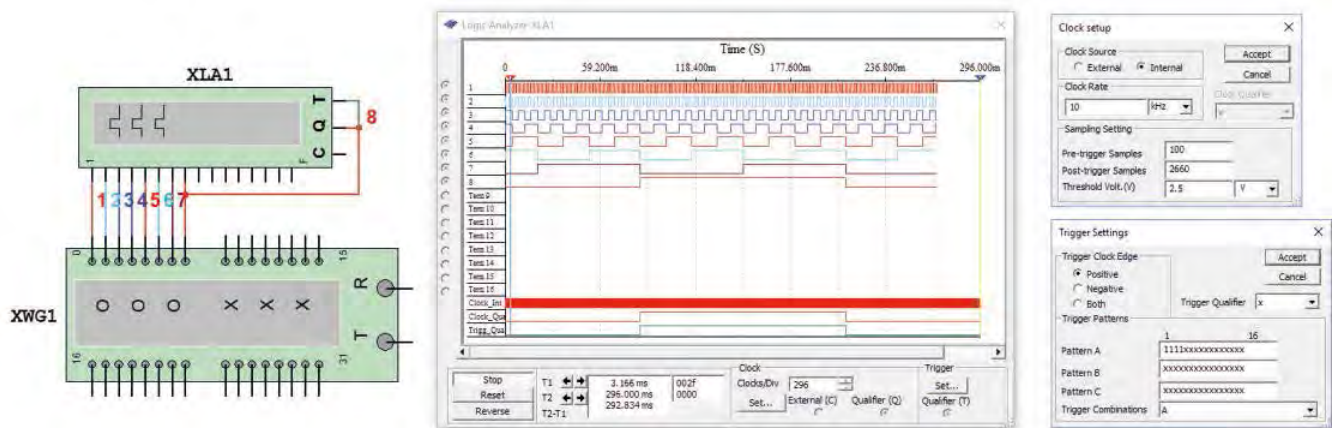


Рис. 1.51. Схема підключення, часові діаграми та встановлення параметрів логічного аналізатора

Для моделювання була задана частота вхідного сигналу 1 кГц, а тактова частота внутрішнього генератора аналізатора рівною 10 кГц. Для розглянутого прикладу кожному періоду вхідного сигналу відповідає 10 відліків (samples). З урахуванням цього у вікно Post-trigger sample необхідно ввести число не менше 2560 (у прикладі введене число 2660), щоб на екран був виведений один повний цикл роботи генератора слова. Більш зручно розглядати процеси, коли на екран виводиться не один період, щоб бачити початок і закінчення процесу, а трохи більше. Для цього і введено число 2660 відліків.

Масштаб по осі часу можна змінювати, задаючи число тактів на ділення (Clocs/Div), яке задається в вікні виводу результатів аналізу (рис. 1.47). Чим менше задане число, тим більше масштаб по осі часу. У розглянутому прикладі масштаб встановлений рівним 296 відліків на ділення.

1.5.4 Функціональний генератор

Функціональний генератор призначений для формування гармонічних, трикутних та прямокутних сигналів і дозволяє вводити постійну складову (зміщення сигналу) у сигнал будь-якої форми. Діапазон частот вихідного сигналу від 1 фГц (10^{-15} Гц) до 1000 ТГц (10^{18} Гц).

Позначення функціонального генератора, та вікно налаштування його параметрів (відкривається при подвійному клацанні лівою кнопкою "миші" по зображенню генератора) наведені на рис. 1.52.

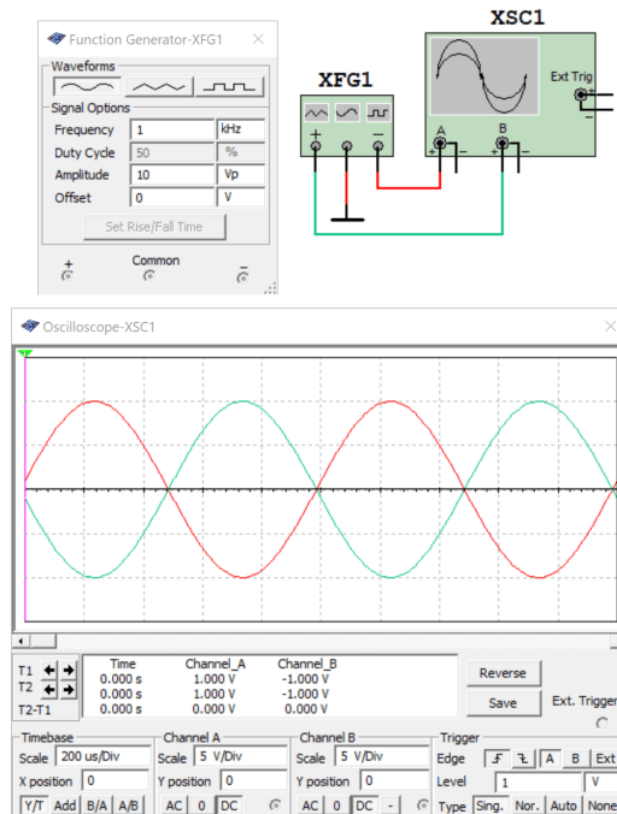


Рис. 1.52. Вікно налаштування параметрів функціонального генератора та осцилограми сигналів на виходах функціонального генератора

У вікні, що відкрилося, потрібно встановити параметри сигналу на виході функціонального генератора (рис. 1.52). Можна вибрати форму сигналу: синус, трикутник, прямокутник. Частота сигналу задається в рядку Frequency у діапазоні від 1 фГц (відповідає 10^{-12} Гц) до 10^3 ТГц (терагерць). Амплітуда в діапазоні від 1 фВ до 10^3 ТВ. Напряга зсуву задається в тому ж діапазоні. За замовчуванням на виході генератора формується двополярна напруга. Наприклад, як показано на рис. 1.52, задана амплітуда 10 В для гармонічного сигналу. На виході генератора будуть сформований сигнал з позитивною і негативною амплітудами 10 В. Якщо потрібно сформувати однополярний сигнал (наприклад,

прямокутні імпульси амплітудою 5 В), потрібно задати амплітуду сигналу рівну половині необхідної (для прикладу 2,5 В) і задати позитивний зсув напруги рівний +2,5 В.

У функціонального генератора у передбачено два виходи, сигнали на яких формуються однакової форми, амплітуди і частоти, а фази сигналів зміщені на 180 градусів. Тобто сигнали протифазні, що ілюструють осцилограми сигналів на рис. 1.52.

1.5.5 Частотомір

Частотомір (FreqCounter) призначений для вимірювання частоти, періоду, тривалості імпульсів та фронту/спаду імпульсів. На рис. 1.53 наведено умовне позначення частотоміра (прилад XFC1) і вікно налаштування та результатів вимірювання частоти сигналу на виході функціонального генератора.

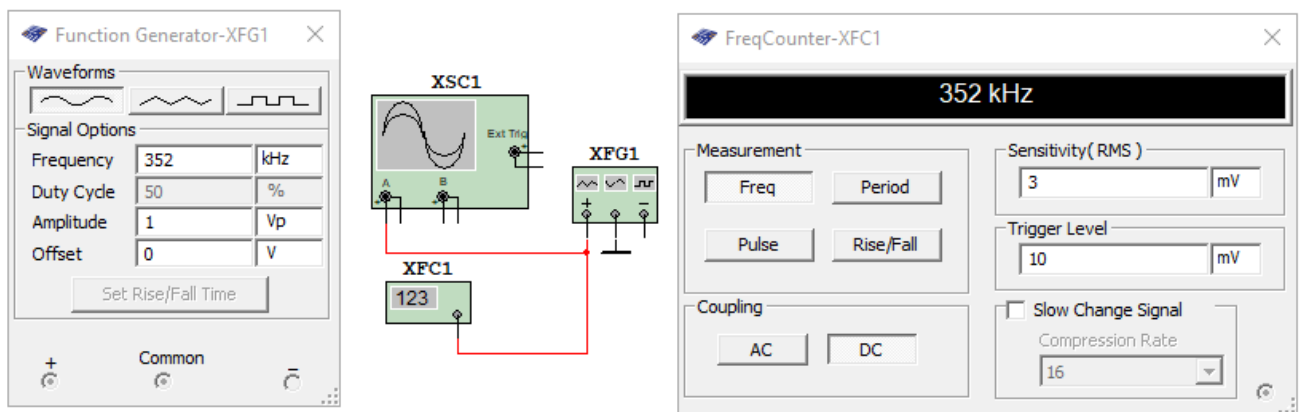


Рис. 1.53. Модель для перевірки частотоміра та вікно налаштування його параметрів

У вікні налаштування параметрів обирається вимірюваний параметр, (у області Measurement), вимірювання на постійному (DC) та змінному (AC) струмах (у області Сщгзштп). У області Sensitivity (RMS) задається чутливість вимірювача задана у середньоквадратичному значенні напруги, а у області Trigger Level задається рівень синхронізації.

Точність вимірювання залежить від кількості усереднень результатів вимірювання – Show Change Signal. Якщо поставити "пташку" у цьому віконці, то можна задати кількість усереднень рівним 2, 4, 8, 16, 32, 64, 128 і 256. Чим менша стабільність у часі вимірюваних сигналів тим більше усереднень треба задавати щоб забезпечити високу точність вимірювань.

Контрольні питання

1. Як настроїти інтерфейс програми NI Multisim?
2. Як встановити розмір робочого аркуша й одиниць виміру?

3. Як настроїти автоматичне збереження схем і результатів моделювання?
4. Як настроїти колір фону, елементів, проводів і інших позначень схеми?
5. Як настроїти відображення панелей інструментів?
6. За допомогою якого виду аналізу можна дослідити спектр сигналу у програмі NI Multisim?
7. Крім графіку спектру які ще дані дозволяє отримати аналіз Фур'є?
8. Яким приладом можна дослідити спектр сигналу у програмі NI Multisim?
9. Яким приладом можна дослідити часові діаграми цифрових сигналі якщо їх більше 4-х? Якщо менше 4-х?
10. Якщо досліджуються два сигнали різної частоти за допомогою осцилографа, яким сигналом треба здійснювати синхронізацію осцилографа – з більш високою частотою, чи з більш низькою? Проілюструйте це.

2 СИГНАЛИ І МЕТОДИ ЇХ ДОСЛІДЖЕННЯ

2.1 Загальні характеристики сигналів

Форма й способи перетворення електричних сигналів нерозривно пов'язані із принципами побудови електронних пристроїв автоматики й управління й у значній мірі визначають їхні характеристики й особливості.

Електричні сигнали в електронних пристроях по своїй фізичній суті можна розділити на аналогові й дискретні. Аналогові сигнали являють собою безперервні в часі функції напруги або струму й, у свою чергу, діляться на постійні й змінні.

Постійні аналогові сигнали являють собою однополярні сигнали напруги або струму що не змінюються або повільно змінюються у часі.

До змінних аналогових сигналів відносяться напруга або струм, що змінюються в часі як по амплітуді, так і за знаком. Прикладом такого сигналу є гармонічний або синусоїдальний сигнал.

Дискретними називаються такі електричні сигнали, які являють собою розривні в часі функції напруги або струму й можуть мати обмежене число рівнів. Найбільш часто в електроніці використовуються дискретні сигнали, які мають тільки два рівні – високої напруги (струму) і низької напруги (струму). Такі сигнали називають імпульсними. Імпульсні сигнали, що мають нормовані характеристики (амплітуду, тривалість фронту та спаду, час затримки) називають цифровими (двійковими). Представлення інформації за допомогою таких сигналів має ряд переваг, обумовлених високою надійністю й простотою пристроїв, якими вони генеруються й перетворюються. Два дискретні значення, які приймають цифрові сигнали, звичайно позначають двома цифровими символами – "1" і "0". Розділ електроніки, що вивчає формування, перетворення й передачу двійкових сигналів називають цифровою схемотехнікою.

Аналогова або дискретна форми представлення електричних сигналів суттєво впливають на принципи побудови й особливості роботи електронних пристроїв, які формують, підсилюють і перетворюють ці сигнали.

Електронні пристрої, що оперують із аналоговими сигналами, як правило, працюють у лінійному режимі й формують клас аналогових пристроїв. Особливість їх полягає в тому, що вхідні й вихідні сигнали зв'язані лінійними або близькими до лінійних залежностями. Прикладами аналогових пристроїв є підсилювачі постійних, змінних і імпульсних сигналів, що працюють без насичення, активні фільтри, генератори гармонічних сигналів, лінійні електричні кола із зосередженими або розподіленими параметрами типу R, L, C, імпульсні трансформатори, що працюють у лінійному режимі без насичення, лінії затримки та інші.

Лінійні пристрої використовуються для посилення, фільтрації, диференціювання, інтегрування, укорочення, розширення й інших перетворень аналогових і дискретних сигналів.

Електронні пристрої, що оперують із дискретними сигналами, працюють у суттєво нелінійному режимі. Основу їх структури становлять нелінійні (ключові) елементи, які здійснюють під впливом керуючих сигналів підключення й відключення пасивних і активних елементів, джерел живлення, перемикачів та формування сигналів й т. п. У статичному режимі ключова схема (у подальшому ключ) перебуває в одному із двох станів – замкненому (включеному) або розімкнутому (виключеному). Наприклад, при комутації ключа, що включений між загальним проводом та джерелом живлення через резистор, на його виході формуються перепади напруги з амплітудою, близькою до амплітуди джерела живлення. Тим самим на виході ключа формується послідовність імпульсних сигналів, форма яких залежить як від швидкості перемикачів ключа, так і від параметрів лінійних елементів, що входять у схему.

За допомогою цифрових пристроїв можна здійснювати логічні перетворення сигналів, їх запам'ятовування, підсумовування, шифрування й дешифрування цифрових кодів, ділення частоти імпульсів, а також ряд інших операцій. Цифрові пристрої відіграють провідну роль у багатьох галузях науки й техніки, і, насамперед в автоматичній, телемеханічній, обчислювальній техніці, супутниковому зв'язку, радіолокації, робототехніці, телебаченні, системах радіо й проводного зв'язку. Це пояснюється тим, що елементи й вузли цифрової техніки завдяки широкому застосуванню в них ключових режимів при існуючому рівні розвитку електроніки є найбільш надійними, завадостійкими й тому дозволяють забезпечити високу надійність роботи складних апаратних комплексів, наприклад автоматизованих систем управління (АСУ), робототехнічних систем, гнучких автоматизованих виробництв, обчислювальної техніки, тощо.

Важливим фактором, що визначає широке впровадження цифрової техніки, є також її економічна ефективність, яка, з одного боку, визначається технологічністю при виготовленні й простотою при налаштуванні й експлуатації, а з іншого – можливістю розв'язку завдань, нездійснених раніше на базі вузлів аналогової техніки.

Елементи й вузли цифрової техніки при правильному проектуванні не вимагають індивідуального регулювання й налаштування, дозволяють організувати масове виробництво із застосуванням сучасних засобів автоматизації, скоротити витрати праці й отримати великий економічний ефект. Цифрові пристрої досить просто зазнають автоматизації проектування, для них легко будуються математичні моделі, які з високим ступенем точності відповідають характеристикам реальних пристроїв, вони досить просто перебудовуються (перепрограмуються) на реалізацію інших функцій. Цифрова техніка дозволяє також широко використовувати мікромініатюризацію, зменшити масу й габаритні розміри апаратури, що в ряді випадків є одним з вирішальних факторів при проектуванні.

Імпульсна й цифрова техніка, будучи тісно зв'язані одна з одною, відповідають за різні характеристики пристроїв. Імпульсні сигнали є носіями цифрової інформації, причому імпульсна техніка займається формуванням, посиленням і перетворенням імпульсних сигналів по їхніх фізичних параметрах (тривалості, частоті, амплітуді, потужності), а цифрова техніка, абстрагуючись від цих фізичних параметрів, займається перетворенням інформації, яку несуть у собі послідовності імпульсних сигналів, чергування високих і низьких рівнів напруги або сукупності різних рівнів напруги, виражених умовними параметрами 0 або 1, В або А і т.д. Імпульсні сигнали є, таким чином, носіями цифрової інформації, а імпульсні пристрої лежать в основі реалізації будь-яких цифрових схем.

Різна фізична суть імпульсних і цифрових сигналів визначає й різні методи їх дослідження й опису.

В основі аналізу й синтезу імпульсних пристроїв, які являють собою електричні й електронні кола, лежать відомі закони електричних і електромагнітних кіл, доповнені електричними моделями окремих електронних елементів, що представляють собою сукупність пасивних елементів і джерел напруги. В основі аналізу й синтезу цифрових пристроїв, стан яких описується абстрагованими від конкретних фізичних параметрів змінними й функціями, лежать методи дискретної математики, алгебри логіки й теорії цифрових автоматів.

Інформація, передана за допомогою електричних сигналів, полягає в зміні їх електричних параметрів і форми або в умовному взаємному розташуванні елементів цих сигналів.

При передаванні інформації шляхом зміни фізичних параметрів електричних сигналів як інформативного параметра можуть використовуватися амплітуда, частота або фаза гармонічного сигналу, амплітуда, полярність, тривалість імпульсу або паузи.

2.2 Аналогові сигнали

Серед аналогових сигналів синусоїдальні поширені найбільше широко. Математичний вираз, що описує синусоїдальну напругу, має вигляд

$$u = U_m \sin(\omega t + \varphi),$$

де U_m – амплітуда сигналу, ω – кутова частота в радіанах у секунду, причому $\omega = 2\pi f$, φ – початкова фаза сигналу.

Оскільки дослідження характеристик сигналів здійснюється у часовій та частотній областях, то для ілюстрації наведемо представлення сигналів у кожній з цих областей. Найпростіше це зробити за допомогою моделювання в spice-симуляторі NI Multisim (у

подальшому Multisim). За допомогою віртуальних інструментів та деяких видів аналізу Multisim можна дослідити характеристики сигналів у часовій області за допомогою осцилографів, а у спектральній за допомогою аналізатора спектру або швидкого перетворення Фур'є.

Змінний електричний сигнал у більшості випадків являє собою функцію часу $x(t)$ з періодом $T = 1/f$ яку можна записати у вигляді ряду Фур'є

$$x(t) = \sum_{n=0}^{N-1} X_n \sin(\omega_n t + \varphi_n)$$

де X_n , ω_n , φ_n – відповідно, амплітуда, частота та початкова фаза n -ої гармоніки; N – кількість гармонік.

Окремі складові називають гармоніками, причому коливання основної частоти називають першою гармонікою і т.д. Сукупність величин X_n називають спектром амплітуд, сукупність величин φ_n – спектром фаз. Найчастіше цікавляться тільки спектром амплітуд і називають його часто просто спектром.

На рис. 2.1 наведена модель для дослідження форми і спектру гармонічного сигналу, а на рис. 2.2 результати аналізу у часовій та частотній областях.

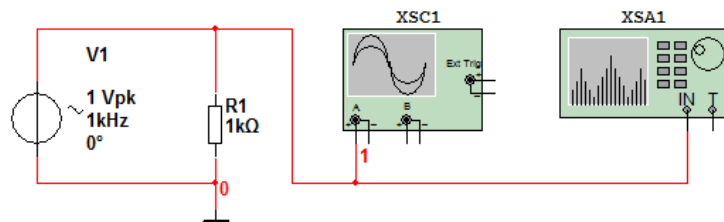
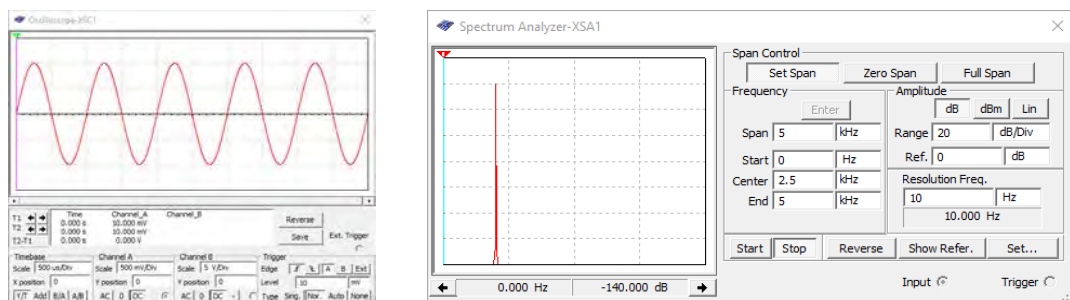


Рис. 2.1. Модель для дослідження форми та спектру гармонічного сигналу

У якості генератора використано генератор гармонічного сигналу V1 (AC voltage). Залишимо частоту генератора за замовчуванням рівною 1 кГц.



а)

б)

Рис. 2.2. Форма гармонічного сигналу (а) та його спектр (б)

Для формування більш точного значення спектру необхідно встановити обмежений діапазон частот аналізу, достатній для відображення всіх складових спектру (детальна інформація про роботу та налаштування віртуальних вимірювальних пристроїв Multisim буде наведена у розділах 2.4 та 2.5).. Оскільки гармонічний сигнал у своєму спектрі повинен містити одну складову з частотою 1 кГц, то достатньо було б встановити смугу (верхню частоту) діапазону аналізу рівною 2 кГц. Але оскільки нижче будуть показані спектри більш складних сигналів, то для коректного порівняння результатів доцільно зберегти параметри аналізу теж однаковими. Тому задано верхню частоту смуги аналізу рівною 5 кГц. Форма спектру у значній мірі залежить від роздільної здатності аналізу (параметр Resolution Freq. на рис. 2.2,б). Чим менше значення частоти у віконці роздільної здатності, тим точніше буде відображено значення спектру. Задано значення роздільної здатності 10 Гц. Якщо це значення занадто мале для заданого діапазону частот, то аналізатор спектру автоматично збільшить його до потрібного значення. Роздільна здатність аналізу також залежить від кількості усереднених реалізацій сигналу, яка задається після натискання кнопки Set (рис. 2.2,б) у вікні, що показано на рис. 2.3.

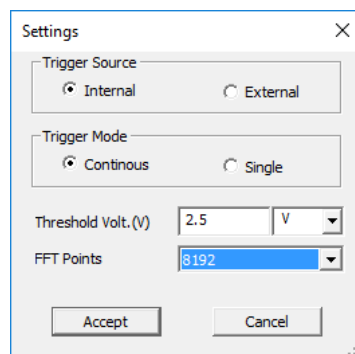


Рис. 2.3. Вікно для вибору кількості усереднених реалізацій сигналу

Чим більша кількість усереднень, тим більша точність аналізу але і більший час для його проведення. Значення кількості усереднень може вибиратись у діапазоні від 1024 до 32768. Після вибору потрібного числа (у розглянутому прикладі це значення дорівнює 8192) треба натиснути кнопку Ассерт. Після цього можна проводити аналіз натиснувши кнопку початку моделювання у Multisim.

З рис. 2.2,б слідує, що у спектрі досліджуваного сигналу є тільки одна складова в діапазоні аналізу 140 дБ (рис. 2.2,б).

Інший спосіб дослідження спектру полягає у здійсненні швидкого перетворення Фур'є. Для цього потрібно у меню Simulate вибрати пункт Analyses/Fourier Analysis (рис. 2.4) і у вікні що відкриється (рис. 2.5) задати: основну частоту аналізу 1 кГц, кількість гармонік аналізу 5 і

масштаб по вертикалі у дБ. Потім натиснути на вкладку Output і у вікні (рис. 2.6), що відкривається, вибрати точку схеми у якій проводиться аналіз (на схемі це напруга у точці 1) і натиснути кнопку Simulate. Результати спектрального аналізу наведені на рис. 2.7.

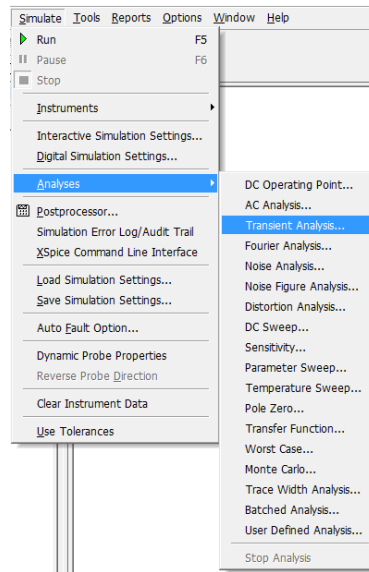


Рис. 2.4. Меню вибору виду аналізу

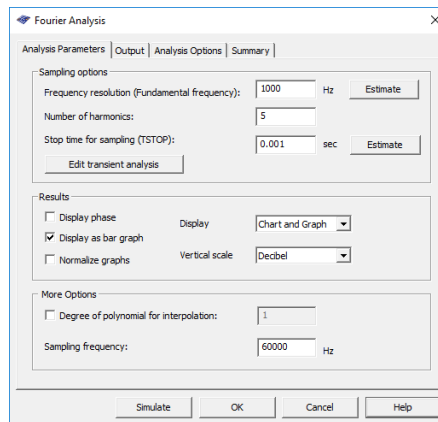


Рис. 2.5. Вікно задання параметрів Fourier Analysis

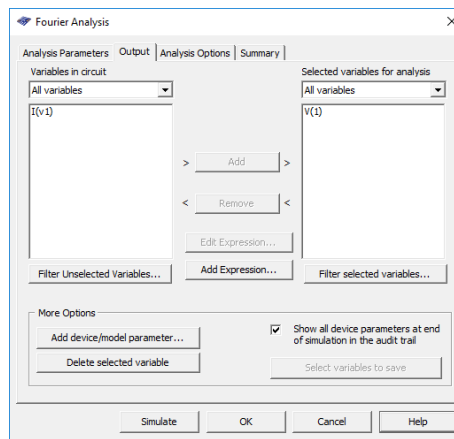


Рис. 2.6. Вікно вибору точки схеми для аналізу

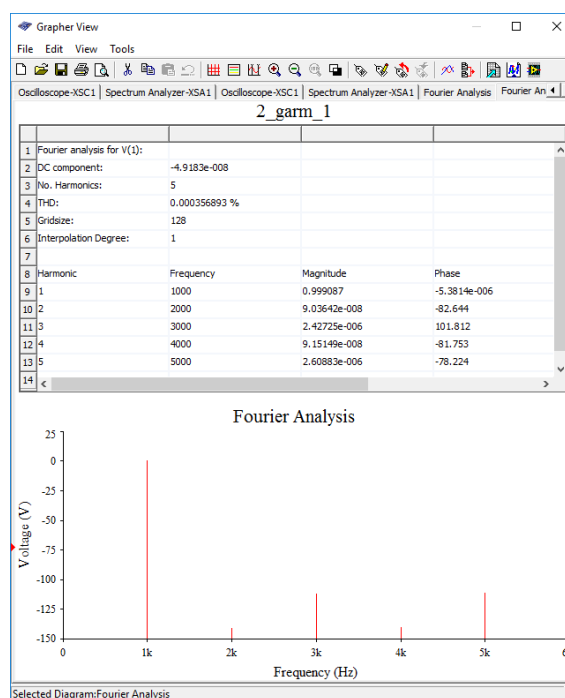


Рис. 2.7. Результати спектрального аналізу гармонічного сигналу, що формується генератором AC Voltage

Окрім значень рівня гармонік у вікні Grapher View (рис. 2.7) виводиться інформація про коефіцієнт гармонік сигналу. Це параметр THD (Total Harmonic Distortion) що дорівнює 0,0003569%.

Розглянемо чому частіше всього використовується синусоїдальна функція. Основне її достоїнство (а також основна причина настільки широкого поширення синусоїдальних сигналів) полягає в тому, що ця функція є розв'язком цілого ряду лінійних диференціальних рівнянь, що описують як фізичні явища, так і властивості лінійних кіл.

Лінійне коло має наступну властивість: вихідний сигнал, породжений сумою двох вхідних

сигналів, дорівнює сумі двох вихідних сигналів, кожний з яких породжений вхідними сигналами, що діють не в сукупності, а окремо: інакше кажучи, якщо $U_{\text{вих}}(A)$ – вихідний сигнал, породжений сигналом A , то для лінійного кола справедлива наступна рівність

$$U_{\text{вих}}(A + B) = U_{\text{вих}}(A) + U_{\text{вих}}(B).$$

Якщо на вході лінійного кола діє синусоїдальний сигнал, то на виході також одержимо синусоїдальний сигнал, але в загальному випадку його амплітуда й фаза будуть іншими. Це твердження слушне тільки для синусоїдального сигналу. На практиці прийнято оцінювати поведінку схеми по її амплітудно-частотній характеристиці, яка показує, як змінюється амплітуда синусоїдального сигналу залежно від частоти.

Аналогові сигнали описуються неперервними функціями напруги, струму тощо. Джерелами аналогових сигналів є датчики (сенсори) різноманітних фізичних величин, наприклад, мікрофон.

Процес цілеспрямованої зміни параметрів базового сигналу за законом зміни інформації, що передається, називається модуляцією. Базовий сигнал при цьому називається носійним.

Існує дуже багато методів модуляції. Розглянемо тільки найпростіші з них: амплітудну (АМ), частотну (ЧМ) та фазову (ФМ) модуляції. Останні дві, завдяки взаємозв'язку між частотою та фазою, часто об'єднуються під назвою кутової модуляції. Окрім перелічених існує ще багато більш складних видів модуляції. Пристрої, в яких забезпечується процес модуляції параметрів базової функції, називаються модуляторами. Розглянемо коротко основні характеристики двох видів модуляції – амплітудної (АМ) та частотної (ЧМ).

Дослідити форму та спектри АМ- та ЧМ-сигналів можна за допомогою моделі, що наведена на рис. 2.8.

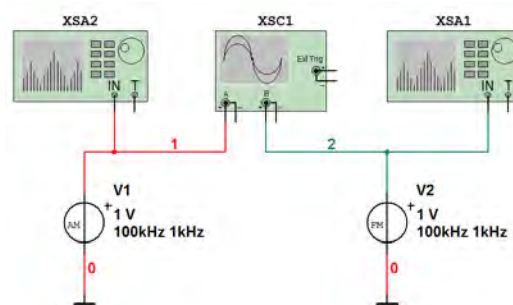


Рис. 2.8. Модель для дослідження форми та спектрів АМ- та ЧМ-сигналів

Для дослідження сигналів обрана частота носійного коливання 100 кГц, частота модулюючого коливання 1 кГц, індекс модуляції при АМ дорівнює 0,7, а при ЧМ – 5.

На рис. 2.9,а наведена форма амплітудно-модульованого (АМ), а на рис. 2.9,б – частотно-

модульованого сигналів.

Якщо модулюючий сигнал гармонічний (рис. 2.9), то модуляція називається гармонічною.

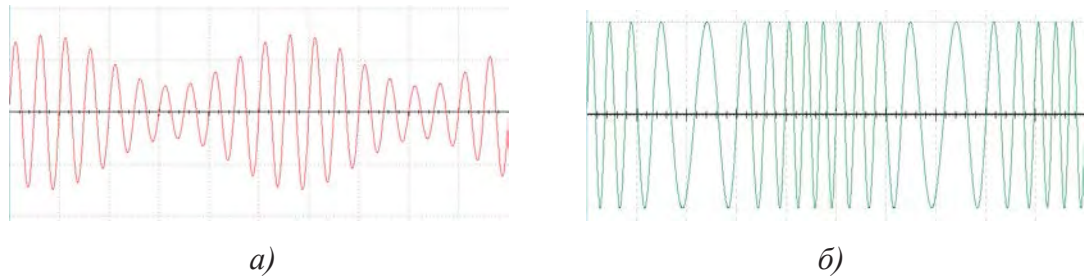


Рис. 2.9. Приклад амплітудно-модульованого (а) та частотно-модульованого (б) сигналів

Спектри АМ- та ЧМ-сигналів наведені на рис. 2.10 і 2.11, відповідно. З аналізу отриманих результатів слідує, що у спектрі АМ-сигналів присутні тільки дві бокові смуги частот, а у спектрі ЧМ-сигналів їх набагато більше. Теоретично спектр ЧМ-сигналів має нескінченну кількість складових.

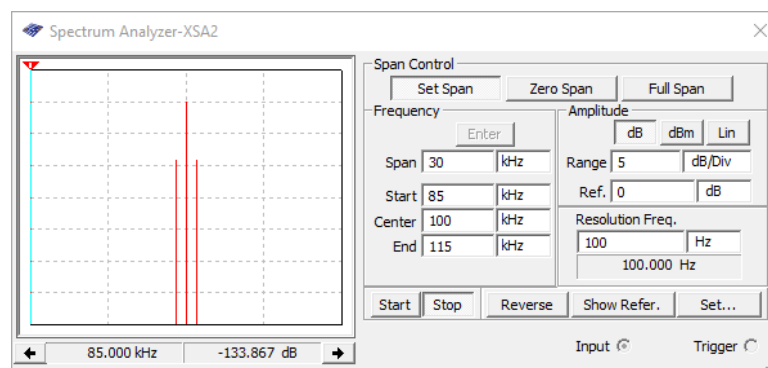


Рис. 2.10. Спектр АМ-сигналу

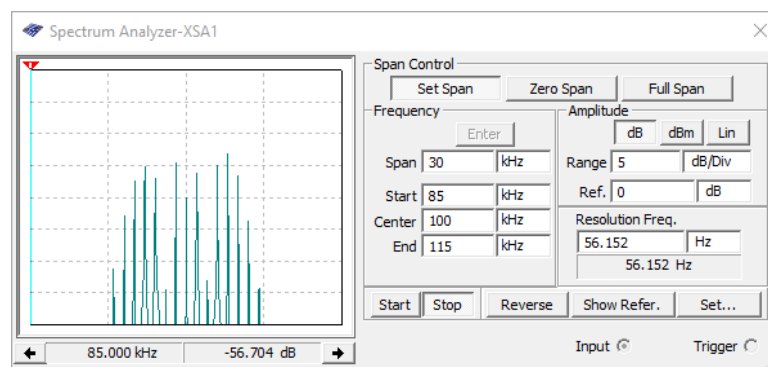


Рис. 2.11. Спектр ЧМ-сигналу

Описані види модуляції використовуються для передаванні мовних, музичних, телевізійних сигналів, сигналів з різних джерел даних (наприклад, датчиків рівня рідини у цистернах, температури в приміщеннях і т. п.).

Не вдаючись у деталі теорії модуляції, необхідно відмітити, що амплітудна модуляція більш проста в технічній реалізації, порівняно з кутовою. Але, у той же час, цей вид модуляції має низьку стійкість як відносно зовнішніх завад, так і відносно нестабільності параметрів апаратури, в якій вона використовується. Кутова модуляція, навпаки, має більш складну технічну реалізацію, а спектр модульованого коливання займає більш широку смугу частот. Завдяки цьому сигнали з кутовою (частотною або фазовою) модуляцією більш стійкі до зовнішніх завад.

2.3 Імпульсні сигнали

Підтримувати стабільність і точність параметрів аналогових пристроїв досить важко. На їх роботу впливають технологічні допуски, які закладаються при виробництві електронних компонентів, коливання температури, напруги живлення, космічне випромінювання, шуми і наводки, що створюються електронними приладами, іншими колами і пристроями.

До того ж, реалізація математичних і логічних операцій у більшості випадків або дуже складна, або навіть неможлива при роботі з аналоговими сигналами. Для того, щоб впевнитись у цьому, достатньо спробувати реалізувати на аналогових компонентах будь-яку з відомих констант. Рекомендується провести такий дослід: використовуючи операційний підсилювач і решту реальних компонентів, реалізувати схему підсилювача так, щоб на виході підтримувалась напруга, рівна за величиною числу $\pi = 3,141592653\dots$. На практиці забезпечити точність відтворення такого аналогового сигналу навіть з похибкою в 1% досить складно.

Окрім синусоїдальних, в якості базових сигналів часто використовують різні за формою імпульсні сигнали та їх послідовності. На рис. 2.12 зображений типовий одиночний імпульс та наведені у взаємозв'язку його амплітудні та часові параметри.

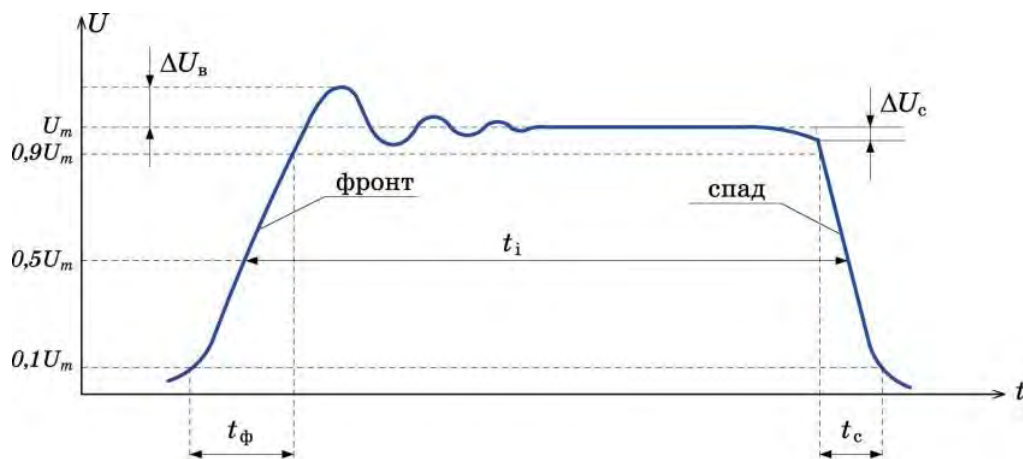


Рис. 2.12. Типовий одиночний імпульс

До амплітудних параметрів відносяться: U_m – амплітуда імпульсу; ΔU_v – викид на фронті імпульсу; ΔU_c – спад вершини. До часових – тривалість фронту t_f та спаду t_c , тривалість імпульсу t_i .

Параметри імпульсу в часі можуть змінюватись у широких межах і, відповідно, одиночні імпульси можуть мати різну форму. На рис. 2.3,а – в зображені імпульси експоненціальної, пилкоподібної та трикутної форми.

Імпульси можуть бути однополярними і різнополярними. Однополярні імпульси можуть бути позитивними й негативними. Для одержання імпульсних послідовностей різної форми, частоти й амплітуди застосовують спеціальні генератори.

Імпульси, що наведені на рис. 2.12 та 2.13 називають відеоімпульсами. Однак окрім відеоімпульсів існують більш складні імпульси – імпульси з заповненням простими або модульованими сигналами. На рис. 2.14 наведені приклади радіоімпульсів з заповненням гармонічним сигналом (рис. 2.14,а) та прямокутним сигналом (рис. 2.14,б).

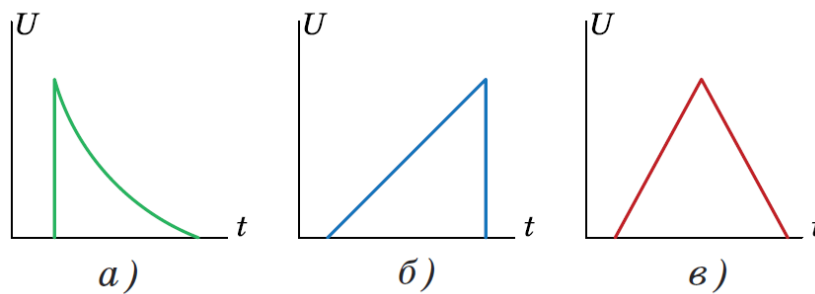


Рис. 2.13. Однополярні імпульси експоненціальної (а), пилкоподібної (б) та трикутної (в) форми

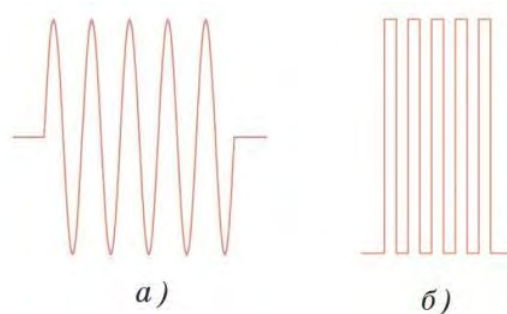


Рис. 2.14. Радіоімпульси з заповненням гармонічним (а) та прямокутним (б) сигналами

Імпульсна послідовність характеризується наявністю пауз між одиночними імпульсами. В якості паузи тривалістю t_n приймається нульовий рівень напруги чи струму або такий рівень, який прирівнюється до нульового (рис. 2.15).

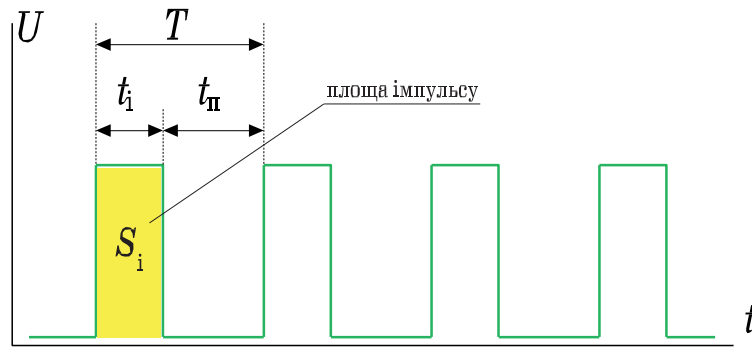


Рис. 2.15. Послідовність прямокутних імпульсів

Якщо тривалість імпульсів і пауз між ними в послідовності не змінюється, то говорять про періодичну послідовність, яка характеризується періодом

$$T = t_i + t_{\text{п}},$$

коефіцієнтом заповнення

$$S = t_i / T$$

та скважністю

$$Q = T/t_i.$$

Одним з важливих параметрів є середнє значення напруги послідовності імпульсів або імпульсу, яке може бути розраховане за формулою

$$U_{\text{сеп}} = \int_0^{t_i} U(t) dt = \frac{S_i}{T} = \frac{U_m}{Q}, \quad (2.2)$$

де S_i – площа під імпульсом, U_m – амплітуда імпульсу.

Графічні зображення спектрів послідовностей деяких імпульсних сигналів наведені на рис. 2.16.

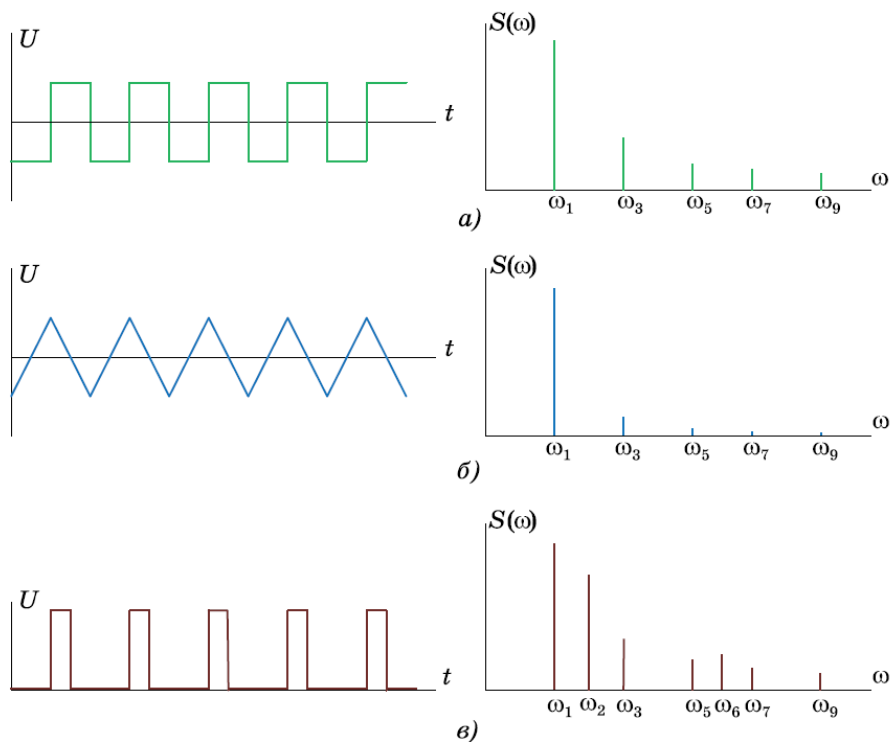


Рис. 2.16. Форма сигналів і графічне зображення спектрів прямокутних симетричних імпульсів з $Q = 2$ (а), трикутних імпульсів (б) та однополярних прямокутних імпульсів з $Q = 4$ (в)

Довжини вертикальних відрізків дорівнюють амплітудам відповідних гармонік. Ці відрізки називають спектральними лініями, а сам спектр – лінійчатим.

У загальному випадку спектр сигналу нескінченний. Тому що амплітуди гармонік у міру збільшення їх номера (кутової частоти) зменшуються, починаючи з деякої гармоніки, високочастотними коливаннями зневажають, тим самим, обмежуючи спектр сигналу.

Інтервал частот, у якому розміщується обмежений спектр, називається шириною спектра. Обмеження спектру роблять виходячи із припустимого спотворення сигналу так, щоб не втратити інформацію, що міститься в ньому.

На рис. 2.17 показано, як формуються прямокутні імпульси (рис. 2.16,а) з гармонік. Графіки першої і третьої гармонік і їх суми зображені на рис. 2.17,а. На рис. 2.17,б ця сума доповнена п'ятою гармонікою. Характерно, що прямокутні імпульси, що мають скважність $Q = 2$ є парними відносно осі і містять тільки непарні гармоніки.

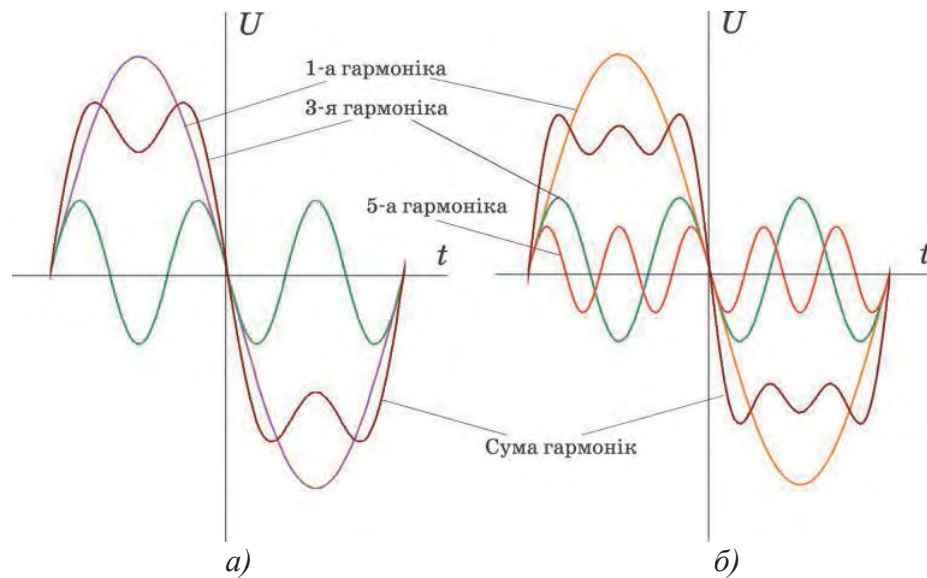


Рис. 2.17. Формування прямокутних імпульсів з першої (фіолетова) та третьої (зелена) гармонік (а), та з додаванням п'ятої гармоніки (б)

Використання для гармонічного аналізу складних періодичних коливань рядів Фур'є в комбінації із принципом накладення являє собою ефективний засіб для вивчення впливу лінійних кіл на проходження сигналів. Слід, щоправда, відзначити, що визначення сигналу на виході кола по сумі гармонік із заданими амплітудами й фазами є непростою задачею, особливо якщо не забезпечується швидка збіжність ряду Фур'є, що представляє вхідний сигнал. Найпоширеніші в радіотехніці сигнали не відповідають цій умові, і для задовільного відтворення форми сигналів звичайно необхідно підсумувати велику кількість гармонік.

На рис. 2.18 наведено схему моделі, що дозволяє формувати сигнали, що складаються з 9 гармонік, а на рис. 2.19 осцилограми послідовності прямокутних імпульсів сформованих генератором V1 (червона) та послідовності імпульсів з такою ж частотою, сформованої з 9-ти гармонік (зелена). У генератора гармонік (модель на рис. 2.18) встановлені параметри, що відповідають параметрам послідовності прямокутних імпульсів амплітудою 5 В, частотою слідування 1 кГц і коефіцієнтом заповнення 30%.

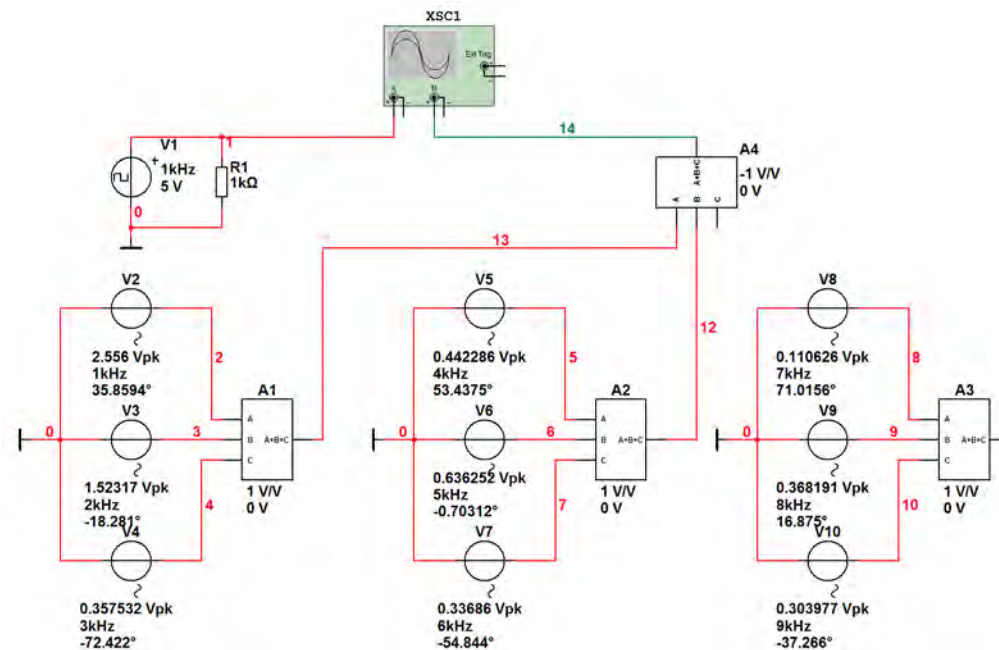


Рис. 2.18. Модель для дослідження форми сигналу що складається з 9-ти гармонік



Рис. 2.19. Осцилограми послідовності прямокутних імпульсів сформованих генератором V1 (червона) та послідовності імпульсів з такою ж частотою, сформованої з 9-ти гармонік (зелена)

Як слідує з рис. 2.19 навіть 9-ти гармонік недостатньо для точного відтворення форми сигналу, але отриманий сигнал вже досить близький за формою до сформованого генератором прямокутних імпульсів.

Оскільки при дослідженні різних кіл параметри сигналів можуть змінюватися у широких межах, доцільно мати такий інструмент, який дозволить визначити параметри сигналів з найменшими втратами часу. Найкраще для таких цілей підходить програма NI Multisim.

2.4 Контрольні питання

1. Чи змінюється полярність постійних аналогових сигналів?
2. Які сигнали називають двійковими?
3. Чи потребують індивідуального регулювання і налаштування вузли цифрових пристроїв?
4. Які відмінності між відео та радіоімпульсами?
5. Дайте пояснення параметрам імпульсу та імпульсної послідовності.
6. У якій послідовності прямокутних імпульсів буде ширшим спектр, послідовності імпульсів з $Q = 2$ чи з $Q = 5$?
7. За допомогою якого виду аналізу можна дослідити спектр сигналу у програмі NI Multisim?
8. Крім графіку спектру які ще дані дозволяє отримати аналіз Фур'є?
9. Яким приладом можна дослідити спектр сигналу у програмі NI Multisim?
10. Яким способом можна сформувати прямокутний імпульс, маючи у розпорядженні необмежену кількість генераторів синусоїдальних сигналів?

3 ПРОХОДЖЕННЯ ІМПУЛЬСНИХ СИГНАЛІВ ЧЕРЕЗ ЛІНІЙНІ КОЛА

3.1 Диференціюючі та інтегруючі RC-кола

Коло, утворене лінійним резистором і конденсатором називається лінійним RC-колом. Залежно від способу включення елементів R і C розрізняють два кола – інтегруюче та диференціююче (рис. 3.1).

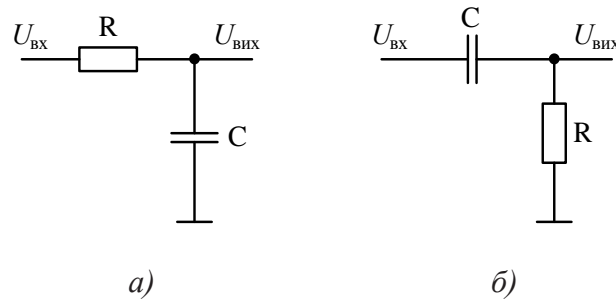


Рис. 3.1. Інтегруюче (а) та диференціююче (б) коло

Розглянемо реакцію RC кола при дії імпульсів прямокутної форми. Нехай на вхід RC-кола подається одиночний імпульс прямокутної форми (рис. 3.2). Для знаходження форм напруги $U_C(t)$, $U_R(t)$ на виході кола використовується метод, котрий полягає в тому, що вхідний прямокутний імпульс розкладають на дві елементарні напруги $U_{ВХ1}(t)$ і $U_{ВХ2}(t)$, що стрибкоподібно змінюються, визначають форму напруги на виході при дії цих елементарних напруги і далі методом накладання знаходять шукані напруги.

Інтегруючою ланкою називають чотирьохполюсник, сигнал на виході якого пропорційний інтегралу від вхідного сигналу. У випадку, коли вхідний і вихідний сигнали виражаються в однакових одиницях (наприклад, в одиницях напруги), операцію, виконувану інтегруючою ланкою, можна записати у вигляді співвідношення:

$$U_{\text{ВІХ}}(t) = K \int_0^T U_{\text{ВХ}}(t) dt,$$

де K – коефіцієнт пропорційності, що має розмірність с^{-1} .

Диференціюючим колом називають таке коло, сигнал на виході якого має значення, пропорційні в кожен момент часу похідній від вхідного сигналу:

$$U_{\text{ВІХ}}(t) = K \int_0^T \frac{dU_{\text{ВХ}}(t)}{dt}.$$

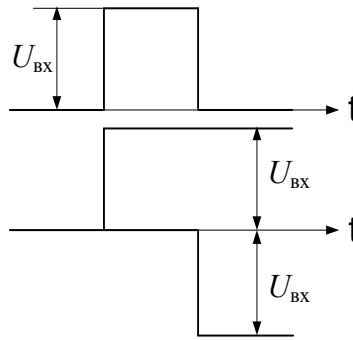


Рис. 3.2. Розкладання прямокутного імпульсу на дві стрибкоподібні дії

Напруга на конденсаторі C визначається у вигляді:

$$U_C = U_{\text{вх}} \left(1 - e^{-\frac{t}{\tau}} \right),$$

де $U_{\text{вх}}$ – амплітуда імпульсу на вході RC -кола, t – час, τ – постійна часу кола $\tau = RC$.

При розрахунку постійної часу потрібно підставляти значення ємності та опору у системі СІ. Наприклад, при $R = 1$ кОм і $C = 1$ мкФ постійна часу $\tau = RC = 10^3 \cdot 10^{-6} = 10^{-3}$ с, або 1 мс.

Напруга на виході диференціюючого RC -кола (падіння напруги на резисторі) має вигляд:

$$U_R = U_{\text{вх}} - U_C = U_{\text{вх}} \left(1 - e^{-\frac{t}{\tau}} \right).$$

Для розрахунку часу заряду конденсатора треба знати, що часом заряду вважається інтервал часу між моментом часу t_1 (коли напруга на конденсаторі дорівнює $0,05U_{\text{вх}}$) і моментом часу t_2 (коли напруга на конденсаторі досягає $0,95U_{\text{вх}}$).

$$U_{C_1} = 0,05U_{\text{вх}} = \left(1 - e^{-\frac{t_1}{\tau}} \right),$$

$$U_{C_2} = 0,95U_{\text{вх}} = \left(1 - e^{-\frac{t_2}{\tau}} \right).$$

Якщо вирішити цю систему рівнянь, то отримаємо для моментів часу t_1 та t_2 :

$$t_1 = \tau \ln \frac{1}{0.95},$$

$$t_2 = \tau \ln \frac{1}{0.05}.$$

Знаючи значення t_1 та t_2 можна знайти час заряду конденсатора:

$$t_{\text{зар}} = t_2 - t_1 = \tau \ln \frac{0.95}{0.05} = 2,9\tau \approx 3\tau.$$

Тобто час заряду конденсатора приблизно дорівнює 3τ .

На рис. 3.3 наведені часові діаграми напруги $U_C(t)$ і $U_R(t)$ при різних співвідношеннях між постійною часу кола τ і тривалістю вхідного імпульсу t_i . З рис. 3.3,а виходить, що при малому в порівнянні з t_i значенні τ форма напруги на ємності $U_C(t)$ виявляється близькою до форми вхідних імпульсів $U_{\text{вх}}(t)$.

При $\tau/t_i = 0.1$ тривалість фронту напруги $U_C(t)$ значно менша ніж тривалість імпульсу. При збільшенні значення τ/t_i швидкість заряду конденсатора зменшується і конденсатор не встигає зарядитися до вхідної напруги, якщо тривалість імпульсу менша ніж 3τ . Форма $U_C(t)$ виявляється при цьому близькою до пилкоподібної. При подальшому збільшенні τ/t_i амплітуда напруги $U_C(t)$ зменшується.

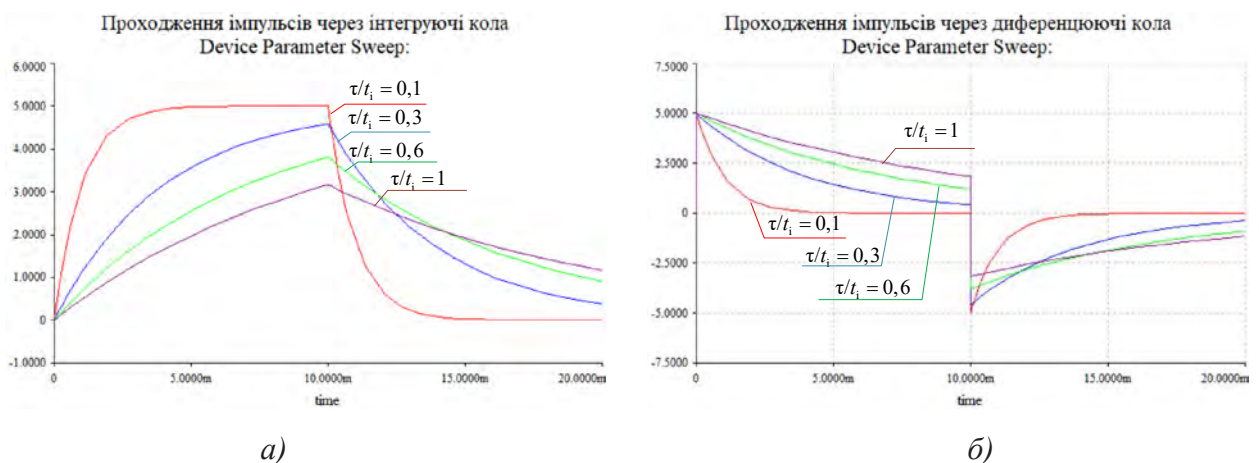


Рис. 3.3. Часові діаграми напруги на конденсаторі (а) та резисторі (б) RC-кола при різних значеннях постійної часу кола та фіксованій тривалості вхідного імпульсу

З рис. 3.3,б слідує, що чим більше значення τ/t_i , тим більше форма напруги $U_R(t)$ на резисторі наближається до форми $U_{\text{вх}}(t)$. На рис. 3.4 наведено форму сигналу на резисторі при відношенні $\tau/t_i = 10$.



Рис. 3.4. Форма сигналу на резисторі диференціюючого кола при відношенні $\tau/t_i = 10$

При малих значеннях відношення τ/t_i форма напруги $U_R(t)$ представляє собою два імпульси загостреної форми, початки яких співпадають за часом з перепадами вхідної напруги і мають полярність цих перепадів. Амплітуда імпульсів виявляється рівній амплітуді вхідної напруги $U_{вх}$, а тривалість – залежить від постійної часу кола..

Для випадку імпульсів, що періодично повторюються, з достатньо тривалою паузою між ними, коли перехідні процеси в RC колі, викликані дією попереднього імпульсу, встигають практично закінчитися до моменту приходу подальшого імпульсу, можна використовувати підхід використаний вище. У випадку, якщо постійна часу кола τ співставна або перевищує паузу між імпульсами, картина процесів відрізняється від розглянутої вище.

Припустимо, що у момент $t = 0$ до RC-кола підключається джерело напруги прямокутної форми (рис. 3.5,а). Нехай напруга $U_C(t) = 0$ при $t < 0$, а величина τ значно перевищує період T повторення імпульсів. Під час першого імпульсу ємність C заряджається до деякої напруги. У паузі між першим і другим імпульсами ємність розряджається, проте на початок другого імпульсу вона не встигає розрядитися повністю і на ній залишається деяка напруга $U_C(t)$. Під час другого імпульсу ємність знову заряджається, але до більшого значення, чим під час першого імпульсу, а в паузі знов розряджається не повністю. Приріст напруги на ємності ΔU_k за час k -го імпульсу рівний:

$$\Delta U_k = (U_{вх} - U_{Ck-1})(1 - e^{-\frac{t_i}{\tau}}),$$

де U_{Ck-1} – напруга на ємності після закінчення $(k-1)$ -го періоду. Якщо, $\tau/t_i \ll 1$, то формула може бути переписана в наступному наближеному вигляді:

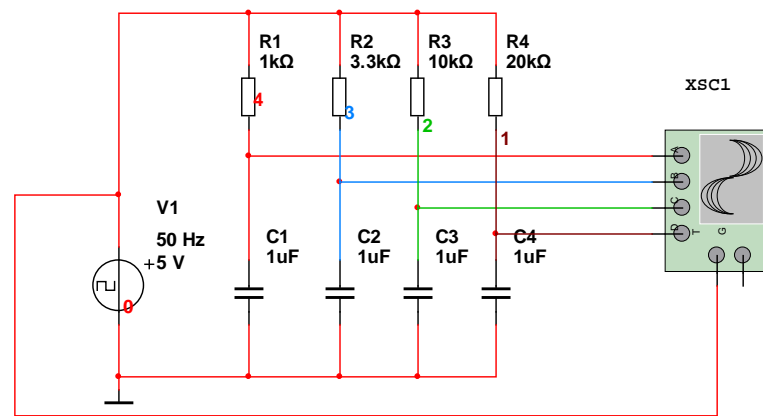
$$\Delta U_k = (U_{вх} - U_{Ck-1}) \frac{t_i}{\tau}.$$

За час паузи між k та $k+1$ імпульсами ємність розряджається на:

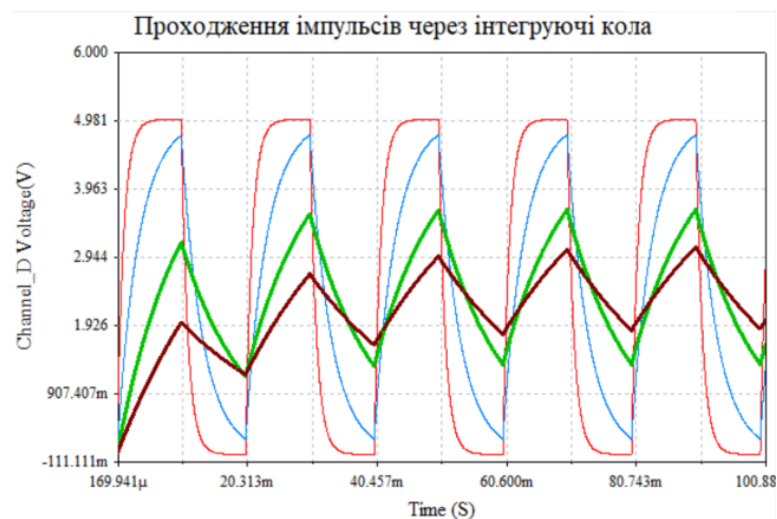
$$\Delta U_{pk} = (U_{Ck-1} + \Delta U_k)(1 - e^{-\frac{T-t_i}{\tau}}) \approx (U_{Ck-1} + \Delta U_k) \frac{T-t_i}{\tau}.$$

На початку процесу після включення генератора вхідної напруги величина напруги на ємності U_{Ck-1} мала і приріст напруги ΔU_k перевищує спад ΔU_{pk} . Тому від періоду до періоду напруга на ємності росте (рис. 3.5,б).

Проте з часом у міру зростання напруги на ємності U_{Ck-1} різниця напруги $E - U_{Ck-1}$ і величина ΔU_k зменшуються, а значення ΔU_{pk} росте. Внаслідок цього після закінчення певного часу в колі встановлюється динамічна рівновага, при якій приріст напруги ΔU_k під час заряду рівний спаду ΔU_{pk} під час розряду. Середнє значення напруги на ємності в сталому режимі виявляється рівне постійній складовій вхідної напруги U_{BX} .



a)



б)

Рис. 3.5. Модель для дослідження інтегруючого кола (а) при неперервній послідовності імпульсів на вході та часові діаграми сигналів (б) на виході кіл з різною постійною часу

Як слідує з рис. 3.5 при малій постійній часу у порівнянні з періодом слідування імпульсів, напруга на конденсаторі за час паузи між імпульсами встигає впасти до нуля (червона крива). Для кола з великою постійною часу напруга на конденсаторі поступово зростає (коричнева крива).

У сталому режимі форми сигналів приймають вигляд наведений на рис. 3.6.

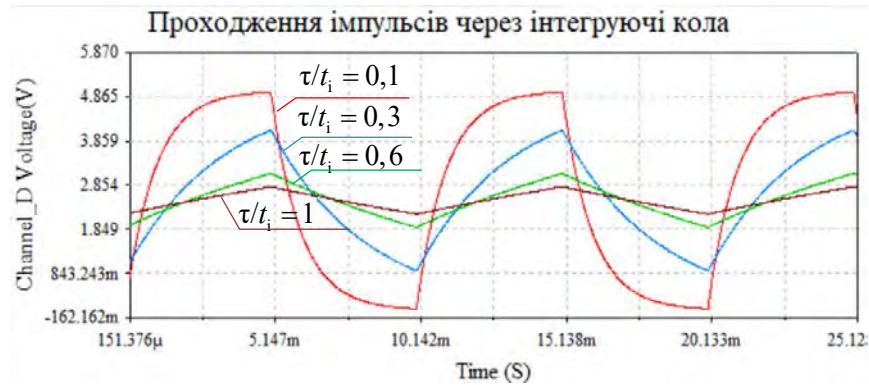


Рис. 3.6. Форма сигналів на виходах інтегруючих кіл з різною сталою часу

В залежності від співвідношенням тривалості імпульсів і паузи між ними середній рівень до якого наближаться напруга на виході інтегруючого кола буде дорівнювати $U_{\text{вх}}t_i/T$. Для розглянутих прикладів тривалість імпульсів складала $t_i = 10$ мс, тривалість періоду $T = 20$ мс, амплітуда вхідного сигналу $U_{\text{вх}} = 5$ В. Тобто середнє значення напруги до якої наближаються сигнали на виході інтегруючого кола з великою сталою часу дорівнює

$$U_{\text{вх}}t_i/T = 5 \text{ В} \cdot (10 \text{ мс}/20 \text{ мс}) = 2,5 \text{ В},$$

що і ілюструє рис. 3.6.

3.2 Розділові кола

Розділові кола призначені для розділення постійної і змінної складової. За конфігурацією таке коло схоже на диференціююче коло. Але постійна часу такого кола набагато більша ніж період сигналу на його вході. Форма сигналу на виході такого кола повторює форму вхідного сигналу, але постійна складова вихідного сигналу рівна нулю.

Вхідні сигнали можуть бути двох видів:

- без постійної складової;
- з постійною складовою.

На рис. 3.7 наведені сигнали без постійної складової (рис. 3.7,а) та з постійною складовою (рис. 3.7,б) однакової амплітуди.

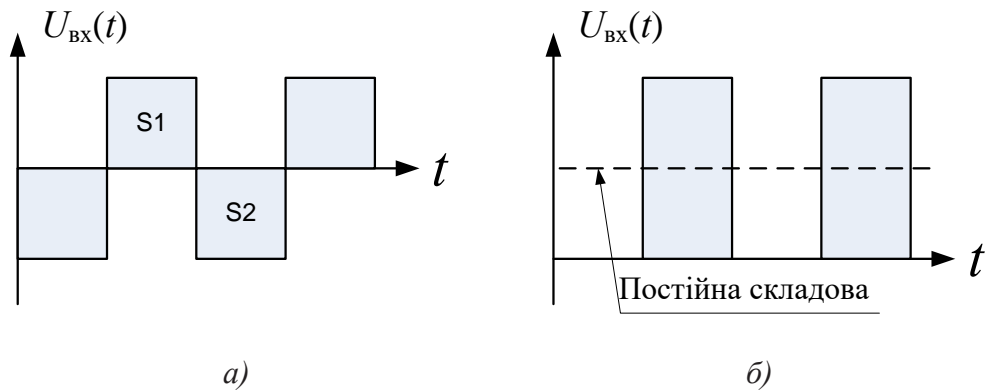


Рис. 3.7. Сигнали без постійної (а) та з постійною (б) складовою

Постійна складова – це площа під кривою, що описує сигнал. На виході розділового кола постійна складова буде відсутня. Отже при різних співвідношеннях тривалості імпульсів до періоду слідування сигналів на вході форма сигналів на виході розділового кола теж буде відрізнятися. На рис. 3.8 наведені форми сигналів на вході та виході розділового кола при різних співвідношеннях t_i/T .

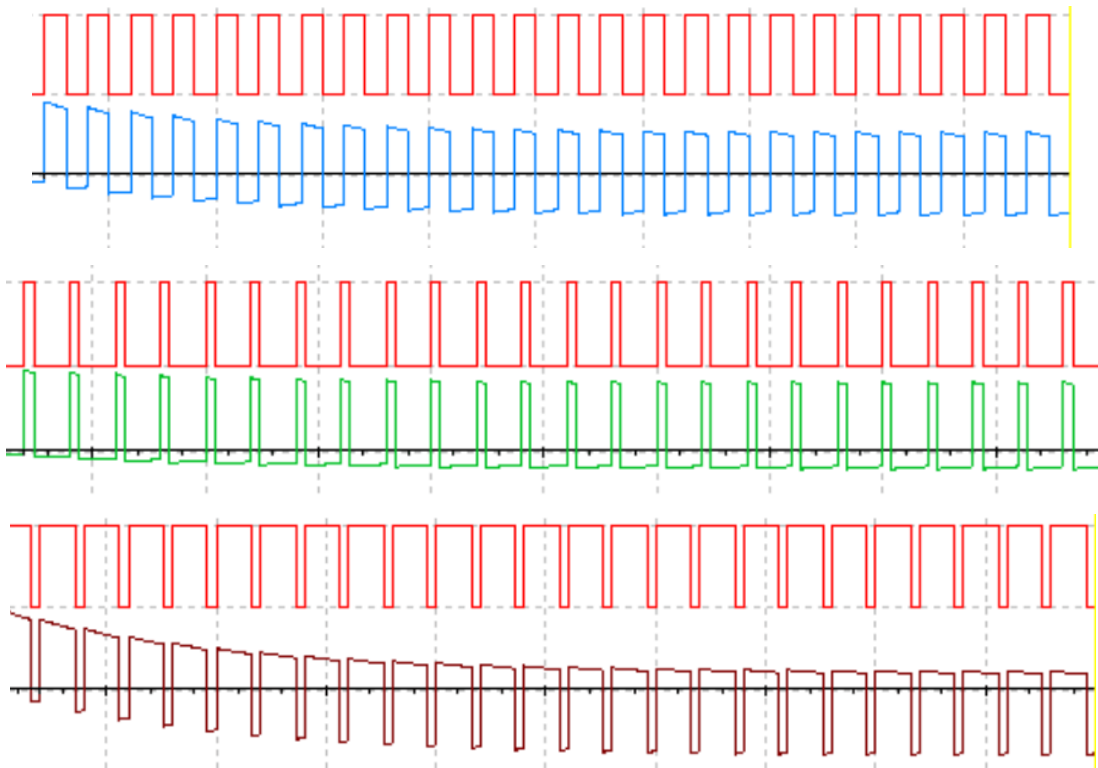


Рис. 3.8. Залежності форми сигналу на виході розділового кола від співвідношення t_i/T вхідного сигналу

Контрольні питання

1. За який час заряджається конденсатор інтегруючого кола якщо його виразити через значення опору та ємність конденсатора?
2. При яких умовах RC-коло буде розділовим?
3. Чи змінюється форма сигналу на виході розділового кола у часі при незмінній формі вхідного сигналу?
4. За якими ознаками можна зафіксувати завершення перехідного процесу на виході розділового кола?
5. Чому форма сигналу на виході інтегруючого кола має згладжені фронти та спади, якщо на вхід такого кола подається послідовність прямокутних імпульсів?
6. Як змінюється спектр сигналу на виході інтегруючого кола у порівнянні зі спектром сигналу на його вході?
7. Як змінюється спектр прямокутного сигналу при проходженні через диференціююче коло і чому?

4 ОБМЕЖУВАЧІ НАПРУГИ

4.1 Загальні зауваження

Обмежувачі напруги призначені для захисту вхідних кіл електронних пристроїв від небезпечного для них рівня вхідних сигналів. Крім того в деяких випадках вони можуть використовуватись для формування імпульсів.

На рис. 4.1 наведена структурна схема захисту електронних пристроїв за допомогою обмежувача. Вхідна напруга перевищує допустиме значення на вході обмежувача, а на його виході рівень напруги знаходиться у допустимих межах.

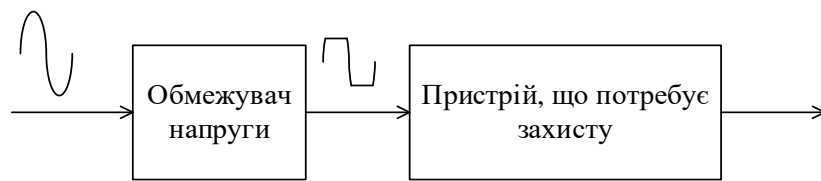


Рис. 4.1. Структурна схема захисту електронних пристроїв за допомогою обмежувача

Розрізняють обмежувачі зверху, знизу і двосторонні обмежувачі.

4.2 Послідовні односторонні обмежувачі на діодах

Принципова схема послідовного обмежувача знизу та форма сигналу на його виході наведена на рис. 4.2.

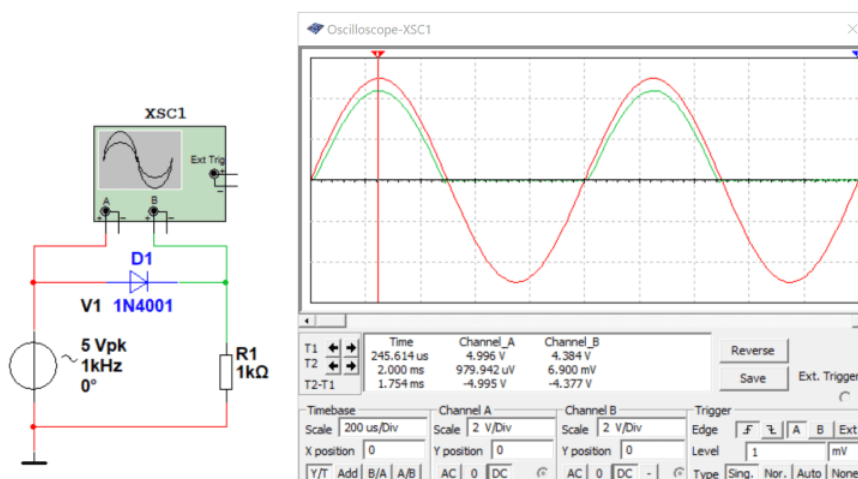


Рис. 4.2. Послідовний обмежувач на діоді та осцилограми сигналів на вході (червоний) та виході обмежувача

Опір навантаження повинен бути набагато більше опору відкритого діоду $R_1 \gg R_d$, а внутрішній опір джерела сигналу $R_i \ll R_d$. Для того, щоб пояснити принцип роботи такого обмежувача, потрібно знати як залежить струм через діод від напруги, прикладеної до нього. На рис. 4.3 наведена статична характеристика діоду.

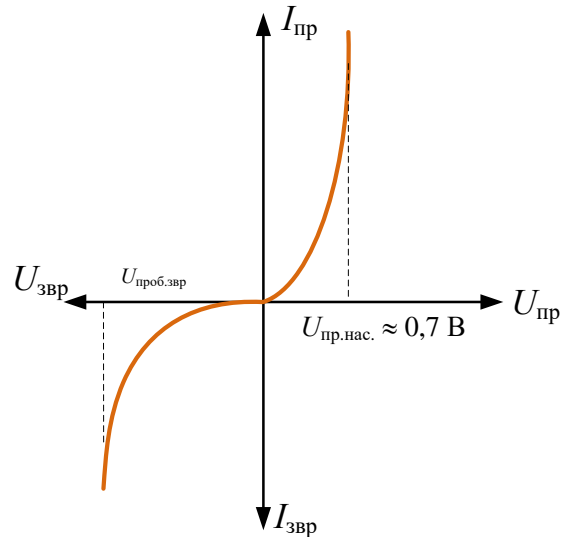


Рис. 4.3. Статична характеристика діоду

З рис. 4.3 слідує, що коли до діода прикладена пряма напруга (тобто на аноді + по відношенню до катоду), то при значному зростанні струму через діод падіння напруги на діоді спочатку росте, а потім майже не змінюється. Максимальне значення напруги при прямому включенні діода називається напругою насичення $U_{пр.нас.}$. Хоча ця напруга трохи відрізняється для різних типів діодів, для більшості малопотужних високочастотних діодів на основі кремнію вона приблизно дорівнює 0,7 В. Більш точне значення можна встановити або шляхом вимірювання, або шляхом моделювання.

Якщо подивитись на осцилограми сигналів на рис. 4.2, то можна побачити, що амплітуда позитивної півхвилі сигналу на виході (зелена осцилограма) менша на 0,62 В, ніж амплітуда вхідного сигналу. Це зменшення амплітуди пояснюється прямим падінням напруги на діоді.

Для від'ємної напівхвилі діод закритий, струм через нього не протікає і падіння напруги на резисторі R_1 дорівнює нулю.

Якщо включити діод в зворотному напрямку (по відношенню до напрямку на рис. 4.2), то на виході буде відсутня позитивна напівхвиля.

4.3 Паралельні обмежувачі на діодах

На рис. 4.4 наведена схема та осцилограми сигналів на вході і виході паралельного одностороннього обмежувача.

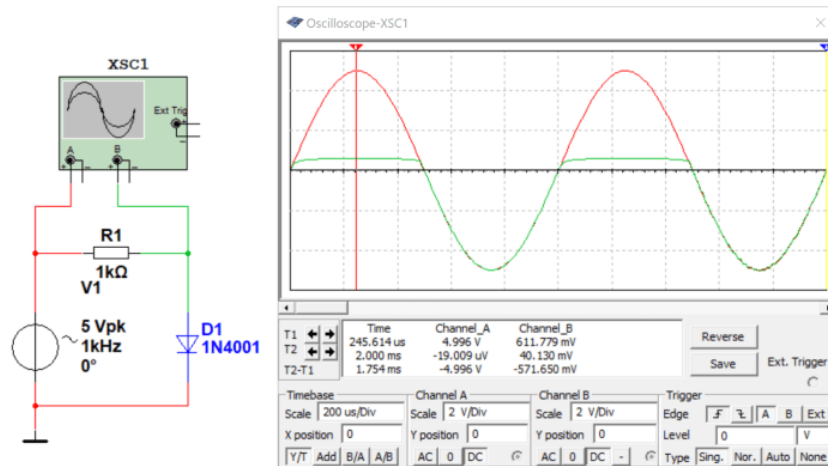


Рис. 4.4. Схема паралельного одностороннього обмежувача та осцилограми сигналів на вході (червона) і виході

Принцип дії паралельного обмежувача пояснює рис. 4.5.

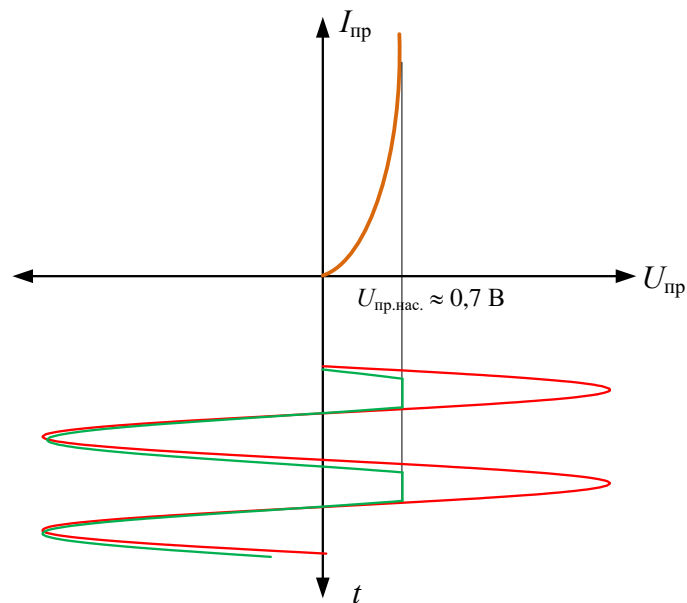


Рис. 4.5. Залежність напруги на виході обмежувача (зелена крива) від статичної характеристики діода

При збільшенні напруги на вході зростає струм що протікає через діод і, як наслідок, зростає напруга на діоді. Коли напруга сягне напруги $U_{пр.нас}$ подальше зростання напруги

припиняється (майже припиняється). Таким чином максимальна напруга на виході для позитивної напівхвилі не буде перевищувати напругу насичення діода.

Якщо діод підключити катодом до резистора, а анодом до загального проводу, то буде обмежуватись від'ємна напівхвиля сигналу.

Якщо включити два діоди зустрічно-паралельно (рис. 4.6), то обмеження буде для обох напівхвиль сигналу.

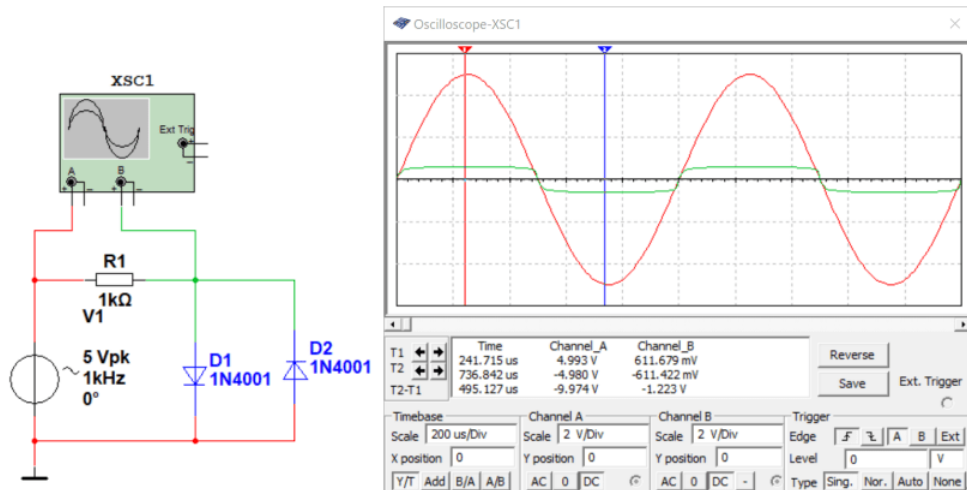


Рис. 4.6. Двосторонній обмежувач без зміщення

Як слідє з показань значення напруги під курсорами осцилографа, вихідна напруга не перевищує 612 мВ.

Однак такий низький рівень напруги на виході обмежувача не завжди потрібен. Частіше потрібен більш високий рівень обмеження сигналу, що залежить від пристрою у якому використовується обмежувач. Для того щоб рівень обмеження був більшим за падіння напруги на діоді, необхідно використати додаткове джерело напруги зміщення (рис. 4.7).

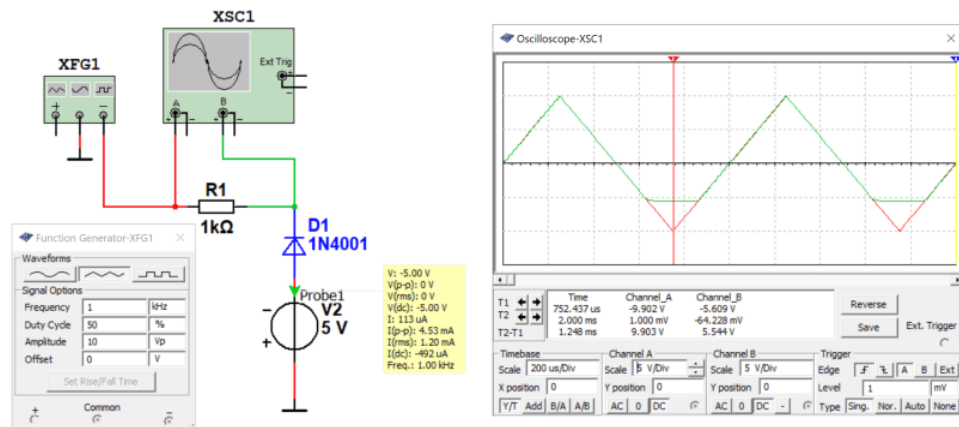


Рис. 4.7. Паралельний обмежувач зі зміщенням при амплітуді вхідного сигналу 10 В і осцилограми сигналів на його вході (червона) і виході

До аноду діода на рис. 4.7 прикладена від'ємна напруга i , для того щоб він відкрився, потрібно на катод від'ємну напругу, значення якої перевищує напругу джерела V_2 на величину падіння напруги на відкритому діоді. З рис. 4.7 слідує, що максимальне значення напруги на виході обмежувача (канал B) дорівнює $-5,6$ В. З цього витікає, що при заданому струмі через діод, що зумовлений амплітудою вхідного сигналу та опором резистора R_1 , падіння напруги на ньому складає $0,6$ В.

На рис. 4.8 наведені осцилограми сигналів на вході та виході обмежувача при амплітуді вхідного сигналу 20 В. Струм через діод при такій амплітуді сигналу буде більшим у порівнянні зі струмом через діод на рис. 4.7. При амплітуді сигналу 10 В струм (постійна складова) дорівнює приблизно $0,5$ мА, а при амплітуді вхідного сигналу 20 В складає $2,58$ мА (рис. 4.8).

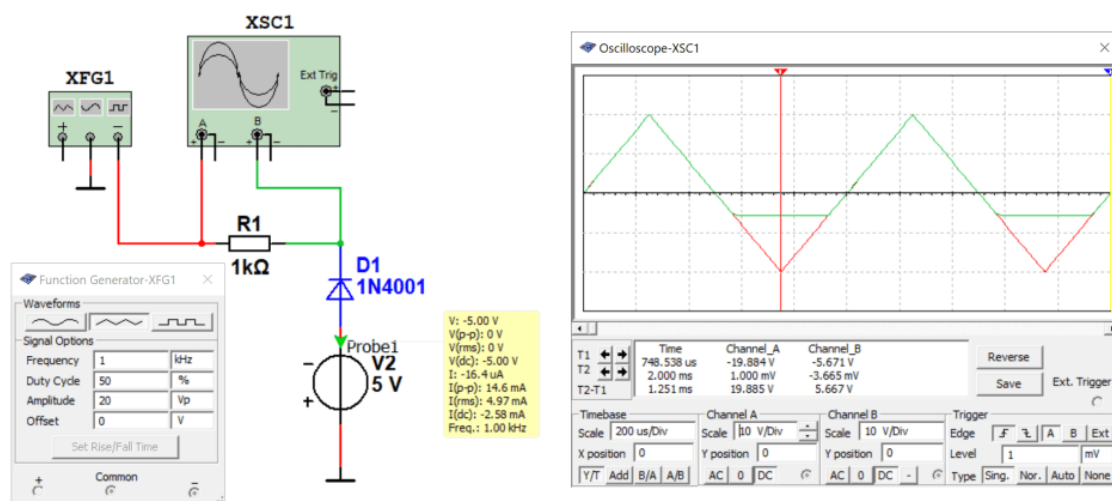


Рис. 4.8. Паралельний обмежувач зі зміщенням при амплітуді вхідного сигналу 20 В і осцилограми сигналів на його вході (червона) і виході

Як слідує з рис. 4.8 пряме падіння напруги на діоді зросло до $0,67$ В. При подальшому збільшенні струму падіння напруги на діоді ще трохи збільшиться. З цього дослідження витікає, що напруга насичення залежить від максимального струму через діод, хоча і в незначній мірі.

4.4 Паралельні двосторонні обмежувачі напруги

Аналогічно обмежувачу на рис. 4.8 можна побудувати обмежувач позитивної напруги. На рис. 4.9 наведена модель двостороннього обмежувача зі зміщенням. Як слідує з рисунку, максимальне значення напруги на виході обмежувача дорівнює $\pm 5,6$ В.

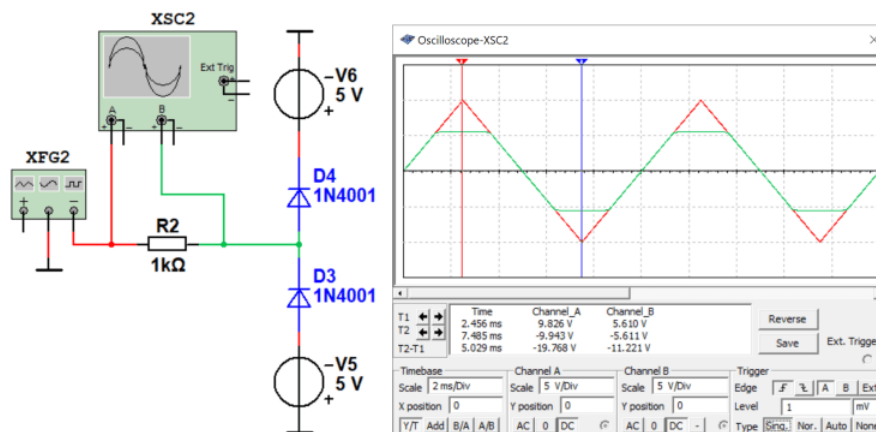


Рис. 4.9. Двосторонній паралельний обмежувач зі зміщенням та осцилограми сигналів на його вході (червона) та на виході

Однак на практиці напругу зміщення формують не окремими джерелами напруги, а за допомогою дільників напруги на резисторах, використовуючи для цього напругу живлення пристрою. На рис. 4.10 наведена схема обмежувача у якому напруга зміщення формується дільниками напруги.

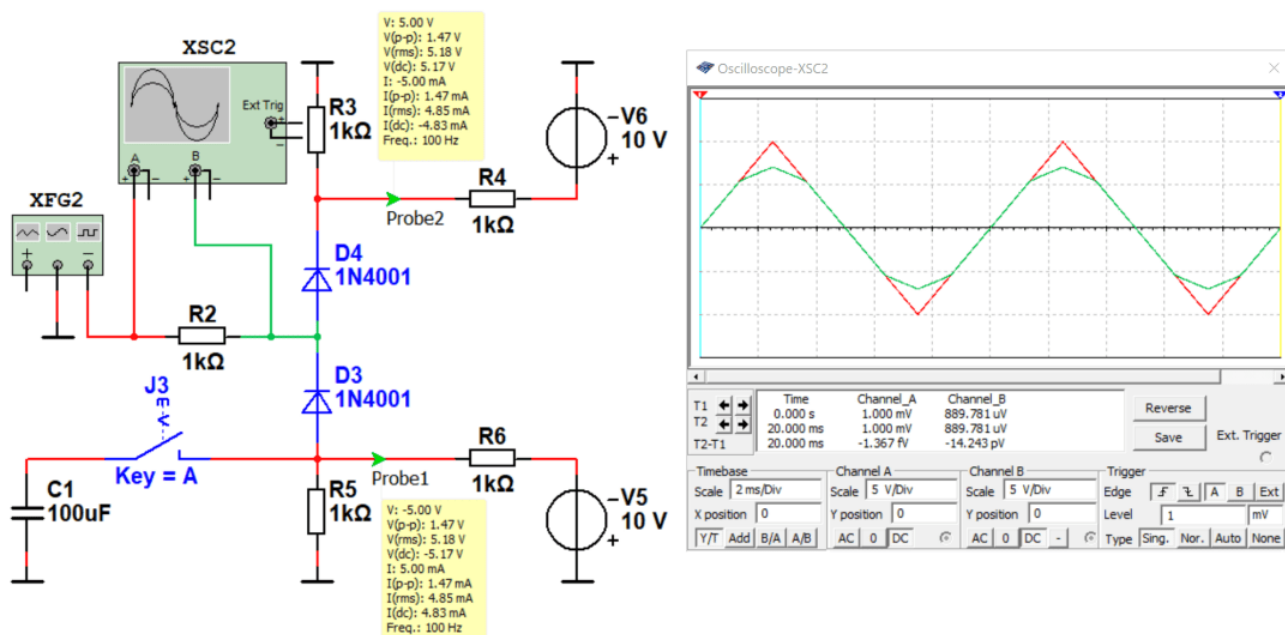


Рис. 4.10. Двосторонній паралельний обмежувач з дільниками напруги на резисторах та осцилограми сигналів на його вході (червона) та на виході

Як слідує з рис. 4.10 слідує, що хоча дільники напруги і формують напругу зміщення, що дорівнює 5,17 В, однак обмеження сигналу на виході не спостерігається. А форма сигналу (зелена осцилограма) на виході має форму схожу з формою вхідного сигналу.

Це пояснити доволі просто. Коли діод (наприклад D4) відкривається, то через резистор R3 протікає струм як від джерела постійної напруги V6, так і струм зумовлений вхідним сигналом

$I_{R3} = I_{R3R4} + I_{D4}$. Оскільки вхідний сигнал змінюється за трикутним законом, то і струм I_{D4} теж змінюється за трикутним законом.

У чому ж відмінність між джерелами зміщення на рис. 4.9 і 4.10. На рис. 4.9 джерелом зміщення є джерело напруги, внутрішній опір якого дорівнює нулю. А на рис. 4.10 – джерело зміщення це діляк напруги з внутрішнім опором $R_{\text{вн.діляк}} = (R_3 \cdot R_4) / (R_3 + R_4)$. Для наведеної на рис. 4.10 схеми внутрішній опір обох діляк однаковий і дорівнює 500 Ом.

Зменшити внутрішній опір на змінному струмі можна підключивши паралельно резисторам R_3 та R_5 конденсатор великої ємності. Оскільки опір конденсатора залежить від частоти і описується виразом $x_c = 1/(2\pi fC)$, де f – частота сигналу, то задавшись значенням опору треба розрахувати ємність для нижньої частоти робочого діапазону сигналів $f_{\text{н}}$.

Наприклад, внутрішній опір діляка на нижній частоті робочого діапазону частот 100 Гц повинен не перевищувати 20 Ом. Тоді

$$C = 1/(2\pi f_{\text{н}}x_c) = 1/(6,28 \cdot 100 \cdot 20) = 79,6 \cdot 10^{-6} \text{ Ф.}$$

Приймаємо $C = 100 \text{ мкФ}$, найближчий номінал з ряду E12.

Проведемо експеримент, підключивши паралельно резистору R_5 конденсатор C_1 ємністю 100 мкФ (рис. 4.11).

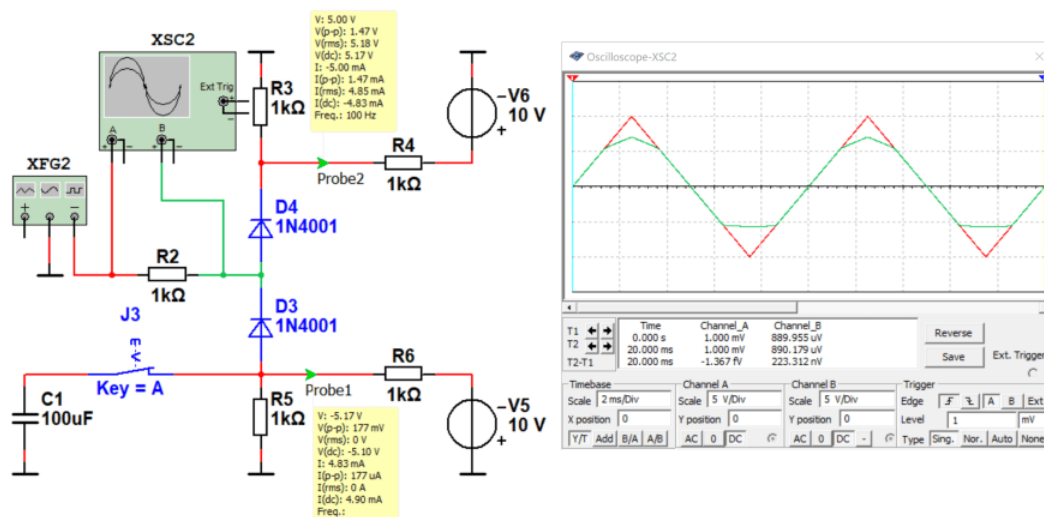


Рис. 4.11. Двосторонній паралельний обмежувач з ділянками напруги на резисторах та осцилограми сигналів на його вході (червона) та на виході при підключенні паралельно ділянку конденсатора великої ємності

Як слідує з осцилограми вихідного сигналу, від'ємна напівхвиля вхідного сигналу має чітке обмеження. Однак при зниженні частоти вхідного сигналу нижче 100 Гц знов буде спостерігатись зростання трикутної складової у вихідні напрузі.

Інший метод зменшити вихідний опір джерела напруги зміщення полягає у використанні стабілітронів. Стабілітрон має низький внутрішній опір, який мало залежить від частоти сигналу.

На рис. 4.12 наведені осцилограми сигналів на вході і виході обмежувача при частоті вхідного сигналу 1 кГц, а на рис. 4.13 – при частоті вхідного сигналу 1 Гц.

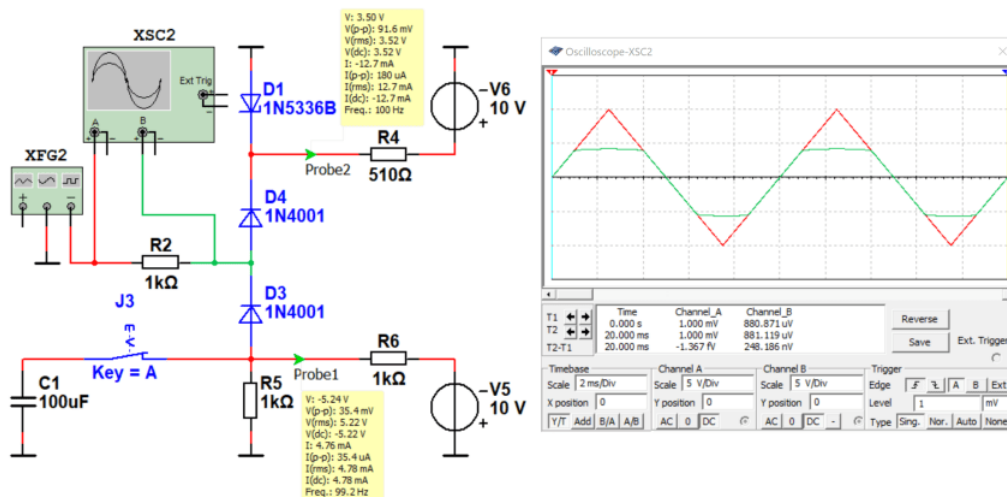


Рис. 4.12. Двосторонній паралельний обмежувач з дільником напруги на резисторах від'ємної напруги зміщення та параметричним стабілізатором позитивної напруги зміщення при частоті вхідного сигналу 1 кГц

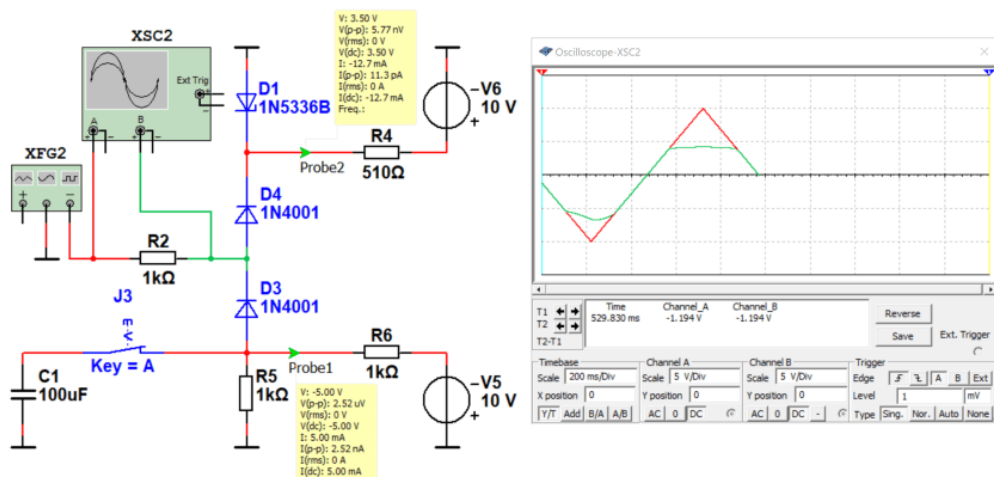


Рис. 4.13. Двосторонній паралельний обмежувач з дільником напруги на резисторах від'ємної напруги зміщення та параметричним стабілізатором позитивної напруги зміщення при частоті вхідного сигналу 1 Гц

Порівнюючи вихідні осцилограми сигналів на рис. 4.12 і 4.13, можна побачити, що при використанні стабілітрона не спостерігається залежності форми сигналу від частоти. А у колі, де включений конденсатор, ця залежність існує.

З цього можна зробити висновок, що якщо потрібно обмежувати сигнали дуже низької частоти, то слід використовувати стабілітрони для формування напруги зміщення.

4.5 Послідовний двосторонній обмежувач на діодах

Схема послідовного двостороннього обмежувача на діодах наведена на рис. 4.14.

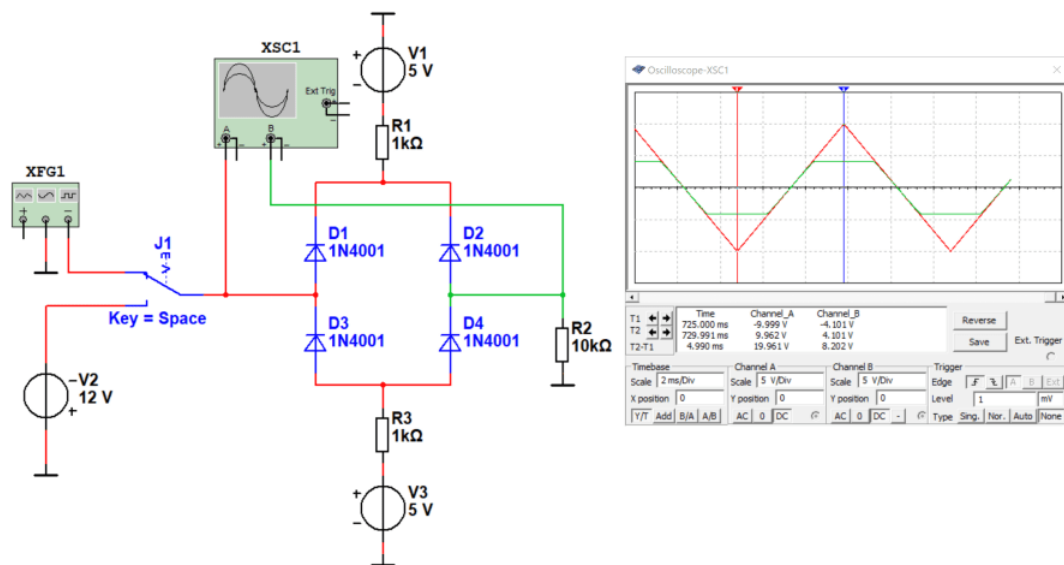


Рис. 4.14. Двосторонній послідовний обмежувач на діодах та осцилограми сигналів на вході (червона) та виході обмежувача (зелена)

Працює обмежувач наступним чином. Якщо напруга на вході менша за напругу зміщення, що задається генераторами V1 та V3, то всі діоди відкриті і через резистор R2 протікають 2 струми:

- I_1 – від загального проводу через резистор R2, діод D2, резистор R1 до генератора V1;
- I_2 – від генератора V3 через резистор R3, діод D4, резистор R2 до загального проводу.

Якщо діоди однакові, опори резисторів $R_1 = R_3$ і напруга на виході генераторів $V_1 = V_3$, то струми теж будуть однаковими. А оскільки вони протікають через резистор R2 у протилежних напрямках, то падання напруги на цьому резисторі (вихідна напруга обмежувача) буде дорівнювати нулю.

Розглянемо випадок коли позитивна напруга на вході стане більшою ніж напруга на виході генератора V3. У цьому випадку діод D3 закриється, діод D1 буде відкритий і вхідна позитивна

напруга закриває діод D2. До виходу залишиться підключене коло: генератор V3, резистор R3, діод D4, резистор R2, під'єднаний до загального проводу. Напруга на виході буде дорівнювати:

$$U_{\text{вих}} = V_3 - I_1 R_1 - U_{\text{пр.D2}}.$$

Падінням напруги на резисторі R1 можна знехтувати, оскільки він має опір у 10 разів менший від опору резистора R2. На діоді падає напруга приблизно 0,7 В. Тоді вихідна напруги приблизно повинна бути $5 - 0,7 = 4,3$ В. Результати вимірювання на екрані осцилографа показують значення вихідної напруги у каналі В рівному 4,1 В. Похибка пояснюється тим, що ми знехтували падінням напруги на резисторі R1, а падіння напруги на діоді прийняли усереднене значення.

Якщо розрахувати вихідну напругу урахуванням падіння напруги на резисторі R1, то вона дорівнює:

$$\begin{aligned} U_{\text{вих}} &= V_3 - I_1 R_1 - U_{\text{пр.D2}} = V_3 - [(V_3 - U_{\text{пр.D2}})/(R_1 + R_2)]R_1 - U_{\text{пр.D2}} = \\ &= 5 - [(5 - 0,7)/(1 + 10)10^3] \cdot 10 \cdot 10^3 - 0,7 = 5 - 0,39 - 0,7 = 3,91 \text{ В.} \end{aligned}$$

Як бачимо результат відрізняється від вимірюваного, а це означає що падіння напруги на діоді менше. Розрахунок при напрузі на діоді 0,6 В дає значення напруги обмеження рівною 4 В, що вже ближче до вимірюваного. Однак на практиці достатньо точності розрахунку з урахуванням падіння напруги на діоді 0,7 В.

Основним недоліком послідовних обмежувачів на діодах є потреба у низькому внутрішньому опорі джерела сигналу. Паралельні обмежувачі на діодах вільні від цього недоліку.

Контрольні питання

1. Чи залежить рівень обмеження на виході послідовного обмежувача від параметрів діодів? Якщо так, то від яких?
2. Чи залежить пряме падіння напруги на діоді від струму, що протікає через нього?
3. Як впливає внутрішній опір джерела напруги зміщення на характеристики обмежувача?
4. Якщо у паралельному односторонньому обмежувачі замість одного діоду включити два послідовно з'єднані діоди, то яка напруга обмеження буде на виході?
5. Як зменшити внутрішній опір дільника напруги на резисторах?
6. Чи залежить рівень обмеження у паралельних обмежувачах з резистивними дільниками від частоти сигналу? У якому випадку?

5 ТРАНЗИСТОРНІ НАСИЧЕНІ КЛЮЧІ

5.1 Призначення транзисторних ключів

Електронні ключі (ЕК) використовують в імпульсній техніці і цифровій техніці для комутації сигналів в різних електричних колах. Найчастіше ключові схеми виконують на транзисторах, діодах або тиристорах. Розрізняють два види ключів:

- транзисторні насичені ключі;
- аналогові ключі.

Для передавання або відключення аналогових сигналів в радіоелектронній апаратурі застосовують електронні аналогові ключі, які при подачі сигналу управління (найчастіше, це логічна одиниця) переходять в замкнутий або розімкнений стан. При замиканні ключа його внутрішній опір зменшується до значень $R_{\text{замкн.}} = 300 \dots 0,3 \text{ Ом}$ в ключах на біполярних транзисторах (БТ) і до значень $0,0003 \text{ Ом}$ в кращих ключах на польових транзисторах (ПТ). При цьому, в закритому стані вони мають опір близько $R_{\text{розімкн.}} = 50 \dots 500 \text{ кОм}$ для діодних ключів і ключів на БТ, і від 1 до 10 МОм для ключів на ПТ. У кращих ключах на ПТ з ізолюваним затвором опір розімкненого ключа може досягати 10^{12} Ом при використанні транзисторів з ізолюваним затвором.

Транзисторні насичені ключі використовуються для формування імпульсних сигналів різної амплітуди, для перетворення рівнів імпульсних сигналів і управління різними пристроями (наприклад, електромагнітними реле або світлодіодними індикаторами).

На відміну від режиму малого сигналу, де відхилення від робочої точки за постійним струмом не перевищує 20...30%, у режимі великого сигналу транзистор переходить із зони відсічення через активну область у режимі насичення та навпаки. Як правило, в імпульсній техніці транзистор працює в двох протилежних станах: у режимі відсічення (транзистор закритий) і в режимі насичення (транзистор відкритий і насичений). Коефіцієнт передавання транзистора в цих режимах менше одиниці, тобто він не має підсилювальних властивостей.

Крім того, при переключенні з одного режиму в другий та навпаки транзистор знаходиться в активному режимі, час переключення складає одиниці мікросекунд. У перехідному (активному) режимі коефіцієнт передавання транзистора набагато більше одиниці. У режимі великого сигналу характеристики транзистора нелінійні і принцип накладення не може бути застосований.

Для аналізу схем із транзисторами, що працюють у режимах великого сигналу, застосовують методи аналізу нелінійних схем. В інженерній практиці знайшов широке застосування метод апроксимації нелінійної вольт-амперної характеристики кусочно-лінійними функціями.

Сутність методу: для окремих областей (відсічення, насичення, перехідна область) виконується апроксимація нелінійних ВАХ кусочно-лінійними функціями. У кожній області, на основі апроксимуючих функцій, ВАХ представляються рядом Тейлора. На основі обговореної лінійної апроксимації всіма похідними, починаючи з другої, можна зневажити (ряд обмежиться двома доданками $a + b \cdot x$), постійну складову необхідно враховувати.

На підставі отриманих рівнянь для кожної з областей, з урахуванням постійних складових, синтезують електричну модель транзистора. При цьому моделі виходять лінійними, для всіх трьох областей, однак різні. Широко застосовують моделі транзисторів у системі h -параметрів.

5.2 Насичений ключ у схемі включення із загальним емітером

Транзисторні насичені ключі використовуються для формування імпульсних сигналів різної амплітуди, для перетворення рівнів імпульсних сигналів і управління різними пристроями (наприклад, електромагнітними реле або світлодіодними індикаторами). Розглянемо транзисторні ключові схеми на біполярних транзисторах типів $n-p-n$ і $p-n-p$ (рис. 5.1).

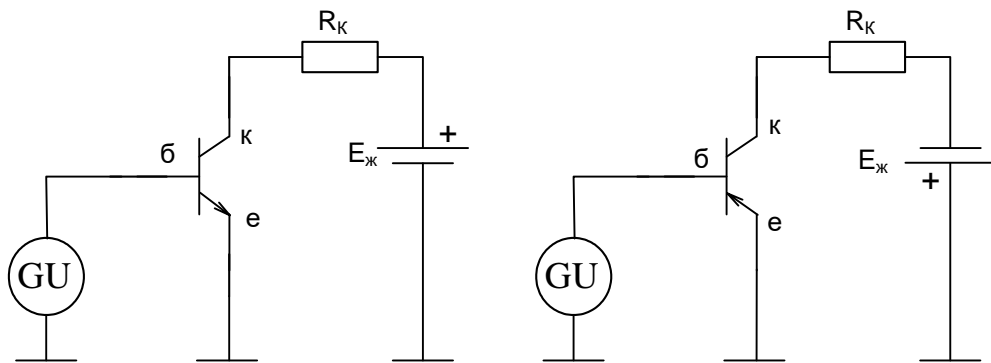


Рис. 5.1. Схеми включення біполярних транзисторів різної провідності

В імпульсних пристроях використовуються всі основні схеми включення транзистора – ЗЕ (загальний емітер), ЗБ (загальна база), ЗК (загальний колектор), схема "зірка" і інверсна схема включення, у якій міняються функціями емітер і колектор транзистора. Однак найбільше застосування одержали транзисторні ключі у схемі включення з ЗЕ.

На рис. 5.2,а наведено сімейство типових вихідних характеристик, а на рис. 5.2,б – вхідна характеристики біполярного транзистора $n-p-n$.

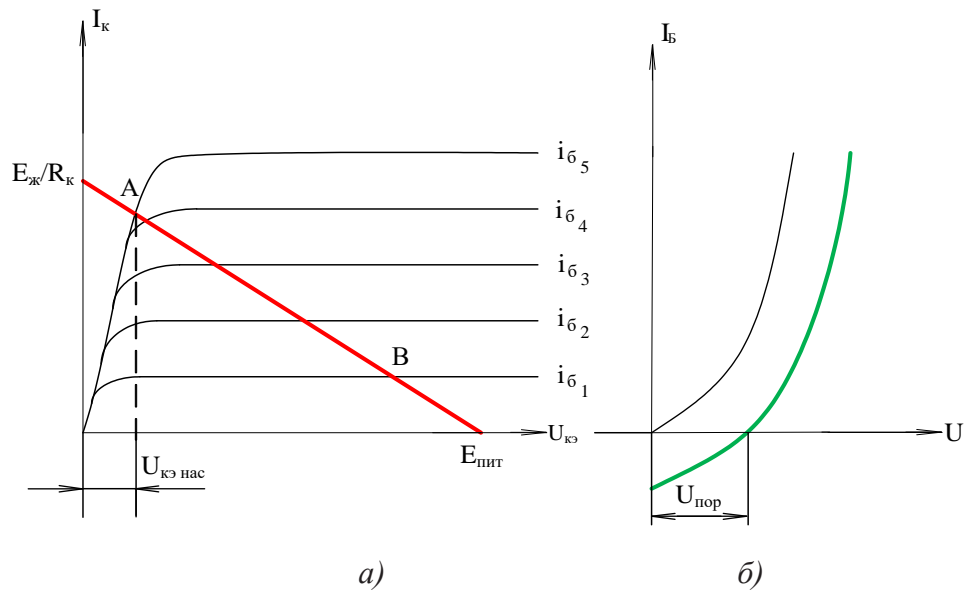


Рис. 5.2. Вихідні (а) й вхідна (б) характеристики біполярного транзистора

Вихідні статистичні характеристики (рис. 5.2,а) показують залежність струму колектора від струму бази й напруги між колектором і емітером транзистора $i_k = f(u_k, i_b)$. На рис. 5.2,а нанесена навантажувальна пряма АВ, відповідно до рівняння Кірхгофа для схеми ЗЕ:

$$E_k = i_k R_k + |u_k|.$$

Координати (I_k, U_k) точок перетинання навантажувальної прямої з характеристиками транзистора визначають режими схеми.

Розглянемо схему включення насиченого транзисторного ключа (рис. 5.3).

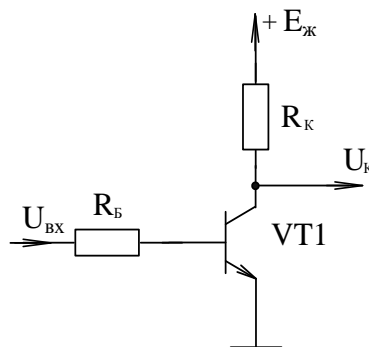


Рис. 5.3. Принципова схема насиченого транзисторного ключа

Принцип роботи цієї схеми полягає в наступному: поки $U_{вх} < U_{пор}$ ($U_{пор}$ – порогова напруга транзистора) транзистор закритий, колекторний струм не протікає. Коли $U_{вх} > U_{пор}$ транзистор відкривається. Щоб транзистор відкрився, у базу потрібно ввести неосновні носії зарядів, на що

потрібне певний час. Через це відбувається запізнювання між моментом подачі вхідного сигналу й моментом відкриття (закриття) транзистора. При закритті транзистора треба час для виводу з бази неосновних носіїв зарядів.

5.3 Статичні режими ключа

Розрізняють наступні режими роботи транзисторного ключа:

- режим включення – транзистор працює або в області насичення, або в активній області (рис.5.4,а),
- режим вимикання – транзистор закритий (рис.5.4б).

Режим вимикання

Транзистор буде виключений при умовах, якщо $U_{бэ} \leq 0$ і $U_{бк} \leq 0$. Якщо зворотна напруга $U_{бэ} = (3...5)\varphi_T$, де φ_T – температурний потенціал ($\varphi_T = 0.026$ В при $T = 20$ °С для германієвих транзисторів і $\varphi_{T\text{кр}} \approx 0.05$ В для кремнієвих), то цей режим називається режимом глибокого відсічення.

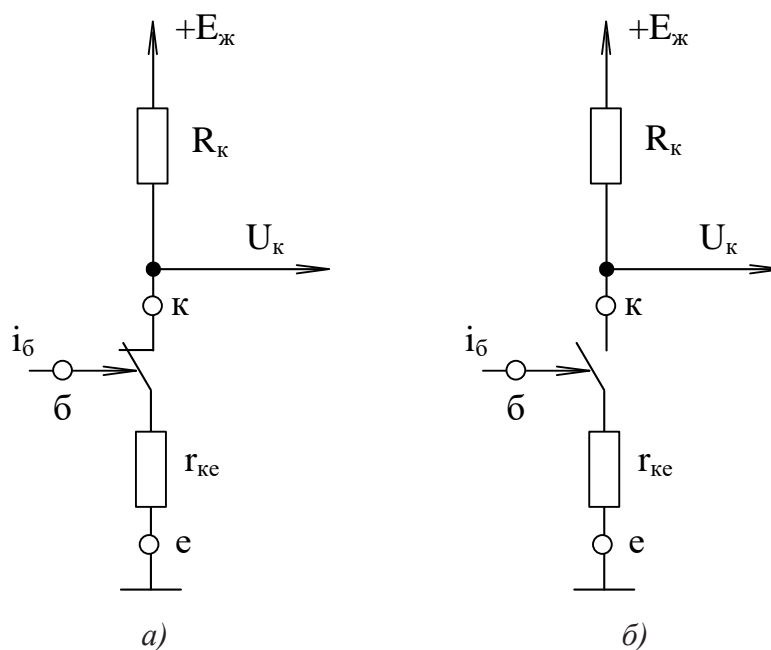


Рис. 5.4. Умовна позначка відкритого (а) і закритого (б) транзисторного ключа

Режим включення

Емітерний перехід зміщується в прямому напрямку, і через його електроди протікають прямі струми. Розрізняють активну область і область насичення включеного транзистора.

В активній області емітерний перехід зміщений у прямому напрямку, а колекторний у зворотному, тобто $U_{бэ} > 0$ і $U_{бк} < 0$.

Для схеми з загальним емітером (ЗЕ) виконується співвідношення:

$$i_k = \beta i_{\text{б}} + (\beta + 1)I_{\text{к0}},$$

де β – статичний коефіцієнт передавання струму в схемі з ЗЕ, $\beta = \alpha/(1-\alpha)$; $I_{\text{к0}}$ – тепловий струм колектора при обриві емітера або некерований струм колектора.

Для схеми із загальною базою (ЗБ):

$$i_k = \alpha i_{\text{б}} + I_{\text{к0}},$$

де α – статичний коефіцієнт підсилення струму у схемі з загальною базою.

Таким чином, в активній області струм колектора лінійно залежить від керуючого струму бази. В області насичення обоє переходу транзистора зміщені в прямому напрямку ы стрми можна розрахувати за формулами:

$$I_{\text{кн}} = \frac{E_{\text{ж}} - |U_{\text{кн}}|}{R_{\text{к}}},$$

$$I_{\text{бн}} = \frac{I_{\text{кн}}}{\beta}.$$

Напруга $U_{\text{кн}}$ зменшується з ростом β і становить приблизно кілька сотень мілівольт. Напруга насичення бази $U_{\text{бн}}$ становить 0.2...0.4 В для германієвих транзисторів і 0.7...1.1 В для кремнієвих. Форма напруги на вході й виході транзисторного ключа наведено на рис. 5.5. Ступінь насичення характеризується коефіцієнтом:

$$S = \frac{i_{\text{б}}}{I_{\text{бн}}} = \frac{\beta i_{\text{б}}}{I_{\text{кн}}}.$$

На границі насичення $S = 1$, тобто $i_{\text{б}} = I_{\text{бн}}$. Зі збільшенням S збільшується навантажувальна здатність ключа, зменшується вплив дестабілізуючих факторів на вихідні параметри ключа. Однак збільшення S приводить до погіршення швидкодії ключа. У зв'язку з більшим розкидом β у різних екземплярів транзисторів умови насичення повинні виконуватися для мінімальних значень β , наведених у довіднику.

Коефіцієнт насичення можна виразити і наступним рівнянням:

$$S = \frac{Q}{Q_{\text{гр}}},$$

де Q – заряд, що накопичується в базі; $Q_{гр}$ – заряд на границі насичення.

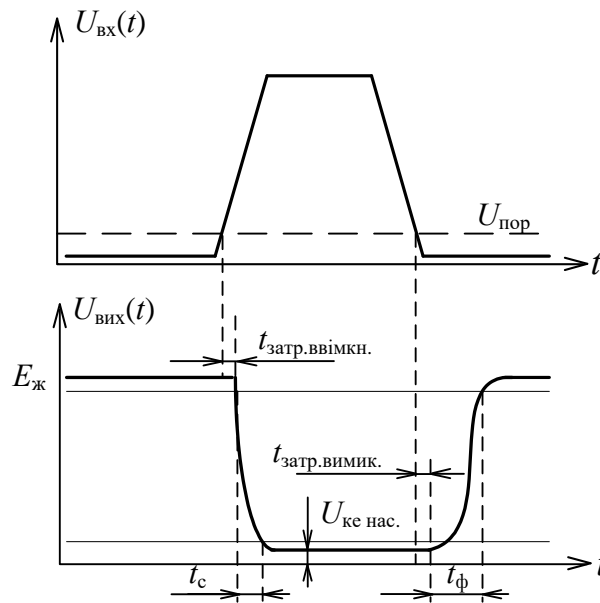


Рис. 5.5. Форма напруги на вході й виході транзисторного ключа

Затримка процесу включення й вимикання пояснюється тим, що для вводу в базу (або виводу з база) неосновних носіїв зарядів потрібен час, який залежить від площі бази.

5.4 Способи прискорення перемикання ключа

Як було сказано в попередньому пункті процес включення й вимикання транзистора відбувається з деякою затримкою. Розглянемо способи зменшення цього часу. Для цього розглянемо принципову схему насиченого транзисторного ключа з урахуванням вхідного опору та вхідної ємності транзистора (рис. 5.6).

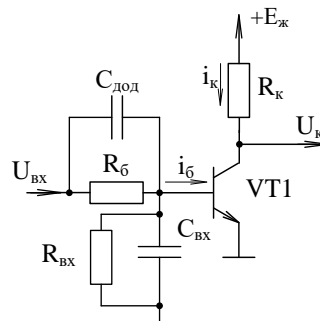
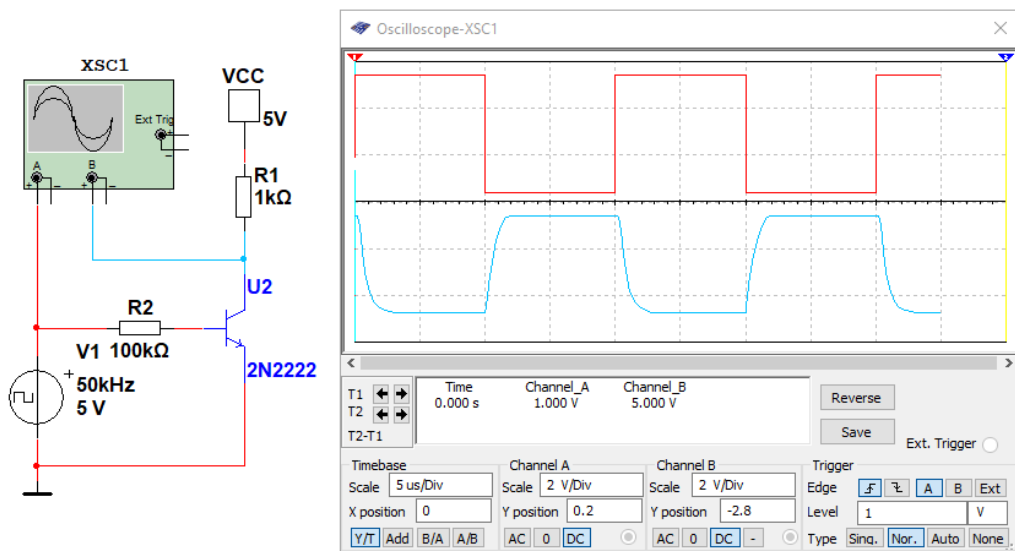


Рис. 5.6. Включення транзистора за схемою із загальним емітером з прискорювальним конденсатором

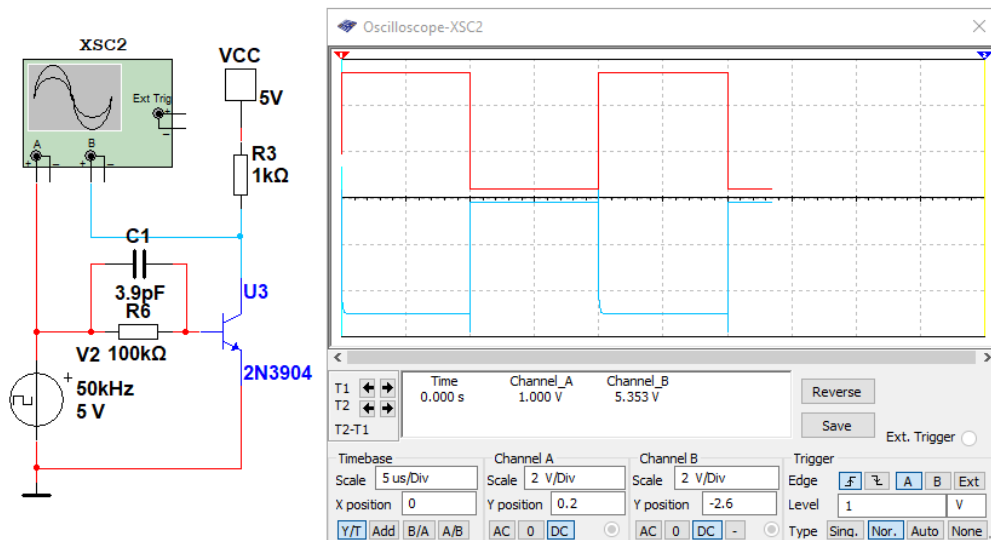
Вхідна ємність транзистора з опором бази утворюють інтегруюче коло, що призводить до затримки відкриття транзистора, оскільки для заряду вхідної ємності до порогового рівня потрібен час, що зумовлений постійною часу $R_6C_{вх}$.

Для прискорення перемикання транзисторного ключа додаємо паралельно резистору R_6 ємність $C_{дод}$ (рис. 5.6). Це приведе до того, що одночасно діє два кола: $R_6C_{вх}$ – інтегруюче коло, що складається з R_6 і вхідної ємності транзистора $C_{вх}$, та диференціююче коло, що складається з конденсатора $C_{дод}$ та вхідного опору транзистора $R_{вх}$. У точці А напруги складаються. Ємність $C_{дод}$ називається прискорювальною.

Результат введення додаткової ємності ілюструють осцилограми сигналів на рис. 5.7,а та 5.7,б.



а)



б)

Рис. 5.7. Осцилограми сигналів на вході та виході ключа без додаткової ємності (а) та з додатковою ємністю (б)

Часові діаграми сигналів у різних точках схеми при включенні транзисторного ключа за схемою із загальним емітером з прискорювальним конденсатором показано на рис. 5.8. Червоним кольором показано вхідний сигнал, зеленим напругу на базі VT1, а фіолетовим – напругу на колекторі транзистора.

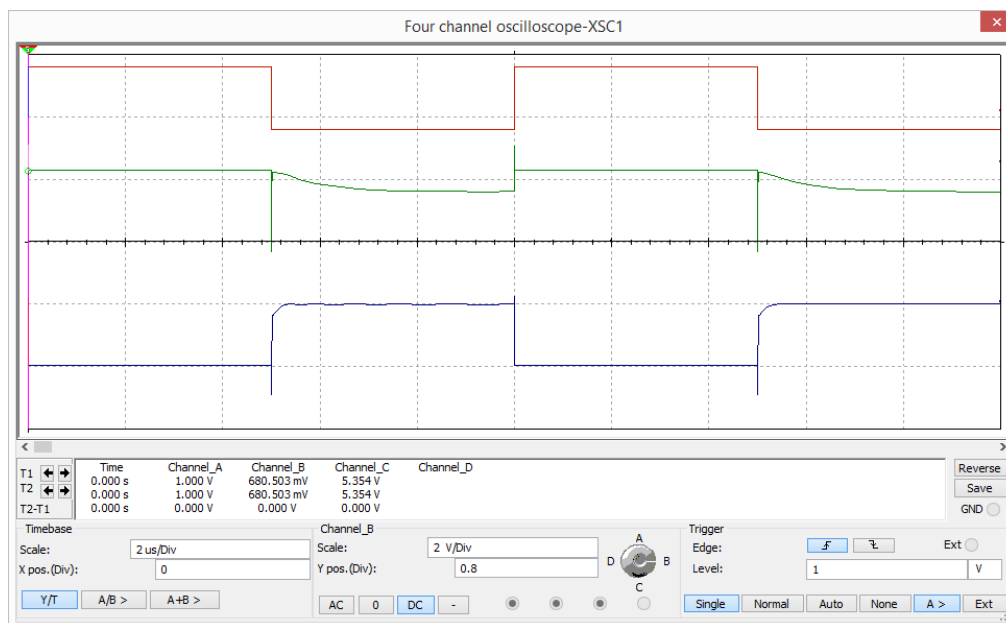


Рис. 5.8. Прискорення процесів перемикання ключа з використанням додаткової ємності

Крім підключення прискорювального конденсатора є й інші способи прискорення перемикання ключа. Для того, щоб зменшити час запізнювання, треба зменшити ступінь насичення бази транзистора неосновними носіями заряду. Для цього використовують діоди, найчастіше діоди Шоткі, у яких $U_{пр} \leq 0,5$ В (рис. 5.9). Крім того ці діоди мають малу ємність і, як наслідок, швидко перемикаються.

При наявності діода VD ($U_{бенас} = U_{прVD} + U_{кенас}$) зайві заряди будуть перетікати з бази через відкритий перехід колектор-емітер на загальний провід.

Якщо врахувати що $U_{прVD} \leq 0,5$ В, а $U_{кенас} \leq 0,1$ В, та максимальна напруга на базі транзистора не буде перевищувати 0,6 В. При відсутності діода величина напруги $U_{бе}$ може досягати 1...1,1 В. Отже підключення діода зменшує ступінь насичення транзистора і його час вимикання.

Результат введення діода Шоткі ілюструє рис. 5.9. Порівнюючи з рис. 5.7,а можна помітити, що при включенні діода між базою та колектором, швидкість перемикання ключа зростає.

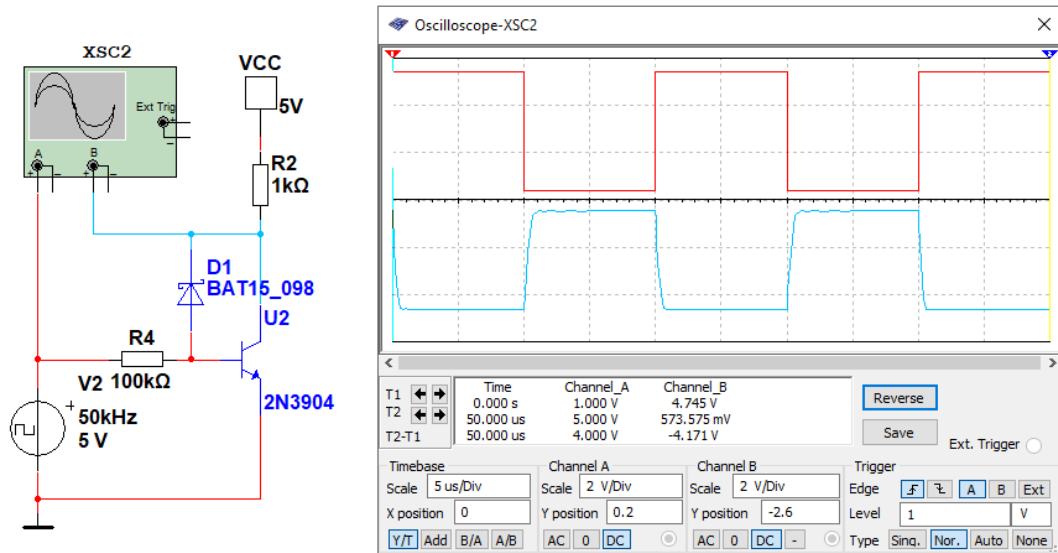


Рис. 5.9. Форма сигналів на вході та виході транзисторного ключа у схемі з ЗЕ при наявності прискорюючого діода

5.5 Транзисторні ключі в схемі з загальною базою

Основна особливість транзисторного ключа ЗБ полягає в тому, що керуючим струмом є струм емітера i_e . На рис. 5.10 показані схеми транзисторного ключа ЗБ з транзисторами різної провідності.

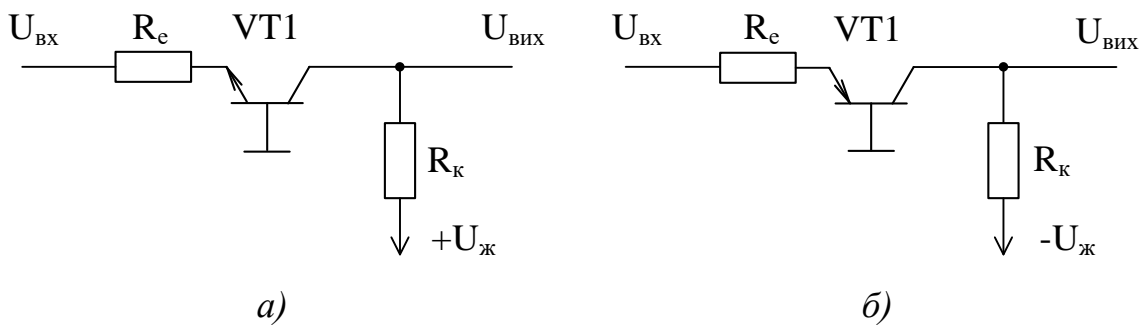


Рис. 5.10. Принципова схема транзисторного ключа ЗБ з транзистором n-p-n (а) та p-n-p (б) провідності

Розглянемо принцип роботи транзисторного ключа ЗБ з транзистором n-p-n типу (рис. 5.10,а). Якщо $|U_{ВХ}| \leq |U_{пор}|$, то транзистор VT1 закритий, а якщо $|U_{ВХ}| \geq |U_{пор}|$, то транзистор відкритий.

При відкритті транзистора VT1 через перехід колектор-емітер протікає струм, на резисторі R_k падає напруга і як наслідок на виході напруга зменшується. При замиканні транзистора VT1

струм через перехід колектор-емітер не протікає і як наслідок напруга на виході рівна напрузі живлення $U_{ж}$. Залежно від співвідношення R_k і R_e можна отримати різну вихідну напругу. В даному випадку вважатимемо, що $R_k \gg R_e$ і $U_{вих} = 0$ для відкритого транзистора VT1.

На рис. 5.11 показані часові діаграми роботи транзисторного ключа ЗБ з транзистором $n-p-n$ типу (рис. 5.10,а), а на рис. 5.12 – $p-n-p$ типу (рис. 5.10,б).

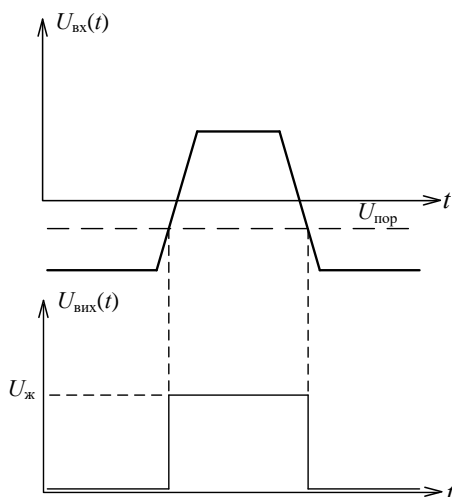


Рис. 5.11. Часові діаграми роботи транзисторного ключа ЗБ з транзистором $n-p-n$ типу

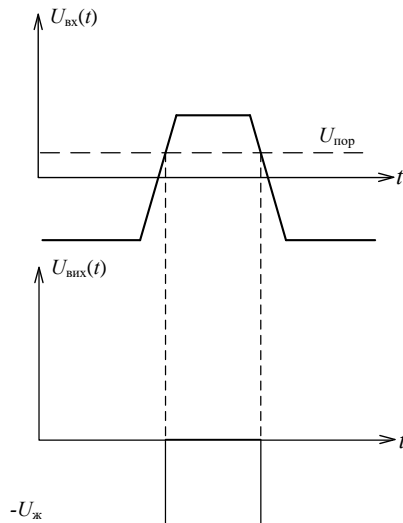


Рис. 5.12. Часові діаграми роботи транзисторного ключа ЗБ з транзистором $p-n-p$ типу

Для транзисторного ключа із загальною базою характерні дві властивості:

- фаза вхідного і вихідного сигналу співпадає;
- полярність вхідного і вихідного сигналу протилежні.

5.5 Транзисторні ключі на польових транзисторах

Польовий транзистор – уніполярний напівпровідниковий прилад, струм в якому обумовлений тільки вільними основними носіями в провідному каналі між двома електродами – витоком і стоком. Провідність каналу модулюється поперечним (перпендикулярним напрямку струму) електричним полем, що створюється за допомогою керуючого електрода – затвора. Розрізняють два класи польових транзисторів: з керуючим р-n-переходом і з ізольованим затвором. Польові транзистори з ізольованим затвором, у свою чергу, поділяються на МДН транзистори (транзистор із структурою метал – діелектрик – напівпровідник) з вбудованим провідним каналом і МДН транзистори з індукованим каналом.

На рис. 5.13 наведені принципи схеми ключів на МДН транзисторах.

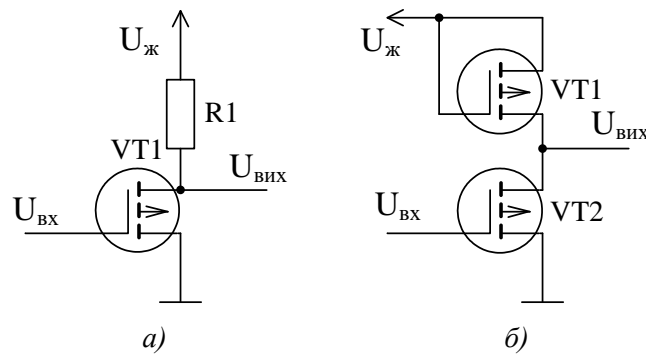


Рис. 5.13. Принципові схеми ключів на МДН транзисторах з лінійним резистором в навантаженні (а) та з МДН транзистором в навантаженні (б)

Контрольні питання

1. Який опір транзисторного ключа на ділянці колектор-емітер при включеному транзисторі?
2. Який опір транзисторного ключа на ділянці колектор-емітер при виключеному транзисторі?
3. Чому сигнал на виході транзисторного ключа формується з затримкою?
4. Яка різниця у фазах вхідного і вихідного сигналів транзисторного ключа у схемі з загальним емітером?
5. Яка різниця у фазах вхідного і вихідного сигналів транзисторного ключа у схемі з загальною базою?
6. Які способи прискорення перемикання ключів вам відомі? Поясніть чому відбувається пришвидшення перемикання.

6 МАТЕМАТИЧНІ ОСНОВИ ПОБУДОВИ ЦИФРОВИХ ПРИСТРОЇВ

6.1 Системи числення

Система числення – це спосіб запису (відображення) чисел.

Системи числення, в яких ваговий коефіцієнт кожної цифри залежить від її положення у послідовності цифр, що зображає число, називаються позиційними. У непозиційних системах значення кожної цифри постійне і не залежить від місця її розташування в числі. Всі системи числення, які використовуються в цифровій схемотехніці, є позиційними.

При розгляді позиційних систем важливим виступає поняття базису. Базис системи числення – це послідовність чисел, яка задає значення (вагу) кожної цифри в залежності від місця її розміщення.

Приклади базисів:

- десяткової системи числення: $10^0, 10^1, 10^2, \dots, 10^n, \dots$;
- двійкової – $2^0, 2^1, 2^2, \dots, 2^n, \dots$;
- вісімкової – $8^0, 8^1, 8^2, \dots, 8^n, \dots$;
- шістнадцяткової – $16^0, 16^1, 16^2, \dots, 16^n$.

У загальному плані для позиційних систем числення базис можна записати в вигляді послідовних членів геометричної прогресії:

$$\dots P^{-m}, \dots, P^{-2}, P^{-1}, P^0, P^1, P^2, \dots, P^n, \dots$$

Число P називається *основою системи числення*. У подальшому при розгляді систем числення основа зображатиметься у вигляді нижнього індексу в кінці числа.

Сукупність різних цифр, які використовуються в позиційній системі числення для запису чисел, називається *алфавітом системи*.

Будь-яке натуральне число A в P -ічній системі числення записується у розгорнутій і згорнутій формах запису. Наприклад, число A в P -ічній системі числення представляється в згорнутій формі так:

$$A = (a_n a_{n-1} \dots a_1 a_0 a_{-1} a_{-2} \dots a_{-k})_P; \quad (6.1)$$

у розгорнутій:

$$A = a_n \cdot P^n + a_{n-1} \cdot P^{n-1} + \dots + a_1 \cdot P^1 + a_0 \cdot P^0 + a_{-1} \cdot P^{-1} + a_{-2} \cdot P^{-2} + \dots + a_{-k} \cdot P^{-k} \quad (6.2)$$

Приклад 6.1

Перевести двійкове число $A = 11011_2$ в десяткову систему числення.

Розв'язання. Запишемо число в розгорнутій формі:

$$A = 1 \cdot 2^4 + 1 \cdot 2^3 + 0 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 = 16 + 8 + 0 + 2 + 1 = 27.$$

При програмуванні як на мовах високого рівня, так і на мові Асемблера часто необхідно знати значення ступенів двійки до 16. У цифровій та мікропроцесорній техніці важливо пам'ятати ступені до 10. Приведемо їх, починаючи з 5:

$$2^5 = 32; 2^6 = 64; 2^7 = 128; 2^8 = 256; 2^9 = 512; 2^{10} = 1025.$$

Знання цих чисел дає можливість більш спрощено розв'язувати задачі переведення десяткових чисел у двійковий код.

Приведене вище правило переведення цілих чисел у десяткову систему числення може бути використаним і для переведення дробових чисел.

Приклад 6.2

Перевести число $A = 0,11_2$ в десяткову систему числення.

Розв'язання. Запишемо число A в розгорнутій формі:

$$A = 1 \cdot 2^{-1} + 1 \cdot 2^{-2} = 0,75_{10}.$$

Формула (6.2) здебільшого використовується для переходу від системи числення з меншою основою до системи числення з більшою основою.

Ірраціональні дробові числа представляються у скороченій формі і переводяться аналогічно, або для них використовуються спеціальні алгоритми.

Приклад 6.3

Перетворити у двійковий код число 105_{10} .

Розв'язання. Операція перетворення виконується у послідовності, наведеній нижче.

$$\begin{array}{rcll} 105 & : & 2 & = 52 + \text{залишок } 1 = a_0 \\ 52 & : & 2 & = 26 + \text{залишок } 0 = a_1 \\ 26 & : & 2 & = 13 + \text{залишок } 0 = a_2 \\ 13 & : & 2 & = 6 + \text{залишок } 1 = a_3 \\ 6 & : & 2 & = 3 + \text{залишок } 0 = a_4 \\ 3 & : & 2 & = 1 + \text{залишок } 1 = a_5 \\ 1 & : & 2 & = 0 + \text{залишок } 1 = a_6 \end{array}$$

Тобто, $105_{10} = A_2 = a_6 a_5 a_4 a_3 a_2 a_1 a_0 = 1101001_2$.

Типові помилки при реалізації такого алгоритму наступні: порушення порядку запису цифр, що одержуються; неправильне вписування крайньої ліворуч цифри.

Використовуючи ступені числа 2 з прикладу 1.5, скористаємось спрощеним способом переведення числа A_{10} у двійкову систему числення. Дійсно, можемо записати нерівності

$$2^7 > 105 > 2^6.$$

Звідси витікає, що двійкове число представляється 7-ма розрядами, старший з яких $2^6 = 64$. Оскільки різниця $105 - 64 = 41$ знаходиться в інтервалі $2^6 > 41 > 2^5$, то стверджуємо, що і наступний по старшинству розряд – шостий ($2^5 = 32$) – дорівнює 1. Наступна різниця $41 - 32 = 9 = 1001_2$. П'ятий розряд дорівнює нулю, і в результаті отримуємо ту ж саму відповідь.

Переведення числа A , що має дробову частину, з десяткової системи числення у двійкову має ту особливість, що ціла і дробова частини переводяться окремо.

Сформулюємо тепер правило переведення дробової частини з десяткової системи числення в P -ічну. Знову представимо її у розгорнутому вигляді:

$$A_{10} = a_{-1} \cdot P^{-1} + a_{-2} \cdot P^{-2} + \dots + a_{-k} \cdot P^{-k} + \dots \quad (6.3)$$

Перемножуючи ліву і праву частини (6.3) на P в правій частині виразу отримуємо:

$$a_{-1} + a_{-2} \cdot P^{-2} + \dots + a_{-k} \cdot P^{-k} + \dots \quad (6.4)$$

З отриманого результату можемо зробити висновок, що перша цифра a_{-1} дробової частини числа A в P -ічній системі числення дорівнює цілій частині результату перемноження десяткової дробової частини на P . Після чергового перемноження залишку дробової частини на P отримаємо значення a_{-2} :

$$(a_{-2} \cdot P^{-1} + \dots + a_{-k} \cdot P^{-k+1} + \dots) \cdot P.$$

Цей процес продовжується до тих пір, поки дробова частина результату перемноження лівої частини не стане рівною нулю або поки не буде виділений період повторності цифр.

Приклад 6.4

Перевести число $A = 0,375_{10}$ в двійкову систему числення.

Розв'язання. Виконуємо операцію множення в наведеній нижче послідовності.

$$\begin{array}{l}
 0,375 \times 2 = 0,75 \quad 0 - \text{перша цифра результату;} \\
 0,75 \times 2 = 1,5 \quad 1 - \text{друга цифра результату;} \\
 0,5 \times 2 = 1 \quad 1 - \text{остання цифра результату.}
 \end{array}$$

Внаслідок виконання перетворень отримали результат $0,375_{10} = 0,011_2$.

6.2 Коди та їх характеристика

6.2.1 Коди з паралельною формою представлення інформації

Система числення, в якій використовуються лише два знаки для відображення інформації, називається *двійковою*, основою якої є число 2. За аналогією з десятковою, двійкова система числення є позиційною, і будь-яке ціле десяткове число може бути представлене двійковим рядом, що вміщує лише "1" та "0" у відповідності з алгоритмом:

$$A_{10} = \sum_{i=0}^{k-1} a_i \cdot 10^i \rightarrow A_2 = \sum_{j=0}^{p-1} a_j \cdot 2^j, \quad (6.5)$$

де $a_i = 0 \dots 9$ – цифри i -го розряду десяткового числа; $a_j = 0 \dots 1$ – відповідно, цифри j -го розряду двійкового числа. Розряди чисел рахуються зліва направо, починаючи зі старшого. Дробові числа представляються доповненням суми (5.5) від'ємними ступенями числа 2.

Електронні системи, що оперують сигналами, які відповідають лише рівням "1" та "0", називаються **цифровими**. Схеми, на основі яких реалізуються такі системи, також називаються **цифровими**, а розділи електроніки, що вивчають принципи побудови таких схем – **цифровою схемотехнікою**.

Як у теорії інформації, так і на практиці застосування цифрової схемотехніки використовується багато різноманітних кодів. Визначимось з основною термінологією.

Код – це універсальний спосіб відображення інформації при її зберіганні, передаванні і обробці у вигляді системи однозначних відповідностей між елементами повідомлень і сигналами, за допомогою яких ці елементи можна зафіксувати. Іншими словами, кодування – це однозначне перетворення символів одного алфавіту в символи іншого, а код – правило, закон, алгоритм, при якому відбувається це перетворення.

Комбінації символів, що належать до даного коду, називаються кодовими словами. Символи, за допомогою яких повідомлення трансформуються в код, є вторинним алфавітом. Процес відновлення вмісту повідомлення за допомогою відповідного коду називається декодуванням. Необхідною умовою декодування є взаємно однозначна відповідність кодових слів у вторинному алфавіті символам первинного алфавіту та їх комбінаціям.

При передаванні кодів символів по лініях зв'язку вони повинні бути розділені так, щоб кожен символ міг бути прийнятим самостійно, що виконується з використанням різних принципів їх розділення. Розділення символів може бути *просторовим, часовим і якісним*.

Просторове розділення по суті є багатоканальним зв'язком, і при його використанні відпадає необхідність у спеціальних методах кодування. При *якісному* розділенні між символами повинно бути як мінімум дві розподільчі ознаки (наприклад, тривалість імпульсу, паузи), які легко відрізняються на приймальній стороні лінії зв'язку.

Якісне розділення дає можливість одночасної передаванні інформації від різних об'єктів по одному каналу зв'язку. Прикладом якісного розділення є частотне розділення (моногоармонічний сигнал при імпульсі має одну частоту, а при паузі – іншу).

При часовому розділенні використовуються спеціальні комутатори на передаючій та приймальній сторонах, які по чергово з'єднують необхідні лінії зв'язку.

Двійкове кодування десяткових чисел в відповідності з (6.5) не є єдиним. При роботі з двійковими числами широко використовуються й інші коди, які в різних практичних ситуаціях мають свої переваги перед двійковим. Деякі з них для позитивних чисел в інтервалі 0...15 представлені у набл. 6.1.

Прямий двійковий код A_2 також називають кодом 8-4-2-1 у відповідності з ваговими коефіцієнтами розрядів.

Зворотній код $B_2 = b_3 b_2 b_1 b_0$ отримується шляхом інверсії кожного розряду прямого коду:

$$B_2 = b_3 b_2 b_1 b_0 = \overline{A_2} = \overline{a_3} \overline{a_2} \overline{a_1} \overline{a_0}.$$

Він використовується як самостійно в логічних структурах цифрових систем, так і при виконанні арифметичних операцій для одержання доповнюючого коду D_2 . Останній застосовується при виконанні арифметичних операцій і знаходиться відповідно до формули:

$$D_2 = B_2 + 1 = \overline{A_2} + 1 = \overline{a_3} \overline{a_2} \overline{a_1} \overline{a_0} + 1,$$

де число 1 додається шляхом двійкової арифметики.

Код Грея, який часто називається **циклічним**, має ту особливість, що при переході з одного числа до сусіднього проходить зміна "0" на "1" або навпаки тільки в одному розряді. Як видно з таблиці, код, представлений двома, трьома або чотирма розрядами, завжди створює циклічну послідовність, тобто адекватну можливість переходу від самого старшого кодового значення числа до самого молодшого. Ця особливість дозволяє використовувати його при

кодуванні кутових переміщень у перетворювачах кута повороту у цифровий код. Код Грея знаходить також широке використання у різних перетворювачах "аналог - код", де його властивість дає можливість звести похибки неоднозначності при зчитуванні інформації до одиниці молодшого розряду.

Таблиця 6.1. Значення деяких двійкових кодів в інтервалі від 0 до 15

A_{10}	A_2 (двійковий)				B_2 (зворотний)				D_2 (доповнюючий)				Код Грея			
	a_3	a_2	a_1	a_0	b_3	b_2	b_1	b_0	d_3	d_2	d_1	d_0	g_3	g_2	g_1	g_0
0	0	0	0	0	1	1	1	1	0	0	0	0	0	0	0	0
1	0	0	0	1	1	1	1	0	1	1	1	1	0	0	0	1
2	0	0	1	0	1	1	0	1	1	1	1	0	0	0	1	1
3	0	0	1	1	1	1	0	0	1	1	0	1	0	0	1	0
4	0	1	0	0	1	0	1	1	1	1	0	0	0	1	1	0
5	0	1	0	1	1	0	1	0	1	0	1	1	0	1	1	1
6	0	1	1	0	1	0	0	1	1	0	1	0	0	1	0	1
7	0	1	1	1	1	0	0	0	1	0	0	1	0	1	0	0
8	1	0	0	0	0	1	1	1	1	0	0	0	1	1	0	0
9	1	0	0	1	0	1	1	0	0	1	1	1	1	1	0	1
10	1	0	1	0	0	1	0	1	0	1	1	0	1	1	1	1
11	1	0	1	1	0	1	0	0	0	1	0	1	1	1	1	0
12	1	1	0	0	0	0	1	1	0	1	0	0	1	0	1	0
13	1	1	0	1	0	0	1	0	0	0	1	1	1	0	1	1
14	1	1	1	0	0	0	0	1	0	0	1	0	1	0	0	1
15	1	1	1	1	0	0	0	0	0	0	0	1	1	0	0	0

В літературі описані декілька різних прийомів для одержання коду Грея. Один з них дозволяє будувати код Грея безпосередньо з двійкового, використовуючи наступне правило: i -й біт коду Грея встановлюється в нуль, якщо i -й та $(i + 1)$ -й біти відповідного двійкового коду однакові; у протилежному випадку біт $i = 1$. У тому випадку, коли $(i + 1)$ -й біт виходить за рамки розрядності двійкового коду, його значення приймається рівним нулю.

При запису слів двійкового коду може використовуватись шістнадцяткове числення:

$$A_{16} = \sum_{j=0}^S a_j^{16} \cdot 16^j.$$

При його використанні десяткові числа від 10 до 15 замінюються відповідно латинськими літерами A, B, C, D, E, F. Двійковий і шістнадцятковий коди легко взаємно переводяться. Для цього двійкове слово будь-якої довжини розбивається на тетради, починаючи з молодшого розряду і, відповідно до табл. 5.1 та вищезазначеними еквівалентами літер та цифр, записується його шістнадцяткове представлення. Наприклад, $A_2 = 111011_2 = 0011\ 1011_2 = 3B_{16}$.

Для позначення цього коду використовують букву h (*hexadecimal*), яку ставлять після його числового значення: $3B_{16} = 3Bh$.

6.2.2 Коди з послідовною формою представлення інформації

Паралельний формат зберігання і передаванні даних використовується при малих відстанях між цифровими пристроями і при зберіганні у напівпровідникових запам'ятовуючих пристроях. У той же час, при записі або зчитуванні на магнітні або оптичні носії цифрова інформація повинна передаватись у послідовному форматі. Послідовний формат використовується і при передаванні на великі відстані по телефонних і кабельних лініях зв'язку. У кожному з таких випадків представлена в паралельному форматі інформація повинна перетворюватись у послідовний за допомогою спеціальних апаратно-програмних засобів.

Базовою концепцією передаванні інформації у послідовному форматі є строга узгодженість побітного передаванні з сигналами синхронізації, тобто кожному періоду синхросигналу повинен ставитись у відповідність один біт інформації, що передається. Інтервал часу між двома тактами синхросигналу є *бітовим інтервалом*, протягом якого по інформаційному каналу передається "0" або "1". У такому випадку, незалежно від довжини слова, яке передається, кількість інформаційних провідників не перевищуватиме трьох – загальний, інформаційний, синхронізації. В інтервалі тактового періоду генератора синхросигналів на інформаційний провідник від джерела сигналу повинен передаватись один біт у вигляді високого або низького рівня напруги. Частота передаванні інформаційних сигналів однозначно визначається частотою синхросигналу, розділеною на довжину (у бітах) слів, що передаються. Здебільшого початок інформаційного сигналу (його фронт) співпадає з початком синхроімпульсу, але така особливість передаванні не є обов'язковою.

На жаль, описана форма передаванні інформації нереальна, оскільки на приймальній стороні неможливо з потоку інформаційних біт виділити окремі слова, принаймні при неузгодженості роботи приймача і передавача. Тому в ряді випадків до раніше визначених провідників додається четвертий, призначений для визначення початку слів. Така форма обміну інформації використовується в комп'ютерній техніці, а також у системах телекомунікацій.

В інших інформаційних системах – наприклад, телефонних і кабельних мережах – використовується лише двопроводова лінія передаванні. У такому випадку всі сигнали спеціально поєднуються, створюючи достатньо складний код послідовного формату, який скоріше можна розглядати як аналоговий сигнал з складними видами модуляції. Використовується і спосіб, при якому в потоці інформаційних біт має місце встановлений порядок, який відомий і строго витримується як на стороні передавача, так і на стороні приймача. Такий порядок називається *протоколом обміну*.

При передаванні інформації у послідовному форматі використовується декілька способів побудови послідовних кодів. Один з них полягає у потенціальному представленні логічних рівнів "1" та "0" або протягом всього тактового інтервалу, або на половині його. В обох випадках цифровий сигнал представляється у вигляді однополярних імпульсів. Перший з них (рис. 6.1) у літературі називається без повернення до нуля (NRZ – non-return to zero).

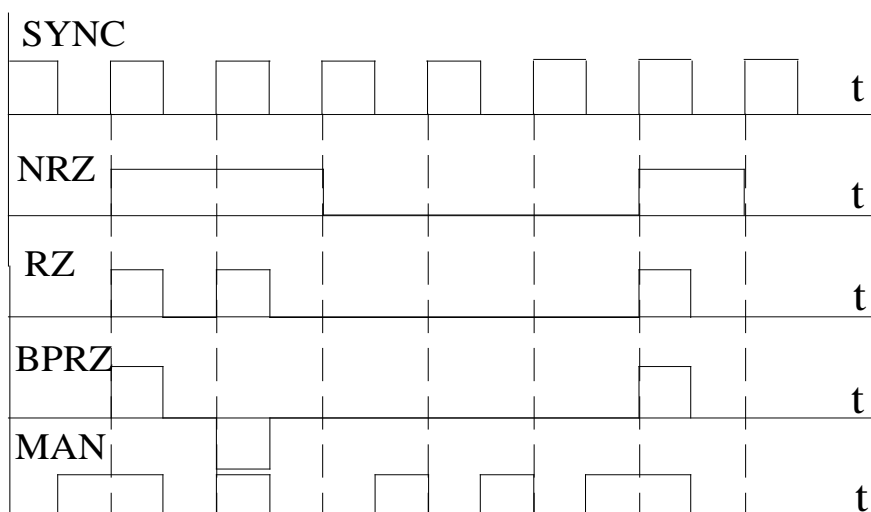


Рис. 6.1. Форми представлення цифрових сигналів

Інший спосіб формування цифрової послідовності полягає в тому, що логічні сигнали "1" і "0" можуть представлятись у вигляді різнополярних імпульсів, дія яких триває на всьому періоді тактового сигналу, або на його частині. Прикладом однополярного коду є код RZ (return to zero). Після встановлення рівня лог. "1" у момент появи синхросигналу інформаційний сигнал діє на половині періоду, після чого встановлюється в нуль. Код з інверсією одиниці представляється на рис. 6.1 біполярним кодом BPRZ. Його особливість полягає у відсутності постійної складової в інформаційному сигналі, що підвищує завадостійкість кіл, які отримують цей сигнал.

Широко використовуються коди, в яких логічні сигнали кодуються не як потенціальні рівні, а як фронти переходу з "0" в "1" і з "1" в "0". Прикладом таких кодів є Манчестерський код

(MAN). Головна перевага такого коду полягає в тому, що незалежно від символів, що передаються, він забезпечує як мінімум одну передачу в бітовому інтервалі. Лог. "0" у такому коді передається як перехід з "0" в "1" посередині бітового інтервалу, а "1" – як перехід з "1" в "0". Оскільки Манчестерський код має більше переходів $0-1-0$, ніж інші коди, він вимагає більшої смуги пропускання лінії зв'язку. Такі коди широко використовуються в міжкомп'ютерних системах зв'язку.

Кожен із способів має свої недоліки і переваги, які враховуються при прийнятті рішення про їх використання.

6.3 Виконання арифметичних операцій у двійковій системі

Основною операцією, яка використовується в цифрових системах при виконанні різних обчислень, є операція алгебраїчного додавання. Вона виконується на основі правил виконання операцій у двійковій системі зображення чисел, які для однорозрядних чисел мають такий вигляд:

$$\begin{array}{r} 0 \\ + \\ \hline 0 \end{array} \quad \begin{array}{r} 1 \\ + \\ \hline 1 \end{array} \quad \begin{array}{r} 0 \\ + \\ \hline 1 \end{array} \quad \begin{array}{r} 1 \\ + \\ \hline 10 \end{array}$$

Перенесення до старшого розряду виконується тоді, коли в одному розряді обох складових є одиниці. Операція знаходження суми в багаторозрядних числах виконується послідовно, починаючи з молодшого розряду. У зв'язку з цим, починаючи з другого розряду, виконується складання трьох цифр – двох розрядних складових і перенесення з молодшого розряду.

Приклад 6.5

Скласти два додатних двійкових числа $A_2 = 1001_2$; $B_2 = 1101_2$.

Розв'язання. При виконанні операції додавання мають місце переповнення у першому і четвертому розрядах і, відповідно, перенесення одиниці з першого розряду у другий і з четвертого у п'ятий.

$$\begin{array}{r} \\ \\ \\ + \\ \\ \hline (A+B)_2 \\ \end{array}$$

Операція віднімання в цифрових схемах виконується за допомогою операції додавання, зображуючи від'ємне число у доповнюючому коді.

Приклад 6.6

Знайти суму двох чисел $N = 854_{10}$ і $K = -387_{10}$ з використанням доповнюючого коду.

Розв'язання. При виконанні вказаної операції в десятковій системі числення необхідно для числа K знайти відповідний доповнюючий код. Він знаходиться за тими ж правилами, що і в двійковій системі. Зворотній код числа знаходиться як доповнення до дев'ятки цифри кожного розряду. Для числа $K = 387_{10}$ зворотній код $B = 612_{10}$.

Доповнюючий код для числа K буде $D = B + 1 = 612 + 1 = 613$.

Виконаємо операцію додавання. При цьому введемо знакові розряди, які позначимо апострофом, що встановлюється після знакової цифри:

$$N + D = 0' 854 + 1' 613 = 10' 467 = 467.$$

Перенесення, що з'являється зі знакового розряду, відкидається.

Аналогічно виконується операція віднімання в двійковій системі числення.

Приклад 6.7

Додати два числа $N = 0' 11011_2 = 27_{10}$ і $K = 1' 01101_2 = -13_{10}$.

Розв'язання. Знаходимо додатковий код від'ємного числа K : $D = 1' 10011$.

Знаходимо суму:

$$\begin{array}{r} N \quad = \quad 0' \quad 1 \quad 1 \quad 0 \quad 1 \quad 1 \\ + \quad D \quad = \quad 1' \quad 1 \quad 0 \quad 0 \quad 1 \quad 1 \\ \hline (N + D) = \quad 10' \quad 0 \quad 1 \quad 1 \quad 1 \quad 0 \end{array}$$

Відкидаючи 1 переносу в знаковому розряді, отримуємо

$$N + D = 0' 01110_2 = 14_{10}.$$

6.4 Основи булевої алгебри**6.4.1 Основні визначення**

У практиці інженерної діяльності часто мають місце ситуації, при яких має значення не рівень сигналів, що поступають з відповідних датчиків, а лише наявність чи відсутність таких сигналів. Наприклад, у системах охоронної сигналізації необхідно знати, замкнені чи не замкнені двері або вікна в приміщенні, що охороняється. У системах автоматики часто необхідно знати, чи не перевершує кількість рідини в цистерні заданий рівень, чи не є тиск у котлі нижчим визначеної межі, чи не перевершує температура в приміщенні задану величину і т. п.

Схеми, що дають можливість розв'язувати поставлені задачі, можуть описуватись виразами типу: "лампочка на пульті охоронної сигналізації горить, якщо всі вікна замкнені (точніше, замкнено перше і друге і третє і... вікно)". Або "лампочка не горить, якщо хоча б одне вікно відкрите (тобто може бути відкритим перше **або** друге **або** третє **або** перше і друге **або**...)". Такі вирази називаються *логічними*.

При проектуванні подібних систем задаються відповідним рівнем напруги живлення, і наявність чи відсутність її дає можливість одержувати відповіді на поставлені питання. Оскільки рівень напруги може бути різним і задаватись прийнятою елементною базою, то з метою формалізації опису подібних схем приймаються деякі умови. Як приклад, високий рівень напруги приймається за "1", низький – відповідно, за "0". У такому разі наведені вище вирази можуть бути формалізовані: якщо контакти, що фіксують положення вікон, позначити як аргументи x_1, x_2, \dots, x_n , які можуть приймати лише значення "1" або "0", то напругу на лампочці можемо розглядати як функцію y , яка теж приймає одне з двох аналогічних значень.

Математичний апарат, що оперує з аргументами та функціями, які набувають тільки двох значень – "0" та "1" – називається *двійковою (булевою) алгеброю* або *алгеброю логіки*. Такий математичний апарат для розв'язання задач формальної логіки розробив ірландський математик Дж. Буль.

Логічні змінні (аргументи), як і змінні звичайної алгебри, позначаються літерами латинського алфавіту з різними індексами – наприклад, $x_0, x_1, x_2, x_3, \dots$. Індекс при змінній може одночасно означати розряд двійкового числа.

Якщо змінна x_i набуває значення $x_i = 1$, то таке її значення називають *істинним*. Протилежне $x_i = 0$ називають *хибним* і умовно позначають $\overline{x_i}$, що означає заперечення істинного значення аргументу (в зарубіжній практиці операція заперечення позначається апострофом x'). Два елементи булевої алгебри – подія істинна і подія хибна – називають її константами.

Булева функція позначається літерою y і є двійковою функцією двійкових аргументів. Умовне її позначення $y = f(x_1, x_2, \dots, x_n)$.

Булева функція, яка залежить від n аргументів, називається n -вимірною і є повністю визначеною, якщо вказані значення її для всіх двійкових наборів значень її аргументів. Кількість таких наборів дорівнює 2^n . Тобто, областю визначеності функції n змінних є сукупність дискретних точок n -вимірного простору, причому кожна з точок є комбінацією значень цих змінних (кодовою комбінацією). Оскільки можливі 2^n різних комбінацій логічних змінних, то область визначення функції складається зі скінченної величини – 2^n точок. Це, в свою чергу, означає, що кожна функція може бути задана таблицею значень, які вона приймає в точках її області визначеності.

Функція повністю визначена, якщо задані її значення в усіх точках області визначеності. Значення функції вибираються з множини "0" і "1". Якщо ж значення функції не задано в одній або кількох точках, то вона є *неповністю визначеною*. Кодові комбінації, при яких функція

невизначена, називаються *факультативними*. У практиці цифрової схемотехніки існує велика кількість неповністю визначених функцій. Довизначення їх, якщо це необхідно, забезпечується встановленням їх значень – "0" або "1" – довільним шляхом.

Усі можливі логічні функції n змінних можна створити за допомогою трьох основних операцій:

- логічне заперечення (інверсія, операція **НІ**); позначається рискою над відповідною функцією або аргументом;
- логічне додавання (диз'юнкція, операція **АБО**), яке позначається символами (\vee), (+);
- логічне множення (кон'юнкція, операція **І**), яке позначається символами (\wedge), (\cdot), (&).

Для позначення еквівалентності логічних виразів використовується знак (=).

Запереченням (інверсією) називається такий зв'язок між аргументом x та функцією y , при якому y істинна тоді і тільки тоді, коли значення x хибне, і навпаки.

Логічним множенням (кон'юнкцією) декількох змінних називається така функція, яка істинна тоді і тільки тоді, коли одночасно істинні всі логічні змінні.

Логічним додаванням (диз'юнкцією) декількох змінних називається така функція, яка хибна тоді і тільки тоді, коли одночасно хибні всі додавані змінні.

Слід пам'ятати, що операція кон'юнкції є старшою операцією і виконується раніше диз'юнкції.

Прикладом найпростіших функцій є наступні:

$$y_1 = \overline{x_1}; \quad y_2 = x_1 \cdot x_2; \quad y_3 = x_1 + \overline{x_2}.$$

У табл. 6.2 наведені приклади деяких логічних функцій двох змінних.

Таблиця 6.2. Логічні функції двох змінних

Назва функції	Логічний вираз	x_1x_2			
		00	01	10	11
Інверсія (НІ)	$y = \overline{x_1}$	1	1	0	0
Диз'юнкція (АБО)	$y = x_1 + x_2 = x_1 \vee x_2$	0	1	1	1
Кон'юнкція (І)	$y = x_1 \cdot x_2 = x_1 \wedge x_2$	0	0	0	1
Еквівалентність	$y = x_1 = x_2 = \overline{(x_1 + x_2)(\overline{x_1} + \overline{x_2})}$	1	0	0	0
Функція Пірса (АБО-НІ)	$y = \overline{x_1 + x_2} = \overline{x_1 \vee x_2} = x_1 \cdot x_2$	1	0	0	0
Функція Шеффера (І-НІ)	$y = \overline{x_1 x_2} = \overline{x_1 \wedge x_2} = \overline{x_1} + \overline{x_2}$	1	1	1	0
Сума по модулю 2 (виключне АБО)	$y = x_1 \oplus x_2 = (\overline{x_1} + \overline{x_2})(x_1 x_2)$	0	1	1	0

Технічна реалізація булевих функцій, а, відповідно, і їх фізична інтерпретація добре ілюструється за допомогою контактних схем, в яких логічна змінна x_i відповідає замкненому контакту.

6.4.2 Закони і тотожності алгебри логіки

В алгебрі логіки використовується ряд аксіом (тотожностей) та законів. Основними з них є наступні: переміщувальний (властивість комутативності); сполучний (властивість асоціативності); розподільний (властивість дистрибутивності); інверсії (теорема де Моргана). Головні аксіоми та закони булевої алгебри наведені у табл. 6.3.

Таблиця 6.3. Головні аксіоми та закони булевої алгебри

Назва аксіоми чи закону	Вирази
Аксіоми (тотожності)	$0 \cdot x = 0; x \cdot x = x; x \cdot 1 = x; x \cdot \bar{x} = 0$ $1 + x = 1; 0 + x = x; x + x = x; x + \bar{x} = 1$
Закони комутативності	$x_1 + x_2 = x_2 + x_1$ $x_1 \cdot x_2 = x_2 \cdot x_1$
Закони асоціативності	$x_1 + x_2 + x_3 = x_1 + (x_2 + x_3) = (x_1 + x_2) + x_3 =$ $= (x_1 + x_3) + x_2$ $x_1 \cdot x_2 \cdot x_3 = x_1 \cdot (x_2 \cdot x_3) =$ $= x_2 \cdot (x_1 \cdot x_3) = x_3 \cdot (x_1 \cdot x_2)$
Закони дистрибутивності	$x_1 \cdot (x_2 + x_3) = x_1 \cdot x_2 + x_1 \cdot x_3$ $x_1 + x_2 \cdot x_3 = (x_1 + x_2) \cdot (x_1 + x_3)$
Закони інверсії (теорема де Моргана, принцип подвійності)	$\overline{x_1 \cdot x_2} = \bar{x}_1 + \bar{x}_2$ $\overline{x_1 + x_2} = \bar{x}_1 \cdot \bar{x}_2$
Закони поглинання	$x_1 + x_1 \cdot x_2 = x_1$ $x_1 \cdot (x_1 + x_2) = x_1$

Використовуючи наведені у табл. 5.3 закони та тотожності, які використовуються при перетворенні логічних функцій, можна створювати нові. Наприклад:

$$x_1 \cdot (\overline{x_1 + x_2}) = x_1 \cdot \bar{x}_2;$$

$$x_1 \cdot \overline{x_2} + x_2 = x_1 \cdot \overline{x_2} + x_2(x_1 + \overline{x_1}) = x_1 \cdot \overline{x_2} + x_1 \cdot x_2 + \overline{x_1} \cdot x_2 = x_1 + x_2.$$

У подальшому крапки, що відображають операцію логічного множення у формулах, для спрощення запису приводити не будемо.

Закони інверсії, які відображають властивість взаємного перетворення операцій логічного множення і додавання в алгебрі логіки, називають *принципом подвійності*.

6.4.3 Способи задання логічних функцій

Існують такі способи задання або запису логічних функцій – *аналітичний, табличний, за допомогою карт Вейча або Карно, графічний та кубічний*.

Аналітично логічна функція може бути записана різними комбінаціями кон'юнкцій та диз'юнкцій логічних змінних. Зазвичай логічні функції записуються або у вигляді суми добутоків логічних змінних (диз'юнкція кон'юнкцій) або у вигляді логічного добутку їх сум (кон'юнкція диз'юнкцій). Наведення функції у вигляді диз'юнкції кон'юнкцій називають *диз'юнктивною нормальною формою (ДНФ)*:

$$y = x_1 \overline{x_2} + \overline{x_1} x_3 + x_1 x_2 \overline{x_3},$$

а запис у вигляді кон'юнкції диз'юнкцій – відповідно, *кон'юнктивною нормальною формою (КНФ)*:

$$y = (x_1 + x_2)(x_2 + \overline{x_3})(\overline{x_1} + x_2 + x_3).$$

Інверсія у відповідності з теоремою де Моргана будь-якої функції, наведеній в одній формі, призводить до заміни запису на іншу форму.

Наприклад, інверсія функції $y = x_1 + x_2 \overline{x_3} + \overline{x_1} x_2 x_3$ представляється у вигляді $\overline{y} = \overline{x_1} (\overline{x_2} + x_3) (\overline{x_1} + x_2 + \overline{x_3})$.

Будь-яка логічна функція, задана в аналітичній формі, може бути перетворена на **ДНФ** або **КНФ** за допомогою тотожностей та законів алгебри логіки. При цьому для однієї і тієї ж функції може існувати декілька рівнозначних диз'юнктивних та кон'юнктивних нормальних форм.

У той же час, існує лише один вид **ДНФ** та **КНФ**, в яких функція може бути записана єдиним чином. Такі форми називаються *досконалими диз'юнктивними (кон'юнктивними) нормальними формами (ДДНФ, ДКНФ)*. Вони характеризуються тим, що в **ДДНФ** кожна

кон'юнкція, а в **ДКНФ** кожна диз'юнкція містять усі логічні змінні даної функції, з інверсіями або без них.

Прикладами **ДДНФ** та **ДКНФ** запису є функції чотирьох змінних

$$y_1 = \overline{x_3} \overline{x_2} \overline{x_1} \overline{x_0} + \overline{x_3} x_2 \overline{x_1} \overline{x_0} + \overline{x_3} x_2 x_1 \overline{x_0} ;$$

$$\begin{array}{ccc} 1010 & 0110 & 1011 \end{array}$$

$$y_2 = (x_1 + \overline{x_2} + \overline{x_3} + x_4)(\overline{x_1} + x_2 + \overline{x_3} + x_4) .$$

Оскільки кожна кон'юнкція функції, що наведена у **ДДНФ**, визначає її істинне значення, відповідаюче "1", то такі кон'юнкції називаються *конституєнтами одиниці (мінтермами)*. Аналогічно, диз'юнкції функції, що наведені у **ДКНФ**, називаються *конституєнтами нуля (макстермами)*.

Якщо замінити логічні змінні та їх заперечення одиницями та нулями, то кожна кон'юнкція буде представляти собою двійкове число.

Це дозволяє, наприклад, вище наведену логічну функцію y_1 записати у вигляді:

$$y_1 = \bigvee_0^{15} 6, 10, 11$$

Така форма називається досконалою скороченою диз'юнктивною формою або канонічною сумою.

Аналогічно, функцію можна зобразити і у вигляді добутку макстермів. Така форма запису називається *канонічним добутком*. Наприклад:

$$y = \bigwedge_0^7 2, 4 = (x_2 + \overline{x_1} + x_0)(\overline{x_2} + x_1 + x_0)$$

Легко бачити можливість конвертації в представленні функції у вигляді макстермів та мінтермів, оскільки кожна з них доповнює функцію до повного перебору логічних змінних. Як приклади, можемо записати:

$$y = \bigvee_0^7 2, 6, 7 = \bigwedge_0^7 0, 1, 3, 4, 5 ;$$

$$y = \bigvee_0^7 0, 1, 3, 5 = \bigwedge_0^7 2, 4, 6, 7 ;$$

$$y = \bigvee_0^{15} 0, 4, 5, 9, 11, 13, 15 = \bigwedge_0^{15} 1, 2, 3, 6, 7, 8, 10, 12, 14 .$$

Індекси біля умовних позначень операцій диз'юнкції та кон'юнкції вказують на діапазон можливих мінтермів та макстермів логічних функцій. Нижній індекс іноді не вказується.

Досконала диз'юнктивна нормальна форма запису дозволяє легко перейти до інших форм запису – *табличної* та *карт Карно*. У табл. 6.4 наведені функції $y_1 \dots y_5$ двох змінних x_0 та x_1 .

Таблиця 6.4. Табличний спосіб представлення логічних функцій

x_1	x_0	y_1	y_2	y_3	y_4	y_5
0	0	0	0	0	0	1
0	1	1	1	1	0	0
1	0	1	1	1	0	0
1	1	x	1	0	1	1

Табличний спосіб полягає у тому, що функція задається у вигляді таблиці відповідності (таблиці істинності станів). У таблицю вписують усі можливі комбінації аргументів у порядку зростання їх індексів і при кожній комбінації встановлюється значення функції. Кількість всіх можливих сполук аргументів, а, отже, і кількість значень функції дорівнює 2^n , де n – кількість логічних змінних. З табличної форми запису легко перейти до аналітичної, використовуючи досконалу диз'юнктивну форму запису логічних функцій. Для цього функція записується як диз'юнкція конститuentів одиниці. Наприклад, функцію y_3 з табл. 1.5 можемо записати у вигляді:

$$y_3 = \overline{x_1} x_0 + x_1 \overline{x_0}.$$

Ця функція може бути записана і з використанням нульових її значень:

$$\overline{y_3} = \overline{x_1} \overline{x_0} + x_1 x_0.$$

Використовуючи властивість подвійної інверсії, легко встановити тотожність обох форм запису.

У практичній схемотехніці найбільш поширеними є системи, які реалізують логічні функції **I-НІ**, **АБО-НІ**, **ВИКЛ. АБО**. Вони дозволяють найбільш просто реалізовувати різні функції, мати більшу кількість входів, прості в технічній реалізації.

Карта Карно (Вейча) – це компактна форма представлення таблиці істинності логічної функції. Такі карти містять у кожній клітинці окремий мінтерм і тому ще мають назву карт мінтермів. Карти мінтермів Карно та Вейча представляють собою прямокутні таблиці із

клітинками, число яких дорівнює 2^n , де n – кількість змінних. Кожна одиниця, поміщена в клітку карти Карно, відповідає своєму мінтерму. Щоб нанести на карту вираз ab треба поставити 1 у всіх клітках що містять a і b одночасно. Якщо в клітці з'являється дві або більш 1, вважається, що там 1 – одиниця.

На рис. 6.2 наведено приклад позначення змінних на картах Вейча для чотирьох змінних.

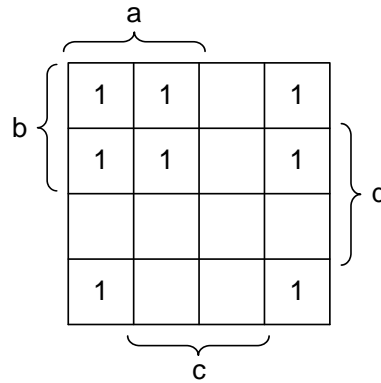


Рис. 6.2. Позначення змінних на карті Вейча

Змінна a приймає прями значення у двох лівих стовпчиках таблиці, а у двох правих стовпчиках – приймає інверсне значення (рис. 6.2). Для зменшення кількості написів біля таблиці інверсні значення на рисунках не позначають.

6.5 Спрощення булевих функцій

6.5.1 Доцільність спрощення

Щоб наочно пересвідчитись про необхідність спрощення розглянемо логічний вираз

$$\begin{aligned}
 y &= \bar{x}_1 x_2 x_3 \bar{x}_4 + x_1 x_2 x_3 \bar{x}_4 + x_1 x_2 \bar{x}_3 \bar{x}_4 + \bar{x}_1 x_2 \bar{x}_3 \bar{x}_4 = \\
 &= x_2 x_3 \bar{x}_4 (\bar{x}_1 + x_1) + x_2 \bar{x}_3 \bar{x}_4 (\bar{x}_1 + x_1) = \\
 &= x_2 x_3 \bar{x}_4 + x_2 \bar{x}_3 \bar{x}_4 = x_2 \bar{x}_4 (x_3 + \bar{x}_3) = x_2 \bar{x}_4.
 \end{aligned}$$

За допомогою винесення змінних за дужки і з урахуванням того, що $x + \bar{x} = 1$, отримаємо спрощений вираз $y = x_2 \bar{x}_4$. Такий метод перетворення називається аналітичним, або методом Квайна.

Перетворена функція набагато простіше вихідної, а це означає, що для її реалізації буде потрібно набагато менше логічних елементів, ніж для реалізації початкової функції. При побудові апаратури прагнуть до реалізації структурних схем, що забезпечують мінімальну витрату компонентів та устаткування. Це і обумовлює необхідність мінімізації логічних функцій.

6.5.2 Задачі мінімізації

Під мінімізацією булевої функції найчастіше розуміють знаходження найбільш простого виразу у вигляді суперпозиції операцій, що представляють функціонально повну систему.

Найбільш простим вважається вираз, що містить мінімальне число суперпозицій.

Метою мінімізації є зменшення вартості технічної реалізації логічних функцій незалежно від використовуваних апаратних засобів.

Логічні функції апаратно реалізуються за допомогою мікросхем, орієнтованих на виконання тих чи інших операцій. Мікросхеми загального використання здебільшого можуть реалізовувати декілька простих одиночних операцій. З цієї причини справедливо стверджувати, що чим простішою є аналітична форма запису логічної функції, тим менше використовується логічних елементів і, як результат, тим менше мікросхем необхідно для її реалізації. Складність логічних функцій визначається кількістю логічних змінних, що входять до їх складу в прямому і інверсному виді, та кількістю простих логічних операцій над ними.

Будь-яка логічна функція може бути записана різними аналітичними виразами різного рівня складності. Серед них можна знайти такі, які містять мінімальну кількість логічних змінних і операцій над ними. Задача знаходження таких аналітичних виразів називається *мінімізацією логічних функцій*. Звідси витікає, що *мінімізація логічної функції* – це заміна логічної функції, що представлена у вигляді логічної суми мінтермів або логічного добутку макстермів, іншою логічною функцією з мінімальною кількістю логічних змінних та операцій над ними.

Задача мінімізації – це задача неоднозначна, і різними шляхами можна отримати різні вирази мінімізованої функції, які відрізнятимуться між собою кількістю змінних і операцій над ними.

6.5.3 Спрощення логічних функцій за допомогою карт мінтермів

Карта Карно відрізняється від карти Вейча порядком розташування змінних на карті.

Карти Карно виявляються більш зручними при аналізі й синтезі послідовних схем (наприклад, лічильників або регістрів). На бокових гранях карти вказують змінні, а ті області де змінні приймають інверсні значення не позначають (вважається що це і так зрозуміло). Наприклад, у верхньому лівому куту знаходиться мінтерм у якому змінна c приймає інверсне значення, а на гранях карти не позначено \bar{c} .

На рис. 6.3 та 6.4 наведено приклади позначення змінних на картах Вейча та Карно (відповідно) та розташування мінтермів у цих картах.

a				
b	$a\bar{b}\bar{c}\bar{d}$	$abc\bar{d}$	$\bar{a}bc\bar{d}$	$\bar{a}\bar{b}\bar{c}\bar{d}$
	$ab\bar{c}d$	$abcd$	$\bar{a}bcd$	$\bar{a}\bar{b}cd$
	$a\bar{b}cd$	$\bar{a}\bar{b}cd$	$\bar{a}\bar{b}cd$	$\bar{a}\bar{b}cd$
	$a\bar{b}\bar{c}\bar{d}$	$\bar{a}\bar{b}\bar{c}\bar{d}$	$\bar{a}\bar{b}\bar{c}\bar{d}$	$\bar{a}\bar{b}\bar{c}\bar{d}$
c				

Рис. 6.3. Розміщення мінтермів на карті Вейча

a				
c	$\bar{a}\bar{b}\bar{c}\bar{d}$	$\bar{a}\bar{b}\bar{c}\bar{d}$	$ab\bar{c}\bar{d}$	$\bar{a}\bar{b}\bar{c}\bar{d}$
	$\bar{a}\bar{b}\bar{c}d$	$\bar{a}\bar{b}\bar{c}d$	$ab\bar{c}d$	$\bar{a}\bar{b}\bar{c}d$
	$\bar{a}\bar{b}cd$	$\bar{a}\bar{b}cd$	$abcd$	$\bar{a}\bar{b}cd$
	$\bar{a}\bar{b}\bar{c}\bar{d}$	$\bar{a}\bar{b}\bar{c}\bar{d}$	$abcd$	$\bar{a}\bar{b}\bar{c}\bar{d}$
b				

Рис. 6.4. Розміщення мінтермів на карті Карно

Розглянемо приклад нанесення виразу $y = ab + \bar{c}\bar{d} + \bar{a}\bar{b}\bar{c}$ на карту Вейча. Перша складова ab відповідає чотирьом клітинкам на карті (рис. 6.5,а). Складова $\bar{c}\bar{d}$ наноситься у всі клітинки де виконується інверсія для змінних c та d . На рис. 6.5,а нанесено 1 у всі клітинки, що відповідають складовим виразу. Там де у клітинку попадає дві або більше одиниць, залишаються тільки одна одиниця (рис. 6.5,б).

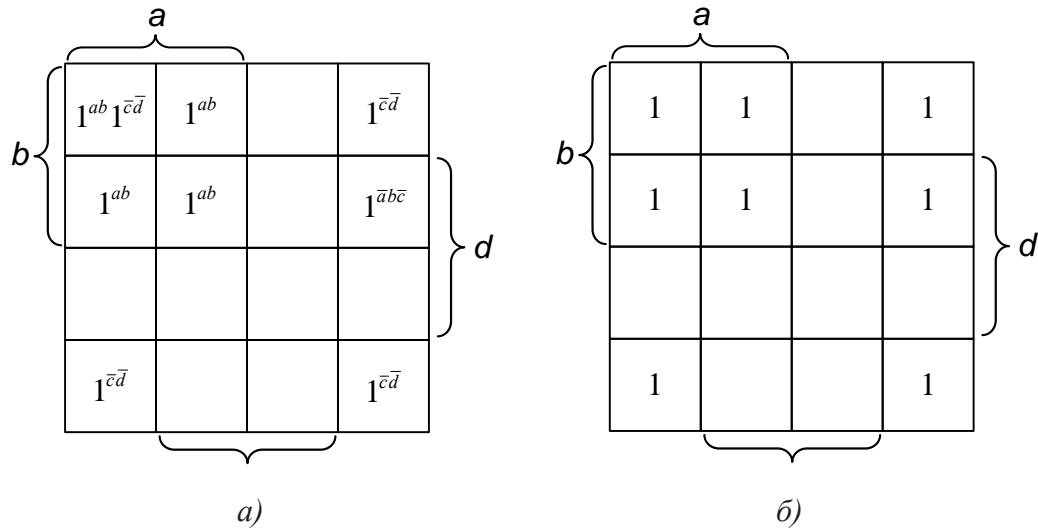


Рис. 6.5. Нанесення на карту Вейча виразу $y = ab + \bar{c}\bar{d} + \bar{a}b\bar{c}$ (а) та як повинна виглядати карта після нанесення (б)

6.5.4 Способи об'єднання мінтермів на картах Вейча або Карно

Спрощення досягається склеюванням одиниць на карті мінтермів. Склеювати можна квадрати, подвійні квадрати, повні стовпці та рядки, а також два сусідніх мінтерма і мінтерми, що перебувають у протилежних кінцях стовпчика або рядка. Приклади склеювання наведені нижче.

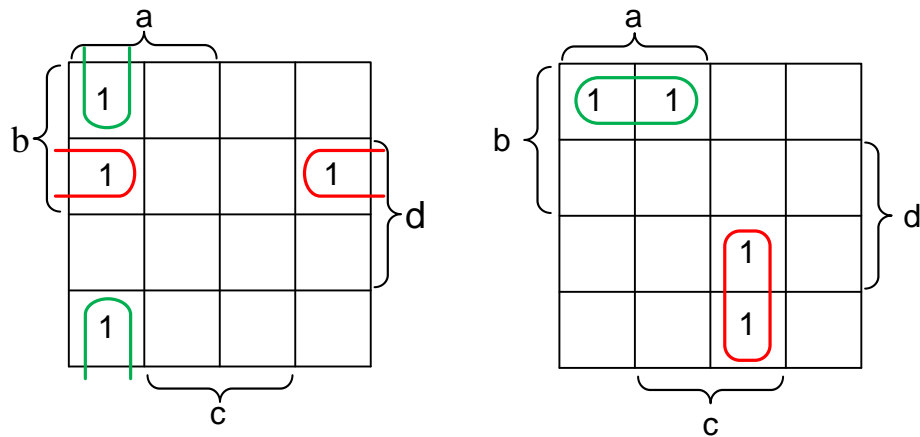


Рис. 6.6. Склеювання двох мінтермів

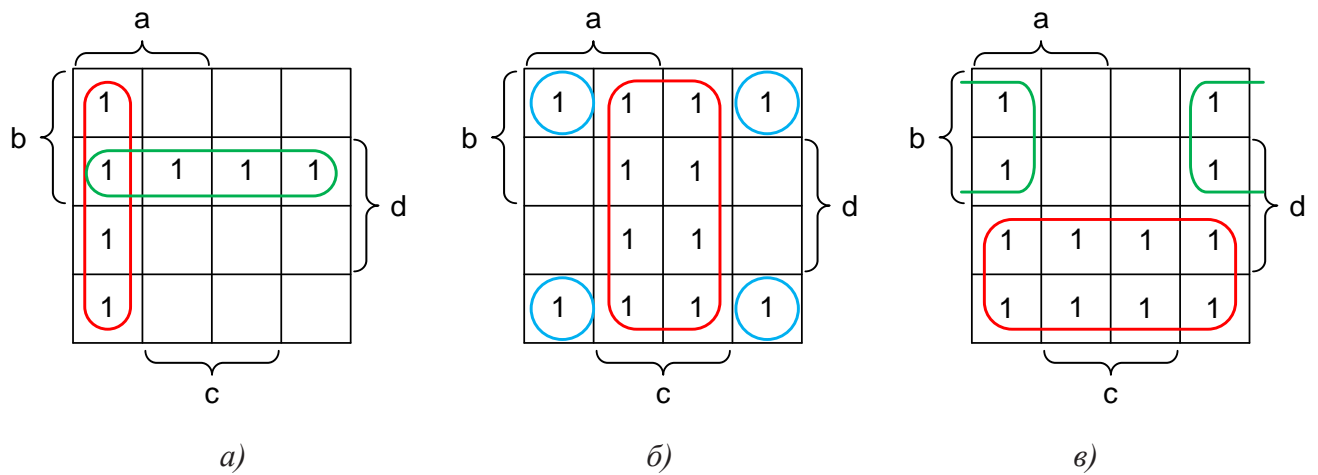


Рис. 6.7. Склеювання чотирьох мінтермів

При мінімізації за допомогою карт мінтермів *мінімальна форма буде отримана у тому випадку коли мінімальним числом контурів охопити максимальне число одиниць*. Не треба забувати про те, що одна і та сама одиниця може попадати в декілька контурів одночасно.

Для зчитування спрощеного виразу з карти мінтермів слід притримуватись такого правила. У спрощеному виразі для кожного склеювання будуть відсутні ті змінні, що змінюють свій знак у цьому склеюванні. Наприклад, для склеювання з чотирьох одиниць (рис. 6.7,в) змінні b та d змінюють свій знак. Тому спрощений вираз для цього склеювання буде виглядати як $y = a\bar{c}$.

Наприклад, для склеювання з чотирьох одиниць (оранжевий контур на рис. 6.8) змінні a та b не змінюють свій знак, а змінні c та d – змінюють. Тому спрощений вираз для цього склеювання буде виглядати як $y = ab$.

Другий контур червоний містить чотири одиниці які відповідають змінним c та d з інверсією і записати його можна як $\bar{c}\bar{d}$.

Третій контур зеленого кольору об'єднує дві одиниці. У цих клітинках не змінюються змінні b , \bar{c} та d , отже вираз може бути записаний як $b\bar{c}d$.

Сумарний вираз прийме вигляд $y = ab + \bar{c}\bar{d} + b\bar{c}d$.

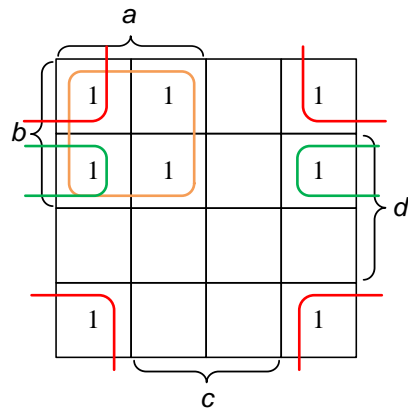


Рис. 6.8. Приклад склеювання для мінімізації логічного виразу $y = ab + \bar{c}\bar{d} + \bar{a}b\bar{c}$

Чи може бути інший вираз? Так, якщо склеювання зробити як показано на рис. 6.9.

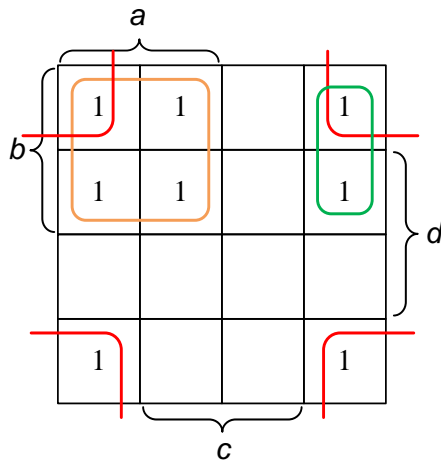


Рис. 6.9. Приклад іншого варіанту склеювання для мінімізації логічного виразу

$$y = ab + \bar{c}\bar{d} + \bar{a}b\bar{c}$$

Змінився третій контур. У ньому не змінюються змінні \bar{a} , b та \bar{c} і вираз для цього контуру можна записати як $\bar{a}b\bar{c}$. Тобто отримаємо вираз $y = ab + b\bar{c} + \bar{a}b\bar{c}$. Інша форма, але складність виразу не змінилася.

Чи можна казати що було здійснено мінімізацію логічного виразу? Оскільки вираз не став простішим, то можна сказати що мінімізація не відбулася з причини, що вираз уже мінімізований.

Розглянемо інший приклад. Мінімізуємо вираз $y = \bar{a}bcd + abcd + ab\bar{c}d + \bar{a}b\bar{c}d$. Для цього нанесемо його на карту Вейча (рис. 6.10).

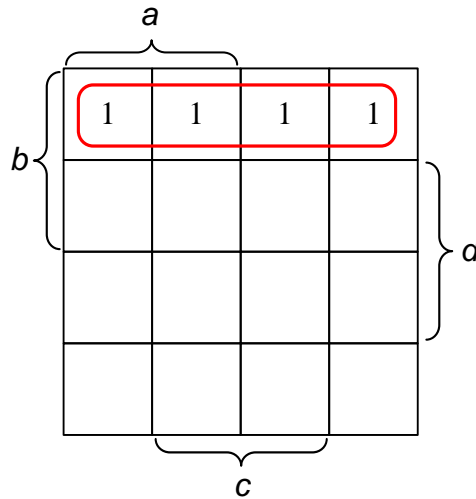


Рис. 6.10. Результат нанесення на карту Вейча виразу $y = \bar{a}bcd\bar{d} + abc\bar{d} + ab\bar{c}d + a\bar{b}cd$

Всі одиниці склеюються одним контуром у якому не змінюються змінні b та \bar{d} і вираз прийме вигляд $y = b\bar{d}$.

6.5.5 Позначення логічних елементів

Для реалізації логічних функцій використовуються логічні елементи, умовні позначення яких у відповідності зі стандартом наведено на рис. 6.11.

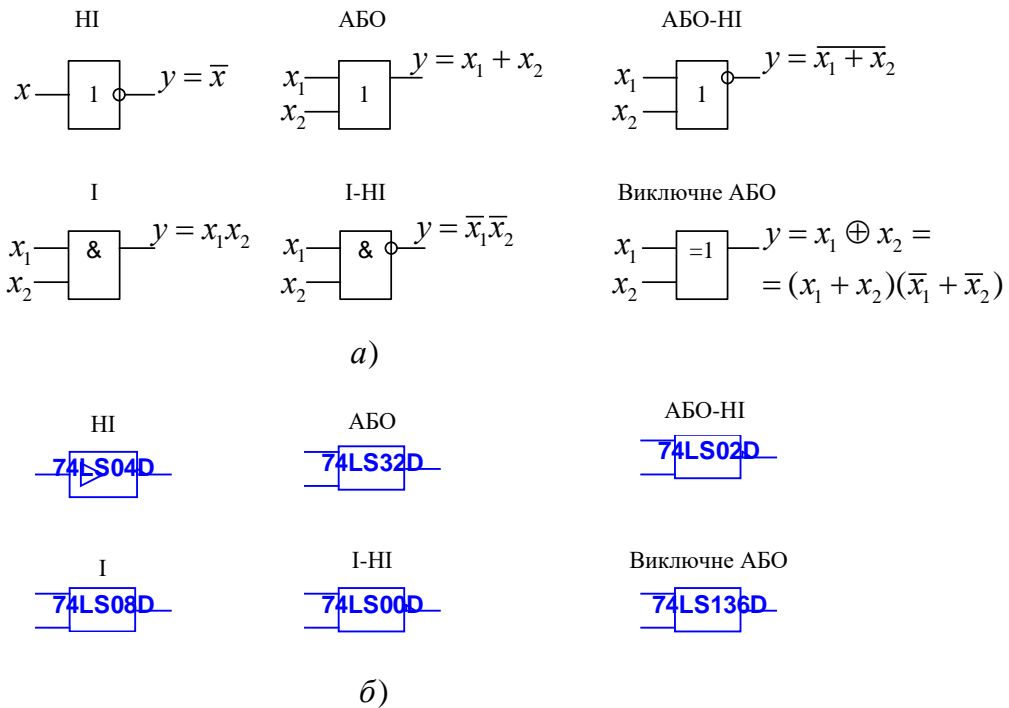


Рис. 6.11. Умовні позначення логічних елементів (а) та їх позначення у Multisim (б)

Стандарт допускає використовувати знак інверсії як у вигляді кола на виході (рис. 6.11,а) так і вигляді лінії під кутом 30° (рис. 6.11,б).

Набір логічних елементів утворює систему. Функціонально повна система логічних елементів – набір елементів, який дозволяє реалізувати логічний вираз будь-якого ступеня складності.

Таких наборів існує три:

- НІ, І, АБО;
- І-НІ;
- АБО-НІ.

На рис. 6.10 наведені умовні позначення, характерні для стандартів, прийнятих у країнах СНД, німецькому стандарті DIN та міжнародному стандарті IEC 60617. Використання наведених умовних позначень дає можливість будувати складні логічні та принципові схеми електронних пристроїв. Логічні елементи, умовні зображення яких наведені на рис. 6.11, виготовляються в різних серіях цифрових мікросхем.

Стандартні логічні елементи І, І-НІ, АБО та АБО-НІ можуть мати кількість входів 2, 3, 4 і 8. Елементи виключне АБО мають тільки 2 входи.

Прості логічні елементи розміщують найчастіше у корпусах мікросхем з 14 виводами. Знаючи це легко підрахувати кількість однакових логічних елементів в одному корпусі. Два виводи використовуються для підключення до джерела живлення і до загального проводу. Якщо у мікросхемі містяться логічні елементи 2І-НІ (логічний елемент І-НІ з двома входами), то таких елементів може бути 4 (2 входи і один вихід на один елемент і 12 виводів у корпусі мікросхеми).

6.5.6 Приклади побудови схем за логічними виразами

Розглянемо приклади побудови принципової схеми з використанням логічних елементів по заданій аналітичним виразом функції.

Розглянемо найпростіший приклад. Побудуємо схему, що відповідає функції $y = x_1x_2 + \bar{x}_1\bar{x}_2$.

Схема, що наведена на рис. 6.12, будується за наступним принципом. Вираз складається з суми x_1x_2 і $\bar{x}_1\bar{x}_2$. Для реалізації операції множення використовується елемент І, для реалізації інверсії – елемент НІ, а для реалізації додавання – АБО. Отже потрібно змінні x_1 та x_2 проінвертувати для формування другої складової виразу. Виходи елементів І, що формують складові підключити до входів елементу АБО.

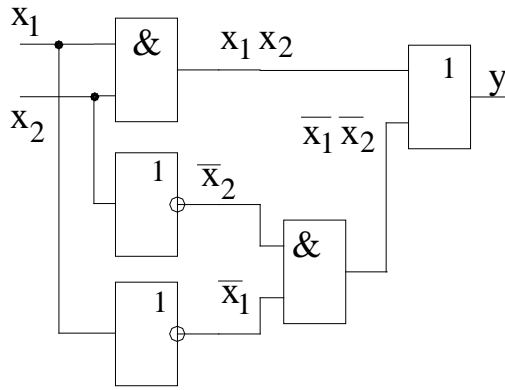


Рис. 6.12. Приклад реалізації логічного виразу за допомогою логічних елементів

Розглянемо приклад створення схеми за логічним виразом $y = x_1x_2x_3 + \overline{x_3x_2x_4} + x_1x_3$.

На рис. 6.13 наведено позначення логічних елементів і функцій, які вони виконують.

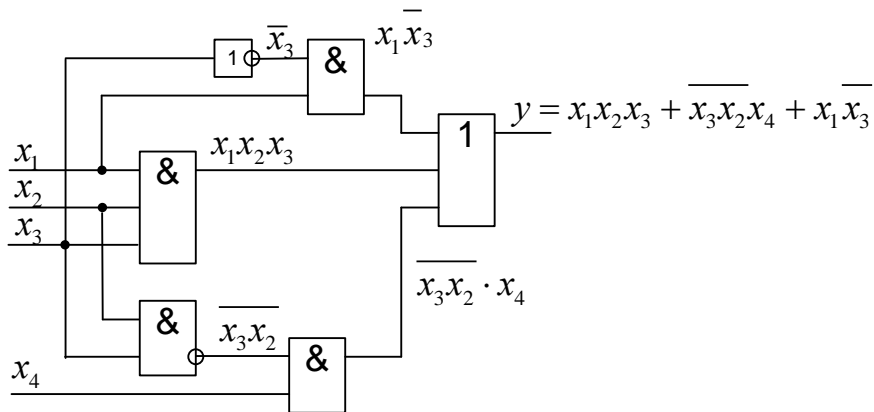


Рис. 6.13. Схема з набору логічних елементів НІ, І, АБО

Реалізуємо схему, що відповідає виразу $y = \overline{x_4(x_3 + x_4)} + \overline{x_1x_2(x_3 + x_4)}$. На рис. 6.14

наведено схему, що виконана на різних логічних елементах.

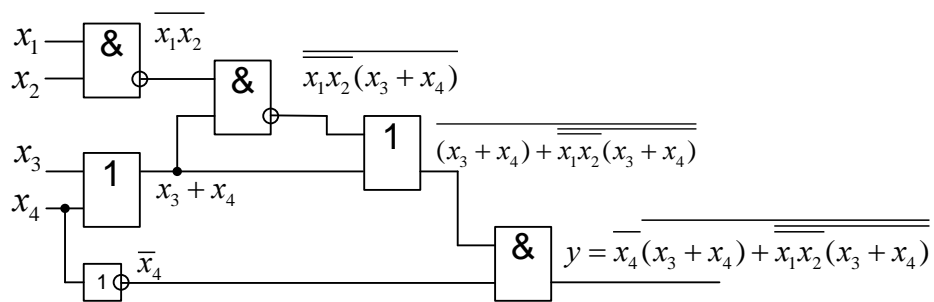


Рис. 6.14. Схема з використанням різних логічних елементів

Спробуємо мінімізувати розглянутий вище вираз, використовуючи правило де Моргана.

$$y = \overline{\overline{\overline{x_4} (x_3 + x_4) + x_1 x_2 (x_3 + x_4)}} = \overline{\overline{x_4 \cdot x_3 + x_4 (x_1 x_2 (x_3 + x_4))}} = 0.$$

Результатом є нульове значення на виході. Це витікає з того що $\overline{\overline{x_3 + x_4 (x_3 + x_4)}} = 0$. Отже замість схеми, що наведена на рис. 6.14 треба просто з'єднати вихід з загальним проводом.

Розглянемо ще один приклад мінімізації. За виразом $y = \overline{\overline{x_1 x_2 x_3 x_4 + x_3 x_4 + x_3 x_4 + x_1 x_3}}$ побудуємо схему на логічних елементах (рис. 6.15), а потім зробимо мінімізацію і побудуємо схему за мінімізованим виразом.

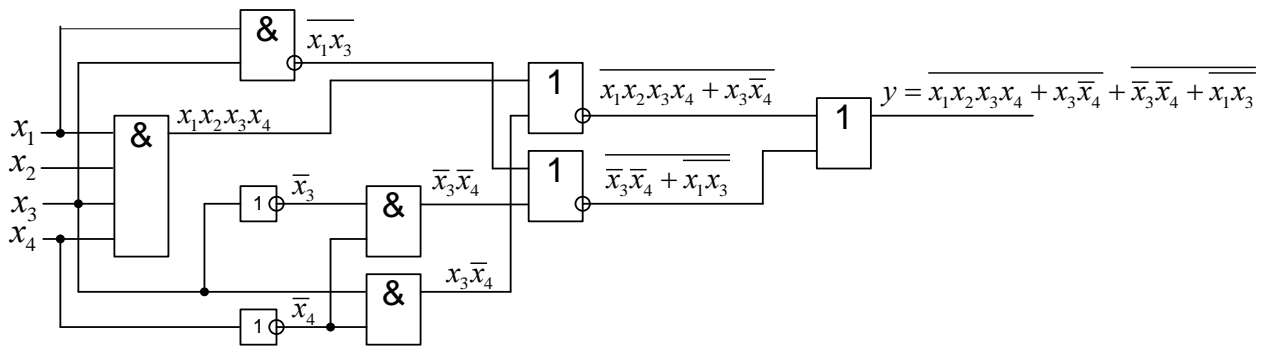


Рис. 6.15. Схема з набору логічних елементів що реалізує вираз $y = \overline{\overline{x_1 x_2 x_3 x_4 + x_3 x_4 + x_3 x_4 + x_1 x_3}}$

Зробимо спрощення логічного виразу. Для цього позначимо складові як a та b і проведемо спрощення спочатку для окремих складових, а потім для всього виразу.

$$\begin{aligned}
 y &= \overline{\overline{x_1 x_2 x_3 x_4 + x_3 x_4 + x_3 x_4 + x_1 x_3}}; \\
 y &= a + b; \\
 a &= \overline{\overline{x_1 x_2 x_3 x_4 + x_3 x_4}} = \overline{\overline{x_1 x_2 x_3 x_4} \cdot \overline{\overline{x_3 x_4}}} = (\overline{x_1} + \overline{x_2} + \overline{x_3} + \overline{x_4})(\overline{x_3} + \overline{x_4}) = \\
 &= \overline{x_1 x_3} + \overline{x_2 x_3} + \overline{x_3 x_3} + \overline{x_4 x_3} + \overline{x_1 x_4} + \overline{x_2 x_4} + \overline{x_3 x_4} + \overline{x_4 x_4}; \\
 b &= \overline{\overline{x_3 x_4 + x_1 x_3}} = \overline{\overline{x_3 x_4} \cdot \overline{\overline{x_1 x_3}}} = (\overline{x_3} + \overline{x_4}) \overline{\overline{x_1 x_3}} = \overline{x_1 x_3 x_3} + \overline{x_1 x_3 x_4} = \\
 &= \overline{x_1 x_3} + \overline{x_1 x_3 x_4}; \\
 y &= \overline{x_4} + \overline{x_1 x_3} + \overline{x_1 x_3 x_4} = \overline{x_4} + \overline{x_1 x_3} + \overline{x_1} + \overline{x_3}.
 \end{aligned}$$

Схема що реалізує спрощений вираз, наведена на рис. 6.16.

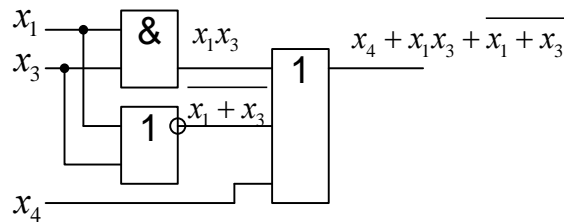


Рис. 6.16. Мінімізований варіант схеми, що показана на рис. 6.15

Для кращого розуміння процесів, що відбуваються у цифрових схемах, використовують *часові діаграми*, які відображають часові співвідношення між вхідними логічними змінними і вихідною функцією (рис. 6.17). Часові діаграми зображають з урахуванням фронтів імпульсних послідовностей з відображенням моментів початку перехідних процесів і часто мають допоміжні вказівні стрілки, які уточнюють хід перехідних процесів у схемі.

На рис. 6.17 наведено приклад часових діаграм для логічної схеми, зображеної на рис. 5.9, що реалізує операцію цифрового компаратора. У випадку, що розглядається, приводяться лише вхідні та вихідні сигнали. При визначенні інтервалів часових затримок, тривалості перехідних процесів приводиться більша деталізація часових діаграм.

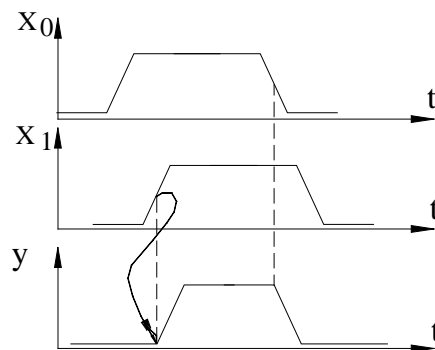


Рис. 6.17. Приклад часових діаграм сигналів у цифрових схемах

Контрольні питання

1. Дайте визначення системи числення. Наведіть приклади позиційних і непозиційних систем числення. Дайте пояснення.
2. Дайте пояснення особливостям переведення чисел з десяткової системи числення у двійкову.
3. Дайте пояснення особливостям переведення дробових чисел з однієї системи числення в іншу. Наведіть конкретні приклади.
4. Поясніть взаємозв'язок між прямим двійковим, зворотнім і доповнюючим кодами.

5. Поясніть переваги та недоліки послідовного і паралельного форматів передаванні даних.
6. Які способи послідовної передаванні даних Вам відомі? Поясніть їх особливості.
7. Поясніть послідовність виконання арифметичних операцій додавання і віднімання в двійковій системі числення при різних знаках зменшуваного і від'ємника.
8. Операція віднімання у двійковому коді виконується з використанням доповнюючого коду. Проаналізуйте і дайте пояснення, чи справедлива подібна послідовність виконання арифметичної операції, якщо числа задаються у двійково-десятковому коді; у коді "з надлишком 3".
9. Дайте визначення терміну "алгебра логіки" ("булева алгебра").
10. Дайте пояснення диз'юнктивній і кон'юнктивній формам запису логічних функцій, а також досконалим формам запису.
11. Перелічіть відомі Вам способи запису логічних функцій. Дайте пояснення взаємозв'язку між ними.
12. Дайте пояснення суті теореми де Моргана. Приведіть приклади її використання.
13. Поясніть властивості карт мінтермів.
14. Які логічні операції використовуються для аналітичного способу мінімізації логічних функцій?
15. На яких властивостях карт Карно реалізується задача мінімізації логічних функцій?
16. Поясніть суть мінімізації логічних функцій методом Квайна.
17. Які основні логічні функції вам відомі?
18. З якою кількістю змінних можуть оперувати логічні елементи?
19. Які функції виконують логічні елементи?
20. Що таке функціонально повна система логічних елементів? Наведіть приклади таких систем.
21. Для чого потрібна мінімізація логічних функцій?
22. Чи можна операцію логічного множення замінити операцією логічного додавання? Якщо так, то яким чином?
23. Яким правилом треба скористатись щоб витягти складові з під знаку загальної інверсії?
24. Чи можна операцію додавання замінити операцією множення? Як це реалізувати?
25. Які методи мінімізації логічних функцій Вам відомі?
26. Що дозволяє зробити метод Квайна?

7 СТРУКТУРИ БАЗОВИХ ЛОГІЧНИХ ЕЛЕМЕНТІВ

7.1 Характеристики цифрових сигналів

Цифрові сигнали лог. “0” і лог. “1”, які використовуються в курсі дискретної математики, виступають ідеалізацією тих сигналів, що мають місце в реальних електронних схемах.

У ключових схемах, що використовуються при двійковому представленні інформації, значенням лог. “0” та лог. “1” присвоюються обмежені діапазони напруг, які розміщуються в інтервалі від нуля до величини діючої напруги живлення логічних схем.

Не розглядаючи у цьому розділі технічні характеристики апаратних засобів для реалізації операцій над цифровими сигналами, визначимось лише з основними параметрами реальних сигналів.

Як відомо, логічні елементи у будь-яких цифрових пристроях мають достатньо розгалужені послідовні з’єднання. Тому, проходячи від одного логічного елемента до іншого, інформаційний сигнал може розсіювати свою енергію. Для запобігання цьому кожен логічний елемент повинен забезпечувати підсилення вхідного сигналу як за напругою, так і за потужністю. До того ж, відомо, що функціональна повнота логічних елементів обов’язково включає інверсію сигналу. Тому найпростішим логічним елементом може бути транзистор, включений за схемою із загальним емітером (загальним витоком для МДН-транзисторів), який, як відомо, інвертує вхідний сигнал.

Як рівень логічного нуля, так і одиниці для будь-якого логічного елемента є не конкретною величиною, а деяким визначеним діапазоном напруг. Переключення логічного елемента відбувається у той час, коли вхідна напруга пересікає пороговий рівень $U_{\text{пор}}$. Отже сигналу вхідної одиниці відповідає діапазон напруги в інтервалі від $U_{\text{пор}}$ до $U^1_{\text{вх}}$, а сигналу вхідного нуля – діапазон від 0 до $U_{\text{пор}}$. Під U^1 та U^0 розуміють номінальні значення напруги цифрового елемента в статичному режимі.

Кількісно порогове значення напруги визначається точкою на амплітудній характеристиці $U_{\text{вих}} = f(U_{\text{вх}})$, в якій модуль диференційного коефіцієнта передачі цифрового елемента дорівнює одиниці.

Для найбільш поширених логічних елементів, виготовлених за технологією ТТЛ при напрузі живлення +5 В $U_{\text{пор}} \approx 1,2$ В (при кімнатній температурі), а для елементів КМОП – $U_{\text{пор}} = U_{\text{ж}}/2$, де $U_{\text{ж}}$ – напруга живлення логічного елемента.

Порогові рівні визначають стійкість до завад логічних елементів. Виділяють *статичну* та *динамічну* завадостійкість. *Статична завадостійкість* оцінюється як мінімальна різниця між значеннями вихідного та вхідного сигналів визначеного рівня:

Статична завадостійкість – це мінімальна величина завад на виході цифрового елемента, що може привести до зміни стану підключеного до нього логічного елемента тієї ж серії. Статична завадостійкість є параметром, який не залежить від часу, тобто тривалість завад набагато перевищує час зміни стану ключового елемента. Якщо ж час дії завад близький до часу переключення елемента, то така завада називається динамічною.

Цифрові сигнали характеризуються також часовими характеристиками, які здебільшого визначаються як динамічні параметри логічних ключів. До них відносяться:

- $t_{1,0}$ – час переходу виходу елемента зі стану “1” в “0” – це інтервал часу, протягом якого напруга на виході елемента змінюється від рівня “1” до рівня “0”. Вказані рівні вимірюються відповідно при значеннях 0,9 та 0,1 амплітуди сигналу U_M (рис. 6.2);
- $t_{0,1}$ – час переходу вихідного сигналу з “0” в “1” – це інтервал часу, протягом якого напруга на виході елемента переходить з “0” в “1”;
- t_ϕ – тривалість фронту сигналу – інтервал часу між значеннями сигналу на рівнях (0,1 – 0,9) U_M , при зміні сигналу з “0” до “1”;
- t_c – тривалість спаду сигналу – інтервал часу між значеннями сигналу на рівнях (0,1 – 0,9) U_M , при зміні сигналу від “1” до “0”;
- $t_{31,0}$ – час затримки включення елемента – інтервал часу між фронтом вхідного та спадом вихідного імпульсів, заміряні на рівні 0,5 U_M ;
- $t_{30,1}$ – час затримки виключення елемента – інтервал часу між спадом вхідного та фронтом вихідного імпульсів, виміряні на рівні 0,5 U_M (рис. 7.1);
- $t_{3,PC}$ – середній час затримки розповсюдження сигналу, який знаходиться за формулою

$$t_{3,PC} = (t_3^{0,1} + t_3^{1,0}) / 2.$$

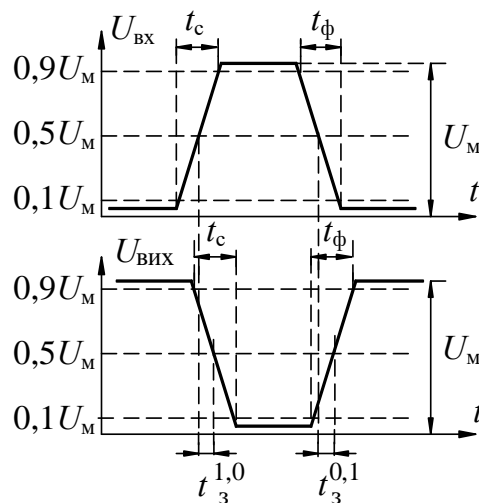


Рис. 7.1. Часові діаграми сигналів на вході та виході логічного елемента

7.2 Амплітудна характеристика інвертора

Будь-які цифрові мікросхеми будуються на основі найпростіших логічних елементів "НІ", "АБО", "І". У цей час використовується кілька технологій побудови логічних елементів:

- транзисторно-транзисторна логіка (ТТЛ, TTL);
- логіка на основі комплементарних МОН транзисторів (КМОН, CMOS);
- емітерно зв'язана логіка (ЕЗЛ).

Найпростішим логічним елементом є інвертор. Умовне графічне зображення логічного інвертора показано на рис. 7.2.

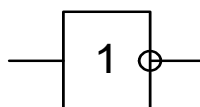


Рис. 7.2. Умовне графічне зображення логічного інвертора

Амплітудна характеристика (залежність напруги на виході пристрою від напруги на його вході) інвертора наведена на рис. 7.3.

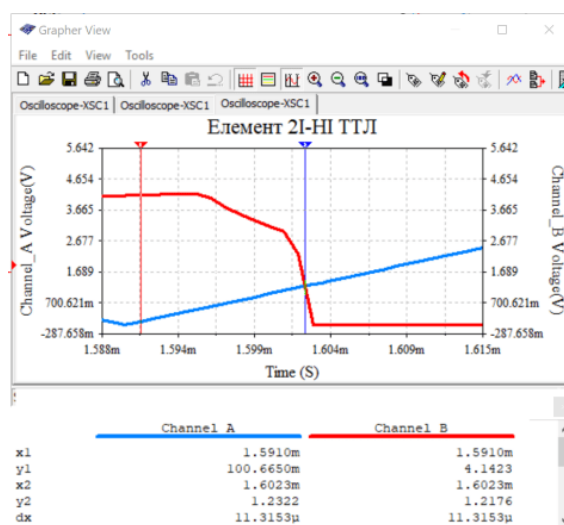


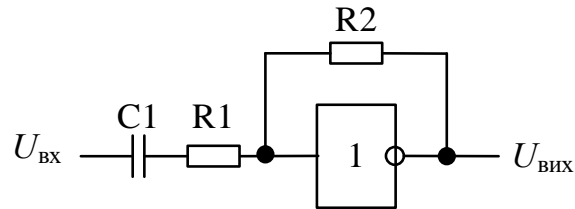
Рис. 7.3. Амплітудна характеристика інвертора

З рис. 7.3 слідує, що перемикання інвертора відбувається значення вхідної напруги (синя крива) 1,23 В. Ця напруга називається **пороговою напругою** $U_{\text{пор}}$.

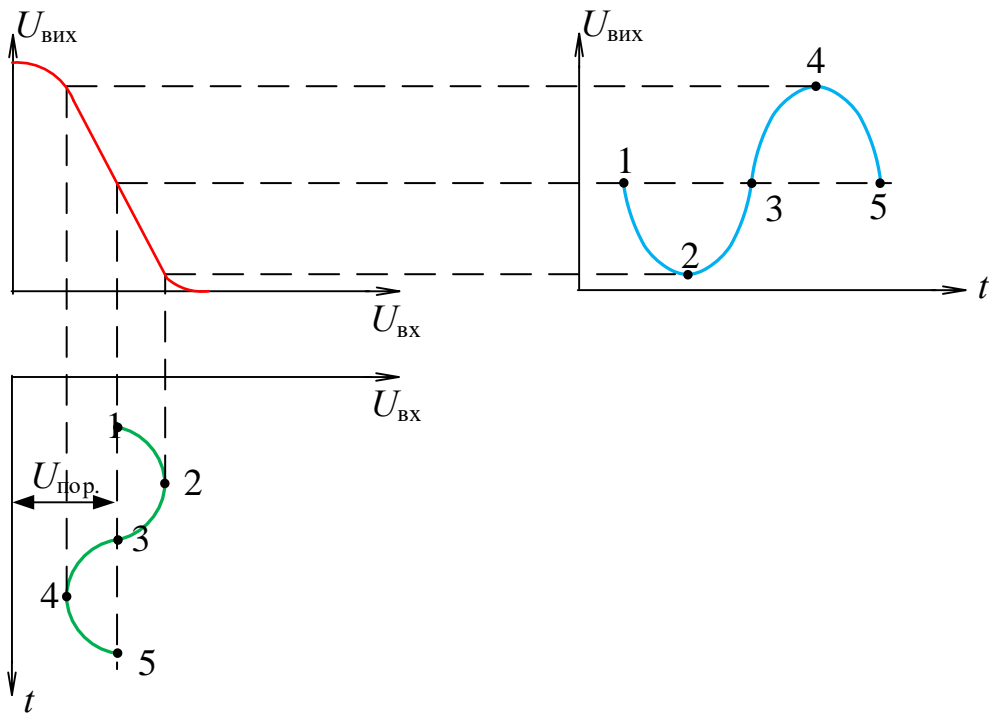
Логічний елемент сприймає **напругу менше порогової як рівень логічного нуля**, а **напругу більше порогової – як логічну одиницю**. Для елементів виготовлених за різними технологіями значення $U_{\text{пор}}$ будуть різними. Для ТТЛ $U_{\text{пор}} \approx 1,2$ В, для КМОН дорівнює половині напруги живлення $U_{\text{пор}} = E_{\text{ж}} / 2$.

Розглянемо принцип роботи логічного інвертора в лінійному режимі (режимі підсилення напруги).

На рис. 7.4,а наведено принципову схему підсилювача напруги на інверторі, а на рис. 7.4,б – часові діаграми сигналів на його вході та виході пов'язані з його амплітудною характеристикою. Коефіцієнт підсилення такої схеми дорівнює $K = R_2/R_1$.



а)



б)

Рис. 7.4. Принципова схема (а) та часові діаграми роботи підсилювача на інверторі (б)

Осцилограми сигналів на вході та виході підсилювача на логічному інверторі наведені на рис. 7.5.

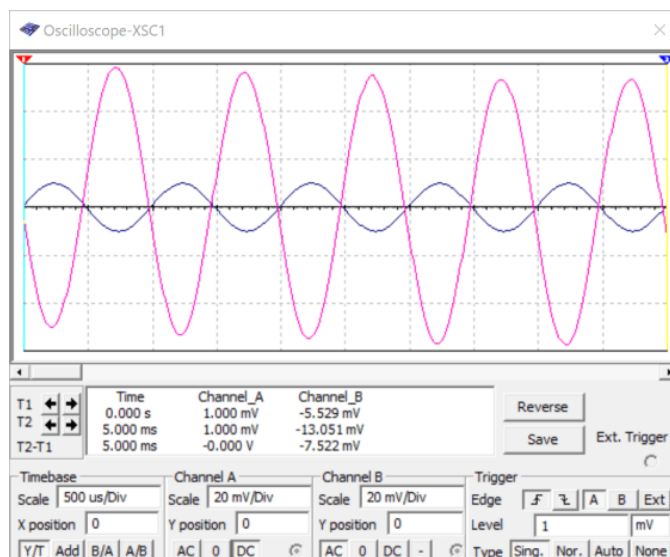


Рис. 7.5. Осцилограми сигналів на вході (синя) та виході підсилювача на логічному інверторі ТТЛ

7.3 Схеми найбільш поширених логічних елементів

7.3.1 Загальні характеристики логічних елементів

В даний час при розробці інтегральних схем (ІС) найбільше поширення одержали наступні технології виготовлення логічних елементів:

- транзисторно-транзисторна логіка (ТТЛ);
- логіка на комплементарних польових транзисторах (КМОН);
- емітерно-зв'язана логіка (ЕЗЛ);
- інтегрально-інжекторна логіка (І²Л);
- логіка на однотипних польових транзисторах (*n*-МОН і *p*-МОН).

Логічні схеми, що виготовляються на різній конструктивно-технологічній основі, значно розрізняються за своїми характеристиками, навіть якщо вони реалізують однакові функції. У кожного з вказаних видів схемотехніки є свої переваги. Так, ЕЗЛ відрізняється високою швидкістю, хоч деякі різновиди ТТЛ наближаються до неї по цьому параметру. Як *p*-МОН, так і *n*-МОН логіка широко застосовуються в мікропроцесорах, а КМОН схемотехніка користується перевагою, коли важливе зменшення споживаної потужності.

Динамічні МОН-структури використовуються для побудови різних запам'ятовуючих пристроїв; вони мають просту організацію, в якій логічний стан визначається зарядом ємності, внутрішньо властивої логічному елементу. І²Л застосовується в інтегральних схемах.

Самими розповсюдженими на сьогоднішній день є ІС, що реалізують ТТЛ і її різновиди. Інтегральні схеми даного типу мають середню швидкість ($F_{\max} = 30\text{К } 100\text{ МГц}$) і середню споживану потужність.

Логічним елементом називається пристрій, що реалізовує тільки одну бульову функцію. Такі елементи називають одно-функціональними на відміну від функціональних елементів, що реалізують декілька бульових функцій. У функціональному елементі можуть використовуватися декілька логічних елементів. За способом кодування двійкових змінних логічні елементи цифрових пристроїв поділяють на імпульсні, динамічні, потенційні, імпульсно-потенційні та фазові.

В імпульсних елементах "1" представляється наявністю електричного імпульсу напруги або струму, а "0" – відсутністю відповідного імпульсу.

В динамічних елементах "1" представляється пакетом імпульсів або потенціалом, що поновлюється через необхідний інтервал часу, а "0" – відсутністю імпульсів (або навпаки).

В потенційних логічних елементах (ПЛЕ) вхідні і вихідні двійкові змінні кодуються різною величиною електричного потенціалу.

В імпульсно-потенційних елементах на входи елементів можуть подаватися як потенційні рівні, так і електричні імпульси, причому вихідні сигнали, як правило, мають імпульсний характер. Розподіл сигналів на імпульсні і потенційні відносний. Прийнято тип сигналу визначати через тривалість такту, залежно від частоти тактового генератора цифрового пристрою. Імпульсний сигнал. сигнал з тривалістю менше тривалості такту. Потенційний сигнал. сигнал з тривалістю не менше тривалості такту.

В фазових елементах застосовуються сигнали у вигляді синусоїдальної напруги, а значення "1" і "0" двійкових змінних кодуються фазою синусоїдальної напруги відносно опорної напруги. Фазовий принцип кодування двійкових змінних застосовується, як правило, в аналого-цифрових пристроях.

Реалізація характеристик, близьких до ідеальних, пов'язана з відомими труднощами внаслідок технологічного розкиду параметрів мікросхем при виготовленні, зміни напруг порогів в залежності від зміни напруг живлення і температури навколишнього середовища в процесі експлуатації. Тому реально зони статичної завадостійкості для кожного типу ЛЕ встановлюють на основі статистичного аналізу амплітудних передавальних характеристик. Напруги статичної завад вказуються в паспорті на логічний елемент і гарантуються для найгіршого випадку роботи даного елемента.

При зіставленні амплітудних характеристик ЛЕ різних типів часто використовують не абсолютні значення статичної завадостійкості, а їх відношення до мінімального логічного перепаду: $K_{\text{пер}}^{\text{н}} = U_{\text{пер}}^{\text{н}} / U_{\text{л}}$, $K_{\text{пер}}^{\text{в}} = U_{\text{пер}}^{\text{в}} / U_{\text{л}}$.

Чим ближче амплітудна характеристика до ідеальної, тим ближче значення цих коефіцієнтів до 0,5.

Статичні параметри визначають умови формування і значення напруг високого і низького рівнів на виході ЛЕ, його навантажувальну спроможність, споживану потужність за заданими напругами живлення, навантаження і температурою навколишнього середовища.

До статичних параметрів ЛЕ відносяться:

- вихідні і вхідні напруги лог. "0" і "1" ($U_{\text{вих}}^0, U_{\text{вих}}^1, U_{\text{вх}}^0, U_{\text{вх}}^1$);
- вхідні і вихідні порогові напруги лог. "0" і "1" ($U_{\text{вх.пор}}^0, U_{\text{вх.пор}}^1, U_{\text{вих.пор}}^0, U_{\text{вих.пор}}^1$);
- вхідні і вихідні струми лог. "0" і "1" ($I_{\text{вх}}^0, I_{\text{вх}}^1, I_{\text{вих}}^0, I_{\text{вих}}^1$);
- струми споживання в стані лог. "0" і "1" ($I_{\text{сп}}^0, I_{\text{сп}}^1$);
- споживана потужність ($P_{\text{сп}}$).

Порогова напруга логічного елемента $U_{\text{пор}}$ є вхідною напругою, малі відхилення від якої в ту або іншу сторону приводять до переходу логічного елемента на його виході з стану "1" в стан "0" або зворотно.

Вхідний струм ЛЕ задається для несприятливого режиму роботи в межах допустимих температур навколишнього середовища та напруги живлення як для рівня лог. "0" ($I_{\text{вх}}^0$), так і для рівня лог. "1" ($I_{\text{вх}}^1$). Вихідні струми $I_{\text{вих}}^0, I_{\text{вих}}^1$ характеризують навантажувальну здатність ЛЕ. (Струми, що втікають, мають позитивний знак, а струми, що витікають, негативний знак.) Завадостійкість визначається відносно цих струмів. Тому збільшення коефіцієнта розгалуження приводить до зниження завадостійкості. Пояснення позначень струмів наведено нижче:

1. Вхідний струм лог. "1" – $I_{\text{вх}}^1$ визначається як вхідний струм для напруги лог. "1" на вході логічного елемента.
2. Вхідний струм лог. "0" – $I_{\text{вх}}^0$ визначається як вхідний струм для напруги лог. "0" на вході логічного елемента.
3. Вихідний струм лог. "1" – $I_{\text{вих}}^1$ визначається як вихідний струм для напруги лог. "1" на виході логічного елемента.
4. Вихідний струм лог. "0" – $I_{\text{вих}}^0$ визначається як вихідний струм для напруги лог. "0" на виході логічного елемента.

Струм споживання від джерела (джерел) живлення ЛЕ ($I_{\text{сп}}$) залежить від типу ЛЕ. Для ЛЕ ЕЗЛ він майже постійний (якщо не брати до уваги навантаження) і не залежить від його логічного стану, для ЛЕ ТТЛ струм має різні значення для стану "0" і "1". Крім того, ЛЕ ТТЛ мають викиди струму під час перехідних процесів при перемиканні ЛЕ, що приводить до істотного збільшення струму споживання на високих частотах. Амплітуда і тривалість викиду залежать від характеру та величини навантаження, схемотехніки вихідного каскаду ЛЕ ТТЛ, довжини лінії зв'язку та ін.

Вхідний опір логічного елемента $R_{\text{вх}}$. відношення приросту вхідної напруги до приросту вхідного струму (визначається для двох значень вхідного сигналу: $R_{\text{вх}}^0$ та $R_{\text{вх}}^1$).

Вихідний опір логічного елемента $R_{\text{вих}}$. відношення приросту вихідної напруги до приросту вихідного струму (визначається для двох значень вихідного сигналу: $R_{\text{вих}}^0$ та $R_{\text{вих}}^1$).

Динамічні параметри. Швидкодія ЛЕ при перемиканні визначається електричною схемою, технологією виготовлення і характером навантаження. Для ідентифікації вимірювань динамічних параметрів в технічній документації на ІС наводяться параметри еквівалентного навантаження, встановлюються вимоги до амплітуди і тривалості фронту вхідного сигналу.

Гранична робоча частота елемента задає діапазон робочих частот сигналів, переданих елементом без спотворення так, щоб за час одного такту, у схемі встигали завершитися перехідні процеси.

Частота перемикання. максимальна частота, на якій у найгірших умовах гарантується спрацювання лічильного тригера, складеного з логічних елементів даної серії.

Навантажувальна здатність ЛЕ характеризує його здатність одержувати сигнал від декількох джерел інформації й одночасно бути джерелом інформації для ряду інших елементів. Для чисельної характеристики навантажувальної здатності ЛЕ використовуються два коефіцієнти: m -коефіцієнт розгалуження і n -коефіцієнт об'єднання.

- m -коефіцієнт розгалуження. характеризує кількість входів для елементів даної серії, що допускається для підключення до виходу даного елемента – $m = (10 \dots 100)$. Навантажувальна здатність елемента характеризується його вихідним опором ($R_{\text{вих}}$).

- n -коефіцієнт об'єднання. характеризується кількістю входів даного логічного елемента (від двох і більше).

7.3.2 Транзисторно-транзисторна логіка

Ця технологія має, мабуть, найбільше число різновидів логічних елементів, тому що тривалість її використання дозволила виявити багато з властивих їй обмежень та способів їх

подолання. Більшість інтегральних схем (ІС, що входять до складу серій ТТЛ, виконано на основі комбінації двох базових схем: елемента І-НІ і розширника по АБО.

7.3.2.1 Базовий елемент ТТЛ-логіки

Технологія ТТЛ (транзисторно-транзисторна логіка) заснована на біполярних структурах. Базовий елемент ТТЛ являє собою схему, що містить один багатоємітерний транзистор і чотири біполярні (рис. 7.6) і реалізує логічний елемент 2І-НІ.

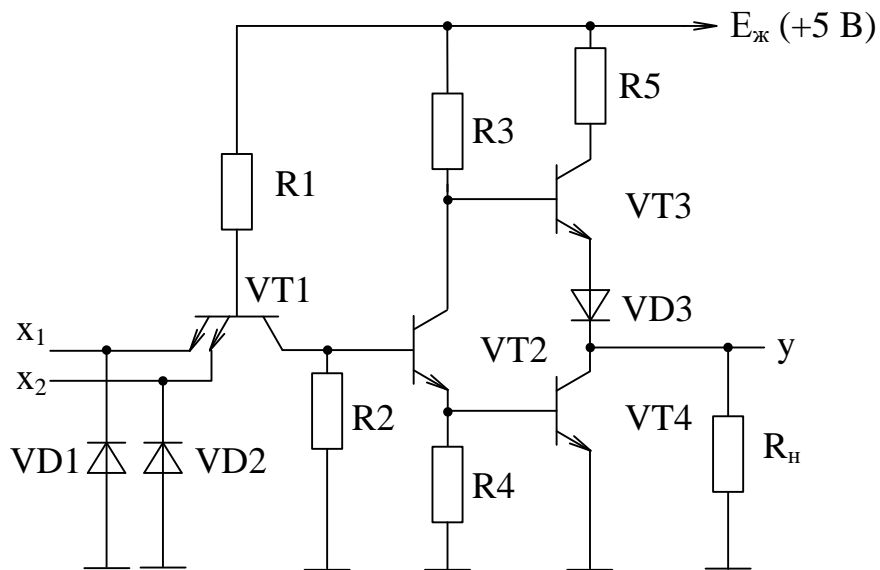


Рис. 7.6. Принципова схема логічного елемента ТТЛ логіки 2І-НІ

У багатоємітерних транзисторах струм протікає через емітер що має самий низький потенціал.

Розглянемо кілька режимів роботи логічної схеми 2І-НІ (рис. 7.6):

1. $x_1 = x_2 = 0$ (входи x_1 й x_2 з'єднуються із загальним проводом).

На базу VT1 через R1 подається позитивна напругу живлення, VT1 відкритий, опір ділянки колектор-емітер VT1 близький до нуля. База транзистора VT2 через малий опір переходу колектор-емітер VT1 з'єднується із загальним проводом, VT2 закритий, струм через емітер VT2 не протікає. Падіння напруги на резисторі R4 відсутнє і, як наслідок, VT4 теж закритий. На колекторі VT2 напруга близька до $E_{ж}$ (+5 В) і як наслідок VT3 відкритий і створюється шлях протікання струму від джерела живлення, через R5, відкритий перехід колектор-емітер VT3, VD1 і опір навантаження $R_{н}$. На опорі $R_{н}$ виділяється позитивна напруга. Залежно від співвідношення

R_4 й R_5 напруга на виході не повинне бути більше значення 2,4 В, коли відкритий VT3, тобто при $x_1 = x_2 = 0$ $y = 1$.

2. Входи x_1 й x_2 підключені до шини +5 В, тобто $x_1 = x_2 = 1$.

Оскільки на базі й емітерах VT1 однаковий потенціал +5 В, то VT1 закритий, опір переходу колектор-емітер VT1 великий. Відкритий перехід база-колектор VT1, який працює, як діод. Струм від джерела протікає через R_1 , перехід база-колектор VT1 і резистор R_2 , створюючи падіння напруги U_{R_2} достатнє для відкривання VT2. VT2 відкритий, через нього протікає струм, що створює падіння напруги на R_4 , достатнє для відкриття транзистора VT4. VT4 відкритий, опір колектор-емітер VT4 близький до 0. Напруга на колекторі VT2 дорівнює:

$$U_{кVT2} = U_{бсVT4} + U_{ксVT2} \leq 0,8 \text{ В.}$$

Для відкриття транзистора VT3 на його базу потрібно подати напругу більше чим $U_{прVT1} + U_{бсVT3}$, тобто більше ніж 1,4 В. Порівнюючи $U_{кVT2}$ й необхідну для відкриття VT3 напругу, можна зробити висновок, що VT3 закритий і напруга на виході $U_y = 0$.

3. На один з входів поданий високий потенціал, а на другий нульовий потенціал, тобто $x_1 = 1$, $x_2 = 0$.

VT1 відкритий і всі параметри аналогічні пункту 1.

4. Якщо входи елемента ТТЛ нікуди не підключені – це аналогічно випадку подачі на його входи логічної 1.

Для **КМОН елементів неприпустимо** залишати входи непідключеними. Це пов'язане з тим, що тут використовуються польові транзистори з ізольованим затвором. Вхідні струми дуже малі, тобто вхідний опір транзисторів $R_{вх}$ транзисторів дуже великий й на непідключені входи будуть наводитися електромагнітні завади, які будуть викликати хаотичне перемикання логічного елемента.

Діоди VD1 і VD2 використовуються для обмеження від'ємної напруги на рівні -0,7 В. Вони утворюють паралельний обмежувач без зміщення разом із внутрішнім опором джерела вхідного сигналу.

Виконання вихідного каскаду елемента за двотактною схемою дозволяє одночасно вирішити дві задачі:

1. Підвищити швидкодію елемента. Навантаження ЛЕ, як правило, носить ємнісний характер, і застосування двотактного вихідного каскаду дозволяє збільшити струм перезаряду ємності навантаження.

2. Знизити споживання. У сталому режимі логічного "0" через вихідний каскад протікає

тільки струм навантаження.

ІС ТТЛ, що випускаються в межах СНД, можна розділити на такі групи:

- стандартні серій 155, 133 (зарубіжні аналоги SN74, SN54);
- швидкодіючі з діодами Шоткі серій 530, 531, 1531 (зарубіжні аналоги SN54S, SN74S, SN74F);
- малопотужні швидкодіючі з діодами Шоткі серій 533, 555, 1533 (зарубіжні аналоги SN54LS, SN74LS, SN74ALS).

Елементи всіх цих серій практично виконані за єдиною схемою. Основне розходження даних серій полягає в їхній швидкодії і споживаній потужності. Типові параметри ЛЕ ТТЛ різних серій наведені в табл. 7.1.

Напруга живлення всіх перелічених вище серій ЛЕ ТТЛ дорівнює $+5\text{В} \pm 5\%$ або $+5\text{В} \pm 10\%$ у залежності від типу виконання. Однак сучасні технології дозволяють випускати логічні елементи ТТЛ з напругою живлення від 1,2 В, що зберігають працездатність при зменшенні напруги живлення до 0,8 В.

Розширник по АБО (рис. 7.7) по суті повторює перші два каскади елемента І-НІ і містить вхідний багатомітерний транзистор VT1 з резистором R1 і транзистор VT2 фазорозщеплювача.

Об'єднання елементів І-НІ і розширника по АБО шляхом з'єднання точок *a* і *б* дозволяє одержати ЛЕ, що реалізує послідовність операцій І-АБО-НІ.

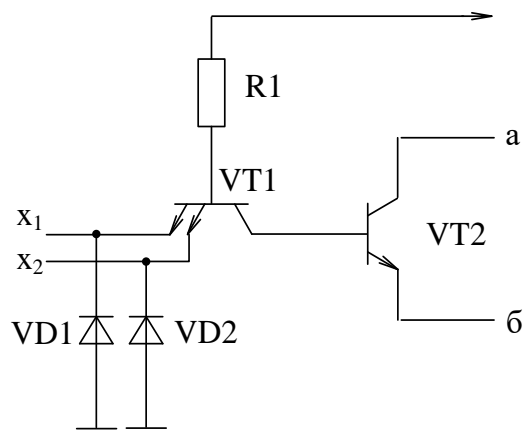


Рис. 7.7. Принципова електрична схема розширника АБО логічних елементів ТТЛ

Таблиця 7.1. Параметри логічних елементів ТТЛ різних серій

Серія інтегральних мікросхем	$t_{\text{заг}}$	$P_{\text{сп}}$, мВт	$U^1_{\text{вих}}$, В	$U^0_{\text{вих}}$, В	$I^1_{\text{вих}}$, мА	$I^0_{\text{вих}}$, мА
K155	10	10	2,4	0,4	-0,4	16
K531	3	20	2,7	0,5	-1,0	20
K555	10	2,0	2,7	0,5	-0,4	8,1

7.3.2.2 Логічний елемент з відкритим колектором

Якщо в схемі базового елемента виключити елементи R5, VT3 і VD3, то одержимо схему з відкритим колектором (рис. 7.8). Умовне графічне позначення логічного елемента з відкритим колектором наведено на рис. 7.9.

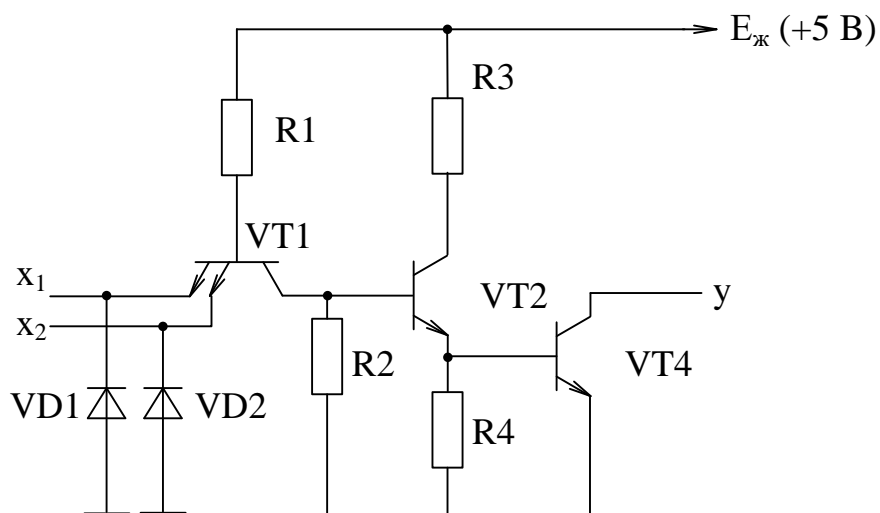


Рис. 7.8. Принципова схема логічного елемента 2Ш=НІ з відкритим колектором

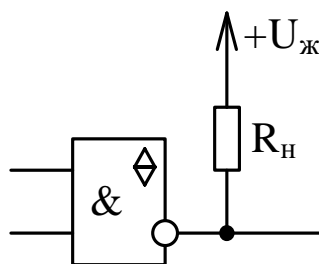


Рис. 7.9. Умовне графічне позначення логічного елемента з відкритим колектором

Щоб така схема сформувала на виході 1 потрібно R_н включати між виходом і джерелом живлення. У цьому випадку схема працює, як розглянутий раніше базовий елемент ТТЛ. Схему з відкритим колектором можна використовувати для підключення елементів індикації, реле й інших навантажень, що вимагають напруги живлення ≥ 5 В. На рис. 7.10 наведено приклад використання логічного елемента з відкритим колектором для управління електромагнітним реле.

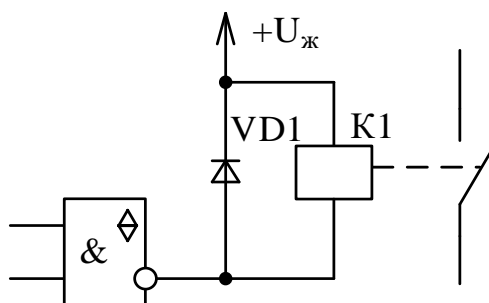


Рис. 7.10. Використання логічного елемента з відкритим колектором для управління електромагнітним реле

7.3.2.3 Логічний елемент з трьома станами на виході

У складі більшості серій інтегральних мікросхем існують елементи з трьома станами виходу. Вони мають вхід EZ (у зарубіжній літературі OE – Output Enable – дозвіл виходу), що управляє, або скорочено просто E (Enable), одне зі значень сигналу на якому переводить обидва вихідні транзистори в закритий стан. Схема ТТЛ елемента з трьома станами виходу приведена на рис. 7.11.

При $EZ = 0$ напруги на базах транзисторів VT3 і VT4 приймають низький (що закриває) рівень, що робить неможливим протікання вихідних струмів через транзистори.

Транзистор VT3 закритий тому, що додатковий діод VD3 знаходиться в стані, що проводить, і потенціал на базі близький до нуля. Транзистор VT4 також буде закритий, оскільки на його емітері присутній рівень логічного нуля. З урахуванням того, що при "0" на вході EZ транзистор VT1 відкритий і низьким опором переході емітер-колектор шунтує резистор R2, то VT2 закритий, струм через нього не протікає і як наслідок напруга на базі VT4 дорівнює нулю.

Такий стан виходу логічного елемента називають Z-станом або станом високоімпедансу виходу (сотні кОм). Для реальних логічних елементів ТТЛ Z стан виходу характеризується струмом витoku 20...40 мкА.

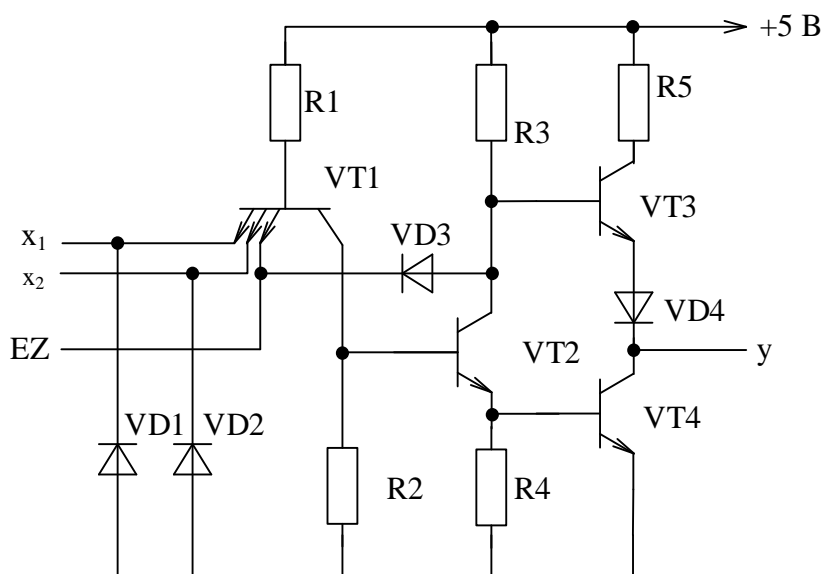


Рис. 7.11. Спрощена схема логічного елементу 2I-НІ з трьома станами виходу

Схема з трьома станами найчастіше використовується для підключення декількох пристроїв до одної і тої ж шини (наприклад, організація обміну даними в ПК між різними вузлами). Той пристрій, що у даний момент повинен бути підключений до шини, переводиться в активний режим, а всі інші в третій стан і вони не заважають роботі активного пристрою, як показано на рис. 7.12.

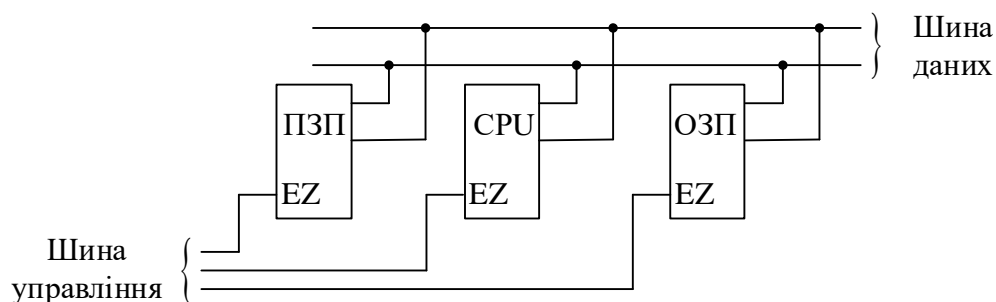


Рис. 7.12. Організація обміну даними між різними пристроями з використанням елементів з трьома станами виходу

7.4 Логічні елементи на МДН-транзисторах

Широкому поширенню МДН-схемотехніки сприяли такі її особливості:

- більш проста технологія виготовлення (коротше технологічний цикл виготовлення), що сприяє підвищенню відсотка виходу придатних виробів;
- менші геометричні розміри приладу і більш прості схемотехнічні рішення, що при

однаковій з біполярною ІС площею кристала дозволяє розмістити на ньому більш складну по виконуваних функціях схему або при однаковій функціональній складності одержати меншу площу кристала, що також сприяє підвищенню виходу придатних виробів (менше вплив дефектів вихідного напівпровідника).

Разом з тим при розробці ІС МДН доводиться враховувати наступні особливості даного класу приладів:

- МДН-транзистор володіє гіршими ключовими властивостями у порівнянні з біполярним транзистором. Це виражається в більшому вихідному опорі i , отже, у більшій залишковій напрузі у включеному стані;
- залишкова напруга на включеному МДН-транзисторі значно залежить від керуючої напруги. Стосовно до логічних схем це означає сильну залежність напруги лог. "0" від напруги лог. "1". Послабити цю залежність можна зменшенням абсолютного струму стоку у включеному стані, що вимагає використання в ключі на МДН-транзисторі високоомного навантаження;
- необхідність застосування власного високоомного навантаження при фіксованій ємності збільшує постійну часу, що визначає тривалості фронту і спаду вихідної напруги ЛЕ. Це приводить до падіння швидкодії;
- у силу розглянутих вище особливостей (нестабільність вихідних логічних рівнів) для забезпечення достатньої завадостійкості ЛЕ на МДН-транзисторах повинні працювати при великих значеннях логічного перепаду. Це також сприяє падінню швидкодії елемента.

Слід зазначити, що необхідність застосування навантаження з високим вхідним опором має і позитивну властивість, що виражається в зменшенні потужності, яка розсіюється в ключі на МДН-транзисторі.

Схемотехнічні рішення, при побудові ІС МДН, спрямовані на усунення вищеописаних недоліків елементарного ключа. Тому при побудові ІС схема ключа з навантажувальним резистором не використовується. Широке застосування знайшла схема ключа з навантажувальним МДН-транзистором, що забезпечує збільшення струму перезаряду ємності навантаження, а, отже, і швидкодії ключа. Це додатково дозволяє спростити технологію виготовлення ІС, тому що зі схеми виключаються всі пасивні елементи (резистори) і вона будується тільки на однотипних елементах. МДН-транзисторах.

В залежності від типу використовуваного транзистора розрізняють ІС *n*-МОН і *p*-МОН-типів. Розглянемо принципові схеми ЛЕ з використанням *n*-МОН-транзисторів. На рис. 7.13,а та б наведені принципові електричні схеми двохвходових ЛЕ, що реалізують операції 2І-НІ та 2АБО-НІ.

Обидві схеми містять по три транзистори, з яких VT1 виконує роль активного навантаження, а VT2 і VT3 є власне транзисторними ключами, що реалізують логічні операції. У

схемі рис.7.13,а, що реалізує логічну операцію І-НІ, транзистори VT2 і VT3 включені послідовно. Тому для появи на виході схеми низької напруги на затвори обох транзисторів необхідно подати високу напругу, достатню для протікання струму активного навантаження. У схемі рис. 7.13,б, транзистори VT2 і VT3 включені паралельно. Тому при подаванні на затвор кожного з них високої напруги на виході буде сформована напруга низького рівня.

Збільшення числа вхідних змінних елемента вимагає збільшення кількості послідовно або паралельно включених транзисторів. Тому, використовуючи описаний принцип з мінімальними витратами, можна побудувати логічний елемент із необхідним числом входів.

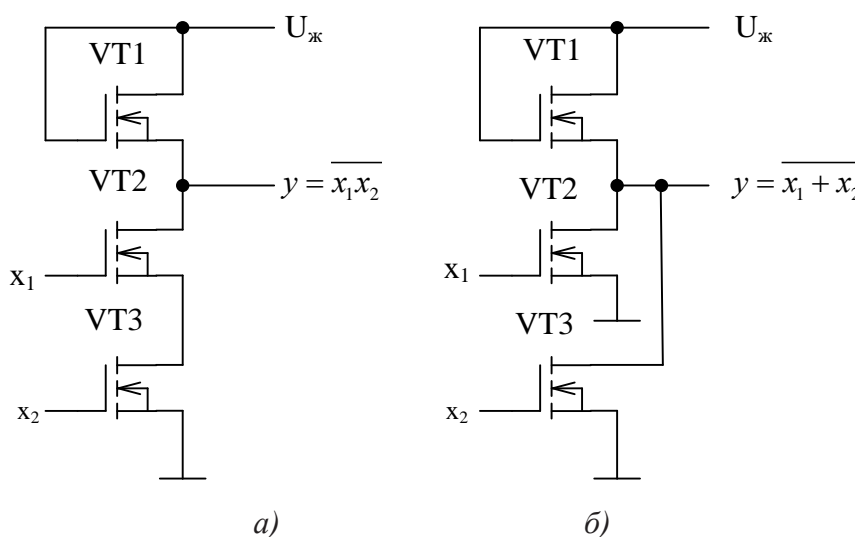


Рис. 7.13. Принципові електричні схеми ЛЕ на МДН-транзисторах, 2І–НІ (а) та 2АБО–НІ (б)

Збільшення швидкодії ІС МДН вимагає збільшення струмів перезарядження ємності навантаження. Однак це обмежується ростом споживаної потужності і збільшенням нестабільності вихідних логічних рівнів. Перебороти зазначене протиріччя можна або технологічним шляхом, створюючи транзистори з меншою вхідною ємністю, або схемотехнічним шляхом, застосовуючи схему ключа на транзисторах з каналами різного типу (комплементарні транзистори). Ці ключі, з одного боку, дозволяють значно збільшити струми перезаряду ємності навантаження, а з іншого максимально зменшити потужність, що розсіюється в елементі. Ключ на комплементарних транзисторах при правильному виборі параметрів вхідних елементів у статичному режимі роботи практично не споживає потужність від джерела живлення.

Споживана елементом потужність у статичному режимі тотожно дорівнює потужності, що віддається ним у навантаження. А так як навантаженням елемента є вхідні кола аналогічних елементів, що носять чисто ємнісний характер, то потужність, що відібрана від джерела

живлення, витрачається тільки в динамічному режимі на перезаряд цієї ємності, тобто має мінімально можливе значення.

На рис. 7.14 наведена принципова електрична схема інвертора КМОН, що використовується як базовий логічний елемент.

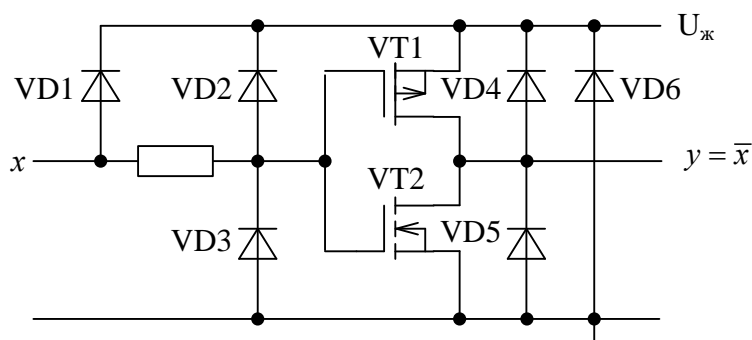


Рис. 7.14. Принципова електрична схема інвертора КМОН

Схема може бути умовно розбита на три частини: вхідний діодно-резистивний обмежувач напруги; власне інвертор на КМОН-транзисторах; вихідне діодне коло. Вхідний опір транзисторів у схемі досягає значень до 10^{12} Ом. При товщині ізоляції між затвором і напівпровідником порядку 50...70 мкм його власна пробивна напруга складає порядку 150...200 В. Це припускає введення в елемент спеціальної схеми захисту від статичної електрики, що може потрапити на його вхід у процесі збереження чи монтажу. Роль цієї схеми виконує вхідний діодно-резистивний обмежувач на елементах VD1, VD2, VD3 і R1. Дана схема обмежує напругу на вході транзисторного ключа в діапазоні від $U_{ж} - 0,7$ В до $U_{ж} + 0,7$ В.

Елементи вихідного діодного кола (VD4, VD5, VD6) утворені відповідними областями самого інвертора і з погляду його роботи не є обов'язковими. Наявність цих діодів накладає додаткові обмеження на використання елемента. Завжди повинна виконуватися нерівність

$$|U_{\text{вх}} - U_{\text{вих}}| < U_{\text{ж}}$$

В протилежному випадку діоди вхідного обмежувача і вихідного кола можуть відкритися та закортити коло живлення елемента. Останнє може бути причиною його пробою. Тому напруга живлення на КМОН-схемі повинна завжди подаватися до включення і зніматися після відключення вхідного інформаційного сигналу.

Логічні елементи КМОН повторюють схеми елементів *n*-МОН- і *p*-МОН-типів. Відмінність полягає в тому, що завжди використовуються пари транзисторів. При цьому, якщо

для реалізації заданої логічної функції транзистори з каналом n -типу включаються послідовно, то парні їм транзистори p -типу включаються паралельно і навпаки. На рис. 7.15 наведені принципові електричні схеми, що реалізують логічні операції 2І-НІ і 2АБО-НІ. Для спрощення на наведених схемах не показані елементи входних і вихідних кіл ключа.

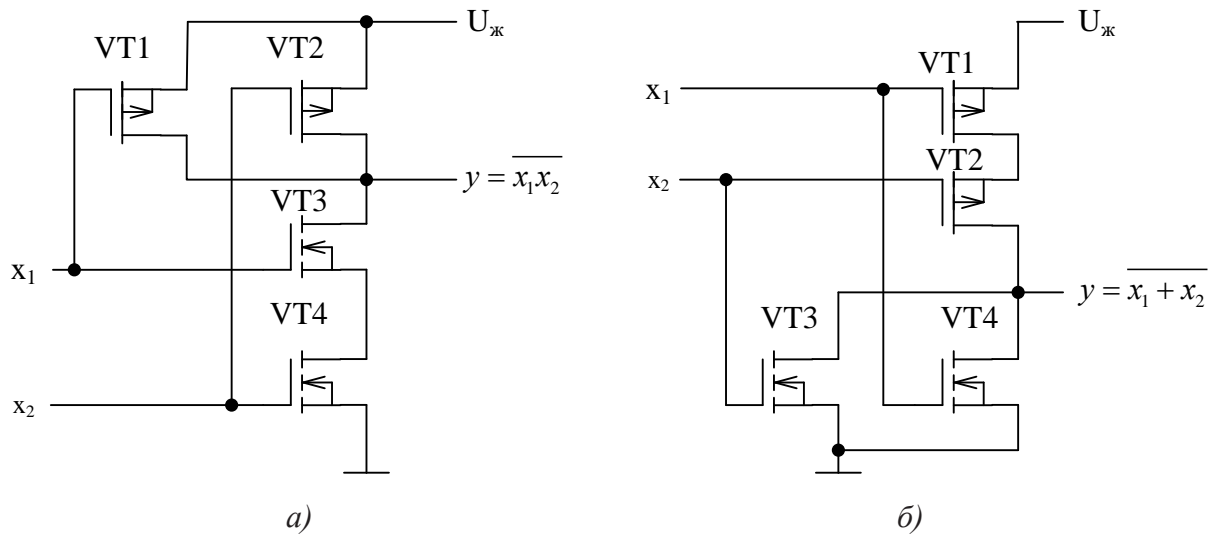


Рис. 7.15. Принципові електричні схеми логічних елементів КМОН типу 2І-НІ (а) та 2АБО-НІ (б)

До особливостей схем ЛЕ треба віднести відсутність додаткового навантажувального транзистора. Його роль виконує один із транзисторів ключа.

Аналіз схем дозволяє зробити важливий практичний висновок про те, що аналогічно ЛЕ ТТЛ для ЛЕ КМОН паралельне включення декількох їхніх виходів заборонено.

В табл. 7.2 наведені найбільш важливі параметри ЛЕ КМОН серії К561 (зарубіжний аналог CD4000А) при напрузі живлення 9 В.

Слід також зазначити, що КМОН-елементи мають високу завадостійкість – до 40% напруги живлення, оскільки пороговий рівень таким мікросхем дорівнює половині напрузі живлення.

Таблиця 7.2. Основні параметри логічних елементів КМОН серії 561

$U_{\text{вих min}}^1$, В	$U_{\text{вих max}}^0$, В	$t_{\text{зат}}$, нс	F_{max} , МГц	$I_{\text{сп}}$, мкА	$U_{\text{ж}}$, В	$K_{\text{роз}}$	$C_{\text{вх}}$, пФ
8	0.3	30 ($C_{\text{н}}=15$ пФ) 100 ($C_{\text{н}}=100$ пФ)	3	0,1	3...15	50	5

7.5 Логічні елементи інтегрально-інжекційної логіки

Для підвищення технологічності виготовлення бажано при розробці ІС застосовувати схемотехнічні рішення, що використовують тільки одностипні елементи, наприклад транзистори. Цей шлях, як було показано раніше, реалізований у ІС МДН, що поряд з іншими перевагами є причиною їх широкого поширення. Однак, як уже відзначалося, ключ на біполярних транзисторах на сьогодні має кращі як ключові, так і частотні властивості. Це є передумовою до постійного пошуку нових схемотехнічних рішень для реалізації біполярних ІС. Такий пошук призвів до майже одночасної розробки фірмами Philips і IBM елемента інтегрально-інжекційної логіки (І²Л). Відповідна йому принципова електрична схема ЛЕ І²Л наведена на рис. 7.16.

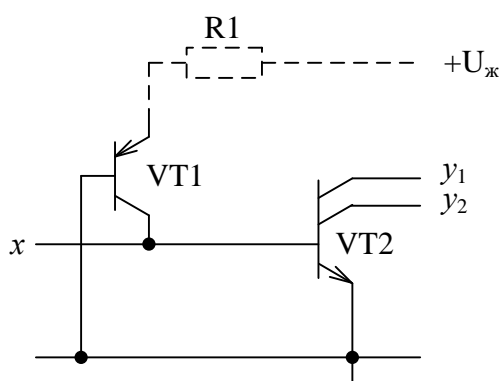


Рис. 7.16. Принципова електрична схема логічного елемента І²Л

Особливістю елементів І²Л є:

- відсутність резисторів, що різко спрощує технологію виробництва ІС;
- використання струмового принципу живлення, при якому в ІС задається не напруга, а струм, який безпосередньо інjektується в область напівпровідника, що утворює структуру одного з транзисторів;
- просторове сполучення в кристалі напівпровідника областей, що функціонально належать різним транзисторам. При цьому структура розташовується як по горизонталі (планарно), так і по вертикалі. Таке рішення дозволяє відмовитися від застосування спеціальних рішень для відділення областей, що належать різним елементам, як це необхідно робити в елементах ТТЛ і ЕЗЛ;
- мале значення логічного перепаду, що дозволяє максимально збільшити швидкодію елемента.

В наведеній схемі (рис. 7.16) багатоконтактний транзистор VT2 виконує функцію інвертування вхідного сигналу, а транзистор VT1 – генератора (інжектора) базового струму

транзистора VT2. До особливостей елемента варто віднести і сталість струму інжектора у всіх режимах роботи елемента. Струм інжектора задається резистором R1, що, як правило, виконується загальним на групу елементів.

Важливою особливістю елемента І²Л є можливість, варіюючи струм інжектора в широких межах, змінювати його швидкодію. Реально струм інжектора може змінюватися від 1 нА до 1 мА, тобто на 6 порядків. Оскільки для заданої схемотехніки енергія переключення елемента величина постійна, у таких же межах може змінюватися і швидкодія елемента. Важливо, щоб для цього не потрібно було б ніяких схемотехнічних змін в елементі.

Принцип дії схеми І²Л полягає в наступному. Допустимо, зовнішній сигнал, що відповідає сигналу лог. "1" на вході елемента (база транзистора VT2), відсутній. У цьому випадку струм інжектора, втікаючи в базу транзистора VT2, насичує його. На його колекторах, а, отже, і на вихідних виводах елемента присутня напруга низького рівня, яка дорівнює напрузі насичення транзистора VT2 – реально це 0,1...0,2 В.

Якщо база транзистора VT2 безпосередньо чи через насичений транзистор підключена до загальної шини, то виконується умова $U_{вх} < U_{бє0}$, транзистор VT2 закритий, тому що струм інжектора замикається на загальну шину, минаючи його емітерний перехід. У цьому випадку напруга на його колекторах визначається зовнішніми колами. При послідовному включенні декількох інверторів ця напруга дорівнює напрузі емітерного переходу наступного транзистора. Таким чином, для ЛЕ І²Л $U^0 = 0,1...0,2$ В; $U^1 = 0,6...0,7$ В.

З наведених співвідношень випливає, що перепад логічних рівнів для ЛЕ І²Л складає 0,4...0,6 В.

З використанням наведеної схеми можуть бути реалізовані основні логічні операції І-НІ і АБО-НІ. На рис. 7.17 наведена логічна схема, побудована на трьох інверторах І²Л.

Особливістю елементів І²Л є можливість паралельного включення декількох їхніх виходів. З наведеної схеми випливає, що при паралельному включенні декількох виходів у загальній точці щодо вхідних змінних реалізується логічна операція АБО-НІ. Щодо вихідних сигналів елементів реалізується логічна операція І. Таким чином, якщо не потрібний гальванічний поділ між вхідними і вихідними сигналами, то логічна операція І виконується без яких-небудь додаткових схемотехнічних витрат простим об'єднанням відповідних виходів ЛЕ. Після інвертування результату виконаної операції АБО-НІ додатковим елементом щодо вхідних перемінних реалізується логічна операція АБО, а щодо вихідних сигналів перших елементів. операція І-НІ.

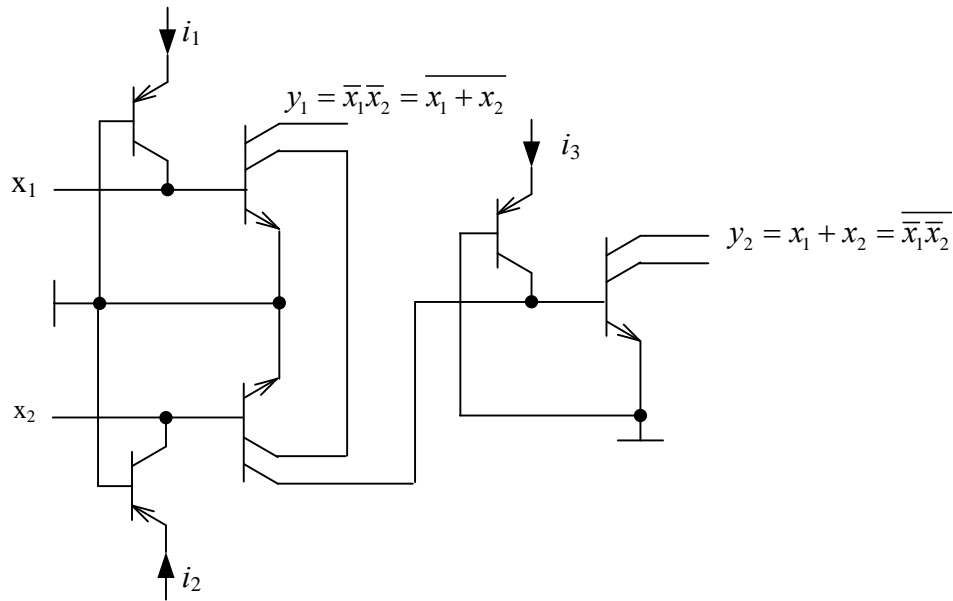


Рис. 7.17. Реалізація логічних операцій 2И-НІ та 2АБО-НІ на логічних елементах I²Л

Логічні елементи I²Л дозволяють максимально уніфікувати структуру ІС, знизивши площу її кристала, і або зменшити її споживання, або підвищити швидкодію. Типовий час затримки поширення ЛЕ I²Л при струмі інжектора 0,1 мкА складає 10 нс. При цьому енергія переключення для цього елемента на кілька порядків менше, ніж для елемента ТТЛ.

Через невелику завадостійкість, обумовлену малим логічним перепадом, ЛЕ I²Л використовуються винятково в складі ВІС і СВІС, та як окремі ІС малого ступеня інтеграції не випускаються. При цьому вхідні і вихідні кола ІС, виконаних за технологією I²Л, робляться сумісними по логічних рівнях із сигналами ТТЛ.

7.6 Порівняльні характеристики логічних елементів різних технологій

Для зручності зведемо характеристики логічних елементів (ЛЕ) в табл. 7.3. Усі параметри наведені в статичному режимі, логічний елемент перебуває в одному із двох стійких станів "0" або "1".

Характеристики в динамічному режимі можуть суттєво відрізнитись від значень в статичному режимі.

Таблиця 7.3. Порівняльні характеристики логічних елементів

Параметр	Старі розробки		Нові розробки		
	ТТЛ серія К155 (SN74, SN54)	КМОН серія К176 (CD4000)	ЕЗЛ серія 500 (МС10000)	ТТЛ серія КР1533 (SN74ALS)	КМОН серія КР1554 (SN74АС)
$I_{вх}^0$	-1.6 мА	-0,1 мкА	0,5 мкА	-0,1 мА	-0,1 мкА
$I_{вх}^1$	0,04 мА	0,1 мкА	0,27...0,5 мА	20 мкА	0,1 мкА
$U_{вих}^0$ не більше, В	0,4	0,3	-1,63	0,4	0,1
$U_{вих}^1$ не менш, В	2,4	8,2	-0,9	2,4	$U_{пит}$ -0,1
$U_{ж}$, В	+5	+9	-5,2	5	2...6
$t_{зт.р.}^{10}$, нс	22	200...500	2,9...3,4	≤ 15	9,5 при $U_{пит}=4,5В$
$t_{зт.р.}^{01}$, нс	15	200...500	2,9...3,4	≤ 9	8,5 при $U_{пит}=4,5В$
$I_{спож}^0$	16,5 мА	0,3 мкА	21 мА	4 мА	40 мкА
$I_{спож}^1$	6 мА	0,3 мкА	21 мА	1,8 мА	40 мкА

У таблиці прийняті наступні позначення:

- $I_{вх}^0$ – вхідний струм інтегральної мікросхеми при рівні логічного нуля на вході.
- $I_{вх}^1$ – вхідний струм інтегральної мікросхеми при рівні логічної одиниці на вході.
- $U_{вих}^0$ – напруга одержуване на виході при рівні логічного нуля на вході.
- $U_{вих}^1$ – напруга одержуване на виході при рівні логічної одиниці на вході.
- $U_{ж}$ – напруга живлення.
- $t_{зт.р.}^{10}$ – час затримки розповсюдження (перемикання) з “1” в “0” (час між перемиканнями на вході й на виході).
- $I_{спож}^0$ – струм споживання при нулі на виході логічного елемента. ЕЗЛ самі швидкодіючі й мають малий час затримки.

Чим менше $I_{спож}$, тим менші втрати енергії. Чим менше струм на вході, тим краще для джерела сигналів.

ЕЗЛ – емітерно-зв'язана логіка працює в лінійному режимі. КМОН і ТТЛ працюють у ключовому режимі.

7.7 Статичний та динамічний режими роботи логічних елементів

Статичний режим – це режим у якого відсутні перемикання або їх дуже мало. Коли логічний елемент перемикається, то транзистори вихідного каскаду перемикаються з затримкою і неодноразово. Це призводить до того, що один транзистор ще повністю не закрився, а другий транзистор вихідного каскаду починає відкриватися (рис. 7.6). Це призводить до того, що через ці транзистори протікає в момент перемикання наскрізний струм від джерела живлення до загального проводу.

Осцилограми струму вихідного каскаду та вхідного сигналу наведені на рис. 7.18.

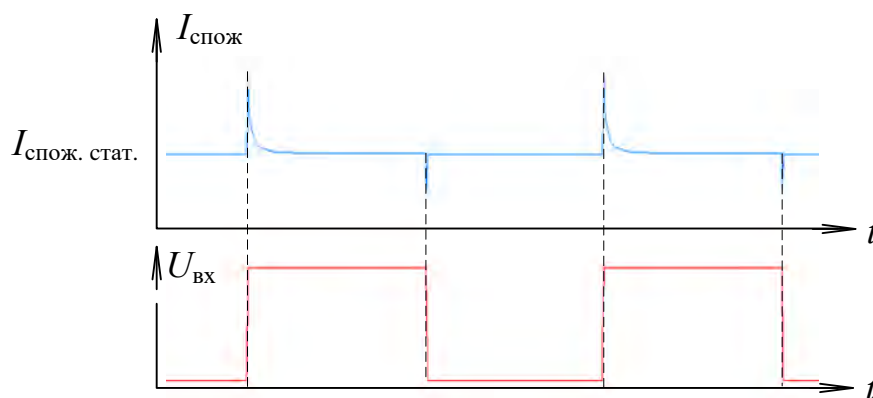


Рис. 7.18. Ілюстрація наскрізних струмів виникаючих при перемиканні логічного елемента

Чим більше час перемикання елемента, тим більше площа трикутника на рис. 7.18 (тобто більше наскрізні струми виникаючі при перемиканні транзисторів вихідного каскаду логічного елемента), тому що струм буде протікати довше при відкритті й закритті. Чим частіше відбуваються перемикання, тим більше споживання струму. Тобто у динамічному режимі споживання струму зростає тим більше, чим вище частота комутації.

7.9 Моделювання роботи логічних елементів

У програмі NI Multisim можна використати велику кількість логічних елементів різних виробників, але вони є недосконалими при моделюванні деяких пристроїв. Логічні елементи програми – ідеальні, тобто амплітудна характеристика більшості цифрових компонентів має вигляд наведений на рис. 7.19.

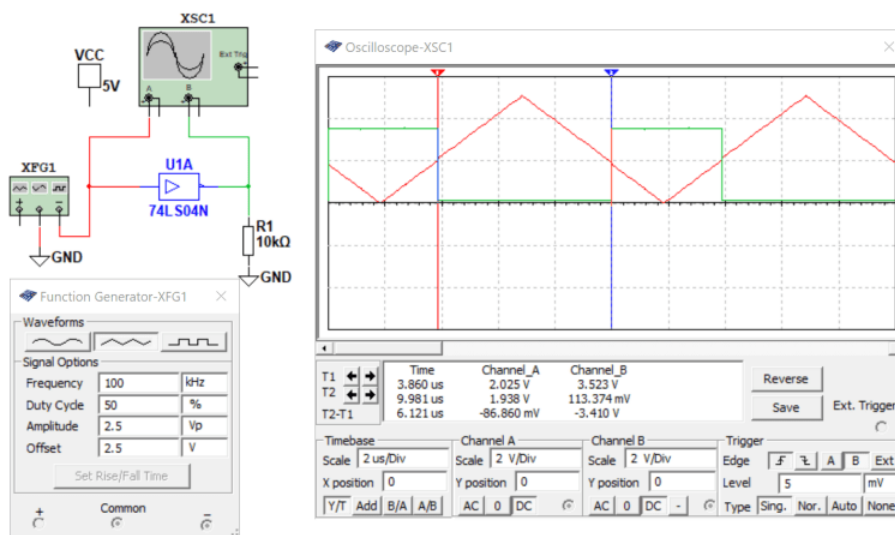


Рис. 7.19. Сигнал на вході (червоний) та виході логічного інвертора 74LS04

З осцилограм на рис. 7.19 слідує, що пороговий рівень логічного інвертора 74LS04 приблизно дорівнює 2 В. Якщо рівень сигналу на вході менше ніж 2 В, логічний елемент сприймає це як логічний "0" на вході і на виході інвертора формується логічна "1". Якщо рівень сигналу на вході більше 2 В, то логічний елемент сприймає це як логічну "1" на вході і на виході інвертора формується логічний "0".

Оскільки амплітудна характеристика інвертора (і інших логічних елементів) має прямокутну форму, то елементи не можуть працювати в схемах з лінійним режимом роботи. Моделі програми Multisim фактично не враховують схмотехніку елементу, що дозволяє їх використовувати лише за прямим призначенням, а саме, виконувати тільки логічні функції.

В зв'язку з тим, що програма не враховує схмотехніку логічних елементів, вони не працюють в деяких схемах генераторів, а також при використанні логічного елементу в підсилювачах.

Для створення повноцінної моделі логічного елементу необхідно спочатку побудувати схему на дискретних елементах та перевірити її працездатність. Даний метод має недолік, оскільки знайти інформацію про принципові схеми більшості цифрових елементів або дуже складно, або неможливо. На рис. 7.20 наведена принципова схема елементу 2І-НІ мікросхеми К155ЛА3, а на рис. 7.21 – осцилограми сигналів на вході (синя) та виході (червона) логічного елементу.

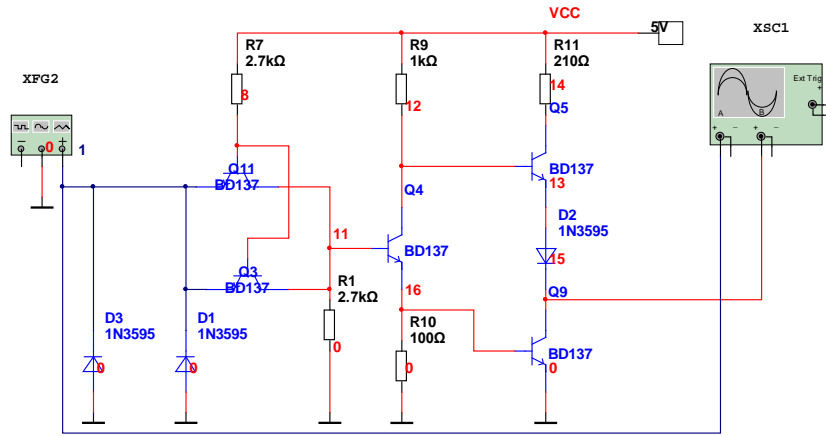


Рис. 7.20. Модель логічного елементу К155JA3 (74LS00)

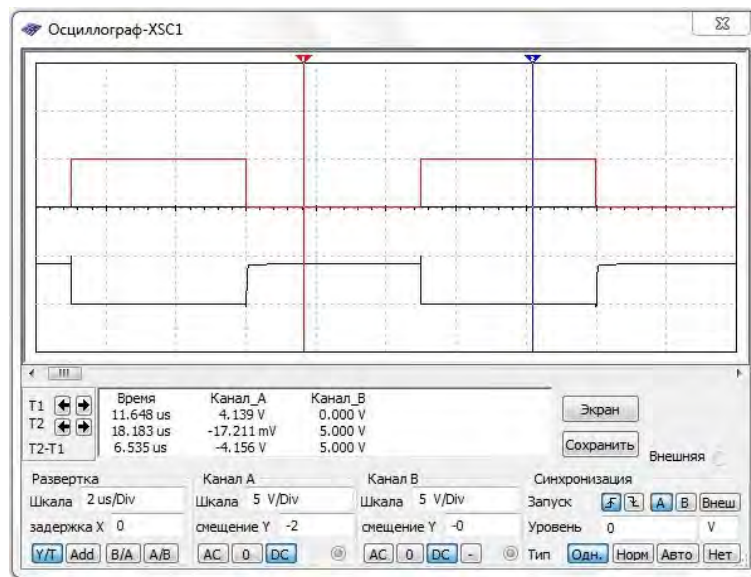


Рис. 7.21. Осцилограми сигналів на вході (синя) та виході (червона) логічного елементу 2І-НІ мікросхеми К155JA3 (74LS00)

7.10 Моделювання підсилювачів на логічних елементах

Неідеальність амплітудної характеристики логічного елементу можна використати в аналогових електронних схемах, якщо робочу точку елементу встановити на лінійну ділянку характеристики. На рис. 7.22,а наведена амплітудна характеристика моделі логічного елементу К155JA3. Характеристика має дві лінійні ділянки: при значенні входньої напруги 0,7-0,8 В та приблизно 1,3 В. Остання точка знаходиться на крутій частині характеристики, тому у випадку використання елементу як підсилювач вона дає більший коефіцієнт підсилення, ніж перша. Збільшена частина лінійної ділянки характеристики наведена на рис. 7.22,б.

Щоб вивести робочу точку елемента на лінійну ділянку характеристики достатньо приєднати до входу елемента резистор з відповідним опором. Номінал резистора підбирають так, щоб струм, який витікає з логічного елемента (через двоємітерний транзистор), створював падіння напруги приблизно 1,34 В.

Схема підсилювача на логічному елементі наведена на рис. 7.23, а осцилограми сигналів на його вході та виході – на рис. 7.24.

Незважаючи на простоту підсилювач має непогані характеристики: коефіцієнт підсилення каскаду за напругою до 40 раз (в залежності від опору резистора R1), коефіцієнт нелінійних спотворень близько 0,12%. Каскад також інвертує фазу сигналу на 180°. Нижня гранична частота підсилювача залежить від ємності роздільних конденсаторів C1 та C2, а верхня – від швидкодії логічного елемента.

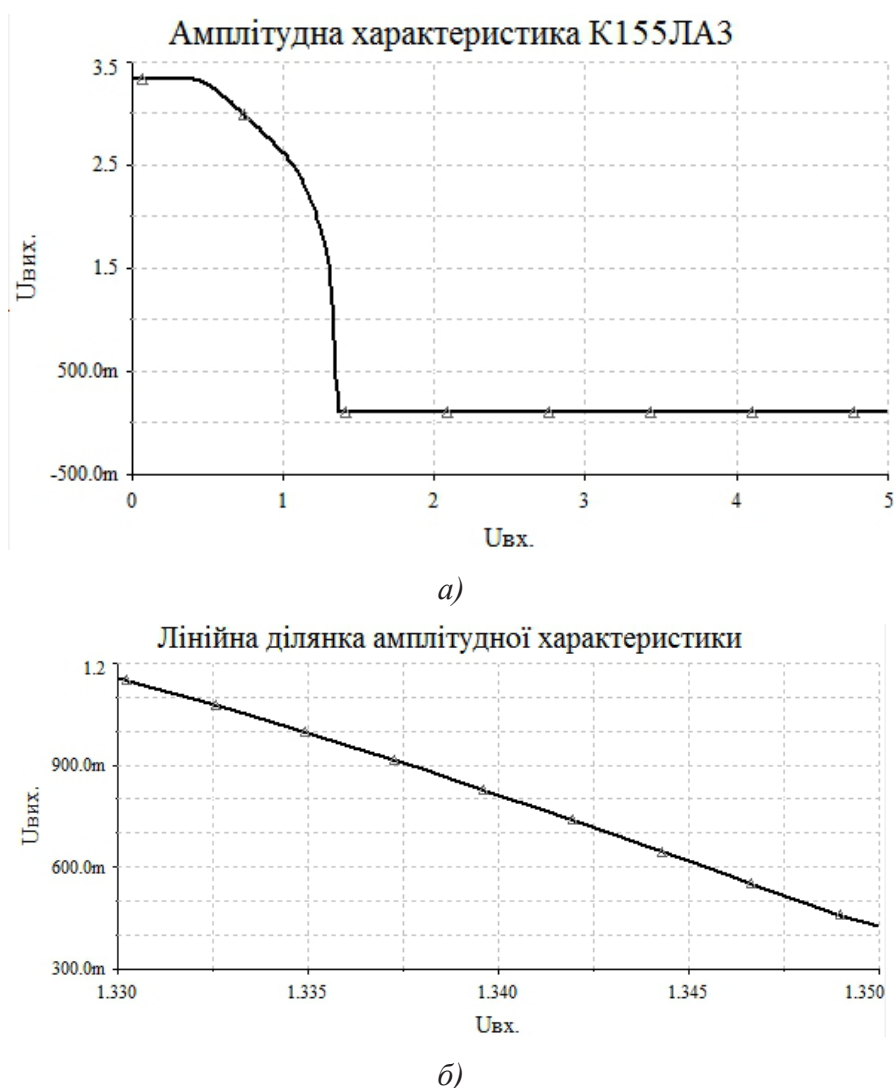


Рис. 7.22. Амплітудна характеристика елемента К155ЛА3 (а) та її лінійна ділянка (б)

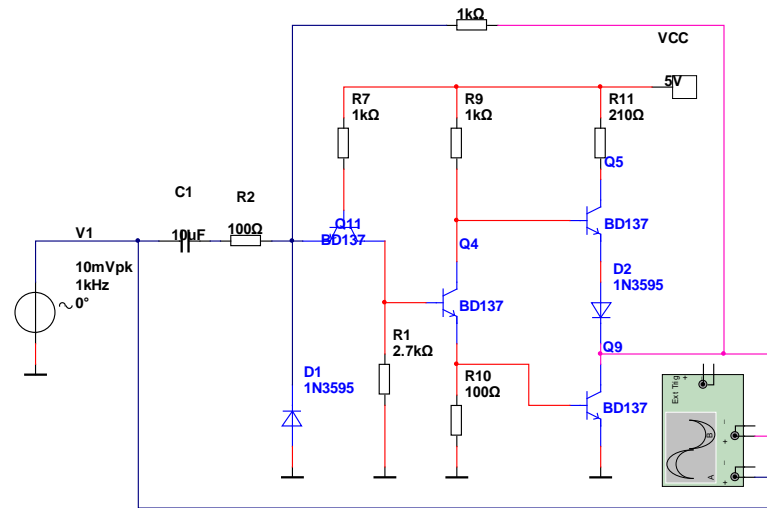


Рис. 7.23. Модель підсилювача на логічному інверторі

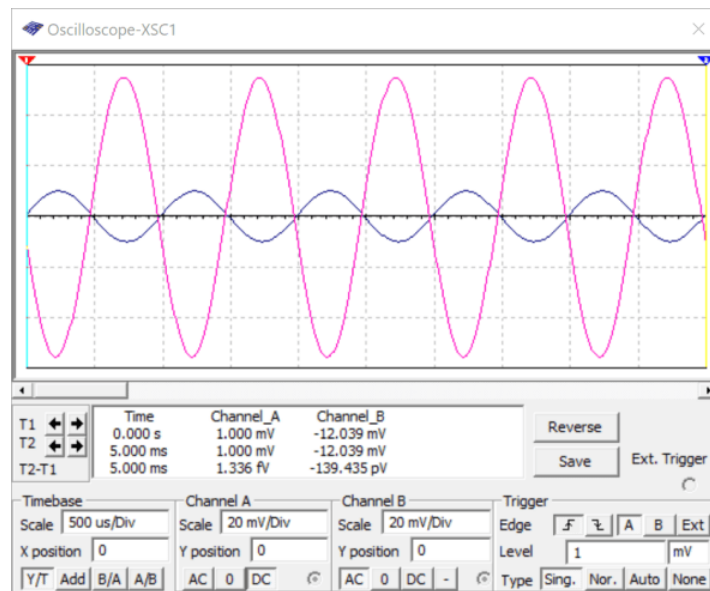


Рис. 7.24. Осцилограми сигналів на вході (синя) та виході підсилювача на логічному інверторі

Амплітудно-частотна характеристика підсилювача наведена на рис. 7.25. Згідно стандартного визначення верхня частота підсилювача дорівнює приблизно 2 МГц, хоча підсилювальні властивості каскаду зберігаються й при вищих частотах.

Недоліком підсилювача є малий вхідний опір каскаду, невеликий коефіцієнт підсилення. Тому для практичних потреб такі підсилювачі потрібно використовувати разом з транзисторним каскадом зі спільним колектором. Коефіцієнт підсилення можна підвищити шляхом послідовного з'єднання каскадів.

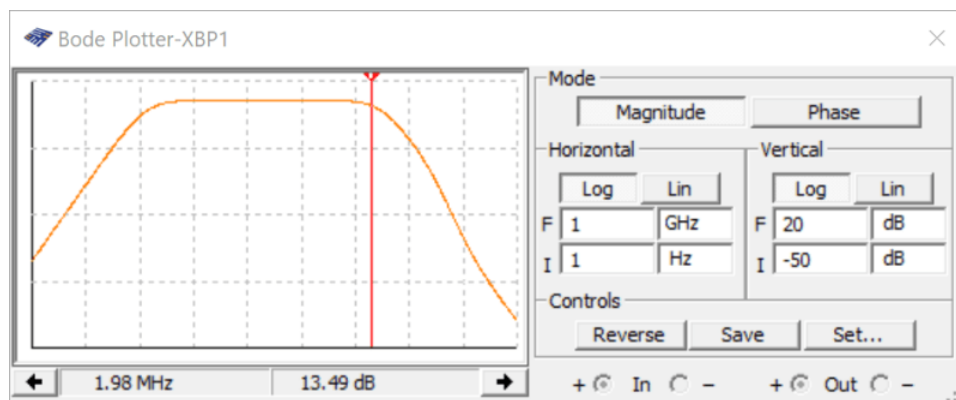


Рис. 7.25. АЧХ підсилювача на логічному інверторі

Звісно, що ширина смуги пропускання підсилювача залежить від коефіцієнта підсилення. Чим більший коефіцієнт підсилення, тим вужча смуга пропускання (і навпаки).

Контрольні питання

1. При якому рівні вхідного сигналу перемикається логічний елемент ТТЛ?
2. При якому рівні вхідного сигналу перемикається логічний елемент КМОН?
3. Як називається рівень сигналу на вході при якому відбувається перемикання логічного елемента?
4. Що означає поняття пороговий рівень?
5. Чи залежить навантажувальна здатність логічного елемента від його вхідного струму? Як саме?
6. Чи залежить навантажувальна здатність логічного елемента від його вихідного струму? Як саме?
7. Що таке третій стан виходу логічного елемента?
8. Які особливості підключення навантаження до логічних елементів з відкритим колектором?
9. Чи можна використати моделі логічних елементів Multisim для побудови підсилювачів та генераторів? Якщо ні, то чому?
10. Чи залежить смуга пропускання підсилювача від його коефіцієнта підсилення?
11. Яка різниця у роботі логічних елементів в статичному та динамічному режимах?
12. У якому режимі струм споживаний логічним елементом більше – у статичному, чи динамічному? Поясніть чому.
11. Чим пояснюється широке поширення елементів ТТЛ?
12. У чому перевага елементів МДН?
13. Які особливості логічних елементів І²Л?

8 КОМБІНАЦІЙНІ СХЕМИ

8.1 Дешифратори

8.1.1 Загальні зауваження

Логічні пристрої діляться на комбінаційні і послідовні (автомати з пам'яттю). Вихідні величини логічних пристроїв комбінаційного типу залежать тільки від поточного значення вхідних величин (аргументів). Після завершення перехідних процесів на виходах логічних пристроїв комбінаційного типу встановлюються вихідні величини, на які характер перехідних процесів впливу не надає. До комбінаційних пристроїв належать дешифратори і шифратори, мультиплектори та демультиплектори, а також суматори кодів.

Дешифратори і шифратори належать до числа перетворювачів кодів. З поняттям шифрування зв'язане представлення про стиск даних, з поняттям дешифрування – зворотне перетворення.

В умовних позначеннях дешифраторів і шифраторів використовуються букви DC і CD (від слів Decoder і Coder відповідно).

Повним дешифратором називається комбінаційна схема (КС), що має n входів і 2^n виходів що реалізує на кожному виході функцію, що представляє собою мінтерм n вхідних змінних. У повному дешифраторі кожній комбінації значень вхідних сигналів відповідає сигнал тільки на одному з виходів. Іншими словами, дешифратором називають, логічний пристрій, що має n входів та $m = 2^n$ виходів і який перетворює код числа, що надходить на його входи, у позиційний (унітарний) код, тобто сигнал формується на кожному відрітку часу тільки на одному з його виходів.

Якщо вхідний код двійковий, то функція дешифратора описується наступними виразами:

$$y_0 = x_1 x_2 x_3 \dots x_n,$$

$$y_1 = \bar{x}_1 x_2 x_3 \dots x_n,$$

.....

$$y_m = \bar{x}_1 \bar{x}_2 \bar{x}_3 \dots \bar{x}_m,$$

де, n – кількість розрядів вхідного коду; m – можлива кількість виходів дешифратора; x_i – вхідна змінна.

Дешифратори можуть реалізовувати як функції наведені вище, так і інверсні їм значення. В залежності від цього розрізняють дешифратори з прямими та інверсними виходами рис. 8.1. Причому, всі дешифратори ТТЛ мають інверсні виходи. Інверсія на виході означає, що на всіх виходах зберігається "1" окрім активного виходу, рівень на якому дорівнює "0".

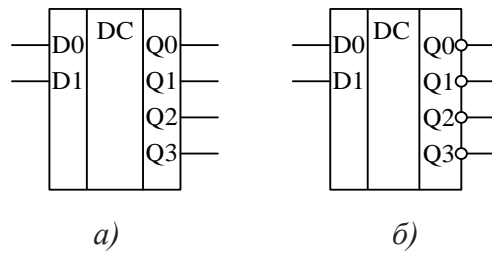


Рис. 8.1. Умовне графічне позначення дешифратора з двома входами і прямими (а) та інверсними виходами (б)

Дешифратор може бути виконаний одноступінчатим (лінійним) і багатоступінчатим. Багатоступінчаті дешифратори можна розділити на прямокутні (матричні) і пірамідальні.

8.1.2 Лінійні дешифратори

Лінійні дешифратори виконуються реалізацією виразів, що наведені вище, напряду. Для побудови лінійного дешифратора потрібно використання логічних елементів з кількістю входів рівним розрядності вхідного коду. Крім того потрібно висока навантажувальна здатність того пристрою, що формує вхідні коди, тому що до його вихідних шин підключається велика кількість входів логічних елементів що утворюють дешифратор. Практично навантажувальна здатність не перевищує 10...20. Лінійний суматор навантажує вхідний пристрій на $2^n/2$ входів. На рис. 8.2 наведена схема лінійного дешифратора на три входи.

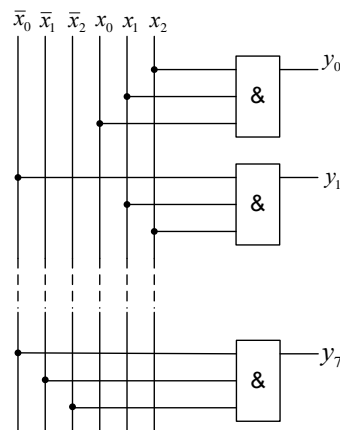


Рис. 8.2. Принципова схема лінійного дешифратора на три входи

8.1.3 Прямокутні (матричні) дешифратори

Удосконалення структури дешифраторів можливо при використанні ряду елементів для формування часткових кон'юнкцій, використовуваних надалі для одержання необхідних вихідних функцій дешифратора.

Прямокутний дешифратор містить перший ступінь з кількох лінійних дешифраторів, кожних з яких дешифрує групу розрядів вхідного коду. Усі кон'юнкції усередині групи утворюються за допомогою допоміжних дешифраторів, а необхідні вихідні змінні дешифратора (мінтерми) формуються у результаті кон'юнкцій вихідних змінних допоміжних дешифраторів.

Багаторозрядне слово розбивається на N груп. При парному n обидві групи однакові і містять $n/2$ входів кожна. При непарному n перша група містить $(n + 1) / 2$ входів, а друга група – $(n - 1) / 2$.

Оцінюючи, як і раніш, навантажувальну здатність вихідних елементів джерела вхідного коду, можна зробити висновок про необхідність додаткової розбивки груп на підгрупи (якщо навантажувальна здатність виявляється менше ніж число входів лінійного дешифратора) або з можливості застосування як допоміжний дешифратор – лінійного. Якщо потрібно додаткові розбивки на підгрупи то допоміжний дешифратор розподілу по двох східчастій схемі, а весь дешифратор виявляється виконаним по 3-х східчастій схемі.

Розглянемо приклад побудови прямокутного дешифратора на 4 входи і 16 виходів. Нехай навантажувальна здатність вихідних елементів пристрою, що формує вхідний код дешифратора дорівнює 3. Тоді дешифратор необхідно будувати по двох східчастій схемі.

Розбиваємо усі входи на 2 групи по 2 входи в кожній. Перевіряємо, чи буде достатньою навантажувальна здатність для $N = 2$. Навантажувальна здатність дорівнює $((2^N + 1) / 2 = 2,5)$.

Структура дешифратора буде виглядати так, як показано на рис. 8.3.

	x_0x_1	$x_0x_1x_2x_3$	$- y_0$
1 група	\bar{x}_0x_1	$\bar{x}_0x_1x_2x_3$	$- y_1$
	$x_0\bar{x}_1$	$x_0\bar{x}_1x_2x_3$	$- y_2$
	$\bar{x}_0\bar{x}_1$	$\bar{x}_0\bar{x}_1x_2x_3$	$- y_3$
		.	.
		.	.
2 група	x_2x_3	$x_0x_1\bar{x}_2\bar{x}_3$	$- y_{12}$
	\bar{x}_2x_3	$\bar{x}_0x_1\bar{x}_2\bar{x}_3$	$- y_{13}$
	$x_2\bar{x}_3$	$x_0\bar{x}_1\bar{x}_2\bar{x}_3$	$- y_{14}$
	$\bar{x}_2\bar{x}_3$	$\bar{x}_0\bar{x}_1\bar{x}_2\bar{x}_3$	$- y_{15}$

Рис. 8.3. Структура прямокутного дешифратора

8.1.4 Пірамідальні дешифратори

Пірамідальні дешифратори, так само як і прямокутні, відносяться до розряду багатоступінчастих дешифраторів, особливістю яких є застосування у всіх групах дешифрації двовходових логічних елементів з обов'язковим підключенням виходу елемента K -го ступеню до входів тільки 2-х елементів $(K+1)$ ступеню. Число ступенів K в пірамідальному дешифраторі на одиницю менше розрядності вхідного коду $K = N-1$, а число логічних елементів кожного ступеню визначається за формулою $B_i = 2^{i+1}$, де i – номер ступеню пірамідального дешифратора.

На рис. 8.4 наведено приклад побудови трьохрозрядного дешифратора.

У дешифраторах часто передбачається операція стробіювання (тактування), що дозволяє формування вихідних сигналів тільки у визначених стробуючими імпульсами інтервалах часу. Стробіювання може здійснюватися введенням додаткового входу паралельно кожному з інформаційних виходів (рис. 8.5) або блокуванням всіх елементів через одне з вхідних кіл.

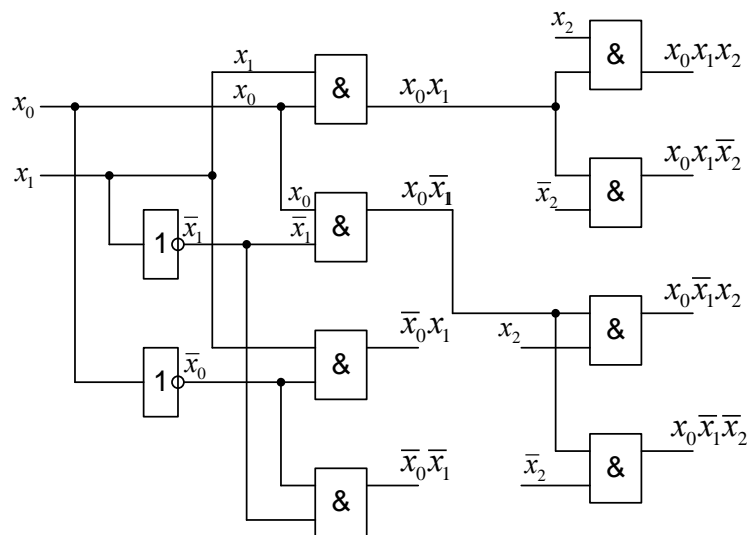


Рис. 8.4. Структура трьохрозрядного пірамідального дешифратора

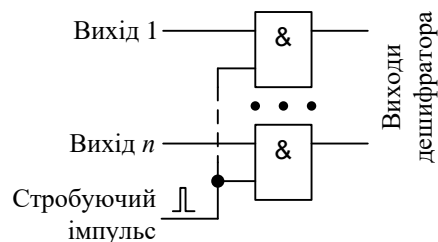


Рис. 8.5. Стробіювання входів дешифратора

На всіх виходах логічних елементів 2І при відсутності стробуючого імпульсу формується рівень логічного "0" незалежно від значення коду на входах дешифратора. При наявності "1" на

вході стробювання відновлюється нормальне коло передаванні вихідних змінних дешифратора на виходи. Якщо потрібен дешифратор з інверсними виходами, то необхідно використати елементи 2І-НІ.

8.1.5 Дешифратори фіксованого коду

У цифровій схемотехніці часто виникає потреба запинити чи почати якийсь процес, коли на виході якогось пристрою буде сформований код що задано. Прикладом може слугувати цифровий годинник з будильником. Коли час на виході годинника сягне заданого значення потрібно сформувати сигнал включення будильника.

Розглянемо розробку такого дешифратора на прикладі. Нехай потрібно сформувати рівень логічної "1" коли на входах дешифратора буде заданий код 10010110.

Для вирішення цієї задачі необхідно записати рівняння для вихідного сигналу дешифратора у наступному вигляді:

$$y = x_7 \bar{x}_6 \bar{x}_5 x_4 \bar{x}_3 x_2 x_1 \bar{x}_0 = 1.$$

Зліва розташовуються старші розряди. Змінна, що має значення "0", позначається значком з інверсією. Наприклад у старшому розряді заданого коду стоїть "1", то змінна x_7 позначена без інверсії, а наступний сьомий розряд має значення "0" і тому змінна x_6 записується як \bar{x}_6 .

Для реалізації такого дешифратора потрібно використати 4 інвертора для формування інверсних значень і логічний елемент 8І – логічний елемент з вісьмома входами. На рис. 8.6 наведена модель такого дешифратора.

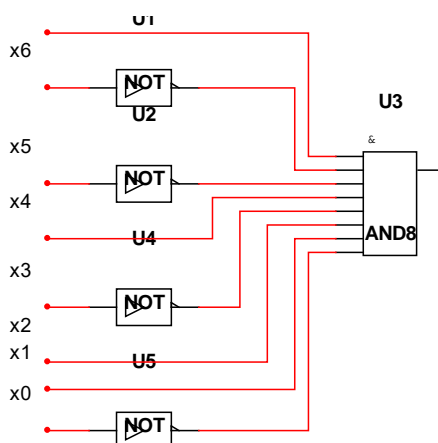


Рис. 8.6. Модель дешифратора коду 10010110

Для перевірки функціонування дешифратора треба доповнити модель деякими елементами як показано на рис. 8.7.

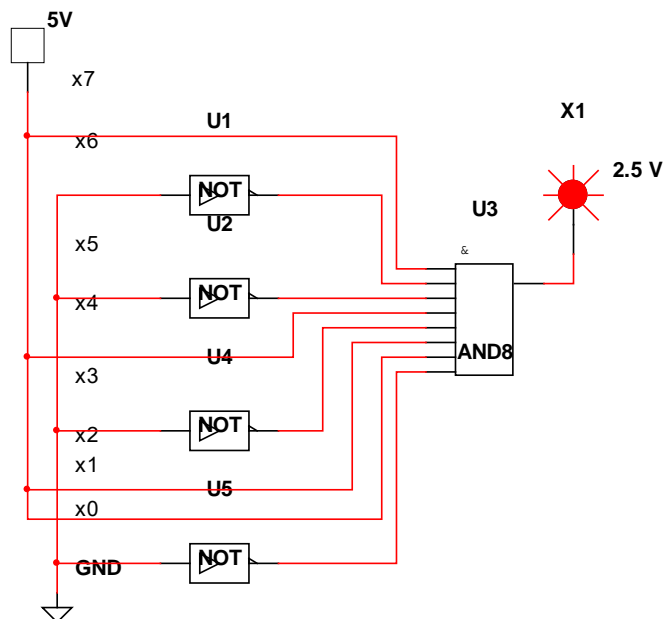


Рис. 8.7. Перевірка роботи дешифратора фіксованого коду 10010110

Для перевірки дешифратора входи інверторів під'єднані до загального проводу, а на інші входи логічного елемента подається напруга +5 В від джерела живлення VCC. Для контролю стану виходу дешифратора використаний індикатор X1 (Digital Probe). Індикатор включається при умові, що напруга на виході логічного елемента більше ніж 2,5 В (це значення можна змінити у вікні властивостей індикатора, що наведено на рис. 8.8). Для того щоб відкрити вікно властивостей потрібно двічі клацнути лівою кнопкою "мишки" по зображенню індикатора.

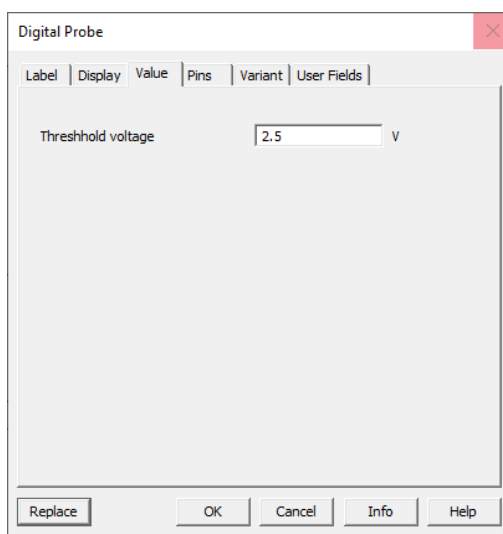


Рис. 8.8. Вікно налаштування індикатора

При відсутності логічного елементу І з 8 входами, можна змінити логічний вираз дешифратора використовуючи правило Де Моргана. Таке перетворення наведено нижче:

$$y = x_7 \bar{x}_6 \bar{x}_5 x_4 \bar{x}_3 x_2 x_1 \bar{x}_0 = \overline{\bar{x}_7 + x_6 + x_5 + \bar{x}_4 + x_3 + \bar{x}_2 + \bar{x}_1 + x_0} = 1.$$

Реалізувати такий вираз можна використовуючи логічний елемент 8АБО-НІ та 4 інвертора. Можна трансформувати вираз так, щоб використовувати логічні елементи з числом входів не більше 4-х. Трансформує вираз для виходу дешифратора:

$$y = x_7 \bar{x}_6 \bar{x}_5 x_4 \times \bar{x}_3 x_2 x_1 \bar{x}_0 = 1.$$

Дешифратор за цим виразом можна реалізувати, використовуючи 4 інвертора, 2 елемента 4І і один елемент 2І, як показано на рис. 8.9.

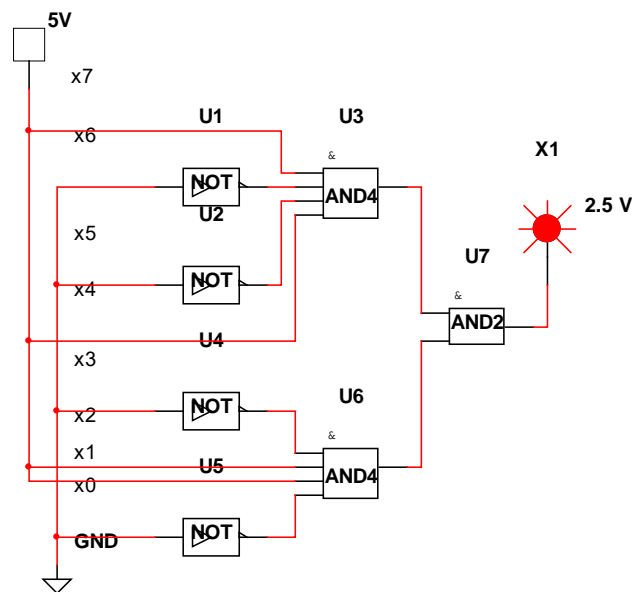


Рис. 8.9. Дешифратор коду 10010110 з використанням 3-х елементів І

Якщо потрібно сформувати дешифратор з інверсним виходом, то необхідно над виразом дешифратора поставити знак інверсії, тобто вихідний елемент дешифратора повинен мати інверсію на виході.

Використовуючи правила перетворень алгебри логіки можна реалізувати дешифратор на однакових елементах – на елементах 2І-НІ чи 2АБО-НІ.

8.2 Шифратори

Шифратором називається комбінаційна схема, що перетворює сигнал, поданий на одну з вхідних шин, у визначену кодову комбінацію на виході (операція зворотна дешифруванню). У країнах СНД такі мікросхеми позначаються буквами ИВ, наприклад К155ИВ3 (зарубіжний аналог SN74148).

За принципом роботи шифратори поділять на двійкові та пріоритетні. При збудженні одного з входів шифратора на його виході формується двійковий код відповідаючий номеру входу. Повний двійковий шифратор має 2^n входів і n виходів. Відповідність вхідного та вихідного кодів двійкового шифратора можна побачити у табл. 7.1.

Таблиця 8.1. Відповідність вхідного та вихідного кодів шифратора

Стан входу				Код на виході	
D0	D1	D2	D3	Q1	Q0
1	0	0	0	0	0
0	1	0	0	0	1
0	0	1	0	1	0
0	0	0	1	1	1

З таблиці випливає, що:

$$Q0 = \overline{D3D2D1D0} + D3\overline{D2D1D0},$$

$$Q1 = \overline{D3D2D1D0} + D3\overline{D2D1D0}.$$

Пріоритетні шифратори виконують більш складні функції. В такому шифраторі кожному з входів присвоюється пріоритет. Найчастіше входу з найменшим номер присвоюється найнижчий пріоритет. У випадку коли на декілька входів шифратора надходять сигнали то на виході формується код що відповідає входу з найвищим пріоритетом.

8.3 Мультиплексори і демюльтиплексори

8.3.1 Мультиплексори

Мультиплексором називається комбінаційна схема (КС), що має $m+2^m$ входів і один вихід, де m – число адресних входів, а 2^m – число інформаційних входів мультиплексора.

Мультиплектори (англ. multiplexer, позначається MUX) використовуються в інформаційних та інформаційно-вимірювальних системах для розділу каналів інформації у часі, тобто по черзі підключають різні джерела інформації до каналу зв'язку. Іншими словами, мультиплексор виконує функцію прийому інформації по одному з n вхідних каналів и передає її по єдиному вихідному каналу.

Еквівалентна схема мультиплексора, що має два входи й один вихід, може бути представлена у вигляді, що наведений на рис. 8.10.

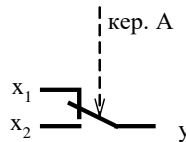


Рис. 8.10. Еквівалентна схема мультиплексора з двома входами

Входи мультиплексора поділяються на дві групи: інформаційні і керуючі (адресні). Робота такого мультиплексора описується рівнянням

$$y = x_1 \bar{A} + x_2 A$$

Якщо $A=0$ (значення сигналу на вході управління), то перемикач знаходиться в положенні x_1 , а якщо $A=1$, то перемикач знаходиться у положенні x_2 .

Принципова схема мультиплексора на два входи і один вихід наведена на рис. 8.11.

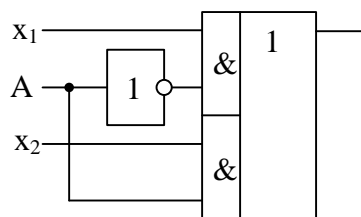


Рис. 8.11. Принципова схема мультиплексора 2×1

Позначення 2×1 (2 на 1) означає, що мультиплексор має 2 входи і 1 вихід. Приклад умовного позначення мультиплексора наведений на рис. 8.12.

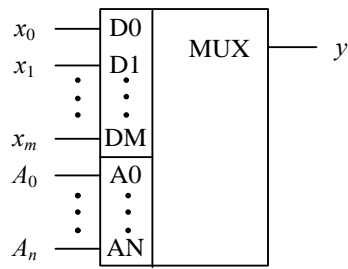


Рис. 8.12. Умовне позначення багатовходового мультиплексора

Якщо побудувати мультиплексор на 8 входів і 1 вихід, то його характеристичне рівняння буде мати вигляд:

$$y = x_0 \overline{A_0} \overline{A_1} \overline{A_2} + x_1 \overline{A_0} \overline{A_1} A_2 + x_2 \overline{A_0} A_1 \overline{A_2} + x_3 \overline{A_0} A_1 A_2 + \dots + x_7 A_0 A_1 A_2.$$

Оскільки зміна кодів на входах управління (адресних) відповідає рівнянням трьохрозрядного дешифратора, то функціональну схему мультиплексора можна зобразити так, як показано на рис. 8.13.

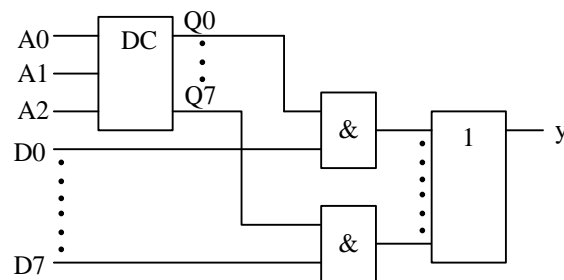


Рис. 8.13. Функціональна схема мультиплексора на 8 входів та 1 вихід

В даний час промисловістю випускаються серії мікросхем, до складу яких входять мультиплексори, що мають число адресних входів $m = 1, 2, 3$ і 4 . Мікросхеми мультиплексорів, що випускаються в межах СНД, позначаються буквами КП, наприклад КР1533КП2.

Крім мультиплексорів, що мають один вихід, можна організувати мультиплексори, що містять кілька виходів. Наприклад, мультиплексор $2 \times (4 \times 1)$ – містить 2 мультиплексори, кожний з яких містить 4 входи і 1 вихід. Умовне графічне позначення зведеного чотириканального мультиплексора наведено на рис. 8.14.

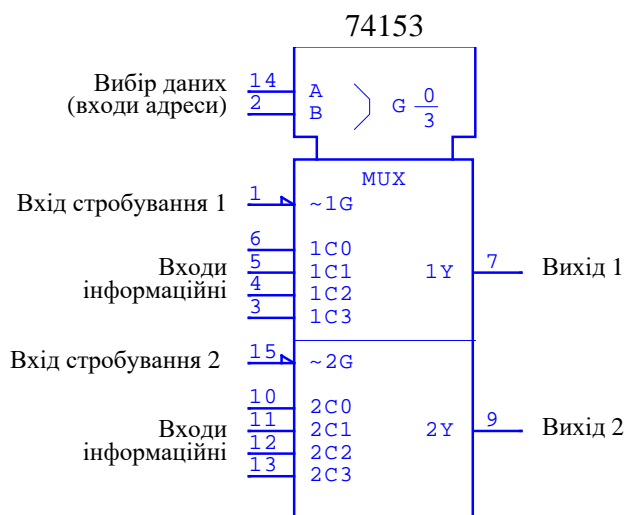


Рис. 8.14. Умовне графічне позначення зведеного 4-канального мультиплексора SN74153

8.3.2 Демультимплексори

При передаванні даних загальним каналом з поділом у часі потрібні не тільки мультиплексори, але і пристрої зворотного призначення, що розподіляють дані з одного каналу між декількома приймачами інформації. Демультимплексори виконують функцію, зворотну мультиплексорам, тобто роблять комутацію одного інформаційного вхідного сигналу на 2^m виходів, де m – число адресних входів. Мультиплексори, що виконані на основі аналогових двонаправлених ключів (наприклад, 564КП1 і 564КП2), можуть виконувати функції і демультимплексорів. Еквівалентна схема демультимплексора, що має один вхід і два виходи, наведена на рис. 8.15.

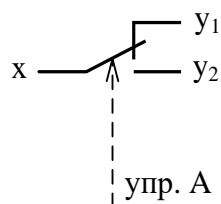


Рис. 8.15. Еквівалентна схема демультимплексора 1×2

Умовне графічне позначення демультимплексора на схемах наведено на рис. 8.16.

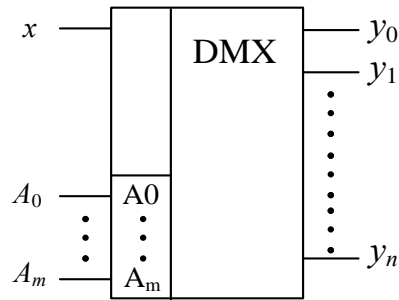


Рис. 8.16. Умовне графічне позначення демультіплексора

Число виходів демультіплексора визначається по формулі $n = 2^m$. Характеристичні рівняння демультіплексора мають вигляд:

$$\begin{aligned}
 y_0 &= x \overline{A_0} \overline{A_1} \dots \overline{A_m}, \\
 y_1 &= x \overline{A_0} \overline{A_1} \dots \overline{A_m}, \\
 y_2 &= x \overline{A_0} \overline{A_1} \dots \overline{A_m}, \\
 &\dots\dots\dots, \\
 y_n &= x \overline{A_0} \overline{A_1} \dots \overline{A_m}.
 \end{aligned}$$

При $x=1=\text{const}$ демультіплексор перетворюється в звичайний дешифратор.

Принципова схема демультіплексора 1×4 (1 вхід і 4 виходи) наведена на рис. 8.17.

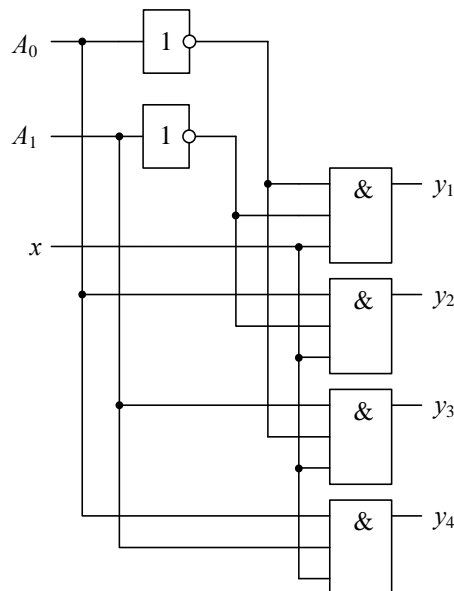


Рис. 8.17. Принципова схема демультіплексора 1×4

Мікросхеми демультимплексорів не випускаються як окрема група. Функції демультимплексорів можуть виконувати деякі дешифратори, що буде розглянуто в наступному розділі.

8.4 Мікросхеми дешифраторів, шифраторів та мультимплексорів

Промисловістю випускається велика кількість дешифраторів ТТЛ та КМОП. Розглянемо деякі з цих ІС.

8.4.1 Здвоєний дешифратор/демультимплексор 2 на 4 КР1533ИД4 (SN74LS155)

Мікросхема здвоєного дешифратора з інверсними виходами може використовуватись як:

- здвоєний дешифратор 2 на 4;
- здвоєний мультимплексор 1 на 4;
- дешифратор 3 на 8;
- демультимплексор 1 на 8.

Інверсія на виходах означає, що на активному виході формується "0", а на всіх інших виходах – "1".

Умовне графічне позначення дешифратора SN74LS155 і призначення його виводів наведено на рис. 8.18. Функціонування обох частин мультимплексора описують табл. 8.2 та 8.3.

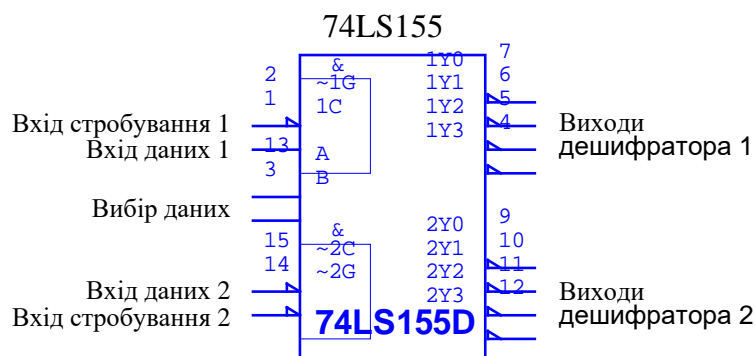


Рис. 8.18. Умовне графічне позначення і призначення виводів мультимплексора 74LS155

В таблиці функціонування прийняті наступні позначення:

- Н – високий рівень (High);
- L – низький рівень (Low);
- X – будь-який рівень.

Таблиця 8.2. Таблиця функціонування дешифратора 2×4 або демультіплексора 1×4

Входи				Виходи			
B	A	~1G	1C	1Y0	1Y2	1Y3	1Y3
X	X	H	X	H	H	H	H
L	L	L	H	L	H	H	H
H	L	L	H	H	L	H	H
L	H	L	H	H	H	L	H
H	H	L	H	H	H	H	L
X	X	X	L	H	H	H	H

Таблиця 8.3. Таблиця функціонування дешифратора 2×4 або демультіплексора 1×4

Входи				Виходи			
B	A	~2G	~2C	2Y0	2Y2	2Y3	2Y3
X	X	H	X	H	H	H	H
L	L	L	L	L	H	H	H
H	L	L	L	H	L	H	H
L	H	L	L	H	H	L	H
H	H	L	L	H	H	H	L
X	X	X	H	H	H	H	H

Мікросхему 74LS155 можна використати як дешифратор 3×8 якщо з'єднати виводи 1C та ~2C, як показано на рис. 8.19. Три інформаційні входи ABC дозволяють сформувати 8 комбінацій вхідного коду – від 000 до 111. Але **треба звернути увагу** на те, що при такому з'єднанні молодший розряд на виході такого дешифратора відповідає виходу 2Y0.

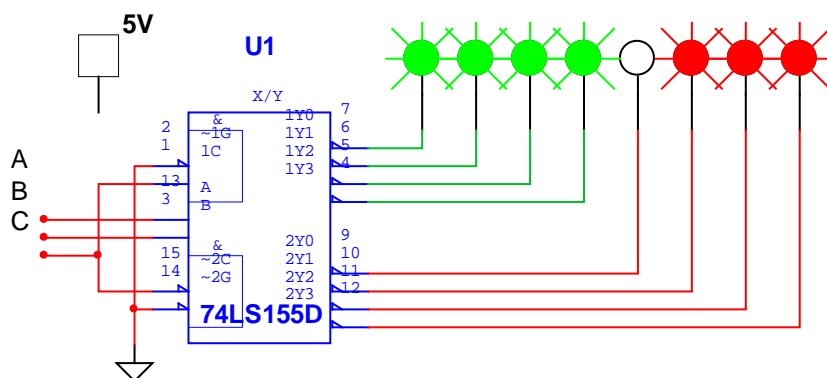


Рис. 8.19. Використання мікросхеми 74LS155 в якості дешифратора 3×8

Нумерація виходів дешифратора 3×8 нанесена на цифрових пробниках. Пробники показані на рис. 8.19 показують стани виходів дешифратора при подачі на інформаційні входи дешифратора коду 000.

Якщо на входи стробування 1G та 2G подати високий рівень (напругу живлення), то на всіх виходах дешифраторів буде встановлено високий рівень незалежно від стану інших входів.

Демультіплексор на IC 74LS155 можна реалізувати за схемою наведеною на рис. 8.20.

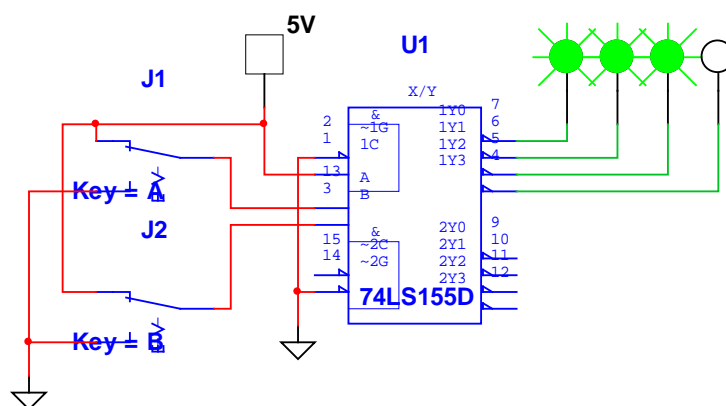


Рис. 8.20. Демультіплексор 1×4 на мікросхемі 74LS155

Входи С використовуються як входи демультіплексора, а виходи дешифратора є виходами мультіплексора з інверсією. На рис. 8.20 показано стани виходів демультіплексора при подачі на інформаційний вхід "1", а на входи управління коду 11.

8.4.2 Дешифратор 4 на 16 KP1533ИДЗ (SN74LS154)

Умовне графічне позначення дешифратора 4×16 з інверсними виходами SN74LS154 і призначення його виводів наведено на рис. 8.21.

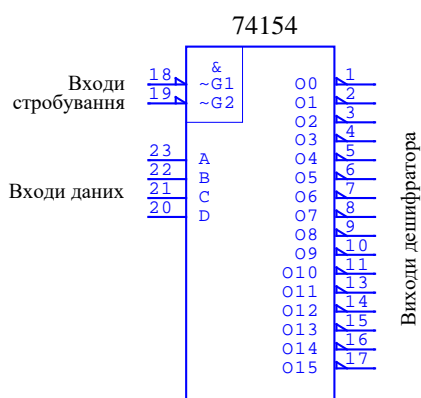


Рис. 8.21. Умовне графічне позначення дешифратора з інверсними виходами SN74LS154

При подачі на входи стробування $\sim G1$ та $\sim G2$ рівня логічного "0" виходи дешифратора активуються. На рис. 8.22 наведено модель для дослідження роботи такого дешифратора. На інформаційні входи A, B, C, D подається зростаючий двійковий код від генератора слова XWG1. Контроль вихідних сигналів дешифратора здійснюється за допомогою логічного аналізатора XLA1. З отриманих за допомогою логічного аналізатора часових діаграм видно, що на активному виході дешифратора формується логічний "0". На всіх інших виходах формується рівень логічної "1".

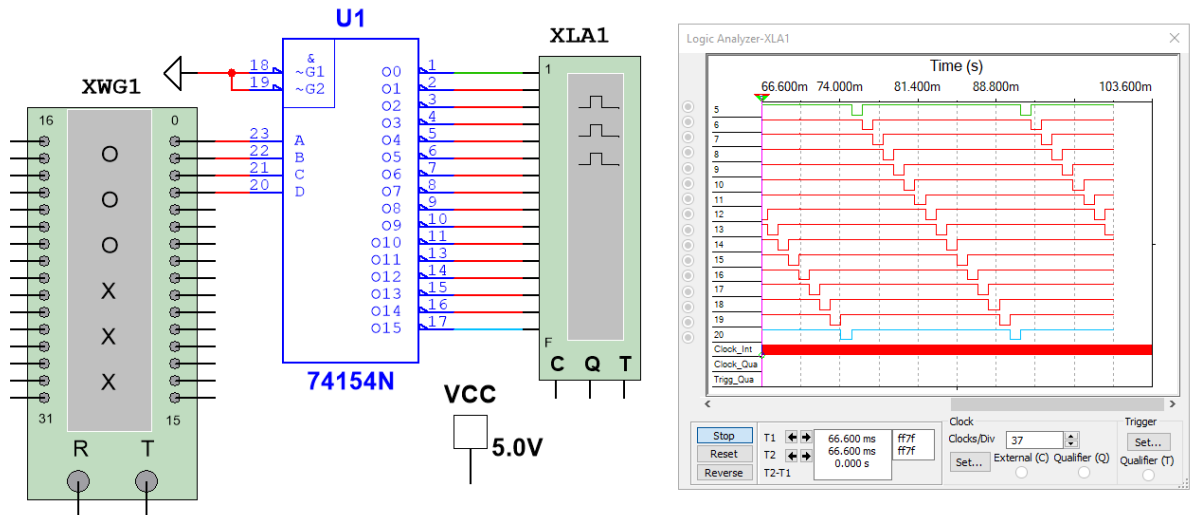


Рис. 8.22. Модель для дослідження дешифратора 4×16 з інверсними виходами SN74LS154

Мікросхему SN74LS154 можна використовувати як демультиплексор. Для цього один з входів $\sim G1$ або $\sim G2$ використовується як інформаційний, а другий вхід підключається до загального проводу. Для перевірки роботи SN74LS154 в якості демультиплексора можна використати модель наведену на рис. 8.23.

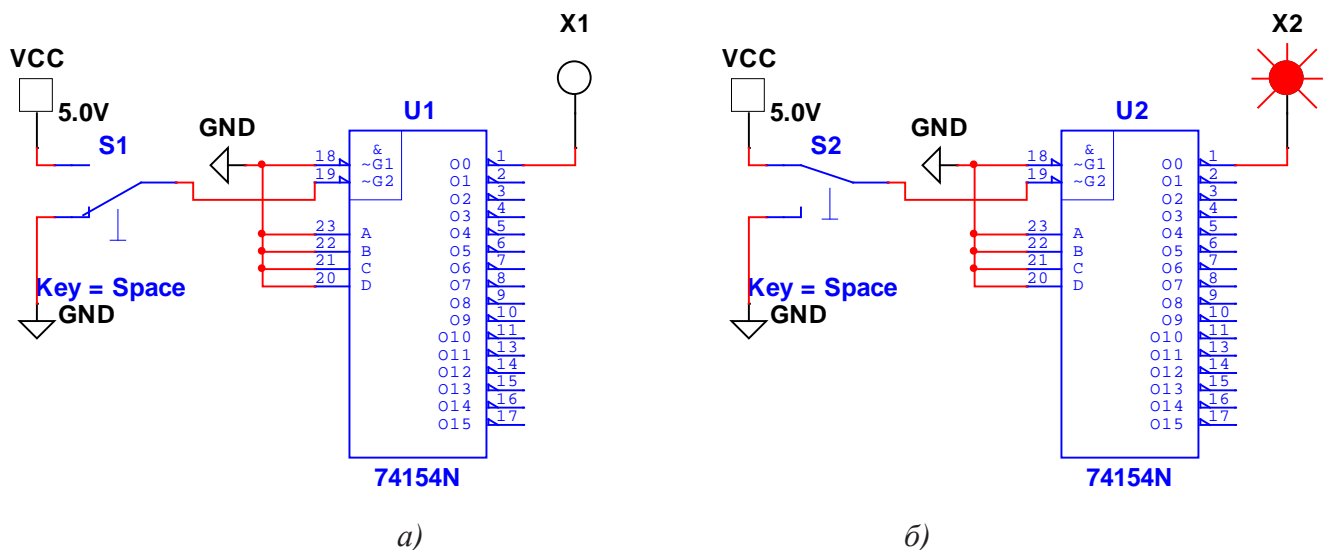


Рис. 8.23. Модель для перевірки роботи SN74LS154 в якості демультиплексора

На входи адреси (A, B, C, D) подано код 0000, тобто активним є вихід 00. Для контролю стану цього виходу використовується пробники X1 та X2. На рис. 8.23,а на вхід демультиплексора подано логічний "0" і на виході 00 теж формується "0". На рис. 8.23,б на вхід $\sim G2$ подано "1" і на виході теж формується "1". Про це свідчить світіння пробника X2. Неважко перевірити роботу демультиплексора для будь якого виходу.

8.4.3 Мультиплексор 8 на 1 KP1533КП7 (SN74ALS151)

Умовне графічне позначення восьмиканального мультиплексора та призначення його виводів наведено на рис. 8.24.

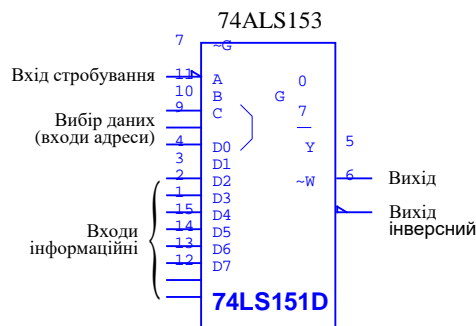


Рис. 8.24. Умовне графічне позначення восьмиканального мультиплексора SN74ALS151 та призначення його виводів

При встановленні рівня логічної "1" на вході стробування на виході 5 буде встановлено рівень логічного "0", а на виході 6 – рівень логічної "1" (незалежно від стані всіх інших входів). Мультиплексор працює при встановленні рівні логічного "0" на вході стробування.

Проілюструвати роботу мультиплексора дозволяє модель наведена на рис. 8.25.

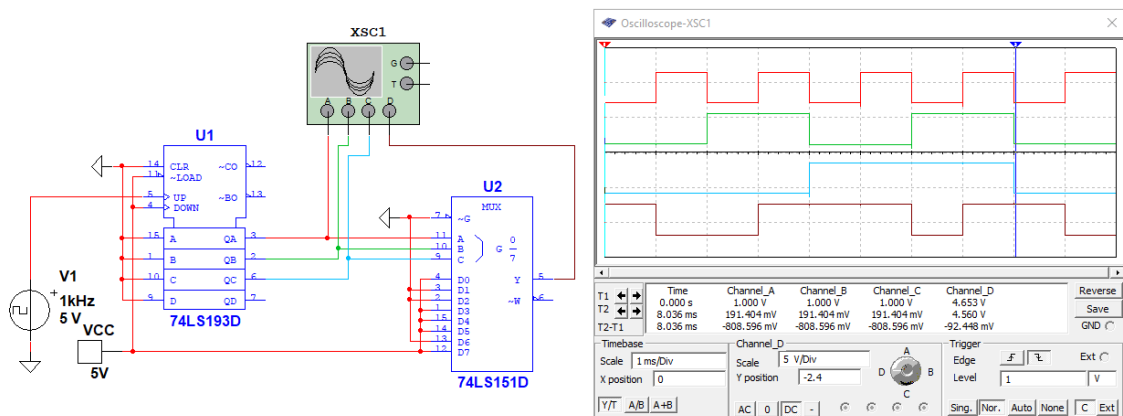


Рис. 8.25. Модель для ілюстрації роботи мультиплексора SN74ALS151

Код адреси формується пристроєм U1 (двійковим програмованим лічильником). На входи мультиплексора подано фіксований код (починаючи зі старшого розряду) 10011101. Код на виході U1 зростає у часі. Перше значення коду адреси 000, що відповідає підключенню до виходу мультиплексора входу D0, друге значення коду 001 – вхід D1. Останнє значення коду 111, що відповідає підключенню до виходу входу D7.

Порівнюючи осцилограми сигналів на входах адреси і значення коду на виході мультиплексора можна переконатися, що на виході формується послідовний код 10111001 (кожна клітинка по горизонталі відповідає новому значенню коду). Перше значення вихідного коду відповідає молодшому розряду, а остання – старшому.

Щоб послідовний код починався зі старшого розряду потрібно подати на входи адреси мультиплексора код що зменшується у часі – від 111 до 000.

8.4.4 Здвоєний мультиплексор 4 на 1 КР1533КП12 (SN74ALS253)

Умовне графічне позначення здвоєного чотирьохканального мультиплексора SN74LS253 (відрізняється тільки швидкодією від SN74ALS253) наведено на рис. 8.26.

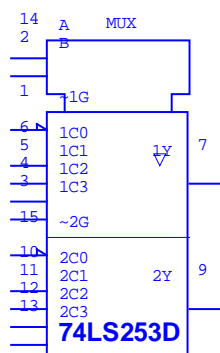


Рис. 8.26. Умовне графічне позначення здвоєного чотирьохканального мультиплексора SN74LS253

Призначення виходів аналогічне призначенню виводів мікросхеми SN74LS151.

8.4.5 Пріоритетний шифратор SN74LS148

У мікросхемі SN74LS148 вісім входів (D0...D7) і три виходи двійкового коду (A0...A2). Умовне позначення SN74LS148 наведено на рис. 8.27.

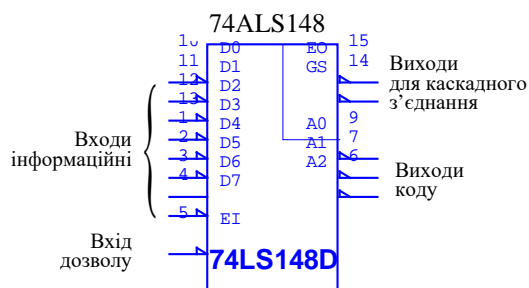


Рис. 8.27. Умовне графічне позначення пріоритетного шифратора SN74LS148

Активним рівнем для мікросхеми SN74LS148 є низький рівень напруги (інверсні виходи). Якщо на всі входи подається напруга високого рівня або на вхід D0 (вивід 10) – низького, то на всіх виходах встановлюється напруга високого рівня. Якщо напруга низького рівня подається тільки на один із входів мікросхеми SN74LS148, то на виходах формується двійковий код, що відповідає даному входу. Наприклад, якщо на вхід D6 (вивід 3) подається напруга низького рівня, то на виходах устанавлюються наступні значення: $A2 = 0$, $A1 = 0$, $A0 = 1$ (цифра 6 у двійковому коді має вигляд 110, а з урахуванням інверсії вихідних сигналів – 001).

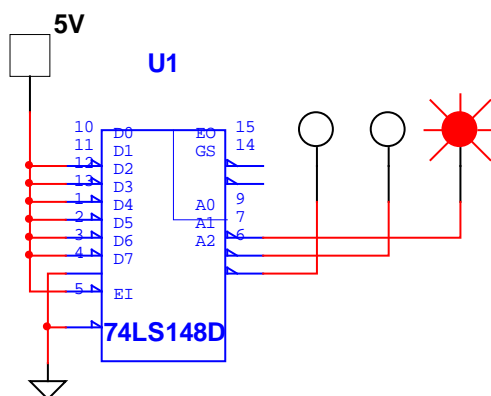


Рис. 8.28. Модель для ілюстрації роботи пріоритетного шифратора SN74LS148

Якщо на два й більше входи мікросхеми 74148 одночасно подається напруга низького рівня, то на виходах формується двійковий код, що відповідає входу з найбільшим порядковим номером (найвищим пріоритетом), а стан інших входів не враховується. Наприклад, коли на входи D1 і D4 одночасно подається напруга низького рівня, на виходах формується комбінація сигналів 011 – інверсний код двійковому коду 4 (рис. 8.29); якщо ж на входи 4 і 7 одночасно подається напруга низького рівня, на виходах устанавлюється комбінація 000. Якщо на вхід, що має більше високий пріоритет, подається напруга високого рівня, то на виходах устанавлюється

код, що відповідає наступний по пріоритеті входу, на який надійшло напругу низького рівня, поки, нарешті, на всі входи не буде подана напруга високого рівня.

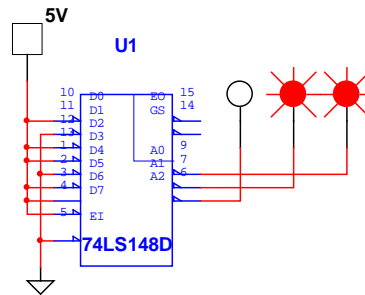


Рис. 8.29. Модель для ілюстрації роботи пріоритету при роботі шифратора SN74LS148

Крім трьох інформаційних входів у мікросхемі SN74LS148 є ще два входи для каскадного з'єднання мікросхем GS і EO. На виході GS формується напруга низького рівня, якщо рівень логічного "0" подається на який-небудь із входів. На виході EO встановлюється напруга низького рівня, коли на всі входи подається напруга високого рівня.

Виходи каскадного з'єднання й входи дозволу мікросхеми 74148 дозволяють з'єднувати модулі в каскади для прийняття великої кількості вхідних сигналів, На виході EO як і на виході GS, формується напруга високого рівня, коли така напруга подається на вхід дозволу EI. У нормальному режимі роботи на вхід EI повинна подаватися напруга низького рівня.

На рис. 8.30 наведено приклад реалізації пріоритетного шифратора на 16 входів з використанням двох мікросхем SN74LS148. До нуля підключений вхід D11, що відповідає двійковому коду 1011. Враховуючи, що на виході шифратора формується інверсне значення коду, тобто 0100, можна пересвідчитись в цьому на рис. 8.30.

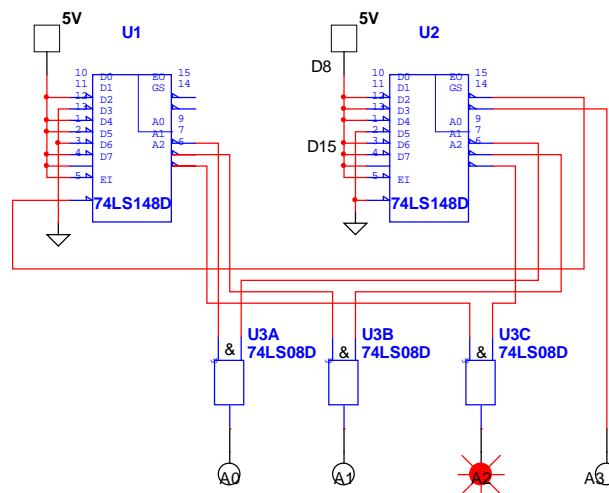


Рис. 8.30. Пріоритетний шифратор на 16 входів з використання мікросхем SN74LS148

8.5 Суматори кодів

8.5.1 Загальні поняття про суматори кодів

Суматором називається комбінаційний логічний пристрій, призначений для виконання операції арифметичного додавання чисел представлених у вигляді двійкових кодів.

Суматори є одним з основних вузлів арифметико-логічного пристрою. Термін суматор охоплює широкий спектр пристроїв, починаючи з найпростіших логічних схем, до складних цифрових вузлів. Спільним для всіх цих пристроїв є арифметичне додавання чисел, представлених у двійковій формі. Класифікація суматорів може бути виконана по різних ознаках.

По числу розрядів розрізняють: напівсуматори, однорозрядні суматори, багаторозрядні суматори.

Напівсуматором називається пристрій, призначений для додавання двох однорозрядних слів, який має два входи і два виходи і що формує із вхідних сигналів сигнали суми і переносу в старший розряд.

Однорозрядним суматором називається пристрій, призначений для додавання двох однорозрядних слів, який має три входи і два виходи, і формуючий із сигналів вхідних доданків і сигналу переносу з молодших розрядів сигнали суми і переносу в старший розряд.

Багаторозрядним суматором називається пристрій, призначений для додавання двох багато розрядних слів, який формує на виході код суми і сигнал переносу у випадку, якщо результат додавання не може бути представлений кодом, розрядність якого збігається з розрядністю кодів доданків.

Багаторозрядні суматори підрозділяються на послідовні і паралельні. В послідовних суматорах операція додавання виконується послідовно розряд за розрядом, починаючи з молодшого. В паралельних всі розряди вхідних кодів сумуються одночасно.

Розрізняють комбінаційні суматори – пристрої, які не мають власної пам'яті, та накопичуючі суматори з власною внутрішньою пам'яттю, у якій акумулюються результати виконаної операції. При цьому кожний черговий доданок додається до того значення, яке зберігалось у пристрої.

По способу тактування розрізняють синхронні й асинхронні суматори. В синхронних суматорів час виконання операції арифметичного підсумовування двох кодів не залежить від виду самих кодів і завжди залишається постійним. В асинхронних суматорів час виконання операції залежить від виду доданків. Тому по завершенню виконання підсумовування необхідно виробляти спеціальний сигнал завершення операції.

В залежності від використовуваної системи числення розрізняють двійкові, двійково-десяткові й інші типи суматорів.

Одержимо функції, що описують операції арифметичного додавання двох однорозрядних двійкових кодів x_1 , і x_0 . Алгоритм її виконання пояснюється таблицею істинності (табл. 8.4). У графі s (сума) наведено значення результату додавання, а в графі p (перенос) отримане при цьому значення переносу в старший розряд. Варто звернути увагу на відмінності результатів, одержуваних при арифметичному і логічному додаваннях. При логічному додаванні в останньому рядку стовпця s було би присутнє значення 1. Ця відмінність результатів даних операцій не дозволяє застосувати для арифметичного підсумовування елемент АБО, а вимагає розробки спеціалізованого пристрою.

Таблиця 8.4. Формування суми однорозрядних двійкових чисел

x_1	x_0	s	p
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Значення сигналу переносу, рівного одиниці в останньому рядку таблиці 7.2 говорить про те, що результат, отриманий при виконанні операції арифметичного додавання, у цьому випадку не може бути представлений двійковим кодом, розрядність якого дорівнює розрядності слів доданків. Для представлення результату необхідне слово, що має на один розряд більше, ніж коди доданків.

Використовуючи приведену таблицю, легко записати систему функцій алгебри логіки, що описують алгоритм операції арифметичного додавання.

$$\begin{aligned} s &= \bar{a}b + a\bar{b} = x_1 \oplus x_0, \\ p &= ab. \end{aligned} \quad (8.1)$$

Для її технічної реалізації необхідні логічні елементи І та виключне АБО (рис. 8.31).

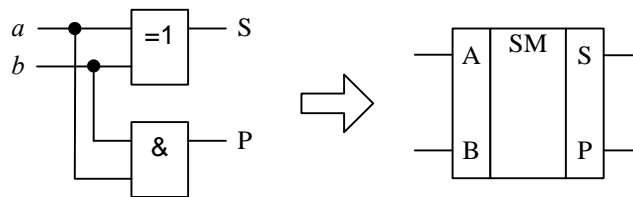


Рис. 8.31. Напівсуматор та його умовне позначення

Для виконання арифметичних операцій використовуються арифметичні суматори. На рис. 8.32 наведено умовне позначення однорозрядного арифметичного суматора.

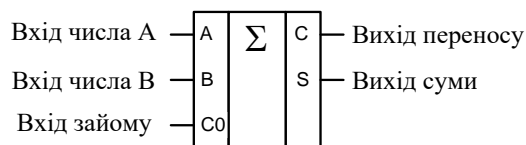


Рис. 8.32. Умовне позначення однорозрядного арифметичного суматора

Робота суматора описується такими рівняннями:

$$S = \bar{a}\bar{b}c + a\bar{b}\bar{c} + \bar{a}b\bar{c} + abc;$$

$$P = ab + ac + bc.$$

де a, b і c – додавані числа; S – сума, P – перенос.

Операція додавання додатних двійкових чисел визначається правилами двійкової арифметики:

1. Значення переносу P_{n+1} у $(n + 1)$ -й розряд дорівнює 1, якщо дві або три вхідних змінних дорівнюють 1.

2. Значення суми S_n n -го розряду дорівнює 1, якщо непарне число вхідних змінних дорівнює 1.

3. Значення переносу в перший розряд завжди дорівнює 0, тобто $C0 \equiv 0$. Якщо при додаванні розрядна сітка не переповнюється, то перенос у старший $(n + 1)$ -й розряд відсутній. У загальному випадку необхідно робити додавання і віднімання як додатних, так і від'ємних чисел.

Таблиця істинності (табл. 8.4), що описує закон функціонування однорозрядного двійкового суматора, складається на підставі правила додавання додатних чисел.

Таблиця 8.4. Таблиця істинності однорозрядного двійкового суматора

i	x_p	y_p	z_p	s_p	z_{p+1}
0	0	0	0	0	0
1	0	0	1	1	0
2	0	1	0	1	0
3	0	1	1	0	1
4	1	0	0	1	0
5	1	0	1	0	1
6	1	1	0	0	1
7	1	1	1	1	1

Один з можливих варіантів реалізації однорозрядного двійкового суматора наведено на рис. 8.32.

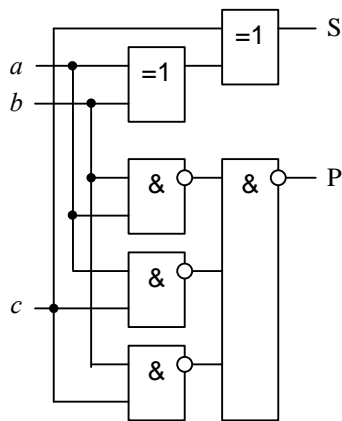


Рис. 8.32. Схема однорозрядного двійкового суматора

Для додавання двох n -розрядних чисел X і Y потрібно використовувати n однорозрядних суматорів. На рис. 8.33 наведена функціональна схема суматора для трьохрозрядних чисел X і Y .

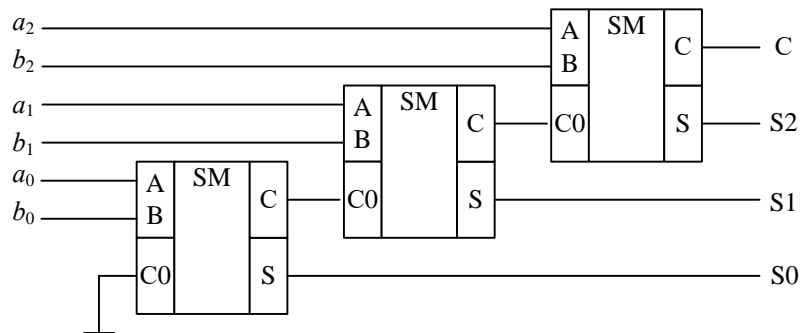


Рис. 8.33. Функціональна схема суматора трьохрозрядних чисел

Найчастіше для виконання операцій додавання використовуються повні чотирирозрядні суматори, які можуть використовуватись як для додавання 4-розрядних чисел так і чисел з більшою кількістю розрядів. Умовне графічне позначення повного 4-розрядного суматора SN74LS83 наведено на рис. 8.34.

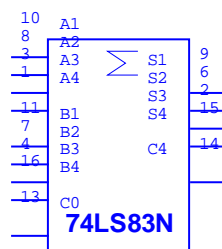


Рис. 8.34. Умовне графічне позначення повного 4-розрядного суматора SN74LS83

8.5.2 Використання суматорів

8.5.2.1 Використання суматорів для додавання двох чисел

Розглянемо додавання двох чисел на прикладі. Нехай число $a = 5$ а число $b = 6$ у десятковому коді. Переведемо ці числа у двійковий код – $5 \Rightarrow 0101$, $6 \Rightarrow 0110$. Перенос у молодший розряд $c = 0$.

Знайдемо суму цих чисел

$$\begin{array}{r} 0101 \\ + \\ 0110 \\ \hline 1011 \end{array}$$

Отримане значення відповідає десятковому числу 11. Вихід переносу у 5-й розряд дорівнює 0. Цю операцію легко перевірити шляхом моделювання (рис. 8.35).

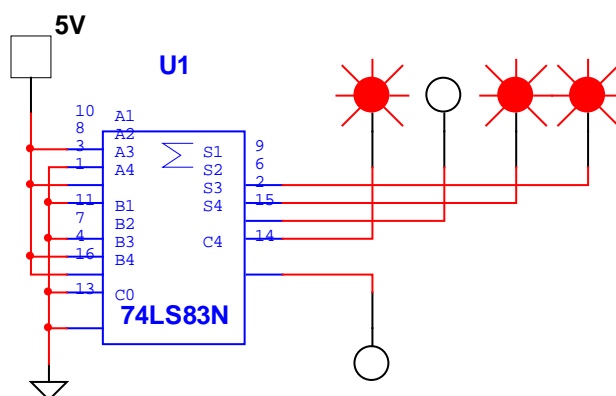


Рис. 8.35. Модель для перевірки результатів додавання двох чисел 0101 і 0110

Отриманий моделюванням результат співпадає з розрахованим.

8.5.2.2 Використання суматорів для віднімання чисел

Щоб відняти одне число від іншого необхідно число яке потрібно відняти представити в додатковому коді, тобто проінтегрувати усі розряди числа і додати "1" у молодший розряд.

Розглянемо такий приклад. Нехай потрібно знайти різницю $a - b$, де $a = 6$, $b = 5$.

Переводимо число 5 у двійковий код $5 \Rightarrow 0101$ і отримане число переводимо у додатковий код $0101 \Rightarrow 1010 + 0001 = 1011$.

Знайдемо суму цих чисел

$$\begin{array}{r} 0110 \\ + \\ 1011 \\ \hline 1 \leftarrow 0001 \end{array}$$

Отримаємо суму рівною 1 і перенос у старший розряд 1.

Модель для перевірки операції віднімання наведена на рис. 8.36.

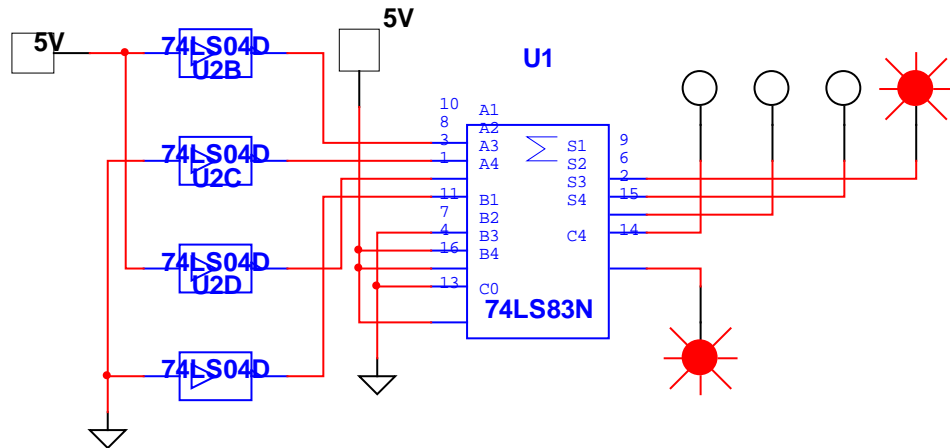


Рис. 8.36. Модель для перевірки результатів віднімання двох чисел 0110 і 0101

Як слідує з рис. 8.36 результат співпадає з розрахованим значенням.

8.6 Схеми порівняння кодів або цифрові компаратори

Схемою порівняння кодів або цифровим компаратором називається комбінаційний логічний пристрій, призначений для порівняння чисел, представлених у виді двійкових кодів. Число входів компаратора визначається розрядністю порівнюваних кодів.

Цифрові компаратори що реалізуються у вигляді цифрових схем формують на виходах три ознаки: $A = B$, $A > B$ та $A < B$, де A і B – значення кодів, що порівнюються.

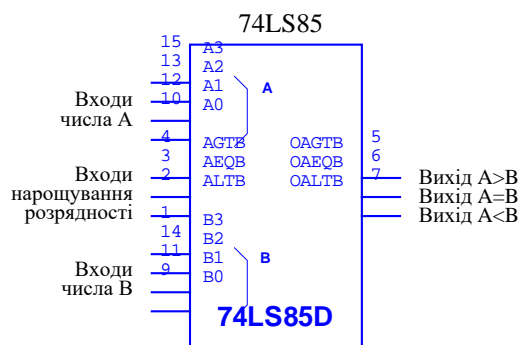


Рис. 8.34. Функціональне позначення та призначення виводів цифрового компаратора

Найбільш поширений спосіб зіставлення двох чисел, заздалегідь записаних в регістри, заснований на їх порозрядному порівнянні починаючи із старшого розряду, тобто використовується принцип послідовного порівняння кодів багаторозрядних чисел. Якщо порівнюються два числа $A(a_n, a_{n-1}, \dots, a_1)$ і $B(b_n, b_{n-1}, \dots, b_1)$, то умовою їх рівнозначності ($A = B$) є рівність кодів усіх однойменних розрядів, а умовою нерівнозначності ($A \neq B$) – нерівність кодів хоч би у одному розряді, при цьому $A > B$, якщо $a = 1, b = 0$. Звідси булеві функції наберуть вигляду:

$$\begin{aligned} Q_{a_i=b_i} &= \bar{a}_i \bar{b}_i + a_i b_i, \\ Q_{a_i > b_i} &= a_i \bar{b}_i, \\ Q_{a_i < b_i} &= \bar{a}_i b_i. \end{aligned}$$

Реалізувати цифровий компаратор, що реалізує на виході тільки ознаку $A = B$ можна використавши одну з двох схем, що наведені на рис. 8.35.

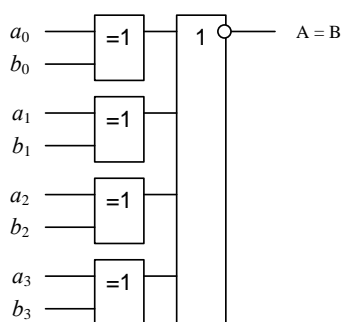


Рис. 8.35. Схеми формування ознаки рівнозначності 4-розрядних кодів

Оскільки логічний елемент виключне АБО дає змогу сформувати ознаки рівності або нерівності вхідних змінних і не дозволяє сформувати ознаку яка змінна більша, то використовуючи елементи виключне АБО неможливо побудувати цифровий компаратор, що реалізує всі функції.

Щоб сформувати ознаки $A > B$ та $A < B$ за допомогою логічних елементів знадобиться досить складна схема. Найбільш зручно будувати схеми порівняння кодів з використанням суматорів. Якщо коди що порівнюються однакові, то різниця їх значень дорівнює 0. Інші дві ознаки теж нескладно сформувати.

Розглянемо на прикладі яким чином можна побудувати схему порівняння кодів з використанням суматора.

Для цього здійснимо операцію віднімання над двома 4-розрядними числами для 3-х випадків: $A = B$, $A > B$ та $A < B$. Нагадаємо, щоб відняти одне число від іншого необхідно один з

доданків представити в додатковому коді, тобто проінвертувати всі розряди числа і додати 1 у молодший розряд.

Перший випадок $A = B$. Нехай $A = B = 5$ (0101 у двійковому коді).

Представимо число B у додатковому коді:

$$\begin{array}{r} 1010 \\ + 1 \\ \hline 1011 \end{array}$$

Тобто сума дорівнює $s = 1011$, а перенос $p = 0$. Тепер складемо ці два числа:

$$\begin{array}{r} 0101 \\ +1011 \\ \hline 1\ 0000 \end{array}$$

Для отриманого результату $s = 0000$, а перенос $p = 1$, тобто у загальному вигляді $s = 0, p = 1$.

Другий випадок $A > B$. Нехай $A = 6$ (0110 у двійковому коді), а $B = 5$. Тоді різниця A і B буде дорівнювати:

$$\begin{array}{r} 0110 \\ +1011 \\ \hline 1\ 0001 \end{array}$$

Для отриманого результату $s = 0001$, а перенос $p = 1$, тобто у загальному вигляді $s \neq 0, p = 1$.

Третій випадок $A < B$. Нехай $A = 5$, а $B = 6$. Число B у додатковому коді дорівнює 1010.

Тоді різниця A і B буде дорівнювати:

$$\begin{array}{r} 0101 \\ +1010 \\ \hline 0\ 1111 \end{array}$$

Для отриманого результату $s = 1111$, а перенос $p = 0$, тобто у загальному вигляді $s \neq 0, p = 0$.

З урахуванням цих результатів побудована схема порівняння кодів з використанням повного 4-розрядного суматора, що наведена на рис. 8.36.

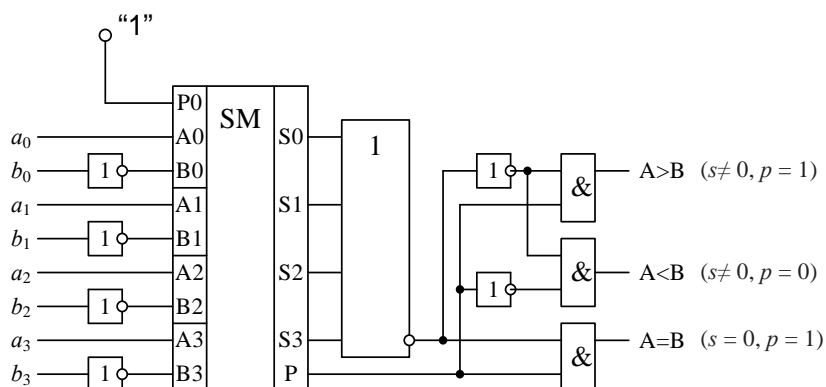


Рис. 8.36. Принципова схема порівняння 4-розрядних кодів з використанням суматора

Однак зручніше використовувати для порівняння кодів інтегральні схеми цифрових компараторів SN74LS85 (рис. 8.34). Використання таких мікросхем дозволяє порівнювати коди з кількістю розрядів 4, 8, 12 і т.д. На рис. 8.37 наведена модель для порівняння двох 4-розрядних кодів.

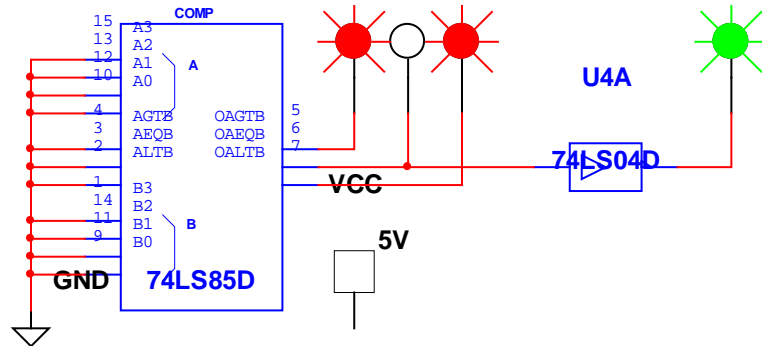


Рис. 8.37. Модель для порівняння 4-розрядних кодів з використанням цифрового компаратора SN74LS85

З рис. 8.37 слідує, що на виході QAЕQB ($A = B$) при однакових кодах на входах формується рівень логічного "0". Тому для формування "1" необхідно додати інвертор на виході схеми.

Реакцію цифрового компаратора на співвідношення $A > B$ та $A < B$ ілюструє модель що наведена на рис. 8.38.

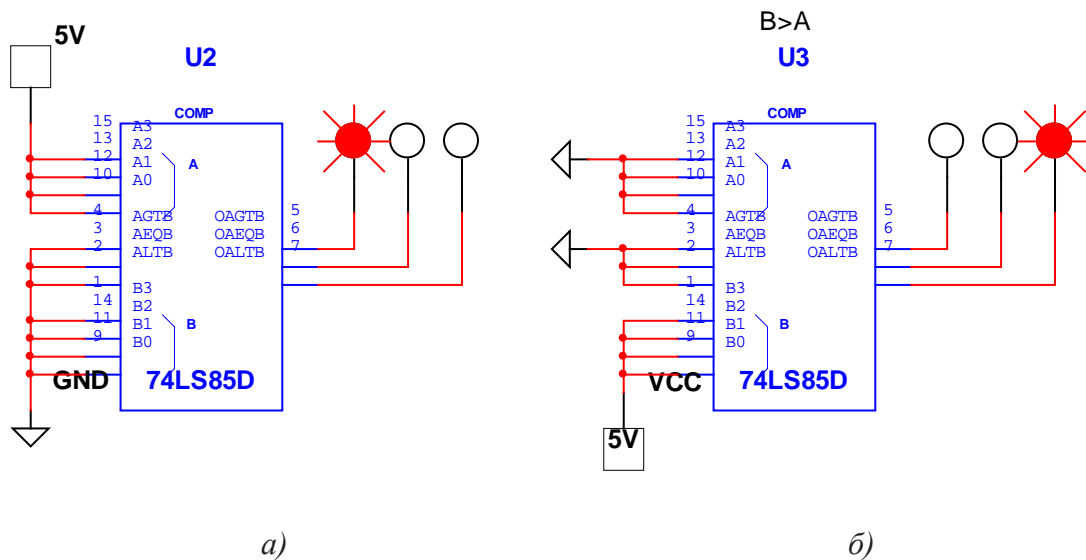


Рис. 8.38. Модель для перевірки станів компаратора при співвідношеннях кодів $A > B$ (а) та $A < B$ (б)

Використовуючи входи нарощування розрядів можна побудувати цифровий компаратор з більшою кількістю розрядів. На рис. 8.39 наведена модель для порівняння 12-розрядних кодів з використанням цифрового компаратора SN74LS85.

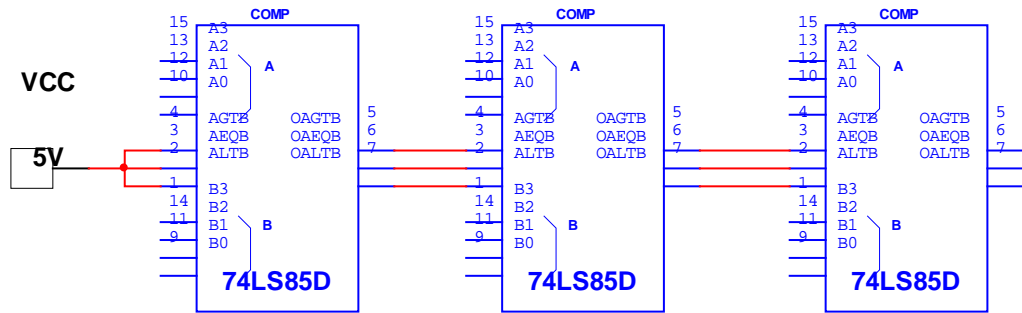


Рис. 8.39. Модель для порівняння 12-розрядних кодів з використанням цифрових компараторів SN74LS85

8.7 "Небезпечні змагання" у комбінаційних пристроях

Інерційність реальних логічних елементів приводить до того, що вихідні сигнали з'являються після зміни перехідних процесів через якийсь час, обумовлений тривалістю перехідних процесів. Найважливішим параметром, що характеризує інерційність логічного елемента, є середній час затримки вихідного сигналу стосовно вхідного $t_{з.с.р.}$.

Можна логічний елемент представити складеним з двох частин – логічного елемента – безінерційного елемента, що виконує логічні функції, й елемента затримки D.

У різних частинах комбінаційного пристрою, у залежності від числа елементів, що послідовно переключаються під дією вхідного сигналу, перехідний процес буде закінчуватися в різний час.

На виході комбінаційного пристрою можлива поява завад, що порушують роботу пристроїв, що під'єднуються до його виходів. Розглянемо схему комбінаційного пристрою, що представлена на рис. 8.40. Характеристичне рівняння цього пристрою має вигляд:

$$y = x_3 x_1 x_4 x_2.$$

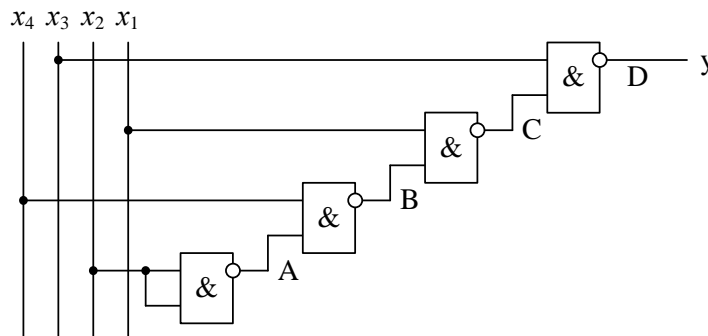


Рис. 8.40. Комбінаційний пристрій з "небезпечними змаганнями"

Часові діаграми, що ілюструють роботу цієї схеми наведені на рис. 8.41.

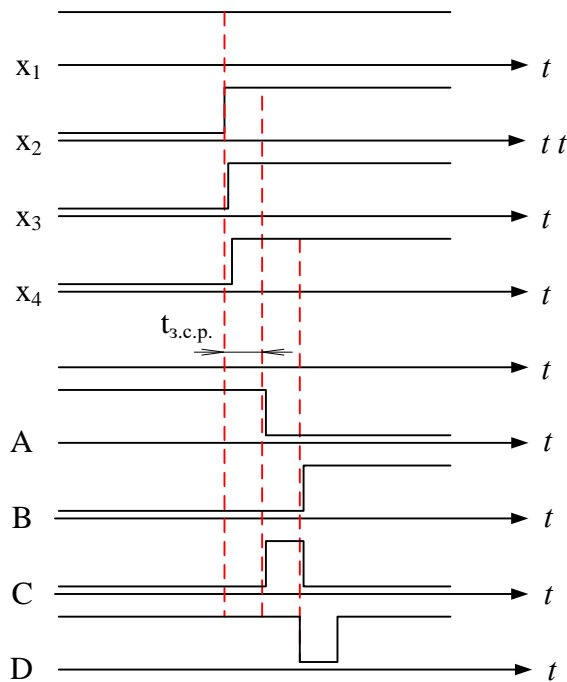


Рис. 8.41. Часові діаграми роботи схеми пристрою з "небезпечними змаганнями"

При зміні вхідного сигналу з 1000 на 1111 значення вихідного сигналу повинне зберегтися рівним 1, однак, на виході комбінаційного пристрою на час $3t_{з.с.р.}$ з'являється імпульс завад, обумовленої затримками, що вносять логічні елементи. Якщо така завада порушує роботу включеного на виході пристрою, то маємо справу з "небезпечними станами".

Для боротьби з небезпечними станами вживають наступних заходів:

1. Включають на виході згладжуючий фільтр, наприклад, інтегруюче коло (використовують рідко).

2. Вводять синхронну передачу сигналів від одного пристрою до іншого за допомогою спеціальних імпульсів синхронізації, що визначають моменти передавання інформації. Пауза між імпульсами синхронізації вибирається такою, щоб за її час закінчилися перехідні процеси і на виході пристрою установилися стаціонарні значення сигналів.

7.7 Контрольні запитання

1. Яку функцію виконує мультиплексор?
2. Запишіть рівняння вихідного сигналу мультиплексора 4×1 .
3. Яку функцію виконує демультиплексор? Які мікросхеми випускаються для реалізації

демультиплексорів?

4. За якими структурними схемами будуються дешифратори?
5. В чому різниця між структурними схемами лінійного, прямокутного та пірамідального дешифраторів?
6. Для чого призначений шифратор?
7. Що означає термін пріоритетний шифратор?
8. Чим відрізняються напівсуматор від однорозрядного суматора?
9. Яке призначення цифрового компаратора?
10. Чи можна використовуючи елементи виключне АБО побудувати цифровий компаратор?
11. Що означає термін "небезпечні змагання"? Чим вони небезпечні?

9 ТРИГЕРНІ ЕЛЕМЕНТИ

9.1 Призначення та класифікація тригерів

Тригер являє собою пристрій з двома стійкими станами, що містить запам'ятовуючий елемент (власне тригер) і схему управління. Схема управління перетворює інформацію що надходить на її входи в комбінацію сигналів, що впливають на входи власне тригера, стан якого характеризує пристрій в цілому. Можливі і більш прості варіанти тригерів, наприклад такі, в яких взагалі відсутня схема управління.

Власне тригер називають ще бістабільним пристроєм, або фіксатором. Здатність запам'ятовувати і зберігати інформацію визначила цілий клас пристроїв.

Тригери розрізняються:

- за функціональною ознакою;
- за способом запису інформації в тригер.

Функціональний ознака визначає тип тригера, тобто його логічне рівняння, що характеризує стан входів і виходів тригера до і після його спрацьовування.

Спосіб запису інформації в тригер визначає часову діаграму його роботи. За цією ознакою тригери поділяються на дві групи: асинхронні і синхронні. У асинхронні тригери запис інформації здійснюється безпосередньо з надходженням інформаційного сигналу на його вхід. Запис інформації в синхронні (тактуємі) тригери здійснюється тільки за наявності дозволяючого тактового імпульсу на додатковий тактовий вхід. Тактуємі тригери, в свою чергу, поділяються на тригери, які працюють за рівнем тактового імпульсу (тригери із статичним управлінням) – прийом інформації відбувається протягом всієї тривалості імпульсу, і на тригери з динамічним входом – запис інформації проводиться по фронту або спаду тактового імпульсу. В інший час, незалежно від рівня тактового імпульсу тригер не сприймає інформаційні сигнали, а отже, не змінює свого стану.

У зарубіжній інженерній практиці всі тригерні схеми розділяються на дві групи.

Перша з них – **flip-flop** (синхронні) – характеризується тим, що вибірка вхідних сигналів і відповідна зміна виходів визначається в моменти дії тактових сигналів (синхронні тригери).

Особливість другої групи схем – **latch** (асинхронні) – полягає в тому, що вони змінюють свій стан при зміні вхідних сигналів незалежно від наявності чи відсутності тактових сигналів.

Тригери відносяться до класу пристроїв, що мають так званий парафазний вихід. Це означає, що стан тригера подається одночасно прямим і інверсним значеннями на його виходах Q і \bar{Q} (Q і \bar{Q} – внутрішні змінні).

Вихідні значення стану тригера в таблиці перемикань (істинності) прийнято відображати наступними символами:

- $0 - (Q = 0, \bar{Q} = 1)$;
- $1 - (Q = 1, \bar{Q} = 0)$;
- Q – стан тригера не змінюється при зміні інформації на його вході;
- $Q^n = Q^{n+1}$ або $Q^t = Q^{t+1}$;
- \bar{Q} – стан тригера змінюється на протилежний;
- X – невизначений стан тригера (цим символом позначається також заборонена комбінація значень змінних на вході тригера).

Залежність значень сигналів на виходах тригера від значень сигналів на його входах видається, як правило, у вигляді таблиці переходів тригера. Загальне число комбінацій змінних на вході дорівнює 2^n , де n – число зовнішніх змінних. При кожному наборі зовнішніх змінних тригер може знаходитися в одному з двох стійких станів. Таким чином, загальна кількість рядків у таблиці дорівнює $2 \cdot 2^n$. Повну таблицю переходів тригера, як правило, не використовують, оскільки вона ускладнює сприйняття. Скорочення таблиці виконується за допомогою виключення тих станів, які є очевидними для нормального функціонування тригера і характерними для всіх типів тригерів або тригерів даного класу.

Відомо, що теоретично можна створити 5^{2^n} типів тригерів, де n – число зовнішніх змінних. Проте практичне застосування знайшло обмежена кількість типів, серед яких найбільш поширені, наприклад, RS, T, D, JK та комбіновані RSD і RSJK-тригери.

9.2 Асинхронні та синхронні RS-тригери

9.2.1 Асинхронний RS-тригер

RS-тригером називається логічний пристрій з двома стійкими станами, що має таких два інформаційних входи R (reset – скидання у початковий стан, за який прийнято "0") і S (set – встановлення у "1"), що при

$S = 1, R = 0$ тригер встановлюється у стан "1",

$R = 1, S = 0$ тригер встановлюється у стан "0",

$R = 0, S = 0$ тригер зберігає попередній стан $Q^t = Q^{t+1}$,

а стан $R = 1, S = 1$ – заборонений.

Зміна станів RS-тригера наведена в табл. 9.1, а умовне графічне позначення на схемах – на рис. 9.1.

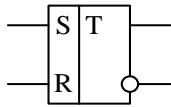


Рис. 9.1. Умовне графічне позначення RS-тригера

Таблиця 9.1. Таблиця переходів RS-тригера

S	R	Q^t	Q^{t+1}
1	0	1	1
		0	1
0	1	1	0
		0	0
0	0	1	1
		0	0
1	1	X	

Одновременна подача двох активних сигналів на входи S і R заборонена, а якщо така ситуація все ж виникає, то стан тригера вважається невизначеним.

Зміну станів тригера можна показати за допомогою часових діаграм сигналів на його входах та виході (рис. 9.2).

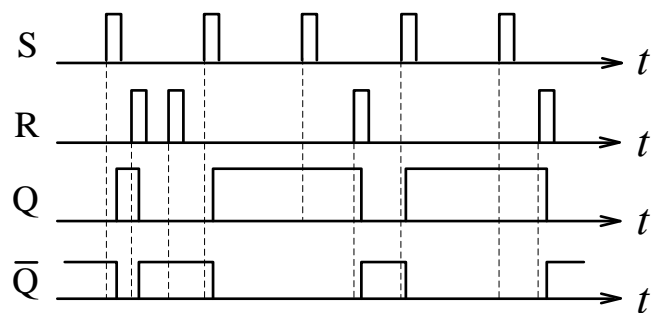


Рис. 9.2. Часові діаграми сигналів на входах та виходах RS-тригера

На рис. 9.2 показано, що тригер перемикається з деякою затримкою, величина якої залежить від технології виготовлення та серії інтегральних мікросхем. Практично, в залежності від серії, затримка може складати від 10 до 300 нс.

Ще одна форма опису функціонування тригера, це його характеристичне рівняння

$$Q^{t+1} = S + \bar{R}Q^t. \quad (9.1)$$

Вибравши як елементну базу базис АБО-НІ, перетворимо (9.1), використовуючи закон заперечення і правило де Моргана, до виду $Q_{t+1} = \overline{R + S + \bar{Q}_t}$, $\bar{Q}_{t+1} = \overline{S + R + \bar{Q}_t}$.

Схема, що відповідає цьому виразу, наведена на рис. 9.3.

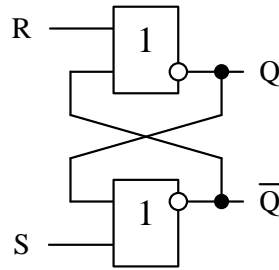


Рис. 9.3. Принципова схема RS-тригера

9.2.2 Асинхронный RS-триггер з інверсними входами

RS-тригером з інверсними входами називається логічний пристрій з двома стійкими станами, що має таких два інформаційних входи R (reset – скидання у початковий стан, за який прийнято "0") і S (set – встановлення у "1"), що при

$S = 0, R = 1$ тригер встановлюється у стан "1",

$R = 0, S = 1$ тригер встановлюється у стан "0",

$R = 1, S = 1$ тригер зберігає попередній стан $Q^t = Q^{t+1}$,

а стан $R = S = 0$ – заборонений.

Зміна станів RS-тригера наведена в табл. 9.2, а умовне графічне позначення на схемах – на рис. 9.4.

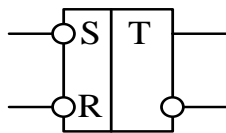


Рис. 9.4. Умовне графічне позначення RS-тригера з інверсними входами

Таблиця 9.2. Таблиця переходів RS-тригера з інверсними входами

\bar{S}	\bar{R}	Q^t	Q^{t+1}
0	0	1	1
		0	1
1	0	1	0
		0	0
1	1	1	1
		0	0
0	0	X	

Одновременна подача двох активних сигналів (для цього типу тригерів це рівень логічного "0") на входи S і R заборонена, а якщо така ситуація все ж виникає, то стан тригера вважається невизначеним.

Зміну станів тригера можна показати за допомогою часових діаграм сигналів на його входах та виході (рис. 9.5).

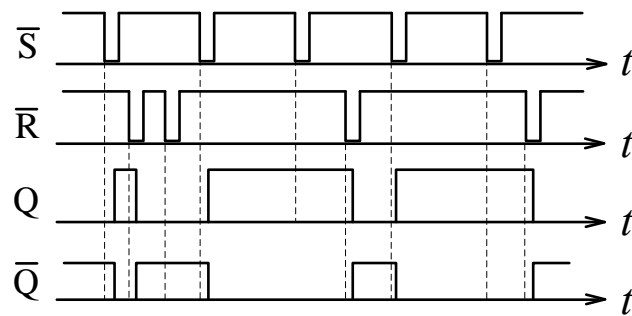


Рис. 9.5. Часові діаграми роботи RS-тригера з інверсними входами

Вибравши як елементну базу базис І–НІ, перетворимо (8.1), використовуючи правило де Моргана $Q_{t+1} = \overline{\overline{S} \overline{R} Q_t}$, $\overline{R} + \overline{S} = 1$.

Схема RS-тригера з інверсними входами побудована в базисі І–НІ наведена на рис. 9.6.

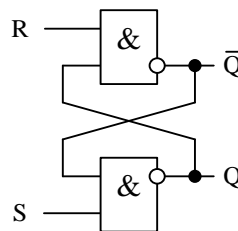


Рис. 9.6. Принципова схема RS-тригера з інверсними входами

9.2.3 Синхронний RS-тригер

На відміну від асинхронних тригерів, що перемикаються при подачі на один з входів активного рівня, синхронний тригер перемикається тільки при наявності дозволяючого (синхронізуючого) сигналу на вході управління, що частіше носить назву входу синхронізації. А сигнали що подають на цей вхід називаються синхросигналами або синхроімпульсами.

На рис. 9.7 наведена принципова схема синхронного RS-тригера. Він складається зі схеми управління (два логічних елемента І) та самого тригера. Як слідує з аналізу схеми, для того щоб на входах RS-тригера (на рис. 9.7 позначені як R' як S') з'явився сигнал необхідно щоб на вході СІ була сформована "1". При відсутності сигналу на вході СІ на виходах логічних елементів І формується рівень логічного "0" і RS-тригер зберігає попередній стан. Якщо сигнали на входах S та СІ (або на входах R та СІ) будуть збігатися у часі, то тоді, відповідно, на виході верхнього (нижнього) логічних елементів І буде формуватися сигнал управління і RS-тригер буде перемикатися.

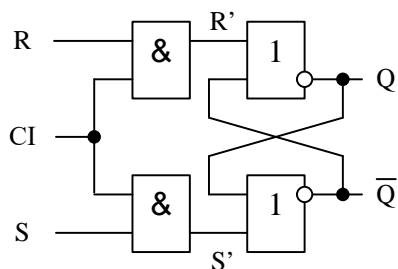


Рис. 9.7. Принципова схема синхронного RS-тригера

Часові діаграми, що пояснюють роботу синхронного RS-тригера, наведені на рис. 9.8.

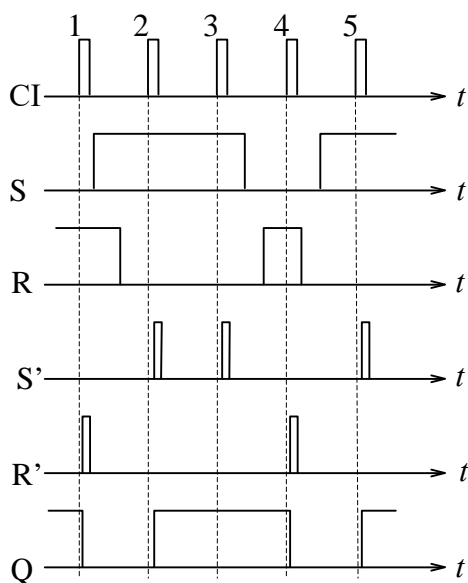


Рис. 9.8. Часові діаграми роботи синхронного RS-тригера

Аналогічно будується RS-тригер з інверсними входами (рис. 9.9).

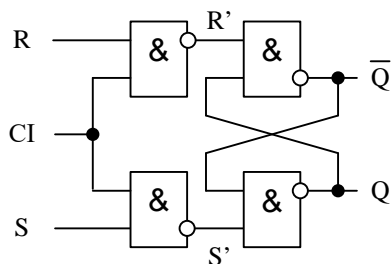


Рис. 9.9. Принципова схема синхронного RS-тригера з інверсними входами

9.3 Тригери Т-типу

Це логічний пристрій із двома стійкими станами й одним інформаційним входом, що змінює стан на виході щоразу, коли на його вхід надходить імпульс. Цей тригер ще називається лічильним тригером. Логічне рівняння такого тригера має вигляд:

$$Q^{t+1} = \bar{T}^t Q^t + T^t \bar{Q}^t.$$

Даний тригер у залежності від позначення може спрацьовувати або по фронті імпульсу (/), або по його спаду (\). Функціональне позначення Т-тригера, що спрацьовує по фронті, наведено на рис. 9.10,а, а тригера, що спрацьовує по спаду вхідного імпульсу – на рис. 9.10,б. Часові діаграми сигналів на вході та виході Т-тригера наведені на рис. 9.11.

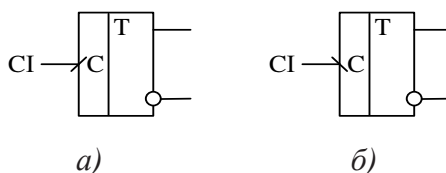


Рис. 9.10. Умовне графічне позначення Т-тригера

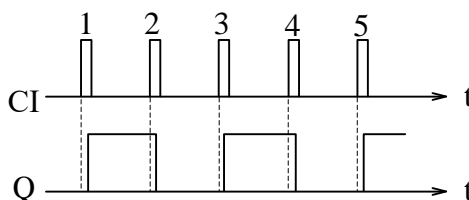


Рис. 9.11. Часові діаграми роботи Т-тригера

При виконанні тригера в базисі АБО-НІ, і при умові, що тригер керується перепадами з 1 в 0 на вході С (/), одержимо схему, показану на рис. 9.12.

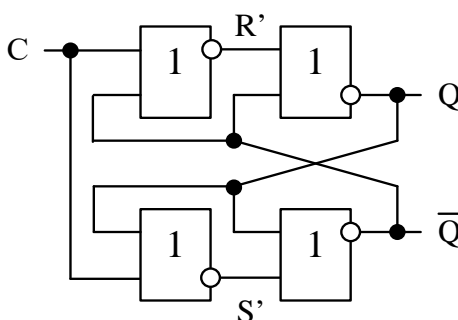


Рис. 9.12. Схема Т-тригера з імпульсним управлінням в базисі АБО-НІ

9.4 Тригери D-типу

Це логічний пристрій із двома стійкими станами й одним інформаційним входом D , що запам'ятовує інформацію яка надходить на вхід D в момент приходу синхроімпульсу на вхід C (синхронізації). Логічне рівняння такого тригера має вигляд

$$Q^{t+1} = D^t.$$

Значення вихідного сигналу в момент часу $t+1$ збігається з кодом вхідного сигналу в момент часу t . Умовне позначення D-тригера наведено на рис. 9.13, а варіант реалізації на елементах АБО-НІ – на рис. 9.14.

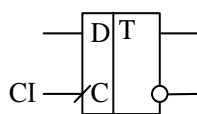


Рис. 9.13. Умовне графічне позначення D-тригера

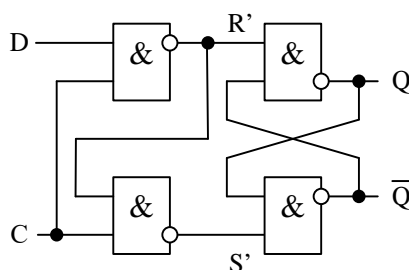


Рис. 9.14. Варіант реалізації D-тригера на елементах І-НІ

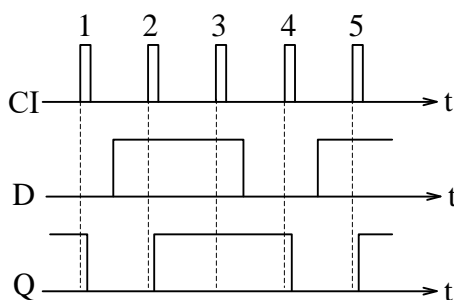


Рис. 9.15. Часові діаграми роботи D-тригера

Якщо вхід D з'єднати з виходом Q тригера то $D = \bar{Q}$, і значення вихідного сигналу в момент часу $t+1$ збігається з кодом на інверсному виході тригера в момент часу t , тобто

$Q^{n+1} = \bar{T}^n Q^n + T^n \bar{Q}^n$ і тригер працює в режимі лічильного тригера. Схема включення D-тригера в режимі T-тригера, наведена на рис. 9.16.

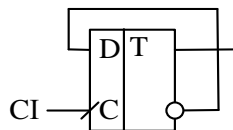


Рис. 9.16. Схема включення D-тригера в режим T-тригера

Слід зауважити, що T-тригери у вигляді окремих інтегральних мікросхем не випускаються, а реалізуються на D-тригерах або JK-тригерах.

9.5 Тригери JK-типу

Це логічний пристрій із двома стійкими станами і двома інформаційними входами J і K, що за умови $J=K=1$ здійснює інверсію попереднього стану (працює в режимі лічильного тригера), а в інших випадках працює як RS-тригер. При цьому вхід J еквівалентний входові S, а вхід K – входові R. Логічне рівняння, що описує роботу тригера має вигляд

$$Q^{n+1} = \bar{K}^n Q^n + J^n \bar{Q}^n$$

Слід відмітити, що JK-тригера відноситься до синхронних тригерів і тому всі перемикання цього тригера відбуваються тільки у моменти надходження синхроімпульсів на його вхід синхронізації C. Умовне графічне позначення JK-тригера наведено на рис. 9.17.

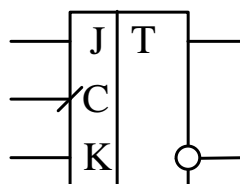


Рис. 9.17. Умовне графічне позначення JK-тригера

В табл. 9.3 наведено переходи JK-тригера при різних значеннях сигналів на входах J та K. JK-тригер найбільш універсальний з розглянутих тригерів. Він може працювати в режимі T- або D-тригера, що витікає з таблиці функціонування. На рис. 8.17 наведено схеми підключення JK-тригера для реалізації цих видів тригерів.

Таблиця 9.3. Таблиця переходів JK-тригера

J^t	K^t	Q^t	Q^{t+1}
0	0	0	0
		1	1
1	0	0	1
		1	1
0	1	0	0
		1	0
1	1	0	1
		1	0

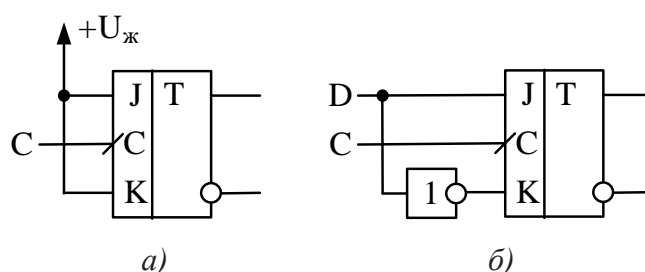


Рис. 9.18. Схеми підключення JK-тригера для реалізації T-тригера (а) та D-тригера (б)

9.6 Універсальні RSD- та RSJK-тригери

Універсальні тригери – тригери, що можуть працювати в різних режимах і як різні типи тригерів. Умовні графічні позначення універсальних тригерів наведені на рис. 9.19.

Розглянемо роботу таких тригерів.

RSJK-тригер (рис. 9.19,а) це логічний пристрій із двома стійкими станами і чотирма інформаційними входами R, S, J та K, що за умови $S = R = 0$ працює як JK-тригер, а у всіх інших випадках, як асинхронний RS-тригер. Тобто, якщо

$S = 1, R = 0$, то тригер перемикається у "1",

$S = 0, R = 1$, то тригер перемикається у "0",

$S = R = 1$ – заборонена комбінація.

RSJK-тригер з інверсними входами (рис. 9.19,б) це логічний пристрій із двома стійкими станами і чотирма інформаційними входами RSJK, що за умови $S = R = 1$ працює як JK-тригер, а у всіх інших випадках, як асинхронний RS-тригер. Тобто, якщо

$S = 0, R = 1$, то тригер перемикається у "1",

$S = 1, R = 0$, то тригер перемикається у "0",

$S = R = 0$ – заборонена комбінація.

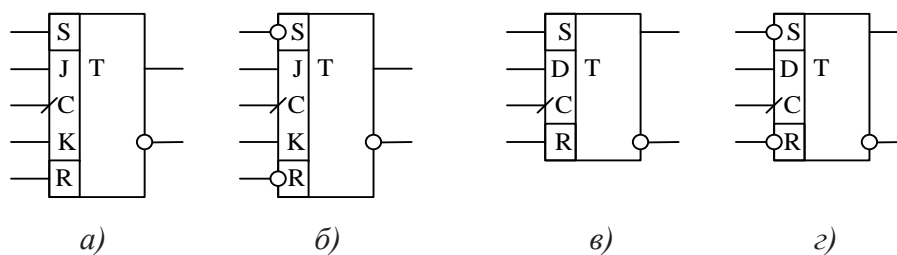


Рис. 9.19. Умовне графічне позначення RSJK- та RSD-тригерів з прямими та інверсними входами

Аналогічно функціонують і RSD-тригери. Для тригера з прямими входами R та S активний рівень на цих входах "1", заборонена комбінація $S = R = 1$, а для RSD-тригера з інверсними входами S та R активний рівень на цих входах "0", а заборонена комбінація $S = R = 0$.

На рис. 9.20 наведений приклад реалізації RSD-тригера з інверсними входами в базисі І-НІ. Зі схеми витікає, що входи R та S мають пріоритет, оскільки вони зумовлюють, чи будуть працювати логічні елементи, до яких вони під'єднані.

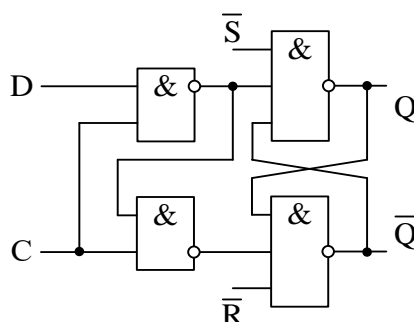


Рис. 9.20. Приклад реалізації RSD-тригера з інверсними входами в базисі І-НІ

Універсальні D- і JK-тригери широко використовуються при побудові лічильників, регістрів, суматорів, пристроїв управління, розподільників імпульсів, різних цифрових автоматів, при синтезі довільних тригерних структур і т.д.

9.7 Приклади використання тригерів

При використанні механічних перемикачів під час замикання та розмикання контактів за рахунок пружних властивостей виникає таке явище як декілька замикань/розмикань контактів, так званий "брязкіт контактів". Тобто, при замиканні (розмиканні) пружний контакт кілька разів

замикається і розмикається, поки не встановиться надійний контакт (або перемикач буде розімкнений).

Формувач без брязкоту імпульсів (БФІ) при замиканні ключа формує на виході імпульси з чіткими кордонами, без брязкоту, що супроводжує звичайні механічні перемикачі. На рис. 9.21 наведено декілька варіантів реалізації формувача одиночних імпульсів з усуненням брязкоту контактів. Часові діаграми, що ілюструють принцип роботи такого формувача імпульсів наведені на рис. 9.22.

При появі першого позитивного імпульсу на вході S RS-тригер перемикається у "1", а повертається у "0" при появі першого позитивного імпульсу на вході R. Повторні імпульси на входах S або R не призводить до перемикання тригера.

Аналогічно працює формувач на RS-тригері з інверсними входами. Але перемикання тригера буде відбуватися при появі нуля на одному з входів.

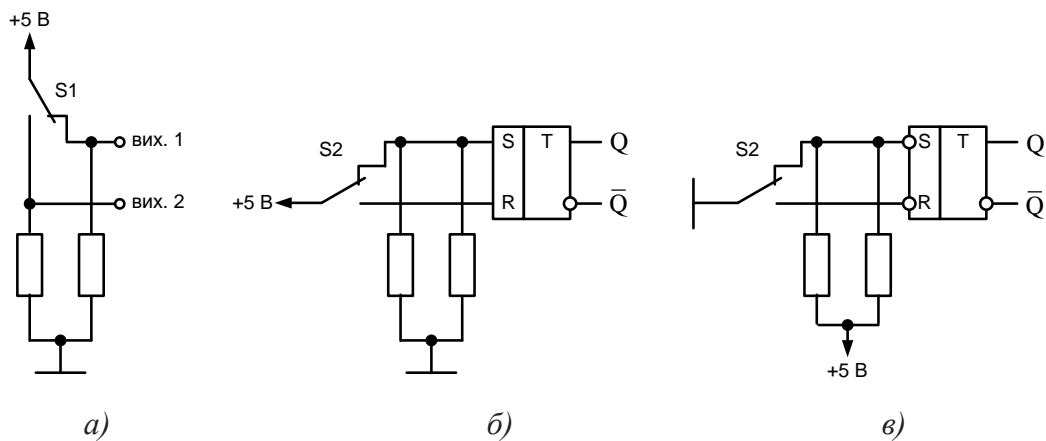


Рис. 9.21. Формувачі імпульсів на базі механічного перемикача (а), RS-тригера (б), RS-тригера з інверсними входами (в)

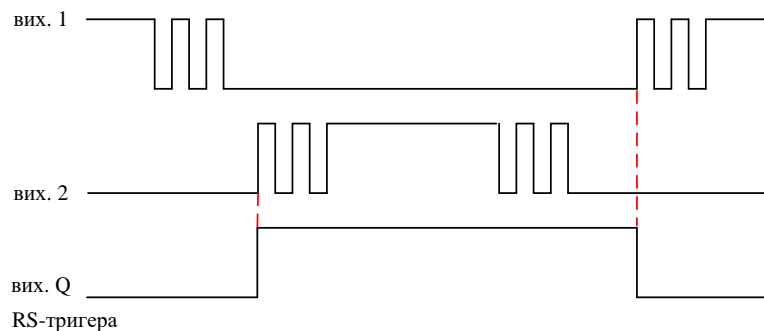


Рис. 9.22. Часові діаграми роботи формувача імпульсів на базі RS-тригера

9.8 Моделювання роботи RS-тригерів

Використовуючи Multisim можна легко перевірити роботу всіх тригерів. На рис. 9.23 наведена модель для перевірки роботи RS-тригери. За допомогою перемикача J1 можна подавати "1" на входи по черзі. Пробники X1..X4 дають можливість контролювати стан у різних точках схеми. При наявності логічної "1" пробник світиться, при наявності логічного "0" – не світиться.

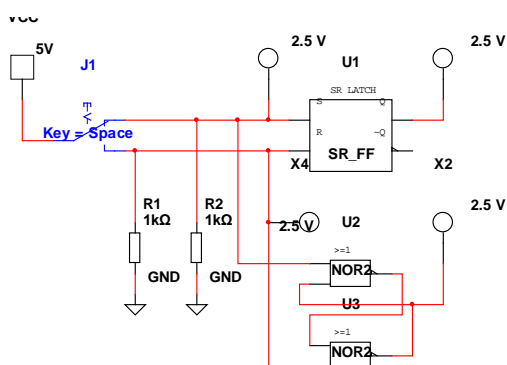


Рис. 9.23. Модель для дослідження RS-тригера

На рис. 9.24 наведена модель для дослідження RS-тригера з інверсними входами. На входи \bar{S} та \bar{R} через резистори R3 та R4 подається напруга від джерела живлення +5 В. Перемикач J2 дозволяє формувати на входах тригерів "0". Пробники X5...X8 дозволяють контролювати стан входів та виходів тригерів.

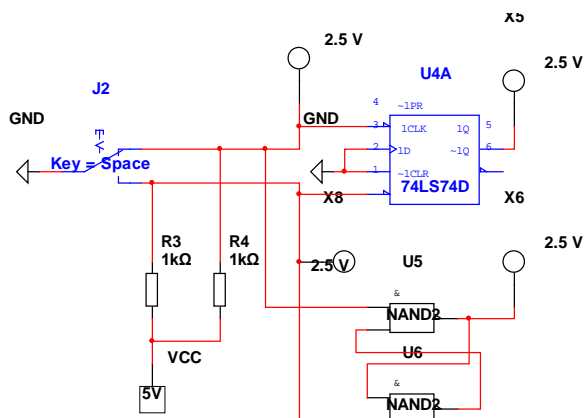


Рис. 9.24. Модель для дослідження RS-тригера з інверсними входами

Для дослідження синхронних RS-тригерів можна скористатися моделями, наведеними на рис. 9.25 (синхронний RS-тригер) і 9.26 (синхронний RS-тригер з інверсними входами).

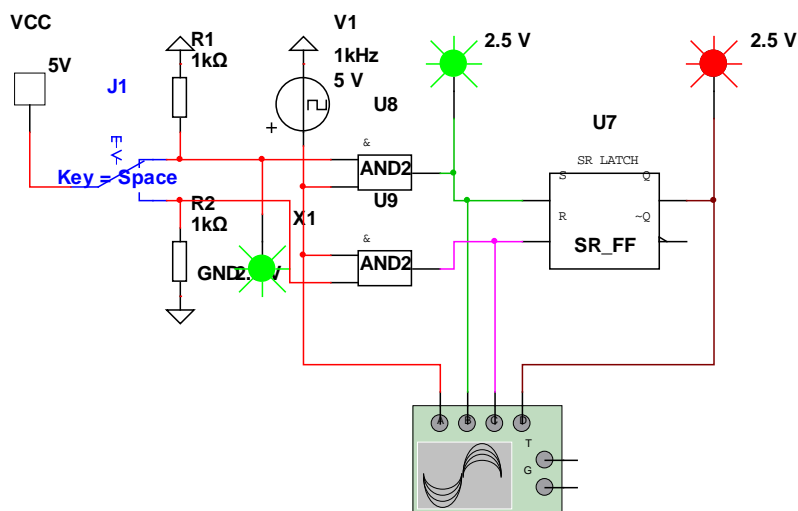


Рис. 9.25. Модель для дослідження синхронного RS-тригера

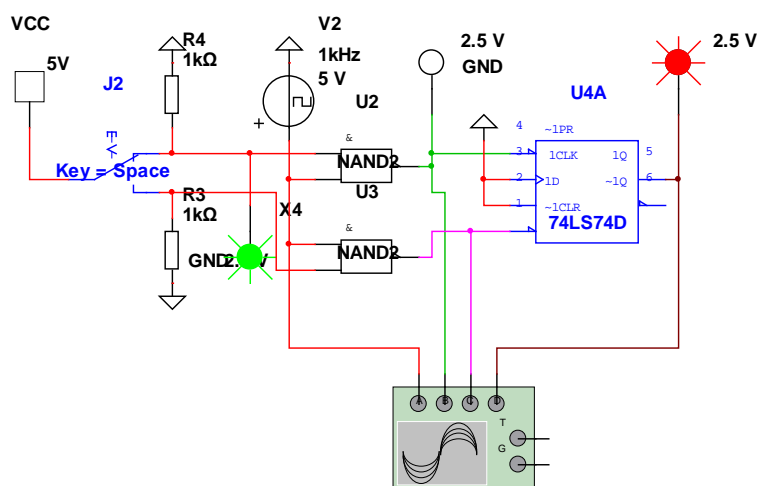


Рис. 9.26. Модель для дослідження синхронного RS-тригера з інверсними входами

Контрольні питання

1. Наведіть класифікацію тригерів по визначальним ознакам.
2. Якими параметрами і характеристиками визначається робота тригера в статичному та динамічному режимах?
3. Якими способами можна описати закон функціонування тригера?
4. Перелічіть різновиди RS-тригерів.
5. Чи вносить будь-який тригер затримку в сигнал?
6. Чим принципово відрізняється робота схеми T-тригера від роботи RS-тригера?
7. Що таке лічильний тригер? Що таке лічильний режим роботи універсального тригера?
8. Що таке синхронні тригери?

9. Чим відрізняється робота асинхронного та синхронного тригерів?
10. Які універсальні тригери вам відомі?
11. Опишіть роботу універсального RSJK-тригера в асинхронному і синхронному режимах.
12. Опишіть роботу універсального RSD-тригера в асинхронному і синхронному режимах.

10 РЕГІСТРИ

10.1 Загальні зауваження

Регістрами називаються пристрої, що виконують функції прийому, збереження і передавання інформації. Інформація в регістрі зберігається у вигляді числа (слова), представленого комбінацією 0 і 1.

Регістри виконуються, як правило, на основі тригерів RS-, D або JK-тригерів.

За допомогою регістрів можуть здійснюватися операції перетворення кодів (наприклад, з послідовного в паралельний і навпаки), а також деякі логічні операції (порозрядне логічне додавання й ін.). Найбільше застосування регістри знаходять для тимчасового збереження інформації.

Основною ознакою, по якій розрізняють регістри, є спосіб запису числа в регістр. За цією ознакою регістри можна розділити на 3 групи:

- паралельні – інформація записується одночасно в усі тригери регістра;
- послідовні – інформація записується спочатку в перший тригер, а потім передається в другий і т.д.;
- універсальний – працює в будь-якому з режимів.

Послідовні регістри бувають звичайні зсувні та реверсивні. В звичайних регістрах інформація зсувається в одну сторону, а в реверсивних – в обидві.

У паралельних регістрах запис числа здійснюється в усі розряди регістра одночасно (паралельним кодом).

У послідовних регістрах запис коду здійснюється починаючи з молодшого або старшого розряду, шляхом послідовного зрушення коду тактуючими імпульсами. Регістри паралельно-послідовного типу мають входи як для паралельного, так і для послідовного запису інформації.

10.2 Паралельні регістри на D-тригерах

Для реалізації одноканальних паралельних регістрів застосовуються D-тригери, число яких відповідає числу входів регістра. У таких регістрах використовуються D-тригери, що мають інформаційний (D) і тактовий (C) входи, що описуються характеристичним рівнянням

$$Q_i^{t+1} = D_i^t C_i^t + Q_i^t \bar{C}_i^t.$$

В паралельному регістрі інформація записується одночасно по всіх входах. Прикладом такого регістра є паралельний регістр на тригерах D-типу (рис. 10.1).

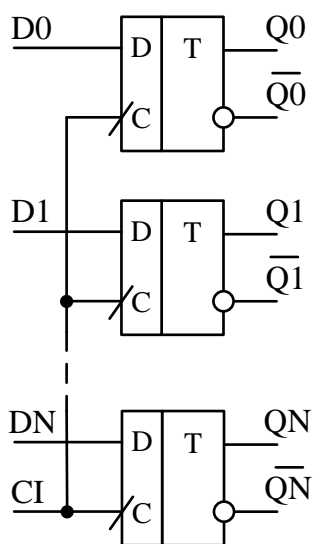


Рис. 10.1. Принципова схема паралельного регістра

В паралельному регістрі в момент приходу синхроімпульсу інформація одночасно запам'ятовується зі всіх входів D, та зберігається в регістрі до моменту приходу наступного синхроімпульсу. На рис. 10.2 показані часові діаграми роботи паралельного регістру.

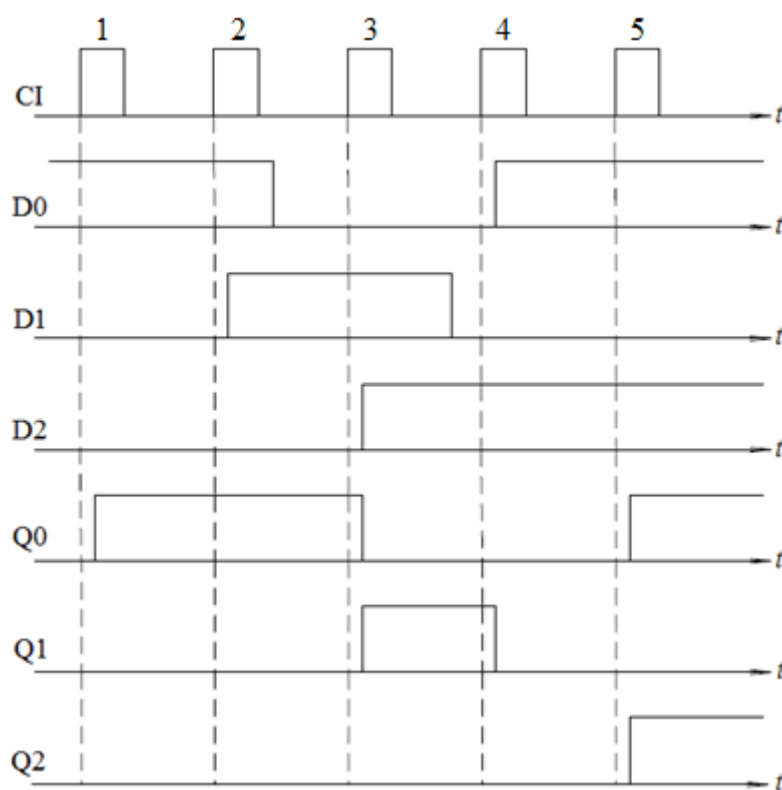


Рис. 10.2. Часові діаграми роботи паралельного регістра

Для реалізації паралельних регістрів можна використати RS-тригери, але для цього

потрібно або попередньо встановити тригери регістра в нульовий стан, або порозрядного запису інформації. Це ускладнює схему регістра та вимагає додаткових сигналів для управління роботою регістра.

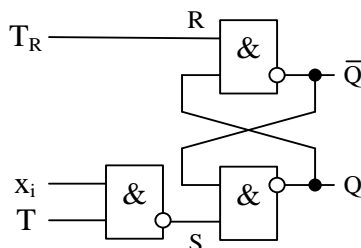


Рис. 10.3. Схема одного розряду паралельного регістра на RS-тригерах

Характеристичне рівняння одного розряду регістра на RS-тригерах має вигляд $Q_i^{t+1} = Q_i^t T_R + X_{2i} T$. В табл. 10.1 наведені переходи одного розряду такого регістра.

Таблиця 10.1. Таблиця переходів одного розряду регістра на RS-тригерах

T_R	T	Q_i^{t+1}	Операція
0	0	0	уст. в "0"
0	1	0	уст. в "0"
1	0	Q_i^t	збереження інформації
1	1	X_{2i}	запис інформації

10.3 Послідовні регістри

Послідовні регістри (регістри зсуву), як і паралельні, призначаються для короткочасного збереження інформації, представленій в двійковому коді і будуються на тригерах різних типів. У послідовних регістрах здійснюється логічна операція зсуву коду числа.

За методом введення і виведення інформації послідовні регістри підрозділяються на власне послідовні, послідовні та послідовно-паралельні.

У послідовних регістрах інформація вводиться і виводиться в послідовному коді, розряд за розрядом. У паралельно-послідовних регістрах інформація вводиться в паралельному, а виводиться в послідовному коді. У послідовно-паралельному, навпаки, введення в послідовному коді, а виведення у паралельному.

Зрушення коду може здійснюватися по однотактній або багатотактній схемі. В однотактному регістрі кожен імпульс синхронізації, викликає зрушення коду на один розряд.

Найбільш зручною вважається побудова регістрів на тригерах D-типу. На рис. 10.4 наведена принципова схема 3-х розрядного регістра зсуву. На схемі позначення DI відповідає

англ. Data Input – вхідні данні. На рис. 10.5 наведені часові діаграми роботи послідовного регістра, а в табл. 9.2 показано як змінюється стан тригерів регістру в процесі роботи.

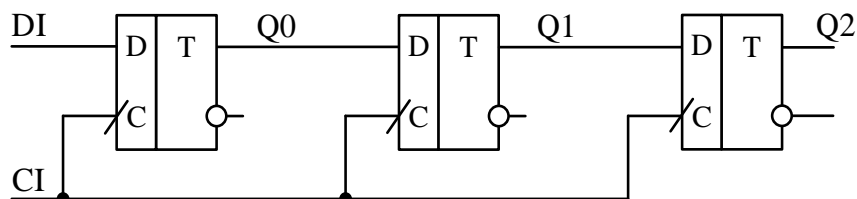


Рис. 9.4. Схема трьохрозрядного послідовного регістра на D-тригерах

В табл. 10.2 наведені переходи 3-розрядного регістру зсуву.

Таблиця 10.2. Таблиця переходів 3-розрядного регістру зсуву

№ такту	DI	Q0	Q1	Q2
1	0	0	0	0
2	1	1	0	0
3	0	0	1	0
4	0	0	0	1
5	1	1	0	0

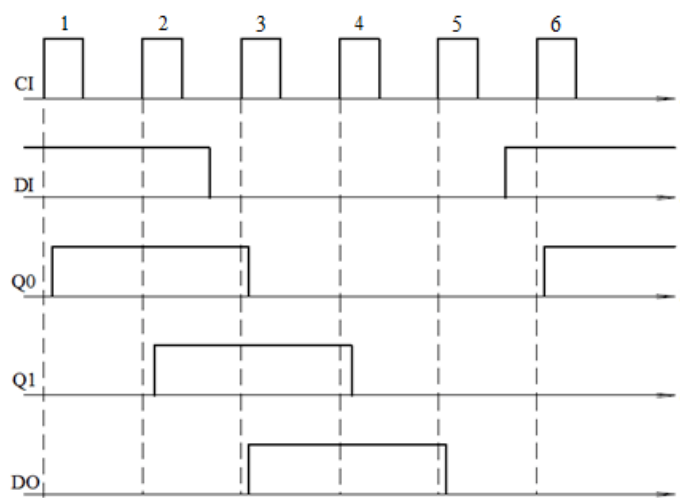


Рис. 10.5. Часові діаграми роботи послідовного регістра

Так як данні зсуваються в часі (кожен тригер зсуває дані на один такт), то такий регістр крім послідовного ще називається зсувним.

Реверсивний зсувний регістр дозволяє зсувати інформацію вправо чи вліво, в залежності від значень управляючих сигналів на додатковому вході. На рис. 9.6 показана принципова схема

реверсивного зсувного регістра з використанням цифрових перемикачів. В даній схемі сигнал на вході V управляє перемиканням напрямку зсуву інформації в регістрі.

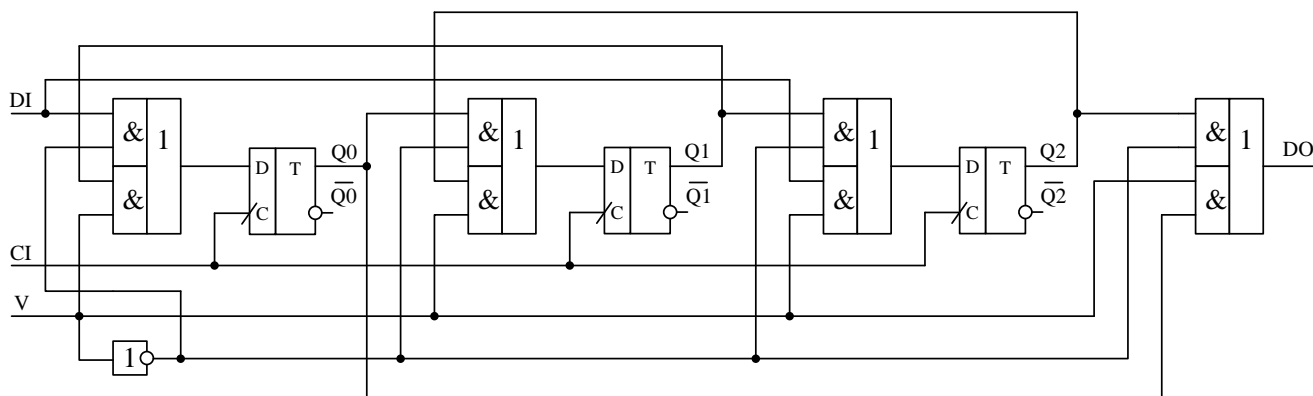


Рис. 10.6. Принципова схема 3-х розрядного реверсивного зсувного регістра

При подачі на вхід V рівня логічного "0" інформація зсувається зліва направо оскільки сигнал, що формується за допомогою інвертора з сигналу V , дозволяє проходження сигналів через верхній логічний елемент I кожного з електронних перемикачів, тобто зліва направо. При подачі на вхід V рівня логічної "1" дозволяється проходження сигналів через нижній елемент I , що забезпечує передавання інформації у зворотному напрямку.

9.4 Паралельно-послідовні і послідовно-паралельні регістри

Паралельно-послідовні і послідовно-паралельні регістри відрізняються від послідовних наявністю схем паралельного введення розрядів і виведення усіх розрядів регістра.

Найбільш просто реалізується послідовно-паралельний регістр. Достатньо вивести виходи кожного з тригерів на вихід і тоді послідовний регістр може реалізувати функції послідовно-паралельний регістра (рис. 10.7).

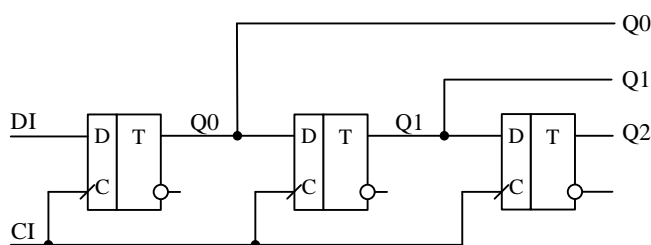


Рис. 10.7. Принципова схема 3-х розрядного послідовно-паралельного регістра

Для реалізації паралельно-последовного регістра необхідно організувати запис інформації у кожен з тригерів регістру. На рис. 10.8 наведено один з можливих варіантів організації такого регістру на RSD-тригерах.

Входи R і S використовують для запису паралельного коду. Вхід D – для побудови зсувного регістра.

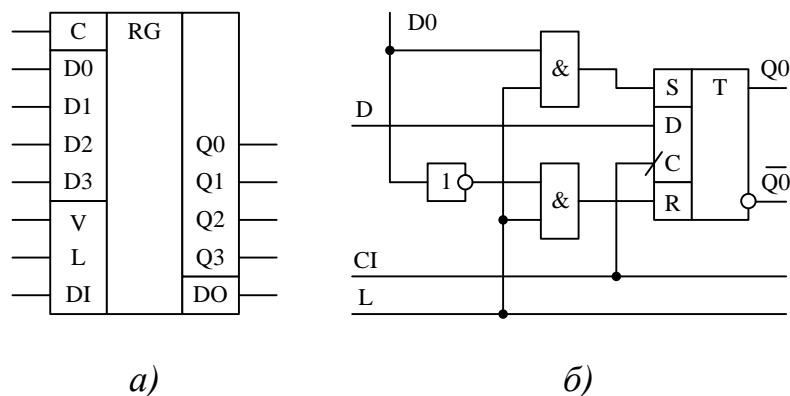


Рис. 10.8. Умовне графічне зображення паралельно-последовного регістра (а) та принципова схема одного розряду (б)

На рис. 10.8,а введені наступні позначення: C – вхід синхронізації; D0, D1, D2, D3 – входи паралельного коду; V – вхід управління напрямом зсуву; L – вхід дозволу запису паралельного коду; DI – вхід последовного коду; DO – вихід последовного коду; Q0, Q1, Q2, Q3 – виходи паралельного коду.

10.5 Последовні регістри зі зворотними зв'язками

При введенні в последовний регістр зворотного зв'язку він перетворюється в замкнуте кільце, у якому впливом імпульсів, що зрушують, циркулює введена в регістр інформація. Такі регістри називаються кільцевим лічильником.

На рис. 10.9 наведений приклад побудови 3-розрядного регістра, в якому вихідний сигнал подається знову на вхід регістра. Для нормального функціонування такого регістра необхідно в один або два розряди перед початком роботи записати "1". На рис. 10.10 наведені часові діаграми, що пояснюють роботу такого пристрою, що має назву кільцевий лічильник. Перед початком роботи всі тригери встановлюються у "0" сигналом T_R , а перед подачею синхроімпульсів в перший тригер записується "1", шляхом подачі імпульсу на вхід S.

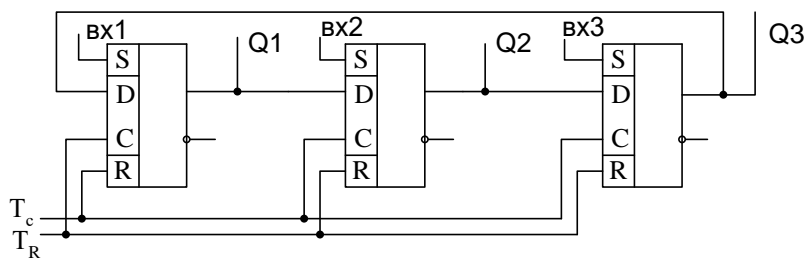


Рис. 10.9. Схема 3-розрядного кільцевого лічильника

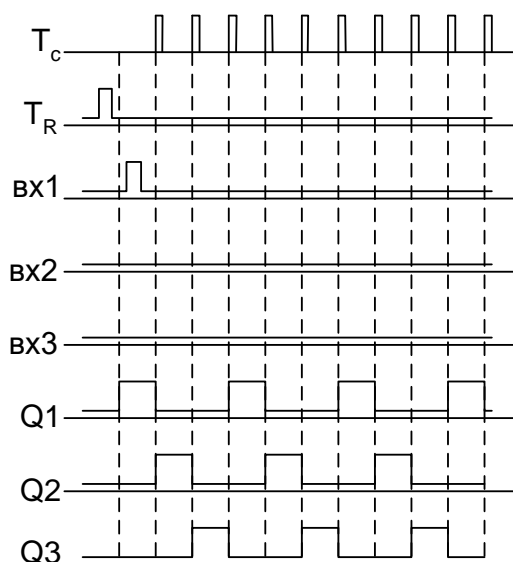


Рис. 10.10. Часові діаграми роботи кільцевого лічильника

Окрім звичайних регістрів випускаються регістри з трьома станами на виході. Це регістри, що мають додатковий вхід для перемикання виходу регістра в високоімпедансний стан (наприклад КР1533ИР23, зарубіжний аналог SN74АС374). Це 8-розрядний паралельний регістр, що має вихідні буферні підсилювачі. Перемикання в третій стан здійснюється подачею на вхід \overline{EZ} високого рівня. Перехід в робочий стан здійснюється подачею низького рівня на цей вхід. На рис. 10.11. наведено його умовне графічне позначення та принципова схема.

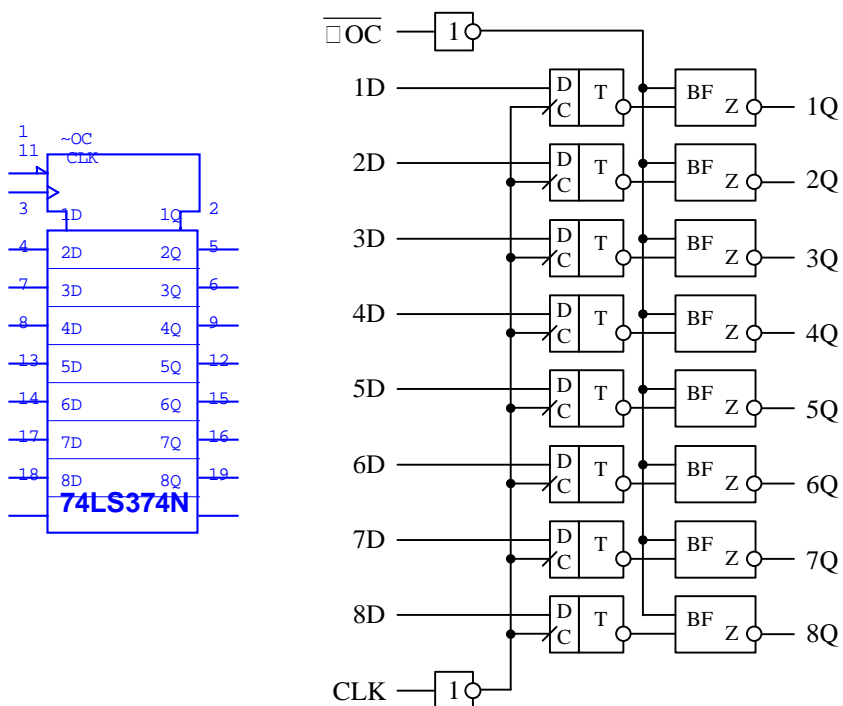


Рис. 10.11. Умовне графічне позначення та принципова схема регістра КР1533ІР23 (SN74АС374)

10.6 Приклади використання регістрів

10.6.1 Робота декількох регістрів на загальну шину

При використанні регістрів з трьома станами на виході значно спрощується організація зв'язку декількох джерел інформації з одним приймачем цієї інформації. На рис. 10.12 наведена схема з'єднання двох регістрів з трьома станами з однією шиною.

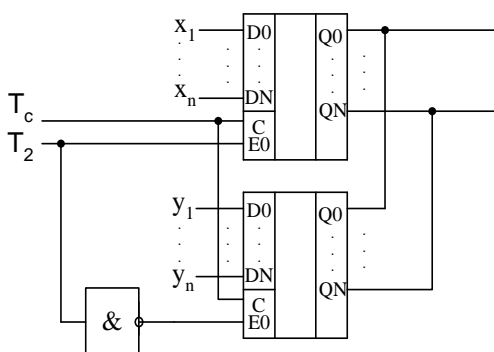


Рис. 10.12. Робота декількох регістрів на загальну шину

При подачі рівня логічного "0" на вхід T_2 активується верхній регістр, а виходи нижнього регістра переводяться у високоімпедансний стан. Якщо подати на вхід T_2 рівень логічної "1", то активується нижній регістр і інформація з його виходів надходить на вихідну шину.

10.6.2 Формувач квазігармонічного сигналу

Відомо, що сигнал будь-якої форми можна скласти з елементарних сходинок, частота слідування яких повинна перевищувати частоту вихідного сигналу у декілька разів. Висота сходинок змінюється у часі, а їх кількість зумовлює точність відтворення форми потрібного сигналу.

На рис. 10.13 наведено схему найпростішого формувача сигналу, що складається з 8 сходинок. Часові діаграми, що пояснюють його роботу наведені на рис. 10.14. Висота сходинок залежить від значень опорів резисторів $R1 \dots R4$.

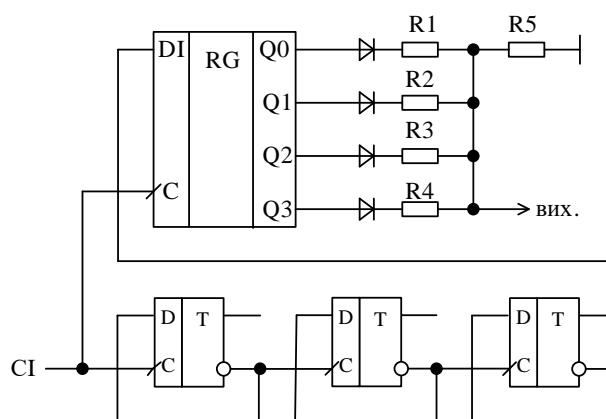


Рис. 9.13. Схема формувача квазігармонічного сигналу

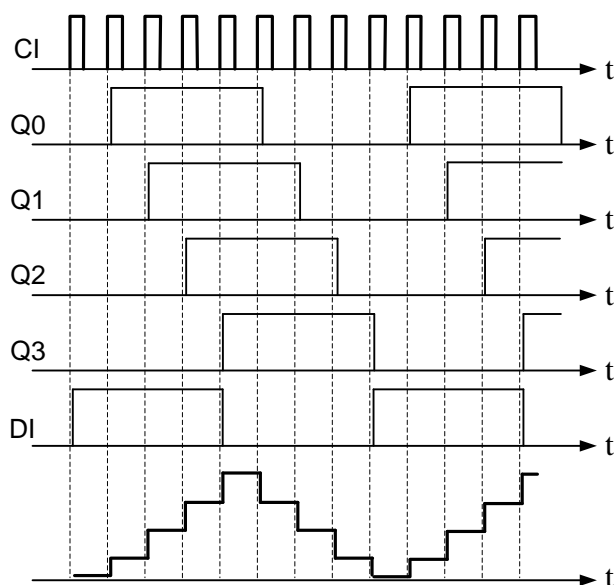


Рис. 9.14. Часові діаграми роботи формувача квазігармонічного сигналу

10.6.3 Перетворювач паралельного коду в послідовний

На рис. 9.15 наведена функціональна схема перетворювача паралельного коду в послідовний.

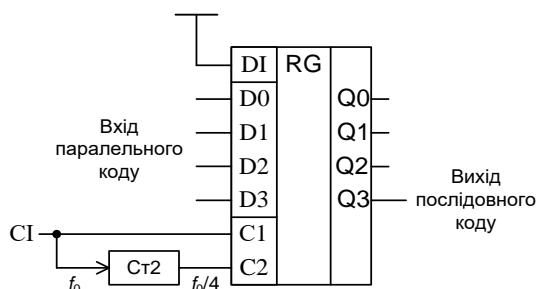


Рис. 10.15. Схема перетворювача паралельного коду в послідовний

На входи $D0\dots D3$ подається паралельний код, а з виходу $Q3$ знімається послідовний код. Часові діаграми, що пояснюють роботу пристрою наведені на рис. 10.16. На схемі вхід $C1$ регістра призначений для синхронізації зсуву послідовного коду, а вхід $C2$ – для синхронізації запису паралельного коду. На вхід послідовного занесення інформації DI поданий "0". Стрілками на діаграмі показано напрямок зчитування коду – від старшого розряду до молодшого. Як слідує з діаграм після першого імпульсу на вході $C2$ в регістр був записаний код 0001, а після четвертого синхроімпульсу на вході $C1$ на виході $Q3$ (вихід послідовного коду) теж буде сформовано код 0001. Нескладно пересвідчитись що після наступних синхроімпульсів на вході $C2$ процес перетворення паралельного коду в послідовний відбувається аналогічно.

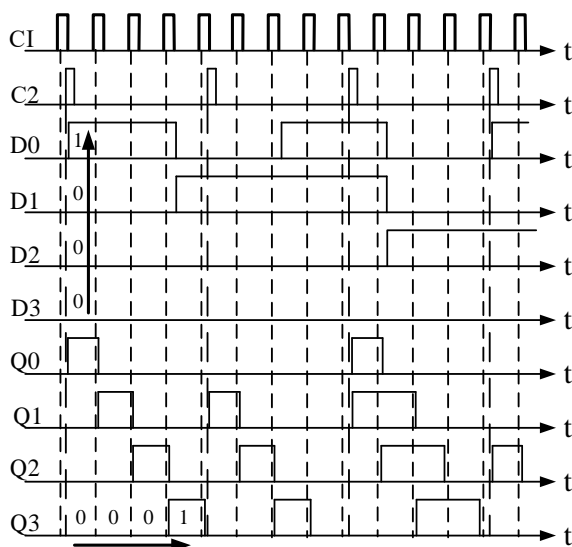


Рис. 10.16. Часові діаграми роботи перетворювача паралельного коду в послідовний

9.6.3 Перетворювач послідовного коду в паралельний

Для перетворення послідовного коду в паралельний можна використати два регістри як показано на рис. 10.17. Перший регістр приймає послідовний код і після того, як він повністю буде введений, з виходів першого регістру він перезаписується у другий (паралельний) регістр, де і буде зберігатися до наступної зміни коду у першому регістрі.

Часові діаграми, що пояснюють роботу перетворювача послідовного коду у паралельний, наведені на рис. 10.18.

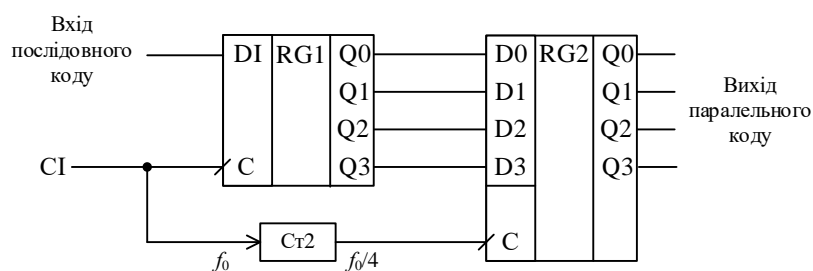


Рис. 10.17. Схема перетворювача послідовного коду в паралельний

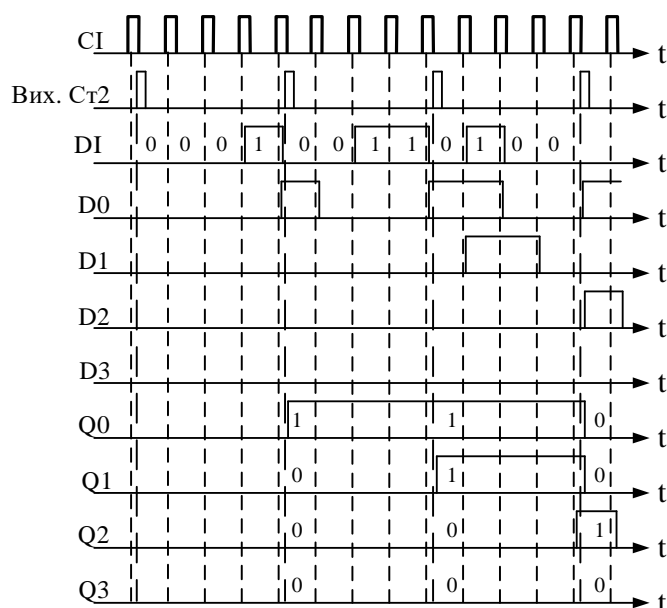


Рис. 10.18. Часові діаграми роботи перетворювача послідовного коду в паралельний

10.7 Дослідження регістрів шляхом моделювання

10.7.1 Дослідження паралельного регістра на D-тригерах

На рис. 10.19 наведена модель для дослідження паралельного регістра на D-тригерах.

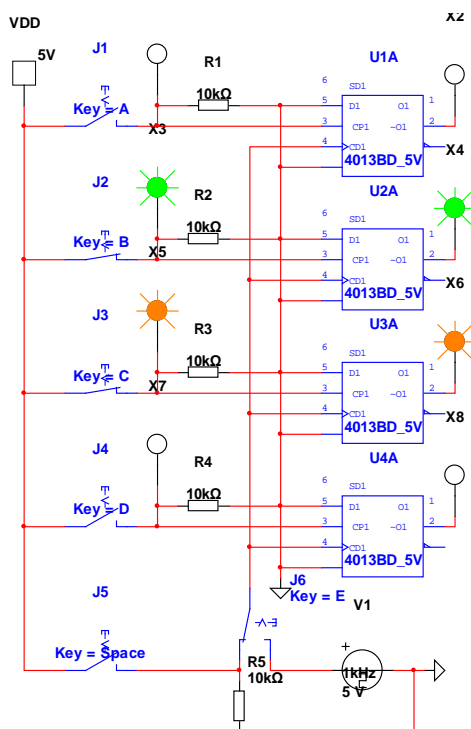


Рис. 10.19. Модель для дослідження паралельного регістра на D-тригерах КМОН

Оскільки модель реалізована на RSD-тригерах, то входи R і S підключені до загального проводу і не заважають роботі D-тригера. Всі входи синхронізації об'єднані і через перемикач J6 підключаються або до генератора тактових імпульсів V1, або до формувача одиночних імпульсів, що складається з перемикача J5 і резистора R5.

За допомогою перемикачів J1...J4 можна формувати на входах D всіх тригерів "0" або "1".

Якщо перемикач J6 знаходиться в лівому положенні, то після зміни станів на входах тригерів, необхідно натиснути і відпустити кнопку J5 щоб записати дані в регістр. Якщо перемикач J6 знаходиться в правому положенні, то кожна зміна коду на вході одразу відображається на виході. Інтервал часу оновлення даних зумовлений періодом слідування імпульсів генератора V1 і дорівнює 1 мс.

На рис. 10.20 наведена модель паралельного 4-розрядного регістра на тригерах TTL.

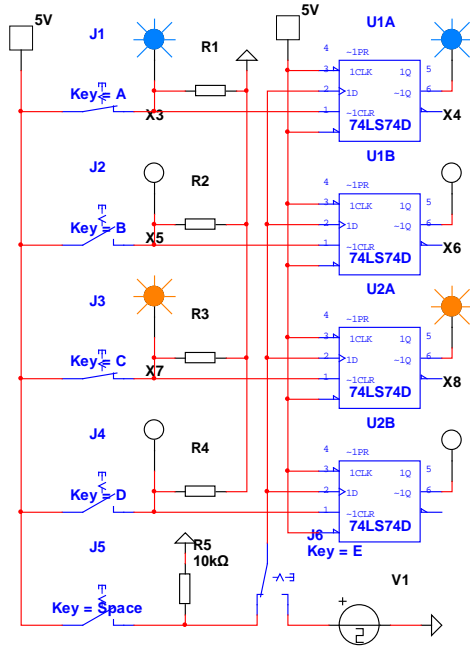


Рис. 10.20. Модель для дослідження паралельного регістра на D-тригерах ТТЛ

На відміну від тригерів КМОН у цій моделі використані RSD-тригери з інверсними входами R і S. Щоб ці входи не впливали на роботу D-тригерів, на них подається рівень логічної "1" від джерела живлення. В іншому модель ідентична моделі на рис. 10.19.

10.7.2 Дослідження послідовного регістра на D- та JK-тригерах

На рис. 10.21 наведена модель послідовного 4-рядного регістра на D-тригерах.

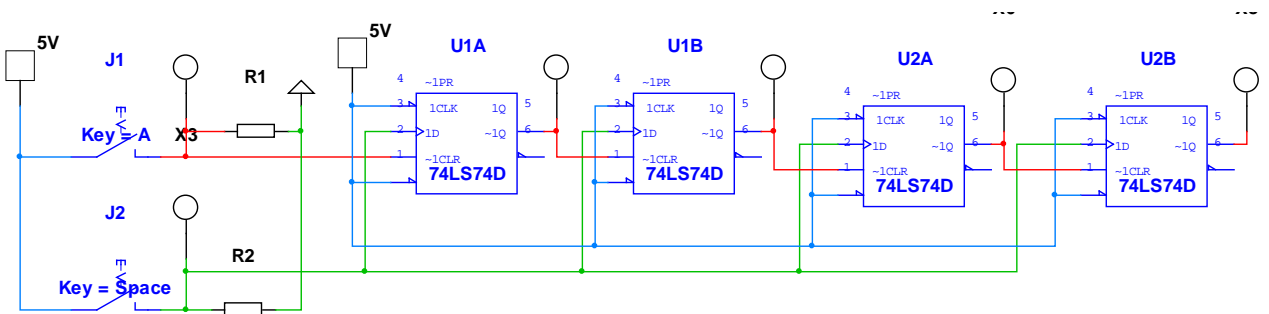


Рис. 10.21. Модель для дослідження послідовного регістра на D-тригерах ТТЛ

Використовуючи перемикач J1 можна подавати на вхід першого тригера "0" або "1", а синхроїмпульси формуються за допомогою перемикача J2.

Модель послідовного регістра, виконаного на JK-тригерах, наведена на рис. 10.22.

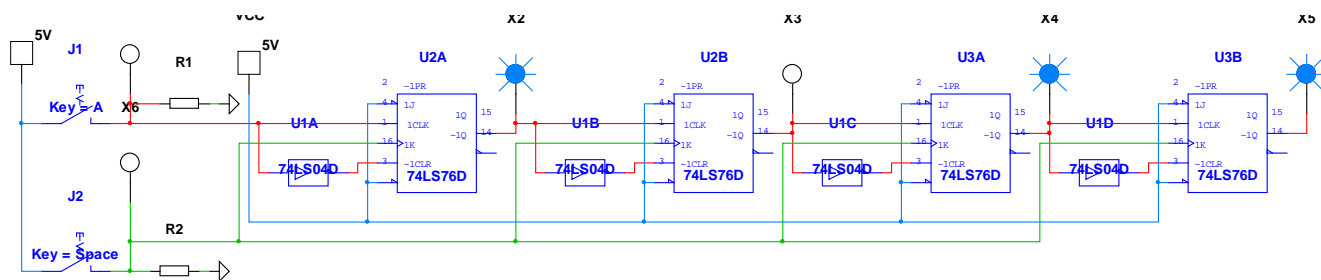


Рис. 10.22. Модель для дослідження послідовного регістра на JK-тригерах

JK-тригер в цій моделі використовується як D-тригер. Призначення інших елементів моделі аналогічне моделі на D-тригерах.

Промисловістю випускається велика кількість інтегральних схем регістрів. На рис. 10.23 наведена модель 8-розрядного регістру зсуву, виконаного на інтегральній схемі КР1533ІР8 (74LS164). Інверсний вхід встановлення у "0" (CLR) під'єднаний до джерела живлення щоб не впливати на роботу регістра. Входи А і В є входами логічного елемента І. Тому сигнал з виходу формувача вхідних даних (перемикач J1 та резистор R1) подано на обидва входи регістра.

Тактові імпульси формуються натисканням кнопки J2. Для контролю стану виходів регістра використовуються червоні пробники.

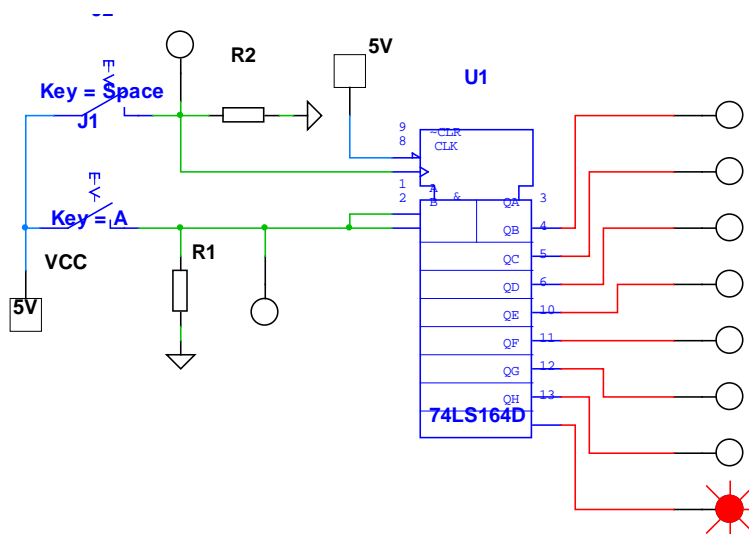


Рис. 10.23. Модель 8-розрядного регістру зсуву, виконаного на інтегральній схемі КР1533ІР8 (74LS164)

Промисловістю випускається близько 20 різновидів регістрів різної конфігурації.

10.7.3 Реверсивний регістр на D-тригерах

Модель для дослідження реверсивного регістра наведена на рис. 10.24. Напрямок зсуву інформації змінюється за допомогою перемикача J1. Коли контакт перемикача знаходиться у

лівому положенні, на вхід управління мультиплексорів А/В подано логічний "0" і до виходів мультиплексорів під'єднується входи А. Напрямок зсуву інформації зліва направо.

Коли контакт перемикача J1 знаходиться у правому положенні, на вхід управління мультиплексорів А/В подано логічну "1" і до виходів мультиплексорів під'єднується входи В. Напрямок зсуву інформації з права наліво.

Пояснюють цей процес діаграми на рис. 10.25. При передаванні інформації зліва направо дані з виходу першого тригера передаються на вхід другого, з виходу другого – на вхід третього, з виходу третього – на вхід четвертого. Входом є вхід першого тригера, а виходом – вихід четвертого. При передаванні інформації з права наліво входом є вхід четвертого тригера, а виходом – вихід першого тригера.

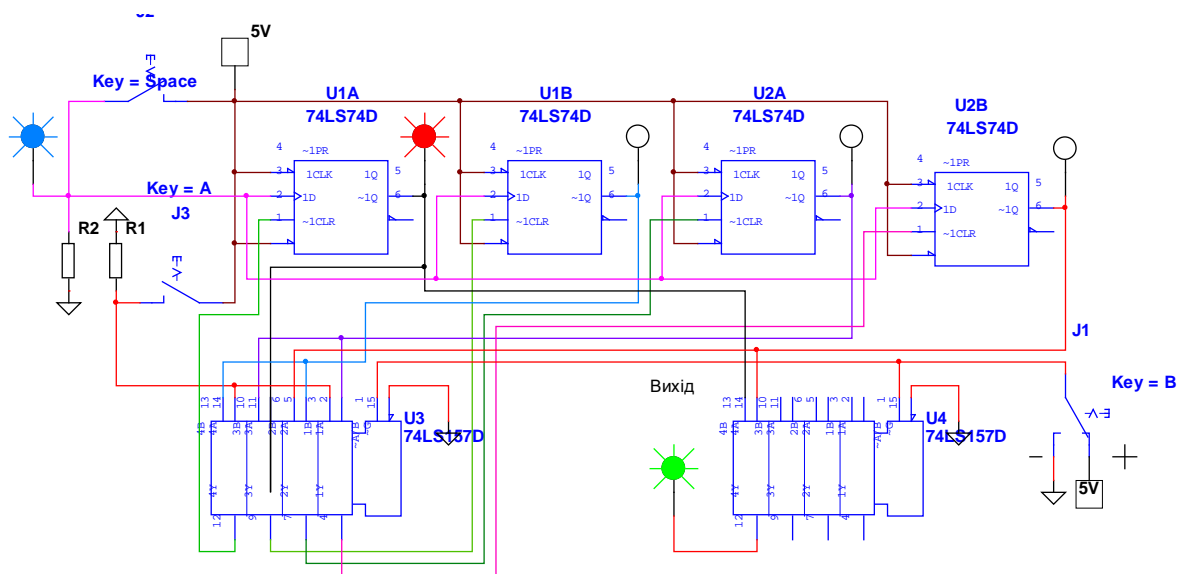


Рис. 10.24. Модель для дослідження реверсивного регістра

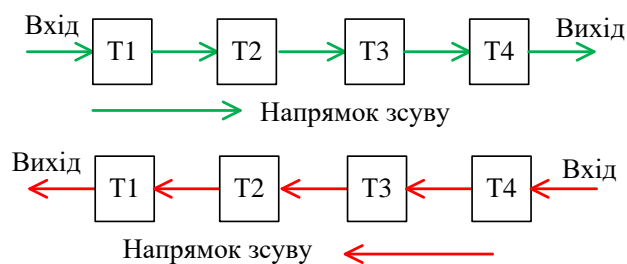


Рис. 10.25. Діаграми напрямку передавання інформації в реверсивному регістрі

Інтегральна мікросхема КР1533ІР16 (74LS295) – 4-розрядний реверсивний регістр зсуву з трьома станами на виході замінює схему наведену на рис. 10.24.

10.7.4 Формувач квазігармонічного сигналу на основі регістра

На рис. 10.26 наведено модель найпростішого формувача сигналу, що складається з 16 сходинок. Часові діаграми, що пояснюють його роботу наведені на рис. 10.27. Висота сходинок залежить від значень опорів резисторів R1...R8. Вихідні сигнали на виході формувача та на виході фільтру нижніх частот наведені на рис. 10.28.

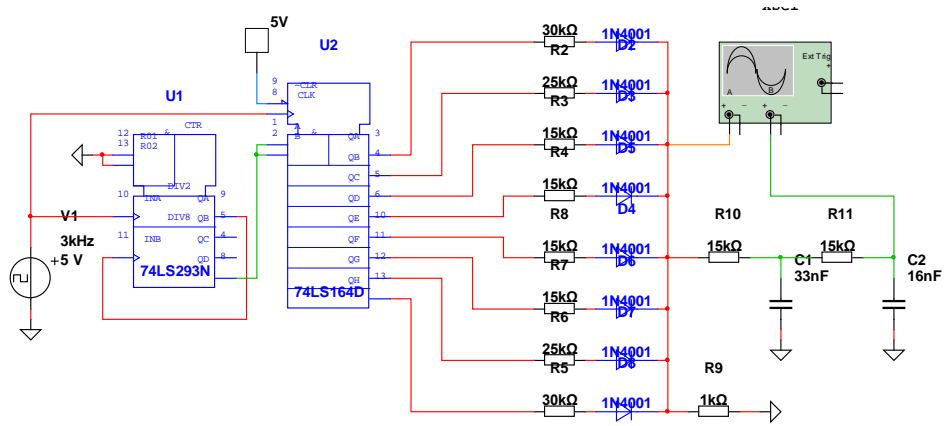


Рис. 10.26. Модель формувача квазігармонічного сигналу

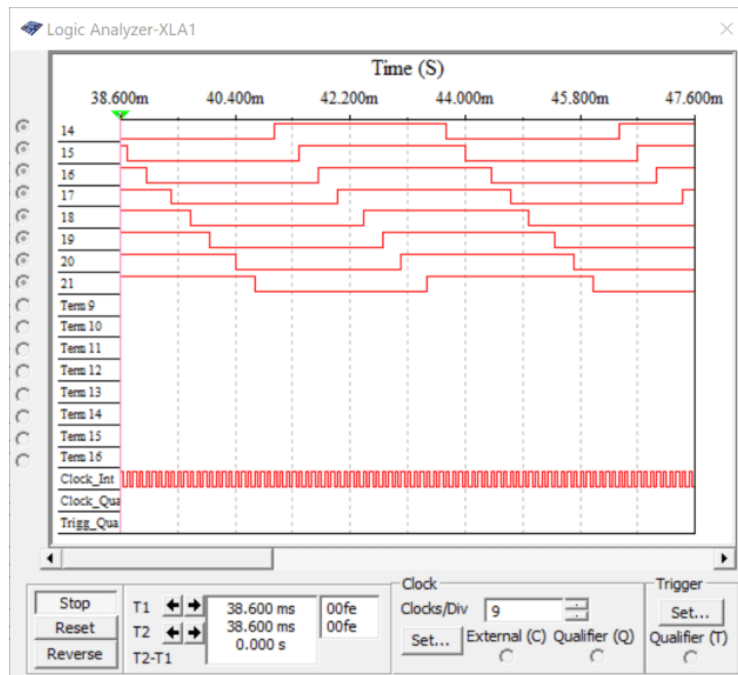


Рис. 10.27. Часові діаграми сигналів на виходах регістру зсуву

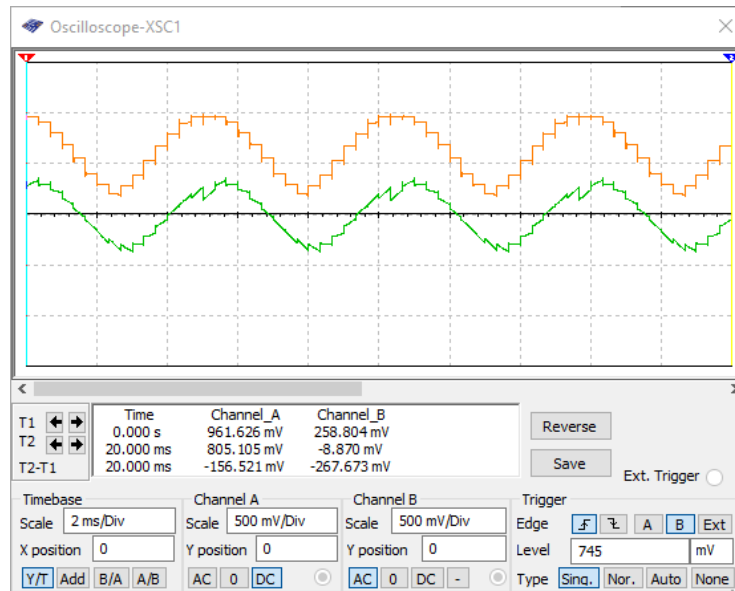


Рис. 10.28. Часові діаграми сигналів на виході формувача квазігармонічного сигналу (червоний) та на виході фільтру нижніх частот

10.7.4 Лічильник імпульсів на основі регістра зі зворотнім зв'язком

Для формування лічильника з максимальним коефіцієнтом ділення 8 можна скористатись 8-розрядним регістром зсуву КР1533ІР8 (74LS164) з паралельними виходами. Модель такого лічильника наведена на рис. 10.29.

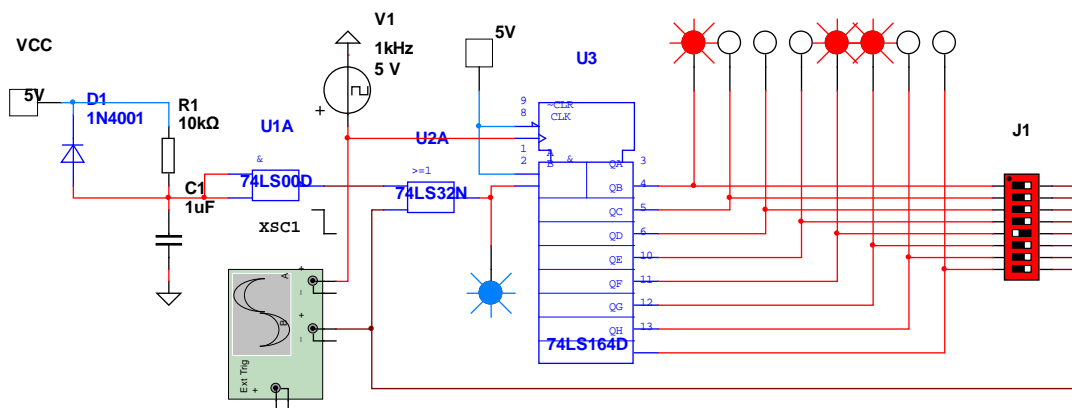


Рис. 10.29. Лічильник на основі регістра зсуву зі зворотнім зв'язком

При включенні живлення на виході схеми установки (вихід логічного елемента U1A) формується рівень логічної "1", який записується у перший розряд регістра при надходженні першого синхроімпульсу від генератора V1. Наступні тактові імпульси зсувають інформацію у регістрі у напрямку від молодшого до старшого розряду.

За допомогою перемикача J1 (перемикається цифровими кнопками клавіатури) можна підключити вихід одного з розрядів регістра на його вхід через логічний елемент АБО U2A. Як

тільки на виході підключеного входу буде сформована "1", вона знов запишеться у перший розряд регістра і весь процес повториться. Таким чином номер виходу регістра буде відповідати коефіцієнту ділення такого лічильника. Часові діаграми сигналів на виході генератора тактових імпульсів та на виході перемикача J1 наведені на рис. 10.30 при коефіцієнті ділення лічильника $K_{\text{діл}} = 5$.



Рис. 10.30. Часові діаграми сигналів на виході генератора тактових імпульсів та на виході перемикача J1 при коефіцієнті ділення лічильника рівному 5

Контрольні запитання

1. Що таке регістр зсуву та які операції можна здійснити за допомогою регістрів?
2. По яких ознаках можна провести класифікацію регістрів?
3. Які регістри треба використовувати для побудови перетворювачів послідовного коду в паралельний?
4. Які регістри треба використовувати для побудови перетворювачів паралельного коду в послідовний?
5. Які типи тригерів можна використовувати для побудови регістрів?
6. Який принцип побудови реверсивного регістру зсуву?

11 ЛІЧИЛЬНИКИ ІМПУЛЬСІВ

11.1 Призначення та класифікація лічильників імпульсів

Лічильники здійснюють рахунок і збереження коду числа підрахованих сигналів. Під сигналами маються на увазі імпульси або перепади напруги. Найпростішим лічильником є лічильний тригер, що здійснює рахунок і збереження не більш двох сигналів. З'єднуючи кілька тригерів певним чином, можна одержати лічильник з необхідним коефіцієнтом рахунку. Інша назва цього коефіцієнту – коефіцієнт ділення. Він показує у скільки разів частота сигналу на виході лічильника буде нижчою за частоту сигналу на його вході $K_{\text{діл}} = f_{\text{вх}}/f_{\text{вих}}$.

Оскільки кожен тригер може знаходитися в одному з двох можливих станів, то лічильник, що складається з m тригерів, може мати $K_{\text{діл}} \leq 2^m$ станів. Перехід лічильника з одного стану в другий відбувається при подачі чергового вхідного сигналу.

Якщо перенумерувати послідовність вхідних сигналів від 0 до $K_{\text{діл}} - 1$, то кожному i -му номеру можна поставити у відповідність його двійковий еквівалент, виражений через стан лічильника, у який він перейде після приходу i -го вхідного сигналу. Визначаючи стан усіх тригерів лічильника за значеннями логічної змінної на їхніх прямих виходах, можна виразити число і підрахованих сигналів у вигляді m -розрядного двійкового коду.

Існують різні схеми лічильників, що відрізняються призначенням, типом використовуваних тригерів, організацією зв'язку між ними, порядком зміни станів і інших особливостей.

В залежності від порядку зміни станів можуть бути лічильники з природним і довільним порядком рахунку. У перших – значення коду кожного наступного стану відрізняється на 1 від попереднього, у других – можуть відрізнятися більше, ніж на 1.

У свою чергу лічильники з природним порядком рахунку поділяються на прості і реверсивні, прості – на підсумовуючі і віднімаючі. Реверсивні можуть працювати як у режимі додавання, так і в режимі віднімання.

За коефіцієнтом ділення лічильники поділяються на двійкові $K_{\text{діл}} = 2^m$ і недвійкові $K_{\text{діл}} \neq 2^m$.

За способом переключення тригерів під час роботи лічильники підрозділяються на синхронні й асинхронні. У синхронних лічильниках всі тригери переключаються одночасно в момент приходу тактового імпульсу, в асинхронних – після зміни стану на керуючому вході тригера.

Основними параметрами лічильників є ємність і швидкодія. Ємність лічильника характеризується $K_{\text{діл}}$, а швидкодія двома величинами:

- роздільною здатністю $t_p = 1/f_{\text{вх}}$;
- часом встановлення $t_{\text{вст}}$ коду лічильника.

Роздільна здатність визначається мінімально припустимим інтервалом часу між двома вхідними сигналами, при якому не відбувається втрата кількості підрахованих сигналів. Час встановлення коду $t_{вст}$ – інтервал часу між моментом часу надходження вхідного сигналу і моментом завершення переходу лічильника в новий стійкий стан.

Обов'язково треба запам'ятати, що код на виходах лічильника потрібно зчитувати тільки з прямих виходів тригерів. Це загально прийнята умова, що дозволяє запобігати помилок при визначенні стані тригерів лічильника.

11.2 Двійкові лічильники

Основна ознака двійкового лічильника $K_{діл} = 2^m$. Для побудови таких лічильників можна використовувати різні види тригерів. Найбільше поширення одержали лічильники на основі універсальних JK-тригерів.

Характеристичне рівняння JK-тригера $Q^{t+1} = J^t \bar{Q}^t + \bar{K}^t Q^t$, де J^t і K^t – логічні функції входів J і K, що відповідають попередньому стану тригера.

Розглянемо підсумовуючий лічильник з $K_{діл} = 8$, кількість розрядів лічильника визначається за виразом $m = \log_2 K_{діл} = 3$.

Найпростішим за схемою є асинхронний підсумовуючий лічильник на T-тригерах. Оскільки окремо T-тригери не випускаються використаємо JK-тригери, що працюють в режимі T-тригера. Схема лічильника з $K_{діл} = 8$ наведена на рис. 11.1, а часові діаграми сигналів, що пояснюють його роботу – на рис. 11.2.

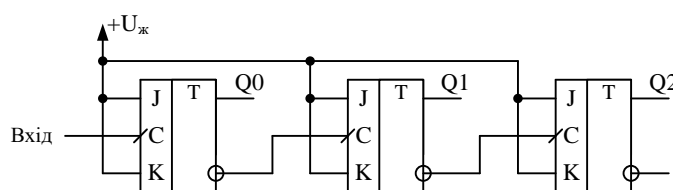


Рис. 11.1. Принципова схема трьохрозрядного асинхронного двійкового підсумовуючого лічильника

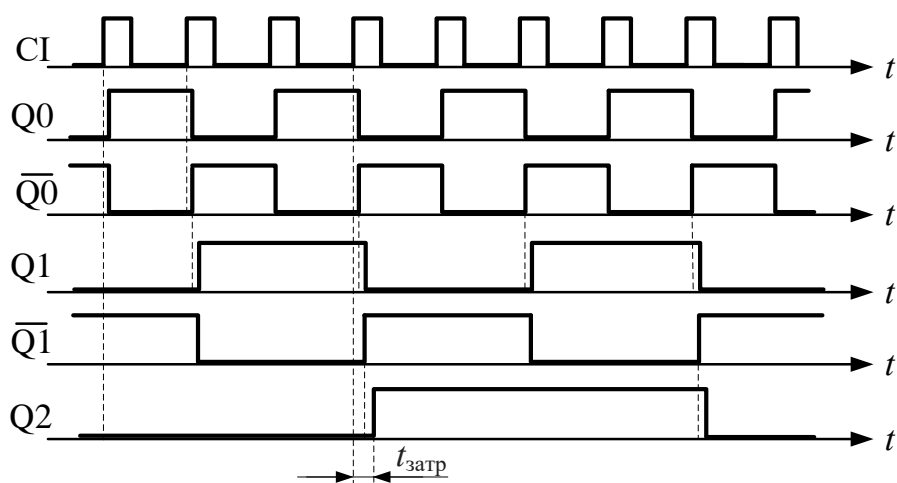


Рис. 11.2. Часові діаграми роботи трьохрозрядного асинхронного двійкового підсумовуючого лічильника

Оскільки JK-тригер працює в режимі лічильного тригера при умові, що на його входах J і K встановлена "1", то ці входи тригерів (рис. 11.1) під'єднані до джерела живлення.

Аналізуючи діаграми роботи такого лічильника неважко скласти таблицю станів тригерів лічильника (табл. 11.1). З таблиці і часових діаграм слідує, що код на прямих виходах під час приходу кожного наступного синхроімпульсу зростає, а повний цикл повторення складається з восьми імпульсів. З цього можна зробити висновок, що коефіцієнт ділення дорівнює 8 і лічильник підсумовуючий.

Таблиця 11.1. Зміна станів на виходах підсумовуючого лічильника

n	Q0	Q1	Q2
1	0	0	0
2	1	0	0
3	0	1	0
4	1	1	0
5	0	0	1
6	1	0	1
7	0	1	1
8	1	1	1
9	0	0	0

Час затримки спрацьовування останнього тригера лічильника можна розрахувати за простою формулою $t_{затр} = t_{затр1} \cdot n$, де $t_{затр1}$ – затримка спрацьовування одного тригера по відношенню до моменту приходу синхроімпульса на його вхід С (рис. 11.2).

Якщо під'єднати до входів С кожного наступного тригера не інверсні, а прямі виходи попередніх тригерів (рис. 11.3), то отримаємо віднімаючий асинхронний лічильник, часові діаграми роботи якого наведені на рис. 11.4.

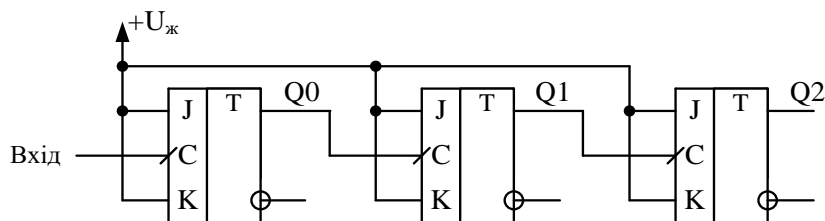


Рис. 11.3. Принципова схема трьохрозрядного асинхронного двійкового віднімаючого лічильника

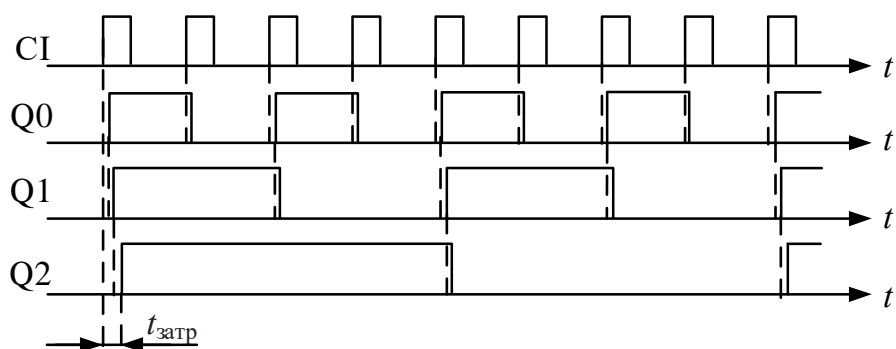


Рис. 11.4. Часові діаграми роботи трьохрозрядного асинхронного двійкового віднімаючого лічильника

Як слідує з часових діаграм, кожний вхідний імпульс викликає зменшення вихідного коду на виходах тригерів на одиницю. Тобто лічильник віднімаючий.

11.3 Реверсивні лічильники

Реверсивними називають лічильники, що можуть працювати або як підсумовуючий, або як віднімаючий, в залежності від значення сигналу управління.

Розглянемо принцип побудови такого лічильника на базі трьохрозрядного двійкового лічильника. Функціональна схема такого лічильника наведена на рис. 11.5.

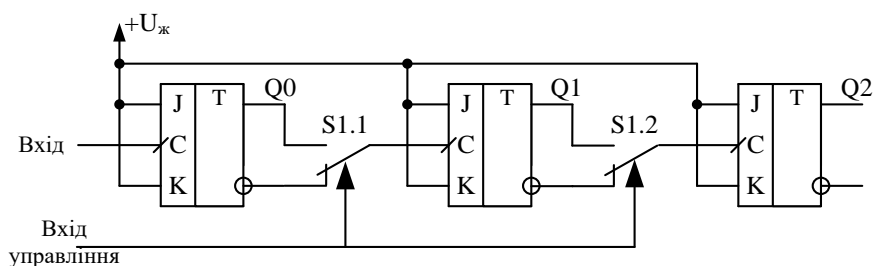


Рис. 11.5. Функціональна схема трьохрозрядного асинхронного реверсивного лічильника

З аналізу роботи схем, що наведені на рис. 11.1 та 11.3 можна зробити висновок, якщо ключі S1 встановлені у нижнє положення (рис. 11.5) лічильник буде працювати як підсумовуючий, а у верхньому – як віднімаючий.

Замінивши перемикачі електронними ключами, отримаємо трьохрозрядний реверсивний лічильник, схема якого наведена на рис. 11.6.

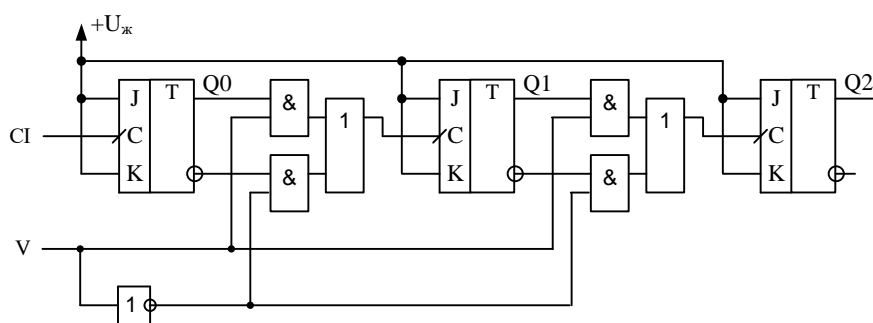


Рис. 11.6. Принципова схема трьохрозрядного асинхронного реверсивного лічильника

При подачі на вхід управління нульового рівня $V = "0"$ лічильник буде працювати як підсумовуючий оскільки сигнали з інверсних виходів тригерів будуть передаватись на входи синхронізації наступних тригерів, а при $V = "1"$ – як віднімаючий.

11.3 Моделювання роботи асинхронних двійкових лічильників

Проведемо моделювання двійкового асинхронного лічильника на мікросхемах тригерів та лічильників. На рис. 11.7 наведено модель асинхронного двійкового лічильника, побудованого на RSD-тригерах KP1533TM2 (SN74LS74).

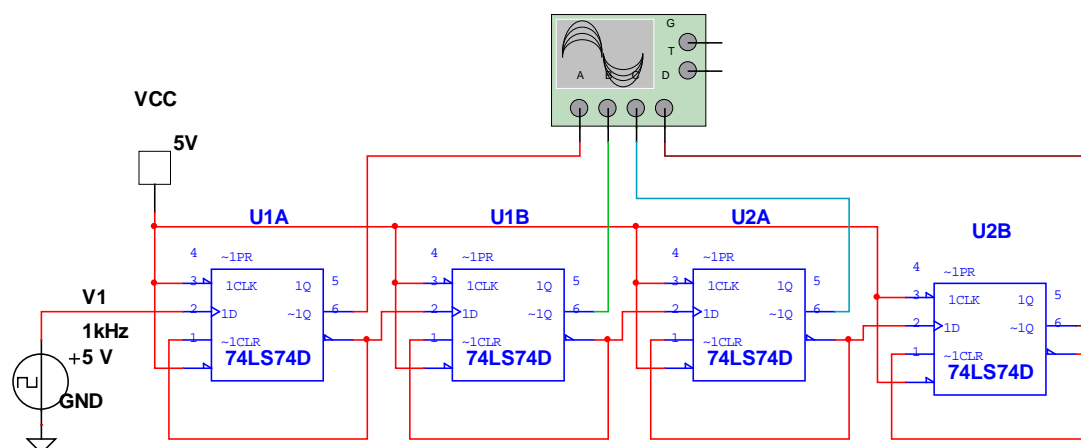


Рис. 11.7. Модель двійкового підсумовуючого чотирьохрозрядного лічильника, побудованого на RSD-тригерах з інверсними входами R та S

Для того, щоб інверсні входи R та S не впливали роботу тригера, на ці входи подана логічна "1" від джерела живлення. Інверсні виходи тригерів з'єднані зі входами D, для утворення Т-тригерів. На рис. 11.8 наведені осцилограми сигналів на виходах лічильника. Треба пам'ятати, що виходами лічильниками вважаються прямі виходи тригерів.

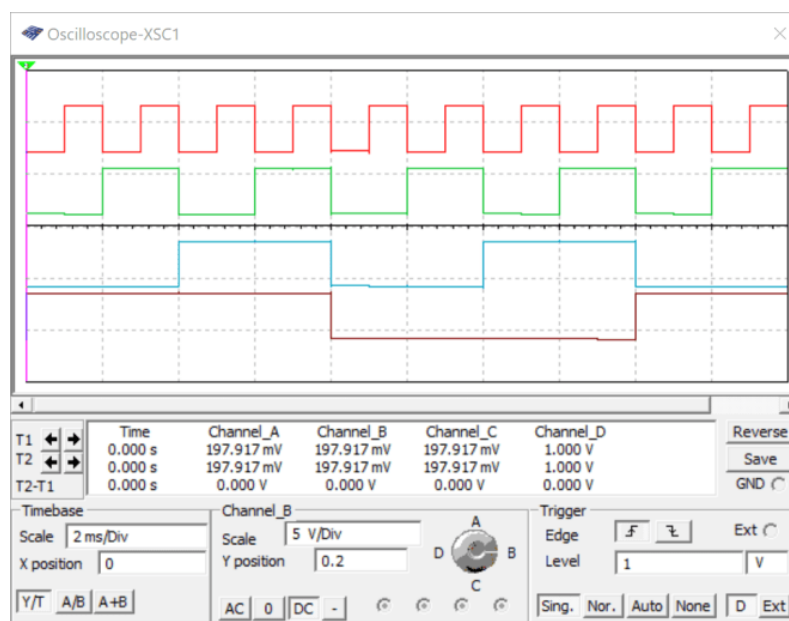


Рис. 11.8. Осцилограми сигналів на виходах чотирьохрозрядного підсумовуючого лічильника, побудованого на RSD-тригерах

Для вимірювання часу розповсюдження сигналу у лічильнику (часу затримки) треба збільшити частоту вхідного сигналу до 5...10 МГц. Часові діаграми сигналів при частоті вхідного сигналу 8 МГц наведені на рис. 11.9.

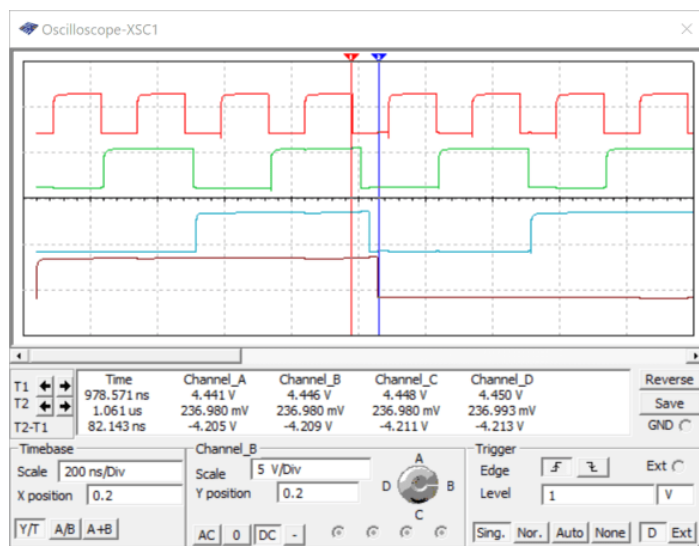


Рис. 11.9. Осцилограми сигналів на виходах чотирьохрозрядного підсумовуючого лічильника, побудованого на RSD-тригерах при частоті вхідного сигналу 8 МГц

Як слідує з рис. 11.9 затримку між вихідним сигналом першого та четвертого тригерів складає 82 нс. Тобто затримка сигналу трьома тригерами складає 82 нс, а одним – приблизно 27 нс. З цього слідує, що лічильник вносить затримку $t_{затр} = 4 t_{затр1} = 4 \cdot 27 = 108$ нс, де $t_{затр1}$ – затримка, що вноситься одним тригером.

Для побудови віднімаючого лічильника з'єднаємо прямі виходи тригерів зі входами наступних тригерів (рис. 11.10).

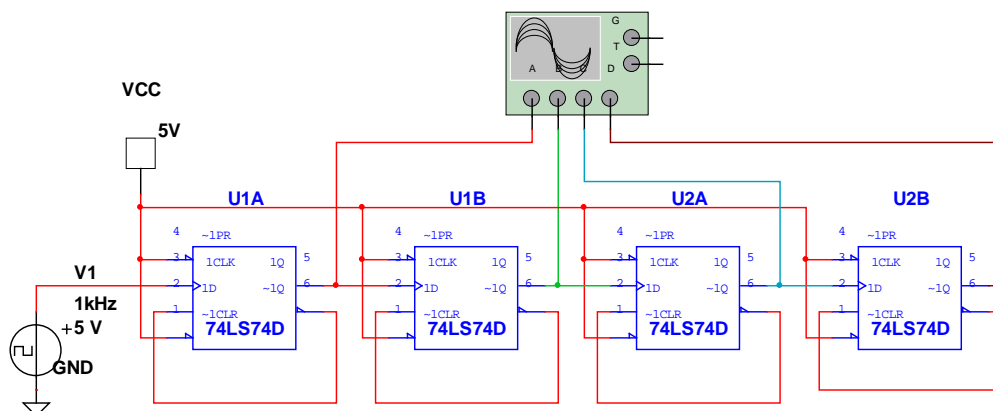


Рис. 11.10. Модель двійкового віднімаючого чотирьохрозрядного лічильника, побудованого на RSD-тригерах з інверсними входами R та S

Часові діаграми сигналів (осцилограми сигналів) на виходах віднімаючого лічильника наведені на рис. 11.11.

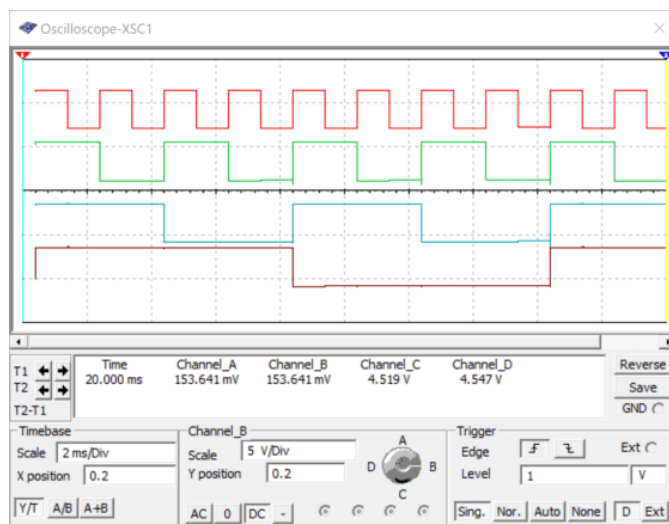


Рис. 11.11. Осцилограми сигналів на виходах віднімаючого чотирьохрозрядного лічильника, побудованого на RSD-тригерах

Приклад двійкового лічильника, побудованого на мікросхемі КР1533ІЕ5 (74LS293), наведено на рис. 11.12. Лічильник складається з двох частин:

- лічильник на одному тригері (вхід INA, вихід QA);
- трьохрозрядний лічильник (вхід INB, виходи QB, QC, QD).

Щоб сформувати чотирьохрозрядний асинхронний лічильник необхідно з'єднати вихід QA зі входом INB, як показано на рис. 11.12. Входи встановлення у "0" R01, R02 треба під'єднати до загального проводу, щоб вони не впливали на роботу лічильника.

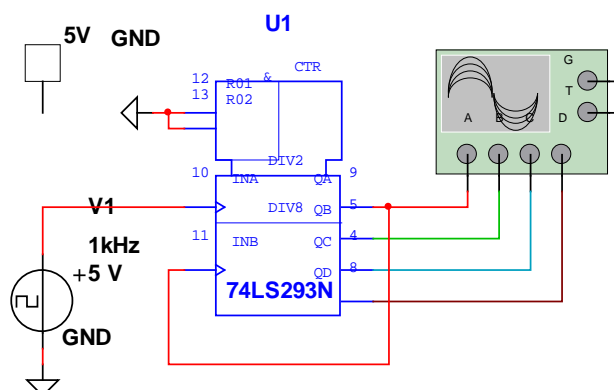


Рис. 11.12. Двійковий чотирьохрозрядний лічильник на мікросхемі КР1533ІЕ5 (74LS293)

Осцилограми сигналів на виходах лічильника на мікросхемі КР1533ІЕ5 (74LS293) наведені на рис. 11.13.

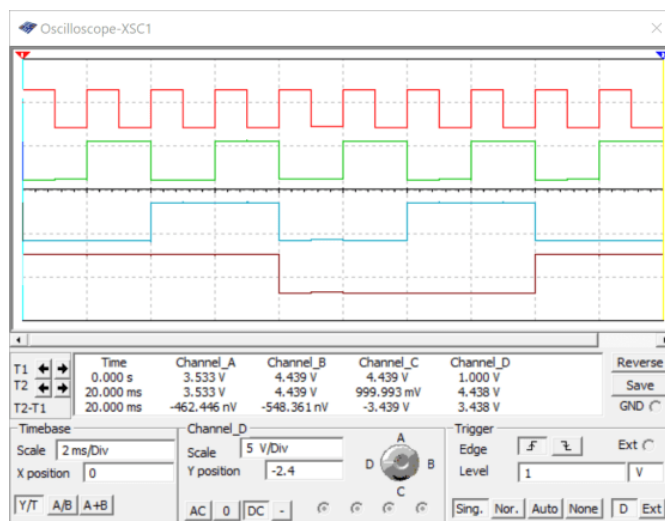


Рис. 11.13. Осцилограми сигналів на виходах чотирьохрозрядного лічильника, на мікросхемі КР1533ИЕ5 (74LS293)

З осцилограм слідує, що старших три розряди працюють як підсумовуючий лічильник, однак молодший розряд випадає з цього ряду. Тому потрібно для формування підсумовуючого лічильника між виходом QA і виходом лічильника додати інвертор (рис. 11.14).

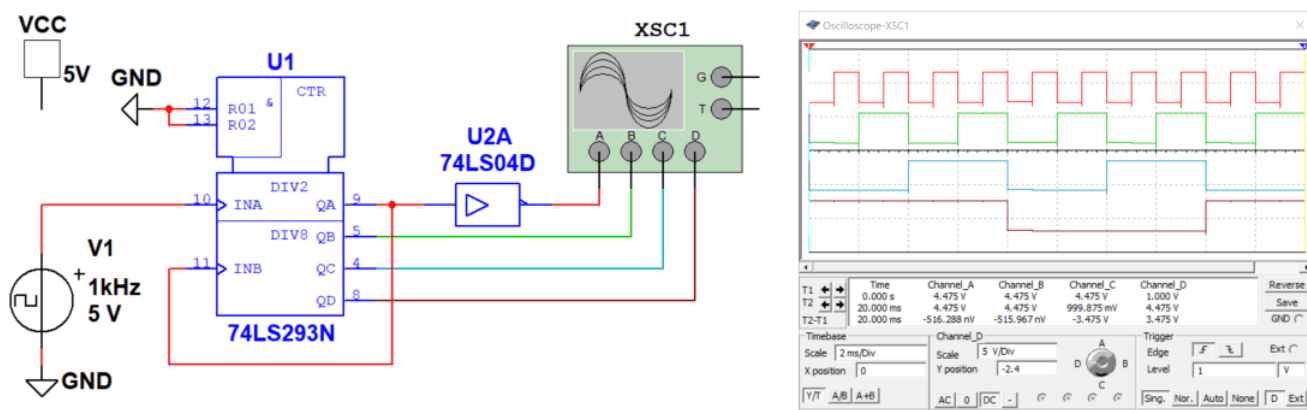


Рис. 11.14. Двійковий чотирьохрозрядний підсумовуючий лічильник на мікросхемі КР1533ИЕ5 (74LS293) та осцилограми сигналів на його виходах

Побудуємо реверсивний лічильник, використовуючи лічильник на RSD-тригері і мультиплексор на мікросхемі КР1533КП16 (74LS157), що містить чотири двохходових мультиплексори з загальним входом управління. На рис. 11.15 та 11.16 наведені схеми реверсивного лічильника, працюючого в режимі підсумовуючого (рис. 11.15) та віднімаючого (рис. 11.16) лічильника та осцилограми сигналів на його виходах.

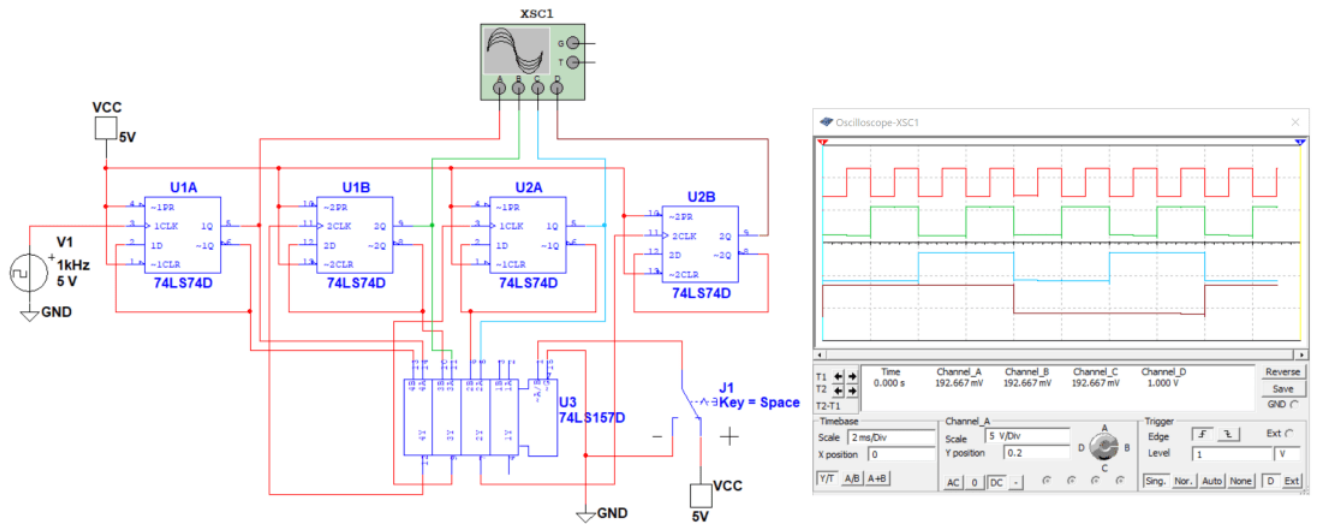


Рис. 11.15. Двійковий чотирьохрозрядний реверсивний лічильник, працюючий в режимі підсумовуючого

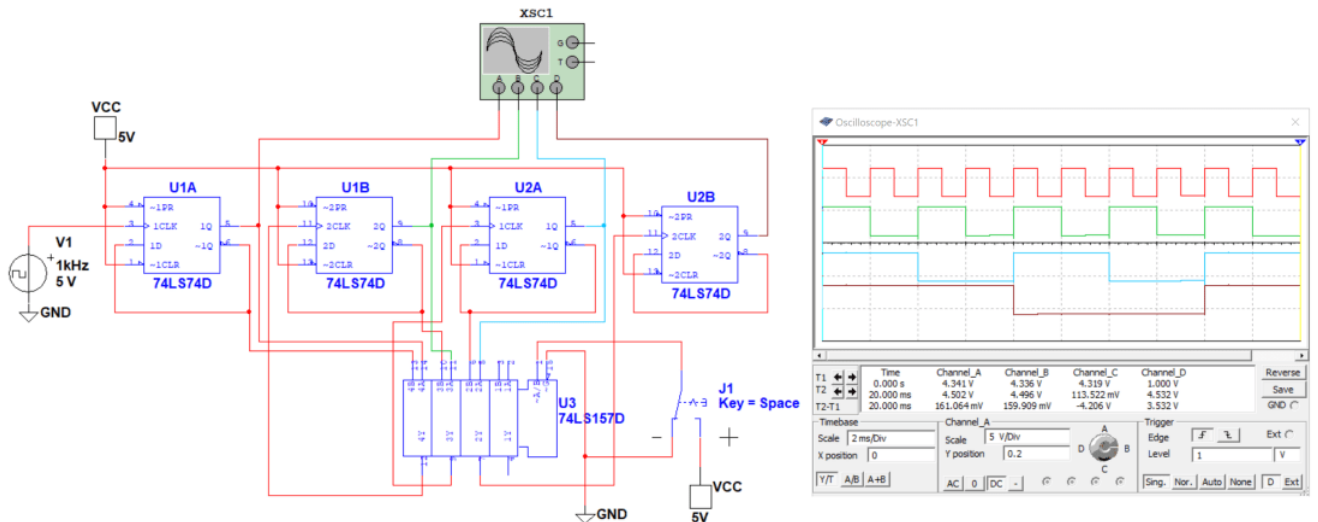


Рис. 11.16. Двійковий чотирьохрозрядний реверсивний лічильник, працюючий в режимі віднімаючого

Перемикання напрямку роботи здійснюється перемикачем J1, який управляє мультиплексором U3. На вхід A/B подається "0" або "1". При "0" на вході A/B лічильник працює в режимі віднімаючого, а при "1" – в режимі підсумовуючого.

11.4 Синхронні двійкові лічильники

Для зменшення часу перемикання лічильника використовуються синхронні лічильники у яких всі тригери перемикаються одночасно. Найбільш зручною виявляється реалізація синхронних лічильників JK-тригерів.

Характеристичне рівняння синхронного лічильника на JK-тригерах має вигляд

$$Q^{t+1} = (J_1 J_2 J_3 J_4)' \bar{Q}^t + (\overline{K_1 K_2 K_3 K_4})' Q^t = J^t \bar{Q}^t + \bar{K}^t Q^t.$$

На рис. 11.17 наведена схема чотирьохрозрядного синхронного двійкового лічильника, побудованого на універсальних RSJK-тригерах з інверсними входами R та S. Оскільки входи R та S під'єднані до джерела живлення, то на роботу тригерів вони не впливають.

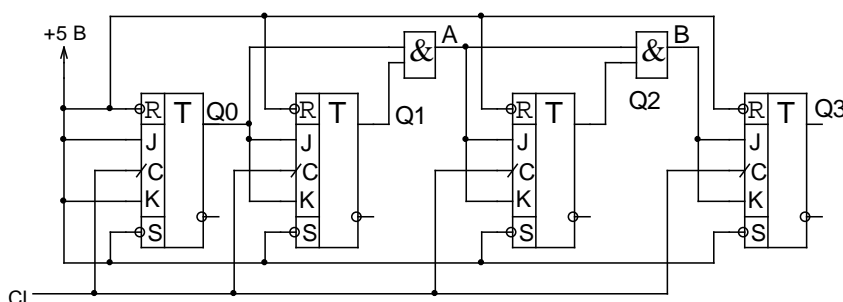


Рис. 11.17. Принципова схема чотирьохрозрядного синхронного лічильника

Логічні елементи І потрібні для того щоб перемикання кожного наступного тригера відбувалось тільки після перемикання всіх попередніх тригерів. При побудові часових діаграм роботи лічильника треба пам'ятати, що перемикання JK-тригерів відбувається тільки якщо під час приходу синхроімпульсу на входах J і K, встановлений рівень логічної "1".

Часові діаграми сигналів у різних точках лічильника наведені на рис. 11.18. Як слідує з часових діаграм сигнал на виході першого логічного елементу І (точка А на схемі) формується тільки після того, як переключилися і перший і другий тригер. Аналогічно формується сигнал у точці В з урахуванням спрацьовування перших трьох тригерів лічильника.

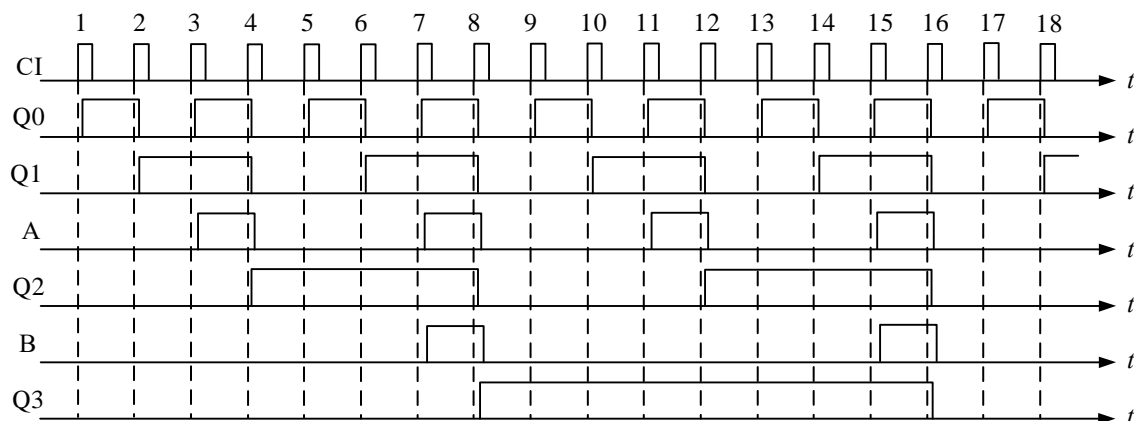


Рис. 11.18. Часові діаграми роботи чотирьохрозрядного синхронного лічильника

11.5 Моделювання синхронного двійкового лічильника

Для моделювання синхронного лічильника використаємо мікросхеми КР1533ТВ9 (74LS109). Модель синхронного чотирьохрозрядного лічильника та осцилограм сигналів на його виходах наведені на рис. 11.19.

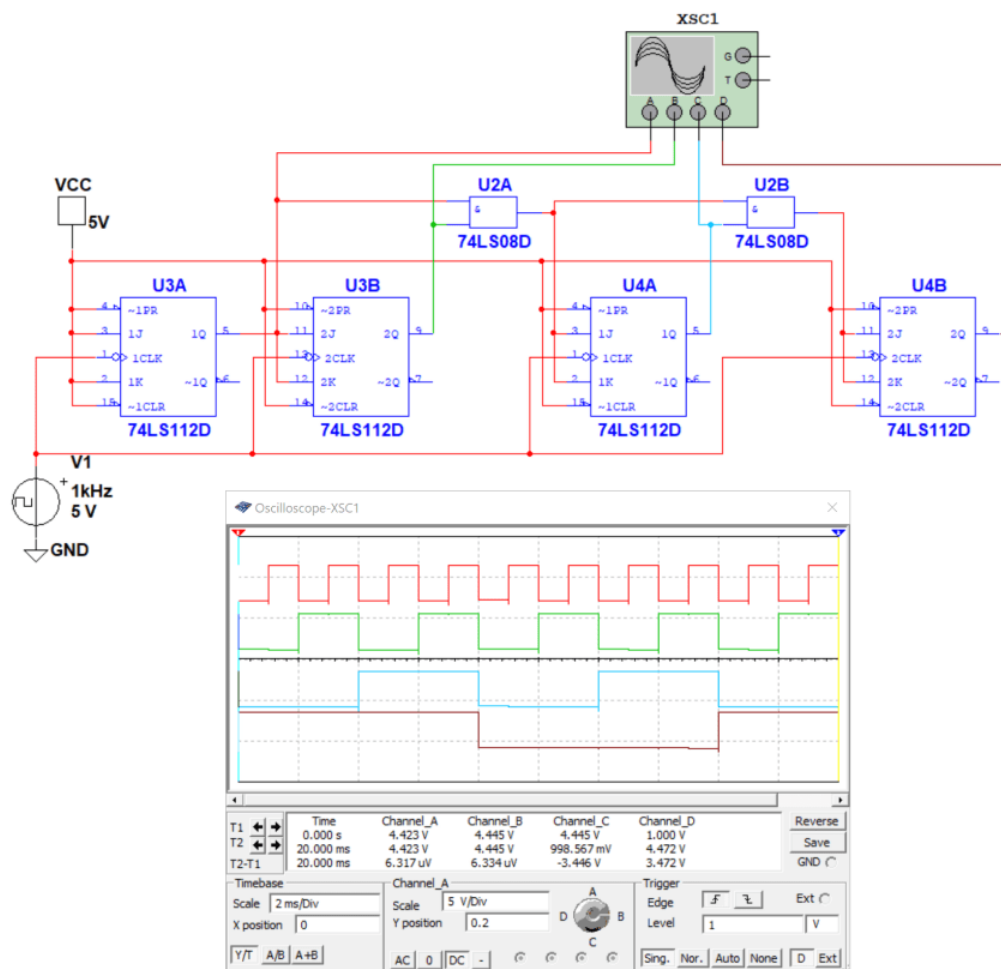


Рис. 11.19. Модель синхронного чотирьохрозрядного лічильника та осцилограм сигналів на його виходах

Для більш детального дослідження моментів перемикання тригерів лічильника необхідно підвищити частоту вхідного сигналу до 10 МГц і використати логічний аналізатор для контролю сигналів у всіх точках лічильника. На рис. 11.20 наведено модель синхронного лічильника з підключеним логічним аналізатором до важливих точок лічильника.

Оскільки при значенні рівня на входах JK рівному "0" і наявності синхроімпульса на вході CLK JK-тригер не перемикається. А при рівня на входах JK рівному "1" і наявності синхроімпульса на вході CLK JK-тригер перемикається.

Це добре видно на рис. 11.21 на інтервалах часу відмічених курсорами.

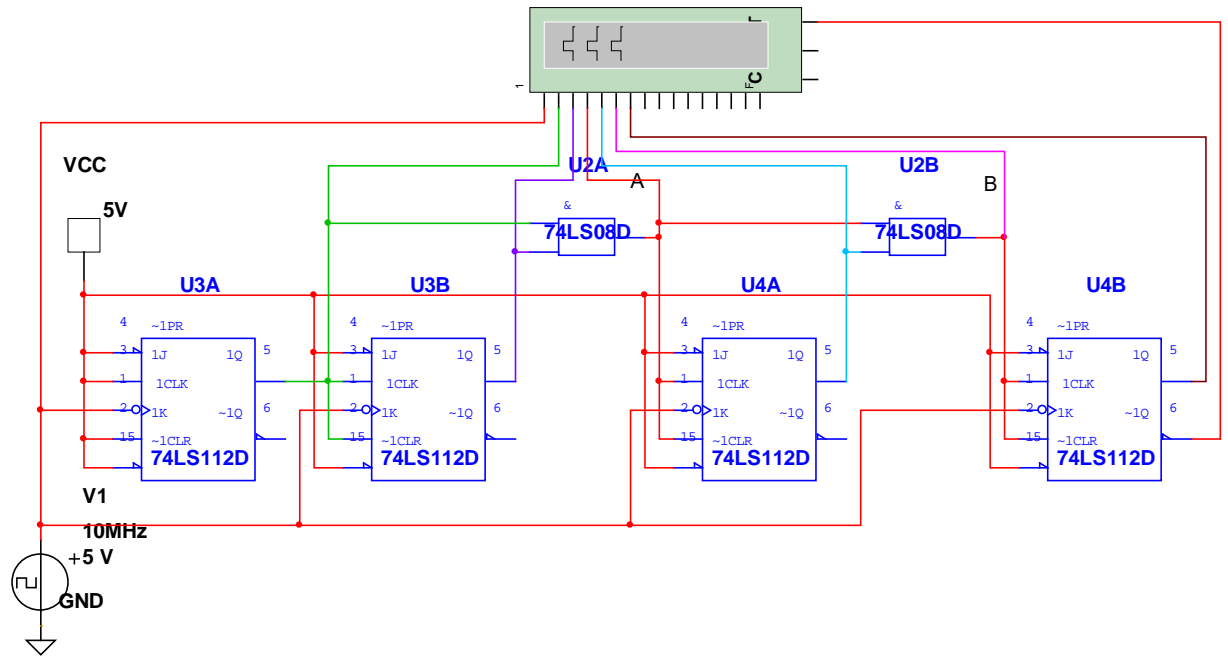


Рис. 11.20. Модель синхронного двійкового лічильника з підключеним логічним аналізатором



Рис. 11.21. Часові діаграми сигналів урізних точках двійкового лічильника

З рис. 11.21 слідує, що у точці відміченій червоним курсором перемикається перший тригер (вхід, відмічений номером 1). Це відбувається тому, що на входи JK першого тригера весь час подається "1" від джерела живлення. Інші тригери не перемикаються.

У точці, відміченій синім курсором перемикається другий тригер, бо під час другого синхроімпульса на входи JK другого тригера подається "1" з виходу першого тригера. Перемикання всіх тригерів відбувається з затримкою відносно синхроімпульса на його вході.

Аналогічно треба аналізувати стан на входах JK кожного тригера під час кожного синхроімпульса і пам'ятати, що тригер перемикається тільки при наявності "1" на входах JK і синхроімпульса.

Наприклад, четвертий тригер перемикається коли у точці В (часова діаграма з номером 6 фіолетового кольору) є одиниця яка співпадає у часі з синхроімпульсом. Таке співпадіння реалізується на 8 і 16 синхроімпульсах.

11.6 Недвійкові лічильники імпульсів

11.6.1 Загальні зауваження

Основною ознакою що лічильник є недвійковим це виконання умови $K_{\text{діл}} \neq 2^n$. Принцип побудови недвійкових лічильників складається у виключенні деяких стійких станів звичайного двійкового лічильника, що є надлишковими для недвійкового лічильника. Надлишкові стани виключаються за допомогою зворотних зв'язків у лічильнику. Зворотні зв'язки утворюють уведенням додаткових логічних елементів, що з'єднують входи і виходи відповідних тригерів.

Основні способи побудови недвійкових лічильників, або лічильників з довільним коефіцієнтом ділення:

- синтез лічильника на рівні логічних рівнянь з мінімізацією кількості кіл зворотного зв'язку;
- використання готового лічильника і введення у нього зворотних зв'язків для виключення надлишкових станів;
- використання прогамованих лічильників для формування потрібного коефіцієнта ділення;
- використання готового лічильника і введення у нього кола встановлення у початковий стан, що складається з дешифратора та мультиплексора.

11.6.2 Синтез лічильника з заданим коефіцієнтом ділення

Задача синтезу недвійкового лічильника зводиться до визначення необхідних зворотних зв'язків і мінімізації їхнього числа. Кількість тригерів у недвійковому лічильнику визначається з виразу

$$n = \lceil \log_2 K_{\text{діл}} \rceil,$$

де $\lceil \]$ – знак округлення до найближчого цілого числа. Число надлишкових станів, що виключаються, дорівнює

$$N = 2^n - K_{\text{діл}}.$$

Оскільки можна виключити будь-які стани в будь-яких комбінаціях, то загальне число схем недвійкового лічильника з тим самим $K_{\text{діл}}$ і усіма варіантами зміни порядку рахунку визначається величиною

$$m = \frac{(K_{\text{діл}} - 1)! K_{\text{діл}}}{N! (K_{\text{діл}} - N)}.$$

Розглянемо процес синтезу лічильника на прикладі побудови синхронного лічильника з коефіцієнтом ділення $K_{\text{діл}}=3$. Для цього потрібно виконати наступні кроки.

1 крок

Знаходимо необхідну кількість тригерів для побудови лічильника

$$n = \lceil \log_2 K_{\text{діл}} \rceil = \lceil \log_2 3 \rceil = 1.58 \approx 2.$$

Отже лічильник треба будувати на основі двійкового синхронного лічильника з $K_{\text{діл}} = 4$, що складається з двох тригерів.

2 крок

Знаходимо кількість надлишкових станів

$$N = 2^n - K_{\text{діл}} = 2^2 - 3 = 1.$$

Лічильник із двох тригерів може мати $2^2 = 4$ стани:

$$Q_1 Q_2; \overline{Q_1} Q_2; Q_1 \overline{Q_2}; \overline{Q_1} \overline{Q_2}.$$

Виключимо, наприклад, стан $Q_1 Q_2$, а порядок зміни станів приймемо наступний:

$$Q_1 Q_2; \overline{Q_1} \overline{Q_2}; \overline{Q_1} Q_2; Q_1 \overline{Q_2}.$$

3 крок

Переходимо до синтезу лічильника. Побудуємо лічильник на JK-тригерах.
Характеристичне рівняння роботи JK-тригера

$$Q^{t+1} = J^t \bar{Q}^t + \bar{K}^t Q^t$$

Складемо таблицю переходів JK-тригера:

Таблиця 11.2. Переходи JK-тригера

J ^t	K ^t	Q ^t	Q ^{t+1}
0	0	0	0
0	1	0	0
1	0	0	1
1	1	0	1
0	0	1	1
1	0	1	1
0	1	1	0
1	1	1	0

4 крок

Складаємо таблицю функціонування лічильника та сформуємо прикладні таблиці для кожного з тригерів.

Таблиця 11.3. Порядок зміну станів лічильника

Q	Номер стану		
	1 $\bar{Q}_1 \bar{Q}_2$	2 $Q_1 \bar{Q}_2$	3 $\bar{Q}_1 Q_2$
Q ₁ ^t	0	1	0
Q ₂ ^t	0	0	1
Q ₁ ^{t+1}	1	0	0
Q ₂ ^{t+1}	0	1	0

		\bar{Q}_2^t	Q ₂ ^t
Q ₁ ^t →	\bar{Q}_1^t	01 ₁₃	00
	Q ₁ ^t	10 ₂₄	--
		\bar{Q}_2^t	Q ₂ ^t
Q ₂ ^t →	\bar{Q}_1^t	00 ₁₃	10
	Q ₁ ^t	01 ₂₄	--

У клітинках, де стоїть знак "--" або "*" функція невизначена.

5 крок

На основі таблиці переходів JK-тригерів складемо характеристичну таблицю JK-тригера.

Рис. 11.22. Прикладні таблиці тригерів лічильників

Таблиця 11.4. Характеристична таблиця JK-тригера

$Q' \rightarrow Q^{t+1}$	J^t	K^t
00	0	*
01	1	*
10	*	1
11	*	0

6 крок

На основі прикладних та характеристичної таблиць складемо карти Карно для J і K входів тригерів лічильника (рис. 11.23 та 11.24).

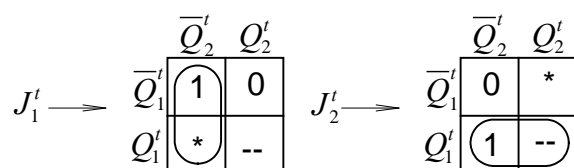


Рис. 11.23 Карти Карно для J-входів тригерів

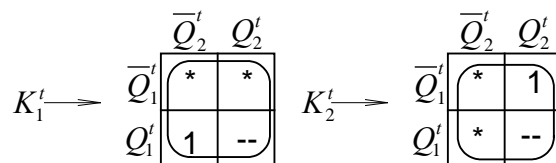


Рис. 11.24. Карти Карно для K-входів тригерів

Використовуючи принцип мінімізації і карти Карно, одержимо такий результат

$$J_1' = \bar{Q}_2' \bar{Q}_1' + \bar{Q}_2' Q_1' = \bar{Q}_2' (\bar{Q}_1' + Q_1') = \bar{Q}_2',$$

$$J_2' = \bar{Q}_2' Q_1' + Q_2' Q_1' = Q_1' (\bar{Q}_2' + Q_2') = Q_1',$$

$$K_1' = K_2' = Q_1' Q_2' + \bar{Q}_1' Q_2' + Q_1' \bar{Q}_2' + \bar{Q}_1' \bar{Q}_2' = Q_1' (Q_2' + \bar{Q}_2') + \bar{Q}_1' (\bar{Q}_2' + Q_2') = Q_1' + \bar{Q}_1' = 1.$$

Таким чином, для побудови лічильника з коефіцієнтом ділення $K_{\text{діл}} = 3$ необхідно вхід J_1 першого тригера з'єднати з виходом \bar{Q}_2 , J_2 – з виходом Q_1 ; на K_1 і K_2 подати "1". Синтезована схема наведена на рис. 11.25.

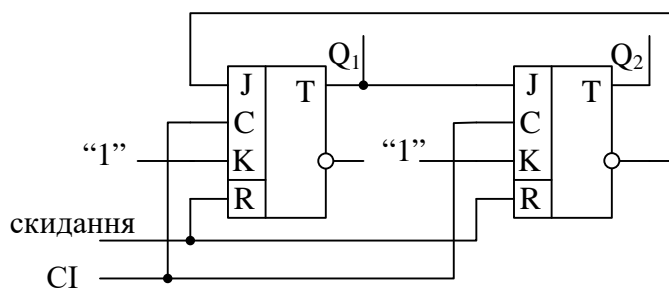


Рис. 11.25. Схема синтезованого лічильника з коефіцієнтом ділення 3

11.6.3 Побудова недвійкового лічильника з використанням синхронного двійкового лічильника

Прийmemo за основу схему синхронного лічильника, що наведена на рис. 11.17. Для формування потрібного коефіцієнта ділення використаємо входи встановлення у "0" всіх тригерів.

Для формування потрібного коефіцієнта ділення введемо зворотний зв'язок з виходу додаткового логічного елементу (рис. 11.26) на входи R.

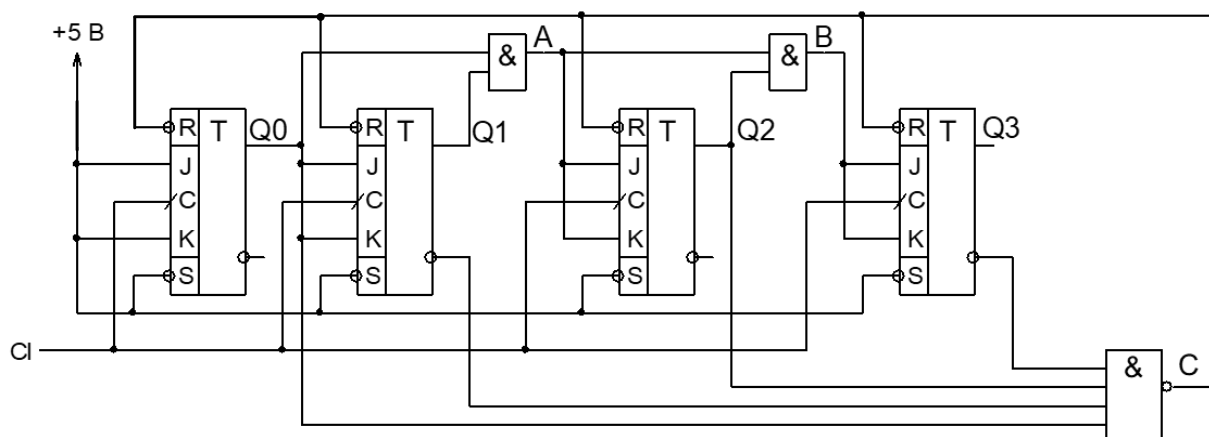


Рис. 11.26. Лічильник з коефіцієнтом ділення 5

Коефіцієнт ділення такого лічильника чисельно буде дорівнювати коду на виходах тригерів при якому на виході третього логічного елементу (вихід С) буде сформовано імпульс. Для того щоб у точці С було сформовано імпульс необхідно, щоб на входах елемента І були встановлені рівні логічної "1", а ця умова буде виконуватись при умові що:

$$Q_3 = 0, Q_2 = 1, Q_1 = 0, Q_0 = 1,$$

тобто на виходах лічильника встановлюється код 1010, що відповідає десятковому значенню 5.

Часові діаграми, що пояснюють роботу такого лічильника, наведені на рис. 11.27.

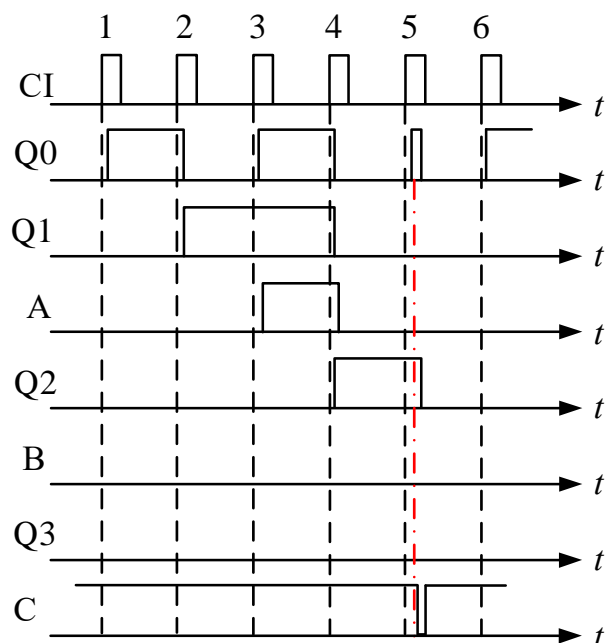


Рис. 11.27. Часові діаграми роботи лічильника з коефіцієнтом ділення 5

У момент часу, коли на виходах лічильника встановлюється код 0101 у точці С формується "0" і перший та третій тригер встановлюються у "0". Одразу після цього умова існування сигналу у точці С порушується і на виході логічного елементу встановлюється знову рівень логічної "1". Тривалість імпульсу у точці С буде дорівнювати сумі затримок що вносять логічний елемент І та перемикання тригерів у стан "0".

При підрахунку коефіцієнта ділення враховуються тільки ті періоди під час яких стан на виходах тригерів (після перемикання під дією синхроімпульса) не змінюється.

Якщо використати для формування потрібного коефіцієнта ділення входи S тригерів, то коефіцієнт ділення буде дорівнювати $N + 1$, де N – значення коду при якому на виході С формується сигнал.

Звісно, що для побудови лічильників таким способом можна використовувати і інші логічні елементи і тригери з прямими входами R та S.

11.6.4 Моделювання лічильника з заданим коефіцієнта ділення на основі двійкового синхронного лічильника

На рис. 11.28 наведена модель, що повторює схему на рис. 11.5. Для контролю сигналів у різних точках лічильника використано логічний аналізатор, який дозволяє контролювати до 16 цифрових сигналів.

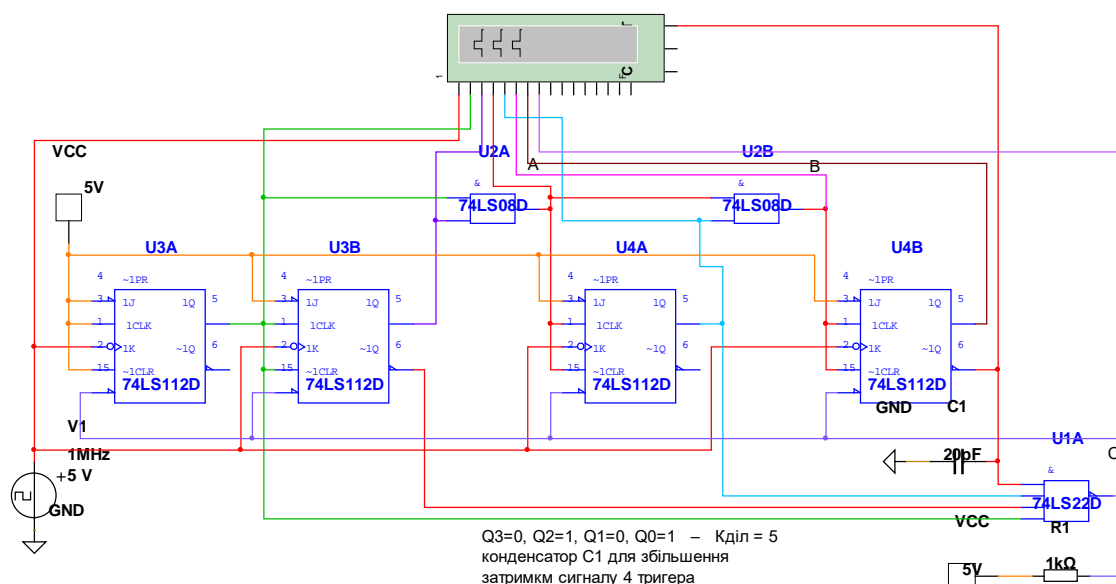


Рис. 11.28. Модель лічильника з коефіцієнтом ділення 5, побудованого на базі синхронного двійкового лічильника

Для зручного відображення сигналів у вікні аналізатора необхідно встановити частоту дискретизації (опитування входів) у 10 разів більшою за частоту генератора вхідних сигналів, що дорівнює 1 МГц.

Для налаштування частоти опитування необхідно натиснути кнопку Set у області Clock (рис. 11.29).

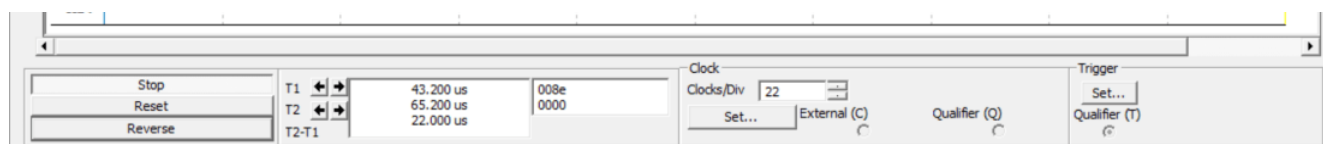


Рис. 11.29. Панель налаштувань логічного аналізатора

У вікні що відкриться необхідно встановити потрібні параметри (рис. 11.30). У віконці Clock Rate встановлюємо значення 10 МГц (у 10 разів більше за частоту вхідного сигналу). У області Sampling Settings у віконці Pre-trigger Samples (кількість відліків до сигналу синхронізації) встановлюємо 1 (можна будь яке число до 100). Це впливає тільки на початок відображення процесу на екрані аналізатора.

У віконці Post-trigger Samples треба встановити не менше ніж $[(10K_{\text{діл.макс}})+2]$ відліків. На рис. 11.30 ця кількість трохи більша. Мінімум потрібно $10 \cdot 16 + 2 = 162$ відліки. Інші налаштування можна не чіпати.

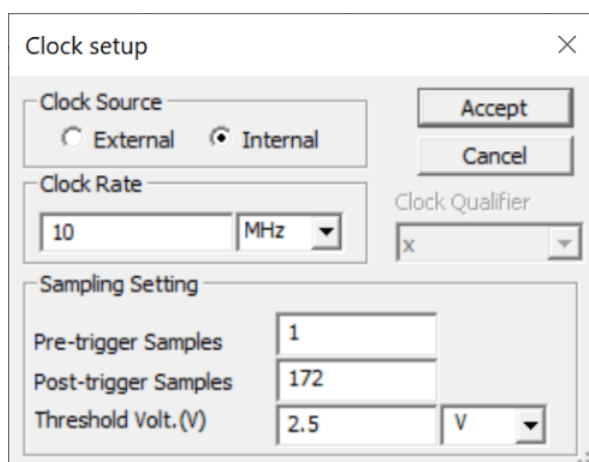


Рис. 11.30. Вікно встановлення параметрів логічного аналізатора

Результати роботи такого лічильника наведені на рис. 11.31.

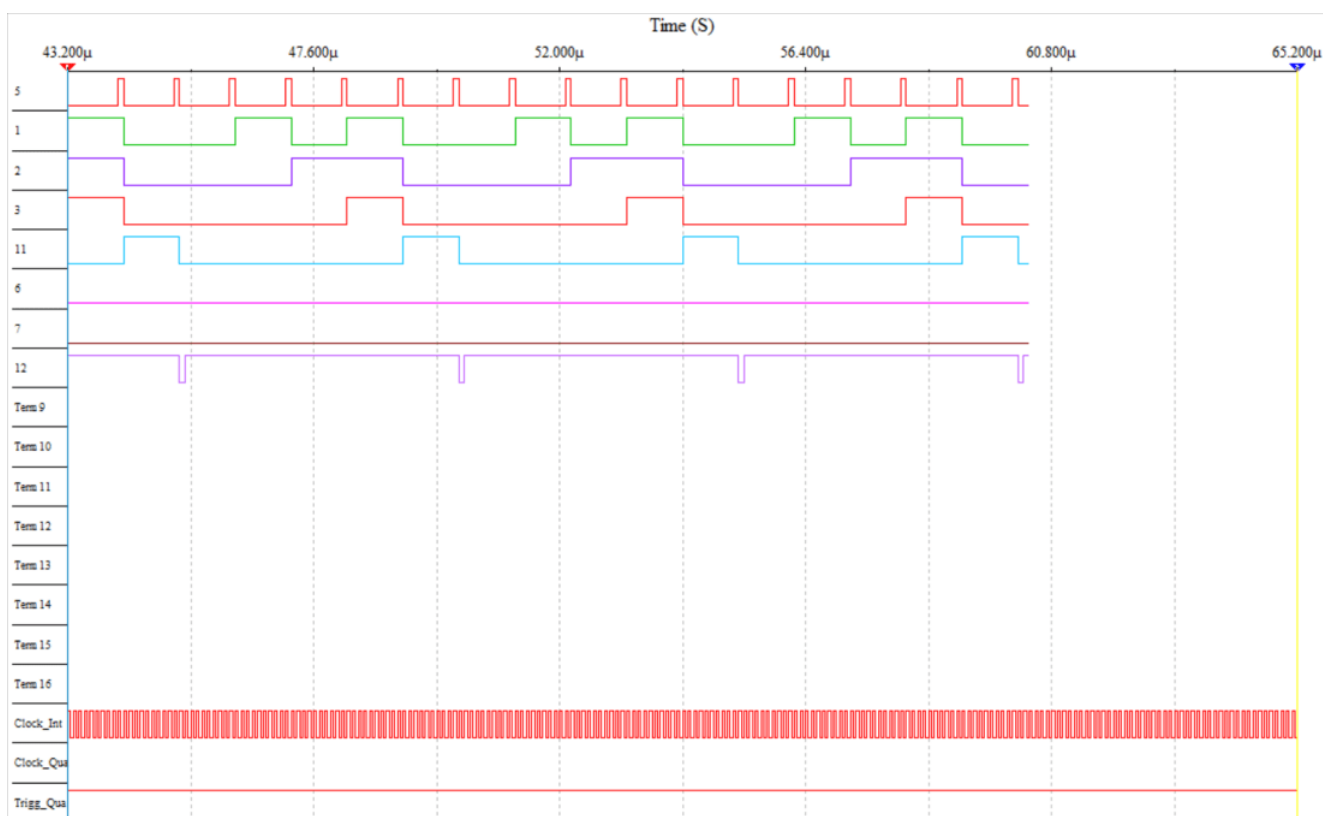


Рис. 11.31. Часові діаграми сигналів у різних точках лічильника з коефіцієнтом ділення частоти $K_{\text{діл}} = 5$

Сигнал, що відображений кривою за номером 12 (вихід логічного елементу 4І, точка С), треба порівняти з вхідним сигналом (верхня крива за номером 5). Кількість імпульсів вхідного сигналу, що вкладається за час між двома імпульсами у точці С і є коефіцієнт ділення. Неважко

з'ясувати з рис. 11.31, що $K_{\text{діл}} = 5$.

Чи можна якось інакше побудувати лічильник з довільним коефіцієнтом ділення на базі синхронного двійкового лічильника? Так, можна. Для цієї цілі можна використати логічний елемент АБО з 4-ма входами, як показано на рис. 11.32.

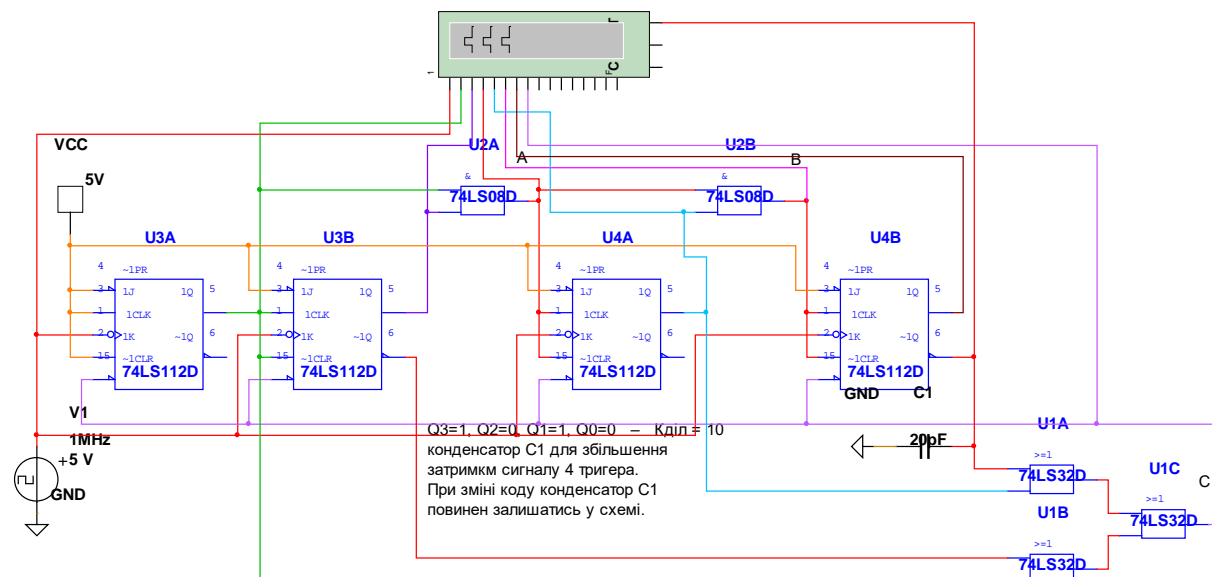


Рис. 11.32. Модель лічильника з коефіцієнтом ділення 10, побудованого на базі синхронного двійкового лічильника

Оскільки в наборі логічних елементів Multisim 10 Analog Devices Edition відсутній елемент 4АБО, то він замінений трьома елементами 2АБО (U1A...U1C). Для встановлення лічильника у початковий стан (у "0") необхідно на всі входи R (Clr) подати рівень логічного "0", оскільки входи S і R інверсні.

Для формування "0" у точці С необхідно щоб на всіх входах логічного елемента АБО були встановлені "0". Запишемо код на виходах лічильника при якому виконується ця умова.

Почнемо зі старшого розряду (вихід Q тригера U4B). Оскільки на виході \bar{Q} повинен бути "0", то на виході Q повинна бути "1". Нагадуємо, що стан лічильника знаходять за станом прямих виходів тригерів. Отже можна записати що $Q_3 = 1$.

По аналогії вихід другого тригера теж повинен мати значення $Q_1 = 1$. Для першого і третього тригерів $Q_0 = Q_2 = 0$.

Таким чином можемо записати код, при якому лічильник повернеться у початковий стан $Q_3Q_2Q_1Q_0 = 1010$, що відповідає десятковому коду 10. Отже коефіцієнт ділення такого лічильника повинен дорівнювати 10. Перевіримо це за допомогою логічного аналізатора. Часові діаграми сигналів у різних точках схеми наведені на рис. 11.33.



Рис. 11.33. Часові діаграми сигналів у різних точках лічильника з коефіцієнтом ділення частоти $K_{\text{діл}} = 10$

Підрахувавши кількість вхідних імпульсів на інтервалі періоду сигналу у точці С (крива №12) можна пересвідчитись, що коефіцієнт ділення лічильника дорівнює $K_{\text{діл}} = 10$.

11.6.5 Використання програмованих лічильників для побудови лічильників з довільним коефіцієнтом ділення

Програмованим називають лічильник у якому передбачені додаткові входи для запису початкового коду у тригери лічильника. Потрібний коефіцієнт ділення формується дорахуванням від встановленого до кінцевого значення коду лічильника. **Під кінцевим значенням коду найчастіше розуміють встановлення на виході лічильника нульового значення коду.**

Тоді коефіцієнт ділення для підсумовуючого лічильника буде дорівнювати

$$K_{\text{діл}+} = K_{\text{макс}} - N,$$

де $K_{\text{макс}} = 2^n$, n – кількість тригерів лічильника, N – значення початкового коду, записаного у лічильник.

Для віднімаючого лічильника чисельне значення коефіцієнта ділення дорівнює значенню коду, записаного у лічильник $K_{\text{діл-}} = N$ якщо кінцеве значення коду дорівнює 0.

Але під кінцевим значенням коду можна розуміти і встановлення максимального коду на виході лічильника. Для чотирьохрозрядного лічильника це число 15 (двійковий код 1111). При такому значенні кінцевого значення коду коефіцієнт ділення для підсумовуючого лічильника буде дорівнювати $K_{\text{діл+}} = K_{\text{макс}} - (N + 1)$, а коефіцієнт ділення віднімаючого лічильника буде дорівнювати $K_{\text{діл-}} = N + 1$.

Принцип побудови програмованих лічильників досить простий. Якщо використати універсальні RSJK-тригери (рис. 11.34), то входи R та S можна використати для програмування, як показано на рис. 11.34,б.

Для програмування необхідно подати на вхід даних (D0 на рис. 11.34,б) потрібне значення коду цього розряду і подати на вхід L (Load – завантаження) логічну "1" (короткий імпульс). Якщо значення $D0 = 1$, то на вході S тригера встановиться "1", а на вході R – "0", оскільки на верхній вхід логічного елемента I2 сигнал зі входу D0 подається через інвертор. Тригер встановиться у "1".

Якщо на вхід D0 подати "0", то "1" встановиться на вході R і тригер встановиться у "0".

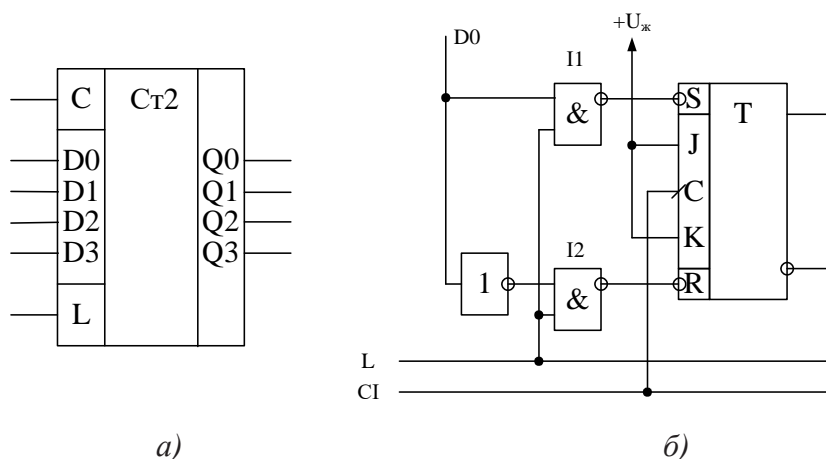


Рис. 11.34. Умовне графічне позначення програмуємого лічильника (а) і принципова схема одного з його розрядів (б)

Більшість лічильників, що випускаються промисловістю, забезпечуються додатковими входами для попереднього запису паралельного коду. Розглянемо найбільш поширений реверсивний програмований двійковий лічильник КР1533ИЕ7 (аналог мікросхеми 74LS193), що випускається у складі багатьох серій ІМС ТТЛ та КМОН. Аналогічний за функціями двійково-десятковий лічильник КР1533ИЕ6 (74LS192).

Умовне графічне позначення мікросхеми КР1533ИЕ7 наведено на рис. 11.35,а. Умовне графічні позначення 74LS193 наведено на рис. 11.35,б. У довідниках можна знайти ще декілька різних позначень.

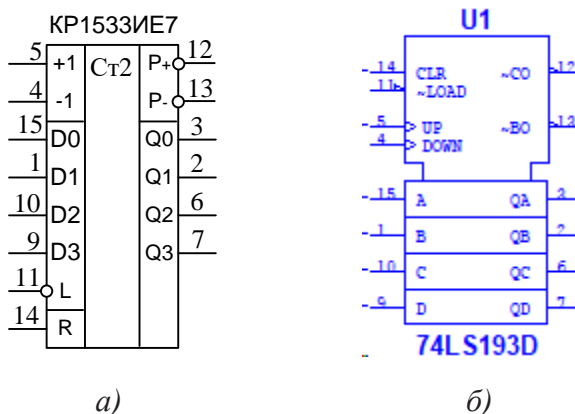


Рис. 11.35. Умовне графічне позначення програмованого лічильника КР1533ИЕ7 та його аналогу 74LS193

Запис коду початкової установки здійснюється при подачі на вхід дозволу запису L (Load – завантаження) шляхом занесення у кожний розряд лічильника інформації, що подається на входи програмування D0...D3 (A, B, C, D).

Оскільки цей лічильник реверсивний, то в ньому передбачено два входи для зміни напрямку роботи – +1 (UP) і -1 (DOWN). Щоб лічильник працював у режимі додавання необхідно на вхід +1 (UP) подати імпульси, а на вхід -1 (DOWN) – рівень логічної "1". Для зміни напрямку роботи слід зробити навпаки. На рис. 11.38 наведені часові діаграми сигналів, що ілюструють роботу лічильника у різних режимах, а у табл. 11.5 – значення сигналів на входах мікросхеми у різних режимах роботи.

Таблиця 11.5. Таблиця функціонування лічильника КР1533ИЕ7

Режим роботи	Входи			
	R	L	+1	-1
Встановлення у "0"	1	X	X	X
Завантаження коду	0	0	X	X
Додавання	0	1	0→1	1
Віднімання	0	1	1	0→1

Імпульси переносу лічильника, що формуються на виходах P+ (~CO) у режимі додавання та P- (~BO) – у режимі віднімання, представляють собою затриманий вхідний імпульс.

Особливістю цього лічильника є те, що у режимі додавання імпульс переносу на виході

$P+$ ($\sim CO$) формується при всіх одиницях на виходах тригерів лічильника і коефіцієнт ділення буде розраховуватись при програмуванні за формулою $K_{\text{діл}+} = K_{\text{макс}} - (N + 1)$, а в режимі віднімання – при всіх нулях на виходах тригерів і коефіцієнт ділення розраховується за формулою $K_{\text{діл}-} = N$.

Імпульси переносу можна використовувати для з'єднання декількох лічильників між собою для збільшення розрядності (рис. 11.36), а також для програмування лічильника.

Для програмування лічильника на його вхід завантаження (L) треба подати імпульс з виходу переносу $P+$ (якщо лічильник працює у режимі додавання), або з виходу $P-$ (якщо лічильник працює у режимі віднімання).

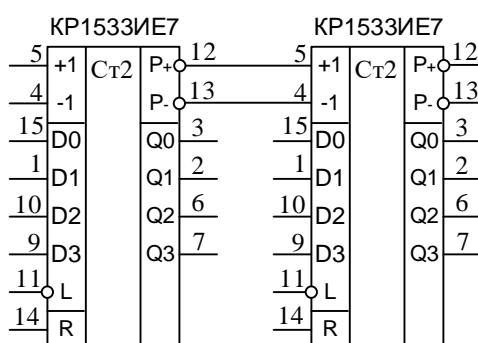


Рис. 11.36. З'єднання двох лічильників KP1533IE7 для збільшення розрядності

Часові діаграми сигналів на входах та виходах лічильника KP1533IE7 (74LS193) наведені на рис. 11.37.

Проілюструвати використання програмованих лічильників можна на прикладі побудови лічильника з потрібним коефіцієнтом лічення що не дорівнює 2^n та 10^n .

Розглянемо приклад. Нехай коефіцієнт ділення лічильника що працює в режимі додавання коду потрібно зробити рівним 237. Для побудови такого лічильника потрібно використати дві мікросхеми KP1533IE7 (74LS193). Тоді максимально можливий коефіцієнт ділення буде дорівнювати 256.

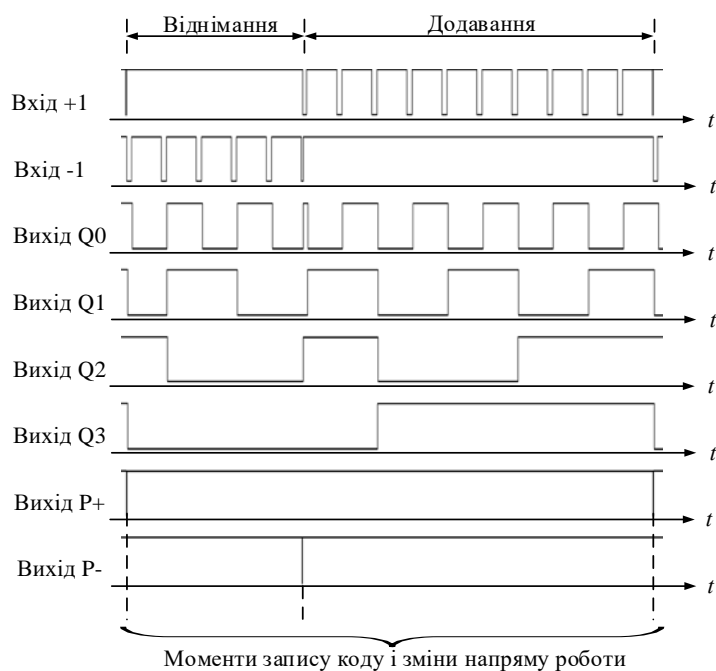


Рис. 11.37. Часові діаграми роботи лічильника КР1533ІЕ7 (74LS193)

Знаходимо код програмування з співвідношення

$$N = K_{\text{макс}} - (K_{\text{діл}} + 1) = 256 - (237 + 1) = 18.$$

Переводимо отримане значення N з десяткової системи у двійковий 8-розрядний код. Отримаємо $N = 00010010$. Схема лічильника з $K_{\text{діл}} = 237$ наведена на рис. 11.38.

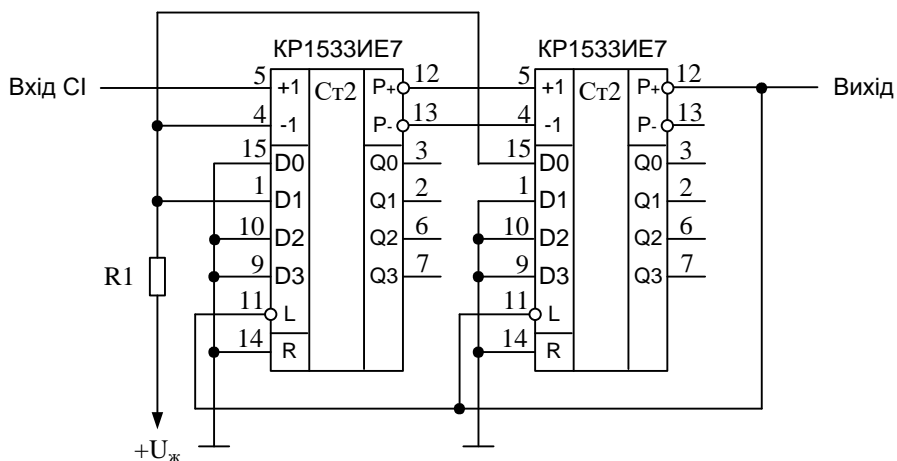


Рис. 11.38. Принципова схема підсумовуючого лічильника з $K_{\text{діл}} = 237$

Код "0" на входах програмування задається підключенням до загального проводу, а "1" – до резистора R1 чи джерела живлення +5 В. У першому лічильнику треба встановити "1" на входах молодших розрядів D0 та D1, а у другому лічильнику – на вході D0. Як тільки на виході

переносу P^+ буде сформовано імпульс у тригери лічильника буде записаний код 00010010 і почнеться відлік коду від цього значення. Після завершення циклу роботи на виході P^+ знов буде сформовано імпульс переносу і весь процес буде повторюватись. На рис. 11.39 наведена схема моделі підсумовуючого лічильника з $K_{\text{діл}} = 237$ і можливістю зміни коефіцієнта ділення від 1 до 256 за допомогою перемикачів $J1 \dots J8$.

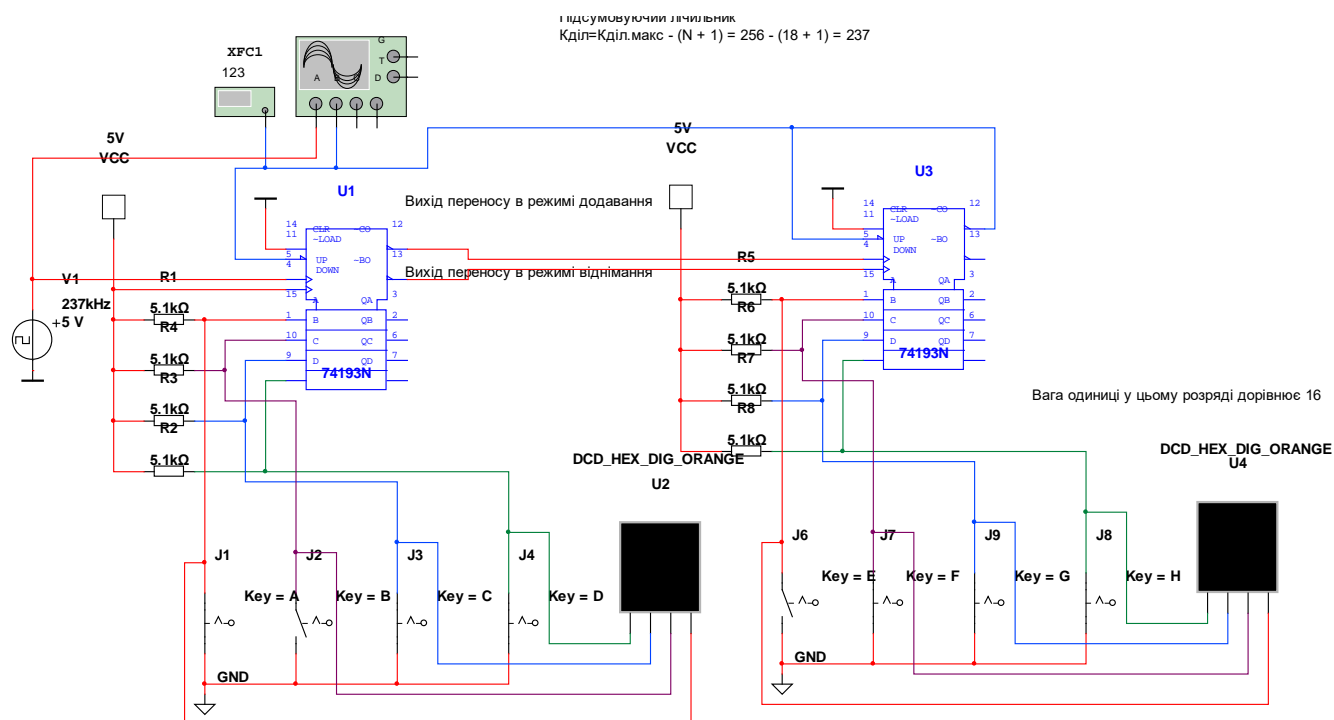


Рис. 11.39. Модель підсумовуючого лічильника з $K_{\text{діл}} = 237$ і можливістю зміни коефіцієнта ділення від 1 до 256

Вимірювання частоти на виході лічильника (або вихід переносу, або вихід четвертого розряду лічильника $U3$) можна здійснити за допомогою частотоміра XFC1 (Frequency Counter), осцилографа або аналізатора спектру. Коефіцієнт ділення лічильника чисельно дорівнює відношенню частоти сигналу на вході лічильника до частоти на його виході $K_{\text{діл}} = f_{\text{вх}}/f_{\text{вих}}$.

Для моделі, наведеної на рис. 11.18 $f_{\text{вх}} = 237$ кГц, а $f_{\text{вих}} = 1$ кГц. Отже $K_{\text{діл}} = 237$.

Для побудови реверсивного програмованого лічильника необхідно перемикати напрямок роботи лічильника за допомогою перемикачів, або логічних елементів.

На рис. 11.40 наведена модель реверсивного програмованого лічильника з максимальним коефіцієнтом ділення $K_{\text{діл.макс}} = 16$.

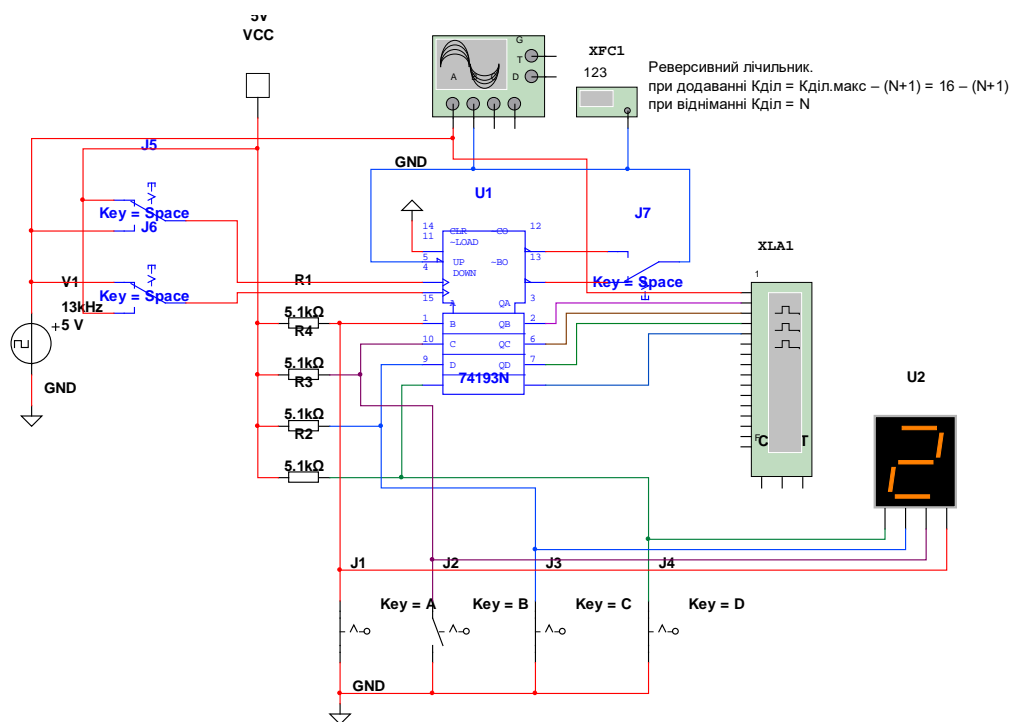


Рис. 11.40. Модель реверсивного програмованого лічильника з максимальним коефіцієнтом ділення 16

Перемикання напрямку роботи лічильника здійснюється за допомогою перемикачів J5, J6 та J7. Оскільки вони управляються однією клавішею Space (Пробіл), то і перемикаються вони синхронно. У стані, наведеному на рис. 11.40, лічильник буде працювати у режимі додавання, оскільки сигнал від генератора вхідних імпульсів подано на вхід UP (додавання), а вихід переносу в режимі додавання підключений до входу дозволу запису коду.

При встановленому на входах програмування коду, що дорівнює 2 в десятковій системі, коефіцієнт ділення повинен бути рівним $N = K_{\text{макс}} - (K_{\text{діл}} + 1) = 16 - (2 + 1) = 13$.

Перевіримо це за допомогою віртуального приладу FreqCounter (вимірювач частоти, періоду та тривалості імпульсів). Оскільки вхідна частота дорівнює 13 кГц, то при $K_{\text{діл}} = 13$ вихідна частота повинна дорівнювати 1 кГц, що і засвідчує рис. 11.41.

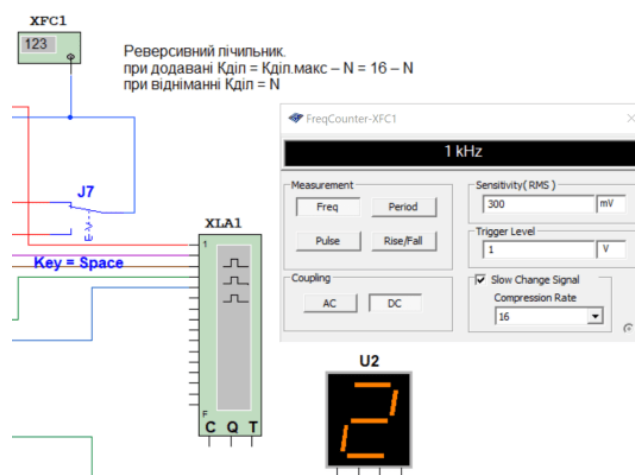


Рис. 11.41. Результати вимірювання частоти на виході лічильника, наведеного на рис. 11.40

За часовими діаграмами сигналів, виміряних за допомогою логічного аналізатора, наведених на рис. 11.42, теж можна знайти коефіцієнт ділення.

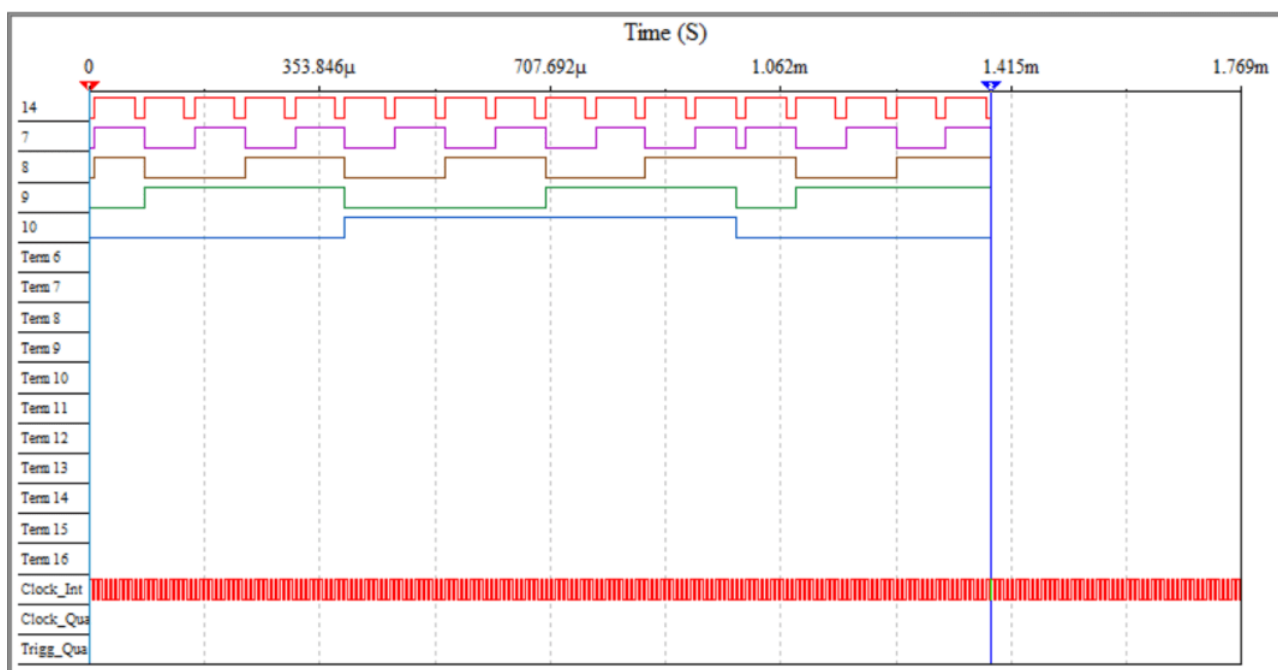


Рис. 11.42. Часові діаграми сигналів на вході та виходах лічильника з коефіцієнтом ділення 13

11.7 Двійково-десяткові програмовані лічильники

Двійково-десятковим лічильником називається лічильник який формує перші десять значень двійкового коду. Прикладом такого лічильника є мікросхема реверсивного

програмованого лічильника КР1533ИЕ6 (аналог 74LS192).

На основі двійково-десяткових (в подальшому десяткових) лічильників будуються пристрої для вимірювання різних параметрів з відображенням виміряного значення у звичному для людини десятковому коді.

На рис. 11.43 наведена модель для підрахунку кількості імпульсів з використанням десяткових лічильників 74LS192. Індикатори з вбудованими дешифраторами семисегментного коду U4...U6 дозволяють побачити кількість підрахованих імпульсів. Загальний коефіцієнт ділення такого лічильника дорівнює

$$K_{\text{діл}} = K_1 \cdot K_2 \cdot K_3 = 10^3.$$

Тобто такий лічильник здатен підрахувати до 1000 імпульсів. Такі лічильники використовують в таймерах, секундомірах, реле часу, годинниках і ще в багатьох пристроях.

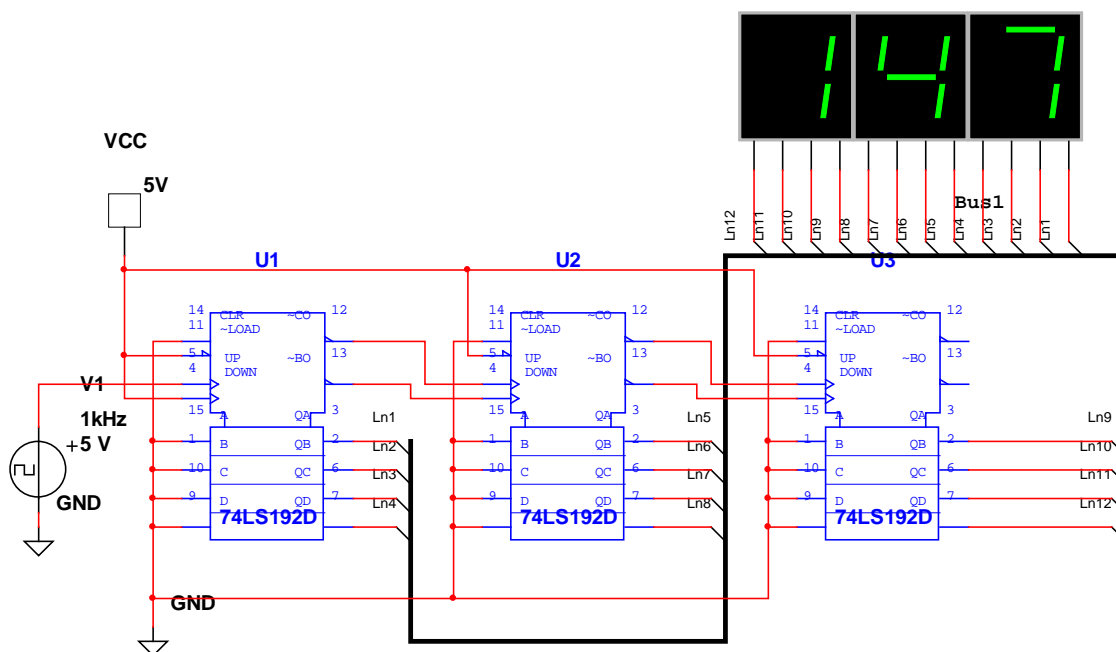


Рис. 11.43. Модель трьохрозрядного десяткового лічильника

11.7 Побудова недвійкових лічильників за допомогою дешифраторів

Недвійкові лічильники можна побудувати використавши для встановлення коефіцієнта ділення дешифратори двійкового коду. Сутність способу побудови таких лічильників полягає у тому, що вхід встановлення лічильника у "0" під'єднується до одного з виходів дешифратора, входи якого підключені до виходів лічильника. Як тільки на виході лічильника буде встановлений код, що відповідає сигналу на використаному виході дешифратора, лічильник переходить у початковий стан, тобто на всіх його виходах встановлюється значення логічного "0" і весь процес починається з початку.

На рис. 11.44 наведена принципова схема лічильника коефіцієнт ділення якого може встановлюватися у межах від 1 до 16.

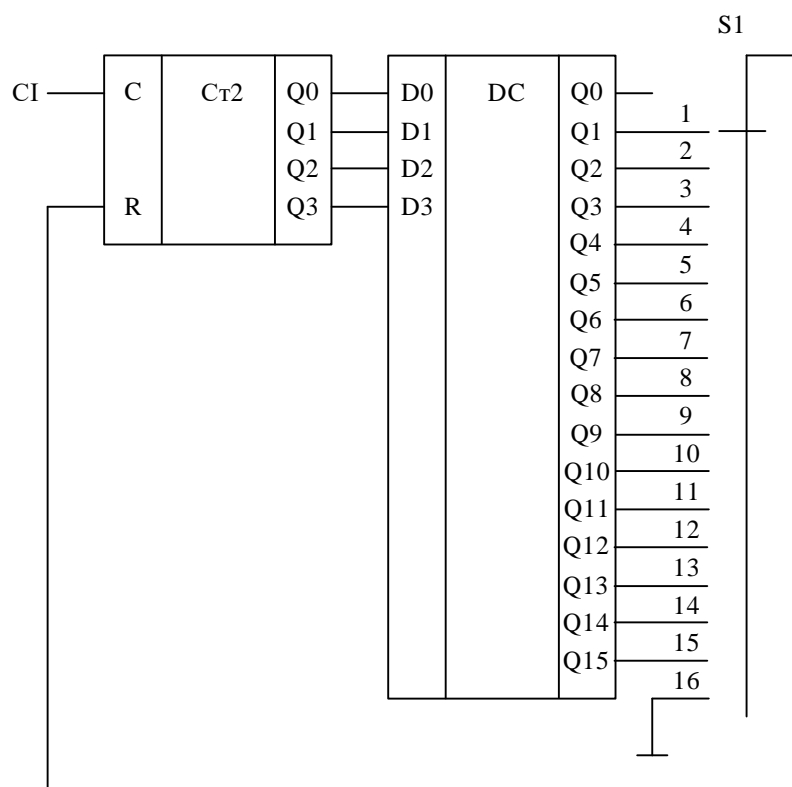


Рис. 11.44. Принципова схема лічильника зі змінним коефіцієнтом ділення

Розглянемо роботу схеми при встановленні перемикача S1 у перше положення, як показано на рис. 11.44. Після встановлення лічильника у "0" код на його виході починає змінюватись при надходженні на вхід чергового синхроімпульсу. Стан лічильника буде змінюватись наступним чином: 0000, 0001. Як тільки на виході лічильника встановиться код 0001, на виході Q1 дешифратора буде сформовано сигнал "1", який через перемикач S1 подається на вхід R лічильника і встановлює його знову у початковий стан, тобто всі тригери

встановлюються у "0". Таким чином після першого синхроімпульсу весь процес повторюється. Відповідно коефіцієнт ділення лічильника буде дорівнювати 1.

Якщо перевести перемикач у 16 положення, то на вхід R лічильника сигнали встановлення у "0" надходять не будуть і коефіцієнт ділення буде складати 16. Незавжди побачити що нумерація виводів перемикача, а також виходів дешифратора, відповідають значенню коефіцієнта ділення що буде встановлений перемикачем у кожному з цих положень.

На рис. 11.45 наведена модель лічильника зі змінним коефіцієнтом ділення, побудованого на базі двійкового лічильника U1, дешифратора U2 і мультиплексора U3. Функцію перемикача, що наведений на рис. 11.45, виконує мультиплексор U3. Код управління мультиплексором формується за допомогою перемикачів J1...J4. Для відображення у десятковій системі коду, встановленого на входах управління мультиплексора A, B, C, D. При значенні коду на входах управління 0000 до виходу мультиплексора буде підключений вхід E0, а при коді 0110 – E5.

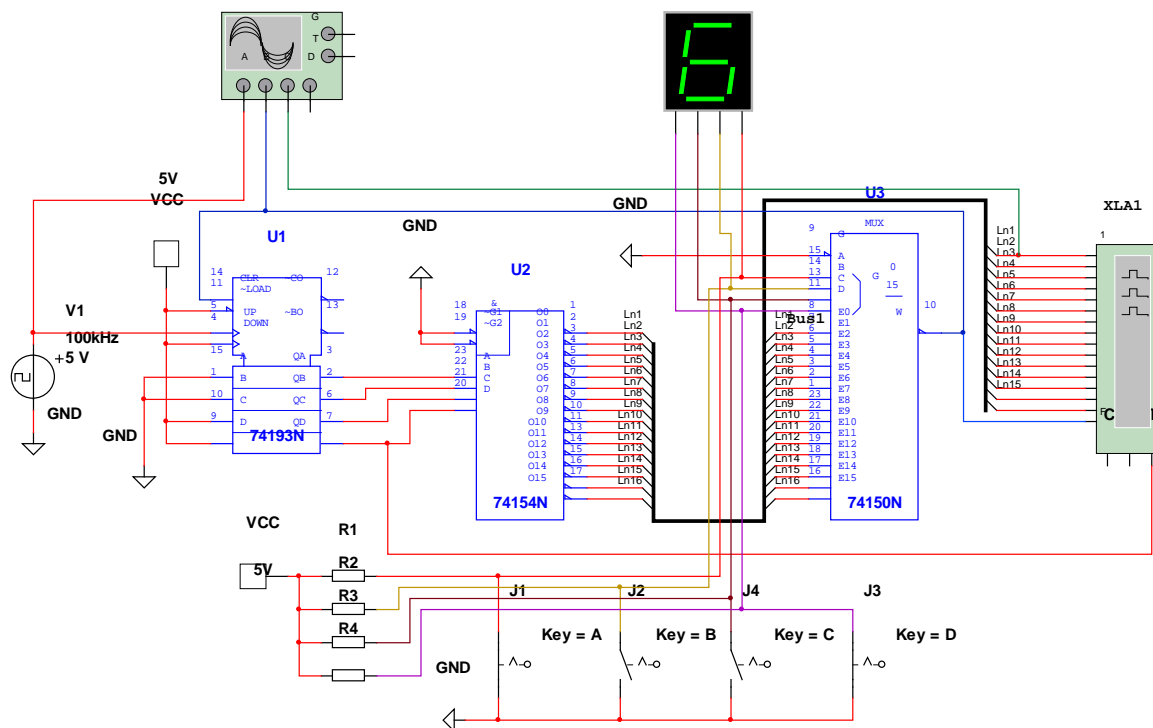


Рис. 11.45. Модель лічильника зі змінним коефіцієнтом ділення, побудованого на базі двійкового лічильника, дешифратора та мультиплексора

Отже при встановленому на входах управління коду, що дорівнює 6, коефіцієнт ділення дорівнює теж 6, що ілюструє рис. 11.46. На рис. 11.47 наведені часові діаграми сигналів при встановленому на входах управління мультиплексором коду управління 1110 (14 в десятковій системі). Незавжди підрахувати, що коефіцієнт ділення при такому коді управління дорівнює 14.

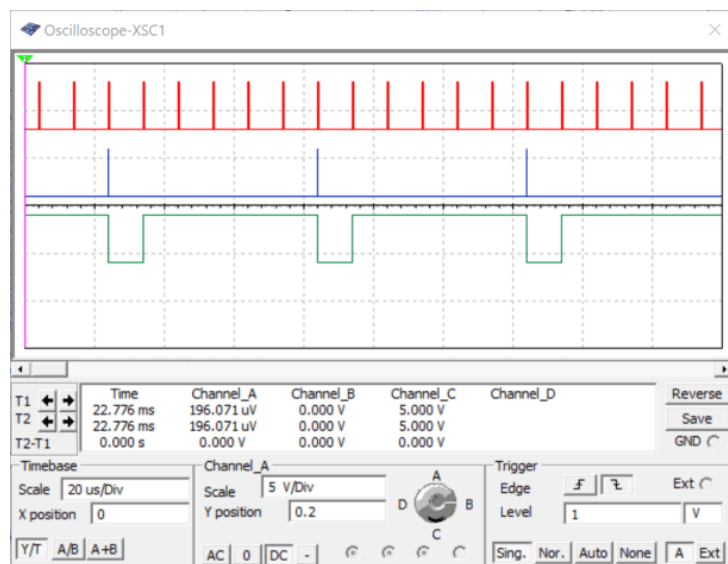


Рис. 11.46. Осцилограми сигналів на вході лічильника (червона), на виході мультиплексора (синя) та на виході Q0 дешифратора (нижня)

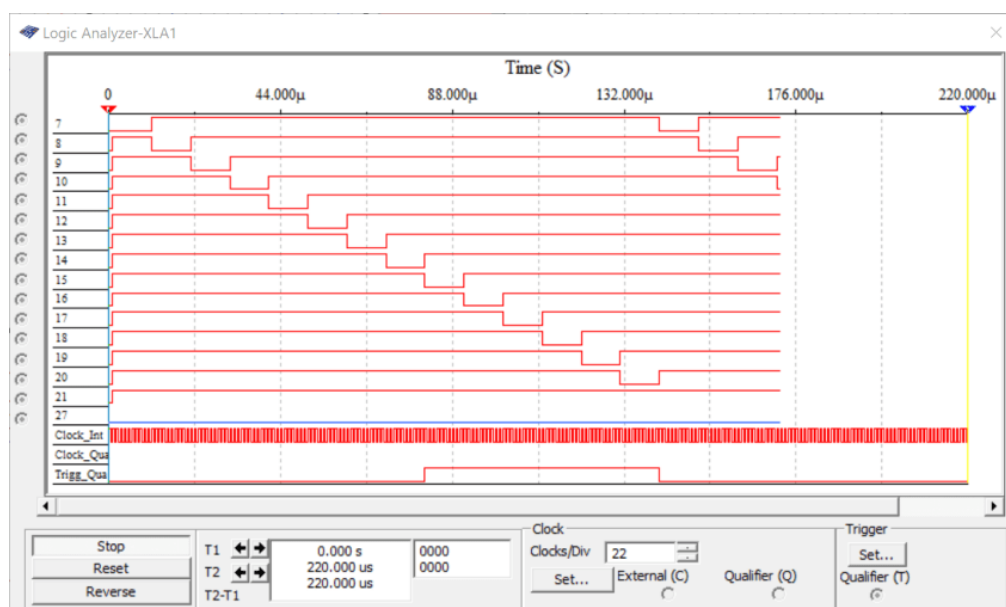


Рис. 11.47. Часові діаграми сигналів на виходах дешифратора при коді управління 1110

Для побудови реле часу зручніше використовувати десяткові лічильники і дешифратори 4×10 (4 входи і десять виходів). На рис. 11.48 наведена модель пристрою, що використовує такий лічильник і дешифратор.

Перемикання коефіцієнта ділення здійснюється перемикачем J1. Замикання одного з 10 перемикачів групи здійснюється клавішами 1, 2 ... і 0 для десятого перемикача.

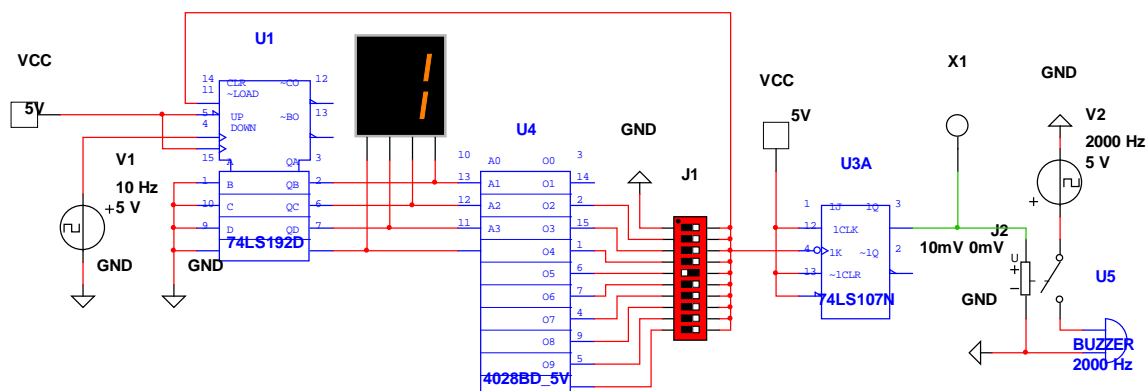


Рис. 11.48. Модель реле часу з використанням десяткового лічильника та дешифратора 4×10

В положенні перемикача, наведеного на рис. 11.48 коефіцієнт ділення лічильника дорівнює 4 (вихід Q4 дешифратора з'єднаний зі входом CLR встановлення у "0" лічильника). Як тільки на виході дешифратора сформується імпульс встановлення лічильника у "0", тригер U3A перемикається з "0" в "1" і спрацьовує перемикач J2, що управляється напругою. Він подає на вхід звукового сповіщувача сигнал від генератора V2 і звучить звуковий сигнал, що сповіщає про досягнення потрібного часу. Якщо імпульси на вхід лічильника подати з частотою 1 Гц (період 1 с), то тоді час спрацьовування заданий в секундах.

Оскільки тригер U3A працює як T-тригер, то він буде спрацьовувати кожного разу при формуванні імпульсу на виході J1, а чутно звуковий сигнал буде через один раз.

11.8 Формувачі коду побудовані на реверсивних лічильниках

11.8.1 Функціональна схема формувача коду

Для управління коефіцієнтом ділення лічильників у різних пристроях, чи для управління іншими пристроям (наприклад, гучністю телевізійного приймача) використовуються формувачі коду. Такий формувач може бути побудований за наступним принципом.

На вхід реверсивного лічильника (додавання чи віднімання) подаються імпульси від генератора імпульсів. Під дією цих імпульсів код на виході лічильника буде збільшуватись або зменшуватись в залежності від того на який вхід подаються імпульси.

Для управління напрямком зміни коду можна використати 2 кнопки "+" та "-", відповідно для збільшення або зменшення коду. Спрощена структурна схема такого формувача наведена на рис. 11.49.

При натисканні кнопки на виході формувача одиночного імпульсу (ФОІ) формується рівень логічної "1". При натисканні кнопки S1 на нижній вхід логічного елементу П1 надходить

рівень логічної "1", а на верхній вхід цього елемента – імпульси від генератора імпульсів (ГІ). На виході І1 формується послідовність імпульсів поки натиснута кнопка S1. Лічильник збільшує код на виході.

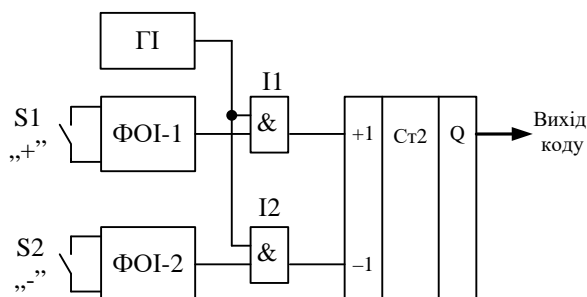


Рис. 11.49. Спрощена структурна схема реверсивного формувача коду

Якщо натиснути кнопку S2, то послідовність імпульсів буде сформована на виході І2. Ці імпульси надходять на вхід віднімання лічильника і, як слідство, код на виході лічильника зменшується. Частота слідування імпульсів на виході ГІ зумовлює швидкість зміни коду.

Але у такому формувачі можливі колізії. Якщо одночасно натиснути дві кнопки, то в якому напрямку буде змінюватись код на виході?

Щоб запобігати такому явищу, на рис. 11.50 запропоновано модифіковану структурну схему формувача коду.

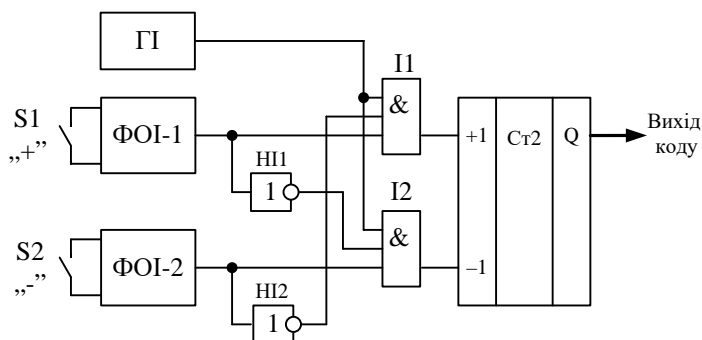


Рис. 11.50. Структурна схема реверсивного формувача коду з запобіганням одночасного натискання двох кнопок

Для запобігання одночасного формування імпульсів на виходах логічних елементів І1 та І2 вводиться блокування одного з цих елементів за допомогою сигналів, що формуються інверторами ІН1 та ІН2.

Припустимо що першою була натиснута кнопка S1. Тоді на виході ФОІ-1 буде сформована "1", а на виході ІН1 формується "0". Сигнал з виходу ІН1 надходить на один з входів елемента І2

і забороняє проходження імпульсів через нього навіть якщо буде натиснута кнопка S2. І навпаки. Якщо першою була натиснута кнопка S2, то блокується проходження імпульсів через логічний елемент П1.

Тепер можна розглянути більш детально вимоги до формувачів. До них треба віднести:

- можливість зміни швидкості зміни коду в автоматичному режимі;
- встановлення початкового коду при включенні формувача;
- запобігання стрибкоподібної зміни коду (з усіх "1" на виході на всі "0" на виході і навпаки).

На рис. 11.51 наведена функціональна схема формувача коду, що реалізує такі функції.

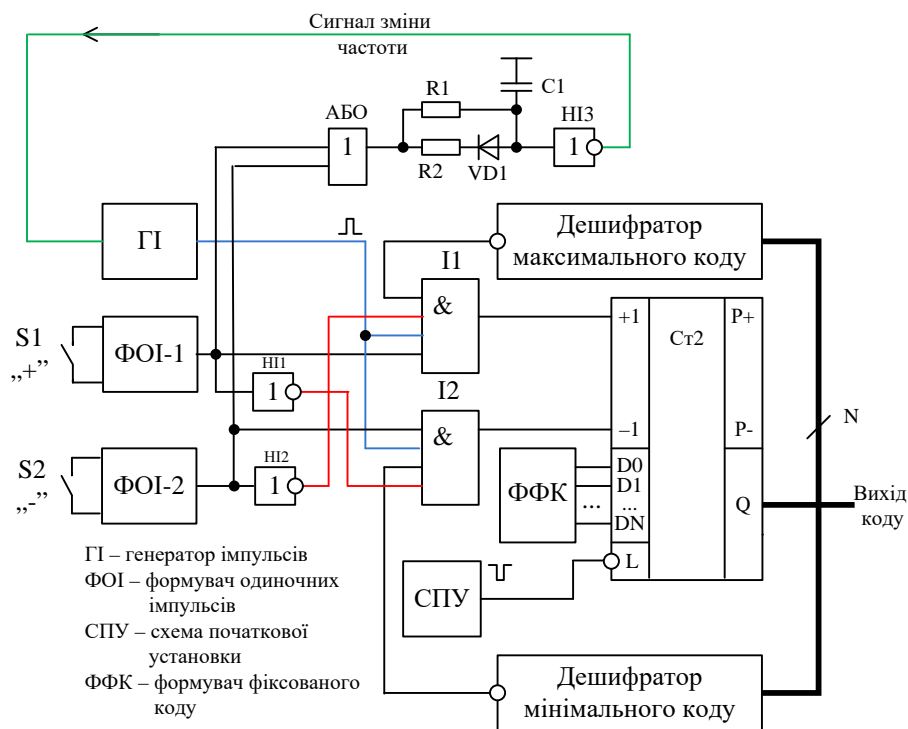


Рис. 11.51. Функціональна схема формувача коду

У цій схемі додані дешифратори максимального і мінімального коду. Якщо при збільшенні коду на виході лічильника код досягає максимальної величини, то на виході дешифратора максимального коду формується "0" і блокує проходження імпульсів через елемент П1 на вхід додавання лічильника.

Аналогічно працює і дешифратор мінімального коду при роботі лічильника в режимі віднімання. При досягненні мінімального коду сигнал з цього дешифратора блокує проходження імпульсів через елемент І2.

Вузол ФФК (формував фіксованого коду) призначений для формування початкового коду на виході. При включенні живлення на виході схеми початкової установки (СПУ) формується

нульовий рівень на час 1...2 мс. Цей сигнал надходить на вхід дозволу запису коду і в лічильник записується код з виходу ФФК. Після початку роботи можна змінювати код як у більший так і у менший бік.

Вузол, що складається з логічних елементів АБО і НІЗ, резисторів R1, R2, конденсатора C1 та діода VD1 призначений для формування сигналу зміни частоти (збільшення частоти) генератора імпульсів. Якщо код потрібно змінювати в дуже широкому діапазоні значень, то без зміни частоти це буде займати дуже багато часу.

Зазвичай частота зміни коду складає приблизно 2 Гц. Наприклад, якщо код потрібно змінювати в діапазоні ± 512 , то для перебудови коду від 0 до 512 знадобиться 256 с, що дуже довго. Тому при утриманні натиснутою кнопки більше ніж 1...2,5 с потрібно збільшити частоту у 20...100 разів. Чим більший діапазон зміни коду, тим у більшу кількість разів треба збільшувати частоту генератора.

При збільшенні частоти у N разів у стільки ж разів зменшиться час, потрібний для перебудови коду. Якщо при швидкій зміні коду буде пропущене потрібне значення коду, то треба зупинитись і натиснути кнопку зворотного напрямку роботи лічильника. На початку роботи швидкість перебудови буде низькою і можна точно встановити потрібне значення коду.

Як це працює у схемі наведеній на рис. 11.51? При натисканні будь якої кнопки через логічний елемент АБО на вхід інтегруючого кола надходить позитивна напруга, що формується одним з ФОІ. Конденсатор C1 заряджається через резистор R1. Коли напруга на конденсаторі C1 сягне порогового рівня на виході інвертора НІЗ формується логічний "0" і цим сигналом змінюється частота генератора імпульсів (збільшується).

Час заряду конденсатора до порогового рівня приблизно дорівнює постійній часу R_1C_1 . При відпусканні кнопки конденсатор швидко розряджається через діод VD1 і резистор R2. Для цього опір резистора R2 обирається набагато меншим ніж опір резистора R1. Таким чином вузол управління частотою генератора повертається в початковий стан.

11.8.2 Формувач одиночних імпульсів

Формувач одиночних імпульсів повинен працювати з будь-якими механічними перемикачами. Для усунення впливу можливого брязкоту механічних контактів необхідно у формувачі використати RS-тригер. На рис. 11.52 наведена схема такого формувача.

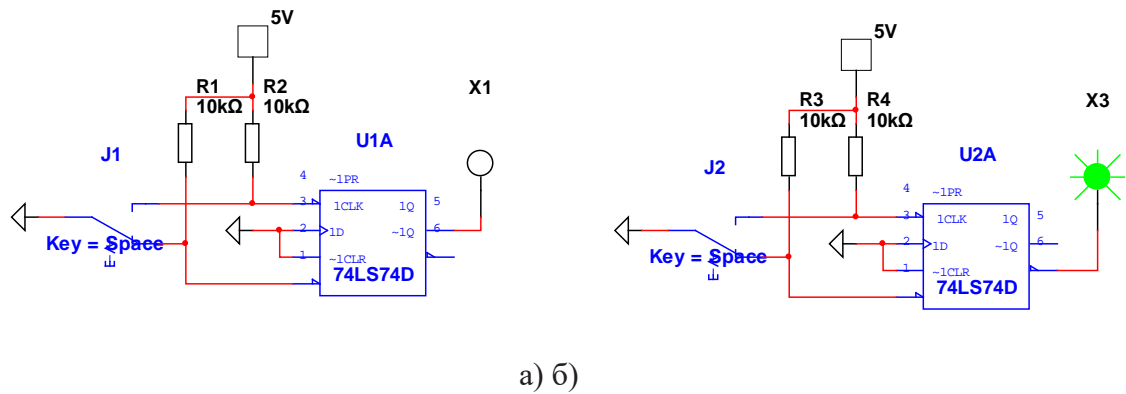


Рис. 11.52. Формувач одиночних імпульсів не чутливий до брязкоту механічних контактів

Оскільки для формувача використовується RS-тригер з інверсними входами, то для перемикачання тригера потрібно на входи R або S подати "0". За допомогою перемикача J1 "0" формується на одному з цих входів. В початковому стані "0" подається на вхід R (Clr), і на виході тригера формується "0" (рис. 11.52,а), а на інверсному виході "1" (рис. 11.52,б).

11.8.3 Схема початкової установки лічильників

Схема початкової установки призначена для формування сигналу встановлення цифрових пристроїв у початковий стан (аналогічно сигналу Power Good в блоках живлення комп'ютерів). На рис. 11.53 наведені варіанти схем початкової установки з формуванням "0" (рис. 11.53,а) та з формуванням "1" (рис. 11.53,б).

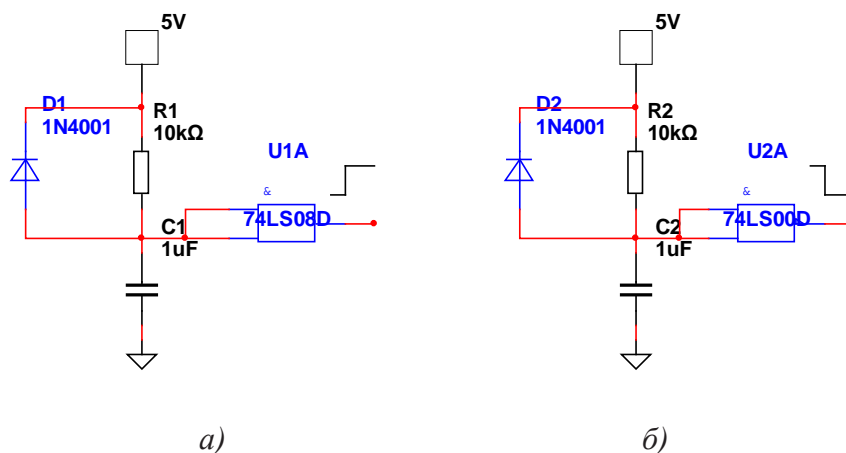


Рис. 11.53. Схеми формувачів імпульсів початкової установки

При включенні живлення починає заряджатися конденсатор C1 (C2). Час заряду до порогової напруги логічних елементів залежить від постійної часу $\tau = R_1C_1$ (R_2C_2) і складає приблизно $0,7\tau$. На рис. 11.54 наведені осцилограми сигналів живлення (червоний) та напруги на конденсаторі. З осцилограм слідує, що до напруги 2,5 В конденсатор заряджається за 7,5 мс, що

дорівнює $0,75 R_1 C_1 = 0,75 \cdot 10^4 \cdot 10^{-6} = 0,7510^{-2} \text{ c} = 7,5 \text{ мс}$.

Діод призначений для швидкого розряду конденсатора при виключенні живлення.

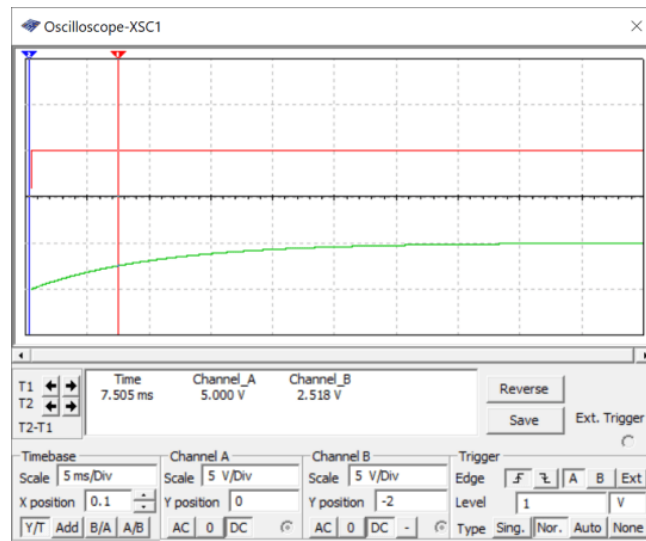


Рис. 11.54. Осцилограми сигналів живлення (червоний) та напруги на конденсаторі

Для перевірки роботи таких формувачів імпульсів початкової установки можна використати модель наведену на рис. 11.55.

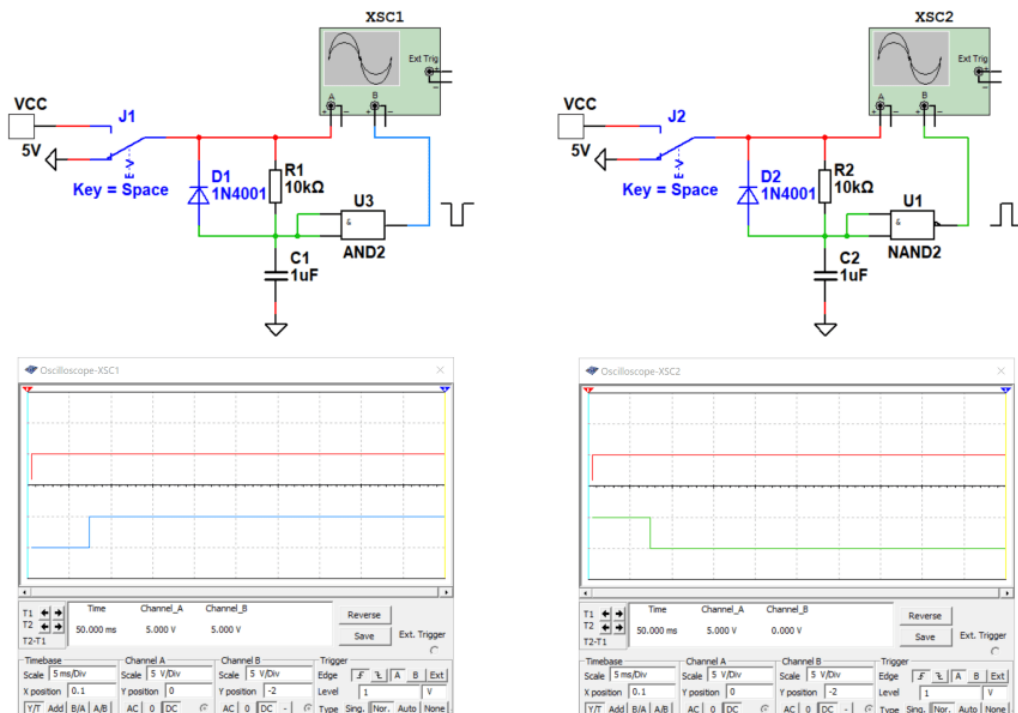


Рис. 11.55. Модель для перевірки тривалості імпульсів на виході схеми початкової установки

З наведених осцилограм слідує, що тривалість імпульсів, як негативного так і

позитивного, складає 7,5 мс. Для зменшення тривалості імпульсів можна зменшити ємність конденсаторів.

11.8.4 Моделювання реверсивного формувача коду

На рис. 11.56 наведена модель формувача коду без вузла автоматичного збільшення частоти при тривалому натисканні кнопки "+" або "-".

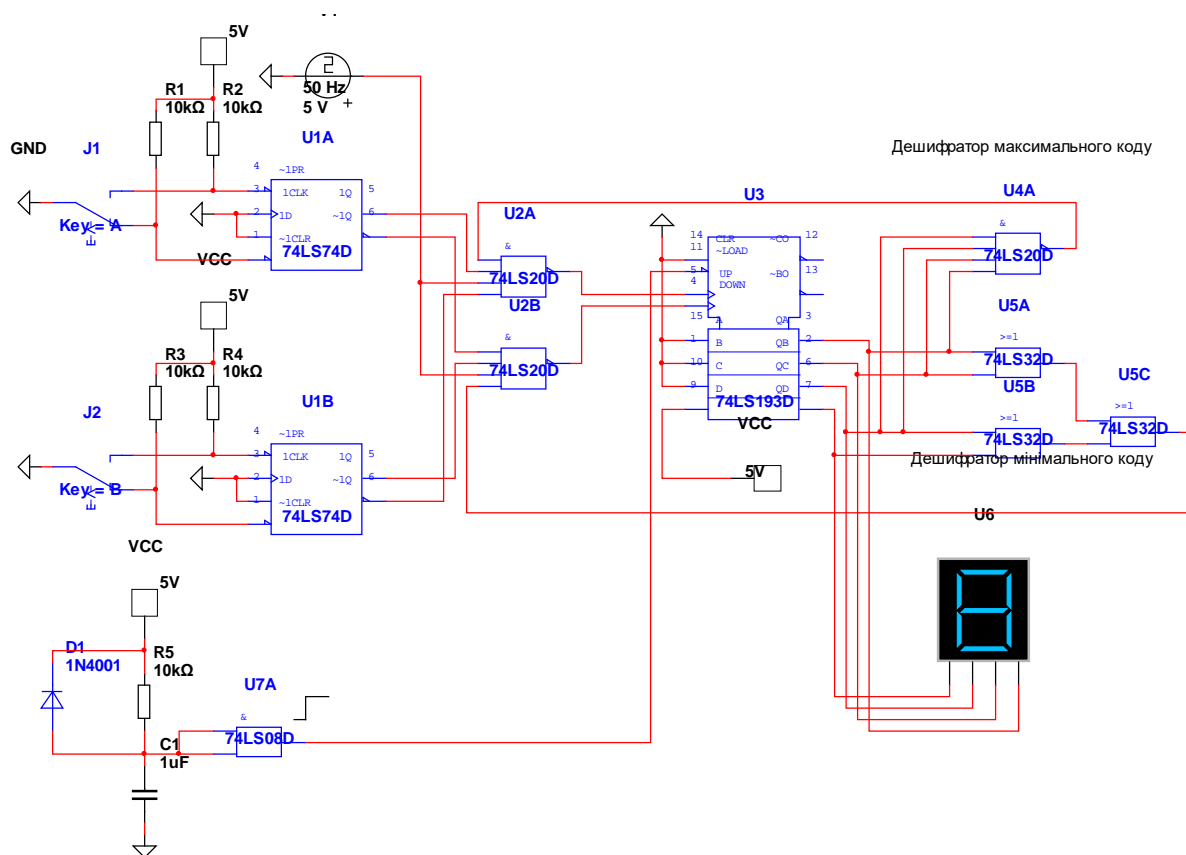


Рис. 11.56. Модель для дослідження реверсивного формувача коду

Оскільки в безоплатній версії обмежена кількість елементів (не більше 25), то і формувач коду побудований тільки на одному лічильнику і відсутній вузол автоматичної зміни частоти. Дешифратори максимального (1111) і мінімального (0000) кодів побудовані на логічних елементах.

Формувач працює наступним чином. При включенні живлення (моделювання) на виході логічного елемента U7A формується на короткому інтервалі (7,5 мс) нульовий потенціал. Цей сигнал дозволяє запис коду 1000 (8 в десятковому коді) в лічильник. На рис. 11.56 показано стан лічильника одразу після включення. При натисканні кнопки J1 лічильник збільшує значення коду на виході. Як тільки значення коду сягне 1111 (15 в десятковій системі) на виході U4A

формується рівень логічного нуля і блокується проходження імпульсів через елемент U2A. Далі код не буде змінюватись. В такому стані доступний тільки режим віднімання коду. Треба повернути J1 в початкове положення і натиснути кнопку J2. Код на виході лічильника почне зменшуватись. Коли він досягне значення 0000, то блокується проходження імпульсів через елемент U2B. Стає можливим тільки додавання коду.

11.9 Лічильники на регістрах зсуву

Для побудови таких лічильників необхідно перед початком роботи здійснювати спеціальне кодування їхніх внутрішніх станів. Для цього потрібно записати у такий лічильник будь яке значення коду окрім всіх нулів або одиниць.

Такі лічильники отримали назву кільцевих лічильників або лічильників Джонсона. Якщо на вхід CI (рис. 11.57) подати періодичну послідовність імпульсів, то внутрішні стани регістра зсуву будуть також періодично повторюватися, тобто регістр зсуву буде являти собою лічильник за деяким $\text{mod } M$, якщо зазначена періодична послідовність сформована самим регістром зсуву. З цього випливає, що кодування внутрішніх станів, наприклад, лічильника за $\text{mod } 5$ може бути задано схемою 00011. Для побудови принципової схеми використовувати функцію збудження $\overline{D0} = \overline{Q_2 Q_3}$ і отримаємо схему, що наведена на рис. 11.58.

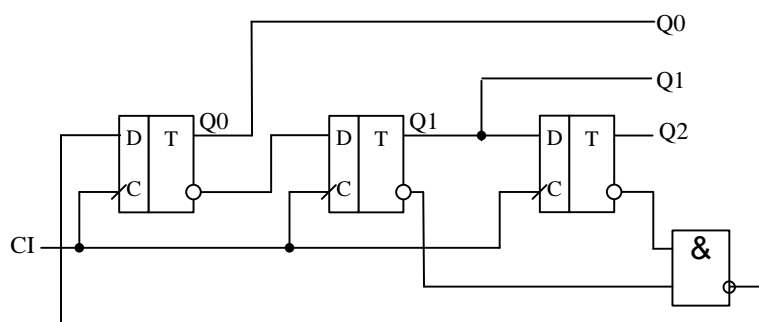


Рис. 11.57. Принципова схема кільцевого лічильника з $K_{\text{діл}} = 5$

Просуваючи через регістр, що складається з трьох тригерів таку періодичну послідовність символів 0 і 1, одержимо п'ять різних кодових комбінацій (внутрішніх станів): 000, 010, 111, 101, 001 (рис. 11.58). При подальшому зсуві формуються ті ж самі кодові комбінації, тому що послідовність символів 0 і 1 періодична.

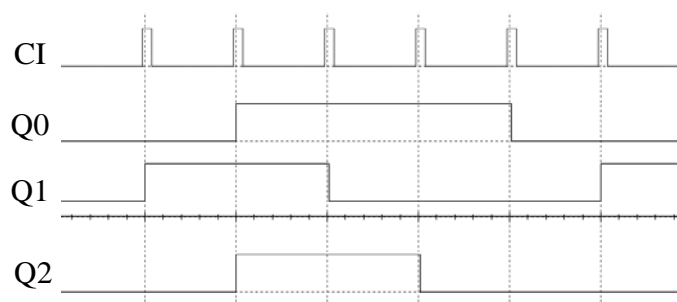


Рис. 11.58. Часові діаграми лічильника кільцевого лічильника з $K_{\text{діл}} = 5$

При кодуванні внутрішніх станів лічильників за допомогою періодичної послідовності символів 0 і 1 варто керуватися правилами:

- число символів M в одному періоді послідовності визначає коефіцієнт ділення лічильника;
- мінімальне число тригерів m знаходять з умови одержання при зсуві періодичної послідовності символів 0 і 1 M різних кодових комбінацій.

11.10 Застосування регістрів і лічильників для побудови схем затримки імпульсних сигналів

Використовуючи регістри зсуву можна побудувати схему дискретної затримки імпульсних сигналів. Такі задачі виникають при формуванні сигналів управління різними пристроями.

На рис. 11.59 наведена функціональна схема такого пристрою.

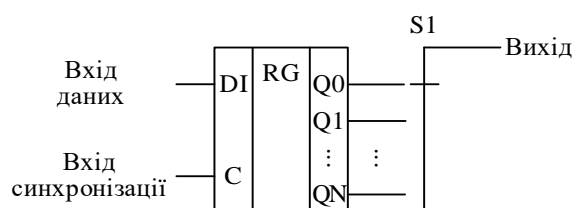


Рис. 11.59. Функціональна схема пристрою дискретної затримки імпульсних сигналів

Вхідні дані записуються у перший тригер регістру зсуву через вхід DI (Data Input) і з кожним тактовим імпульсом, що надходить на вхід синхронізації просувається у регістрі на один розряд.

Якщо період слідування синхроімпульсів позначити як $T_{\text{СІ}}$, а вихідний сигнал знімати з n виходу регістра за допомогою перемикача S1, то час затримки буде дорівнювати $nT_{\text{СІ}}$.

Щоб побудувати пристрій дискретної затримки, необхідно задати максимальний час t_{\max} і крок зміни затримки Δt_3 . Тоді кількість розрядів регістра можна знайти по формулі $N = t_{\max}/\Delta t_3$. Якщо кількість розрядів регістра дуже велика, то можна побудувати схему затримки з використанням декількох регістрів, кожний з яких дозволяє змінювати затримку на різний час. Тоді функціональна схема такого пристрою може мати вигляд, що наведений на рис. 11.60.

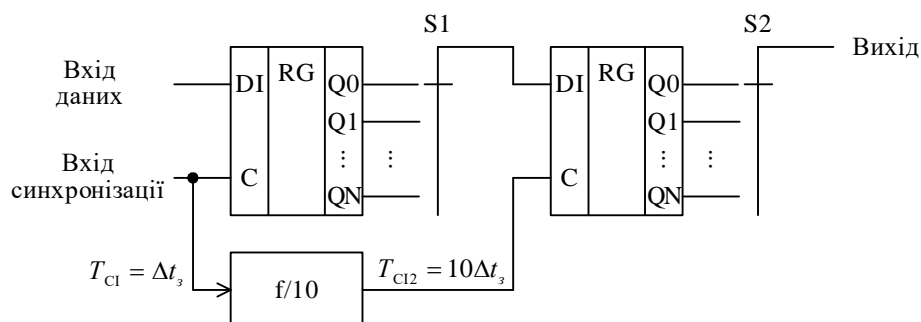


Рис. 11.60. Функціональна схема пристрою двоступеневої дискретної затримки імпульсних сигналів

Схема складається з двох регістрів і дільника частоти з коефіцієнтом ділення 10. В такій схемі за допомогою перемикача S1 можна дискретно змінювати затримку з кроком Δt_3 , а за допомогою S2 – з кроком $10\Delta t_3$. Якщо змінити коефіцієнт ділення дільника частоти, то дискретність перебудови часу затримки другого ступеня можна зменшити. Кількість таких ступенів може бути довільною.

Використання багатоступінчатих схем затримки дозволяє значно скоротити необхідну кількість розрядів регістра.

Контрольні питання

1. Назвіть основні параметри й ознаки класифікації лічильників.
2. Поясніть принципи роботи реверсивного лічильника.
3. Чим відрізняються синхронні та асинхронні лічильники?
4. Як розрахувати коефіцієнт ділення лічильника що працює у режимі додавання коду?
5. Як розрахувати коефіцієнт ділення лічильника що працює у режимі віднімання коду?
6. Як розрахувати затримку сигналу в асинхронному лічильнику?
7. Як розрахувати затримку сигналу в синхронному лічильнику?
8. Який лічильник вважається недвійковим?
9. Яка різниця в роботі лічильників в режимі додавання та віднімання?

10. Скільки тригерів знадобиться для побудови лічильника з коефіцієнтом ділення 34?
11. Які методи побудови недвійкових лічильників вам відомі?
12. Для чого призначений вхід Load в програмованих лічильниках?
13. Якими методами можна виміряти коефіцієнти ділення лічильників?
14. Як розрахувати коефіцієнт ділення програмованого підсумовуючого лічильника?
15. Як розрахувати коефіцієнт ділення програмованого віднімаючого лічильника?
16. Чому дорівнює коефіцієнт ділення чотирьох лічильників з'єднаних послідовно?
17. У чому різниці між двійковим та двійково-десятковим кодом?
18. Для чого використовуються десяткові лічильники?
19. Які способи зміни коефіцієнта ділення вам відомі?
20. Як знайти коефіцієнт ділення підсумовуючого програмованого лічильника?
21. Для чого призначені схеми початкової установки?
22. Як побудувати формувач імпульсів нечутливий до брязкоту механічних контактів?
23. Для чого призначені формувачі коду?

12 ГЕНЕРАТОРИ ІМПУЛЬСІВ

12.1 Загальні зауваження

Електронний генератор виконує функції перетворення енергії джерела постійного струму в електричні коливання необхідної форми, частоти і потужності. Електронні генератори є невід'ємною частиною багатьох вимірювальних приладів: частотомірів, осцилографів, приладів часу, прийомопередавачів, систем індикації і т. д. Основними параметрами генераторів є: форма коливань, частота коливань f , відносна нестабільність частоти коливань $\Delta f/f$, корисна і споживана потужності.

Будь який генератор може працювати в одному з наступних режимів:

- чекання;
- автоколивань;
- синхронізації;
- ділення частоти.

У режимі чекання генератор працює з одним стійким станом рівноваги. Зовнішній імпульс, що запускає, викликає стрибкоподібний перехід генератора у новий стан, що не є стійким. У цьому стані, названому тимчасово стійким, генератор знаходиться протягом часу обумовленого параметрами схеми генератора, що чекає. Таким чином, чекаючий генератор генерує тільки один імпульс визначеної тривалості при впливі на нього зовнішнього імпульсу, що запускає. Застосовують режим, що чекає, для формування часових інтервалів (формування імпульсів за тривалістю), для ділення частоти і для інших цілей (наприклад, для затримки сигналів).

В автоколивальному режимі, генератор має два стани і жодного стійкого. Генератор у такому режимі без зовнішніх впливів переходить з одного стану в інше і навпаки.

Генератор є нелінійним пристроєм. Узагальнена схема генератора містить підсилювач, частотнозадаюче коло позитивного зворотного зв'язку (ПЗЗ) і коло негативного зворотного зв'язку (НЗЗ). Коло ПЗЗ визначає умови збудження коливань, частоту і швидкість наростання амплітуди вихідного коливання генератора. Наростання амплітуди коливань буде відбуватися до тих пір, поки дія нелінійного негативного зворотного зв'язку не обмежить її зростання.

При включенні живлення виникають коливання, зумовлені нестационарними процесами: зарядом ємностей, індуктивностей, перехідними процесами в активних елементах. Ці коливання, потрапляючи на вхід підсилювача, посилюються останнім і через коло позитивного зворотного зв'язку знову надходять на вхід підсилювача.

Для виникнення коливань необхідні дві умови, які прийнято називати умовами балансу амплітуд і фаз:

$$\begin{cases} |K\beta| = 1; \\ \arg(K\beta) = \varphi_k + \varphi_\beta = 0, \end{cases}$$

де K – коефіцієнт підсилення підсилювача, β – коефіцієнт передачі кола позитивного зворотного зв'язку, φ_k – фазовий зсув коливань підсилювачем, φ_β – фазовий зсув коливань колом позитивного зворотного зв'язку.

Для формування коливань потрібної частоти використовують кола, що містять реактивні елементи – ємності або індуктивності. Якщо у генераторах використовують тільки RC-кола, то такі генератори мають назву мультивібратори.

Мультивібратори служать для одержання імпульсів прямокутної форми. Генератор містить як мінімум один реактивний елемент, наприклад конденсатор, ємність якого разом з активним опором, визначає тривалість вихідних імпульсів.

Для вимірювальних цілей найбільш важливою є відносна нестабільність частоти коливань $\Delta f/f$. За цим параметром генератори умовно можна розділити на три групи:

- з низькою стабільністю $10^{-3} > \Delta f/f > 10^{-6}$;
- середньої стабільності $10^{-6} > \Delta f/f > 10^{-9}$;
- з високою стабільністю $\Delta f/f < 10^{-9}$.

Детальніше з характеристиками стабільних генераторів ми познайомимся у розділі присвяченому стабілізації частоти коливань.

12.2 Чекаючі мультивібратори, або одновібратори на тригерах

12.2.1 Одновібратор на RS-тригері

Мультивібратори що працюють в чекаючому режимі отримали назву одновібраторів (ОВ). Розглянемо принципи побудови таких генераторів на різних елементах цифрової техніки.

Схема одновібратора, побудованого з використанням RS-тригера, наведена на рис. 12.1.

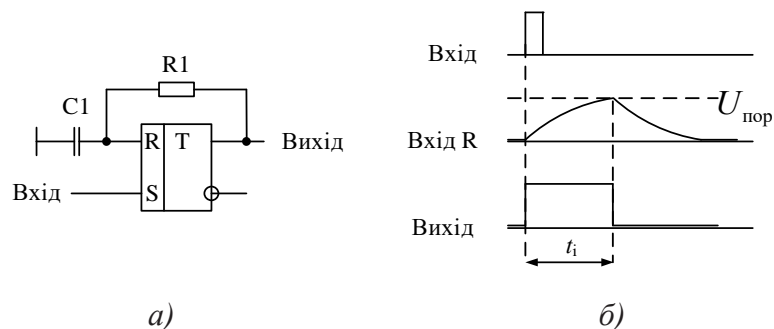


Рис. 12.1. Принципова схема одновібратора, побудованого на RS-тригері (а) та часові діаграми його сигналів (б)

Схема працює наступним чином. Після приходу на вхід S тригера імпульсу запуску ОВ на виході схеми встановлюється рівень логічної "1" і починається заряд конденсатора С1 через резистор R1. Як тільки напруга на конденсаторі сягне порогового рівня тригер переключиться у стан "0" і схема перейде у початковий стан. Тривалість імпульсу на виході одновібратора буде зумовлена часом заряду конденсатора С1 до порогового рівня.

Знайдемо тривалість імпульсу цього одновібратора. Відомо, що напруга на конденсаторі описується виразом:

$$U_c = A(1 - e^{-t/\tau}), \quad (12.1)$$

де A – амплітуда вхідного сигналу, τ – постійна часу RC-кола.

Для розрахунку тривалості імпульсу приймаємо $U_c = U_{\text{пор}}$, $t = t_i$, $A = U_{\text{вих}}$. Перепишемо (12.1) з урахуванням прийнятих позначень:

$$U_{\text{пор}} = U_{\text{вих}}(1 - e^{-t_i/\tau}).$$

Вирішуючи рівняння відносно t_i отримаємо:

$$t_i = \tau \ln \frac{U_{\text{вих}}}{U_{\text{вих}} - U_{\text{пор}}}.$$

Для мікросхем виготовлених за технологією КМОН вираз, з урахуванням того, що напруга $U_{\text{вих}} = U_{\text{ж}}$, а $U_{\text{пор}} = U_{\text{ж}}/2$ спрощується і має такий вигляд:

$$t_i = \tau \ln \frac{U_{\text{ж}}}{U_{\text{ж}} - U_{\text{ж}}/2} = \tau \ln 2 = 0,693\tau. \quad (12.2)$$

Однак у такого одновібратора є один суттєвий недолік. Оскільки час заряду та розряду конденсатора приблизно однаковий, то період слідування вхідних імпульсів не може бути меншим ніж $2t_i$. Це пов'язано з тим, що коли конденсатор С1 не повністю розрядиться до моменту приходу наступного вхідного імпульсу, то час його заряду до порогового рівня буде меншим, ніж при заряді від нульового рівня і тривалість вихідного імпульсу ОВ зменшиться, що неприпустимо.

Для зменшення часу розряду використовують прискорююче коло, що складається з діода VD1 та резистора R2 (рис. 12.2). Опір резистора R2 вибирається набагато меншим ніж опір R1 ($R_2 \ll R_1$). При заряді конденсатора С1 діод закритий і наявність резистора R2 не впливає на

швидкість заряду, а при розряді діод відкривається і струм розряду протікає паралельно по двох колах. А оскільки $R_2 \ll R_1$, то струм через резистор R_2 набагато більший ніж через R_1 , то час потрібний для розряду C_1 значно скорочується.

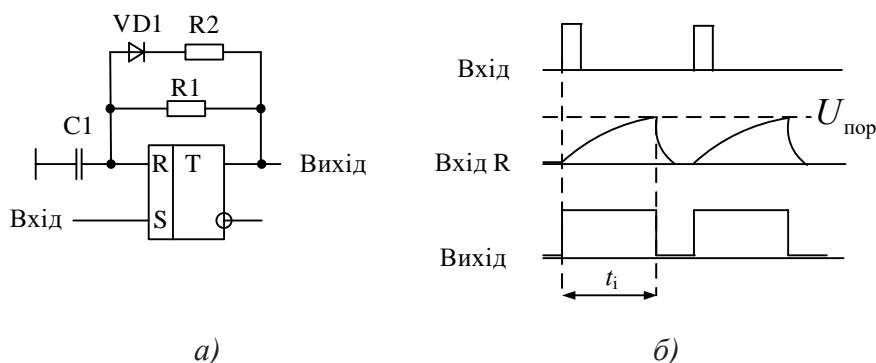


Рис. 12.2. Принципова схема одновібратора, побудованого на RS-тригері зі скороченим часом відновлення (а) та часові діаграми його сигналів (б)

Модель для дослідження одновібратора на RS-тригері наведена на рис. 12.3. При розрахунку тривалості вихідного імпульсу отримаємо

$$t_i \approx 0,7\tau \approx 0,7R_2C_2 \approx 0,7 \cdot 10^4 \cdot 10^{-6} \approx 0,7 \cdot 10^{-2} \text{ с} \approx 7 \text{ мс.}$$

Результат вимірювання тривалості імпульсів моделі на рис. 12.3 показав, що $t_i = 6,18 \text{ мс}$. Невелика похибка розрахунку пояснюється тим, що пороговий рівень спрацьовування тригера відрізняється від прийнятого для розрахунку 2.5 В.

При виборі опору резистора R_2 треба щоб напруга $U_{R2} = I_{вхU1}R_2 < U_{пор}$. Якщо падіння напруги перевищить порогове значення, то це буде означати, що на вході S встановлена весь час "1", і одновібратор не буде перемикатись.

Як видно з осцилограми сигналу на вході R, час розряду конденсатора набагато менший від часу його заряду – приблизно у R_2/R_3 разів.

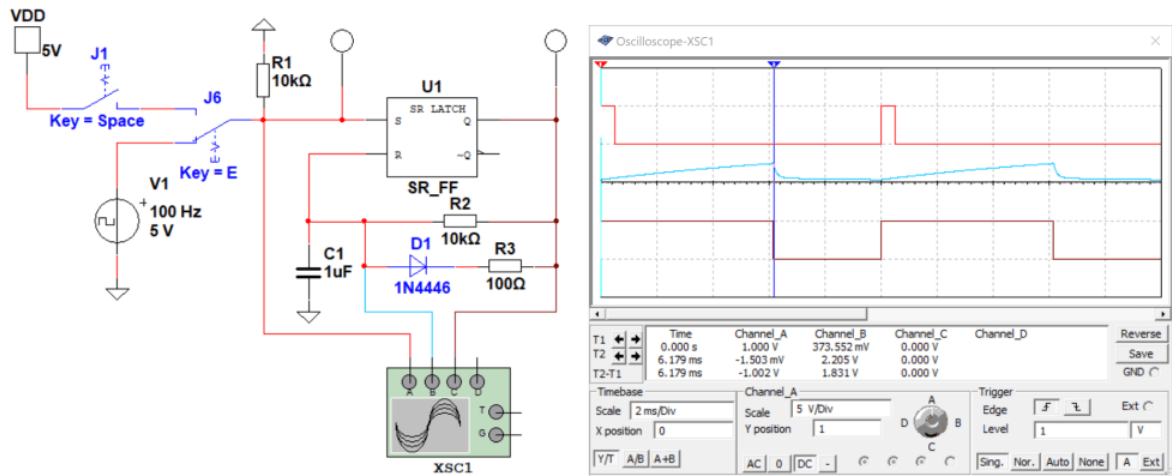


Рис. 12.3. Модель одновібратора, побудованого на RS-тригері

Для регулювання тривалості імпульсу в процесі роботи необхідно замінити постійний резистор R2 на коло, що складається з постійного та змінного резистора, як показано на рис. 12.4.

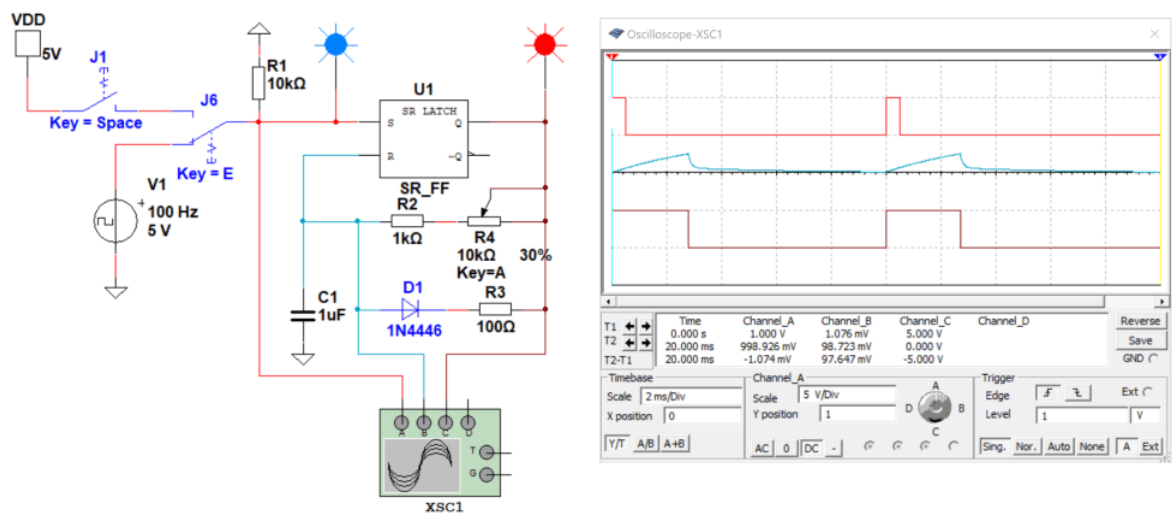


Рис. 12.4. Модель одновібратора з регульованою тривалістю імпульсу, побудованого на RS-тригері

Мінімальна тривалість імпульсу при мінімальному значенні змінного резистора R4 дорівнює $t_{i,\text{мін}} \approx 0,7R_2C_1$, а максимальна тривалість – $t_{i,\text{макс}} \approx 0,7(R_2 + R_4)C_1$.

Одновібратор на RS-тригері можна побудувати якщо подавати сигнал на вхід R, але при цьому коло зворотного зв'язку повинно бути підключене до інверсного виходу тригера, як показано на рис. 12.5.

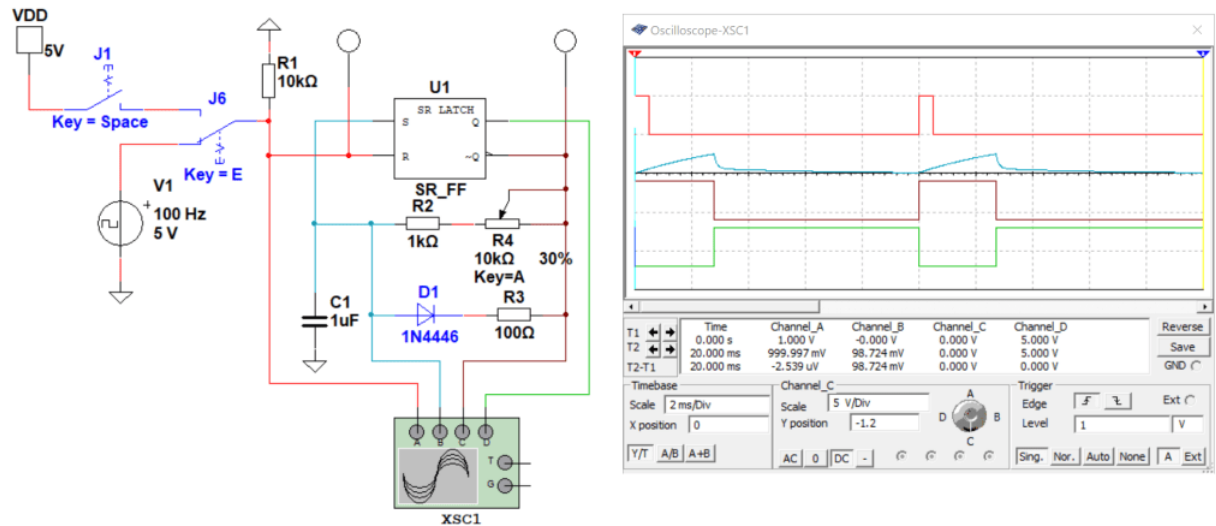


Рис. 12.5. Модель одновібратора з регульованою тривалістю імпульсу, побудованого на RS-тригері з запуском по входу R

При такій модифікації схеми позитивний імпульс заданої тривалості буде формуватися на інверсному виході тригера, що і ілюструють осцилограми на рис. 12.5.

Для розглянутих одновібраторів необхідно завжди виконувати умову яка полягає у тому, що тривалість вхідного імпульсу повинна бути завжди менша, ніж тривалість вихідного. Якщо $t_{\text{вх}} > t_i$, то порушується умова нормальної роботи тригера (на входах тригера встановлюється заборонений стан). Для RS-тригера заборонений стан $S = R = "1"$.

Для того, щоб запобігти такій ситуації на вході ОВ треба встановити формувач коротких імпульсів (рис. 12.6).

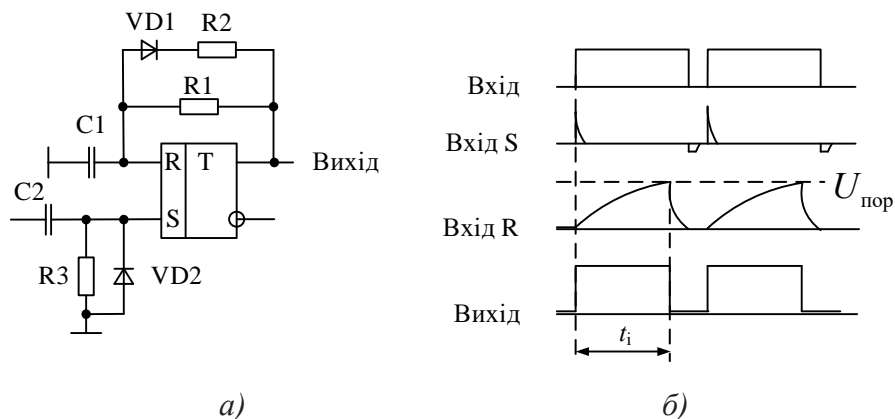


Рис. 12.6. Принципова схема одновібратора, побудованого на RS-тригері з формувачем коротких імпульсів на вході (а) та часові діаграми його сигналів (б)

Модель ОВ, виконаного на RS-тригері з формувачем коротких імпульсів на вході, наведена на рис. 12.7.

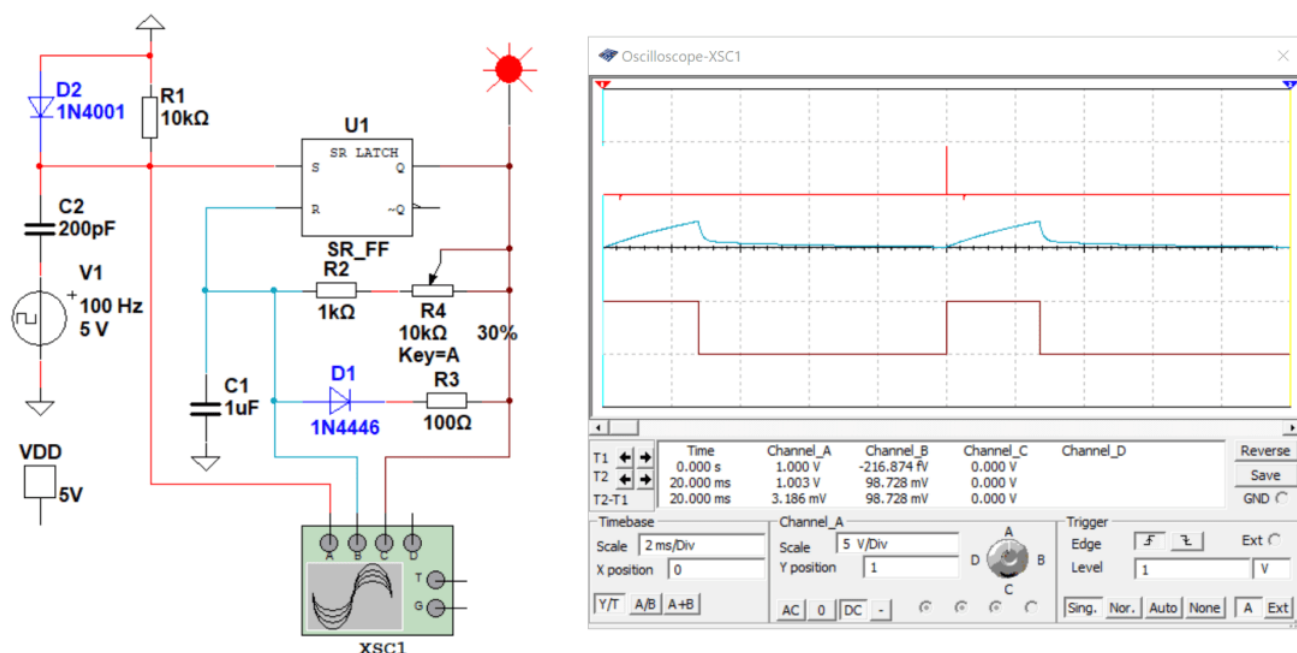


Рис. 12.7. Модель одновібратора, побудованого на RS-тригері з формувачем коротких імпульсів на вході

Тривалість вхідного імпульсу можна розрахувати за приблизною формулою $t_{i, \text{вх}} = 0,5R_1C_1$.

12.2.2 Одновібратор на RS-тригері з інверсними входами

Оскільки більшість мікросхем містять RS-тригери з інверсними входами, розглянемо одновібратор побудований на такому тригері. Використаємо вхід R для запуску одновібратора (для запуску можна використовувати будь-який вхід). Схема такого ОВ наведена на рис. 12.8.

На відміну від ОВ побудованого на RS-тригері після подачі на вхід імпульсу запуску починається розряд конденсатора C1. Тривалість імпульсу буде дорівнювати часу розряду конденсатора від максимальної напруги на виході Q до порогового рівня, що ілюструють часові діаграми роботи ОВ (рис. 12.8,б).

Для такого одновібратора необхідно завжди виконувати умову яка полягає у тому, що тривалість вхідного імпульсу повинна бути завжди менша, ніж тривалість вихідного. Якщо $t_{\text{вх}} > t_i$, то порушується умова нормальної роботи тригера (на входах тригера встановлюється заборонений стан). Для RS-тригера з інверсними входами заборонений стан $S = R = "0"$.

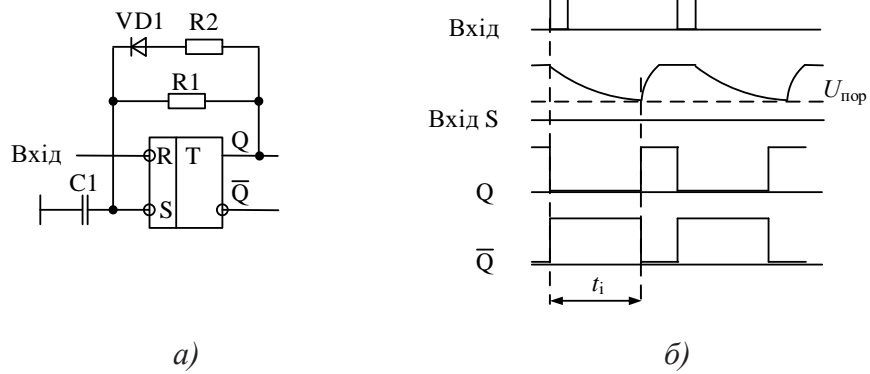


Рис. 12.8. Принципова схема одновібратора, побудованого на RS-тригері з інверсними входами (а) та часові діаграми його сигналів (б)

Для того, щоб запобігти такій ситуації на вході ОВ треба встановити формувач коротких імпульсів. Схема такого ОВ з формувачем коротких імпульсів на вході та модель для його дослідження наведені на рис.12.9 та 12.10, відповідно.

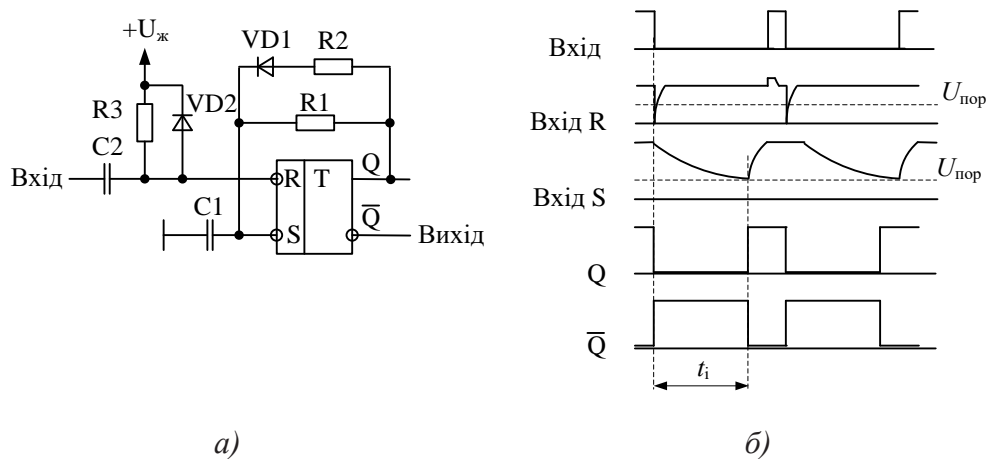


Рис. 12.9. Принципова схема одновібратора, побудованого на RS-тригері з інверсними входами і формувачем коротких імпульсів на вході (а) та часові діаграми його сигналів (б)

Формувач коротких імпульсів побудований з використання диференціюючого кола, а діод VD2 призначений для обмеження напруги на вході тригера у безпечних межах (не більше ніж $U_{ж} + 0,7$ В).

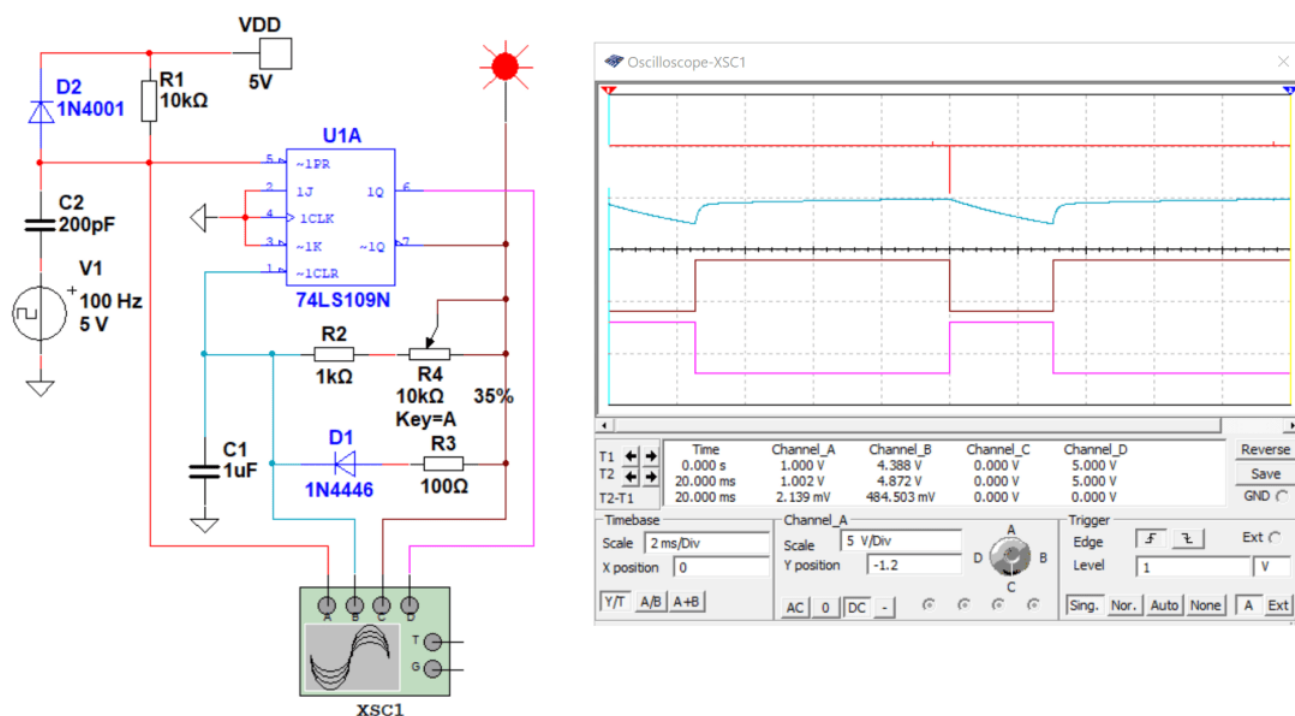


Рис. 12.10. Модель одновібратора, побудованого на RS-тригері з інверсними входами і формувачем коротких імпульсів запуску

12.2.3 Одновібратор не чутливий до тривалості вхідного імпульсу

Мультивібратор не чутливий до тривалості вхідного імпульсу можна побудувати використовуючи RSD- або RSJK-тригер. На рис. 12.11 наведена принципова схема мультивібратора виконаного на RSD-тригері. Оскільки вхід С використовується для запуску одновібратора, то спрацювати ОВ буде по фронту вхідного сигналу.

Після подачі вхідного імпульсу у D-тригер записується "1" оскільки на вхід D подається напруга живлення. Після перемикання тригера у "1" починається заряд конденсатора С1. Тривалість вихідного імпульсу буде дорівнювати часу заряду конденсатора до порогового рівня. Як тільки напруга на вході R досягне $U_{пор}$ тригер перемикається у "0" і конденсатор швидко розряджається через коло R2, VD1. Часові діаграми що пояснюють роботу одновібратора наведені на рис. 12.11,б.

Модель одновібратора не чутливого до тривалості вхідного імпульсу з використанням JK-тригера наведена на рис. 12.12. Для побудови моделі використаний RSJK-тригер з інверсними входами R, S і К. Це дозволяє зручно побудувати D-тригер. Достатньо зеднати входи J і K між собою. Щоб вхід S не заважав роботі ОВ його під'єднано до джерела живлення +5 В.

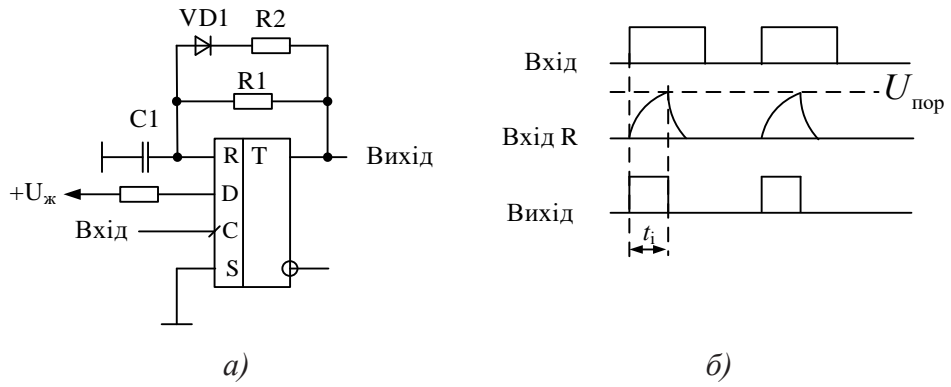


Рис. 12.11. Принципова схема одновібратора не чутливого до тривалості вхідного імпульсу (а) та часові діаграми його сигналів (б)

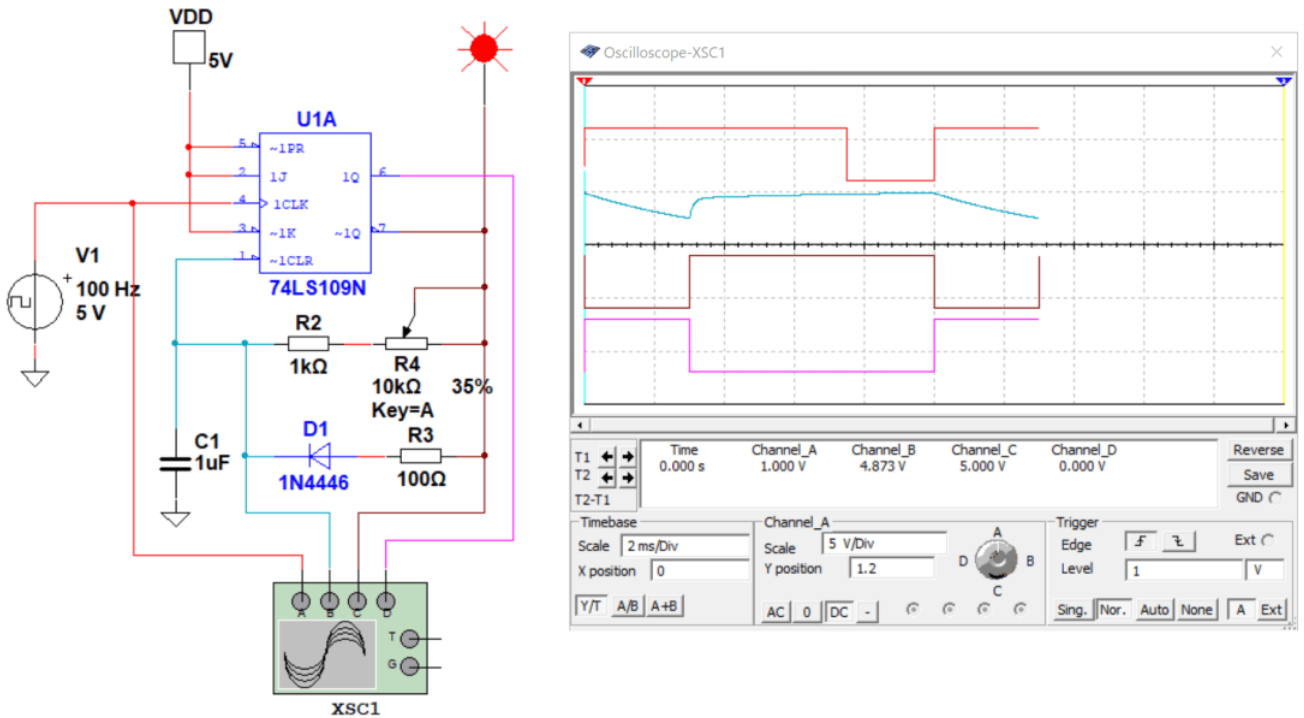


Рис. 12.12. Модель одновібратора не чутливого до тривалості вхідного імпульсу з записом "1" при запуску ОВ

Можна побудувати одновібратор не чутливий до тривалості вхідного імпульсу з записом "0" у тригер при подачі на його вхід імпульсу запуску. Але потрібно буде повертати ОВ у початковий стан "1", тобто коло зворотного зв'язку під'єднати до входу S. Модель такого ОВ наведена на рис. 12.13.

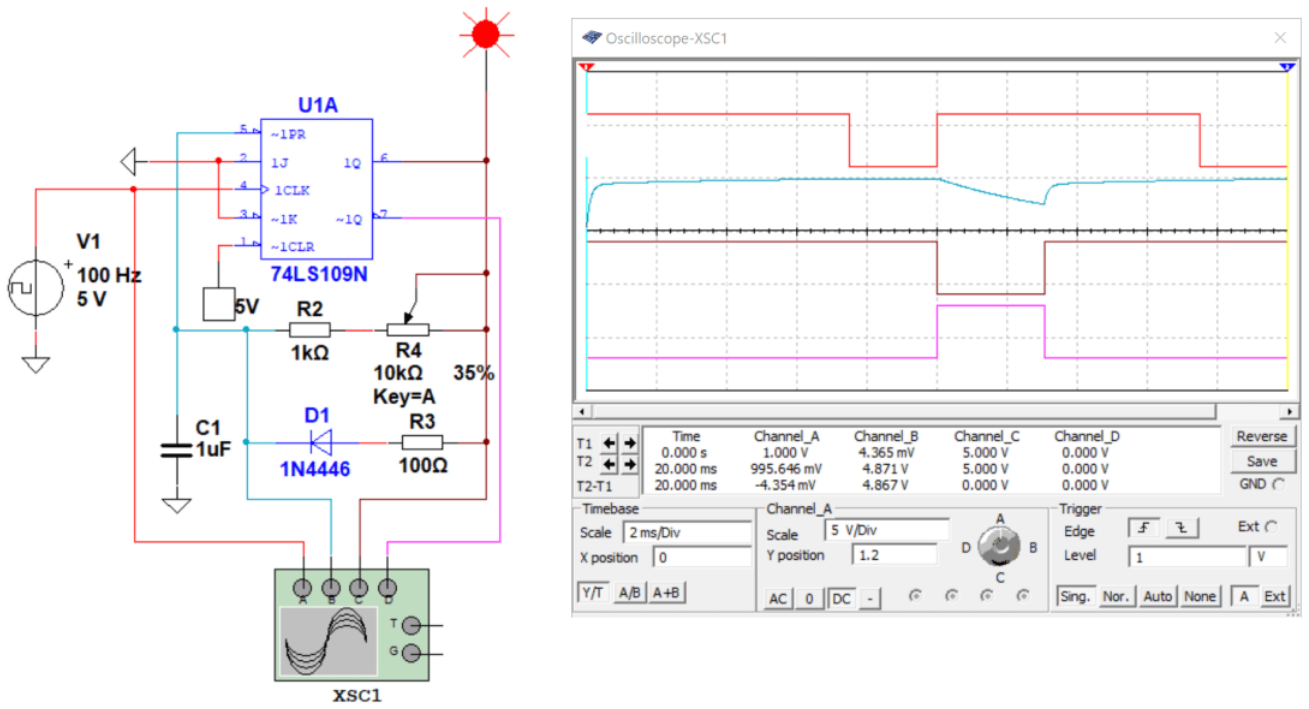


Рис. 12.13. Одновібратор не чутливий до тривалості вхідного імпульсу з записом "0" у тригер імпульсом запуску

При запису "0" у тригер позитивний вихідний імпульс формується на інверсному виході, як показано на рис. 12.13.

12.3 Одновібратори на логічних елементах

Для побудови одновібраторів можна використати логічні елементи і інтегруючі або диференціюючі кола. На рис. 12.14 наведена схема одновібратора у якому використане диференціююче коло.

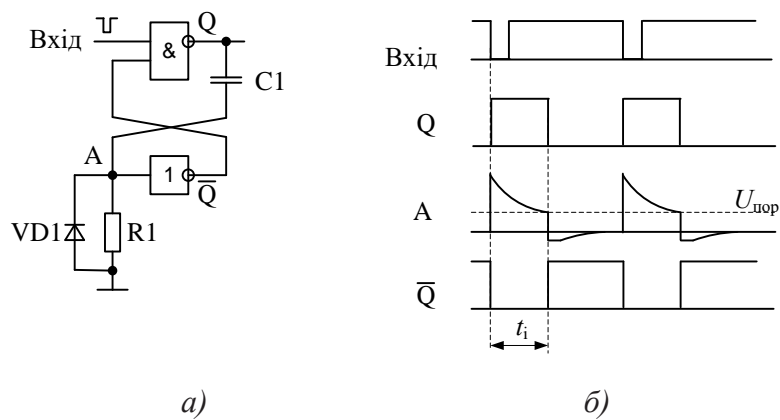


Рис. 12.14. Принципова схема одновібратора на логічних елементах (а) та часові діаграми його роботи (б)

На вхід такого ОВ треба подавати низький рівень вхідної напруги для його запуску, як показано на рис. 12.14). До подачі вхідного сигналу у точці А напруга дорівнює "0", а отже на виході інвертора формується "1" і, як слідство, на виході Q формується логічний "0". При подачі на вхід елемента І-НІ нульового рівня на його виході Q формується рівень логічної "1" і цей стрибок напруги через диференціююче коло C1, R1 передається на вхід інвертора у точку А. На виході \bar{Q} буде сформовано "0", який буде утримувати логічний елемент І-НІ у стані Q = "1" до закінчення формування вихідного імпульсу.

Починається заряд конденсатора C1 і, як слідство, напруга у точці А зменшується. Коли вона сягне порогу інвертор сформує на виході \bar{Q} "1" і на виході Q встановиться "0". Формування імпульсу закінчується. Перепад напруги з "1" в "0" з виходу І-НІ передається у точку А. Для запобігання ушкодження вхідних кіл логічного елемента призначений діод VD1 (як правило вбудований у мікросхему). Він обмежує від'ємну напругу на вході А величиною -0,7 В.

Модель ОВ на логічних елементах наведена на рис. 12.15.

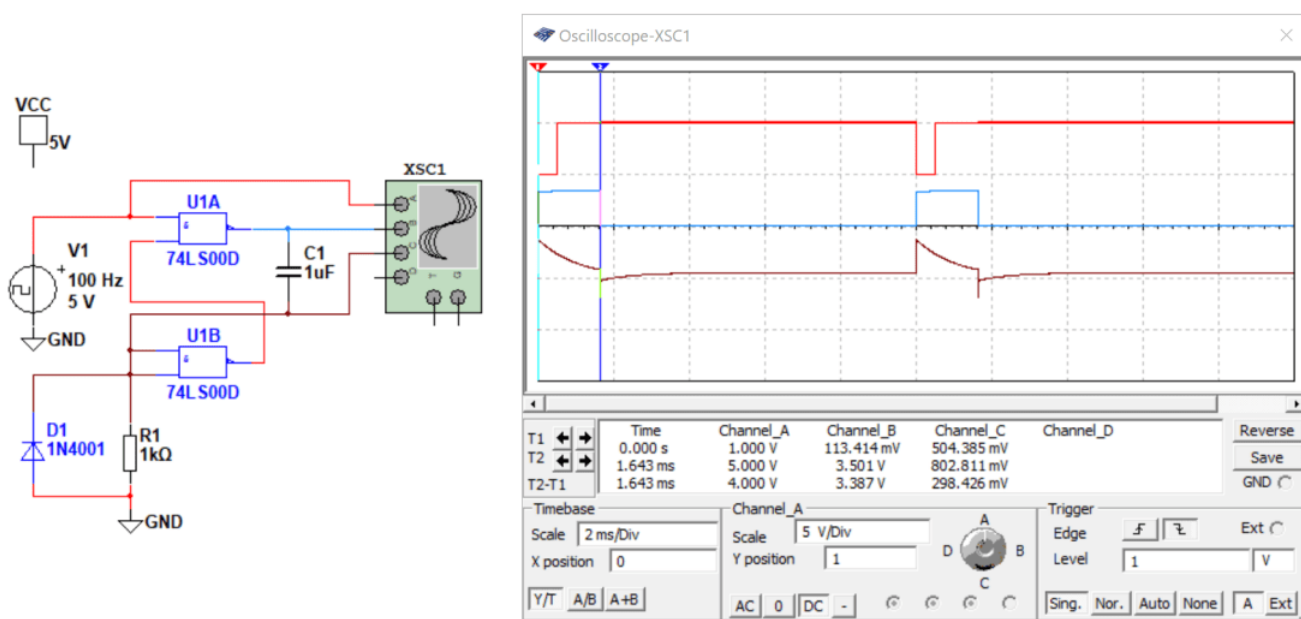


Рис. 12.15. Модель одновібратора на логічних елементах з використанням диференціюючого кола

При розрахунку тривалості імпульсу на виході одновібратора, реалізованого на елементах ТТЛ, враховується напруга до якої заряджається конденсатора $U_{C1} = U_{\text{вих}} - U_{\text{пор}}$, де $U_{\text{пор}}$ для елементів ТТЛ складає приблизно 1,2 В. Для моделі, використаної на рис. 12.15, пороговий рівень складає 0,802 В, а напруга на виході логічного елемента 3,5 В і розрахунок дає наступний приблизний результат:

$$t_i \approx 0,63\tau \ln \frac{U_{\text{вих}}}{U_{\text{вих}} - U_{\text{пор}}} \approx 0,63 \cdot 10^{-6} \cdot 10^3 \ln \frac{3,5}{3,5 - 0,802} \approx 0,63 \cdot 10^{-3} \ln 1,297 \approx 0,63 \cdot 10^{-3} \cdot 0,26 = 1,64 \text{ мс.}$$

Можна побудувати аналог RS-триггера на логічних елементах і реалізувати ОВ з використанням інтегруючого кола. Модель ОВ з використанням інтегруючого кола наведена на рис. 12.16.

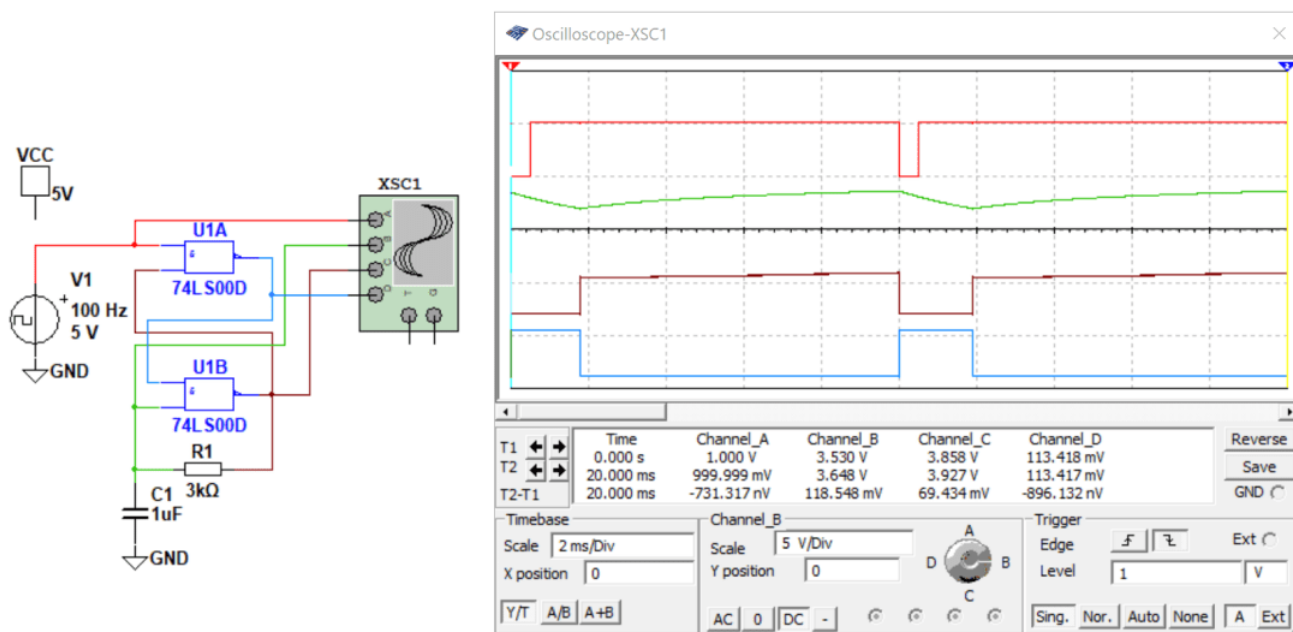


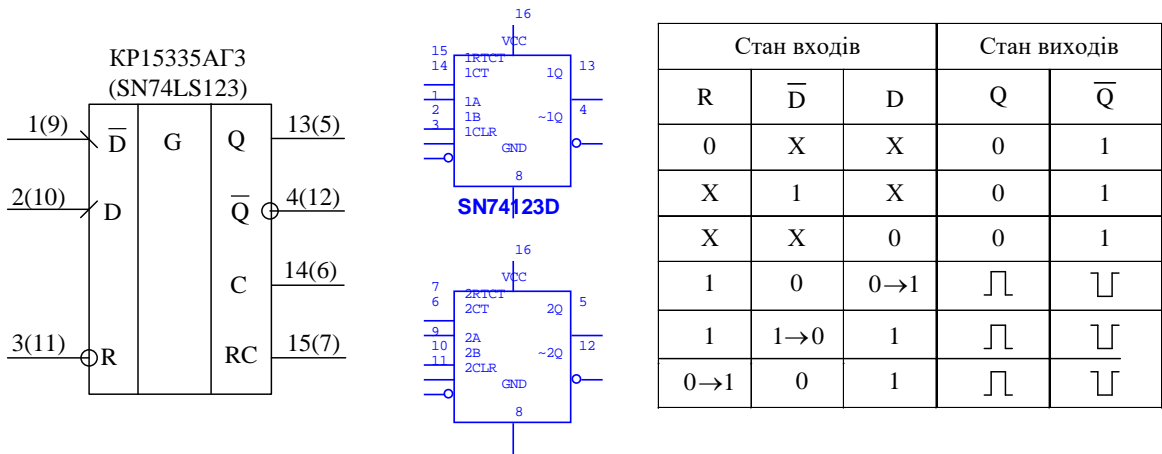
Рис. 12.16. Модель одновібратора на логічних елементах з використанням інтегруючого кола

Тривалість імпульсу розраховується аналогічно розрахунку тривалості в ОВ з диференціюючим колом.

Для ОВ на логічних елементах необхідно щоб тривалість вхідного імпульсу була меншою за тривалість вихідного імпульсу.

12.4 Одновібратори в інтегральному виконанні

В багатьох серіях мікросхем випускаються інтегральні мультивібратори, які є універсальними і дозволяють здійснювати їх запуск як фронтом, так і спадом вхідного сигналу, встановлювати їх у початковий стан у будь який момент часу. На рис. 12.17 наведено умовне графічне позначення інтегрального ОВ КР1533АГЗ (функціональний аналог ІМС 74LS123) та таблиця функціонування. В одній мікросхемі міститься два одновібратора з повторним запуском.

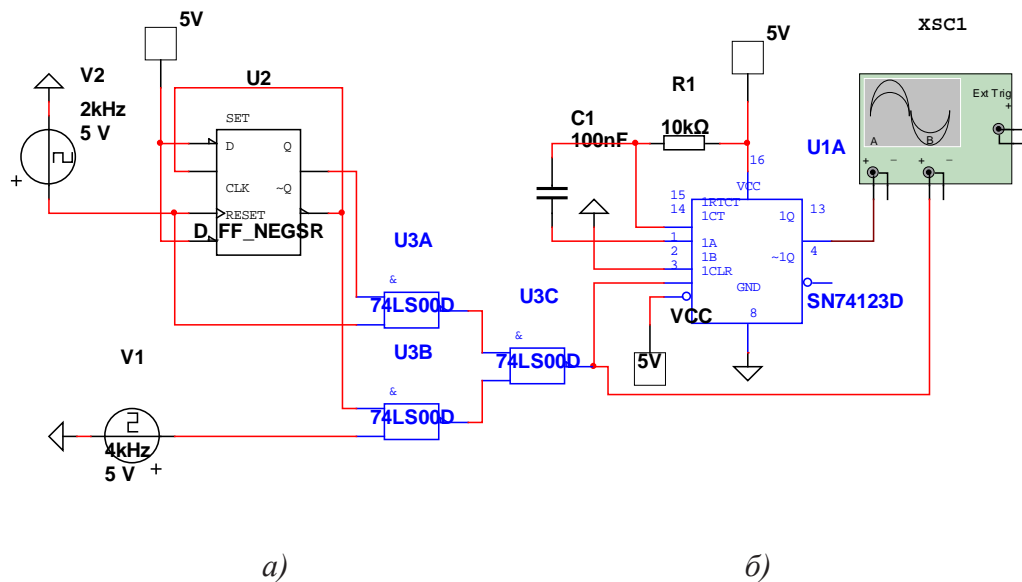


а) б)

Рис. 12.17. Умовне графічне позначення інтегрального ОВ КР1533АГ3 (а) та таблиця його функціонування (б)

З таблиці функціонування слідує, що ОВ може запускатися як по фронту (вхід D і R), так і по спаду (вхід \bar{D}).

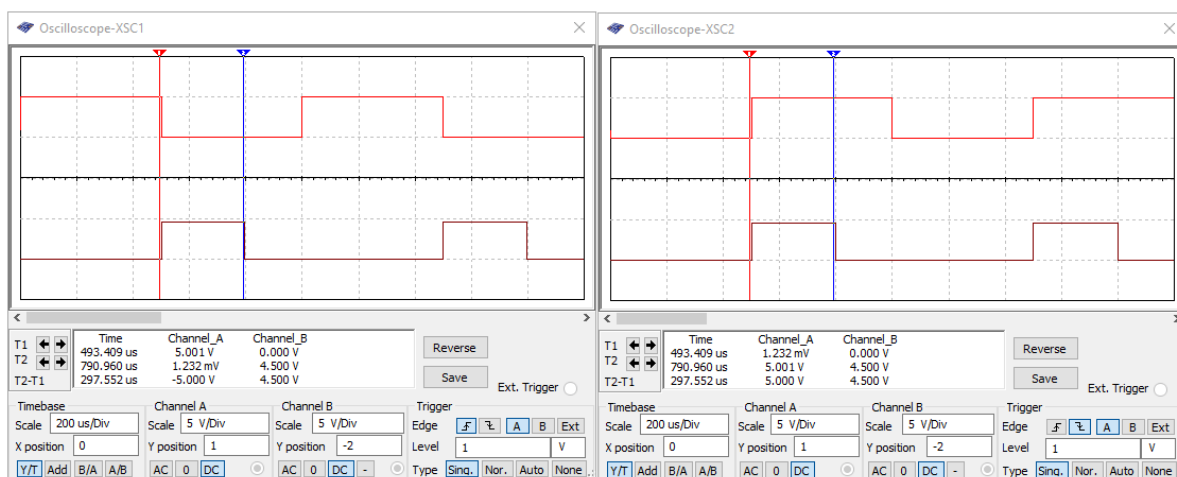
На рис. 12.17 наведені моделі для дослідження ОВ при запуску по спаду (рис. 12.17,а) та по фронту (рис. 12.17,б).



а)

б)

Рис. 12.17. Одновібратор з запуском по спаду (а) та по фронту (б) на основі інтегральної схеми 74LS123



а)

б)

Рис. 12.18. Осцилограми сигналів на вході (червона) та на виході одновібратора з запуском по спаду (а) та по фронті (б)

Тривалість вихідного імпульсу одновібратора можна розрахувати за формулою $t_i \approx 0,3RC$.

Залишилось пояснити що таке повторний запуск. Якщо після запуску ОВ під час формування імпульсу в момент часу t_1 (імпульс ще не закінчився на виході) на вхід запуску знову подати імпульс, то на виході, починаючи з цього моменту часу, буде продовжене формування вихідного імпульсу. Причому тривалість вихідного імпульсу в такій ситуації буде складати величину $t_{\text{вих}} = t_1 + t_i$, де t_i – тривалість імпульсу на виході одновібратора при його запуску одиночним імпульсом, тобто тривалість зумовлена постійною часу RC-кола, під'єданого до входів мікросхеми (рис. 12.19).

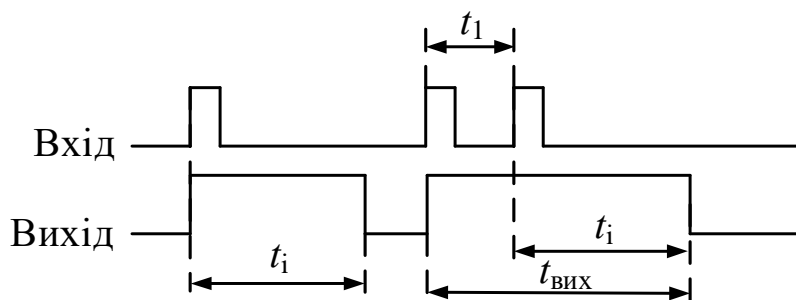
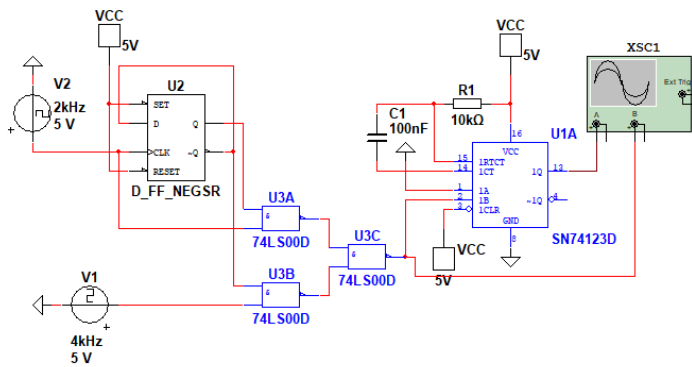


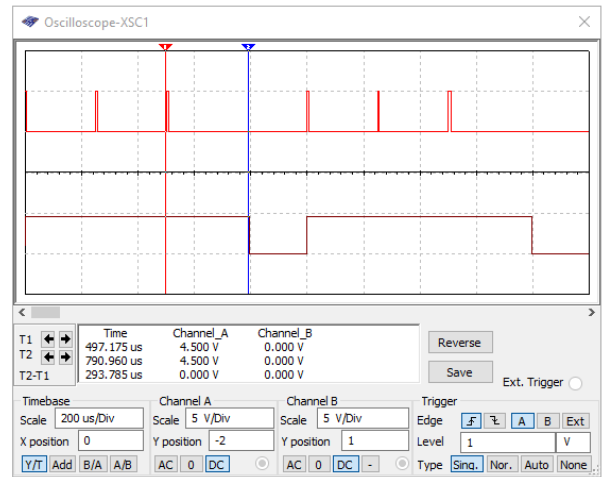
Рис. 12.19. Часові діаграми сигналів ОВ з повторним запуском

Звісно що можна подавати не тільки 2, а довільну кількість імпульсів для продовження формування імпульсу на виході одновібратора.

На рис. 12.20 наведена модель та осцилограми сигналів на вході та виході одновібратора, що працює в режимі повторного запуску.



a)



б)

Рис. 12.20. Модель (а) та часові діаграми сигналів на вході (червона) та виході одновібратора (б), працюючого в режимі повторного запуску

12.5 Робота одновібраторів в режимі ділення частоти

На рис. 12.21 наведена модель одновібратора працюючого в режимі ділення частоти. Для реалізації такого режиму потрібно щоб тривалість вихідного імпульсу була більшою ніж тривалість періоду вхідного сигналу.

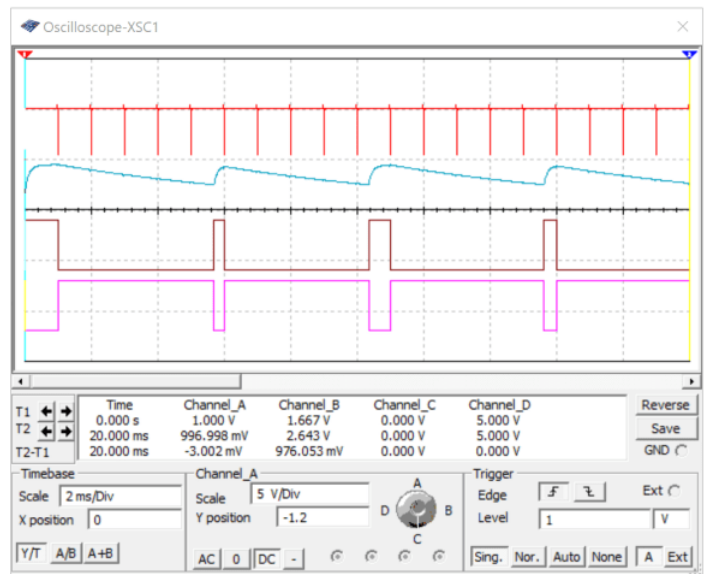
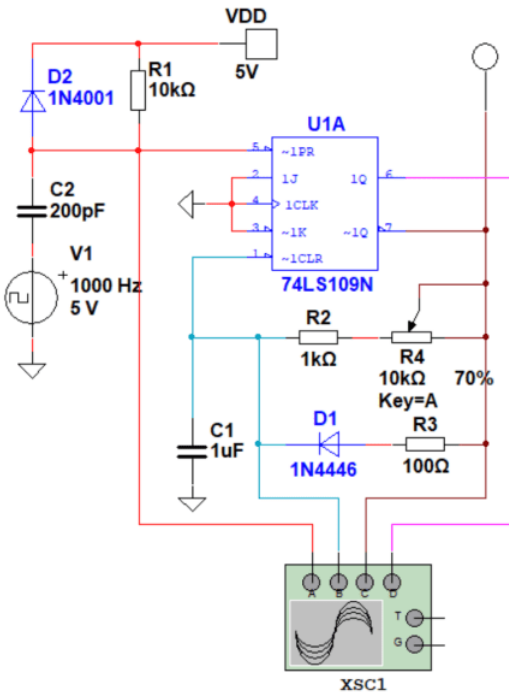


Рис. 12.21. Модель одновібратора працюючого в режимі ділення частоти

Змінюючи тривалість вихідного імпульсу за допомогою змінного резистора R4, можна змінювати коефіцієнт ділення частоти.

12.3 Мультивібратори

12.3.1 Мультивібратори на RS-тригерах

Мультивібратори на RS-тригерах можна побудувати на основі схем, наведених у розділах 12.2.1 та 12.2.2. Для цього потрібно щоб сигнал з виходу одного одновібратора призводив до запуску другого одновібратора, для побудови яких використовуються входи S і R. На рис. 12.22 наведена схема мультивібратора, побудованого на RS-тригері з прямими входами та часові діаграми сигналів у різних точках схеми.

Період слідування вихідного сигналу дорівнює $T_{\text{вих}} = t_{i1} + t_{i2}$, а тривалість імпульсів з урахуванням (12.2) становить

$$t_{i1} = R_3 C_2 \ln \frac{U_{\text{ж}}}{U_{\text{ж}} - U_{\text{ж}} / 2} = R_3 C_2 \ln 2 = 0,693 R_3 C_2,$$

$$t_{i2} = R_1 C_1 \ln \frac{U_{\text{ж}}}{U_{\text{ж}} - U_{\text{ж}} / 2} = R_1 C_1 \ln 2 = 0,693 R_1 C_1.$$

Розглянемо роботу мультивібратора детально. Починати аналіз роботи з будь якого стану на виході. Припустимо що на виході Q встановлений рівень "1". Тоді конденсатор C1 заряджається і коли напруга на ньому досягне порогового рівня тригер переключиться у "0". В результаті цього на виході \bar{Q} встановиться "1" і почне заряджатися конденсатор C2, а оскільки на виході Q встановлюється "0", то конденсатор C1 швидко розряджається через прискорююче коло VD1, R2. У той момент часу коли напруга на конденсаторі C2 сягне порогового значення тригер переключиться у "1" і почнеться знову заряд конденсатора C1, а також швидкий розряд C2 через прискорююче коло VD2, R4. Весь процес повторюється.

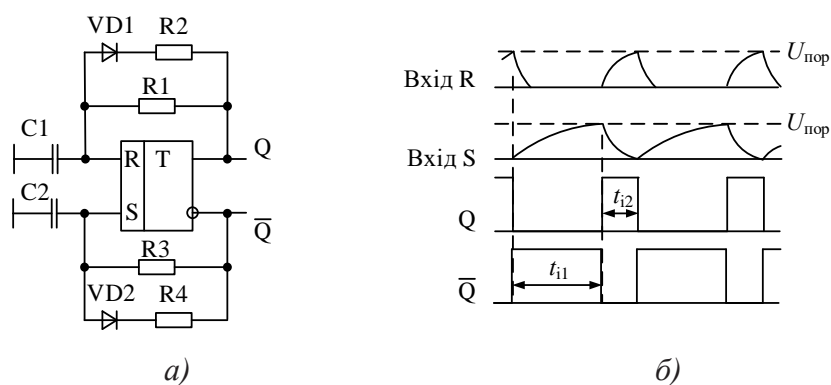


Рис. 12.22. Принципова схема мультивібратора на RS-тригері (а)
та часові діаграми його сигналів (б)

Аналогічно будується мультивібратор на основі RS-тригера з інверсними входами, схема якого наведена на рис. 12.23.

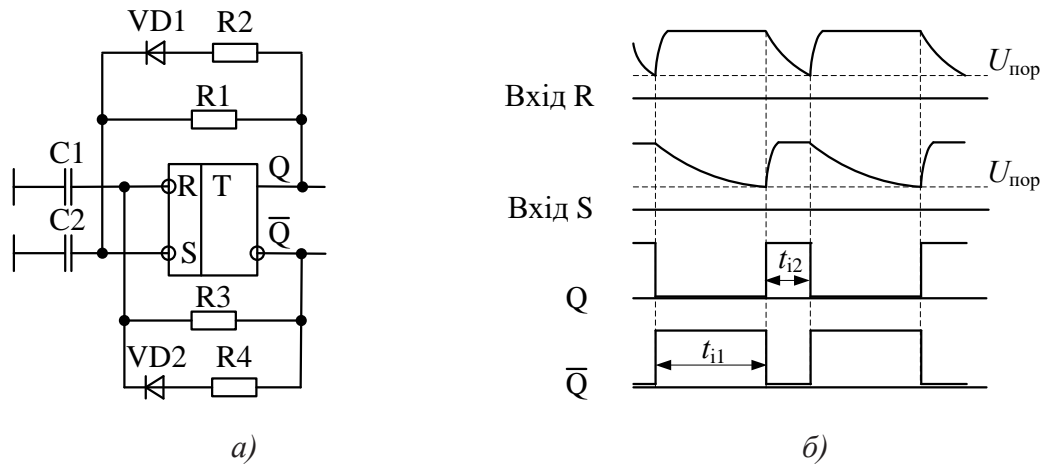


Рис. 12.23. Принципова схема мультивібратора на RS-тригері з інверсними входами (а) та часові діаграми його сигналів (б)

Принцип дії аналогічний принципу дії одновібратора виконаного на такому тригері (див. розділ 12.2.2).

На рис. 12.24 та 12.25 наведені моделі та осцилограми сигналів мультивібраторів на RS-тригері та RS-тригері з інверсними входами, відповідно.

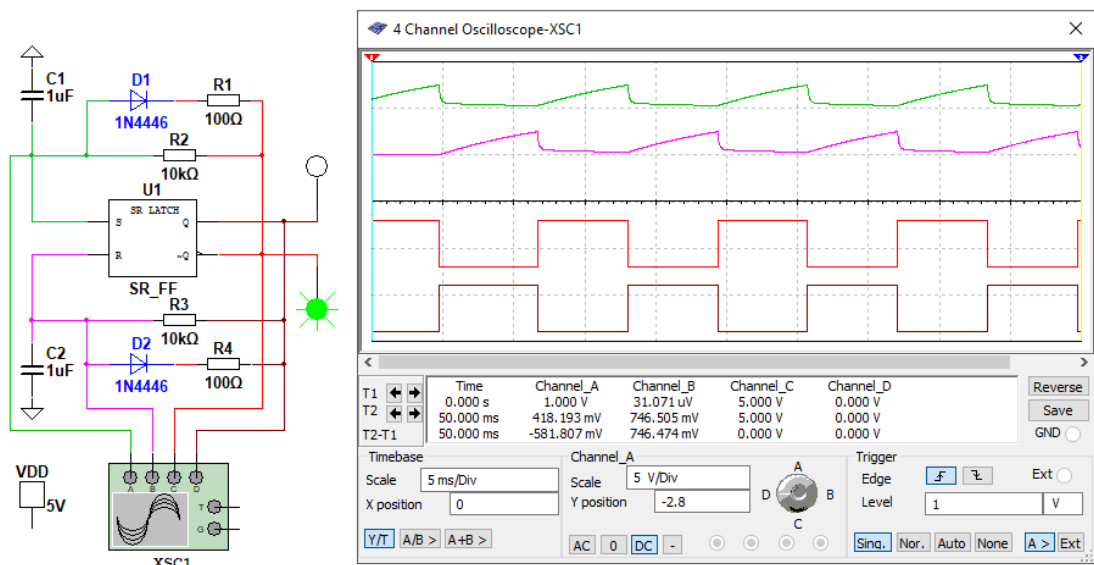


Рис. 12.24. Модель та осцилограми сигналів мультивібратора на RS -тригері

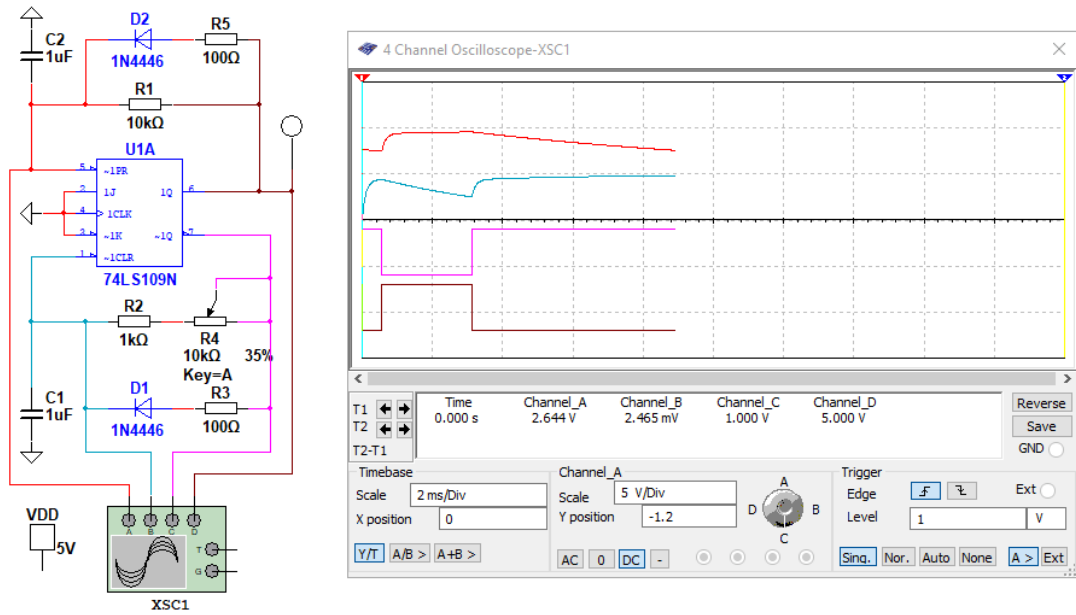


Рис. 12.25. Модель та осцилограми сигналів мультивібратора на RS-тригері з інверсними входами

12.3.2 Мультивібратори на логічних елементах

При побудові мультивібраторів на логічних елементах використовується велика кількість схемних рішень. Розглянемо деякі з них.

На базі одновібратора на логічних елементах можна побудувати мультивібратор схема якого наведена на рис. 12.26.

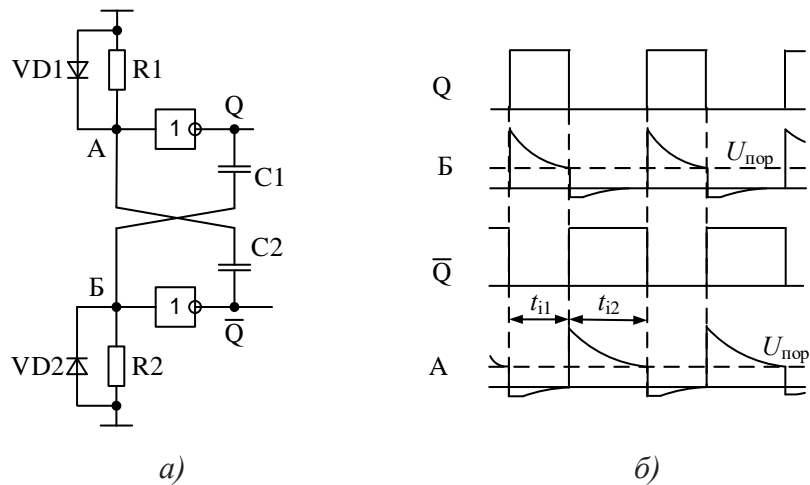


Рис. 12.26. Принципова схема мультивібратора на логічних елементах (а) та часові діаграми його сигналів (б)

Тривалість імпульсів кожного плеча мультивібратора залежить від часу за який конденсатори будуть заряджатися до напруги $U_c = U_{ж} - U_{пор}$. Якщо вибрати номінальні значення

елементів таким чином щоб $R_1 = R_2$, $C_1 = C_2$, то такий мультивібратор називається симетричним, а тривалість імпульсів кожного плеча однакова $t_{i1} = t_{i2}$. Період слідування вихідного сигналу може бути розрахована за формулою

$$T_{\text{вих}} = 2RC \ln \left(\frac{U_{\text{вих}}}{U_{\text{пор.}}} \right),$$

де $U_{\text{вих}}$ – амплітуда сигналу на виході інверторів (для КМОН-елементів $U_{\text{вих}} = U_{\text{ж}}$).

На рис. 12.27 наведена модель мультивібратора на логічних елементах з використанням диференціюючих кіл, що реалізує схему наведену на рис. 12.26.

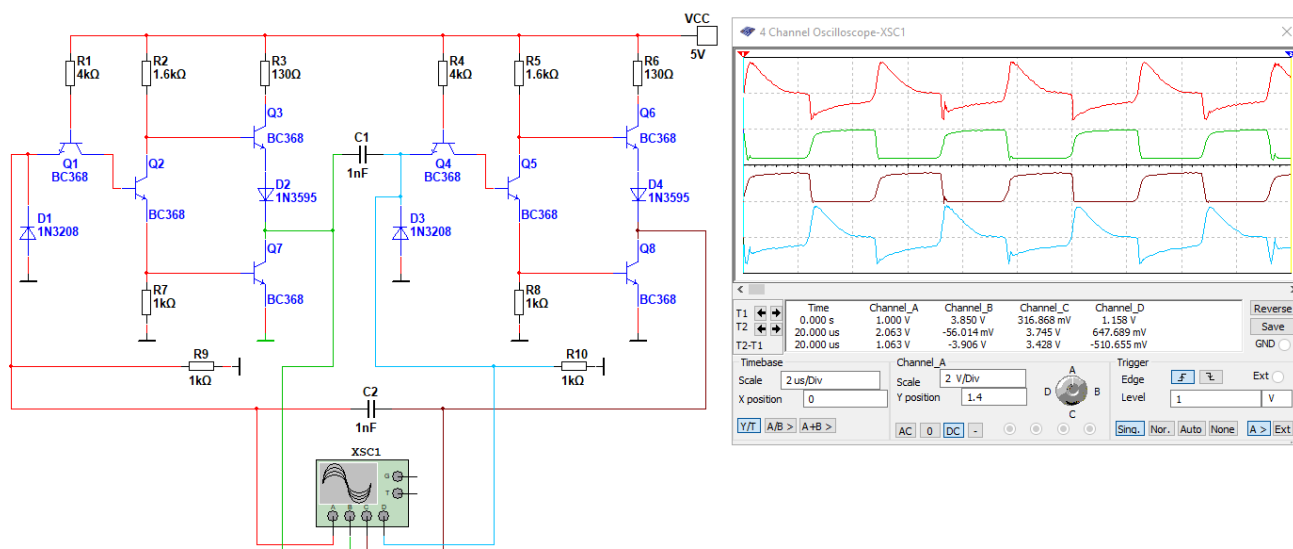


Рис. 12.27. Модель мультивібратора на логічних елементах НІ та сигналів у різних точках

Треба згадати, що моделі логічних елементів у Multisim дуже спрощені і тому для реалізації генераторів потрібно реалізовувати логічні елементи на дискретних компонентах. Перший елемент НІ реалізовано на транзисторах Q1...Q3, Q7, а другий – на транзисторах Q4...Q6, Q8.

Використовуючи логічні елементи КМОН можна побудувати мультивібратор, що має тільки одне коло яке задає період слідування вихідних імпульсів. Схема такого мультивібратора наведена на рис. 12.28.

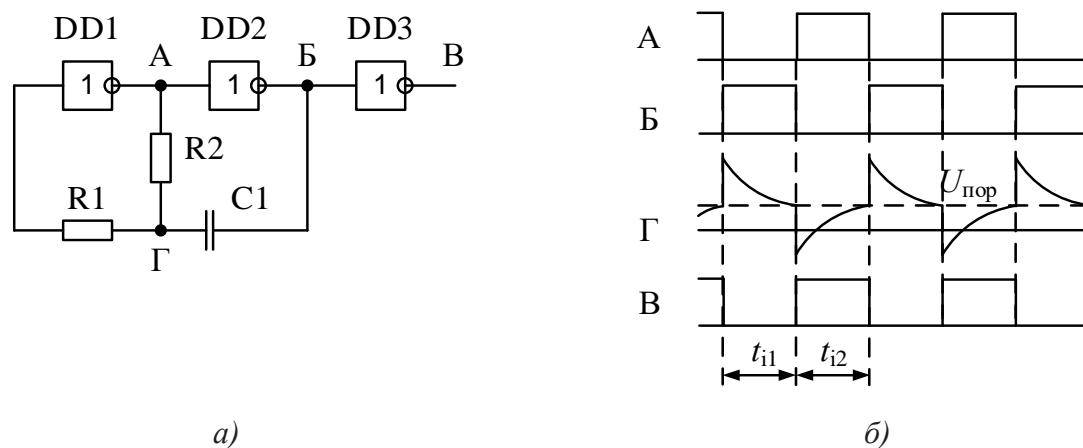


Рис. 12.28. Принципова схема мультивібратора на логічних елементах КМОП (а) та часові діаграми його сигналів (б)

Розглянемо роботу схеми. Припустимо що напруга у точці Б стрибком змінилася з "0" у "1" (рис. 12.28,б). Тоді у точці А напруга буде дорівнювати "0", а на виході диференціюючого кола, що складається з резистора R2 та конденсатора C1, буде сформований стрибок напруги від рівня $U_{\text{пор}}$ до $U_{\text{пор}} + U_{\text{ж}}$. Починається заряд конденсатора з виходу DD2 \rightarrow C1 \rightarrow R2 \rightarrow вихід DD1. Як слідство, напруга у точці Г починає зменшуватись і коли вона впаде до порогового рівня, то інвертор DD1 переключиться з "0" у "1", оскільки його вхід через резистор R1 під'єднаний до точки Г.

Після цього на виході Б напруга стрибком переходить з "1" у "0" і цей стрибок через коло C1, R2 передається у точку Г. Починається перезаряд конденсатора C1 і напруга у точці Г починає збільшуватись. Як тільки напруга у цій точці зросте до порогового рівня, інвертор DD1 переключиться у "0", на виході DD2 формується "1" і весь процес повторюється.

Інвертор DD3 призначений для запобігання впливу опору навантаження, що підключається на виході генератора, на частоту вихідного коливання. Резистор R1 призначений для запобігання розряду конденсатора C1 через захисні діоди, що знаходяться у середині інвертора й для запобігання розряду конденсатора C1 через захисні діоди, що встановлені на вході інвертора (у середині мікросхеми) DD1. Для стабільної роботи мультивібратора потрібно виконання умови $R1 > R2$.

Для схеми наведеної на рис. 12.28

$$t_{i1} \approx t_{i2},$$

де

$$t_{i1} = R_2 C_1 \ln \frac{U_{\text{ж}} + U_{\text{пор}}}{U_{\text{пор}}},$$

$$t_{i2} = R_2 C_1 \ln \frac{2U_{ж} - U_{пор}}{U_{ж} - U_{пор}}$$

Якщо $U_{пор} = U_{ж}/2$, то період слідування вихідних імпульсів буде дорівнювати $T_{вих} = t_{i1} + t_{i2} \approx 2,2R_2C_1$.

Якщо виключити резистор R1 зі схеми і з'єднати точку Г зі входом DD1, то буде виконуватись умова:

$$t_{i1} \approx t_{i2} = R_2 C_1 \ln \frac{U_{ж}}{U_{ж} - U_{ж}/2} = 0,693R_2C_2,$$

а період слідування вихідних імпульсів буде складати $T_{вих} \approx 1,4R_2C_1$.

На рис. 12.29 наведена модель мультівібратора на КМОН інверторах, реалізованих на дискретних компонентах.

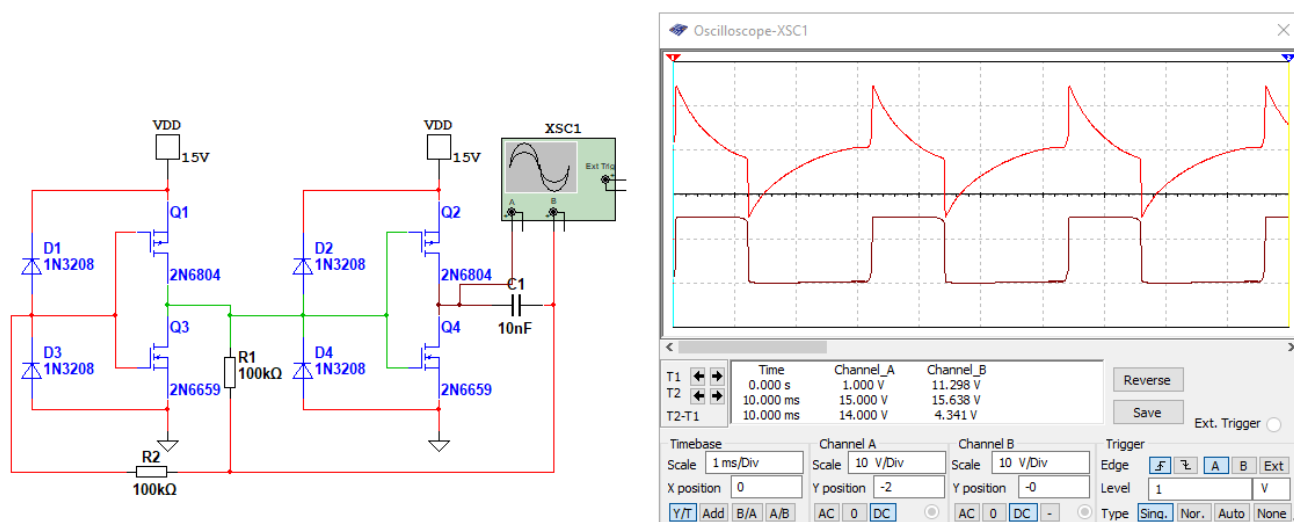


Рис. 12.29. Модель мультівібратора на логічних елементах КМОН та осцилограми сигналів у різних точках схеми

У всіх розглянутих раніше схемах генераторів логічні елементи працюють у ключовому режимі. Однак їх можна використати і у лінійному, чи близькому до лінійного режимах. Схема такого генератора наведена на рис. 12.30.

Генератор фактично складається з двох інвертуючих підсилювачів. Резистори R1 та R2 встановлюють робочу точку інверторів на лінійній ділянці амплітудної характеристики. Конденсатор C2 формує позитивний зворотній зв'язок і вихідний сигнал підсилювача повертається на вхід (завдяки двом каскадам підсилювача зсув фаз між входом та виходом дорівнює 2π , що забезпечує баланс фаз генератора). Логічний елемент DD3 є буферним, тобто,

він призначений для покращення форми вихідного сигналу. Часові діаграми сигналів у різних точках генератора наведені на рис. 12.30,б.

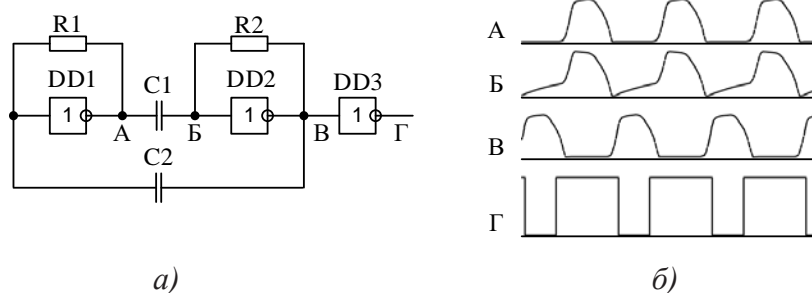


Рис. 12.30. Принципова схема мультивібратора на логічних елементах ТТЛ, що працюють у лінійному режимі, (а) та часові діаграми його сигналів (б)

На рис. 12.31 наведена модель мультивібратора на логічних елементах ТТЛ НІ, що працюють у лінійному режимі, та осцилограми його сигналів. Логічні елементи НІ реалізовані на дискретних компонентах.

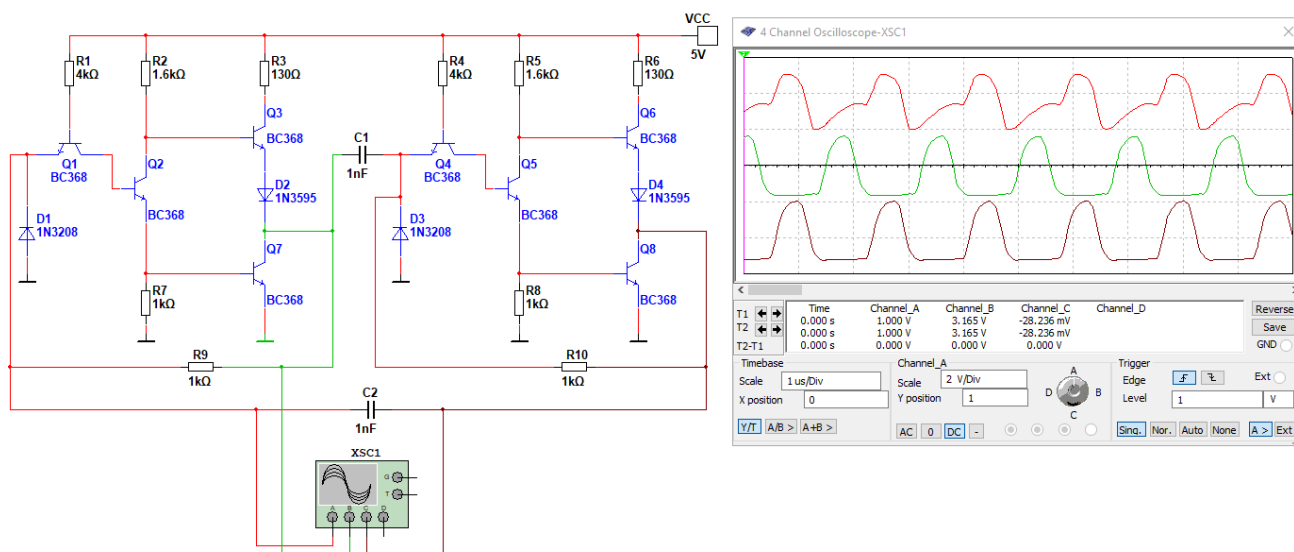


Рис. 12.31. Модель мультивібратора на логічних елементах ТТЛ, що працюють у лінійному режимі, та осцилограми його сигналів

Ще один приклад побудови генератора на логічних елементах що працюють у лінійному режимі наведено на рис. 12.32,а. Схему зібрано на трьох елементах І-НІ. Часові діаграми роботи генератора показані на рис. 12.32,б. Принцип роботи генератора полягає в наступному. Припустимо в початковий момент часу на виході елементу DD3 встановлений рівень логічного нуля. Це означає, що на виході елементу DD2 рівень логічної одиниці. Отже, конденсатор C1 буде заряджатись і на вході елементу сформується стрибок напруги, який переведе елемент DD1

в стан логічного нуля.

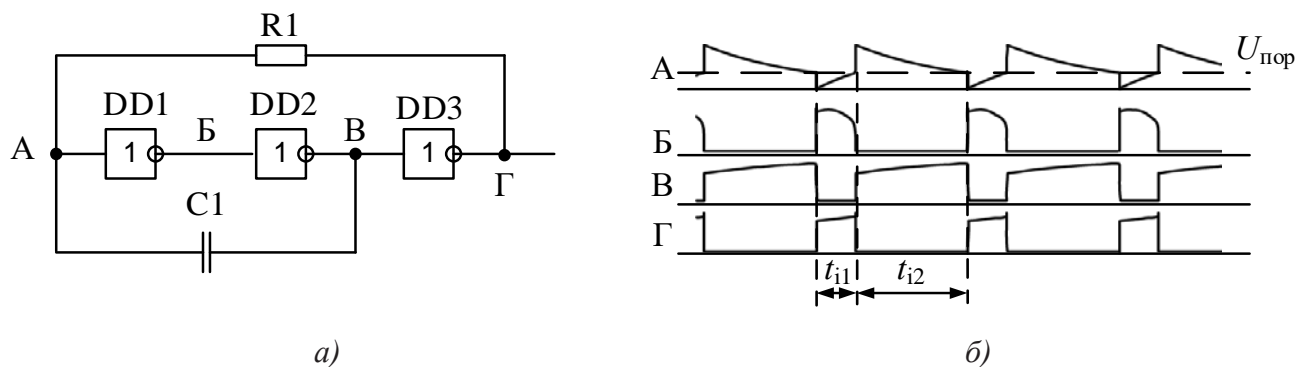


Рис. 12.32. Схема генератора на трьох елементах І-НІ (а) та часові діаграми його сигналів (б)

Заряд конденсатора продовжується до тих пір, поки напруга на вході DD1 не буде дорівнювати $U_{пор.}$. В цей час на правій обкладинці конденсатора позитивний потенціал, а на лівій – негативний (сам конденсатор заряджений до напруги $U_1 - U_{пор.}$), де U_1 – вихідна напруга на виході логічного елемента. Для КМОН елементів $U_1 = U_{ж}$, а для ТТЛ залежить від опору навантаження і серії мікросхем. Регламентується тільки мінімальний рівень логічної "1" не менше ніж 2,4 В.

Коли на вході DD1 сформується рівень логічного нуля (відповідно на виході DD2 – логічний нуль, а на виході DD3 – логічна одиниця), то конденсатор почне перезаряджатись від напруги $-(U_1 - U_{пор.})$ до $U_{пор.}$. В кінці перехідного процесу ліва обкладинка буде заряджена позитивно, а права – негативно. Коли на вході DD1 знову з'явиться рівень логічної одиниці, то в точці Б сформується логічний нуль, а в точці В – логічна одиниця. Конденсатор знову перезаряджається. Але в точці А сформується стрибок напруги, який дорівнює $U_1 + U_{пор.}$ (оскільки на конденсаторі залишилась напруга від попереднього процесу).

Обчислимо період слідування сигналу на виході генератора. Він складається з двох часових інтервалів. В момент, коли на виході генератора (точка Г) – логічна одиниця, потенціал точки А визначається напругою на конденсаторі. Оскільки умови на конденсаторі не є нульовими, то знайдемо функцію зміни напруги на конденсаторі. Загальний розв'язок диференційного рівняння для напруги на конденсаторі

$$U_C(t) = U_1 + Ae^{-t/R_1C_1}.$$

В момент часу $t = 0$, $U_C(t) = -(U_1 - U_{пор.})$. Отже, константа

$$A = -(2U_1 - U_{пор.}).$$

Тривалість імпульсу на виході генератора визначається при умові $U_C(t) = U_{\text{пор.}}$. З виразу для порогової напруги:

$$U_{\text{пор.}} = U_1 - (2U_1 - U_{\text{пор.}})e^{-t/R_1C_1},$$

знаходимо

$$t_{i1} = R_1C_1 \ln \left(\frac{2U_1 - U_{\text{пор.}}}{U_1 - U_{\text{пор.}}} \right).$$

В ті моменти часу, коли на виході генератора формується логічний "0", потенціал точки А визначається напругою на резисторі:

$$U_R(t) = (U_1 + U_{\text{пор.}})e^{-t/R_1C_1},$$

звідки

$$t_{i2} = R_1C_1 \ln \left(\frac{U_1}{U_1 + U_{\text{пор.}}} \right).$$

Період сигналу дорівнює $T_{\text{вих}} = t_{i1} + t_{i2}$.

12.3.3 Мультивібратори на основі інтегральних одновібраторів

Використовуючи мікросхему КР1533АГ3 (74LS123) що містить два одновібратора, можна побудувати мультивібратор, схема якого і часові діаграми наведені на рис. 12.33.

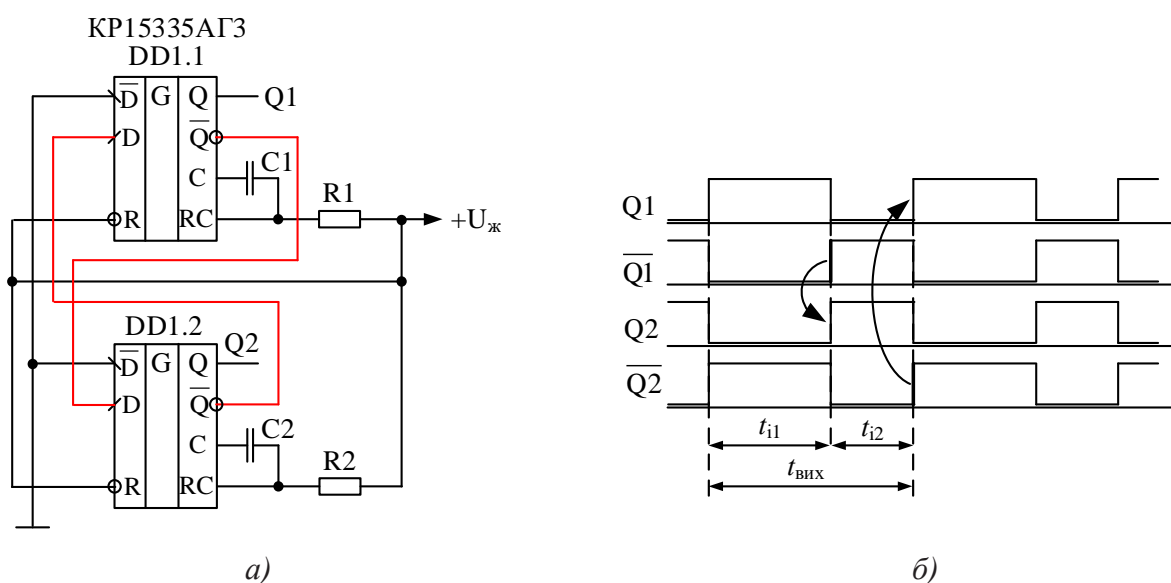


Рис. 12.33. Схема мультивібратора на мікросхемі інтегрального одновібратора КР1533АГ3 (а) та часові діаграми сигналів на його виходах (б)

Принцип побудови такого генератора дуже простий. Вихідний сигнал верхнього одновібратора запускає формування імпульсу другим одновібратором і навпаки (рис. 12.33,б). Але побудувати модель мультівібратора, використовуючи мікросхему 74LS123 неможливо, бо в ній використовуються спрощені моделі логічних елементів.

12.3.4 Мультивібратори на основі інтегрального таймера NE555

Функціональна схема інтегрального таймера NE555 наведена на рис. 12.34. Функціональні аналоги що випускаються в межах СНД 1006ВИ1 та 1087ВИ2.

Основні технічні характеристики мікросхеми NE555:

- напруга живлення 4,5...18 В;
- максимальний вихідний струм 200 мА;
- споживаний струм до 206 мА.

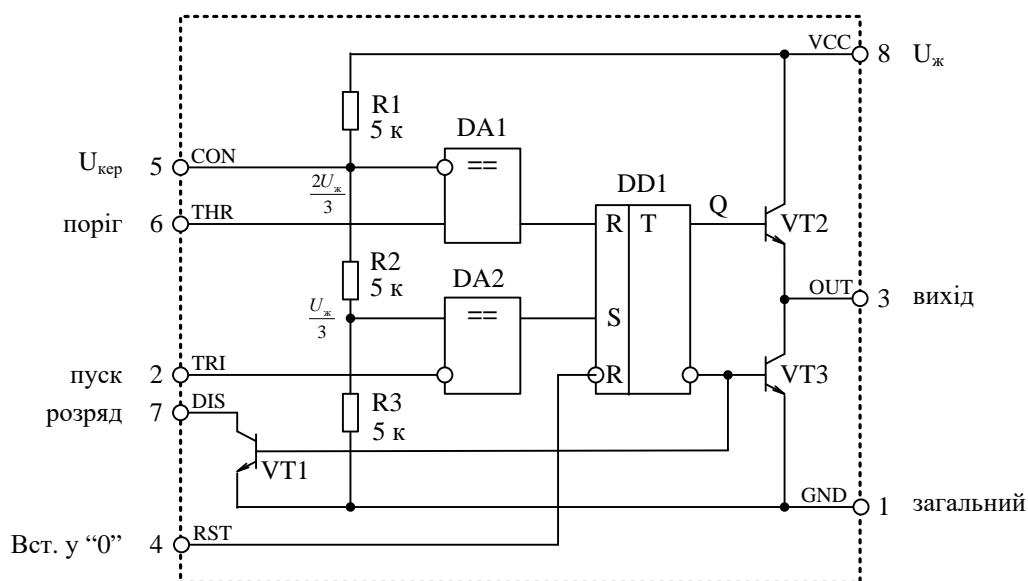


Рис. 12.34. Функціональна схема інтегрального таймера NE555

Серед функціональних блоків виділяють RS-тригер (DD1), компаратори (DA1 і DA2), вихідний підсилювальний каскад, побудований за двотактною схемою, і додатковий транзистор VT1. Призначення транзистора VT1 – розряд частотнозадаючого конденсатора при використанні мікросхеми в якості генератора. Встановлення тригера у "0" (скидання) відбувається при подачі логічної одиниці (рівень від $U_{ж}/2 \dots U_{ж}$) на вхід R. Якщо тригер встановлений у "0", то на виході мікросхеми (вивід 3) формується низький рівень напруги (транзистор VT3 відкритий).

За функціональною схемою мікросхеми важко зрозуміти в чому ж вона унікальна. Вся оригінальність полягає у способі управління тригером, а саме формування керуючих сигналів. Керуючі сигнали формуються на виходах компараторів DA1 і DA2, на один з входів яких подана опорна напруга. Щоб сформувати керуючі сигнали необхідно отримати на входах тригера (виходи компараторів) сигнали високого рівня.

Для запуску таймера необхідно подати на вхід "Пуск" (вивід 2) напругу в межах $0 \dots (U_{ж}/3)$. Цей сигнал призводить до спрацьовування тригера і на його виході формується сигнал "1". Сигнал більше ніж $U_{ж}/3$ не викликає яких-небудь змін у стані мікросхеми, тому що опорна напруга для компаратора DA2 становить $U_{ж}/3$.

Зупинка таймера відбувається після скидання тригера. Для цього напруга на вході $U_{пор}$ (вивід 6) має перевищити $2U_{ж}/3$ (опорна напруга для компаратора DA1 становить $2U_{ж}/3$). При скиданні тригера на виході мікросхеми встановлюється сигнал низького рівня і відбувається розряд частотнозадаючого конденсатора.

Регулювання опорної напруги може проводитися шляхом підключення додаткового резистора або джерела живлення до виводу 5 мікросхеми.

На рис. 12.35 показана схема одновібратора, побудованого з використанням таймера NE555. Пусковий імпульс подається на вхід нижнього компаратора (вивід 2), інверсний вхід R (вхід скидання) тригера (вив. 4) не використовується і на нього подається напруга живлення. Інверсний вхід верхнього компаратора (вивід 5), щоб уникнути впливу завад, заземлюється по змінному струму через фільтруючий конденсатор C1. Транзистор T1 виконує функції розрядного ключа (рис. 12.34) і підключається паралельно частотнозадаючому конденсатору C2.

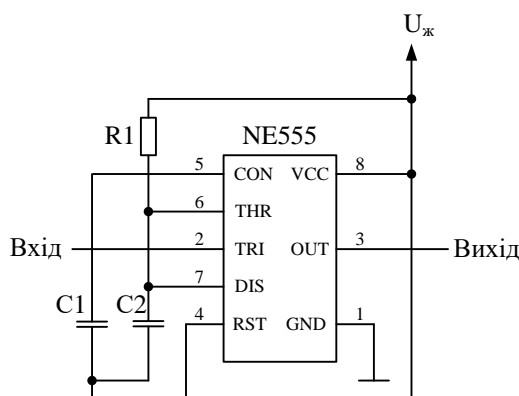


Рис. 12.35. Принципова схема одновібратора на таймері NE555

Принцип дії одновібратора ілюструється часовими діаграмами, що наведені на рис. 12.36.

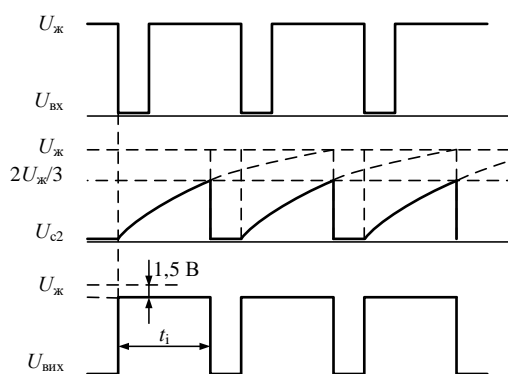


Рис. 12.36. Часові діаграми сигналів одинівбратора на базі таймера NE555

У початковому стані на виході таймера встановлений рівень логічного "0", а транзистор Т1 (рис. 12.36) відкритий і напруга на конденсаторі С2 дорівнює нулю.

Після приходу негативного фронту пускового імпульсу $U_{вх}$ компаратор DA2 переключається у "1" і встановлює тригер DD1 у "1". На виході таймера встановлюється високий рівень ($U_{ж} - 1,5 В$), а транзистор Т1 закривається і починається заряд конденсатора С2 через резистор R1 від джерела живлення.

Як тільки напруга на конденсаторі С2 сягне значення $2U_{ж}/3$, компаратор DA1 переключається у "1" і, як слідство, тригер переключається у "0", вихідна напруга таймера стане близькою до нуля. Транзистор Т1 (вивід 7) відкривається і конденсатор С2 швидко розряджається.

Якщо наступний вхідний імпульс прийде раніше, ніж закінчиться формування вихідного імпульсу, то одинівбратор на нього не відреагує.

Тривалість вихідного імпульсу можна знайти з рівняння для напруги на конденсаторі:

$$U_c = U_{ж} (1 - e^{-t/\tau}),$$

де $\tau = R_1 C_2$ – постійна часу RC-кола.

Оскільки заряд конденсатора закінчується коли напруга на ньому стає рівною $2U_{ж}/3$, то можна скласти рівняння:

$$U_{ж} (1 - e^{-t/\tau}) = \frac{2U_{ж}}{3},$$

звідки

$$t_i = \tau \ln 3 = 1,1 R_1 C_2.$$

Використовуючи таймер NE555 можна побудувати мультивібратор принципова схема

якого наведена на рис. 12.37.

Для поліпшення форми вихідних імпульсів резистор, що задає струм заряду конденсатора C_2 , розділений на дві частини. Після відкриття транзистора Т1 (рис. 12.37) конденсатор C_2 розряджається через резистор R2. Якщо транзистор Т1 закритий, конденсатор буде заряджатися через послідовно з'єднані R1 і R2.

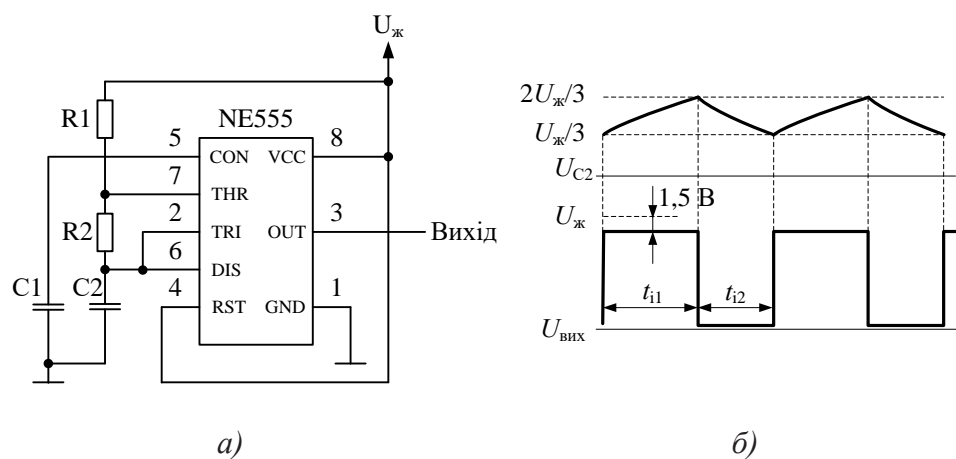


Рис. 12.37. Принципова схема мультивібратора на базі таймера NE555 (а) та часові діаграми його сигналів

Якщо $U_c < U_{ж}/3$, включається нижній компаратор і виключається верхній (рис. 12.17), але коли $U_c > 2U_{ж}/3$, стан компараторів змінюється на протилежний. Відповідно сформованим компараторами сигналам перемикається тригер. Тому в моменти, коли $U_c > 2U_{ж}/3$, відкривається транзистор Т1 і конденсатор C_2 починає розряджатися.

За час заряду конденсатора (на рис. 12.20 позначено як t_{i1}) напруга U_c на ньому змінюється в межах $U_{ж}/3 < U_c < 2U_{ж}/3$. Оскільки U_c змінюється тільки у вказаних межах, то можна записати:

$$\frac{U_{ж}}{3} + \frac{2U_{ж}}{3}(1 - e^{-t_{i1}/\tau_{зар}}),$$

де $\tau_{зар} = (R_1 + R_2)C_2$.

З попереднього рівняння неважко розрахувати тривалість імпульсу t_{i1} :

$$t_{i1} = \tau_{зар} \ln 2 = 0,693(R_1 + R_2)C_2.$$

Аналогічно можна визначити час розряду конденсатора через резистор R2:

$$t_{i2} = \tau_{розр} \ln 2 = 0,693R_2C_2.$$

Таким чином, період слідування імпульсів на виході генератора буде дорівнювати:

$$T_{\text{вих}} = t_{i1} + t_{i2} = 0,693(R_1 + 2R_2)C_2,$$

а частота слідування імпульсів:

$$f_{\text{вих}} = \frac{1}{t_{i1} + t_{i2}} = \frac{1,44}{(R_1 + 2R_2)C_2}.$$

Треба звернути увагу на те, що частота вихідного сигналу такого генератора від напруги живлення не залежить.

Скважність послідовності імпульсів на виході (рис. 12.37) визначимо щодо тривалості позитивного вихідного імпульсу:

$$Q = \frac{t_{i1} + t_{i2}}{t_{i1}} = \frac{R_1 + 2R_2}{R_1 + R_2}.$$

Таким чином, у схемі рис. 12.37 неможливо отримати значення $Q = 2$, оскільки таке значення можна отримати тільки при $R_1 = 0$, але тоді схема стає непрацездатною.

На рис. 12.38 наведена модель мультівібратора, побудованого на мікросхемі інтегрального таймера NE555.

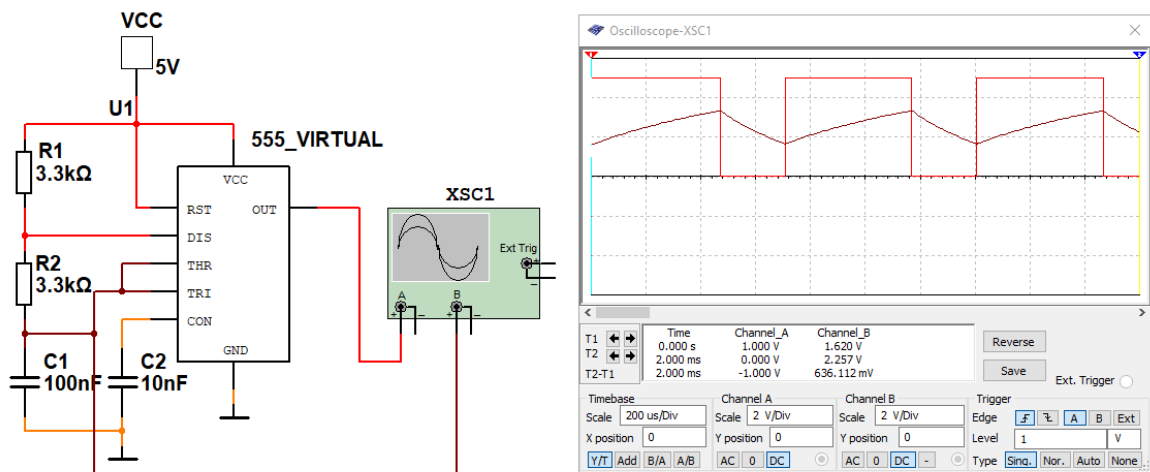


Рис. 12.38. Модель мультівібратора та осцилограми сигналів на виході (червона) та вході NE555

На рис. 12.39 наведена модель мультивибратора з регульованою скважністю вихідних смпульсів. Тривалість періоду вихідного сигналу у середньому положенні потенціометра приблизно дорвнює $T_{\text{вих}} \approx 0,36R_1C_1$. Змінюючи положення повзунка можна змінювати тривалість вихідного імпульсу (рис. 12.40).

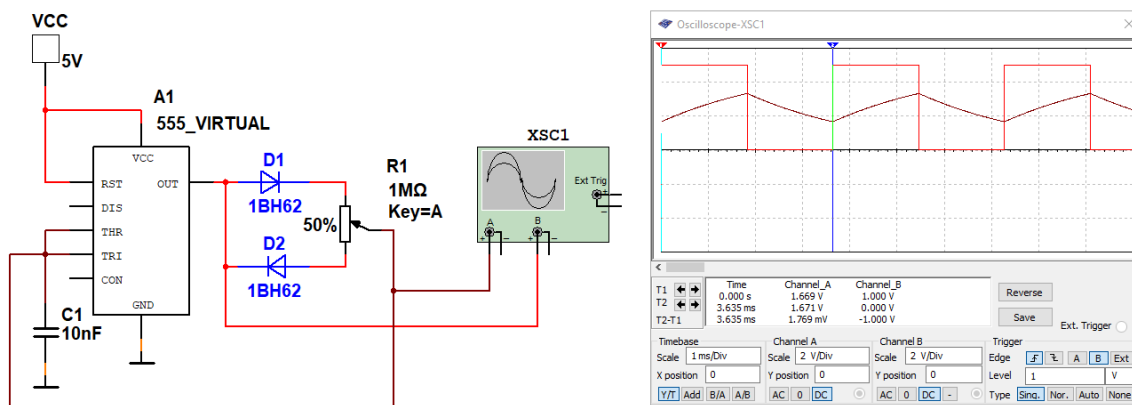


Рис. 12.39. Модель мультивібратора з регульованою скважністю імпульсів та осцилограми сигналів на вході (фіолетова) та виході при середньому положенні повзунка потенціометра

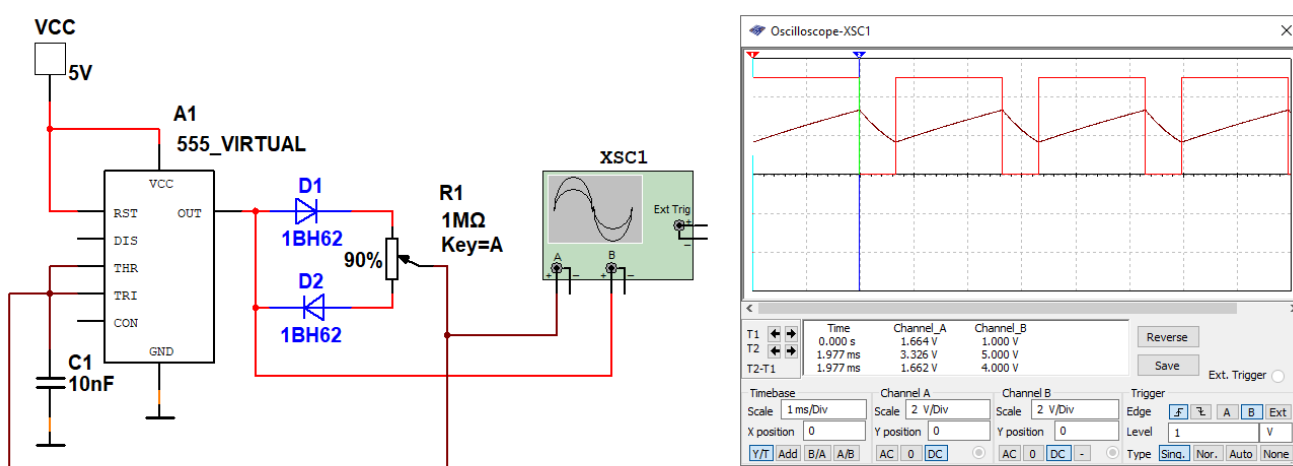


Рис. 12.40. Модель мультивібратора з регульованою скважністю імпульсів та осцилограми сигналів на вході (фіолетова) та виході при встановленні повзунка потенціометра у положення 90%

Тривалість імпульсу мультивібратора можна знайти за формулою $t_i \approx 0,22(1/Q)R_1C_1$.

Для моделі на рис. 12.40 тривалість імпульсу можна розрахувати за приблизною формулою $t_i \approx 0,2(1/Q)R_1C_1 = 0,22 \cdot 0,9 \cdot 10^6 \cdot 10^{-8} = 1,98$ мс.

Контрольні питання

1. В яких режимах можуть працювати генератори імпульсів?
2. Як працює одновібратор в режимі ділення частоти?
3. Як побудувати одновібратор не чутливий до тривалості вхідного імпульсу?
4. Яким чином можна регулювати тривалість імпульсу одновібратора?
5. Як захистити вхідні кола одновібраторів від від'ємної напруги на вході?
6. Як захистити вхідні кола одновібраторів від надмірної позитивної напруги на вході?
7. Як прискорити розряд конденсатора в одновібраторах?
8. Для чого потрібно прискорювати розряд конденсаторів в одновібраторах?
9. Чи можна побудувати модель генератора імпульсів на логічних елементах, використовуючи елементи Multisim?
10. Що означає термін "повторний запуск"?
11. Яким чином можна регулювати частоту вихідного сигналу у мультівібраторах?
12. Чи можна побудувати мультівібратор використовуючи тільки одне RC-коло? Наведіть приклади.
13. Чому, використовуючи логічні елементи Multisim, неможливо побудувати мультівібратор?
14. У чому відмінність властивостей моделей логічних елементів Multisim від реальних логічних елементів?

13 Формувачі імпульсів

13.1 Формувачі імпульсів з використанням диференціюючих кіл

13.1.1 Загальні зауваження

Під формувачем імпульсів будемо розуміти електронний пристрій, що формує на виході короткий імпульс (коротший ніж вхідний) з фронту, спаду або з обох перепадів вхідного сигналу. На рис. 13.1 наведено часові діаграми вхідного сигналу та сигналів формувачів імпульсів з фронту, спаду, та з обох перепадів.

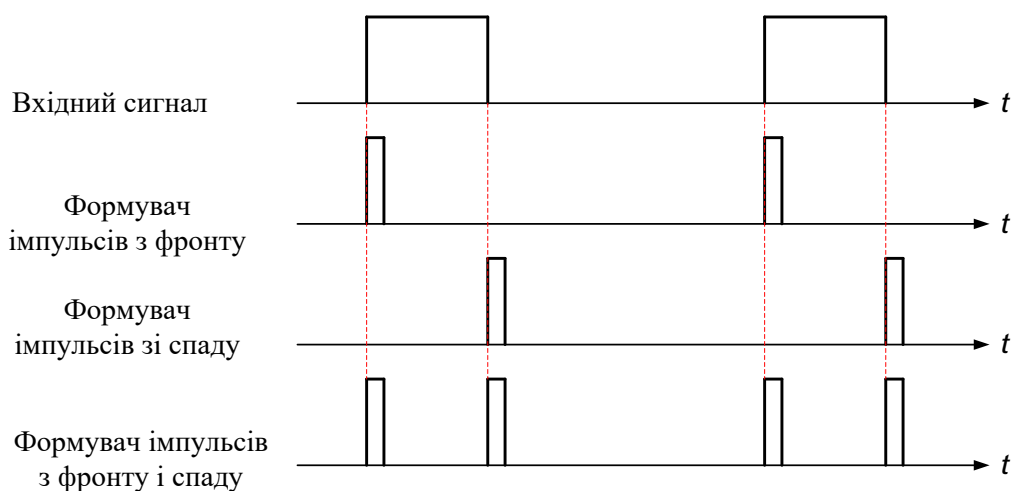


Рис. 13.1. Часові діаграми вхідного сигналу та сигналів формувачів імпульсів з фронту, спаду, та з обох перепадів

13.1.2 Формувачі імпульсів з фронту на транзисторі

На рис. 13.2 наведено принципову схему формувача імпульсів (ФІ) з фронту, побудованого з використанням диференціюючого кола та біполярного транзистора.

На виході диференціюючого кола формуються короткі імпульси позитивної та негативної полярності. Транзистор відкривається коли позитивна напруга на базі перевищує пороговий рівень, який приблизно дорівнює 0,7 В.

На рис. 13.3 наведені осцилограми сигналів у різних точках формувача імпульсів у збільшеному у часі масштабі. З осцилограм слідує, що перемикання транзистора відбувається коли напруга на базі зменшується нижче 0,6 В.

Тривалість імпульсу на виході формувача складає приблизно 13...15 мкс, а постійна часу диференціюючого кола $\tau = C_1 R_1 = 10^4 \cdot 10^{-9} = 10^{-5} \text{ с} = 10 \text{ мкс}$. Тобто для такої схеми тривалість вихідного імпульсу приблизно дорівнює $t_{\text{вих}} = (1 \dots 1,5)\tau$.

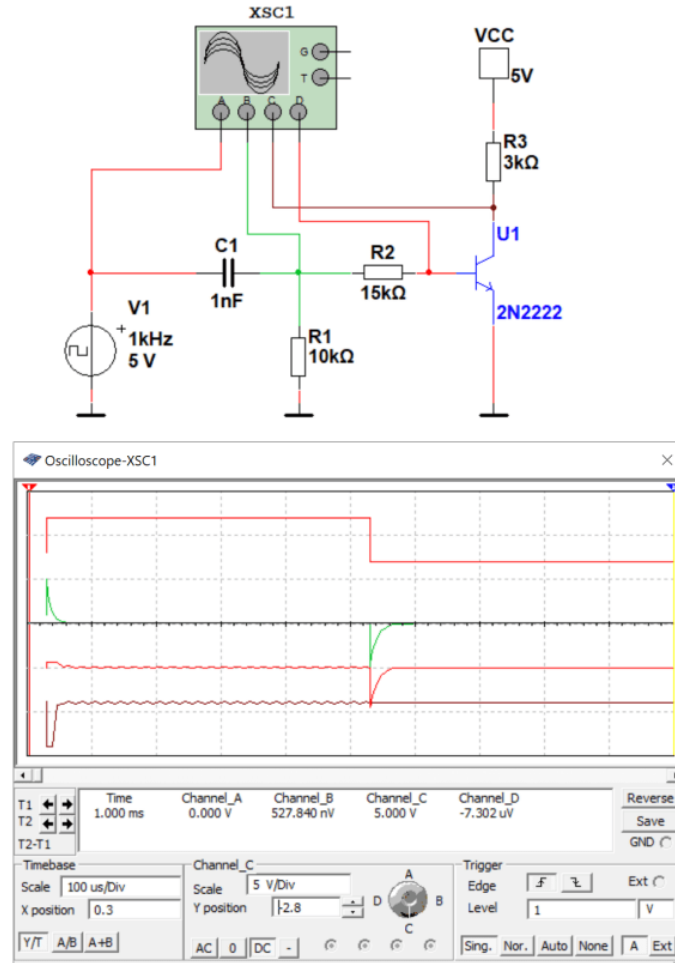


Рис. 13.2. Формувач імпульсів з фронту на біполярному транзисторі на основі диференціюючого кола та осцилограми сигналів у різних точках

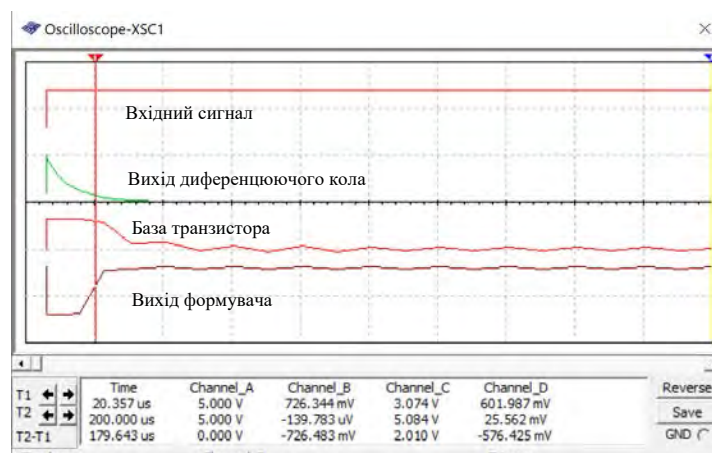


Рис. 13.3. Осцилограми вхідного та вихідного сигналів формувача на основі диференціюючого кола

13.1.3 Формувачі імпульсів зі спаду на транзисторі

На рис. 13.4 наведена принципова схема формувача зі спаду на транзисторі при використанні диференціюючого кола. Механізм дії такого формувача відрізняється від попереднього.

При відсутності сигналу на вході транзистор відкритий, бо на його базу подається позитивна напруга від джерела живлення VCC через послідовно з'єднані резистори R1 та R2. В результаті цього через перехід колектор-емітер транзистора U1 протікає струм і напруга на колекторі транзистора дорівнює $U_{\text{вих}} = U_{\text{VCC}} - I_{\text{K}}R_3 \approx 0$.

Під впливом вхідних імпульсів в момент спаду напруга на виході диференціюючого кола (точка з'єднання резисторів R1 та R2) спадає нижче порогового рівня і транзистор закривається. На колекторі транзистора (на виході ФІ) формується позитивний імпульс тривалістю приблизно 5 мкс. Тривалість імпульсу такого формувача в значній мірі залежить від значення позитивної напруги на вході транзистора при відсутності сигналу на вході. На рис. 13.4 ця величина складає (зелена осцилограма у каналі B) 3,26 В.

Тривалість вихідного імпульсу для такої схеми приблизно дорівнює $0,5\tau$.

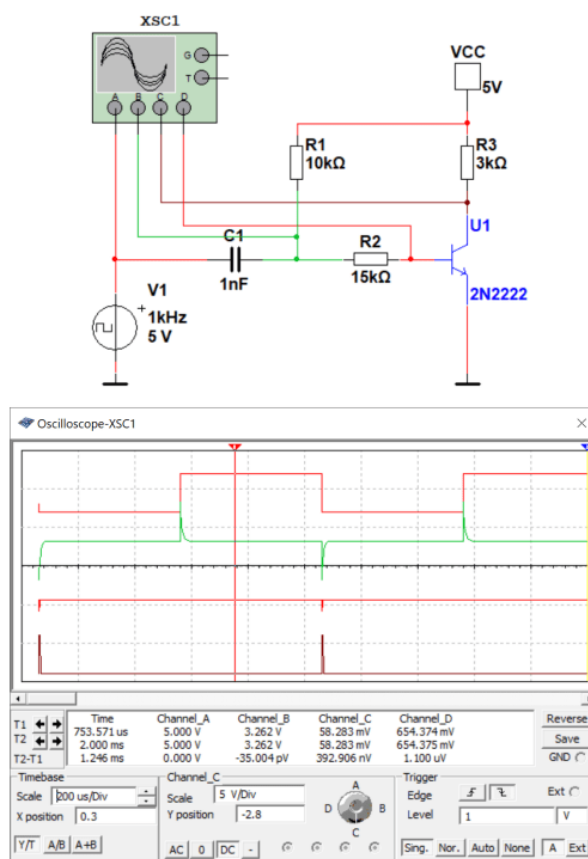


Рис. 13.4. Формувач імпульсів зі спаду на біполярному транзисторі на основі диференціюючого кола та осцилограми сигналів у різних точках

13.1.4 Формувач імпульсів з фронту на логічному інверторі

Принцип дії такого ФІ аналогічний принципу дії формувача на біполярному транзисторі. Тільки пороговий рівень має інше значення. Для логічних мікросхем ТТЛ пороговий рівень приблизно складає 1,2 В.

На рис. 13.5 наведена принципова схема ФІ з диференціюючим колом на логічному інверторі та часові діаграми сигналів у різних точках формувача. Треба звернути увагу на те, що для роботи логічних елементів на робочому аркуші повинні бути розміщені загальний цифровий (DGND) та джерело живлення VCC. Без цих елементів схеми з логічними мікросхемами працювати не будуть.

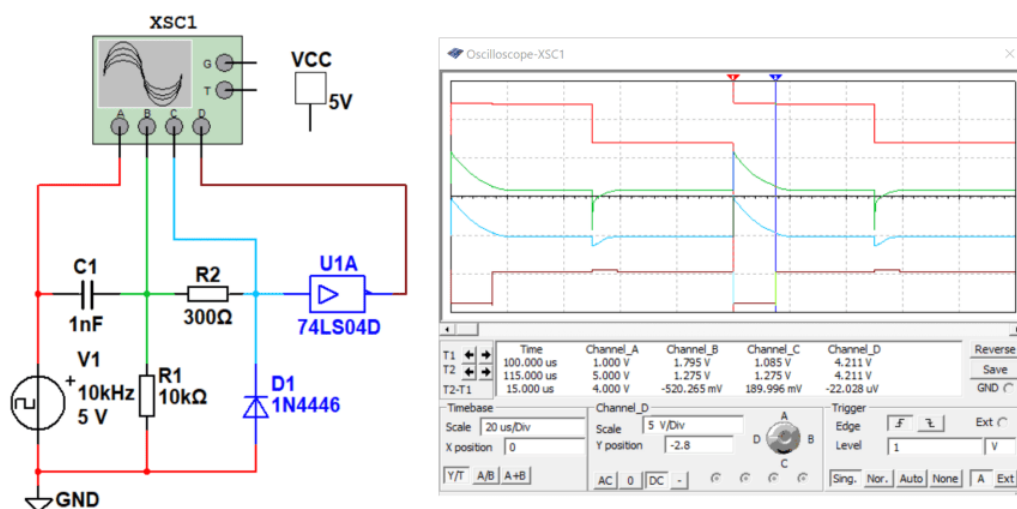


Рис. 13.5. Формувач імпульсів з фронту на логічному інверторі та часові діаграми у різних точках схеми

Для захисту входу логічного елементу від від'ємної напруги використовується обмежувач напруги на резисторі R2 та діоді D1. При постійній часу диференціюючого кола 10 мкс тривалість імпульсу на виході складає 15 мкс. З рис. 13.5 слідує що пороговий рівень спрацьовування логічного елементу складає 1,27 В. Тривалість імпульсу приблизно дорівнює $t_{\text{вих}} = 1,5\tau$.

13.1.5 Формувач імпульсів зі спаду на логічному інверторі

На рис. 13.6 наведена принципова схема формувача імпульсів зі спаду входного сигналу. Для захисту мікросхеми від підвищеної позитивної напруги на вході логічного елементу (допустиме значення на вході мікросхеми 5,7 В) використовується обмежувач напруги, що складається з резистора R2 та діода D1.

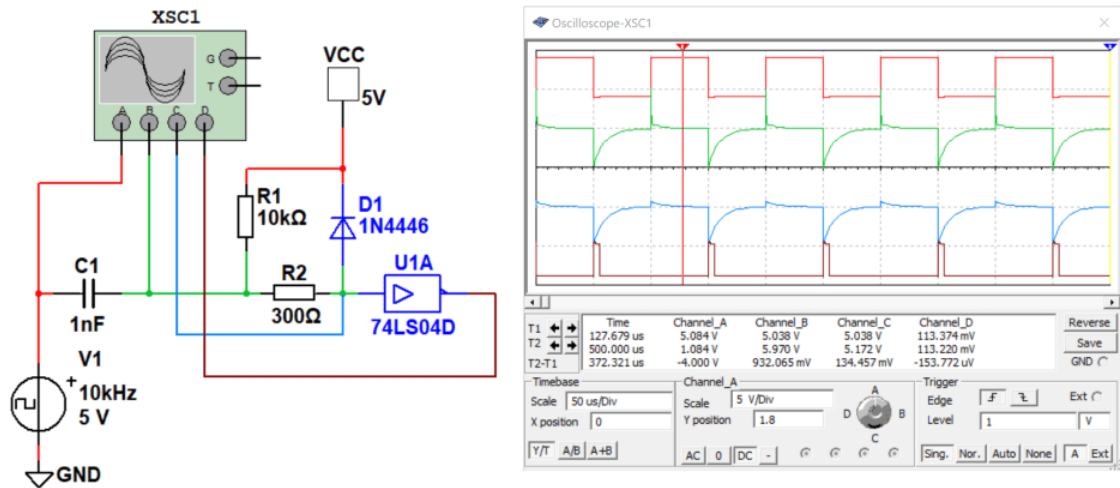


Рис. 13.6. Принципова схема формувача імпульсів зі спаду вхідного сигналу та осцилограми сигналів у різних точках схеми

Тривалість вихідного імпульсу складає приблизно 0,5 мкс. З чого витікає що $t_{\text{вих}} = 0,5\tau$.

13.1.6 Формувач імпульсів з фронту та спаду на логічних елементах

Для формування коротких імпульсів з фронту та спаду за допомогою логічних елементів і диференціюючих кіл можна використати декілька різних варіантів побудови ФІ. На рис. 13.7 наведено перший варіант такого формувача.

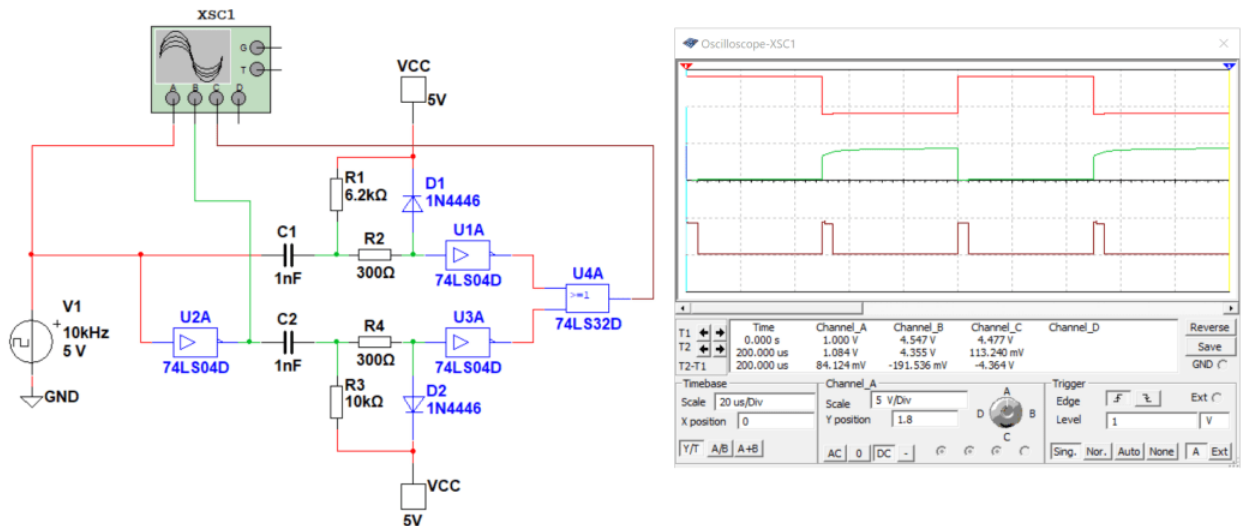


Рис. 13.7. Формувач імпульсів з фронту та спаду вхідного сигналу з використанням логічного елемента АБО та осцилограми сигналів у різних точках схеми

Як слідує з рис. 13.7 у схемі використано два формувачі імпульсів зі спаду (аналогічних наведеному на рис. 13.6). На вхід нижнього формувача подається сигнал через інвертор U2, а

вихідні сигнали цих формувачів об'єднуються за допомогою логічного елементу АБО (U4).

На рис. 13.8 наведено схему іншого варіанту формувача. Він складається з двох формувачів імпульсів з фронту вхідного сигналу (аналогічних наведеному на рис. 13.5). На вхід нижнього формувача сигнал подається через інвертор. Це призводить до того що нижній ФІ формує імпульс зі спаду вхідного сигналу.

Сигнали обох ФІ об'єднуються за допомогою монтажного АБО. Принцип дії монтажного АБО полягає в наступному. На виході U1 та U3 формуються імпульси у різний момент часу (імпульс формується шляхом спадання напруги до нуля). Коли на виході логічного елементу формується "0", то це означає що нижній транзистор вихідного каскаду відкритий і його опір близький до нуля. Тому на виході буде формуватися "0" коли будь-який елемент (U1 або U3) перейде в стан "0" на виході.

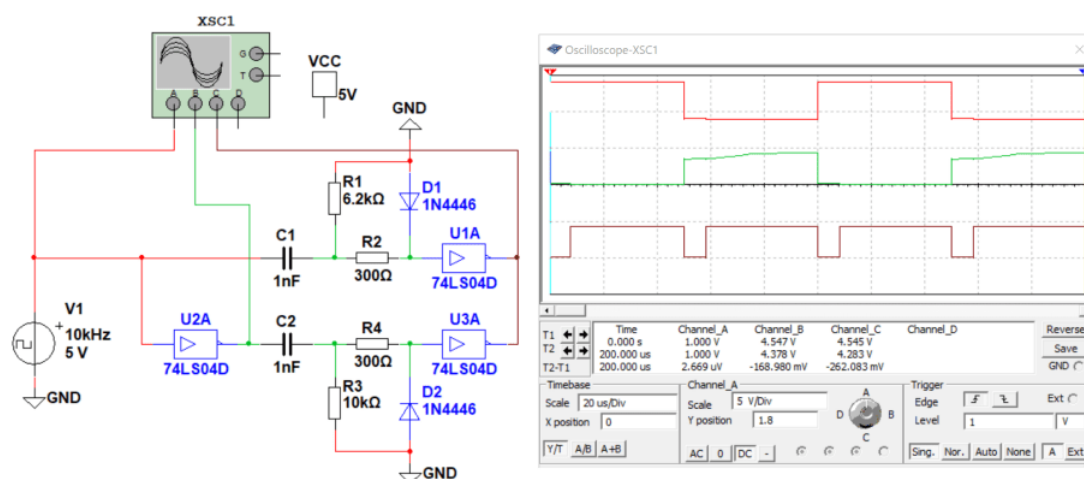


Рис. 13.8. Формувач імпульсів з фронту та спаду вхідного сигналу з використанням монтажного АБО та осцилограми сигналів у різних точках схеми

Використовуючи диференціюючі кола можна побудувати ще декілька варіантів формувачів імпульсів.

13.2 Формувачі імпульсів з використанням інтегруючих кіл

Використовуючи інтегруючі кола можна побудувати декілька варіантів ФІ. На рис. 13.9. наведений формувач імпульсів з фронту сигналу. Завдяки наявності інтегруючого кола сигнал перетинає пороговий рівень логічного елемента U2 пізніше ніж змінюється стан вхідного сигналу. На виході інвертора U2 формується прямокутний сигнал з затримкою. Логічний елемент 2І-НІ (U1) здійснює множення вхідного сигналу на затриманий сигнал. На ділянці де значення сигналів співпадають (логічні "1") на виході формується короткий імпульс.

Тривалість імпульсу залежить від часу затримки що вносить інтегруюче коло. Це ілюструють осцилограми на рис. 13.9.

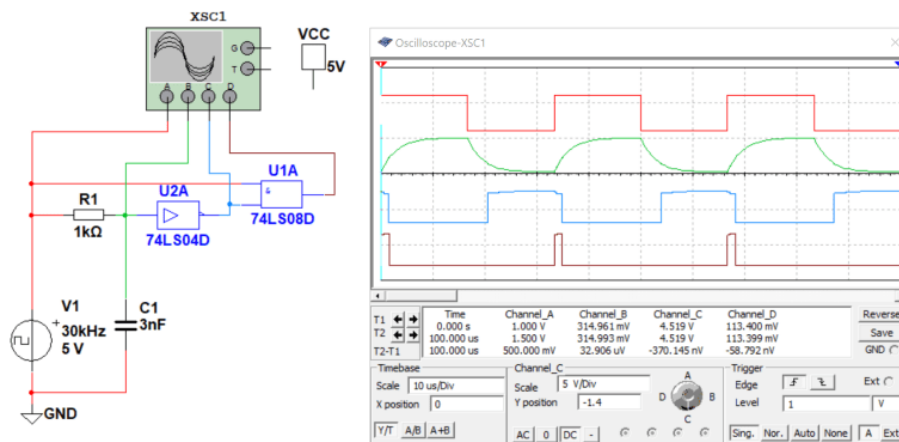


Рис. 13.9. Формувач імпульсів з фронту сигналу з використанням інтегруючого кола та осцилограми сигналів у різних точках схеми

Для формування імпульсу зі спаду входного сигналу достатньо замінити логічний елемент І на елемент АБО-НІ, як показано на рис. 13.10. На проміжку часу де на обох входах логічного елемента АБО-НІ одночасно існує логічний "0", на виході U1 формуються логічна "1".

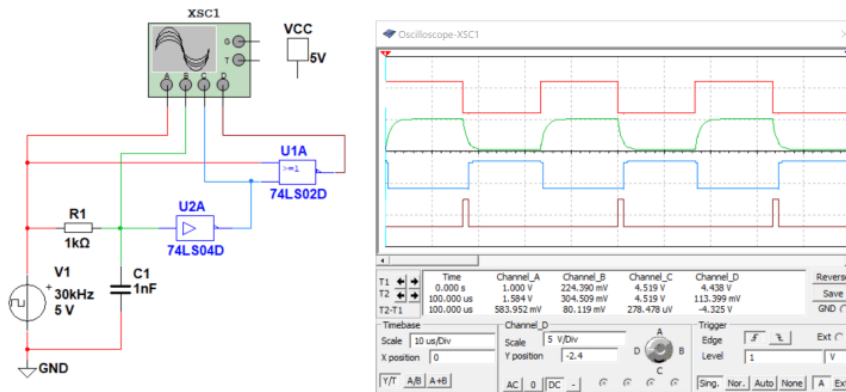


Рис. 13.10. Формувач імпульсів зі спаду сигналу з використанням інтегруючого кола та осцилограми сигналів у різних точках схеми

Для формування імпульсів одночасно з фронту та спаду найпростіше зробити за допомогою логічного елемента "виключне АБО", як показано на рис. 13.11. Оскільки на виході "виключне АБО" формується логічна "1" при умові, що сигнали на його входах мають різні значення. При однакових значеннях сигналів на входах – на виході "виключне АБО" формується рівень логічного "0".

На рис. 13.11 наведені осцилограми сигналів на входах елемента "виключне АБО". Зеленим кольором позначено сигнал на виході інтегруючого кола. З осцилограм слідує, що

одразу після появи фронту сигналу на верхньому вході, сигнал на виході інтегруючого кола деякий час має значення менше порогового (тобто логічного "0"). Отже на верхньому вході в цей час логічна "1", а на нижньому – логічний "0".

Коли вхідний сигнал спадає до нуля на виході інтегруючого кола деякий час зберігається рівень логічної "1" (тобто напруга на виході інтегруючого кола вища за пороговий рівень).

Отже у ці моменту часу на виході елементу "виключне АБО" U1 формуються короткі імпульси.

Для вирівнювання тривалості імпульсів на виході при фронті та спаді вхідного сигналу, додано коло для прискорення розряду конденсатора інтегруючого кола, що складається з резистора R1 та діода D1.

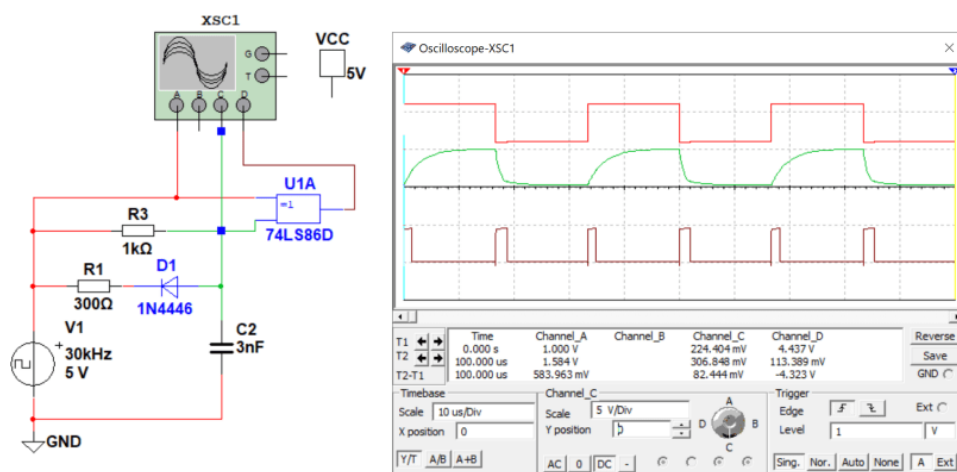


Рис. 13.11. Формувач імпульсів зі спаду та фронту сигналу з використанням інтегруючого кола та осцилограми сигналів у різних точках схеми

13.3 Формувачі імпульсів без використання RC-кіл

Принцип дії таких формувачів полягає в тому, що затримка сигналу формується завдяки використанню ланцюжка з декількох логічних елементів. Кожний логічний елемент вносить затримку у сигнал. На рис. 13.12 наведена модель для вимірювання затримки логічних елементів і осцилограми сигналів на вході та виході логічного елементу.

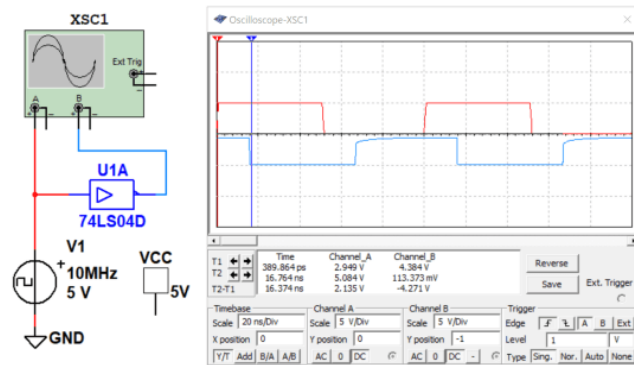


Рис. 13.12. Модель для вимірювання затримки логічного елемента та осцилограми сигналів на вході та виході інвертора

З осцилограм слідує що інвертор вносить затримку близько 15 нс. Якщо зєднати декілька елементів послідовно, то отримаємо затримку в $15n$ нс, де n – кількість логічних елементів з'єднаних послідовно.

На рис. 13.13 наведена модель ФІ з фронту вхідного сигналу (аналогічно ФІ на рис. 13.9).

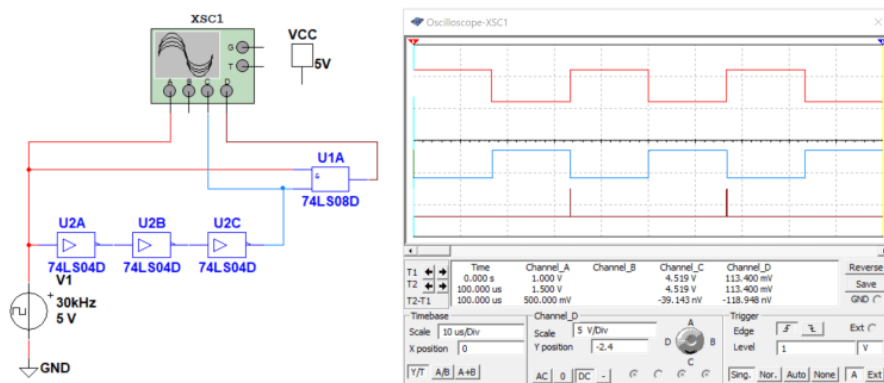


Рис. 13.13. Модель формувача імпульсів з фронту сигналу та осцилограми сигналів у різних точках схеми

На рис. 13.14 наведена модель ФІ зі спаду вхідного сигналу (аналогічно ФІ на рис. 13.10).

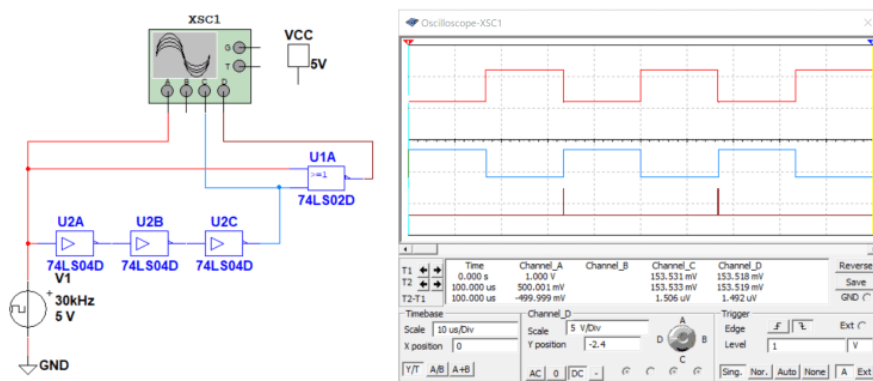


Рис. 13.14. Модель формувача імпульсів зі спаду сигналу та осцилограми сигналів у різних точках схеми

Використовуючи логічний елемент "виключне АБО" можна побудувати ФІ з фронту і спаду вхідного сигналу (рис. 13.15).

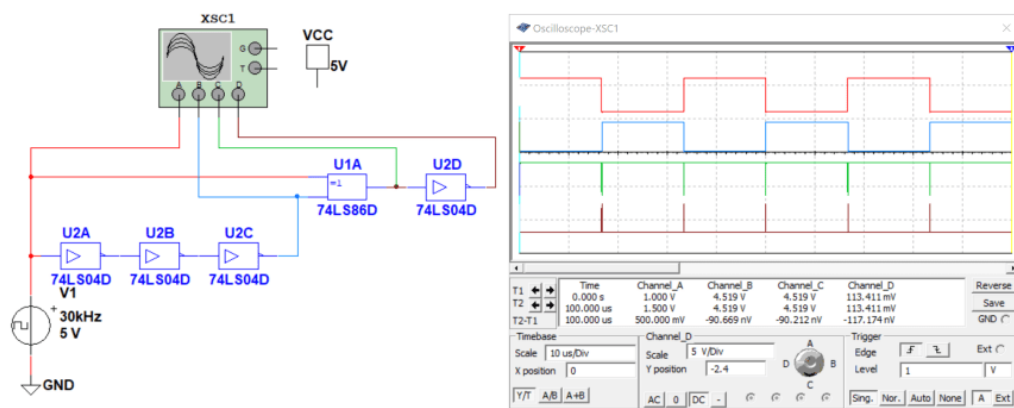


Рис. 13.15. Модель формувача імпульсів з фронту та спаду сигналу та осцилограми сигналів у різних точках схеми

Отже можна зробити висновок, що кількість різних конфігурацій формувачів імпульсів може бути дуже великою. Окрім наведених прикладів можна спроектувати інші формувачі, використовуючи комбінації різних логічних елементів та RC-кіл.

Контрольні питання

13. При якому рівні вхідного сигналу перемикається логічний елемент ТТЛ?
14. Як називається рівень сигналу на вході при якому відбувається перемикання логічного елементу?
15. Що означає поняття пороговий рівень?
16. Який принцип формування коротких імпульсів з використанням інтегруючих кіл?
17. Який принцип формування коротких імпульсів без використання RC-кіл?
18. Як сформувати негативні імпульси (перепад з "1" в "0") з фронту вхідного сигналу без використання RC-кола і використанні 4-х інверторів для формування затримки сигналу?

14 ЦИФРОВІ ІНДИКАТОРИ

14.1 Газорозрядні індикатори

Цифрові індикатори характеризуються відносною розмаїтістю й можуть бути розділені на кілька груп:

- газорозрядні;
- мозаїчні цифросинтезуючі;
- смужкові цифросинтезуючі.

У газорозрядних індикаторах катоди виконані у вигляді відповідних цифр (символів), розташованих по глибині, і тому вони вимагають для свого управління унітарний код. Кольори світіння – жовтогарячий або солом'яно-жовтий. Анод, як правило, один, але існують й двоханодні індикатори, у яких має місце роздільне управління парними й непарними цифровими символами. Така конструктивна особливість спрощує структуру дешифратора й зменшує число електричних зв'язків. На рис. 14.1 наведене умовне графічне позначення газорозрядного індикатора. Крапка в контурі колби означає, що вона наповнена газом.

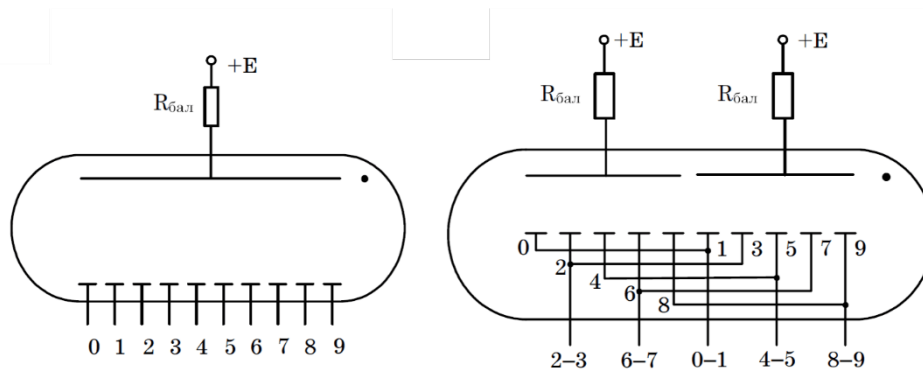


Рис. 14.1. Умовне графічне позначення одноанодного (а) і двоханодного (б) газорозрядних індикаторів

Принцип роботи газорозрядних індикаторів досить складний, оскільки пов'язаний з фізичними процесами електричних розрядів в інертному газі, яким заповнена колба. Спрощено фізичний принцип люмінесценції (випромінювання) може бути представлений наступним чином.

У скляній колбі, заповненій інертним газом (як правило, гелієм), між анодом і відповідним холодним катодом прикладається різниця потенціалів. Газ не проводить струм, у силу того що молекули інертного газу електрично нейтральні. Однак поблизу холодного катода, внаслідок емісії електронів з поверхні, утворюються вільні електрони, які під дією прикладеного електричного поля починають рівноприскорено переміщатися в напрямку анода. Якщо шлях вільного пробігу електронів достатній, то до моменту зіткнення з молекулою вони здобувають

енергію, достатню для її іонізації (здійснення роботи виходу). У результаті утвориться додатковий електрон, що іонізує чергову молекулу. Процес іонізації газу протікає лавиноподібно, як і наростання струму анода. Для обмеження струму в коло анода включають баластовий опір.

Зовнішній вигляд газорозрядних індикаторів наведений на рис. 14.2.



Рис. 14.2. Зовнішній вигляд газорозрядних індикаторів

Оскільки шлях вільного пробігу електрона характеристика середньостатистична, то не всі електрони будуть мати енергію виходу. Крім того, після зіткнення електрон губить значну частку енергії. При зіткненні такого електрона з іоном може відбутися зворотний процес – рекомбінація (відновлення молекули). Цей процес припускає надлишок енергії, тому остання виділяється у вигляді фотона. Рекомбінація, а отже, і люмінесценція, відбувається поблизу поверхні катода, що виражається в яскравій світній короні навколо катода.

З огляду на фізичний принцип роботи газорозрядного індикатора, якісне зображення його цифрового символу досягається при живленні з амплітудою не менш 200 В. Остання обставина є істотним недоліком, що обмежує застосування зазначених індикаторів.

14.2 Мозаїчні індикатори

Мозаїчні індикатори виконуються, як правило, на світлодіодах, конструктивно оформлених у вигляді матриці 4×6 , 5×7 , 7×9 і т.д. Управління таким індикатором у статичному режимі виявляється досить складним, тому використовується динамічний метод індикації. Матриця управляється одночасно по рядках і стовпцям послідовно, наприклад зверху вниз. Кожний елемент матриці активізується на якийсь час на перетинанні вибірки з досить великою частотою, що око, як відносно інерційний елемент, не сприймає. Звідси треба, щоб для реалізації динамічного методу індикації швидкодія індикатора була достатньою, щоб він устигав перемикатися із частотою порядку декількох кГц. Оскільки при індикації цифрових символів не всі елементи матриці використовуються, деякі матриці виконуються неповними. На рис. 14.3,а наведена схема матриці 4×6 для синтезування цифри 7, а на рис. 14.2.б приклад виконання

неповної матриці.

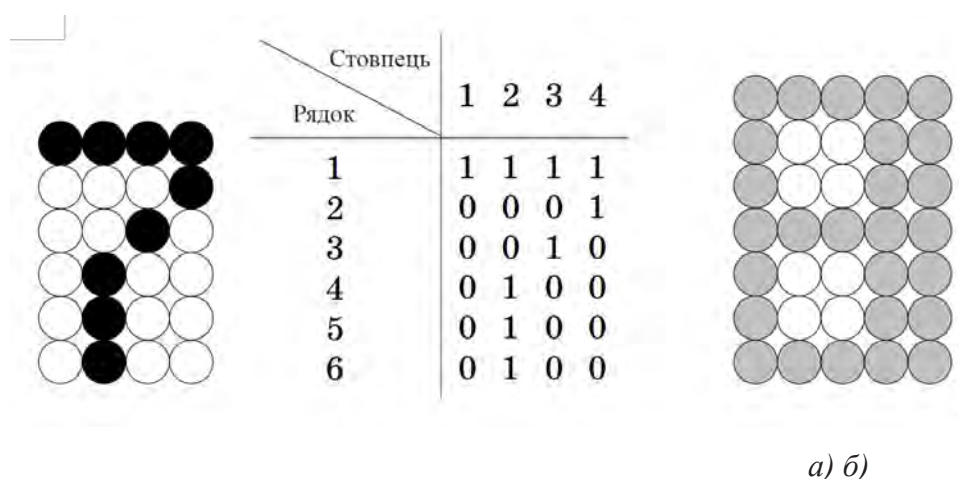


Рис. 14.3. Схема матриці 4×6 і таблиця управління по рядках (а) та неповна матриця 5×7

Вибірка рядків здійснюється унітарним кодом, тобто рядки активізуються послідовно. Кожному значенню унітарного коду ставиться у відповідність набір значень по стовпцях. Таким чином, активізуються елементи матриці по рядках, відповідно до зображення символу. Незважно помітити, що розташування одиниць у таблиці повністю збігається із зображенням символів матриці.

Мозаїчні індикатори відрізняються високою читаністю цифр, при цьому чим більше матриця, тим вище читаність. Різні кольори випромінювання світлодіодів роблять такі індикатори дуже привабливими в сучасних розробках.

Як мозаїчні, так і смужкові індикатори будуються на базі дискретних світлодіодів. Вони виконуються, як правило, інтегральним способом, а кожна цифра синтезується активізацією відповідних сегментів або елементів матриці. Управління сегментним індикатором (наприклад, семисегментним) простіше, тому вони більше поширені.

14.3 Електролюмінісцентні вакуумні індикатори

Серед економічних індикаторів важливе місце займають електролюмінісцентні вакуумні індикатори. У них використовується принцип електронно-променевої трубки, і вони містять анод, катод прямого розжарення й сітку. Анод покритий спеціальною речовиною – люмінофором, що має низьке значення роботи виходу.

Катод прямого розжарення виконує функцію генератора електронів, що забезпечує високе значення емісії при нагріванні. Електрони переміщуються від катода до анода через сітку прямолінійно й рівноприскорено й здобувають достатню енергію до моменту зіткнення з анодом.

Бомбардуючи люмінофор анода, вони віддають свою енергію його атомам, внаслідок чого електрони атомів переходять із валентної зони в зону провідності, тобто на більше високий енергетичний рівень. Цей нестійкий стан триває недовго, і при зворотному переході (рекомбінації) різниця енергії виділяється у вигляді фотона, тобто відбувається люмінесценція. Спектр випромінювання визначається параметрами люмінофора, однак для цифрових індикаторів, як правило, він лежить у зеленій області.

Сітка відіграє роль ключа. Якщо її потенціал близький до потенціалу анода, електрони переважно досягають анода. Якщо потенціал сітки трохи нижче нульового (-3...5 В), вона екранує, тобто замикає індикатор. Таким чином, індикатором можна управляти (включати або відключати) по сітці. Ця важлива обставина дає можливість використання динамічного методу індикації.

Конструктивно цифрові електролюмінісцентні індикатори виконуються, здебільшого 7...9-сегментними, одне розрядними й многоразрядними. Многоразрядные індикатори виконуються в одній колбі з об'єднаними однойменними сегментами, крім того, промисловість випускає багатоелементні індикатори, на основі яких будуються матричні конструкції індикаторів і індикатори, що вказують.

На рис. 14.4 наведений приклад електролюмінісцентного вакуумного індикатора, що використався в касетному магнітофоні, що випускався заводом "Маяк" м. Києва.



Рис. 14.4. Електролюмінісцентний індикатор для відображення рівнів сигналів та текстової інформації

При статичному режимі роботи електролюмінісцентних індикаторів напруга живлення анода становить 20...30 В. При динамічному режимі роботи вона досягає 50 В. Для управління такими індикаторами випускаються спеціалізовані мікросхеми управління

14.4 Рідкокристалічні індикатори

Особливе місце серед цифрових індикаторів займають індикатори на рідких кристалах (РК). Цей тип індикаторів самий економічний, не має здатності люмінесценції й тому використовується для відображення інформації в минаючому або відбитому світлі. Струм споживання не перевищує декількох мА/см² при напрузі живлення в декілька вольт. В РК-індикаторах можуть бути використані два фізичних принципи роботи: принцип динамічного розсіювання й принцип розвороту площини поляризації під дією збудливого електричного поля. Перший принцип застосовується обмежено, бо другий більш досконалий.

- 1 – поляроїдна плівка;
- 2 – скляні пластини;
- 3 – рідкий кристал;
- 4 – діелектрик;
- 5 – світловідбиваюче покриття;
- 6 – прозорі електроди

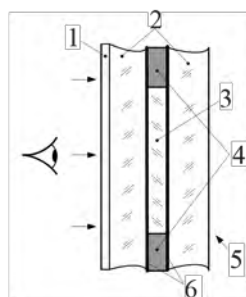


Рис. 14.5. Конструкція рідкокристалічного індикатора

Світловий потік, що падає на поляроїдну плівку 1, поляризується в певній площині. Рідкий кристал 3 (рідина, що володіє властивостями кристала) поміщений між двома скляними пластинами 2 і обмежений по контуру діелектриком 4. Товщина рідкого кристала між пластинами становить порядку 0,1...0,2мм. Контур може мати довільні розміри й форму, наприклад у вигляді сегмента, коми, символу й т.п. На внутрішні поверхні скла нанесені тонкі прозорі доріжки 6, що проводять струм (наприклад двоокис свинцю, що забезпечує світлосіре тло). Зовнішня поверхня другої скляної пластини покрита світловідбиваючим матеріалом 5, наприклад алюмінієм.

Рідкий кристал є діелектриком і тому являє собою електричний конденсатор з малим значенням ємності. Поляризоване світло проходить через рідкий кристал, скло й, відбиваючись від алюмінієвої плівки, повертається через рідкий кристал і поляроїдну плівку назовні. Якщо кристал не активований (відсутнє електричне поле збудження між електродами), то він не змінює площину поляризації минаючого через нього світла, і все відбите світло проходить поляроїдну плівку, попадає в око спостерігача й сприймається як світлосіре розсіяне світло. Якщо кристал активований, він розвертає площину поляризації минаючого через нього світла на 90°. Відбите поляризоване світло, з розгорнутим вектором площини поляризації, потрапляючи на поляроїдну плівку, не може пройти через неї й сприймається оком спостерігача як повністю поглинене

світло, тобто чорним на світлосірому тлі.

Активація рідкого кристала, тобто реалізація здатності розвороту площини поляризації, відбувається тільки тоді, коли через кристал проходить електричний струм. Оскільки рідкий кристал являє собою електричний конденсатор, то струм через нього може протікати тільки в перехідному режимі (заряд/розряд конденсатора). Отже, живлення індикатора повинне здійснюватися змінним струмом із частотою не нижче 50 Гц (щоб виключити мерехтіння зображення). Бажано частоту сигналу управління вибирати в діапазоні 200...400 Гц і вище. Споживана потужність буде визначатися незначними витратами енергії на перезаряд конденсатора, що забезпечує високу економічність індикаторів. Зовнішній вигляд такого індикатора наведений на рис. 14.6.



Рис. 14.6. Зовнішній вигляд виключеного (зверху) та включеного рідкокристалічного індикатора

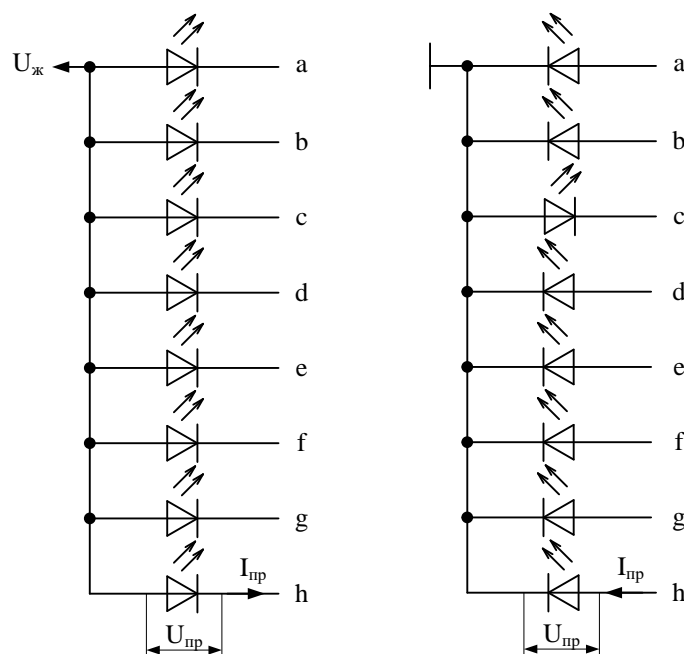
Рідкокристалічні індикатори можуть працювати тільки при достатній освітленості, що є певним недоліком. Щоб використати його в темний час доби, наприклад у наручних годинниках, потрібна підсвічування. Із цією метою замість світловідбиваючого покриття встановлюють другу поляроїдну плівку з тією же орієнтацією площини поляризації, за якою встановлюють джерело світла.

Звичайно в конструкції РК один електрод виконується загальним для всіх сегментів (підкладка). Існують і інші конструкції.

Методи управління рідкокристалічними індикаторами описані в [16].

14.5 Семисегментні світлодіодні індикатори

Семисегментні світлодіодні індикатори мають два різновиди схем включення – із загальним анодом і загальним катодом (рис. 14.7). Кожен із сегментів активується при прямому зміщенні *pn*-переходу.



а) б)

Рис. 14.7. З'єднання світлодіодів у семисегментному індикаторі з загальним анодом (а) та загальним катодом (б)

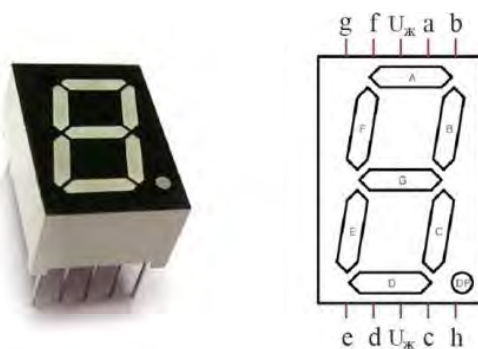


Рис. 14.8. Зовнішній вигляд та розташування сегментів семисегментного індикатора

Для включення елемента індикатора із загальним анодом необхідно подавати нульовий рівень на світлодіод необхідного сегмента, а для індикатора із загальним катодом – високий рівень.

Для обмеження струму через світлодіоди індикатора послідовно з кожним сегментом включається обмежувачий струм резистор. Опір такого резистора визначається по формулі

$$R_{обм} = (U_{ж} - U_{пр})/I_{пр},$$

де $U_{ж}$ – напруга живлення (чи напруга на виході джерела, що подає напругу на світлодіод), $U_{пр}$ – пряме падіння напруги на світлодіоді індикатора при номінальному прямому струмі через діод, $I_{пр}$ – номінальний прямий струм через діод.

Параметри семисегментних індикаторів можна знайти в довідниках [14, 15] або в Datasheets виробників. При моделюванні ці параметри задаються в моделях індикаторів.

На рис. 14.9 наведено значення номінального струму для семисегментних індикаторів у програмі Multisim.



Рис. 14.9. Вікно параметрів семисегментного індикатора в програмі Multisim

Для вимірювання падіння напруги на сегменті індикатора можна скористатися моделлю, наведеною на рис. 14.10.

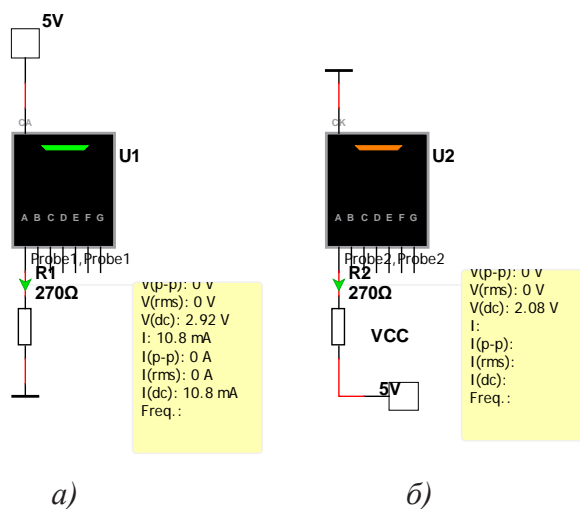


Рис. 14.10. Вимірювання падіння напруги на світлодіоді індикатора з загальним анодом (а) та загальним катодом (б)

З результатів вимірювання, наведених на рис. 14.10, падіння напруги на сегменті складає 2,08 В. Виходячи з цього можна розрахувати значення опору обмежуючого резистора.

$$R_{\text{обм}} = (U_{\text{ж}} - U_{\text{пр}}) / I_{\text{пр}} = (5 - 2,1) / 10 \cdot 10^{-3} = 290 \text{ Ом.}$$

Округляємо значення опору до найближчого меншого значення з ряду E24, тобто до значення 270 Ом. Якщо використати резистор 300 Ом, те індикатори моделі світитися не будуть. У реальних індикаторах яскравість світіння просто зменшиться.

14.6 Методи управління індикаторами

14.6.1 Статичний метод індикації

У більшості електронних приладів дискретна інформація накопичується в рахункових пристроях у двійково-десятковому або двійковому коді. Вибір коду залежить, як правило, від призначення інформації, її подальшого використання. Якщо інформація призначена для автоматичної обробки на ПК або перетворення в аналогову форму, то доцільніше використати двійкові коди.

Якщо розрядність коду незначна, використовують статичний метод індикації, при якому двійково-десятковий код кожного десяткового розряду надходить на свій розрядний перетворювач коду, що перетворить його в комбінацію логічних рівнів для управління, наприклад, семисегментним індикатором. Статичний метод індикації забезпечує постійну й одночасну в часі індикацію всіх розрядів цифрового індикатора. Інакше кажучи, всі сегменти індикатора активуються безупинно відповідно до поданого на схему управління кодом.

Статичний метод індикації припускає наявність однотипних індикаторів і перетворювачів коду відповідно до кількості розрядів і може виявитися економічно доцільним тільки при незначній розрядності цифрового індикатора в силу простоти й однотипності логічної схеми.

Перетворювачі кодів, що управляють семисегментними індикаторами, називаються дешифраторами семисегментного коду. На рис. 14.11 наведений приклад включення одного розряду багаторозрядного цифрового дисплея з використанням індикатора із загальним катодом.

Слід зазначити, що для індикаторів із загальним анодом і загальним катодом призначені різні дешифратори семисегментного коду. У багатьох дешифраторах вбудовані схеми обмеження струму. Тому при виборі дешифратора для обраного індикатора варто стежити за тим, щоб вихідний струм дешифратора відповідав номінальному струму індикатора.

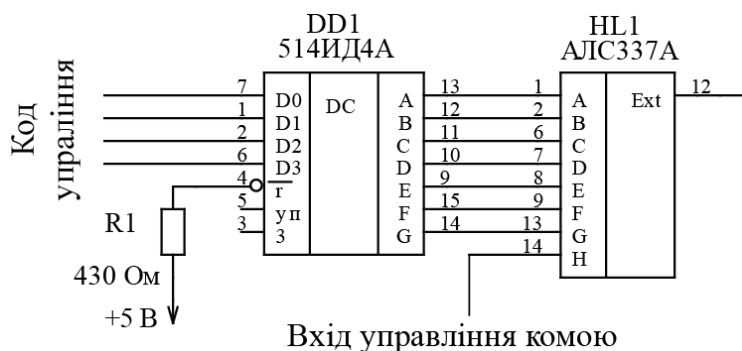


Рис. 14.11. Приклад включення одного розряду багаторозрядного цифрового дисплея з використанням індикатора із загальним катодом

Наприклад, для семисегментних індикаторів АЛС359 (рис. 14.12) номінальний струм через сегмент при температурі навколишнього середовища менш 35 °С становить 25 мА [15].

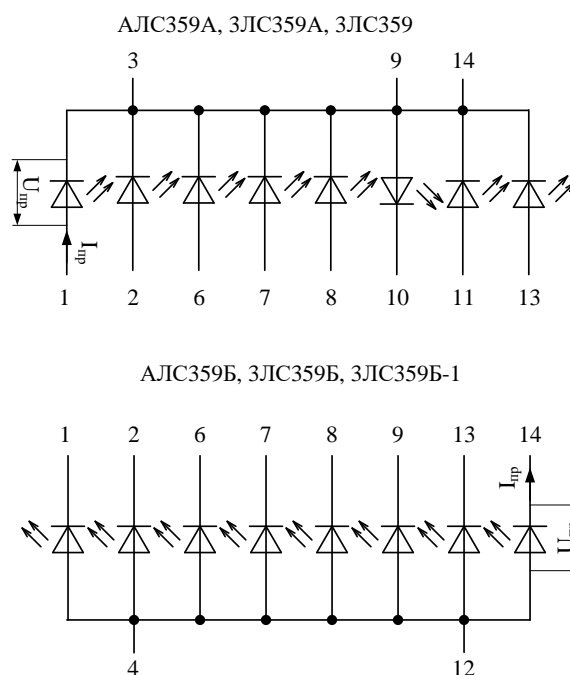


Рис. 14.12. Схеми з'єднання сегментів в індикаторах АЛС359

Для управління таким індикатором (тільки з літерами А – АЛС359А) можна використати дешифратор 514ИД4 [15], що призначений для управління семисегментними індикаторами з загальним катодом. Вихідний струм дешифратора 514ИД4Б складає 26 мА.

При значній розрядності відображуваної інформації, а також при використанні в приладі декількох цифрових табло або мозаїчних індикаторів істотні переваги одержує динамічний метод індикації.

14.6.2 Динамічний метод індикації

Для реалізації динамічного методу індикації в цей час достатньо спеціалізованих мікросхем. Для того щоб зрозуміти принцип динамічного управління, розглянемо схему, наведену на рис. 14.13. Суть цього методу полягає в тому, що інформація, що знімається з виходів лічильників Ст10, через мультиплексор MUX по черзі подається на входи дешифратора семисегментного коду. Підключення до входів дешифратора сигналів лічильників здійснюється кодом, формованим двійковим лічильником Ст2. Синхронно із включенням виходів першого лічильника на входи дешифратора семисегментного коду замикається ключ S1, підключаючи третій семисегментний індикатор (відображає дані молодшого розряду лічильника). При підключенні другого лічильника до входів дешифратора замикається ключ S2 і світиться другий індикатор. Перший індикатор (старший розряд) світиться при підключенні третього лічильника Ст10-3.

Управління ключами здійснюється за допомогою дешифратора двійкового коду, що подається на його входи з виходу двійкового лічильника.

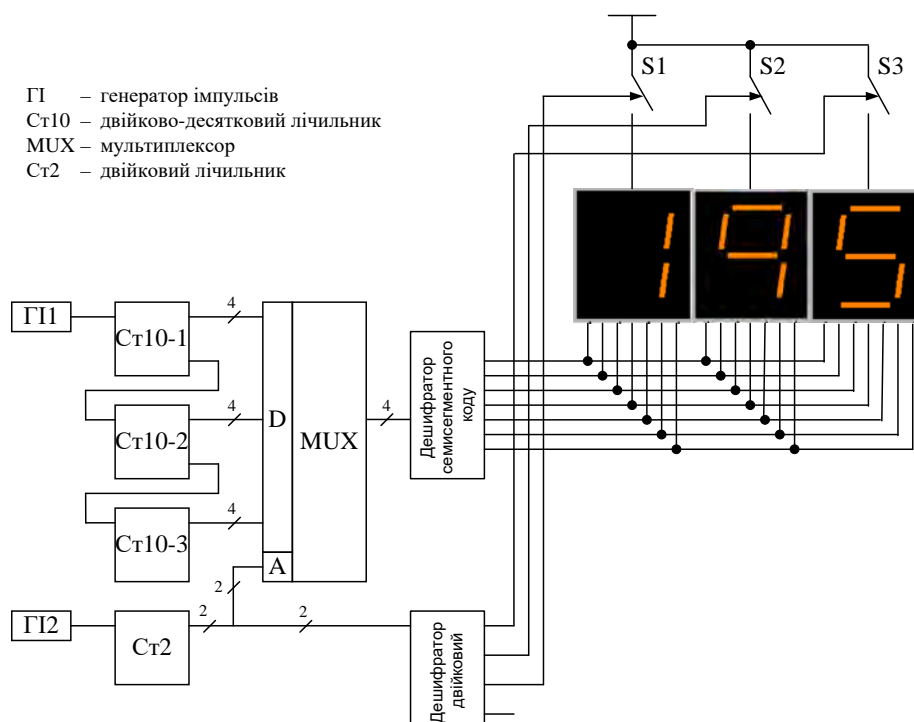


Рис. 14.13. Функціональна схема трьохрозрядного цифрового пристрою відображення інформації з динамічним способом управління індикаторами

Якщо частота перемикання даних на вході дешифратора семисегментного коду й частота перемикання ключів буде вищою за 50 Гц, то із-за інерційності зору людини інформація на

дисплеї буде відображатися без мерехтіння. Зазвичай потрібно встановлювати частоту комутації (частота сигналу на виході генератора ГІ2) 200...400 Гц.

Модель, яка дає можливість уявити як функціонує дисплей з динамічним управлінням окремими індикаторами, наведена на рис. 14.14.

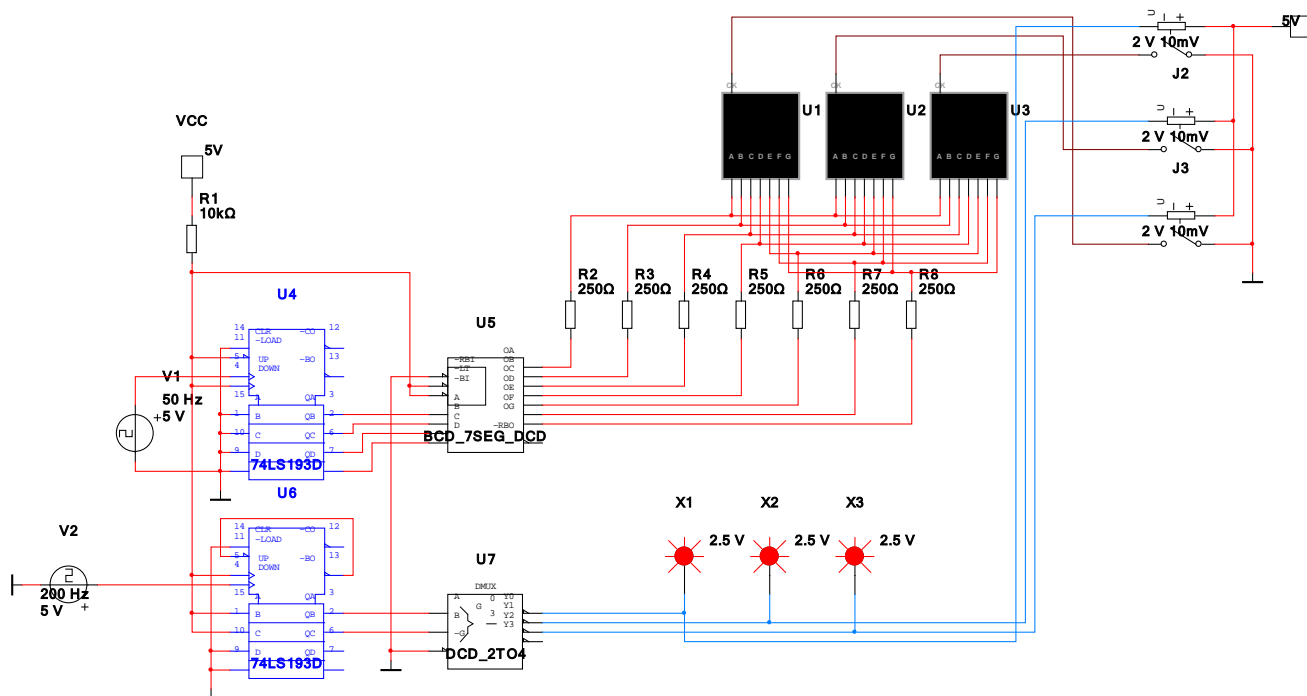


Рис. 14.14. Модель для дослідження принципів побудови пристроїв відображення з динамічною індикацією

Ця модель спрощена. Відсутній мультиплексор і три лічильника двійково-десятькового коду. По черзі відображаються значення коду тільки одного лічильника. Ці обмеження пов'язані з тим, що в безкоштовній версії програми NI Multisim Analog Devices edition кількість елементів у схемі не може перевищувати 25.

Оскільки тривалість імпульсів управління зменшується із числом розрядів дисплею, миттєве значення струму сегментів повинно збільшуватися в порівнянні з номінальним значенням в N раз, де N – число розрядів пристрою індикації (цифрового дисплея). При цьому не можна допускати перевищення струму в порівнянні з допустимими значеннями.

Так, наприклад, для семисегментного індикатора АЛС359А номінальне значення струму через сегмент дорівнює 25 мА, а максимальне значення імпульсу струму (при тривалості імпульсу не більше 10 мс) становить 185 мА. Це значить, що число розрядів дисплея з такими індикаторами не повинне перевищувати $185/25 = 7$.

Якщо буде потрібно більше число розрядів, доведеться розбити дисплей на 2 групи індикаторів, у кожній з яких будуть виконуватися умови нормальної роботи кожного з індикаторів.

Важливою перевагою динамічного методу індикації є не стільки знижена потужність споживання, скільки мінімізація числа ліній зв'язку між вузлами. Так, управління 8-розрядним дисплеєм здійснюється по 7 інформаційним і 8 керуючим проводам. При можливості винесення дешифраторів на панель індикатора кількість проводів зменшується до семи. При використанні статичного методу індикації кількість проводів зросте до 56.

Зазначені переваги динамічного методу індикації дозволяють зменшити габарити електронних пристроїв і споживану потужність.

14.7 Моделювання пристроїв відображення цифрової інформації

У програмі Multisim можна реалізувати статичні методи індикації доволі просто. У бібліотеці віртуальних цифрових пристроїв є дешифратори семисегментного коду як для індикаторів з загальним катодом, так і для індикаторів з загальним анодом.

На рис. 14.15 наведена модель пристрою для відображення двох розрядів двійково-десятькового коду з використанням індикаторів з загальним катодом. Код формується на виході лічильників U3, U5 і перетворюється в сигнали управління семисегментними індикаторами за допомогою дешифраторів U4 та U6.

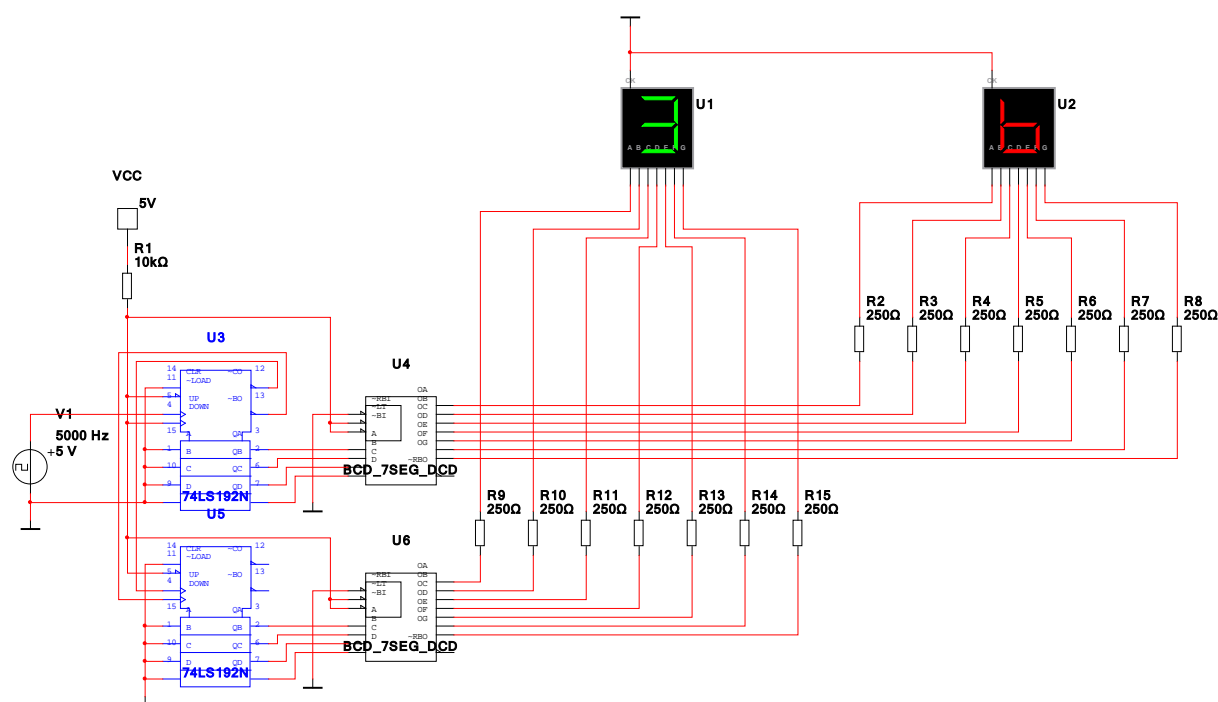


Рис. 14.15. Модель пристрою для відображення двох розрядів двійково-десятькового коду з використанням індикаторів з загальним катодом

Резистори R2...R15 обмежують струм через сегменти індикаторів.

Аналогічно можна побудувати модель для дослідження індикаторів з загальним анодом

(рис. 14.16).

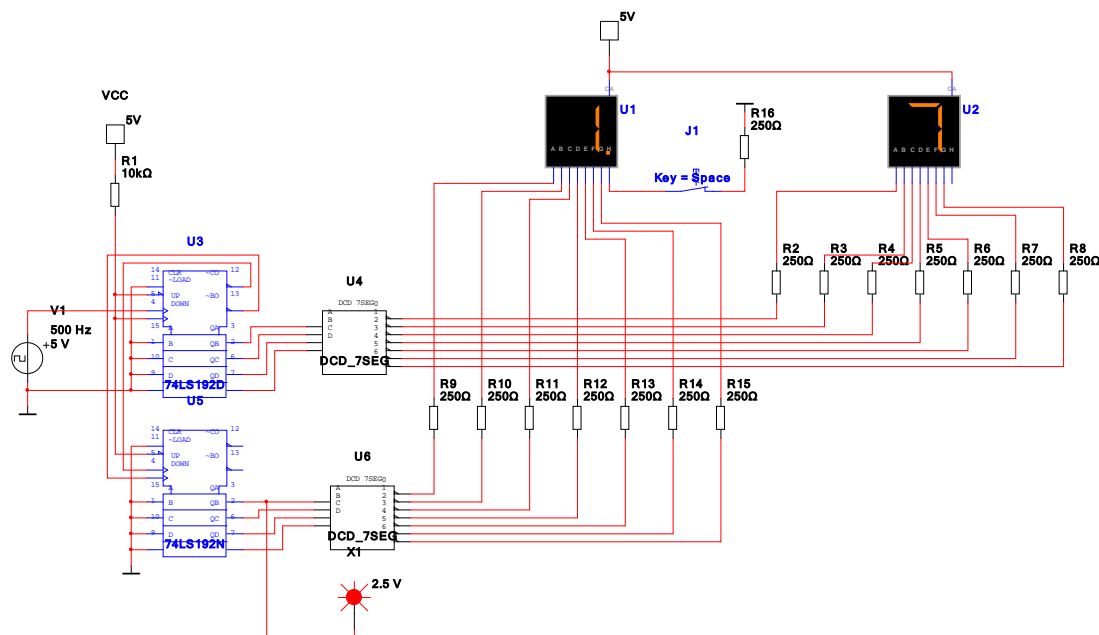


Рис. 14.16 Модель пристрою для відображення двох розрядів двійково-десятичного коду з використанням індикаторів з загальним анодом

Як слідує з рис. 14.16 у індикаторів з загальним анодом присутня десяткова кома, що дозволяє відображати на дисплеї дробові числа.

Контрольні питання

1. Яка різниця між статичним та динамічним методами управління індикаторами?
2. В чому відмінність індикаторів з загальним катодом та загальним анодом?
3. Як обмежити струм через світлодіод в семисегментному індикаторі?
4. Навіщо обмежувати струм через сегменти семисегментного індикатора?
5. Який принцип дії рідкокристалічного індикатора?
6. Навіщо використовується підсвічування у рідкокристалічних індикаторах?
7. Для чого призначений сегмент h у семисегментних індикаторах?

15 ЗАПАМ'ЯТОВУЮЧІ ПРИСТРОЇ

15.1 Оперативні запам'ятовуючі пристрої

Для короткочасного збереження невеликих об'ємів кодових слів звичайно використовують регістри. При необхідності тривалого збереження або збереження великих об'ємів інформації застосовують запам'ятовуючі пристрої (ЗП), виконані на спеціалізованих ІС. Застосування ЗП, що використовують ІС, дозволяє максимально спростити апаратну частину електронних пристроїв.

По виконуваний функції ЗП можна класифікувати на:

- оперативні запам'ятовуючі пристрої (ОЗП);
- постійні запам'ятовуючі пристрої (ПЗП).

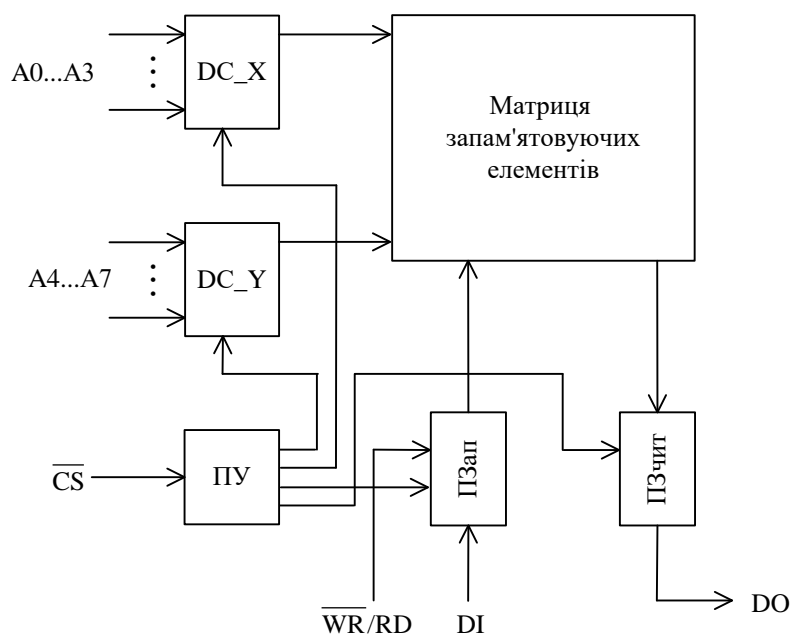
До оперативних відносять ЗП, що використовуються для збереження інформації, одержуваної в процесі роботи пристрою і забезпечують можливість зчитування та запису інформації на протязі часу коли до них підключене джерело живлення.

Оперативні ЗП можуть бути виконані як статичними, так і динамічними. У статичних ОЗП записана інформація постійно зберігається у виділеному для неї місці і не руйнується при її зчитуванні. Руйнування інформації можливо тільки при її примусовому стиранні або вимкненні напруги джерела живлення.

У динамічних ОЗП інформація постійно циркулює в масиві, відведеному для її збереження. При цьому зчитування інформації супроводжується її руйнуванням. Для збереження інформації її необхідно постійно відновлювати.

Для позначення на принципових електричних схемах ІС ОЗП використовується скорочення RAM (Random Access Memory).

Варіант типової структурної схеми статичного оперативного запам'ятовуючого пристрою (ОЗП) наведений на рис. 15.1. Для прикладу обрана мікросхема пам'яті ємністю 256 біт. Структурна схема включає виконані на єдиному кристалі кремнію матрицю накопичувача (запам'ятовуючих елементів), дешифратори коду адреси рядків $A_0 \dots A_3$ (DC_X) і стовпців $A_4 \dots A_7$ (DC_Y), пристрій управління (ПУпр), пристрій запису (ПЗап) і пристрій зчитування (ПЗчит). Режимом роботи всього пристрою керують сигнали \overline{CS} (Chip Select – вибір мікросхеми) і \overline{WR}/RD (Write/Read – запис/зчитування). Вхід на який подається інформація позначається як DI (Data Input), а вихід з якого виводиться зчитувана інформація DO (Data Output).



ПУ – пристрій управління
 ПЗчит – пристрій зчитування
 ПЗап – пристрій запису
 DC_X – дешифратор адреси рядків
 DC_Y – дешифратор адреси стовпців

Рис. 15.1. Структурна схема запам'ятовуючого пристрою з однорозрядною організацією

Матриця накопичувача містить 256 запам'ятовуючих елементів (ЗЕ), розташованих на перетинаннях 16 рядків і 16 стовпців (рис. 15.2). Кожен ЗЕ являє собою статичний тригер, що може бути реалізований на основі біполярних або МДН-транзисторів. Це залежить від технології виготовлення мікросхем.

Доступ до кожного ЗЕ можна організувати за допомогою логічного елементу І (рис. 15.3). Для збереження інформації в тригері необхідне джерело живлення, тобто тригер розглянутого типу є енергозалежним. При наявності живлення тригер здатний зберігати свій стан як завгодно довго.

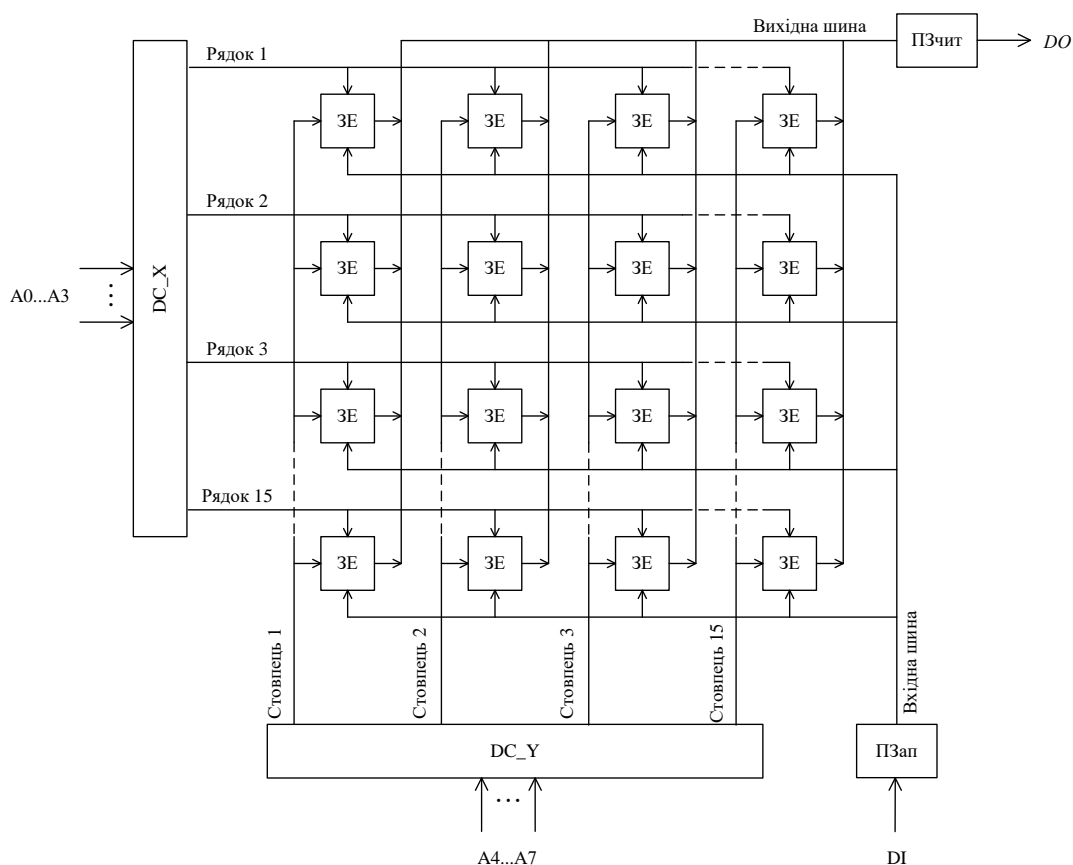


Рис. 15.2. Структурна матриці запам'ятовуючих елементів

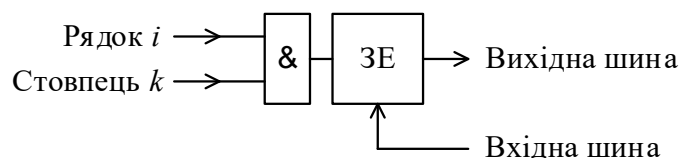


Рис. 15.3. Організація доступу до запам'ятовуючих елементів матриці

Для запису 0 або 1 у мікросхему необхідно підвести цю інформацію до входу DI , подати код адреси $A\{A_0 - A_7\}$, сигнал дозволу \overline{CS} і сигнал $\overline{WR/RD}$ рівні "0", що відповідає режиму запису. При зазначених сигналах збуджується заданий рядок X_i , обраний дешифратором коду адреси рядків, і в результаті цього відкривається доступ по розрядних шинах до усіх ЗЕ даного рядка. Одночасно збуджується один з виходів Y_k , дешифратора коду адреси стовпців і під'єднає обраний ЗЕ.

Звертання до мікросхеми для зчитування відбувається аналогічно, але при значенні сигналу $\overline{WR/RD}$ рівному "1".

У більшості мікросхем пам'яті пристрій зчитування (або пристрій вводу/виводу) містить вихідний ключовий підсилювач-формував, здатний приймати три стани: два функціональних, відповідно "0" або "1", і третій стан, коли внутрішні блоки запам'ятовуючого пристрою

відключаються від виходу. У третьому стані вихід відключений від приймача інформації, наприклад інформаційної шини.

Наявність у мікросхеми виходу на три стани дозволяє з'єднувати інформаційні вхід і вихід для підключення їх до єдиної інформаційної шини.

На рис. 15.4 наведені типові часові діаграми сигналів на входах статичного ОЗП.

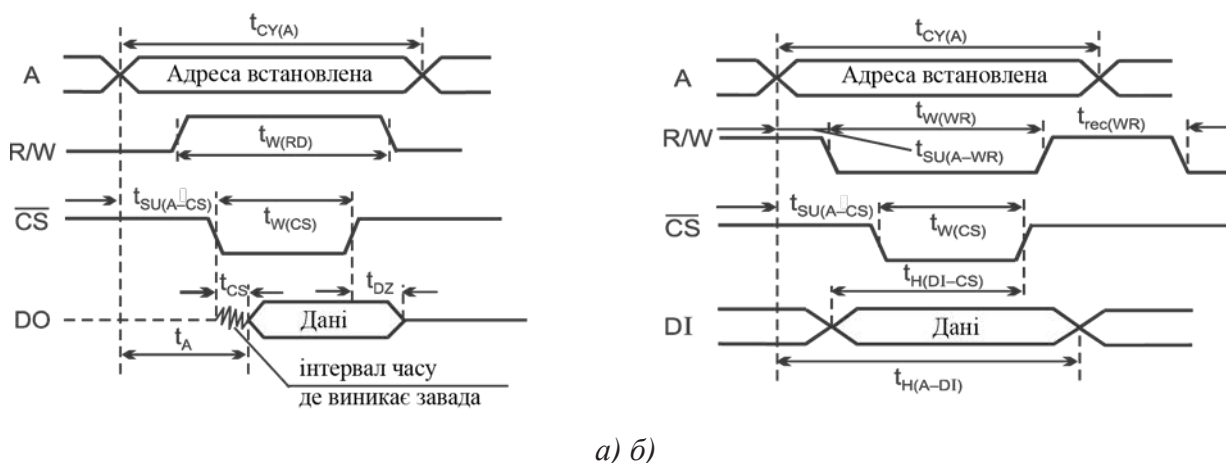


Рис. 15.4. Типові часові діаграми сигналів на входах статичного ОЗП в режимі зчитування (а) та запису інформації (б)

Розглянута структурна схема (рис. 15.1) являє собою приклад реалізації статичних ОЗП з однорозрядною організацією. Цей тип мікросхем переважає в сучасній номенклатурі мікросхем пам'яті. Разом з тим усе більш активний розвиток одержують мікросхеми статичних ОЗП з багаторозрядною словниковою організацією. Принцип побудови таких мікросхем аналогічний розглянутому вище, але при виборі адреси одного з ЗЕ відбувається звернення одразу до декількох ЗЕ, що мають одну адресу, але кожний під'єднаний до різних вхідних і вихідних шин. Пристрої запису і зчитування для цього мають n незалежних каналів, де n – кількість розрядів запам'ятовуючого пристрою.

У мікросхемах пам'яті динамічного типу функції ЕП виконує електричний конденсатор, утворений усередині МДН-структури (рис. 15.5). Інформація представляється у виді заряду: наявність заряду на конденсаторі відповідає логічному "0", відсутність-логічній "1". Оскільки час збереження конденсатором заряду обмежений, передбачають періодичне відновлення (регенерацію) записаної інформації. У цьому складається одна з відмінних рис динамічних ОЗП. Крім того, для них необхідна синхронізація, що забезпечує необхідну послідовність включення і вимикання функціональних вузлів.

Для виготовлення мікросхем динамічних ОЗП в основному застосовують n -МДН-технологію, що дозволяє підвищувати швидкодію і рівень інтеграції мікросхем, забезпечувати

малі струми витоку і за цей рахунок збільшувати час збереження заряду на запам'ятовуючому конденсаторі.

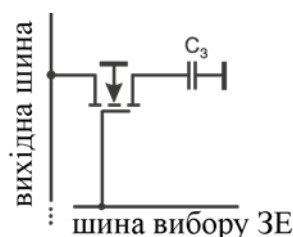


Рис. 15.5. Комірка динамічного ОЗП на МДН-структурах

Розглянемо типовий варіант реалізації динамічного ОЗП на прикладі мікросхеми інформаційною ємністю $16K \times 1$ біт. В її структурну схему (рис. 15.6) входять виконані в одному кремнієвому кристалі матриця накопичувача, що містить 16384 елементів пам'яті, розташованих на перетинаннях 128 рядків і 128 стовпців, 128 підсилювачів зчитування і регенерації, дешифратори рядків і стовпців, пристрій управління, пристрій вводу-виводу та мультиплексний регістр адреси.

Матриця накопичувача розділена на дві частини по 64×64 ЗЕ у кожній. Між ними розміщені підсилювачі, так що кожен стовпець складається з двох секцій, підключених до різних пліч підсилювача.

Крім масиву ЗЕ та підсилювачів, матриця має у своїй структурі опорні елементи (по одному елементу в кожній половині шини). Ці елементи в кожній половині матриці складають опорний рядок. Опорний елемент побудований аналогічно запам'ятовуючому. Його призначення складається в підтримці опорної напруги, з якою підсилювач порівнює потенціал напівшини з обраним ЗЕ та реагує на одержану різницю потенціалів при порівнянні, позитивного і негативного знаку в залежності від рівня зчитування. Ця операція відбувається так: якщо обрано для звертання рядок верхньої напівматриці X_i , то сигнал A_6 старшого розряду коду адреси рядка комутує в селекторі опорного рядка коло через ключовий транзистор для сигналу F_2 до опорного рядка, розташованого в нижній напівматриці.

Таким чином, у кожному із 128 стовпців до підсилювача з різних сторін підключені ЗЕ та опорні елементи. Оскільки потенціал шини з ЗЕ відрізняється від опорного, то сигнал F_3 викликає перекидання тригера більшим рівнем. У підсумку на виходах-входах тригера формуються повні рівні "1" і "0". Той із сигналів, який відображує зчитану інформацію комутується на вхід пристрою виводу. Очевидно, зчитаним може бути тільки один сигнал з обраного дешифратором стовпця.

Сигнал на вході-виході тригера-підсилювача виконує також функцію відновлення рівня заряду запам'ятовуючого конденсатора, тобто функцію регенерації інформації. Причому ця

операція відбувається у всіх ЗЕ обраного рядка одночасно.

Таким чином, при кожному звертанні до матриці для зчитування інформації автоматично здійснюється регенерація інформації у всіх ЗЕ, що належать обраному рядку.

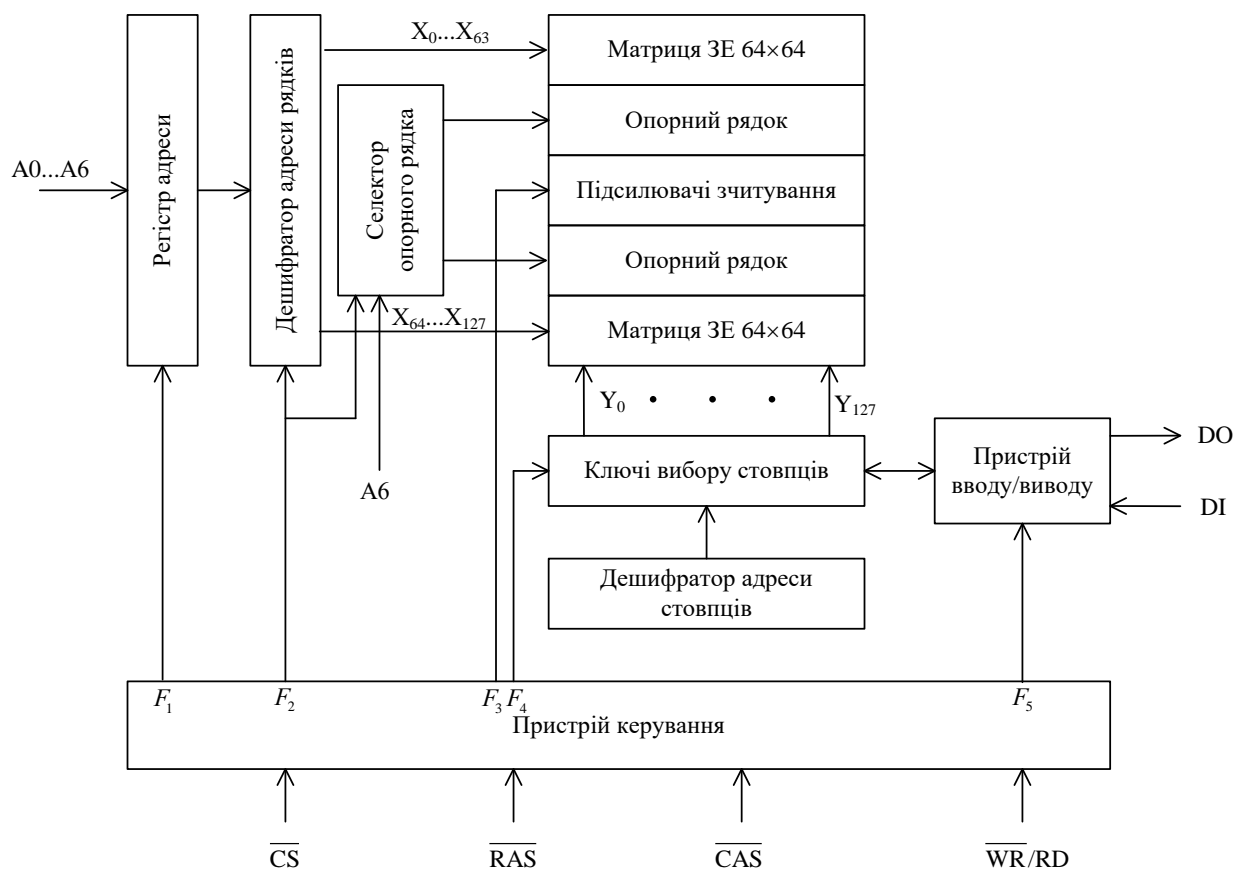


Рис. 15.6. Структура схема мікросхеми динамічного ОЗП

Для адресації 16К елементів пам'яті необхідний 14-розрядний код. З метою зменшення числа необхідних виводів корпусу в мікросхемах динамічних ОЗП код адреси вводять вроздріб: спочатку сім молодших розрядів $A_0...A_6$, супроводжуючи їх стробуючим сигналом \overline{RAS} , потім сім старших розрядів $A_7...A_{13}$ з стробуючим сигналом \overline{CAS} . У середині мікросхеми коди адреси рядків і стовпців фіксуються в адресному регістрі, потім дешифруються і здійснюють вибірку необхідного ЗЕ.

Для формування внутрішніх сигналів $F_1...F_5$, керуючих включенням і вимиканням у визначеній послідовності функціональних вузлів мікросхеми, у її структурі передбачений пристрій управління, для якого входними є сигнали \overline{RAS} , \overline{CAS} , $\overline{WR/RD}$.

Пристрій вводу-виводу забезпечує вивід одного біта інформації DO у режимі зчитування і ввід одного біта інформації DI з її фіксацією за допомогою D-тригера в режимі запису. В усіх режимах, крім режиму зчитування, вихід встановлюється у третій стан, що дозволяє поєднувати

інформаційні вхід і вихід при підключенні мікросхеми до загальної інформаційної шини.

15.2 Мікросхеми маскових ПЗП

Мікросхеми ПЗП по способу програмування, тобто занесення в них інформації, підрозділяють на три групи:

- ПЗП, що одноразово програмуються виготовлювачем по замовленому фотошаблону (масці), маскові ПЗП (ПЗПМ, ROM);
- ПЗП, що одноразово програмуються користувачем шляхом перепалювання плавких перемичок на кристалі (ППЗП, PROM);
- ПЗП, що багаторазово програмуються користувачем, перепрограмуємі ПЗП (РПЗП, EPROM).

Загальною властивістю всіх мікросхем ПЗП є їхня багаторозрядна (словникова) організація, режим зчитування як основний режим роботи і енергозалежністю. Разом з тим у них є й істотні розходження в способі програмування, режимах зчитування, у звертанні до них при застосуванні. Тому доцільно розглянути кожен групу мікросхем ПЗП окремо.

Мікросхеми ПЗПМ виготовляють згідно біполярної ТТЛ, ТТЛШ-технології, *n*-канальної, *p*-канальної і КМДН-технологіям. Принцип побудови в більшості мікросхем групи ПЗПМ однаковий і може бути представлений структурою матриці запам'ятовуючих елементів наведеною на рис. 15.7. Структурна схема самої мікросхеми наведена вище (рис. 15.1). Матриця складається з масиву ЗЕ, кожний з яких розміщений на перетині рядка і стовпця. Елемент пам'яті ПЗПМ являє собою резистивну або напівпровідникову (діодну, транзисторну) перемичку між рядком і стовпцем. На рис. 15.7 це діоди. Інформацію в матрицю заносять у процесі виготовлення мікросхеми. У тих рядках де на перетині рядка і стовпця встановлений діод, при звертанні до нього буде зчитуватися "1", а там де діодів нема стовпець під'єднаний до загального через резистор і з цього рядка зчитується "0".

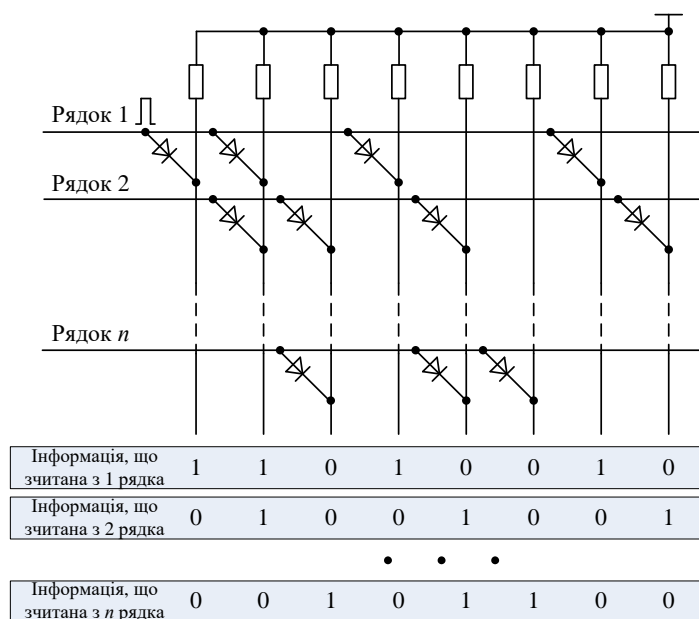


Рис. 15.7. Матриця запам'ятовуючих елементів мікросхеми маскового ПЗП

Мікросхеми на біполярних транзисторах програмують шляхом формування перемичок між рядками і стовпцями в тих точках матриці, куди варто занести логічну 1. У тих точках матриці, де повинний бути логічний 0, перемичку не формують.

Програмування мікросхем ПЗПМ здійснюють один раз. Оскільки схема з'єднань або граничні напруги транзисторів не залежать від режиму роботи мікросхеми, вона має властивість енергозалежності. Завдяки цій властивості мікросхеми ПЗПМ широко використовують як носії постійних програм, підпрограм різного призначення, кодів фізичних констант, постійних коефіцієнтів і т.п. Занесену в ПЗПМ інформацію в технічній документації називають "прошиванням".

Мікросхеми ПЗПМ працюють у режимах: збереження і зчитування. Для зчитування інформації необхідно подати код адреси і сигнал управління (CS), що дозволяє цю операцію. Сигнали управління можна подавати рівнем 1, якщо вхід CS прямий, або 0, якщо вхід інверсний. Частіше вхід CS виконується інверсним.

Багато мікросхем мають кілька входів управління, звичайно зв'язаних визначеним логічним оператором. У таких мікросхемах необхідно подавати на керуючі входи визначену комбінацію сигналів, щоб сформуванню умову дозволу зчитування.

Основним динамічним параметром мікросхем ПЗПМ являється час вибірки адреси. При необхідності стробювання вихідних сигналів на керуючі входи CS варто подавати імпульси після надходження коду адреси. У такому випадку в розрахунок часу зчитування треба приймати час установлення сигналу CS щодо адреси і час вибору.

Вихідні сигнали майже у всіх мікросхем ПЗПМ мають TTL-рівні. Виходи побудовані в основному за схемою з трьома станами.

Для зниження споживаної потужності деякі мікросхеми допускають застосування режиму імпульсного живлення. В цьому режимі живлення на мікросхему подають тільки при зчитуванні інформації.

15.3 Мікросхеми програмованих ПЗП

Мікросхеми програмуємих ПЗП за принципом побудови і функціонування аналогічні масковим ПЗП, але мають відмінність у тому, що допускають програмування на місці свого застосування користувачем. Операція програмування полягає в руйнуванні частини плавких перемичок на поверхні кристала імпульсами струму амплітудою 30...50 мА. Технічні засоби для виконання цієї операції досить прості і можуть бути побудовані самим користувачем. Ця обставина в сполученні з низькою вартістю і доступністю мікросхем ПЗП обумовило їхнє широке поширення на практиці.

Мікросхеми ПЗП, що випускаються вітчизняною промисловістю, здебільше виготовлені по ТТЛШ-технології.

Типовий варіант структури та реалізації матриці запам'ятовуючих елементів мікросхеми ПЗП представлений на рис. 15.8. В основному вона повторює загальну структуру запам'ятовуючих пристроїв, але має додаткові пристрої $F_1...F_n$ для формування струму програмування.

Матриця до програмування, тобто у початковому стані, містить однорідний масив провідних перемичок, що з'єднують рядки і стовпці у всіх точках їхніх перетинань. Перемички встановлюють з таких матеріалів: ніхрому, полікристалічного кремнію, силіциду платини та інших матеріалів. Перемичка в матриці виконує роль ЗЕ. Наявність перемички кодується логічною "1", якщо підсилювач зчитування (ПЗ) є повторювачем, і логічним "0", якщо підсилювач зчитування – інвертор. Отже, мікросхема ПЗП перед програмуванням у залежності від характеристики вихідного підсилювача може мати заповнення матриці або логічним 0 або логічною 1 (частіше логічною "1").

Робота запрограмованої мікросхеми ПЗП в режимі зчитування нічим не відрізняється від роботи мікросхеми ПЗПМ, розглянутих раніше. У деяких мікросхем мається вивід для під'єднання джерела напруги програмування U_p . У режимі зчитування цей вивід не задіяний.

Різновидом ПЗП є програмовані випалюванням плавких перемичок логічні матриці (ПЛМ), виконані по ТТЛШ-технології, що мають ідентичні характеристики і конструктивні параметри, але відрізняються типом виходу: у першої з мікросхем вихід з відкритим колектором, у другої – на три стани.

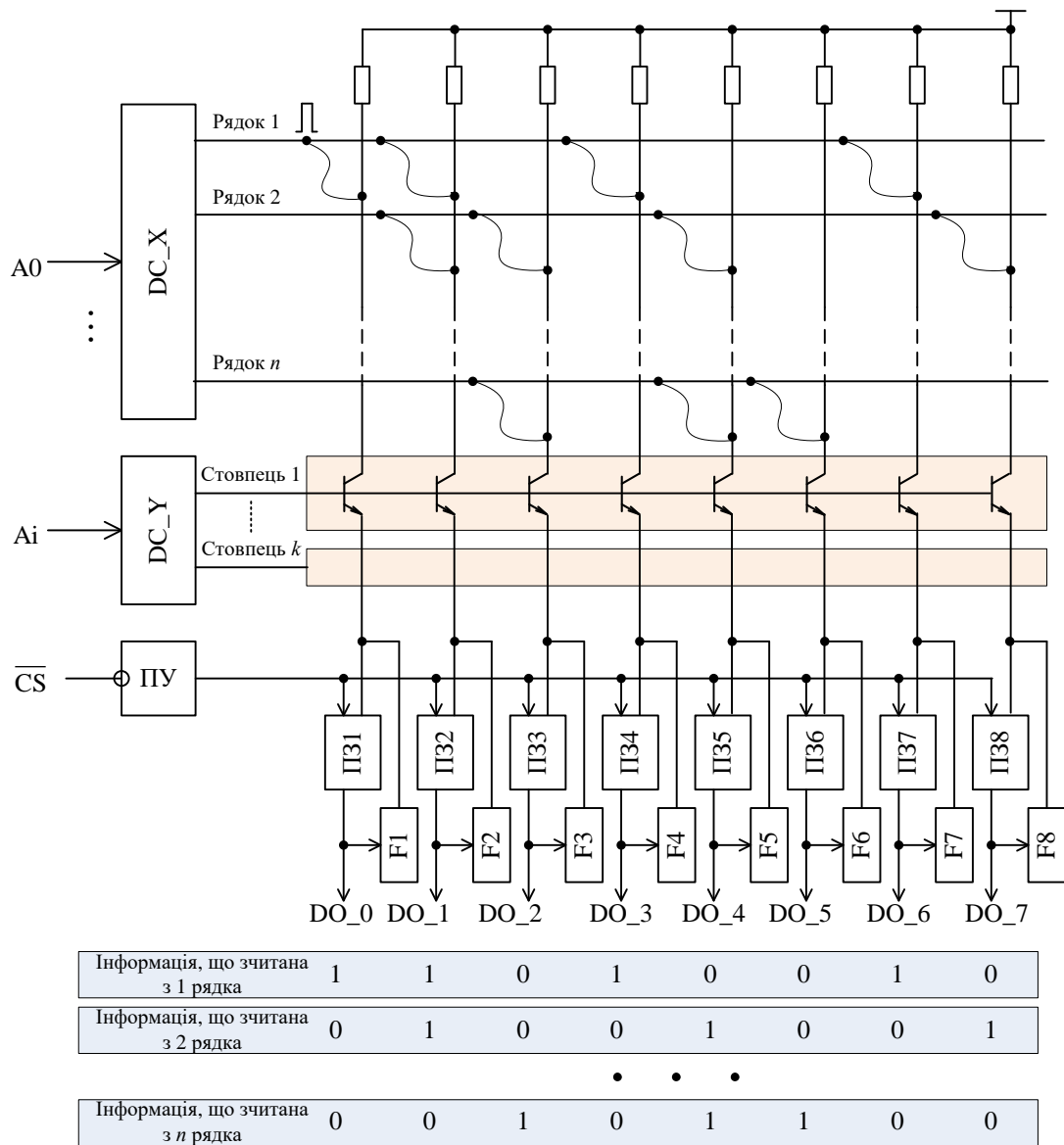


Рис. 15.8. Структура мікросхеми ППЗП

Названі мікросхеми ПЛІМ мають 16 входів $A_0 - A_{15}$ для змінних, над якими ПЛІМ виконує запрограмовані операції, вхід \overline{CS} з нульовим рівнем дозволу, вхід \overline{PR} дозволу запису, тобто програмування, і вісім виходів. Структура мікросхеми (рис. 15.9) включає операційну частину з матриці І, матриці АБО, входних і вихідних підсилювачів і програмуючу частину з адресними формувачами FA1, FA2 і дешифратори DCPR.

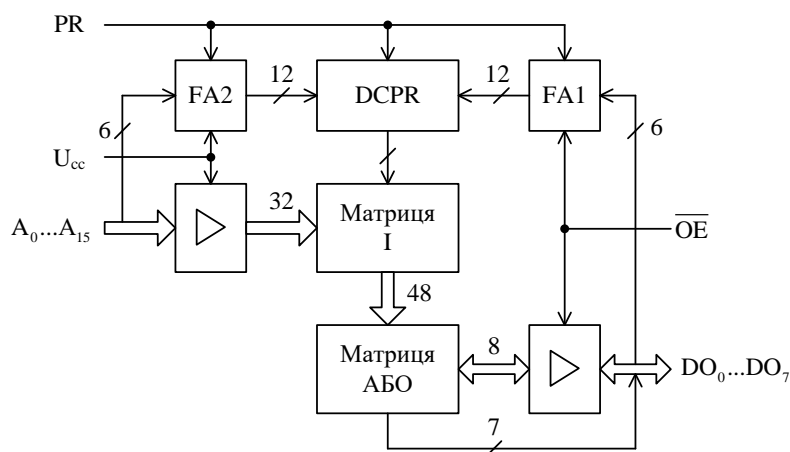


Рис. 15.9. Структура мікросхеми ПЛМ

Основу ПЛМ (рис. 15.9) складають матриці І та АБО. Матриця І виконує операції кон'юнкції над 16 вхідними змінними та їх інверсними значеннями, що надходять на рядкові шини матриці. Необхідні логічні добутки формують на шинах стовпців шляхом випалювання непотрібних перемичок між рядками і стовпцями.

Число стовпців 48, отже, на виході матриці І можна одержати до 48 логічних добутків, у кожне з яких може входити до 16 змінних та їхніх інверсій. Матриця АБО виконує операцію диз'юнкції над логічними добутками, сформованими матрицею І. Число виходів цієї матриці 8, тому вона здатна сформувати до восьми логічних сум, у кожному з яких може входити до 48 логічних добутків. Таким чином, можливості ПЛМ характеризуються числом точок комутації. Програмування матриці АБО виконується так само, як і матриці І, шляхом випалювання "непотрібних" перемичок. На виходах матриці АБО розміщені програмувальні підсилювачі, що у залежності від стану перемички можуть передавати значення вихідної функції в прямій чи інверсній формі представлення.

Для програмування служать вбудовані вузли програмуючої частини, які збуджує сигнал дозволу PR. Програмування здійснюють способом, аналогічним програмуванню ППЗП, у три етапи: спочатку програмують матрицю І, потім матрицю АБО і вихідні інвертори.

Функціональна схема ПЛМ наведена на рис. 15.10. Програмована логічна матриця має n входів, k елементів І, виходи яких утворюють k вертикальних шин, m елементів АБО, виходи яких підключені до входів суматорів по модулю 2 (М2), що виконують роль керованих інверторів. Виходи цих m інверторів є виходами самої ПЛМ. Кожен елемент І має $2n$ входів, якими він пов'язаний з усіма шинами вхідних сигналів і їх інверсій.

В лінії зв'язку включені спеціальні перемички, позначені на рис. 15.10 короткими зигзагами. Ці перемички виконуються з певного матеріалу (наприклад, ніхром, кристалічний кремній) або у вигляді спеціальних p - n переходів так, щоб їх можна було вибірково руйнувати

("випалювати"), залишаючи лише ті зв'язки, які потрібні споживачеві ПЛМ. У ряді типів ПЛМ випалювати перемички може сам споживач, подаючи на відповідні виводи корпусу імпульси струму або напруги певної амплітуди і тривалості.

Елементи АБО ПЛМ, так само як і елементи І, мають на входах випалювані перемички, з допомогою яких вони підключені до всіх вертикальних шин. Після випалювання на програматорі непотрібних перемичок у елементів АБО також залишаються лише ті зв'язки з вертикалями, які необхідні споживачу. Технічна реалізація елементів АБО така, що після випалювання перемичок на входах АБО, які ні до чого не підключені забезпечуються рівні логічного нуля.

Аналогічним чином програмують відсутність або виконання інвертування виходів АБО, відповідно перепалюючи або залишаючи перемички на верхніх по рис. 15.10 входах елементів М2.

Методи технологічного виконання елементів І, АБО, М2 і руйнування перемичок можуть бути різними. З точки зору логічного проектування істотно лише те, що схемотехнік може використовувати ПЛМ за своїм розсудом:

- подати на будь-який елемент І будь-яку комбінацію входів ПЛМ або їх інверсій;
- підключити до будь-якого елементу АБО будь-яку комбінацію вертикальних шин (виходів);
- інвертувати вихідні сигнали елементів АБО.

Такі можливості дозволяють дуже просто реалізувати на ПЛМ перетворювачі кодів або, що те ж саме, системи логічних функцій.

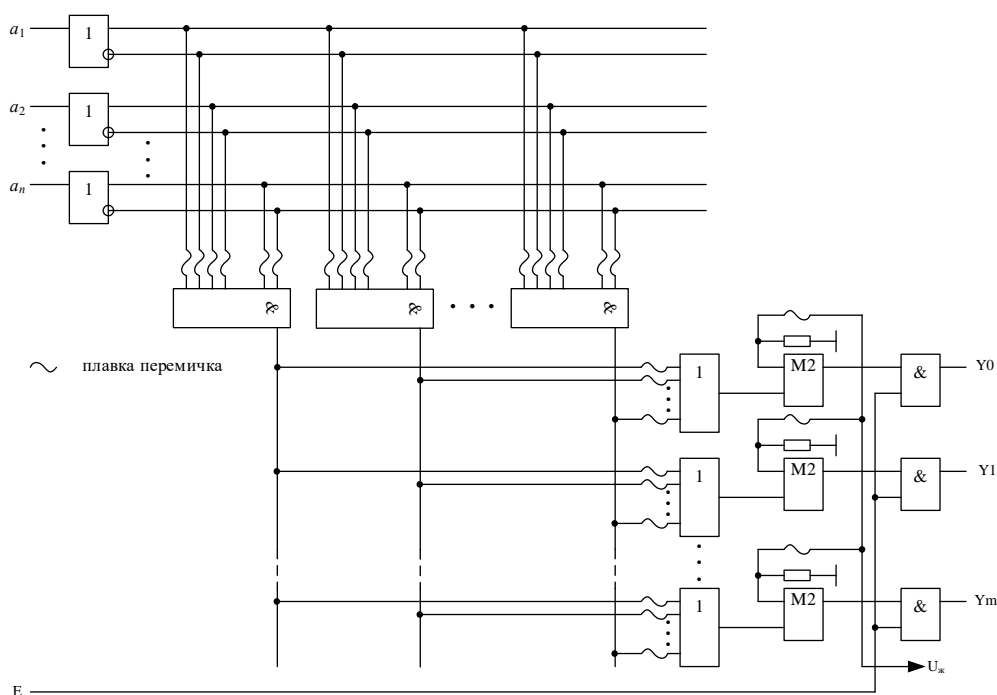


Рис. 15.10. Функціональна схема ПЛМ

Широко застосовують ПЛМ, програмовані по способу замовленого фотошаблону на заводі-виготовлювачі. Такі ПЛМ є різновидом масочних ПЗП. Вони включені, зокрема, до складу багатьох мікропроцесорних комплектів у якості ПЗП мікрокоманд. На основі ПЛМ можна будувати всілякі цифрові пристрої як комбінаційного, так і послідовного типів.

15.4 Мікросхеми репрограмованих ПЗП

Основна відмінна риса мікросхем репрограмованих ПЗП (РПЗП) полягає в їхній здатності до багаторазового (від 100 до 10 тис.) циклу програмування самим користувачем. Ця властивість мікросхем забезпечена застосуванням ЗЕ із властивостями керованих "перемичок", функції яких виконують транзистори зі структурою МНОН і транзистори *n*-МОН із плаваючим затвором (ПЗ) з використанням механізму лавинної інжекції заряду ЛІЗМОН.

Всю номенклатуру мікросхем РПЗП можна розділити на дві групи: РПЗП з записом і стиранням електричними сигналами (група ЕС) і РПЗП з записом електричними сигналами і стиранням ультрафіолетовим випромінюванням (група УФ).

Елемент пам'яті зі структурою МНОН являє собою МДН-транзистор з індукованим каналом *p*-типу (рис.15.11,а) або *n*-типу, що має двошаровий діелектрик під затвором. Верхній шар формують з нітриду кремнію, нижній – з окислу кремнію, причому нижній шар значно тонше верхнього.

Якщо до затвору відносно підкладки прикласти імпульс напруги позитивної полярності з амплітудою 30...40 В, то під дією сильного електричного поля між затвором і підкладкою електрони здобувають достатню енергію, щоб пройти тонкий діелектричний шар до межі розділу двох діелектриків. Верхній шар (нітриду кремнію) має значну товщину і електрони подолати його не можуть.

Накопичений на межі розділу двох діелектричних шарів заряд електронів знижує граничну напругу і зміщує передатну характеристику транзистора вліво (рис. 15.11,б). Цей стан ЗЕ відповідає логічній "1". Режим занесення заряду під затвор називають режимом програмування.

Логічному "0" відповідає стан транзистора без заряду електронів у діелектрику. Щоб забезпечити цей стан, на затвор подають імпульс напруги негативної полярності з амплітудою 30...40 В. При цьому електрони витісняються в підкладку. При відсутності заряду електронів під затвором передатна характеристика зміщується в область високої граничної напруги. Режим витіснення заряду з підзатворного діелектрика називають режимом стирання.

Режим стирання і програмування можна здійснити за допомогою напруги однієї

полярності: негативної для p -МНОН, позитивної для n -МНОН структур. Ця можливість заснована на використанні явища лавинної інжекції електронів під затвор, що відбувається, якщо до джерела і стоку прикласти імпульс негативної напруги 30...40 В, а затвор і підкладку з'єднати з корпусом.

У результаті електричного пробою переходів джерело-підкладка і стік-підкладка відбувається лавинне розмноження електронів і інжекція деяких з них, які мають достатню кінетичну енергією, на границю між шарами діелектриків. Для стирання необхідно подати імпульс негативної напруги на затвор. У режимі зчитування на затвор подають напругу $U_{зч}$, значення якого лежить між двома граничними рівнями. Як що в ЗЕ записана "1", транзистор відкриється, а при "0" – залишиться в закритому стані. У залежності від цього, як видно з рис. 15.11,г, у розрядній шині або буде протікати струм на вихід, або ні. Підсилювач зчитування трансформує стан шини в рівень напруги "1" або "0" на виході мікросхеми.

Для поліпшення характеристик РПЗП широко застосовують технологію виготовлення ЗЕ на n -МНОН транзисторах. Такі ЗЕ аналогічні розглянутим, але мають провідність підкладки p -типу, а джерело і стік n -типу.

Варіант ЗЕ на структурі ЛІЗМОН з подвійним затвором (рис. 15.11,в) являє собою n -МОН транзистор, у якого в підзатворному однорідному діелектрику SiO_2 сформована ізольована провідна область з металу або полікристалічного кремнію. Цей затвор одержав назву "плаваючого".

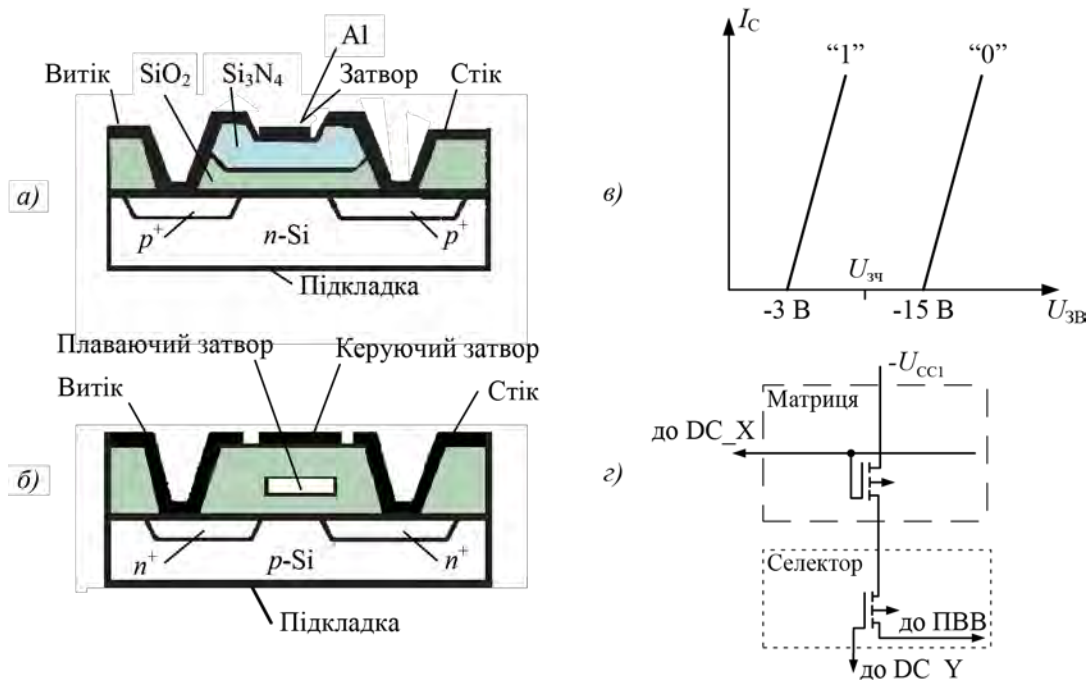


Рис. 15.11. Елементи пам'яті РПЗП типу МНОН (а) і його передатна характеристика (б), та елементи РПЗП типу ЛІЗМОН (в) і розташування ЗЕ в матриці мікросхеми (г)

У режимі програмування на керуючий затвор, джерело і стік подають імпульс напруги +21...25 В. У зворотно зміщених $p-n$ переходах виникає процес лавинного розмноження носіїв заряду і частина електронів інжектується на ПЗ. У результаті накопичення на ПЗ негативного заряду передатна характеристика транзистора зміщується в область високої граничної напруги (вправо), що відповідає запису "0".

Стирання записаної інформації, тобто витиснення заряду з ПЗ, у структурах ЛЗМОП здійснюють двома способами: у РПЗП-ЕС електричними сигналами, у РПЗП-УФ за допомогою УФ опромінення. У структурах зі стиранням електричними сигналами імпульсом позитивної напруги на знімають заряд електронів із ПЗ, відновлюючи низьковольтний рівень граничної напруги, що відповідає "1".

У структурах з УФ опроміненням електрони розсмоктовуються з ПЗ у підкладку в результаті посилення теплового руху за рахунок отриманої енергії від джерела УФ випромінювання. Режим зчитування здійснюють так само, як у ЕП на структурі МНОН. У режимі збереження забезпечують відсутність напруги на електродах ЗЕ для того, щоб виключити розсмоктування заряду в діелектричному середовищі. Теоретичними розрахунками доведена можливість збереження заряду сотні років. На практиці цей час обмежують для одних типів мікросхем декількома тисячами годин, для інших – декількома роками. Отже, мікросхеми РПЗП відносяться до групи енергонезалежних.

Принцип побудови і режим роботи РПЗП розглянемо на прикладі мікросхеми ємністю $2K \times 8$ з ЗЕ на p -МНОН транзисторах.

Структурна схема РПЗП (рис. 15.12) містить елементи, необхідні для роботи мікросхеми в якості ПЗП: матрицю з елементами пам'яті, дешифратори коду адреси рядків і стовпців, селектор (ключі вибору стовпців), пристрій вводу-виводу ПВВ. Крім того, у структурі передбачені функціональні вузли, що забезпечують її роботу в режимах стирання і програмування (запису інформації) – це комутатори режимів і формувачі імпульсів необхідної амплітуди і тривалості із напруги програмування U_{PR} . У порівнянні з мікросхемами ПЗПМ і ППЗП система керуючих сигналів доповнена сигналами програмування PR і стирання ER. Накопичувач з матричною організацією містить 128 рядків і 128 стовпців, на перетинаннях яких розташовані 16 384 елементів пам'яті. Управління накопичувачем здійснюють сьома старшими розрядами адресного коду, який після дешифрування вибирає рядок з 128 елементами пам'яті. Сигнали, зчитані з елементів обраного рядка, надходять на входи селектора, призначення якого складається у виборі з 128-розрядного коду на входах восьми розрядів, що далі надходять через ПВВ на виходи мікросхеми.

Селектором керують чотири молодших розряди адресного коду, які після дешифрування забезпечують вибірку одного восьмирозрядного слова з 16 слів, що містяться в обраному рядку.

Пристрій управління під впливом сигналів на своїх входах забезпечує роботу мікросхеми в одному з наступних режимів: збереження, зчитування, стирання, запису (програмування). Керуючі сигнали мають наступне призначення:

- CS – вибір мікросхеми;
- PR – дозвіл режиму запису (програмування);
- U_{PR} – напруга програмування;
- ER – сигнал зчитування;
- RD – сигнал стирання інформації.

Входи сигналів інверсні, тому значенням дозволу цих сигналів є "0". Багато мікросхем групи ЕС допускають виборче стирання за обраним адресом.

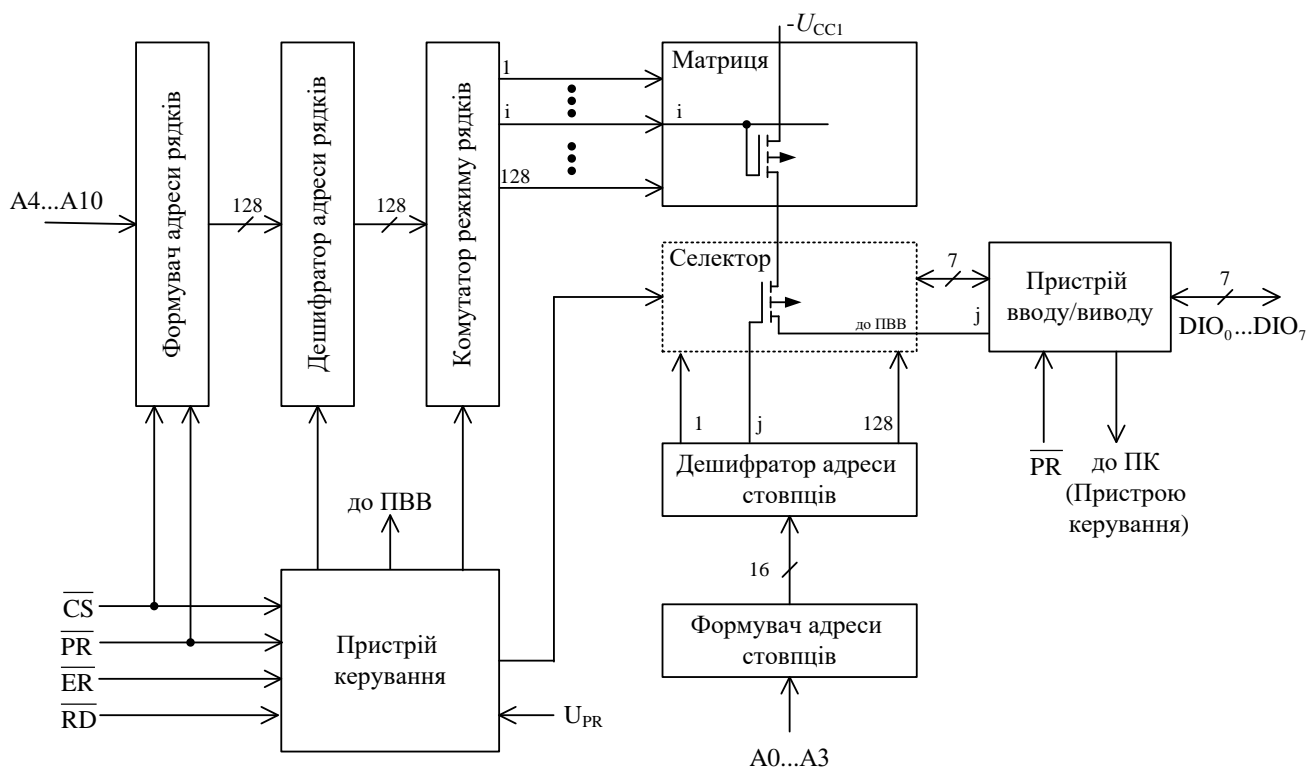


Рис. 15.12. Структурна схема мікросхеми РПЗУ-ЕС (з електричним стиранням інформації)

При експлуатації мікросхем РПЗП необхідно забезпечити необхідний порядок включення і вимикання напруги живлення окремих вузлів і програмування. При включенні спочатку подають напругу +5 В, потім -12 В і останньою напругу програмування. При вимиканні послідовність міняється на зворотну. Можна всі три напруги включати і виключати одночасно.

Перевагою мікросхем РПЗП групи ЕС є можливість перепрограмування без вилучення їх із пристрою, де вони працюють. Іншою позитивною властивістю мікросхем даної групи є значне число циклів перепрограмування, що досягає для більшості мікросхем 10 тис. Ця їхня властивість у сполученні з енергонезалежністю дозволяє широко використовувати їх в апаратурі в якості

вбудованих ПЗП зі змінюваною інформацією.

В структурі і режимах роботи мікросхем РПЗП-УФ багато загального з мікросхемами групи ЕС. Виключення складає режим стирання, для реалізації якого необхідне джерело УФ випромінювання.

Подальший розвиток технології ПЛМ призвів до створення програмованих логічних інтегральних схем (ПЛІС). Реалізовані ними функції можна багаторазово змінювати, нерідко для цього навіть не потрібно витягати мікросхему з пристрою, в якому вона працює.

Кристал ПЛІС містить велике число однотипних логічних елементів. З'єднують елементи в потрібному порядку за допомогою перемичок – ключів на польових транзисторах. А в кожному логічному елементі є перемикачі (мультиплексори), програмуючи які, можна змінювати виконувані функції.

Майже всі зовнішні виводи ПЛІС універсальні. Любий з них може служити входом, або виходом. Деякі виводи мають додаткові функції, наприклад, служать для програмування конфігурації мікросхеми, що, однак, не виключає їхнього використання як звичайного входу або виходу.

За внутрішньою структурою і способом запам'ятовування конфігурації ПЛІС можна розділити на два види: FPGA (Field Programmable Gate Array – матриця вентилів, програмованих електричним полем) і CPLD (Complex Programmable Logic Device – складна програмована логічна матриця).

Мікросхеми FPGA, подібно ОЗП, зберігають задану конфігурацію тільки при включеному живленні і "забувають" її після вимикання. Щораз, включивши живлення, таку ПЛІС необхідно програмувати заново. Програму звичайно зберігають у встановленому на одній платі з ПЛІС завантажувальному ПЗП, що може бути послідовним однорозрядним або паралельним восьмирозрядним. Спосіб завантаження конфігурації задають логічними рівнями на керуючих входах. Процедура перезапису виконується автоматично, після чого ПЛІС переходить у робочий режим.

Мікросхеми CPLD зберігають конфігурацію незалежно від наявності напруги живлення. У мікросхеми конфігурацію заносять за допомогою програматора, а стирають ультрафіолетовим випромінюванням. Такі ПЛІС встановлюють, як правило, у вже налагоджені пристрої. Для налагодження нових виробів вони незручні через тривалу (до години) процедуру очистки.

Мікросхеми, виконані за технологією FLASH, можна неодноразово програмувати, не вилучаючи з пристрою, в якому вони встановлені. Для цього в них передбачений спеціальний порт JTAG. Щоб записати вихідну конфігурацію або внести в неї зміни, виводи цього порту через кілька буферних мікросхем з'єднують кабелем з портом LPT персонального комп'ютера.

Порт JTAG корисний не тільки для програмування. Через нього комп'ютер може одержати

інформацію про логічні рівні на усіх виводах ПЛІС і в контрольних точках всередині її. Можливість організувати такий порт передбачений і в ПЛІС структури FPGA останніх серій. Виводи мікросхеми, зайняті портом JTAG, можуть служити і звичайними входами/виходами.

15.5 Принцип роботи пристроїв флеш-пам'яті

15.5.1 Загальні зауваження

Основне достоїнство цих пристроїв в тому, що вони енергонезалежні і їм не потрібно живлення для зберігання даних. Всю інформацію, що зберігається, у флеш-пам'яті можна вважати нескінченна кількість разів, а от кількість повних циклів запису на жаль обмежено.

Флеш-пам'ять (Flash Memory) – відноситься до напівпровідників електрично-перепрограмованої пам'яті (EEPROM). Завдяки технічним рішенням, невисокій вартості, великому обсягу, низькому енергоспоживанню, високій швидкості роботи, компактності й механічній міцності, флеш-пам'ять вбудовують у цифрові портативні пристрої й носії інформації.

На основі флеш-пам'яті працюють самі затребувані й популярні USB флеш-накопичувачі і змінні карти пам'яті для електронних пристроїв (SD, MMC, microSD).

Невеликий список розповсюджених накопичувачів із флеш-пам'яттю:

- Compact Flash Type I (CF I)/Type II (CF II);
- Memory Stick (MS Pro, MS Duo);
- Secure Digital (SD);
- miniSD;
- xD-Picture Card (x);
- MultiMedia Card (MMC);
- USB Flash Drive.

15.5.2 Принцип роботи флеш-пам'яті

Елементарна комірка зберігання даних флеш-пам'яті представляє із себе транзистор із плаваючим затвором. Особливість такого транзистора в тім, що він може втримувати (зберігати) електричний заряд. От на його основі й розроблені основні типи флеш-пам'яті NAND і NOR. Конкуренції між ними ні, тому що кожний з типів має свою перевагу й недоліки. На їхній основі будують гібридні пристрої, такі як DiNOR і superAND.

У флеш-пам'яті виробники використовують два типи комірок пам'яті MLC і SLC, як показано на рис. 15.13.

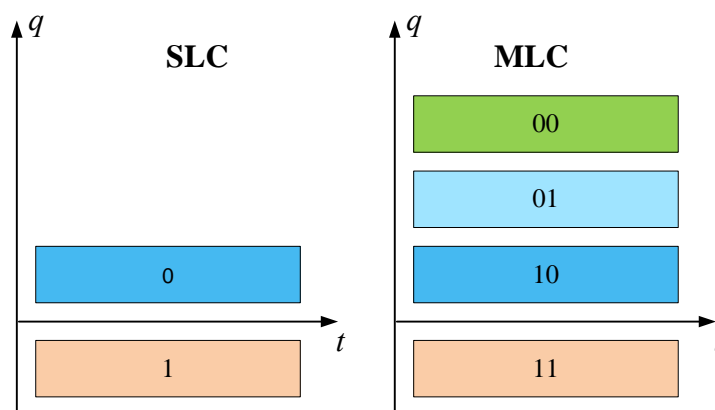


Рис. 15.13. Відображення значення бітів інформації через величину заряду q на плаваючому затворі у комірках з технологією SLC та MLC

Флеш-пам'ять з технологією MLC (Multi-Level Cell – багаторівневі комірки пам'яті) більш ємна й дешева, але вона має більший час доступу й меншу кількість циклів запису/зтирання (близько 10000).

Флеш-пам'ять, з технологією SLC (Single-Level Cell – однорівневі комірки пам'яті) має максимальну кількість циклів запису/зтирання 100000 і має менший час доступу.

Зміна заряду (запис/стирання) виконується встановленням між затвором і джерелом великого потенціалу, щоб напруженість електричного поля в тонкому діелектрику між каналом транзистора й кишенею виявилася достатньою для виникнення тунельного ефекту. Для посилення ефекту тунелювання електронів у кишенею при запису застосовується невелике прискорення електронів шляхом пропускання струму через канал польового транзистора.

Принцип роботи флеш-пам'яті заснований на зміні й реєстрації електричного заряду в ізольованій області ("кишені") напівпровідникової структури.

Читання виконується польовим транзистором, для якого кишень виконує роль затвора. Потенціал плаваючого затвору змінює граничні характеристики транзистора, що й реєструється колами читання. Ця конструкція забезпечується елементами, які дозволяють їй працювати у великому масиві таких же комірок.

Розглянемо більш докладно комірки пам'яті з одним і двома транзисторами.

Комірка пам'яті з одним транзистором

Структура такої комірки наведена на рис. 15.14. Якщо на керуючий затвор подати позитивну напругу (ініціалізація комірки пам'яті) то транзистор буде перебувати у відкритому стані, що буде відповідати логічному нулю.

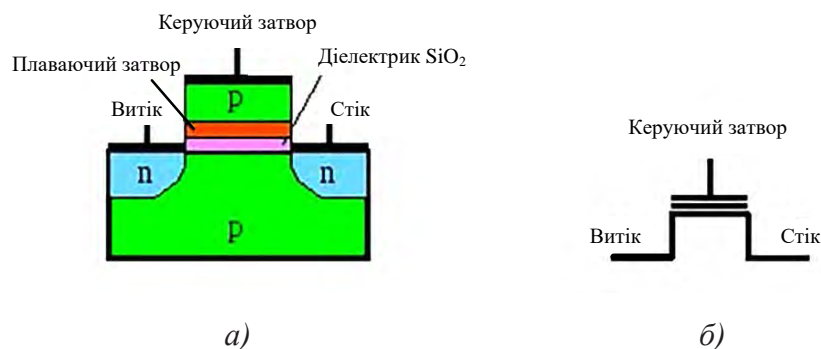


Рис. 15.14. Структура польового транзистора з плаваючим затвором (а) та його умовне графічне позначення (б)

Стан комірки в залежності від напруги на керуючому затворі введений на рис. 15.15.

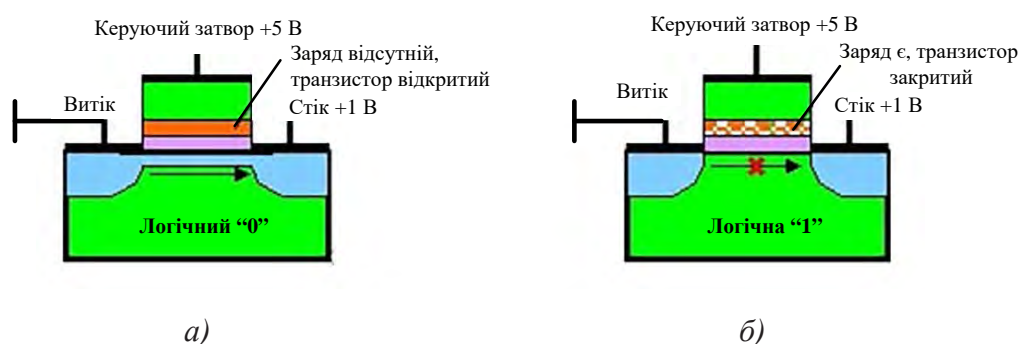


Рис. 15.15. Зчитування логічного "0" (а) та логічної "1" (б) з комірки пам'яті на основі польового транзистора з плаваючим затвором

Якщо на плаваючий затвор додати надлишковий негативний заряд і подати позитивну напругу на керуючий затвор, то він компенсує створюване керуючим затвором електричне поле й не дасть утворюватися каналу провідності, а значить транзистор буде перебувати в закритому стані (рис. 15.15,б).

Таким чином, наявність або відсутність заряду на плаваючому затворі точно визначає стан відкритий або закритий транзистор, коли подається одна й та ж позитивна напруги на керуючий затвор. Якщо ми будемо розглядати подачу напруги на керуючий затвор, як ініціалізацію комірки пам'яті, то по тому, яка напруга між джерелом і стоком можна судити про наявність або відсутність заряду на плаваючому затворі.

У такий спосіб виходить своєрідна елементарна комірка пам'яті, здатна зберігати один інформаційний біт. До всього цього дуже важливо, щоб заряд на плаваючому затворі (якщо він там є) міг зберігатися там довго, як при ініціалізації комірки пам'яті, так і при відсутності напруги на керуючому затворі. Тільки в цьому випадку комірка пам'яті буде енергонезалежною.

Розглянемо яким чином на плаваючий затвор поміщати заряд (записувати вміст комірки пам'яті) і видаляти його (стирати вміст комірки пам'яті).

Помістити заряд на плаваючий затвор (процес запису) можна методом інжекції гарячих електронів (CHE – Channel Hot Electrons) або методом тунелювання Фаулера-Нордхейма.

Якщо використовується метод інжекції гарячих електронів, то на стік і керуючий затвор подається висока напруга, що додає електронам у каналі енергії, достатньої щоб перебороти потенційний бар'єр, що створюється тонким шаром діелектрика, і направити (тунелювати) в область плаваючого затвора (під час читання на керуючий затвор подається менша напруга й ефект тунелювання не відбувається).

Щоб видалити заряд із плаваючого затвора (виконати стирання комірки пам'яті) на керуючий затвор подається висока негативна напруга (близько 9 В), а на область витоку подається позитивна напруга. Це приводить до того, що електрони тунелюються з області плаваючого затвора в область витоку. У такий спосіб відбувається квантове тунелювання Фаулера-Нордхейма (Fowler-Nordheim).

Транзистор із плаваючим затвором це елементарна комірка флеш-пам'яті. Але комірки з одним транзистором мають деякі недоліки, основним з яких є погана масштабованість. Це відбувається тому, що при створенні масиву пам'яті, кожна комірка пам'яті (тобто транзистор) підключається до двох перпендикулярних шин. Керуючі затвори підключаються до шини, що називають лінією слів (Word Line), а стоки з'єднують із шиною, яку називають бітовою лінією (Bit Line). У наслідку чого в схемі присутня висока напруга й при запису методом інжекції гарячих електронів і тому всі лінії (проводи) – слів, бітів і витоків потрібно розміщати на великій відстані одну від одної. Це дасть потрібний рівень ізоляції, але впливає на обмеження об'єму флеш-пам'яті.

Ще одним недоліком такої комірки пам'яті є присутність ефекту надлишкового видалення заряду із плаваючого затвору, а він не може компенсуватися процесом запису. У наслідку цього на плаваючому затворі утвориться позитивний заряд, що робить незмінним стан транзистора й він завжди залишається відкритим.

Комірка пам'яті із двома транзисторами

Двохтранзисторна комірка пам'яті, це модифікована одностранзисторна, у якій доданий звичайний КМОН-транзистор і транзистор із плаваючим затвором. У цій структурі звичайний транзистор виконує роль ізолятора транзистора із плаваючим затвором від бітової лінії.

Двохтранзисторна комірка має переваги, бо при її використанні можна створювати більше компактні й добре масштабовані мікросхеми пам'яті, тому що тут транзистор із плаваючим затвором ізолюваний від бітової лінії. На відміну від одностранзисторної комірки пам'яті, де інформація записується методом інжекції гарячих електронів, у двухтранзисторній комірці пам'яті для запису й стирання інформації використовується метод квантового тунелювання Фаулера - Нордхейма. Такий підхід дає можливість знизити напругу, яка необхідна для операції

запису. Двохтранзисторні комірки використовуються в пам'яті зі структурою NAND.

15.5.3 Пристрої флеш-пам'яті з архітектурою NOR

Всі керуючі затвори приєднані до лінії керування, що називається лінією слів (Word Line). Аналіз інформації комірки пам'яті виконується за рівнем сигналу на стоці транзистора. Всі стоки транзисторів приєднали до лінії, що називається лінією бітів (Bit Line), як показано на рис. 15.16.

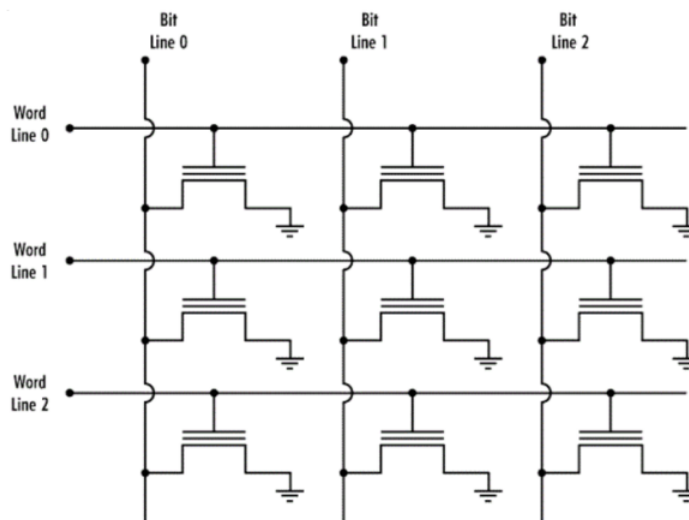


Рис. 15.16. Структура флеш-пам'яті з архітектурою NOR

Архітектура NOR одержала назву завдяки логічній операції АБО-НЕ (у перекладі з англійського NOR). Принцип логічної операції NOR полягає в тому, що вона над декількома операндами (дані, аргумент операції) дає одиничне значення, коли всі операнди дорівнюють нулю, і нульове значення у всіх інших операціях.

Під операндами мається на увазі значення комірок пам'яті, а значить у даній архітектурі одиничне значення на бітовій лінії буде спостерігатися тільки в тому випадку, коли значення всіх комірок, які підключені до біт-лінії, будуть дорівнювати нулю (всі транзистори закриті).

У цій архітектурі добре організований довільний доступ до пам'яті, але процес запису й стирання даних виконується відносно повільно. У процесі запису й стирання застосовується метод інжекції гарячих електронів. Мікросхеми флеш-пам'яті з архітектурою мають менший об'єм, бо розмір комірок досить великий.

Флеш-пам'ять із архітектурою NOR як правило використовують у пристроях для зберігання програмного коду. Це можуть бути телефони, BIOS системних плат та інші пристрої.

15.5.4 Пристрої флеш-пам'яті з архітектурою NAND

Цей тип пам'яті був розроблений компанією Toshiba. Ці мікросхеми завдяки своїй архітектурі застосовують у мініатюрних накопичувачах.

Назва NAND походить від логічної операції І-НІ (NAND англійською). При виконанні операція І-НІ дає значення нуль тільки, коли всі операнди дорівнюють одиниці, і одиничне значення у всіх інших випадках.

В архітектурі NAND бітова лінія має нульове значення в тому випадку, коли всі підключені до неї транзистори відкриті, і значення один, коли хоча б один із транзисторів закритий. Таку архітектуру можна побудувати, якщо приєднати транзистори з бітовою лінією не по одному (так побудоване в архітектурі NOR), а послідовними серіями (стовпець із послідовно включеними комірками), як показано на рис. 15.17.

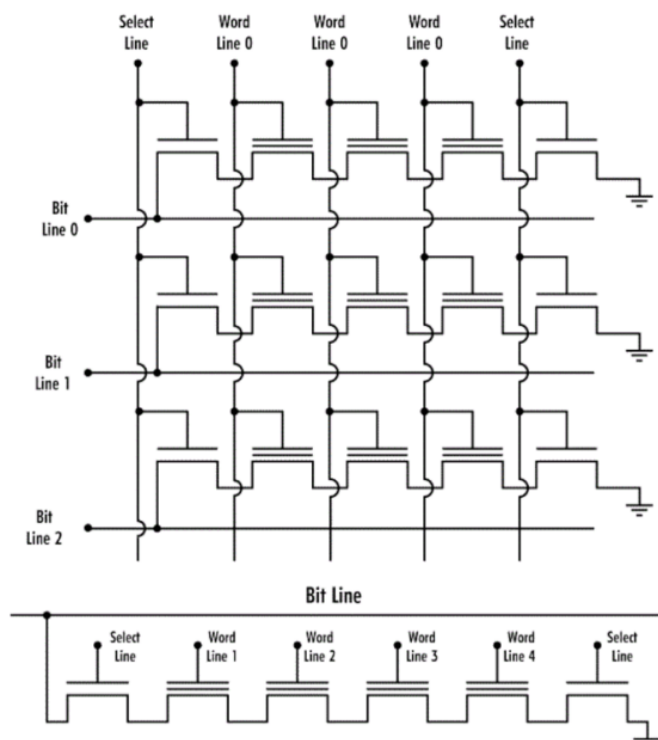


Рис. 15.17. Структура флеш-пам'яті з архітектурою NAND

Дана архітектура в порівнянні з NOR добре масштабується тому, що дозволяє щільно розмістити транзистори на кристалі. Крім цього архітектура NAND робить запис шляхом тунелювання Фаулера - Нордхейма, а це дозволяє реалізувати більш швидким процес запису ніж у структурі NOR. Щоб збільшити швидкість читання, у мікросхеми NAND вбудовують внутрішню кеш-пам'ять.

Як і кластери жорсткого диска так і осередку NAND групуються в невеликі блоки. Із цієї

причини при послідовному читанні або запису перевага у швидкості буде в NAND. Але з іншої сторони NAND сильно програє в операції з довільним доступом і не має можливості працювати на пряму з байтами інформації. У ситуації коли потрібно змінити всього декілька біт, система змушена переписувати весь блок, а це якщо враховувати обмежене число циклів запису, веде до великого зношування комірок пам'яті.

15.6 Приклади використання запам'ятовуючих пристроїв

15.6.1 Цифрова лінія затримки

Використовуючи оперативні запам'ятовуючі пристрої можна побудувати цифрову лінію затримки. Такі лінії затримки можна використовувати для створення різних звукових ефектів: луна, реверберація, хорус та інших. Крім того такі пристрої можуть бути використані для формування складних модульованих сигналів, корекції спотворень часового масштабу цифрових сигналів та іншого.

На рис. 15.18 наведена спрощена функціональна схема цифрової лінії затримки для одного розряду цифрового сигналу. Для багаторозрядного сигналу потрібно використати багаторозрядний запам'ятовуючий пристрій і багаторозрядні паралельні регістри замість D-тригерів T1 та T2. В схемі на рис. 15.23 кількість інформаційних розрядів дорівнює $M = 1$.

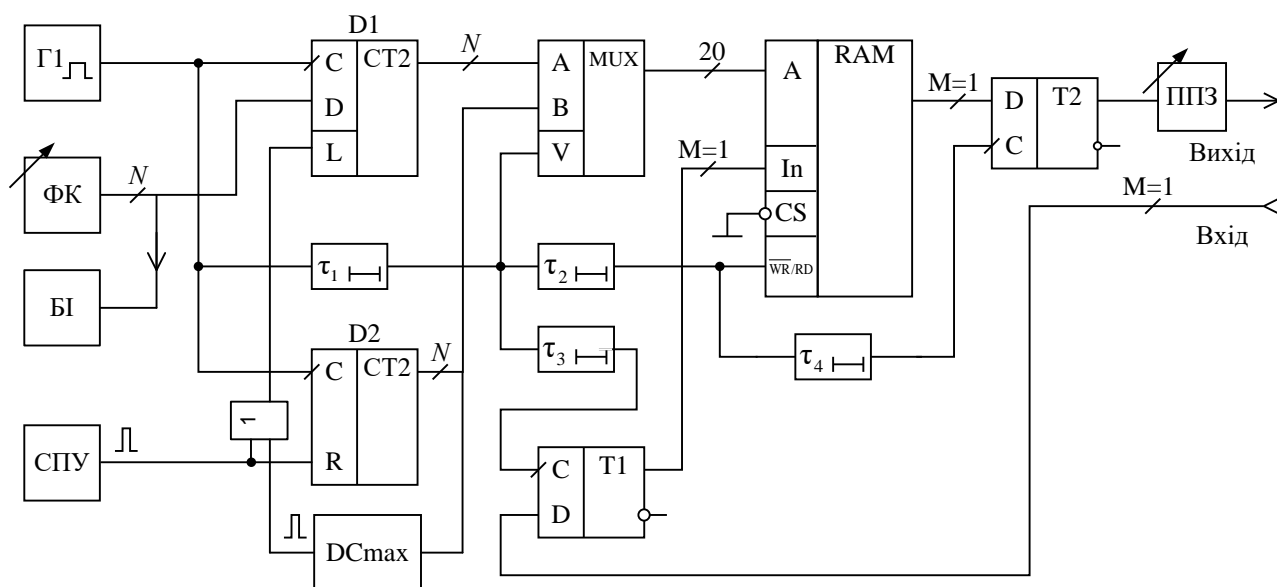


Рис. 15.18. Спрощена функціональна схема цифрової лінії затримки

На функціональній схемі лінії затримки прийняті наступні позначення:

- D1– лічильник запису, починає рахунок із числа, рівного величині заданої затримки;

- D2 – лічильник зчитування, починає рахунок з нуля, і закінчує його при величині коду, що відповідає максимальній величині затримки;
- Г1 – генератор прямокутних імпульсів, період яких менше або дорівнює припустимому часу погрішності;
- БІ – блок індикації;
- ФК – формувач коду, який дорівнює величині часу затримки (записується у лічильник запису, як початковий стан);
- СПУ – схема початкової установки, записує після включення у лічильник запису код, встановлений на виході формувача коду, а лічильник зчитування у "0";
- DCмах – дешифратор максимального коду;
- τ_1 – затримка синхроімпульсу з виходу генератора Г1, необхідна для компенсації затримки у лічильниках запису та зчитування;
- τ_2 – затримка синхроімпульсу, необхідна для компенсації часу затримки у мультиплексорі та часу вибірки адреси пам'яті (час доступу) оперативного запам'ятовуючого пристрою;
- Т – D-тригери, для зберігання вхідних та вихідних даних на один такт роботи лічильників;
- τ_3 – затримка даних на вході ОЗУ стосовно моменту зміни адрес;
- τ_4 – дозволяє вибрати потрібний момент зчитування стосовно моменту зміни адреси;
- MUX – мультиплексор;
- RAM – оперативний запам'ятовуючий пристрій, за допомогою якого забезпечуються необхідна величина затримки;
- ППЗ – пристрій плавної затримки.

Величина затримки визначається різницею адрес комірок ОЗП (RAM) – у яку здійснюється запис, і з якої здійснюється зчитування. Ці адреси формуються відповідно лічильником "запису" (D1) і лічильником "зчитування" (D2), і по чергово подаються мультиплексором на адресні входи ОЗП. Вхідні дані записуються у D-тригер і подаються на вхід In ОЗП.

Для забезпечення можливості зміни часу затримки в схемі передбачений формувач коду, що дозволяє дискретно змінювати час затримки. У схемі передбачений блок індикації, що показує величину встановленої затримки затримки.

Схема початкової установки, що формує короткий імпульс при включенні схеми, призначена для встановлення у нуль лічильника "зчитування" і запису у лічильник "запису" коду, що відповідає обраній величині затримки. З цього коду буде починатись рахунок лічильника

запису.

Принцип дії дуже простий. Наприклад, ОЗП має 1024 комірок і при включенні живлення запис здійснюється у комірку з номером 512, а зчитування почнеться з комірки з номером 1. Запис і зчитування здійснюються з частотою 10 кГц (період слідування імпульсів 0,1 мс). Тоді на протязі часу $t_{\text{такт}} = (N_{\text{зап}} - N_{\text{зчит}})$, де $t_{\text{такт}}$ – період слідування тактових імпульсів з виходу генератора ПІ, $N_{\text{зап}}$ – номер комірки в яку здійснюється запис, $N_{\text{зчит}}$ – номер комірки з якої здійснюється зчитування.

Для розглянутого прикладу $t_{\text{затр}} = t_{\text{такт}}(N_{\text{зап}} - N_{\text{зчит}}) = 0,1 \cdot 10^{-3}(512 - 1) = 5,11$ мс. Пристрій плавної затримки призначений для зміни тривалості затримки у межах одного такту імпульсів синхронізації. Реалізується такий пристрій за допомогою однобібратора.

15.6.2 Цифровий ревербератор з можливістю створення ефекту "луна"

Якість звуку, який ми чуємо, сильно залежить від акустичних особливостей навколишнього простору або приміщення. Звукова енергія, що випромінюється в простір, відбивається від різних поверхонь, і слухач сприймає сумарний звук, утворений численними відбиттями, що приходять із різних напрямків і поступово слабшають через втрату енергії. Людині дуже неприємно перебувати в приміщенні де повністю відсутня реверберація, і навпаки, у великому соборі виникає враження величезного простору, пов'язане з дуже високим рівнем реверберації. У проміжних випадках слухач теж сприймає акустику навколишнього простору, але робить це не зовсім усвідомлено. Проте, для людського вуха реверберація є дуже важливим фактором. Різниця між чудовим концертним залом і посередньою аудиторією майже повністю пов'язана з наявністю й силою реверберації. Для імітації акустичних характеристик призначені електронні пристрої, що мають назву ревербератори.

Принцип дії більшості цифрових ревербераторів заснований на схемі, запропонований Шредером. Вона являє собою паралельно-послідовне з'єднання гребінчастого й всепропускаючих фільтрів. Гребінчасті фільтри (рис. 15.19) визначають час реверберації (забезпечують реверберацію на протязі тривалого часу), а всепропускаючі (рис. 15.20) – ефект "луни" (необхідну щільність потоку сигналів "луни" у початковий момент ревербераційного відгуку).

Ревербератор будується з декількох подібних ланок. Загальне число затриманих сигналів, час затримки, рівні сигналів (обумовлені коефіцієнтами g), їхня фаза визначають характер і якість реверберації. Підбором цих і деяких інших параметрів імітуються характерні особливості звучання в різних приміщеннях.

Функціональна схема гребінчастого фільтру наведена на рис. 15.21. Вона побудована як

комбінована аналого-цифрова система. Вхідний сигнал надходить на вхід аналогового суматора (Σ), де відбувається операція складання вхідного сигналу і сигналу зворотного зв'язку, що формується за допомогою цифро-аналогового перетворювача (ЦАП), управляемого атенюатора (УАт) та формувача коду (ФК).

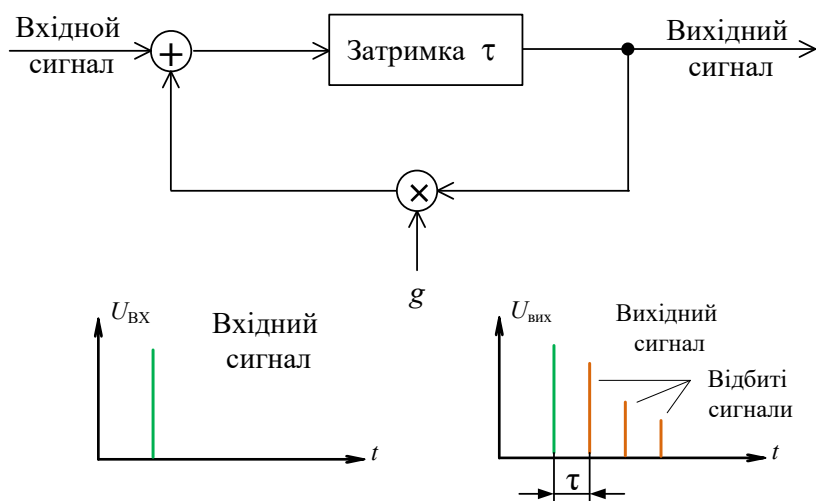


Рис. 15.19. Структурна схема гребінчастого фільтру та сигнали на його вході та виході

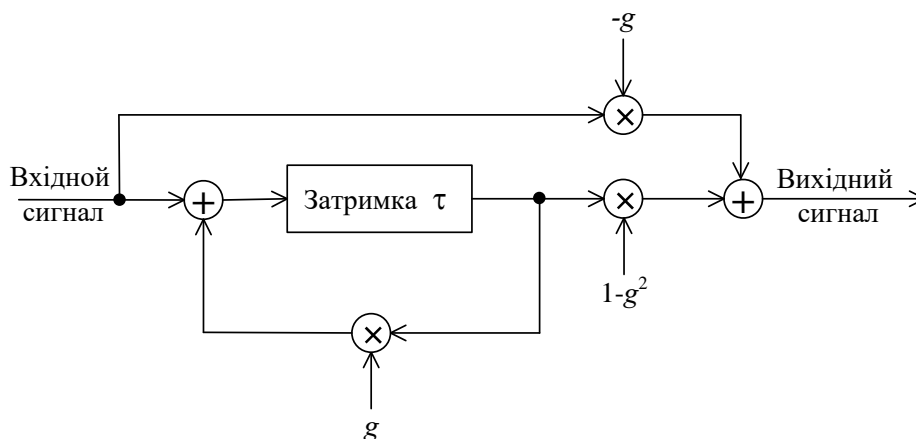


Рис. 15.20. Структурна схема всепропускаючого фільтру

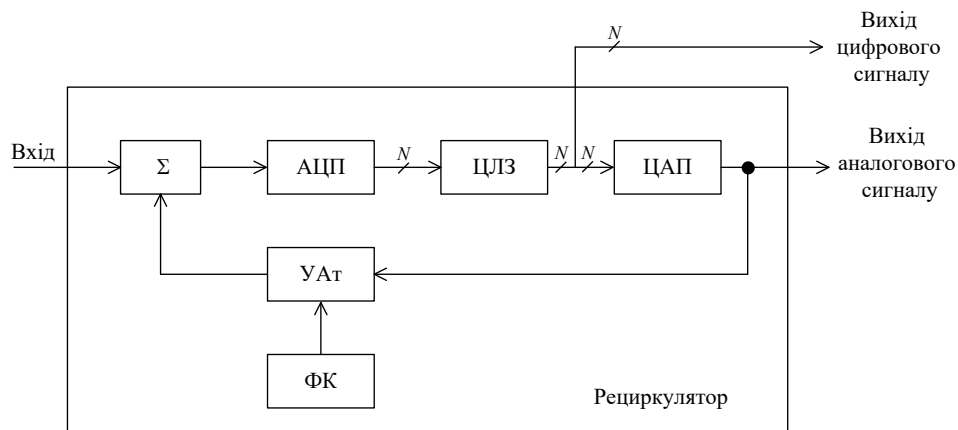


Рис. 15.21. Функціональна схема гребінчастого фільтру

Вихідний сигнал суматора подається на вхід аналого-цифрового перетворювача (АЦП), який здійснює перетворення аналогового сигналу у пропорційний йому цифровий код.

Цей код надходить на вхід цифрової лінії затримки (ЦЛЗ), побудованою за схемою наведеною на рис. 15.18. З виходу ЦЛЗ сформований сигнал у цифровому вигляді надходить на цифровий вихід, а перетворений у аналоговий сигнал за допомогою ЦАП – на аналоговий вихід.

Аналоговий сигнал з виходу ЦАП подається на вхід управляемого атенюатора. Це пристрій який дозволяє змінювати коефіцієнт передавання сигналу від його входу до виходу під дією коду, що подається на вхід управління від формувача коду.

Принципи побудови ЦАП, УАт та АЦП будуть розглянуті у наступних розділах.

15.7 Моделювання роботи запам'ятовуючих пристроїв

У повній версії програми Multisim є можливість моделювання мікропроцесорних пристроїв, до яких під'єднані як елементи пам'яті, так і інші пристрої. Але є можливість використати елементи доступні в безоплатній версії програми для імітації роботи постійних запам'ятовуючих пристроїв. Також є можливість використання вже запрограмованих ОЗП, шляхом копіювання з моделей, які містять такі елементи.

У бібліотеках Multisim Analog Devices Edition відсутні елементи постійних запам'ятовуючих пристроїв (ПЗП) й тому модель такого пристрою необхідно створювати самостійно. Враховуючи, що однократно програмовані ПЗП містять плавкі перемички й у вихідному стані на їхніх виходах формуються рівні логічного 0, комірку пам'яті можна реалізувати за допомогою одного постійного резистора й дрової перемички, яка включається між загальним проводом і виводом резистора. Другий вивід резистора підключається до джерела живлення +5 В. Якщо перемичку вилучити, на виході такої комірки буде сформований рівень логічної 1.

Для того щоб одержати доступ до кожної комірки пам'яті можна використовувати мультиплектори. Враховуючи обмеження на число компонентів у безкоштовній версії NI Multisim у пропонованій схемі, реалізоване 6-розрядний ПЗП, у кожному з розрядів якого є вісім комірок пам'яті.

Для комутації такого числа комірок у кожному розряді досить мати один мультиплектор 8×1 . Адресні входи всіх мультиплекторів з'єднані паралельно, а зростаючий у часі код керування ними формується за допомогою генератора слів.

Для перетворення коду зчитаного з ПЗП в напругу призначено 8-розрядний цифро-аналоговий перетворювач. Така схема дозволяє реалізувати сигнал довільної форми. Для цього досить у комірки ПЗП записати потрібний код.

Схема моделі, що реалізує такий ПЗП, схему керування й ЦАП, наведена на рис. 15.22, а осцилограми сигналів – на рис. 15.23.

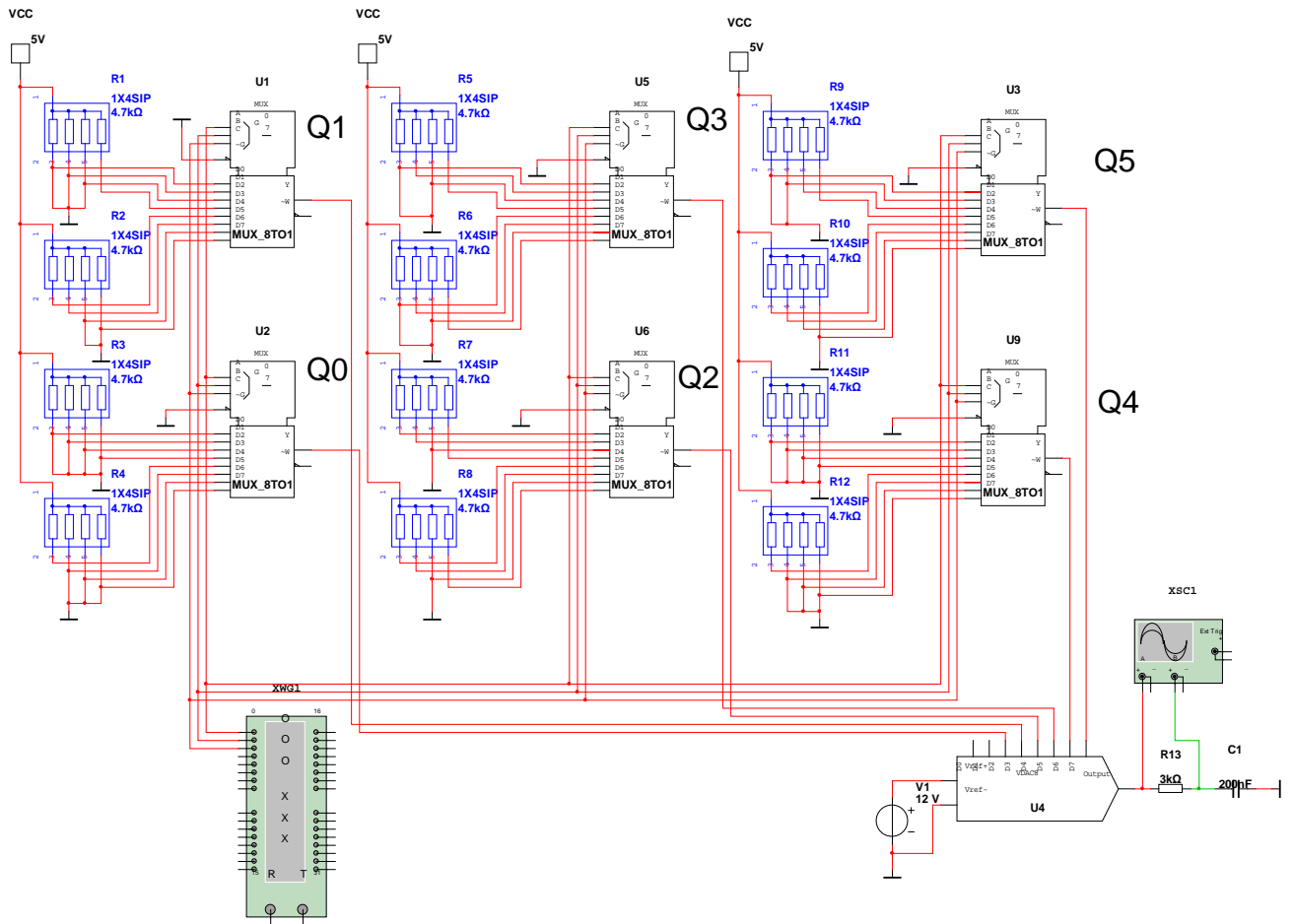


Рис. 15.22. Генератор сигналу близького по формі до синусоїдального на основі ПЗП

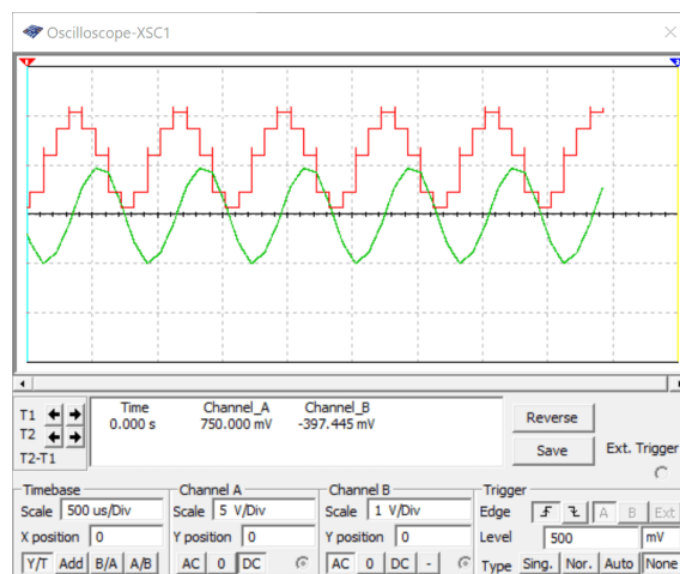


Рис. 15.23. Осцилограми сигналів на виході ЦАП (червона) та фільтра нижніх частот

Для покращення форми сигналу потрібно збільшити кількість сходинок сигналу, що апроксимують синусоїдальний сигнал. Для цього потрібно збільшити кількість комірок ПЗП, тобто використовувати мікросхеми з кількістю комірок більше ніж 256 і кількістю розрядів не менше 8. В сучасних цифрових генераторах сигналів довільної форми використовують 10-розрядний код для формування сигналів.

Контрольні запитання

1. Для чого призначені ПЗП?
2. Як організовані схеми ПЗП і на яких ЗЕ вони виконуються?
3. Як можна задавати 0 і 1 у матричних ПЗП?
4. Як програмуються однократно програмовані ПЗП?
5. На яких елементах виконуються РПЗП?
6. Поясніть принцип роботи ЗЕ РПЗП.
7. Як здійснюється запис інформації в РПЗП?
8. Перелічіть цифрові схеми, що можуть бути віднесені до програмованих логічних пристроїв.
9. Назвіть основні складові частини ПЛІС.
10. Чим пояснюється функціональна гнучкість ПЛІС?
11. Для чого призначені ОЗП?
12. Назвіть основні параметри запам'ятовуючих пристроїв.
13. Що таке елементарна запам'ятовуюча комірка?
14. У чому полягає принцип побудови ІС ОЗП з одномірною адресацією; із словарною адресацією?
15. Наведіть приклади енергонезалежних ЗЕ для побудови ОЗП
16. Наведіть структуру ІС динамічного ОЗП
17. У чому полягає особливість динамічних ОЗП?

16 ЦИФРО-АНАЛОГОВІ ПЕРЕТВОРЮВАЧІ

16.1 Загальні поняття про цифро-аналогові перетворювачі

Цифро-аналогові перетворювачі (ЦАП) виконують функції перетворення цифрової інформації в аналоговий електричний сигнал. Іншими словами, ЦАП кожному значенню перетвореного коду ставлять у відповідність певне значення величини електричного сигналу. Вихідний електричний сигнал формується у вигляді електричної напруги або струму, функціонально пов'язаного із перетворюваним (керуючим) кодом. Ця функціональна залежність повинна бути лінійною.

На рис. 16.1 наведені графіки залежності зміни коду на входах ЦАП та вихідної напруги ідеального ЦАП від часу та передатна функція такого перетворювача. Очевидно, що вона буде східчастою. Висота сходинки відповідає значенню молодшого розряду коду на входах.

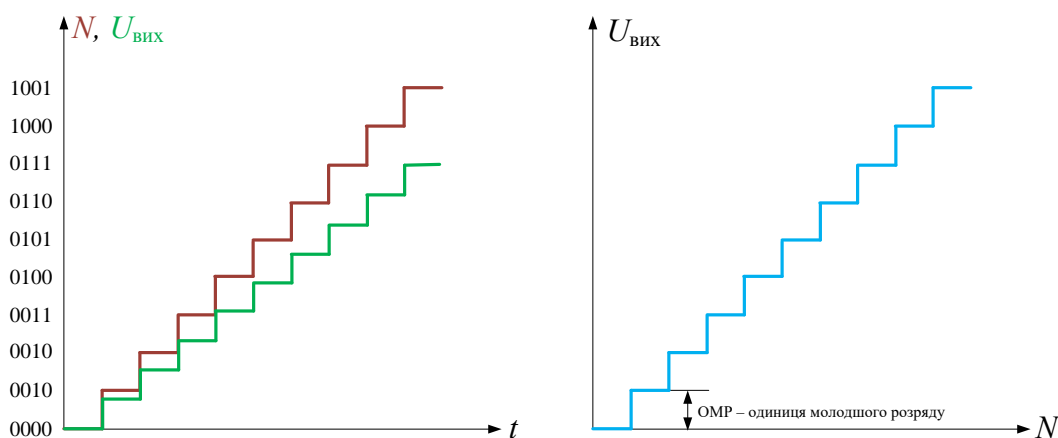


Рис. 16.1. Графіки залежності зміни коду на входах ЦАП та вихідної напруги ідеального ЦАП від часу (а) та передатна функція ідеального ЦАП (б)

Інтегральна лінійність перетворювача якісно характеризує відхилення вихідного лінійно наростаючої напруги від ідеальної прямої у всьому діапазоні перетворення. У якісних перетворювачах це відхилення не повинне перевищувати $\pm 0,5$ значення молодшого значущого розряду, що найчастіше називають одиницею молодшого розряду – ОМР.

Всі параметри ЦАП прийнятий розділяти на дві групи: статичні й динамічні. До статичних параметрів відносять: роздільну здатність, погрішність перетворення, діапазон значень вихідного сигналу, зсув нульового рівня й т.п. Динамічні параметри визначають: час установлення вихідного сигналу (час перетворення), граничну частоту перетворення й динамічну погрішність. Крім того, перетворювачі характеризуються стандартним набором параметрів, наприклад споживаною потужністю, напругою харчування й т.д.

16.2 Цифро-аналоговий перетворювач на основі "зважуючих" резисторів

Найбільш просте рішення при побудові ЦАП – використання так званих "вагових" резисторів. Такий ЦАП найчастіше будується на основі інвертуючого суматора (рис. 16.2).

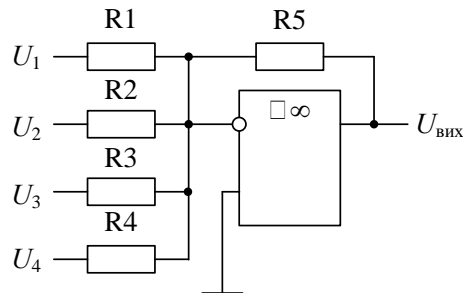


Рис. 16.2. Інвертуючий суматор

Вихідна напруга на виході інвертуючого суматора дорівнює

$$U_{\text{вих}} = - \left[U_1 \frac{R_5}{R_1} + U_2 \frac{R_5}{R_2} + U_3 \frac{R_5}{R_3} + U_4 \frac{R_5}{R_4} \right].$$

Цифро-аналоговий перетворювач, побудований на основі інвертуючого суматора, має вигляд, наведений на рис. 16.3.

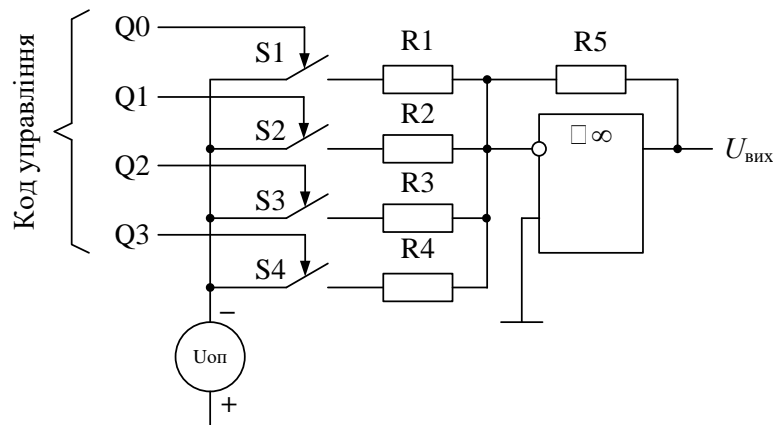


Рис. 16.3. Функціональна схема ЦАП на основі "зважуючих" резисторів

Код управління, який потрібно перетворити в аналоговий сигнал, подається на входи управління аналоговими ключами S1...S4. Коли значення коду дорівнює "0" аналоговий ключ розімкнений, коли "1" – замкнений.

Якщо значення коду на входах управління дорівнює 0000, то всі ключі розімкнені і

напруга на вході операційного підсилювача (ОП) дорівнює нулю.

При подачі на входи управління коду 0001 замикається ключ S1 і на виході ОП формується напруга $U_{\text{вих}}(0001) = U_{\text{оп}}R_5/R_1$. Якщо код управління 0010, то напруга на виході дорівнює $U_{\text{вих}}(0010) = U_{\text{оп}}R_5/R_2$. Виходячи з рис. 16.3, сходинка при включенні ключа S2 другого розряду повинна бути у 2 рази вищою, ніж при включенні ключа S1 першого розряду. Аналогічно при включенні ключа третього розряду S3 висота сходинки повинна бути у 2 рази вищою ніж при включенні ключа другого розряду.

З урахуванням цього, якщо позначити опір резистора четвертого розряду як R, то тоді опір резисторів молодших розрядів буде відповідати співвідношенню 1:2:4:8. Тоді функціональна схема приймає вигляд наведений на рис. 16.4.

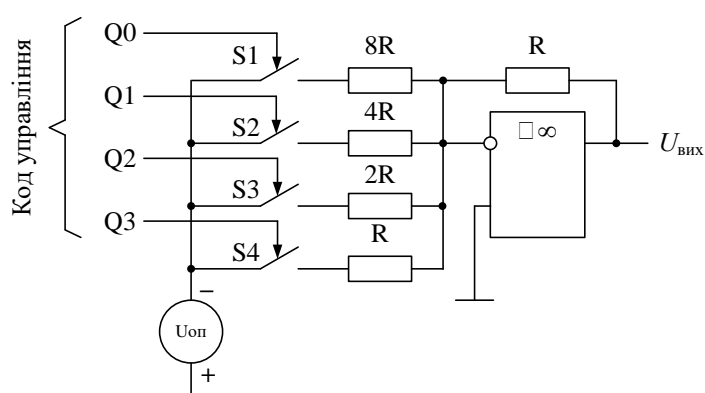


Рис. 16.4. Функціональна схема ЦАП з позначенням опорів "зважуючих" резисторів

Для такої схеми значенню коду на входах управління ЦАП 1000 відповідає напруга на виході $U_{\text{вих}} = U_{\text{оп}}$, коду 0100 – $U_{\text{вих}} = U_{\text{оп}}/2$, коду 0010 – $U_{\text{вих}} = U_{\text{оп}}/4$, а коду 0001 – $U_{\text{вих}} = U_{\text{оп}}/8$.

Розглянемо приклад формування вихідної напруги при появі декількох "1" у коді управління. Наприклад, код дорівнює 1001. Тоді вихідна напруга буде формуватися з двох складових $U_{\text{вих}} = U_{\text{оп}} + U_{\text{оп}}/8$. Аналогічно буде формуватися напруга при інших значеннях коду.

Недоліком такої організації ЦАП є великий розкид значень "вагових" резисторів. Наприклад при числі розрядів коду управління рівному 8 максимальний опір буде відрізнятися від мінімального опору у 256 разів. Технологічно неможливо виконати всі резистори в такому діапазоні з однаковою точністю неможливо. Тому такі ЦАП виконуються у вигляді блоків по 4 розряди, а потім блоки з'єднують між собою за допомогою масштабуючих дільників напруги.

Крім того, ключі, використовувані в ЦАП, мають кінцевий опір у замкненому стані, і слід урахувати їх і їх можливі відхилення. Внесок у вихідну напругу молодших розрядів буде найменшим, а старших – найбільшим.

16.3 Цифро-аналоговий перетворювач на основі матриці R-2R

ЦАП, побудований на основі матриці резисторів R-2R, у значній мірі позбавлений недоліків ЦАП на основі "зважуючих" резисторів. Опори резисторів відрізняються у 2 рази і схема організована як регулярно повторювана структура. Спрощена функціональна схема такого ЦАП наведена на рис. 16.5.

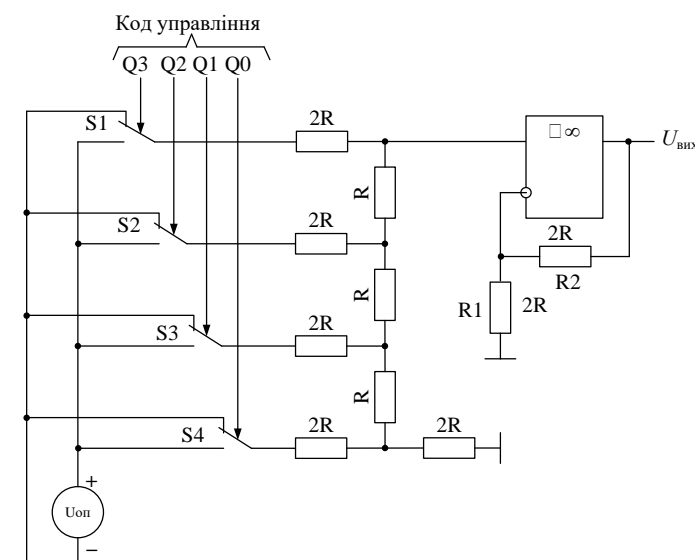


Рис. 16.5. Спрощена функціональна схема ЦАП з матрицею R-2R

Кожна ланка такої матриці ділить опорну напругу навпіл. Чим ближче до виходу матриці, тим більше значення напруги буде формуватися на її виході. Наприклад, при встановленні коду управління 1000 перемикається ключ S1 і на ділянку напруги, утворений резисторами матриці, подається опорна напруга $U_{оп}$. У точці, під'єднаній до неінвертуючого входу ОП, буде сформована напруга $U_{(1000)} = U_{оп}/2$. Коефіцієнт підсилення неінвертуючого підсилювача дорівнює 2 ($K_U = 1 + R_2/R_1$), що дозволяє отримати вихідну напругу рівною $U_{оп}$.

Якщо потрібно отримати більше або менше значення вихідної напруги, можна це зробити змінюючи коефіцієнт підсилення неінвертуючого підсилювача.

Кожна наступна ланка буде формувати напругу на виході у двічі меншу ніж попередня. Таким чином, якщо подати код управління 0001, то вихідна напруга буде складати $U_{оп}/8$.

Для обох типів розглянутих ЦАП застосовується лазерна підгонка опоры резисторів для збільшення точності й стабільності.

Окрім розглянутих способів побудови ЦАП, існує спосіб побудови з використанням конденсаторів, використовуючи метод перерозподілу зарядів.

16.4 Цифро-аналоговий перетворювач з перерозподілом зарядів

Такий ЦАП реалізований на конденсаторній матриці з відношенням ємностей кратним 2^n і одночасно виконує функцію пристрою вибірки/зберігання (ПВЗ), тобто відпадає необхідність у використанні ПВЗ. Роботу схеми (рис. 16.6) можна умовно розбити на три етапи. На першому етапі ключ S замкнутий, всі конденсатори підключені до вхідної шини й у конденсаторній матриці накопичується заряд, пропорційний вхідному сигналу $U_{вх}$ (режим "вибірки"). Потенціал на вході компаратора дорівнює 0. На другому етапі ключ S розімкнений, всі конденсатори підключаються до загального проводу. На вході компаратора напруга стає рівною $U_{вх}$, але зі зворотним знаком. Потім починається третій етап перерозподілу заряду. Включається старший розряд, тобто конденсатор 2^n підключається до шини $U_{оп}$, інші розряди підключені до загального проводу. На вході компаратора з'являється напруга $U = -U_{вх} + 0,5U_{оп}$. Залежно від значення вихідної напруги компаратора, контролер приймає рішення: підключати до загального проводу конденсатор 2^n або залишити в колишньому положенні. Якщо $U_{вх}$ менше вихідного сигналу ЦАП (на інвертуючому вході компаратора), то відповідний розряд АЦП встановлюється рівним 0, тобто приймається перше рішення й конденсатор 2^n підключається до загального проводу.

Відповідно до вищевикладеного алгоритму послідовного наближення, контролер перемикає конденсатори між $U_{оп}$ і загальним проводом доти, поки напруга на вході компаратора не стане рівною 0. У цьому випадку відношення сумарної ємності підключених до загального проводу конденсаторів і ємності, підключеної до $U_{оп}$, еквівалентно відношення $U_{вх}$ і $U_{оп}$.

Слід зазначити, що такий ЦАП може застосовуватися тільки в складі АЦП і не може бути реалізований у вигляді самостійного пристрою.

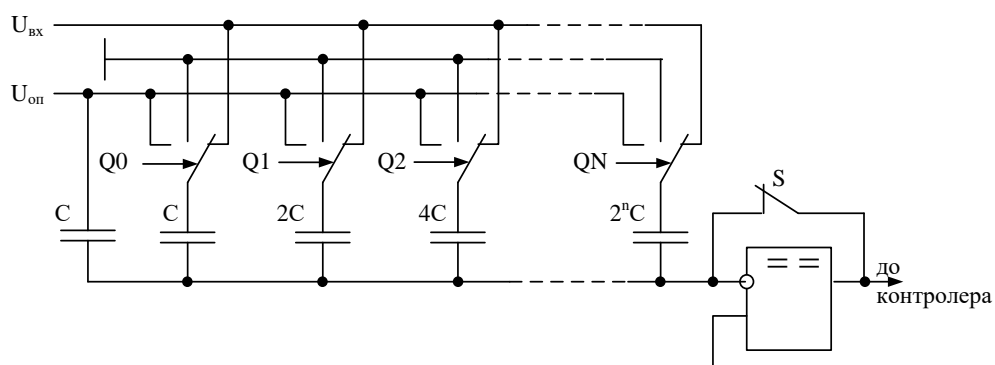


Рис.16.6. Функціональна схема ЦАП на основі перерозподілу заряду

16.5 ЦАП з однаковими резисторами

Цифро-аналогові перетворювачі з однаковими резисторами відрізняється надзвичайно низькою погрішністю й монотонністю характеристики перетворення для всіх значень коду. Монотонність характеристики перетворення особливо важлива для різного роду регуляторів напруги й струму, для атенюаторів і регуляторів підсилення.

Функціональна схема такого ЦАП наведена на рис. 16.7.

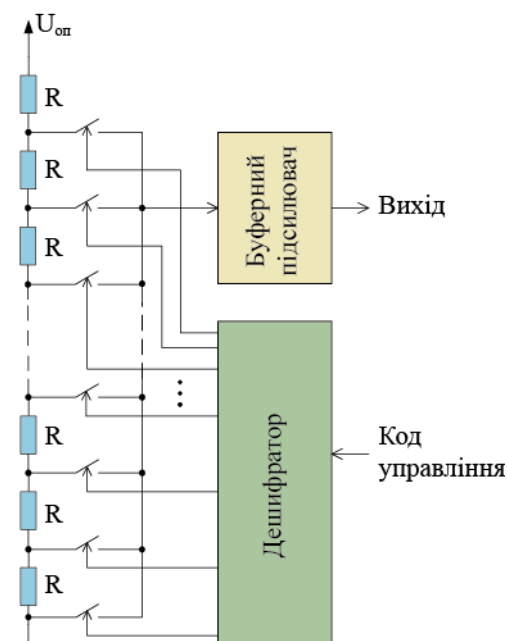


Рис. 16.7. Функціональна схема ЦАП з однаковими резисторами

Мала погрішність і монотонність характеристики перетворення забезпечуються способом побудови схеми матриці резисторів, що зважають, наведеної на рис. 16.7. Оскільки всі резистори мають однаковий номінал легко забезпечити високу точність їхнього виготовлення. Погрішність перетворення буде визначатися в основному параметрами ключів – опором у відкритому стані. Щоб зменшити вплив розкиду опорів відкритого ключа й виключити вплив навантаження на погрішність перетворення використовується буферний підсилювач з великим вхідним опором. Звичайно, у такій схемі потрібно 2^N ключів (N – кількість розрядів перетворення) і складний дешифратор. Для 8 розрядного перетворювача потрібно 256 ключів, а для 12 розрядного – 4096.

Вихідну напругу ЦАП можна розрахувати по формулі:

$$U_{\text{вих}} = (U_{\text{оп}} \cdot D) / 2^N,$$

де $U_{оп}$ – напруга зовнішнього опорного джерела, D – десятковий еквівалент двійкового коду, що подається на вхід управління дешифратора.

Буферний підсилювач із вихідним каскадом rail-to-rail може сформувати напругу на виході ЦАП у діапазоні від 0 до V_{DD} , де V_{DD} – напруга джерела живлення.

Такі ЦАП з кількістю розрядів 8, 10 і 12 випускаються компанією Analog Devices (сімейство AD5337/AD5338/AD5339). Вони забезпечують швидкість зростання вихідної напруги буферного підсилювача не менш ніж 0,7 В/мкс, що забезпечує встановлення вихідної напруги з точністю ± 0.5 ОМР (одиниці молодшого розряду) за час приблизно рівний 6 мкс.

Тобто швидкодія таких перетворювачів доволі низька, а точність перетворення дуже висока, що необхідно для регуляторів напруги та струму.

16.6 Параметри ЦАП

Точність перетворення і якість роботи ЦАП характеризують наступні статичні та динамічні параметри.

16.6.1 Статичні параметри

Роздільна здатність

Роздільна здатність (крок квантування) – зростання $U_{вих}$ ЦАП при зміні коду на вході на одиницю молодшого розряду. Знаходиться за формулою $\Delta U_{вих} = U_{оп}(2^n - 1)$, де n – кількість кроків квантування (сходинок).

Погрішність нелінійності δ_n

Максимальне відхилення від ідеальної прямої у всьому діапазоні перетворення (рис. 16.8).

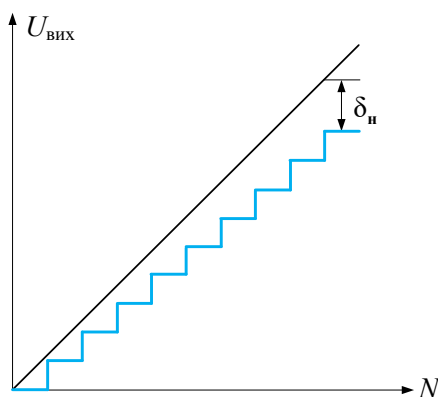


Рис. 16.8. Відображення погрішності нелінійності

Диференціальна погрішність нелінійності δ_d

Максимальне відхилення від ідеальної прямої для сусідніх сходинок вихідної напруги (рис. 16.9). Чисельно δ_d дорівнює максимальній різниці двох сусідніх сходинок вихідної напруги ЦАП.

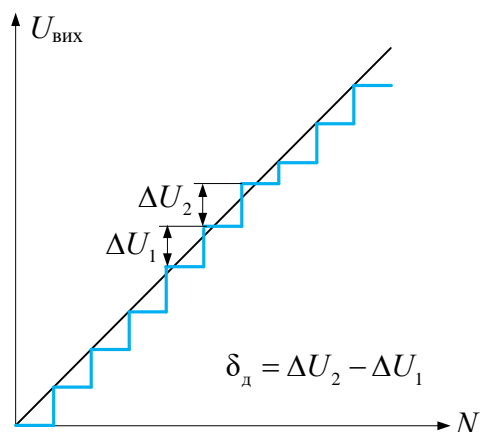


Рис. 16.9. Відображення диференціальної погрішності нелінійності

16.6.2 Динамічні параметри

Максимальна частота перетворення

Найбільша частота $f_{пр}$ зміни вхідного коду (дискретизації) при якій параметри ЦАП відповідають заданим значенням. Максимальна частота й час встановлення визначають швидкодію ЦАП.

Час затримки t_z

Інтервал часу за який напруга на виході ЦАП змінюється на 0,1 від значення, що відповідає, встановленому на входах ЦАП, коду.

Час зростання $t_{зр}$

Інтервал часу за який напруга на виході ЦАП змінюється від 0,1 до 0,9 від значення, що відповідає, встановленому на входах ЦАП, коду.

Час перемикання $t_{пер}$

Інтервал часу що дорівнює сумі часу затримки та часу зростання.

Час остаточного встановлення $t_{ост}$

Інтервал часу від моменту закінчення зростання до моменту встановлення вихідної напруги ЦАП у заданих межах d .

Час встановлення вихідної напруги або струму $t_{вст}$

Це інтервал часу від подачі вхідного двійкового коду до входження вихідного сигналу в задані межі d .

Швидкість зростання V_3

Швидкість зміни вихідної напруги можна знайти за формулою $V_3 = 0,8U_{\text{вих}} / t_{3p}$.

Динамічні параметри ЦАП ілюструє рис. 16.10.

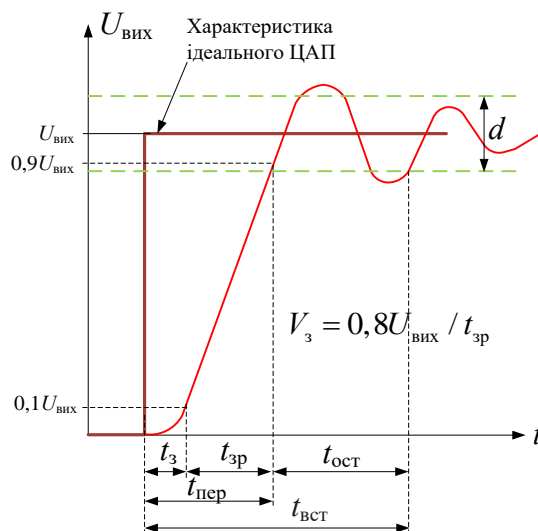


Рис. 16.10. Ілюстрація динамічних параметрів ЦАП

16.7 Дослідження роботи ЦАП за допомогою Multisim

16.7.1 Дослідження віртуального 8-розрядного ЦАП

Найпростіший спосіб познайомитись з роботою ЦАП полягає у використанні віртуальних цифро-аналогових перетворювачів (рис. 16.11), які знаходяться у бібліотеці Mixed. У цій бібліотеці є 8- та 16-розрядні ЦАП з виходом по напрузі (VDAC – 8-розрядний та VDAC16 – 16-розрядний) і струму (IDAC – 8-розрядний та IDAC16 – 16-розрядний).

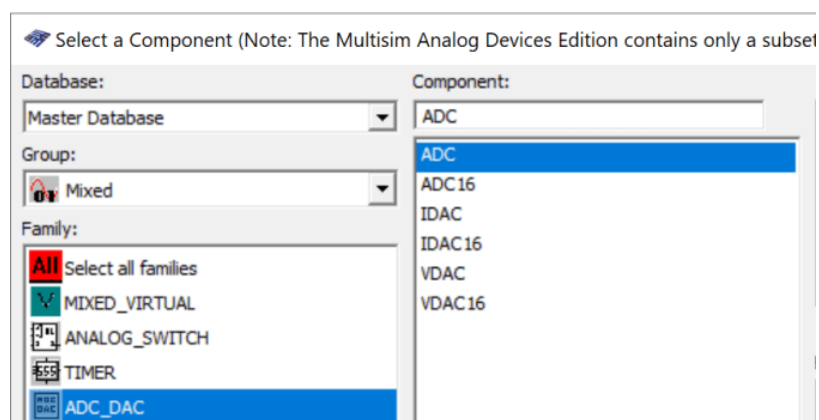


Рис. 16.11. Склад бібліотеки Mixed/ADC_DAC

Розглянемо роботу 8-розрядного ЦАП за допомогою моделі, наведеної на рис. 16.12. На входи управління ЦАП подається зростаючий код з виходів генератора слів XWG1 (Word Generator). На виході ЦАП формується зростаюча напруга, абсолютна величина якої залежить від значення опорної напруги, що подається на вхід V_{ref+} від джерела постійної напруги $V1$.

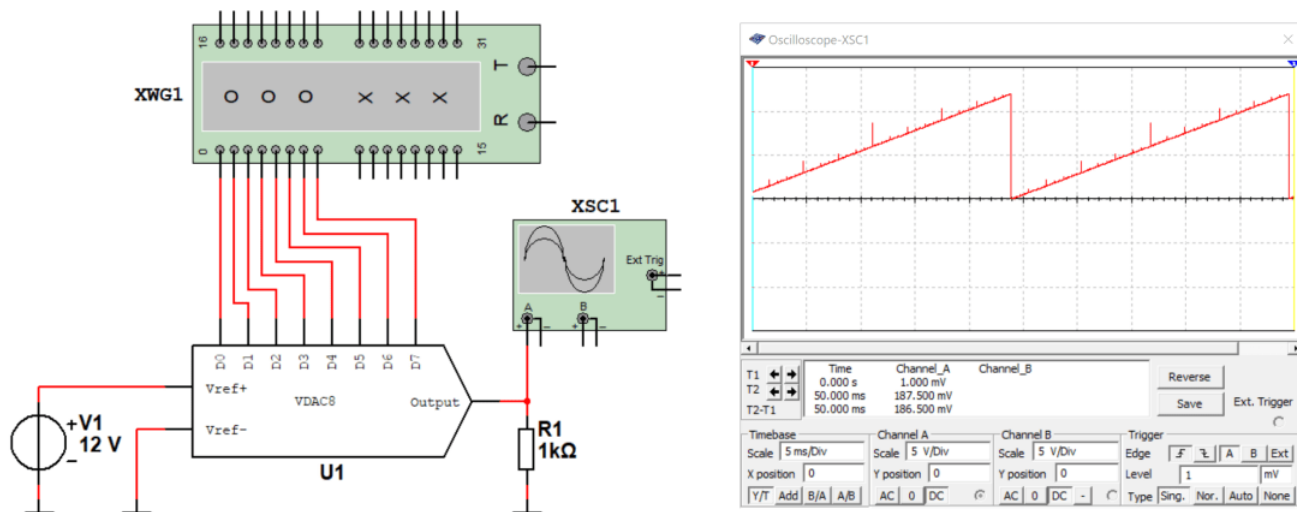


Рис. 16.12. Модель для дослідження 8-розрядного віртуального ЦАП

На осцилограмі вихідного сигналу спостерігаються викиди напруги в моменти коли починається включатися більш старший розряд. Найбільший викид спостерігається при включенні 8 розряду. Наявність викидів пояснюється неідеальністю ключів, що використовуються у ЦАП. Оскільки кожний ключ спрацьовує з затримкою, а схема управління ключами у складі ЦАП теж вносить затримку. Це призводить до того, що на короткому інтервалі часу (у момент спрацьовування ключа більш старшого розряду) ключі більш молодшого і більш старшого розряду обидва відкриті, що і призводить до викиду напруги у вигляді коротких імпульсів різної амплітуди. Нескладно побачити, що найбільший викид спостерігається посередині пилкодібного сигналу, що відповідає включенню 8-го розряду.

Слід зауважити, що у ЦАП можуть використовуватись ключі виконані на біполярних та польових транзисторах, що зумовлює різні можливості таких ЦАП.

При використанні біполярних транзисторів у складі ЦАП, опорна напруга повинна бути одного знаку (біполярний транзистор проводить струм тільки в одному напрямку). На виході такого ЦАП напруга може формуватися тільки в одному з квадрантів, як показано на рис. 16.13,а.

При використанні польових транзисторів ключ може пропускати струм в обох напрямках, що дозволяє формувати на виході напругу як позитивну, так і негативну і подавати на вхід V_{ref+} як позитивну, так і негативну напругу.

На рис. 16.14 наведена модель для дослідження ЦАП з від'ємною опорною напругою, а на

рис. 16.15 – з біполярною опорною напругою.

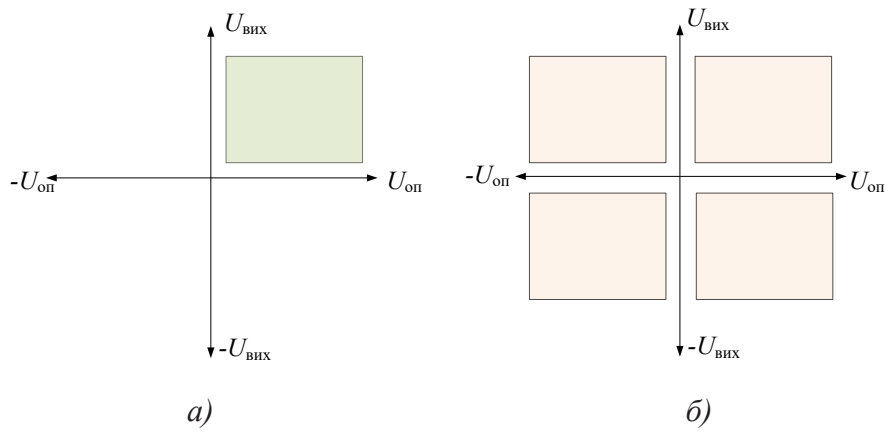


Рис. 16.13. Можливі варіанти формування вихідної напруги ЦАП з біполярними транзисторами в аналогових ключах

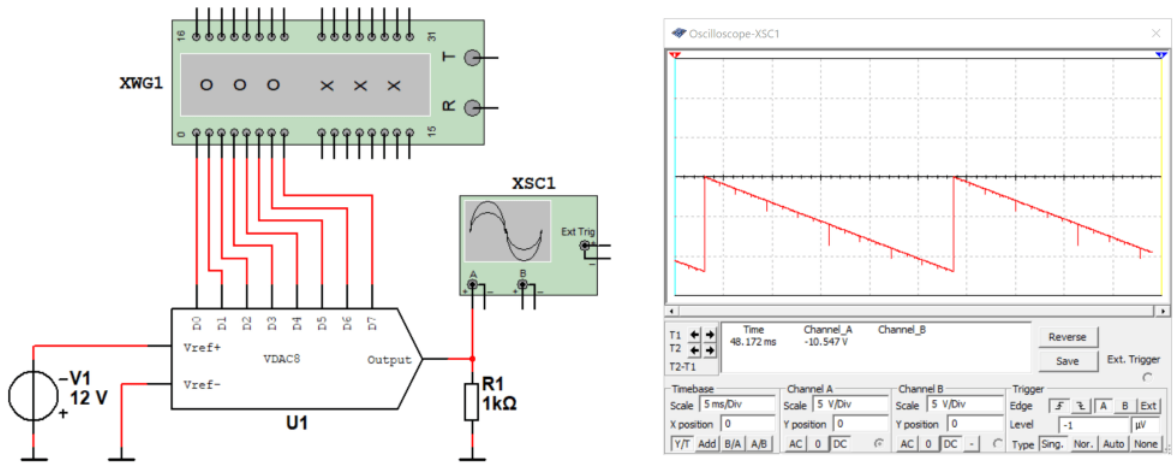


Рис. 16.14. Модель для формування від'ємної напруги на виході ЦАП

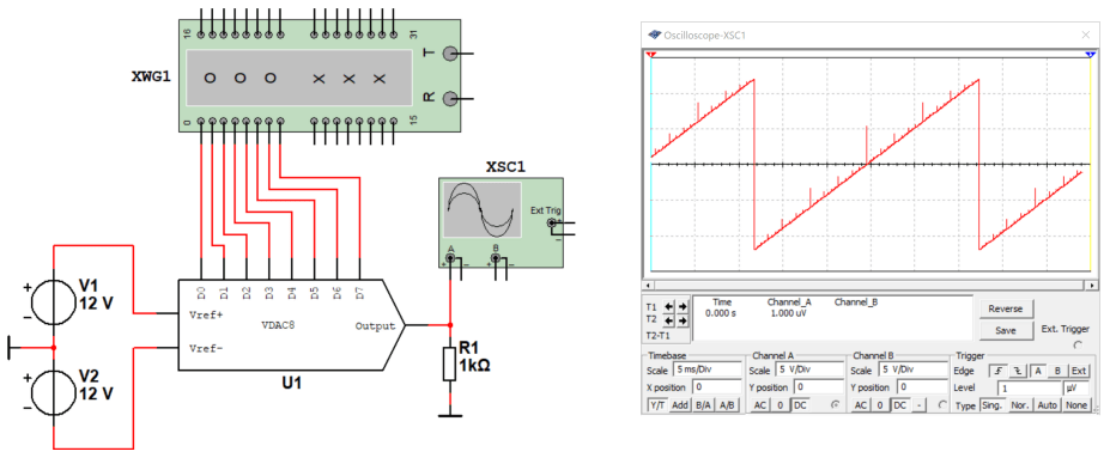


Рис. 16.15. Модель для формування біполярної напруги на виході ЦАП

З рис. 16.14 та 16.15 зрозуміло, що у віртуальних моделях ЦАП використовуються польові транзистори у аналогових ключах.

16.3.2 Дослідження ЦАП на основі "зважуючих" резисторів

Модель для дослідження ЦАП на основі "зважуючих" резисторів наведена на рис. 16.16. Призначення виводів аналогового ключа наведено на рис. 16.17.

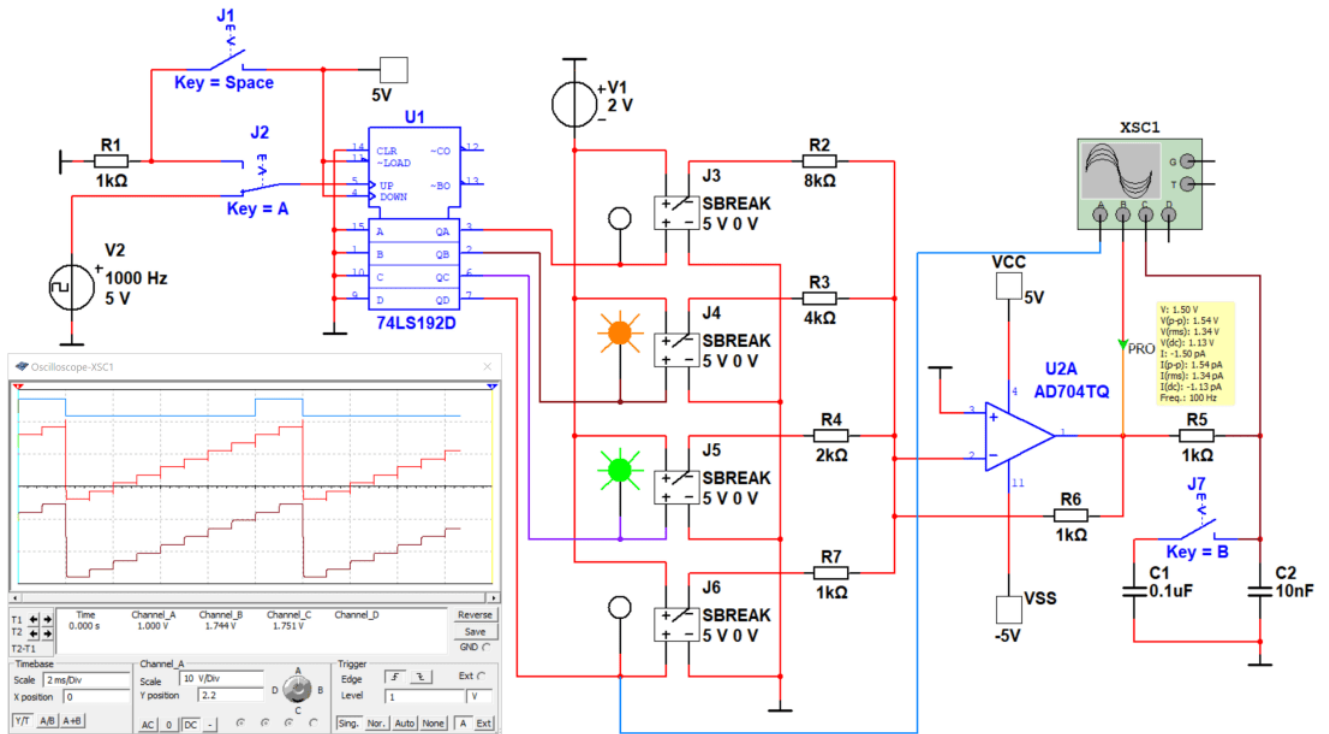


Рис. 16.16. Модель для дослідження ЦАП з "ваговими" резисторами

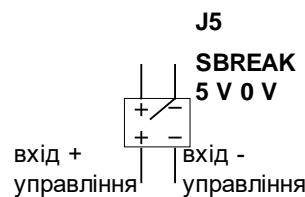


Рис. 16.17. Призначення виводів аналогового ключа що управляється напругою

Для формування коду управління у моделі використано реверсивний двійково-десятковий лічильник 74LS192D, що працює в режимі додавання коду. Сигнали з виходів лічильника подаються входи управління аналогових ключів J3...J6. Джерело опорної напруги підключається

за допомогою цих ключів до "вагових" резисторів R2...R4, R7, що входять до складу інвертуючого суматора, побудованого на операційному підсилювачі AD704. Оскільки напруга джерела опорної напруги від'ємна, а суматор інвертуючий, то на виході ОП формується позитивна напруга.

Величину вихідної напруги можна контролювати як осцилографом, так і пробником, підключеним до виходу ОП. Для згладжування коротких викидів вихідної напруги використовується фільтр нижніх частот (ФНЧ) що складається з резистора R5 та конденсатора C2. За допомогою перемикача J7 можна змінити частоту зрізу ФНЧ. При розімкненому J7 частота зрізу складає 16 кГц, а при замкненому – 1,4 кГц.

Як впливає з осцилограм на рис. 16.18, у вихідній напрузі ЦАП спостерігаються короткі викиди напруги в момент зміни коду, тобто моменти перемикання ключів. Це пояснюється тим, що час перемикання ключа звичайно не рівний нулю. Тому у момент перемикання ключів один із ключів починає відкриватися а раніше замкнений ключ ще не встиг розімкнутися. У результаті цього в цей момент часу коефіцієнт передачі ЦАП залежить не тільки від опорів резисторів, але й від співвідношення опорів ключів у цьому перехідному режимі. Усунути це явище повністю неможливо. Однак зменшити амплітуду викидів на виході ЦАП можна при використанні більш швидкодіючих ключів.

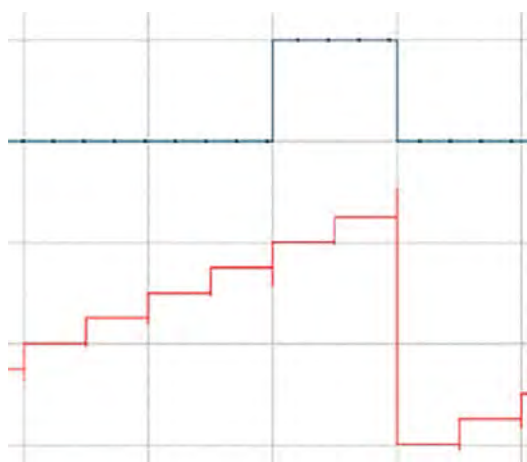


Рис. 16.18. Осцилограми сигналів на виході четвертого розряду лічильника (верхня) та на виході ЦАП

Осцилограми на сигналів на виході ЦАП та на виході ФНЧ показують як впливає наявність фільтра на форму вихідного сигналу (рис. 16.13).

Перемикач J1 дозволяє змінювати код на виході лічильника покроково (для вимірювання напруги на виході ЦАП). Нескладно розрахувати амплітуду сигналу на виході ЦАП, яка буде становити 9ОМР (9 сходинок вихідного сигналу ЦАП), де ОМР – одиниця молодшого розряду, чисельно рівна $U_{1/8} = 2/8 = 0,25$ В. При такому значенні ОМР амплітуда сигналу на виході ЦАП складе 2,25 В. Це підтверджується аналізом осцилограм на рис.16.16.

16.3.3 Дослідження ЦАП з матрицею R-2R

Модель для дослідження ЦАП з матрицею R-2R наведена на рис. 16.19. Для комутації резисторів матриці до джерела опорної напруги або до загального проводу використовуються аналогові перемикачі J2...J4.

Вихід матриці навантажений на повторювач напруги, виконаний на ОП. Контроль вихідної напруги ЦАП здійснюється за допомогою мультиметра, включеного в режим виміру постійної напруги (натиснута кнопка —).

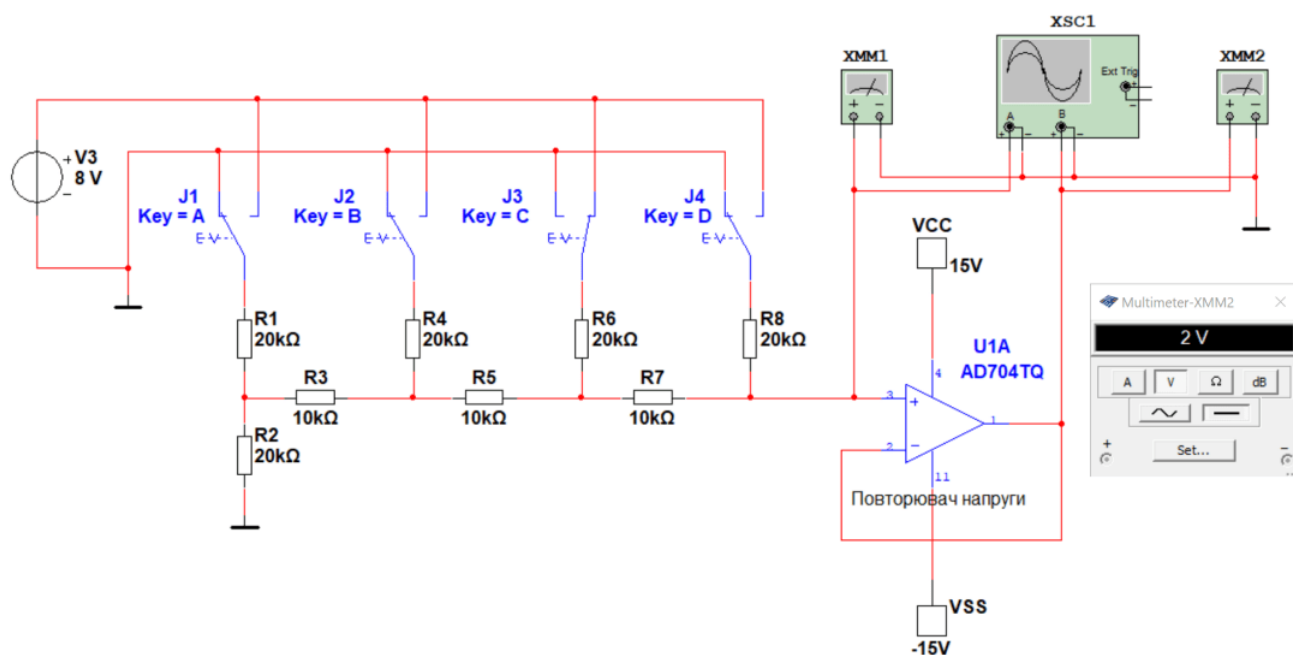


Рис. 16.19. Схема для дослідження ЦАП з матрицею R-2R

Для визначення значення ОМР вихідної напруги, необхідно натиснути клавішу А і виміряти вихідну напругу ЦАП. Перемикач J1 знаходиться у лівому положенні, а всі інші – у правому. Виміряна і цьому стані напруга на виході становить 0,5 В.

На рис. 16.19 показано стан схеми при замкненому перемикачі J3. Оскільки це третій розряд, то напруга на виході цап повинна скласти 4ОМР. Мультиметр показує значення 2 В, що відповідає очікуваному значенню.

Використання матриці R-2R дозволяє реалізувати багаторозрядні ЦАП з числом розрядів до 16.

16.8 Формування сигналів різної форми за допомогою ЦАП

Для дослідження формувачів сигналів різної форми скористаємося бібліотечною моделлю 8-розрядного ЦАП (VDAC8). На виході ЦАП сигнали подаються з виходу генератора кодів слів XWG1. Причому старші розряди підключені прямо, а молодші – через перемикачі J1...J4, що дає можливість оцінити вплив числа розрядів ЦАП на форму сигналу на його виході як показано на рис. 16.20.

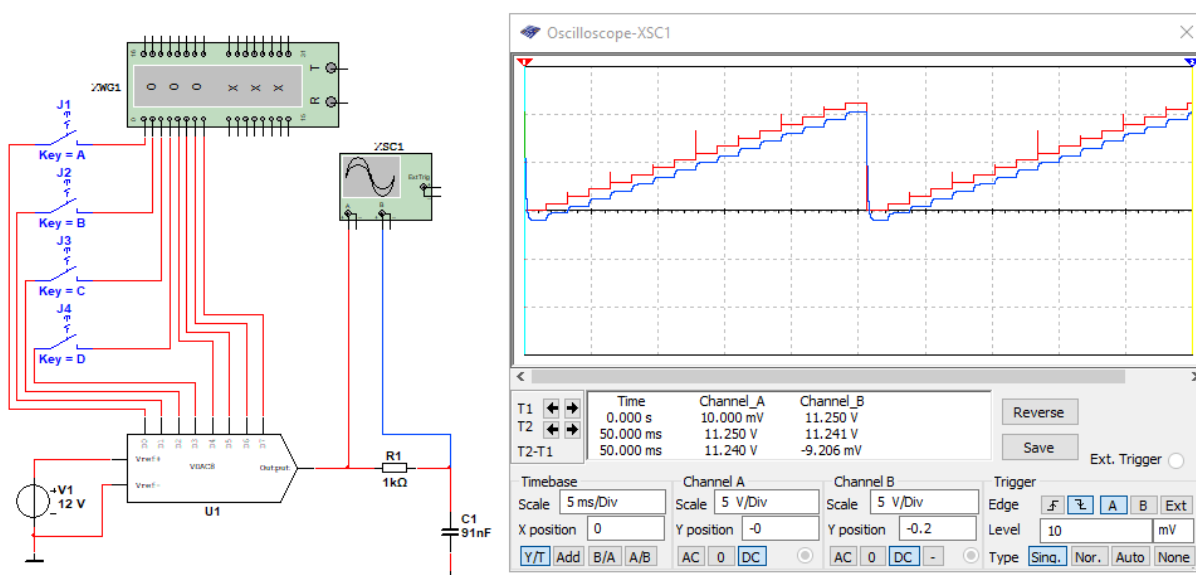


Рис. 16.20. Схема для дослідження формувача сигналів різної форми

У якості джерела опорної напруги використовується генератор постійної напруги 12 В (V1). Для аналізу роботи схеми необхідно сформувати код керування на виході генератора слів. Для цього необхідно двічі клацнути "мишкою" по зображенню генератора й у вікні, що відкрилося (рис. 16.21) вибрати режим роботи циклічний (Cycle) і формування коду у двійковому коді (Binary).

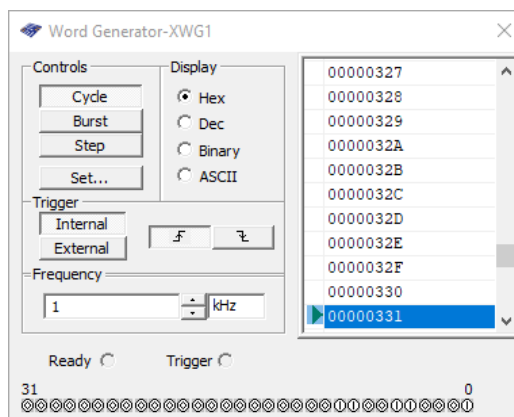


Рис. 16.21. Вибір режиму роботи генератора цифрових слів

Для вибору або завдання закону зміни коду на виході генератора слів слід натиснути кнопку Set і у вікні, що відкрилося (рис. 16.22) обрати підсумовуючий лічильник (Up Counter) і довжину циклу кратну або рівну 256 (2^8 ступені), яка визначається ємністю буферної пам'яті (Buffer Size). Для зручності визначення ємності буфера слід вибрати відображення розміру в десятковому коді (Display Type / Dec).

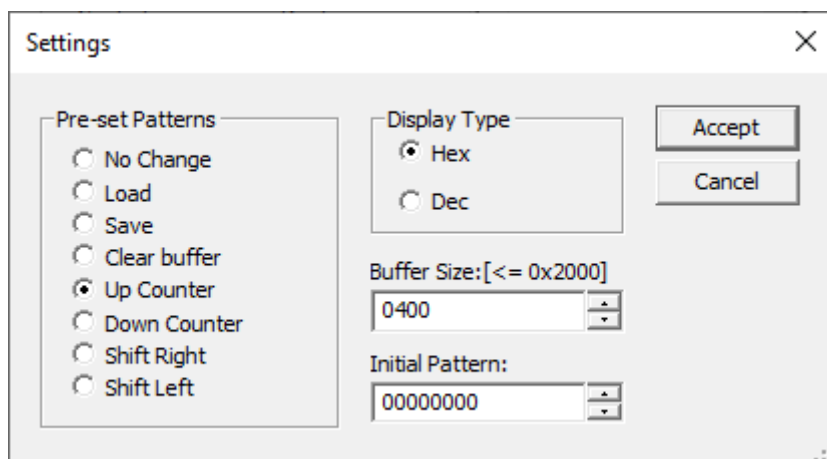


Рис. 16.22. Вибір автоматичного режиму формування наростаючого коду й довгі циклу

При необхідності зберегти установки генератора слід скористатися функцією Save (запис), як це показано на рис. 16.23. Після натискання кнопки Ассерт (застосувати) відкриється діалогове вікно запису файлу (рис. 16.24).

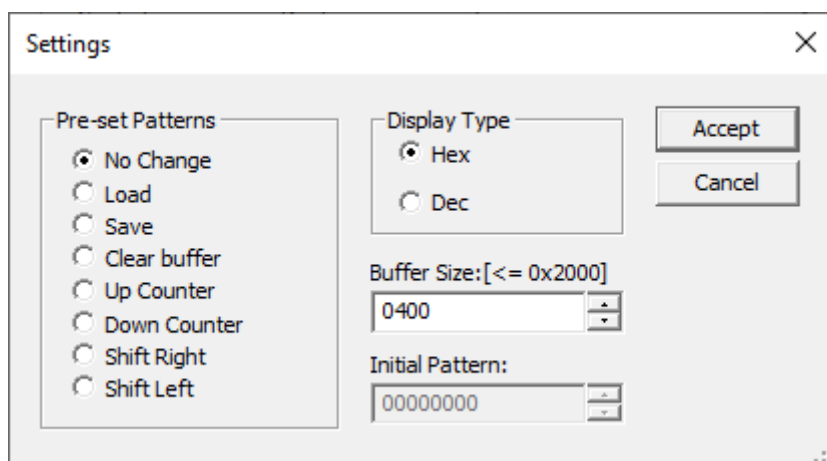


Рис. 16.23. Вибір функції збереження режимів роботи генератора слів

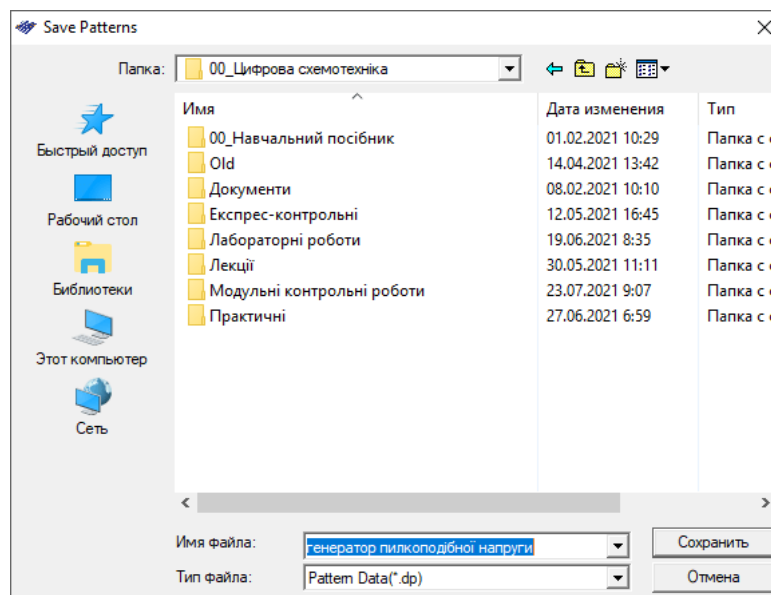


Рис. 16.24. Діалогове вікно запису файлу

Програма Multisim зберігає параметри генератора слів у текстовому файлі з розширенням .dp (рис. 16.25).

```

Data:
00000000
00000001
00000002
00000003
00000004
00000005
00000006
.
.
.
000000FC
000000FD
000000FE
000000FF
Initial:
0000
Final:
00FF

```

Рис. 16.25. Структура файлу з розширенням .dp

Для зменшення обсягу рисунка на ньому показані перші й останні значення коду, а інші пропущені. У файлі фактично втримується наростаючий код, представлений у шістнадцятковій системі числення.

При необхідності можна вручну записати необхідний закон зміни коду, або змонтувати його з готових фрагментів. Наприклад, 128 символів скопіювати з файлу з наростаючим кодом, а інші 128 – з файлу з убуваючим кодом.

Тепер можна приступити до аналізу роботи схеми. Після натискання кнопки Run на екрані осцилографа буде відображено східчато-зростаюча напруга із числом сходинок рівною 16. Це пояснюється тим, що чотири молодші розряди ЦАП відключені.

Якщо змінити закон зміни коду на убуваючий, то осцилограма прийме вид, показаний на рис. 16.26.

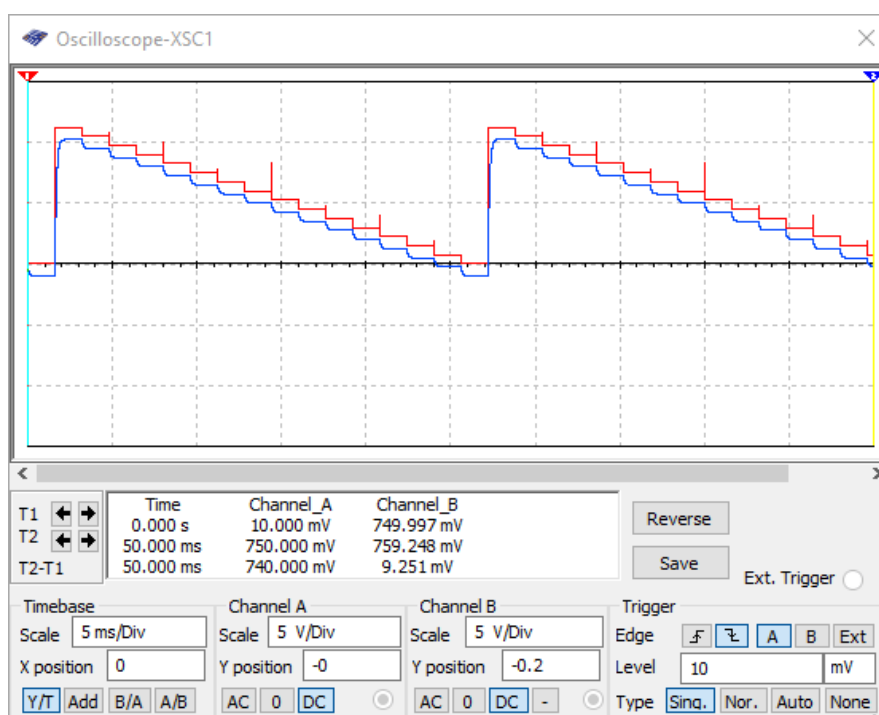


Рис. 16.26. Форма сигналу на виході ЦАП при використанні убуваючого коду на входах ЦАП

Синтезований з окремих фрагментів наростаючого й убуваючого коду сигнал показаний на рис. 16.27.

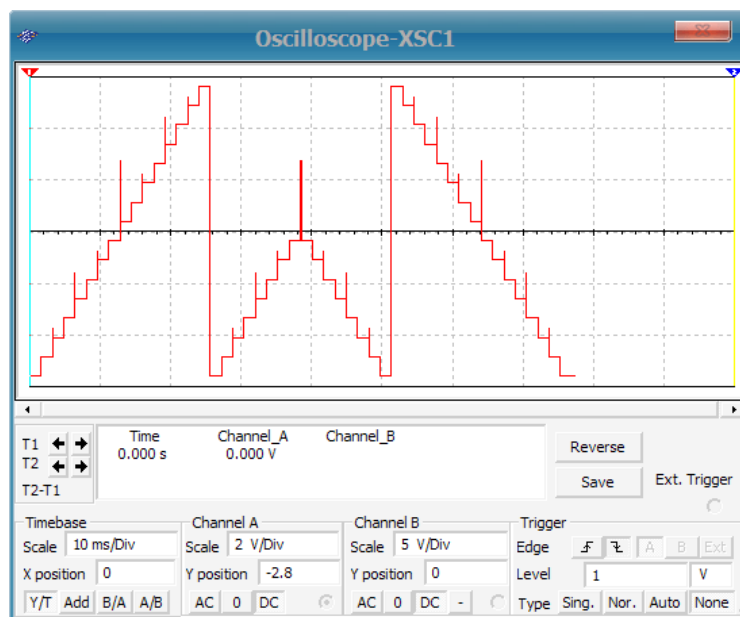


Рис. 16.27. Форма сигналу на виході ЦАП при використанні комбінації різних кодів в одному циклі

Оцінимо вплив числа розрядів ЦАП на форму отриманого коливання. Для цього послідовно будемо підключати по одному розряду керування ЦАП і контролювати форму сигналу на його виході (рис. 16.28).

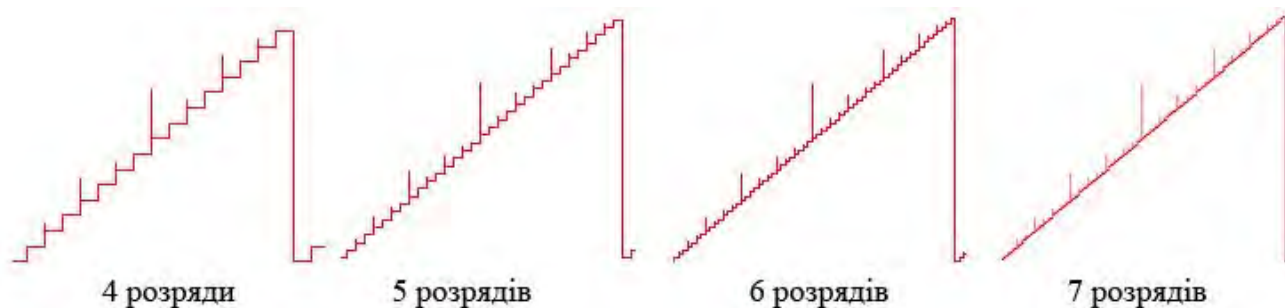


Рис. 16.28. Вплив числа розрядів ЦАП на форму сигналу на виході ЦАП

Використовуючи фільтр нижніх частот (ФНЧ) можна згладити викиди на виході ЦАП (рис. 16.29). Червоним кольором показаний сигнал на виході ЦАП, а зеленим той же сигнал на виході ФНЧ.

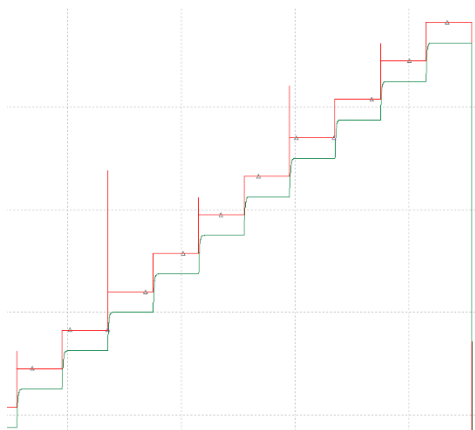


Рис. 16.29. Згладжування викидів на виході ЦАП за допомогою ФНЧ

16.9 Використання ЦАП для побудови регуляторів напруги

В багатьох електронних пристроях виникає потреба у зміні напруги у процесі роботи чи регулювання. Оскільки віртуальний ЦАП у Multisim побудований з використанням матриці R-2R та аналогових ключів, то при зміні коду управління буде змінюватися опір між входом опорної напруги та виходом ЦАП.

В табл. 16.1 наведено залежність цього опору від значення коду управління. Модель для вимірювання опору ЦАП наведено на рис. 16.30.

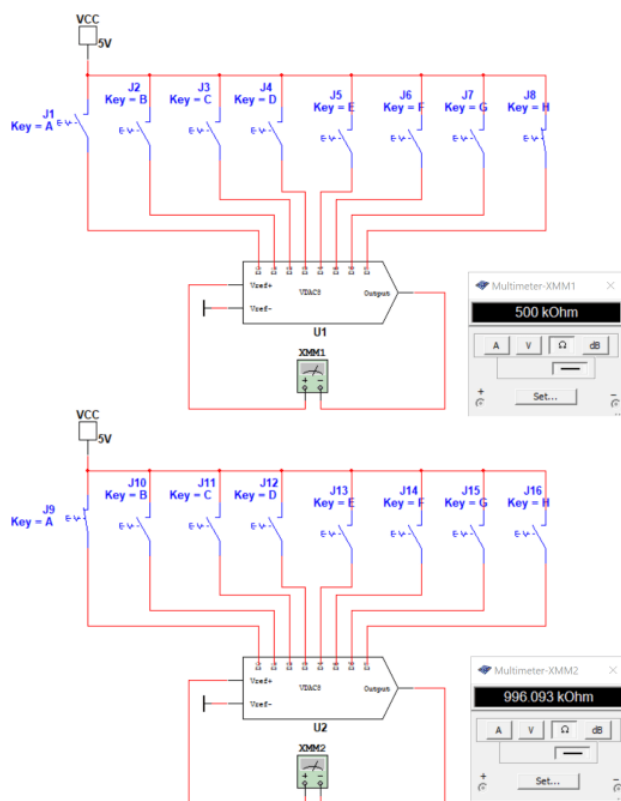


Рис. 16.30. Модель для вимірювання опору ЦАП

Таблиця 16.1. Залежність опору ЦАП від коду управління

Значення коду управління								$R_{\text{ЦАП}}$, кОм
D7	D6	D5	D4	D3	D2	D1	D1	
0	0	0	0	0	0	0	0	999,999
1	0	0	0	0	0	0	0	500
1	1	0	0	0	0	0	0	250
1	1	1	0	0	0	0	0	125
1	1	1	1	0	0	0	0	62,5
1	1	1	1	1	0	0	0	31,25
1	1	1	1	1	1	0	0	15,625
1	1	1	1	1	1	1	0	7,812
1	1	1	1	1	1	1	1	3,906
1	0	0	0	0	0	0	0	500
0	1	0	0	0	0	0	0	750
0	0	1	0	0	0	0	0	875
0	0	0	1	0	0	0	0	937,5
0	0	0	0	1	0	0	0	968,75
0	0	0	0	0	1	0	0	984,375
0	0	0	0	0	0	1	0	992,187
0	0	0	0	0	0	0	1	996,095

З табл. 16.1 видно, що при підключенні до старшого розряду кожного наступного розряду опір ЦАП зменшується у 2 рази. Опір ЦАП при підключенні тільки одного розряду також наведений в таблиці.

Використовуючи залежність опору ЦАП від коду управління можна побудувати регульовані кодом дільник напруги. На рис. 16.31 наведено принципову схему дільника напруги з регульованою вихідною напругою.

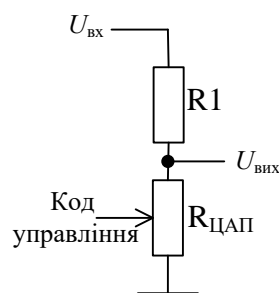


Рис. 16.31. Дільник напруги з регульованою кодом вихідною напругою

Вихідна напруга такого дільника може бути розрахована за формулою:

$$U_{\text{вих}} = \frac{U_{\text{вх}} R_{\text{ЦАП}}}{R_1 + R_{\text{ЦАП}}}$$

Діапазон регулювання такого дільника дорівнює відношенню максимальної напруги на виході до мінімальної:

$$D_{\text{пер}} = \frac{U_{\text{вх}} R_{\text{ЦАПmax}}}{R_1 + R_{\text{ЦАПmax}}} \cdot \frac{R_1 + R_{\text{ЦАПmin}}}{U_{\text{вх}} R_{\text{ЦАПmin}}} = \frac{R_{\text{ЦАПmax}}}{R_{\text{ЦАПmin}}} \cdot \frac{R_1 + R_{\text{ЦАПmin}}}{R_1 + R_{\text{ЦАПmax}}}$$

Розглянемо приклад. Нехай $R_1 = 10$ кОм. Тоді

$$D_{\text{пер}} = \frac{R_{\text{ЦАПmax}}}{R_{\text{ЦАПmin}}} \cdot \frac{R_1 + R_{\text{ЦАПmin}}}{R_1 + R_{\text{ЦАПmax}}} = \frac{10^6}{3,906 \cdot 10^3} \cdot \frac{10^4 + 3,906 \cdot 10^3}{10^4 + 10^6} = 35,23.$$

Якщо збільшити опір резистора R_1 у 10 разів, то діапазон регулювання зменшиться і буде дорівнювати

$$D_{\text{пер}} = \frac{R_{\text{ЦАПmax}}}{R_{\text{ЦАПmin}}} \cdot \frac{R_1 + R_{\text{ЦАПmin}}}{R_1 + R_{\text{ЦАПmax}}} = \frac{10^6}{3,906 \cdot 10^3} \cdot \frac{10^5 + 3,906 \cdot 10^3}{10^5 + 10^6} = 24,18.$$

З наведених прикладів витікає що діапазон регулювання такого дільника доволі вузький. Для розширення діапазону регулювання можна скористатися схемою дільника напруги наведеною на рис. 16.32.

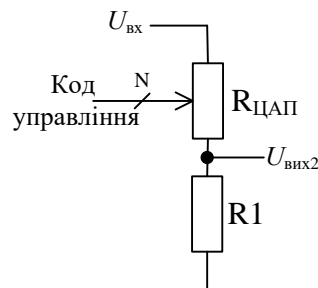


Рис. 16.32. Дільник напруги з розширеним діапазоном регулювання

Вихідна напруга дільника на рис. 16.32 може бути розрахована за формулою:

$$U_{\text{вих2}} = \frac{U_{\text{вх}} R_1}{R_1 + R_{\text{ЦАП}}}$$

Діапазон регулювання такого дільника дорівнює відношенню максимальної напруги на виході до мінімальної:

$$D_{\text{per2}} = \frac{U_{\text{вх}} R_1}{R_1 + R_{\text{ЦАПmin}}} \cdot \frac{R_1 + R_{\text{ЦАПmax}}}{U_{\text{вх}} R_1} = \frac{R_1 + R_{\text{ЦАПmax}}}{R_1 + R_{\text{ЦАПmin}}} \approx \frac{R_{\text{ЦАПmax}}}{R_{\text{ЦАПmin}}}$$

Розглянемо приклад. Нехай $R_1 = 10 \text{ кОм}$. Тоді

$$D_{\text{per2}} = \frac{R_{\text{ЦАПmax}}}{R_{\text{ЦАПmin}}} = \frac{1000}{3,9} = 256,4.$$

Модель для перевірки дільника, наведеного на рис. 16.32, показана на рис. 16.33. За результатами вимірювання вхідної та вихідної напруги при максимальному і мінімальному значенню коду управління, наведених на рис. 16.31, можна розрахувати діапазон регулювання такого дільника $D_{\text{per2}} = 704,344 \text{ мВ} / 2,762 \text{ мВ} = 255$, а при переведенні у логарифмічні одиниці – 48 дБ.

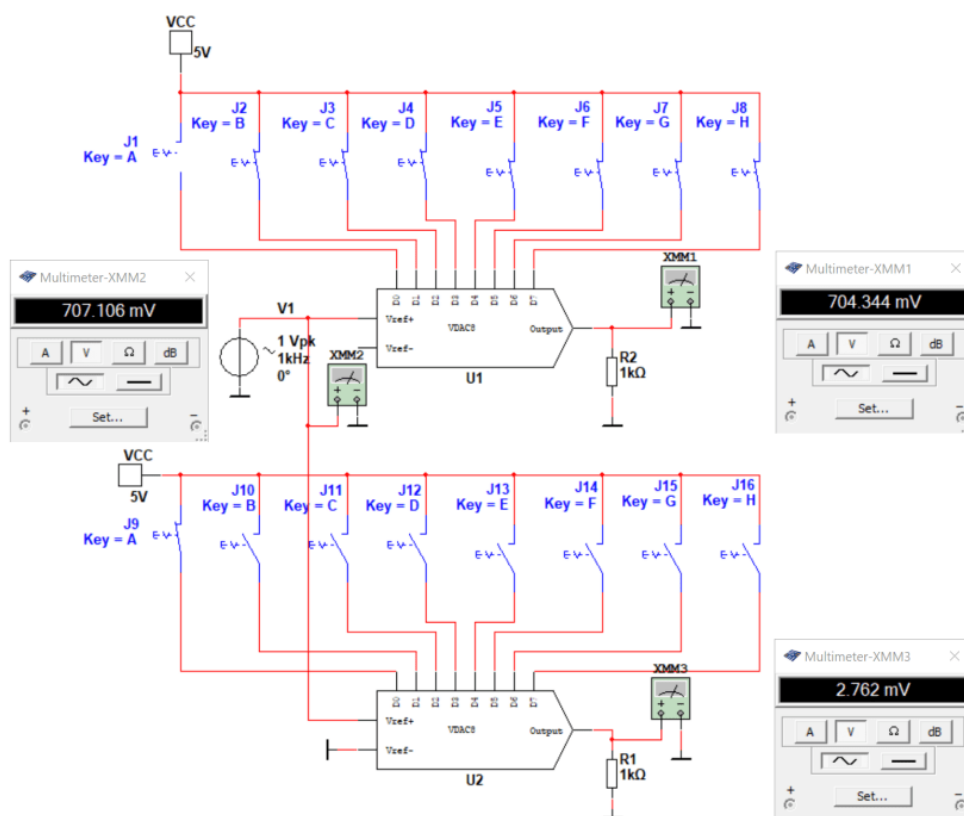


Рис. 16.33. Функціональна схема цифрового потенціометра

Для розширення діапазону регулювання призначені цифрові потенціометри. Функціональна схема цифрового потенціометра наведена на рис. 16.34.

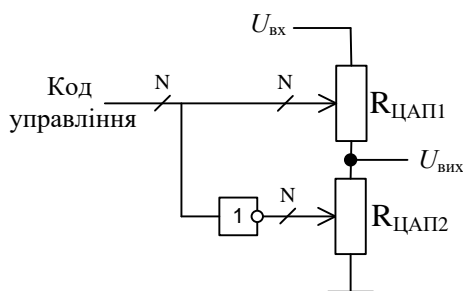


Рис. 16.34. Функціональна схема цифрового потенціометра

Діапазон регулювання такого пристрою значно більший ніж у схеми дільника напруги наведеної на рис. 16.32. Розрахувати діапазон регулювання такого пристрою можна за формулою:

$$D_{\text{рег}} = \frac{R_{\text{ЦАПmax}}^2}{R_{\text{ЦАПmin}}^2} = \frac{500^2}{3,906^2} = 16382.$$

В логарифмічних одиницях $D_{\text{рег}} [\text{дБ}] = 20 \lg 16382 = 84,84 \text{ дБ}$.

Для моделювання в Multisim можна використати схему дільника, модель якого наведена на рис. 16.33. Реалізувати цифровий потенціометр на віртуальних ЦАП у Multisim неможливо. Слід зауважити, що при використанні 16-розрядного ЦАП діапазон регулювання буде значно ширшим.

Контрольні питання

7. Що означає термін "зважуючі" резистори?
8. Які недоліки ЦАП з використанням "зважуючих" резисторів?
9. У чому переваги ЦАП з використанням матриці R-2R?
10. Який з видів ЦАП має найменшу погрішність перетворення?
11. Що означає абревіатура OMP?
12. Чому виникають непередбачувані викиди напруги на виході ЦАП?
13. Як зміниться форма сигналу, якщо замість підсумовуючого лічильника використовувати, що віднімає?
14. Як зміниться вихідна напруга якщо поміняти полярність джерела опорної напруги?
15. Як можна зменшити викиди напруги у вихідній напрузі ЦАП?
16. Чи можна створити сигнал заданої форми за допомогою ЦАП? Що для цього потрібно?
17. Що означає поняття "перемножуючий" ЦАП?
18. Які ЦАП називаються перемножуючими?
19. Які статичні параметри ЦАП вам відомі?

20. Як знайти швидкість зростання напруги на виході ЦАП?
21. Яким чином можна сформувати сигнал заданої форми за допомогою ЦАП?
22. Чи залежить точність відтворення сигналу від кількості розрядів ЦАП?
23. Чи можна за допомогою ЦАП сформувати амплітудно-модульований сигнал?
24. Як реалізувати регулятор рівня за допомогою ЦАП?
25. Що означає поняття цифровий потенціометр?
26. Як реалізувати цифровий потенціометр за допомогою ЦАП?
27. Чи можна регулювати тривалість імпульсів генераторів імпульсів за допомогою ЦАП?

17 АНАЛОГОВІ КОМПАРАТОРИ

17.1 Загальні зауваження

Компаратор (походить від англійського “compare” – порівнювати) – це пристрій що призначений для порівняння величин двох аналогових сигналів. Якщо позначити вхідний аналізований сигнал $U_{\text{вх}}$ а опорний сигнал (або рівень порівняння) $U_{\text{оп}}$, то вихідний сигнал компаратора $U_{\text{вих}}$ (що являє собою собою логічний сигнал) буде визначатися за правилом:

$$U_{\text{вих}} = \begin{cases} 1 & \text{при } U_{\text{вх}} - U_{\text{оп}} > 0; \\ 0 & \text{при } U_{\text{вх}} - U_{\text{оп}} < 0. \end{cases}$$

Компаратори є найпростішими АЦП. Напряга на виході встановлюється рівною логічній “1” або логічному “0” залежно від того, чи перевищує вхідна напряга опорну. Вихідний сигнал компаратора в більшості випадків подається на входи логічних пристроїв і тому погодиться за рівнем і потужністю з їхніми входами. Таким чином, компаратор це елемент переходу від аналогових до цифрових сигналів, і по суті справи є однорозрядним аналого-цифровим перетворювачем.

Точність роботи компаратора характеризується напругою, на яку необхідно перевищити опорну, щоб вихідна напряга досягла порога спрацьовування логічної схеми, включеної на виході компаратора. На рис. 17.1 наведено умовне графічне позначення компаратора, діаграми сигналів на вході та виході та співвідношення між вхідним та вихідним сигналами при вимірюванні часу відновлення. Як слідує з рис. 17.1 компаратор має два входи – інвертуючий, на який найчастіше подається опорна напряга (або аналоговий сигнал з яким потрібно зробити порівняння) і неінвертуючий, на який подається вхідний сигнал. Промисловістю випускаються також компаратори що мають два виходи – прямий та інверсний.

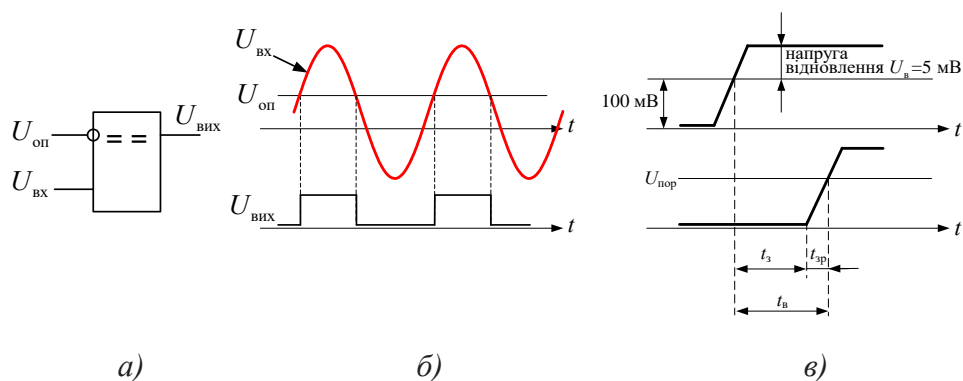


Рис. 17.1. Умовне графічне позначення компаратора (а), діаграми сигналів на вході та виході (б), та вимірювання часу відновлення (в)

Точність роботи компаратора характеризується напругою, на яку необхідно перевищити опорну, щоб вихідна напруга досягла порога спрацьовування логічної схеми включеної на виході компаратора.

Швидкодія компаратора характеризується “часом відновлення” – t_v . Це проміжок часу від початку порівняння до моменту, коли вихідна напруга досягне порогу спрацьовування логічної схеми $U_{пор}$, включеної на виході компаратора. Час відновлення складається з двох величин – часу затримки t_z і часу зростання $t_{зр}$. Ці параметри відображені на рис. 17.1,в.

Стандартна методика вимірювання часу відновлення передбачає що опорна напруга дорівнює 100 мВ, а на неінвертуючий вхід компаратора подається стрибок напруги 105 мВ (як показано на рис. 17.1).

17.2 Компаратори напруги

Узагальнена функціональна схема компаратора наведена на рис. 17.2.

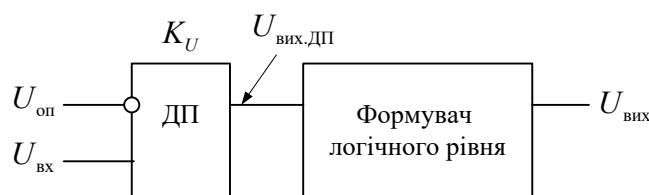


Рис. 17.2. Узагальнена функціональна схема компаратора

Компаратор складається з диференціального підсилювача (ДП) і формувача логічного рівня. Коефіцієнт підсилення K_U різних компараторів може лежати в межах від 300 до 300000. В залежності від коефіцієнта підсилення змінюється чутливість (точність роботи) і швидкодія компараторів.

Точність роботи компаратора характеризується напругою, на яку необхідно перевищити опорну, щоб вихідна напруга досягла порога спрацьовування логічної схеми. Чутливість (або роздільна здатність) – мінімальна різниця напруги на входах, яку можна виявити й зафіксувати на виході як цифровий сигнал, що відповідає переходу з одного логічного стану в інший.

Напруга на виході диференційного підсилювача дорівнює:

$$U_{\text{вих,ДП}} = (U_{\text{вх}} - U_{\text{оп}}) \cdot K_U.$$

Нехай для спрацьовування формувача логічного рівня (наприклад транзисторного

насиченого ключа у схемі з ЗЕ) потрібна напруга $U_{\text{фл}}$. Тоді одержуємо наступне значення мінімальної різниці напруги при якій на виході формувача логічного рівня може бути сформована "1":

$$\Delta U_{\text{min}} = U_{\text{вх}} - U_{\text{оп}} \geq 1,1 \frac{U_{\text{вих.ДП}}}{K_U},$$

де $U_{\text{вих.ДП}} = U_{\text{фл}}$.

Наприклад, чутливість формувача логічного рівня дорівнює 1 В а коефіцієнт підсилення ДП дорівнює 10000. Тоді мінімальна різниця напруги між входами компаратора буде дорівнювати:

$$\Delta U_{\text{min}} \geq 1,1 \frac{U_{\text{фл}}}{K_U} = 1,1 \frac{1}{10^4} = 0,11 \cdot 10^{-3} \text{ В} = 0,11 \text{ мВ}.$$

Щоб вихідний сигнал компаратора змінився з "0" на "1" при нескінченно малій зміні вхідного сигналу, компаратор повинен був би мати нескінченно великий коефіцієнт підсилення і працювати при повній відсутності шумів.

До такої характеристики можна наблизитися двома способами: або використати підсилювач із дуже великим коефіцієнтом підсилення, або ввести позитивний зворотний зв'язок. У першому випадку це приводить до двох неприємних наслідків. Насамперед, при дуже повільній зміні вхідної напруги і вихідний сигнал також буде змінюватися уповільнено, що може викликати нечітке спрацьовування наступних логічних схем. Ще гірше те, що при такій повільній зміні вхідної напруги біля $U_{\text{оп}}$ може з'явитися так званий "брязкіт", при якому вихід компаратора багаторазово з великою частотою міняє свій стан під дією перешкод або шумів (рис. 17.3). Для усунення цього явища звичайно вводять позитивний зворотний зв'язок, що забезпечує перехідній характеристиці компаратора гістерезис. Такий пристрій (буде розглянутий пізніше) отримав назву тригер Шмідта. Наявність гістерезису хоча й викликає деяку затримку в перемиканні компаратора, але істотно зменшує або навіть повністю усуває "брязкіт".

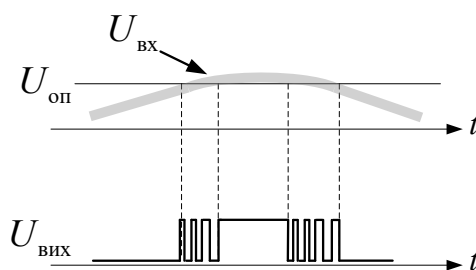


Рис. 17.3. Поява "брязкоту" на виході компаратора при повільній зміні вхідної напруги із за наявності шумів у вхідному сигналі

В якості компаратора може бути використаний і звичайний операційний підсилювач (ОП), як це показано на рис. 17.4. Підсилювач включений за схемою суматора, що інвертує, однак замість резистора в колі зворотного зв'язку включені паралельно стабілітрон VD1 і діод VD2.

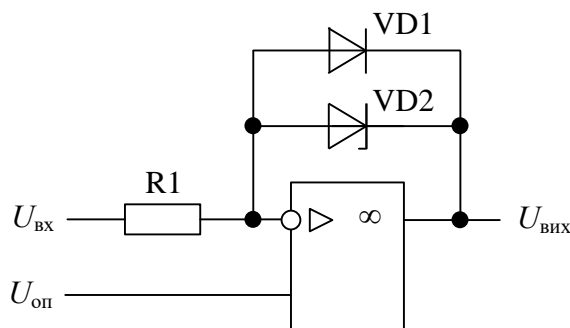


Рис. 17.4. Компаратор на основі операційного підсилювача

Від'ємна напруга на виході ОП зумовлена прямим падінням напруги на діоді VD1, а максимальне значення позитивної напруги дорівнює напрузі стабілізації стабілітрона VD2. Оскільки напруга сигналу подається на інвертуючий вхід ОП, то умови формування вихідного сигналу виглядають так:

$$U_{\text{вих}} = \begin{cases} 0 & \text{при } U_{\text{вх}} - U_{\text{оп}} > 0; \\ 1 & \text{при } U_{\text{вх}} - U_{\text{оп}} < 0. \end{cases}$$

На рис. 17.5 наведена модель що ілюструє роботу операційного підсилювача у якості компаратора. Напруга стабілізації стабілітрона D2 1N4733A дорівнює 5,1 В. Осцилограми вхідного (синій) та вихідного сигналів показують, що амплітуда позитивної напівхвилі дорівнює 5 В, що достатньо для роботи з більшістю логічних схем ТТЛ та КМОП.

Перевіримо чутливість такого компаратора. Для цього знайдемо мінімальне значення вхідної напруги при якій ще буде формуватися логічний рівень (більше 2,5 В) на виході такого компаратора. В результаті перевірки з'ясувалося, що мінімальна напруга (амплітудне значення) не повинна бути менша за 8 мВ. На рис. 17.6 наведені модель та осцилограми сигналів при амплітуді вхідного сигналу 8 мВ.

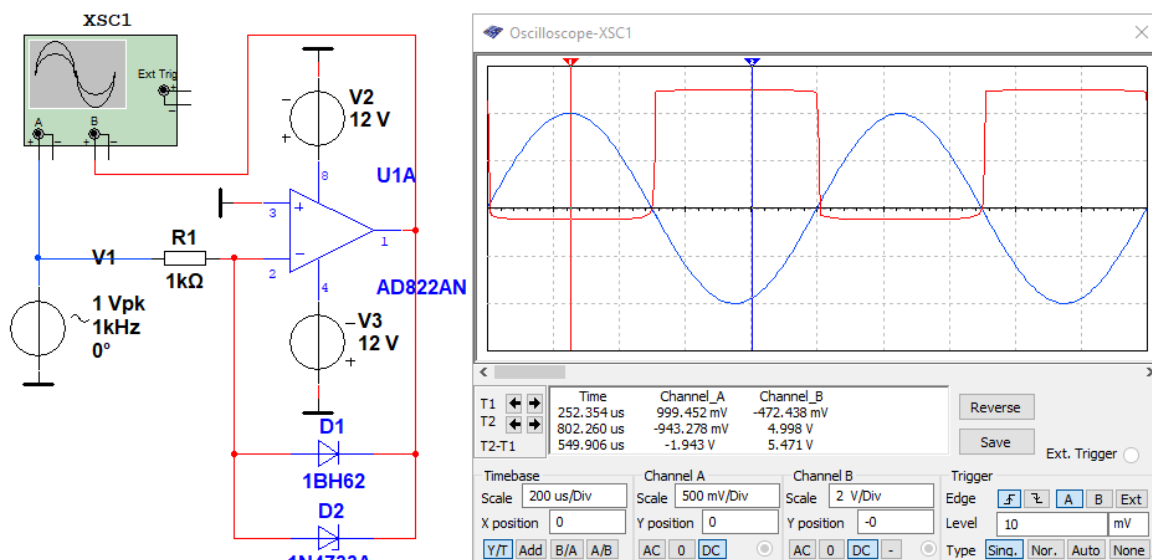


Рис. 17.5. Модель компаратора на операційному підсилювачі та осцилограми сигналів на вході та виході компаратора при амплітуді вхідного сигналу 1 В

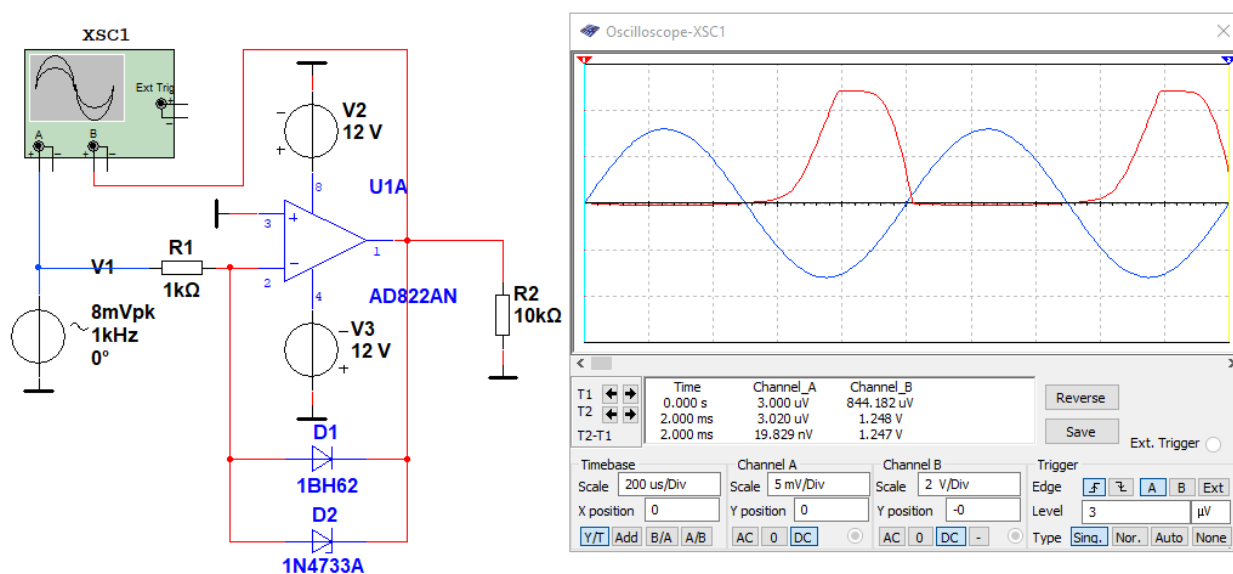


Рис. 17.6. Модель компаратора на операційному підсилювачі та осцилограми сигналів на вході та виході компаратора при амплітуді вхідного сигналу 8 мВ

Коефіцієнт підсилення ОП AD822AN при розімкненому колі зворотного зв'язку дорівнює від 500 до 2000. Для вихідного рівня +5 В знайдемо мінімальний рівень вхідного сигналу при умові мінімального значення коефіцієнта підсилення. Тоді $U_{\text{вх. min}} \geq 1,1(5/500) = 11 \text{ мВ}$, що близько до виміряного значення. З цього слідує що коефіцієнт підсилення моделі ОП AD822AN більший ніж 500.

При практичній реалізації пристроїв необхідно уявляти собі як буде поводитися компаратор при зміні різниці напруги порівнюваних сигналів, чи буде змінюватися час відновлення.

Для аналізу поведінки компаратора при зміні значення постійної опорної напруги можна використати модель, наведену на рис. 17.7.

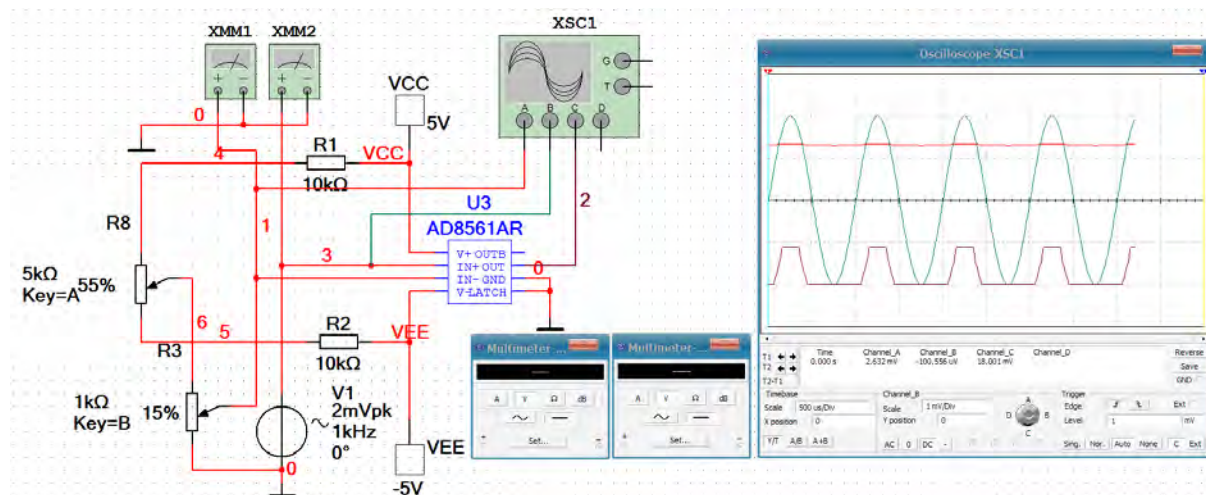


Рис. 17.7. Модель для дослідження поведінки компаратора при зміні значення опорної напруги

Для моделювання використаний інтегральний компаратор AD8561, що випускається компанією Analog Devices. Діапазон напруги живлення компаратора від 3 до 10 В однополярної напруги, або від $\pm 1,5$ до ± 5 В – двополярної напруги. Час відновлення 8 нс, коефіцієнт підсилення 3000, коефіцієнт придушення синфазного сигналу не гірше 65 дБ.

Для контролю рівня опорної напруги в схемі використано мультиметр XMM1, а для регулювання величини вхідної напруги – потенціометри R8 і R3. Для формування на виході компаратора напруги амплітудою 5 В необхідно щоб різниця напруги між його входами становила не менш $5/3000 = 1,66$ мВ. Порівняння напруги на вході зручно здійснювати за допомогою чотирьохканального осцилографа. Коричневим кольором на екран виводиться осцилограма вихідного сигналу компаратора.

Змінюючи опорну напругу можна добитися симетричної форми сигналу на виході компаратора.

Для виміру часу відновлення необхідно на входи компаратора подавати сигнали від двох генераторів: генератора постійної напруги 100 мВ і генератора імпульсів, що формує імпульси з амплітудою 105 мВ (рис. 17.8). Такі параметри відповідають стандартній методиці виміру часу відновлення. Вимірний за допомогою курсорів час відновлення склав 8,85 нс.

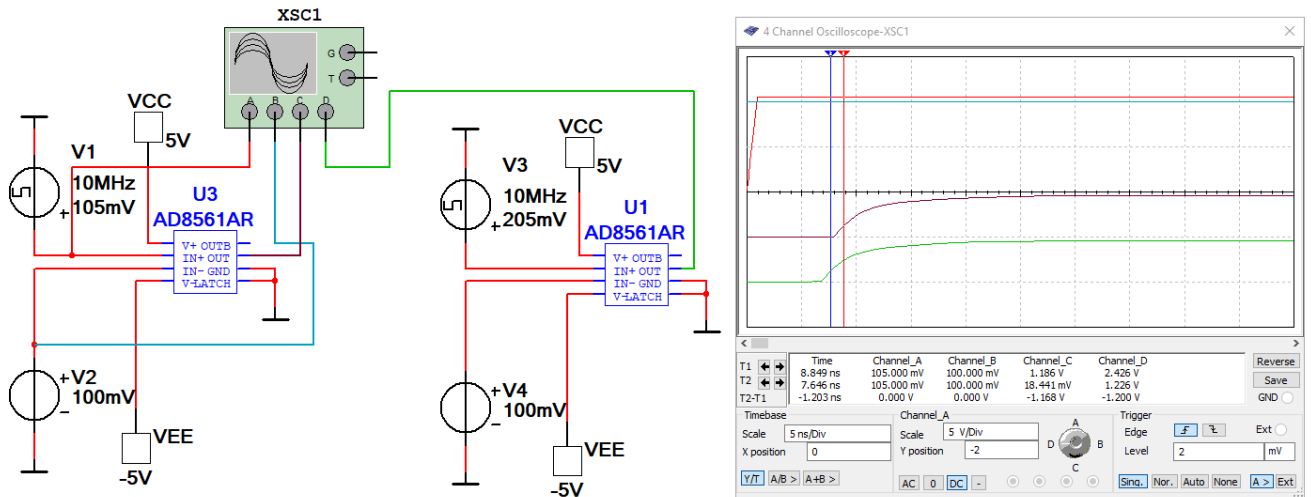


Рис. 17.8. Модель для вимірювання часу відновлення компаратора при різному значенні напруги між входами компаратора

Якщо стрибок напруги буде перевищувати опорну напругу на 105 мВ, то час відновлення складе 7,65 нс. Це свідчить про те, що параметри цього компаратора мало залежать від різниці напруги між входами компаратора при досягненні деякого граничного значення. У деяких компараторів ця залежність виражена набагато сильніше.

Основне призначення компараторів полягає в порівнянні двох сигналів і формуванні ознаки того, який з них більше. Ця властивість можна використовувати для перетворення гармонійних сигналів і інших сигналів складної форми в прямокутні імпульси з логічними рівнями.

Для ілюстрації роботи компаратора при різних значеннях опорної напруги можна використати модель наведену на рис. 17.9.

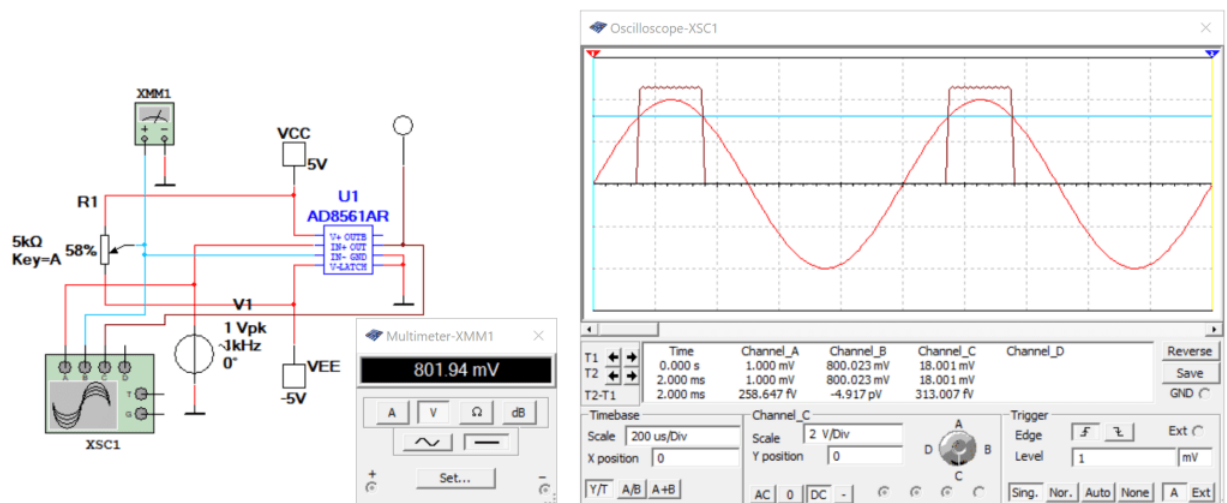


Рис. 17.9. Модель для дослідження вихідної напруги компаратора від значення опорної напруги

Змінюючи постійну напругу на інвертуючому вході компаратора можна спостерігати як змінюється напруга на виході компаратора. Осцилограми дозволяють наочно продемонструвати як тривалість вихідного імпульсу залежить від співвідношення між рівнями сигналів на інвертуючому (синя осцилограма) та неінвертуючому вході (червона осцилограма). Змінюючи опорну напругу можна добитися симетричної форми на виході компаратора.

Основне призначення компараторів полягає в порівнянні двох сигналів і формуванні ознаки того, який з них більше. Цю властивість можна використовувати для перетворення гармонійних сигналів і інших сигналів складної форми в прямокутні імпульси з логічними рівнями.

Для порівняння сигналів низької частоти або постійного струму можна використовувати прецизійні операційні підсилювачі додавши до них обмежувачі напруги. Прецизійні підсилювачі мають стабільні у часі параметри з малим дрейфом в залежності від значення температури та інших дестабілізуючих факторів.

На рис. 17.10 наведена модель, що ілюструє використання ОП в якості пристрою порівняння напруги. Коефіцієнт підсилення такого компаратора дорівнює 10000 в діапазоні частот від 0 до 500 Гц, що можна спостерігати у вікні Бодє-плоттера. Осцилограми сигналів на виході підсилювача (фіолетового кольору) і на виході обмежувача (червона) дозволяють проаналізувати роботу такого пристрою порівняння.

Амплітуда на виході ОП дорівнює ± 11 В, а на виході обмежувача $+5$ і $-0,7$ В. Для розширення діапазону частот потрібно обирати підсилювач з більш широкою смугою пропускання.

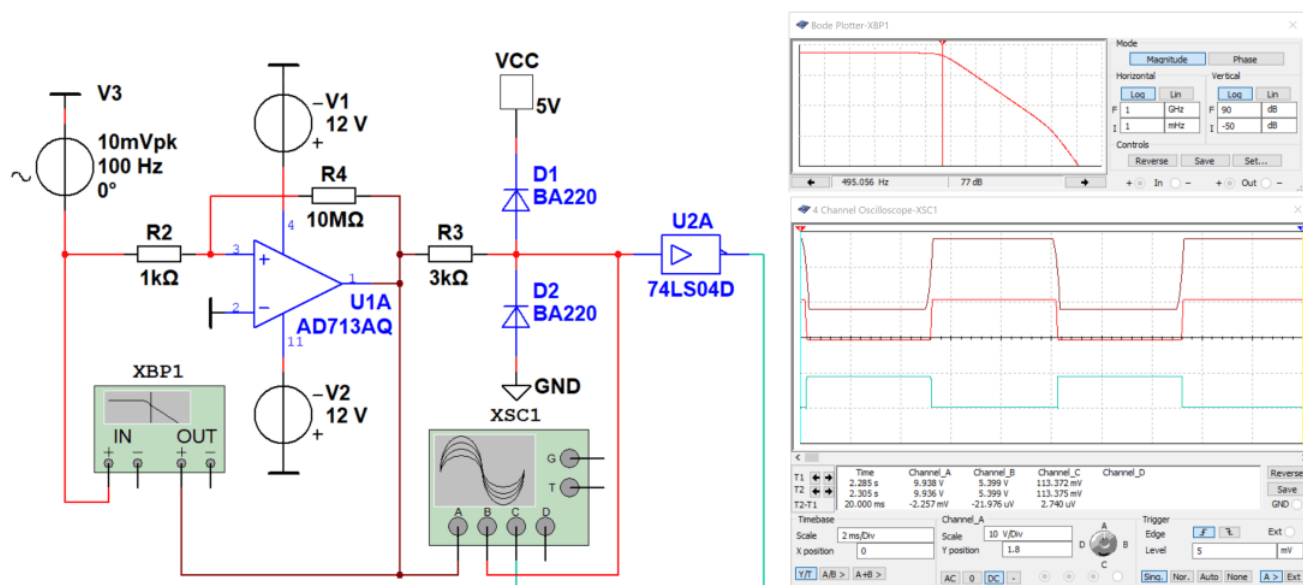


Рис. 17.10. Модель компаратора, побудованого на операційному підсилювачі

У випадку, коли вхідний сигнал піддається впливу завад (рис. 17.11) сигнал на виході компаратора буде містити складові із частотою сигналу завади.

Формування суміші сигналу й завади здійснюється за допомогою суматора напруги, виконаного на резисторах R2, R3 і R4. Корисний сигнал і сигнал завади формуються двома генераторами гармонійних сигналів V1 і V2. Частота сигналу задано 1 кГц, а частота перешкоди 30 кГц. Співвідношення рівнів сигналу й перешкоди можна регулювати, змінюючи амплітуду сигналів на виходах генераторів.

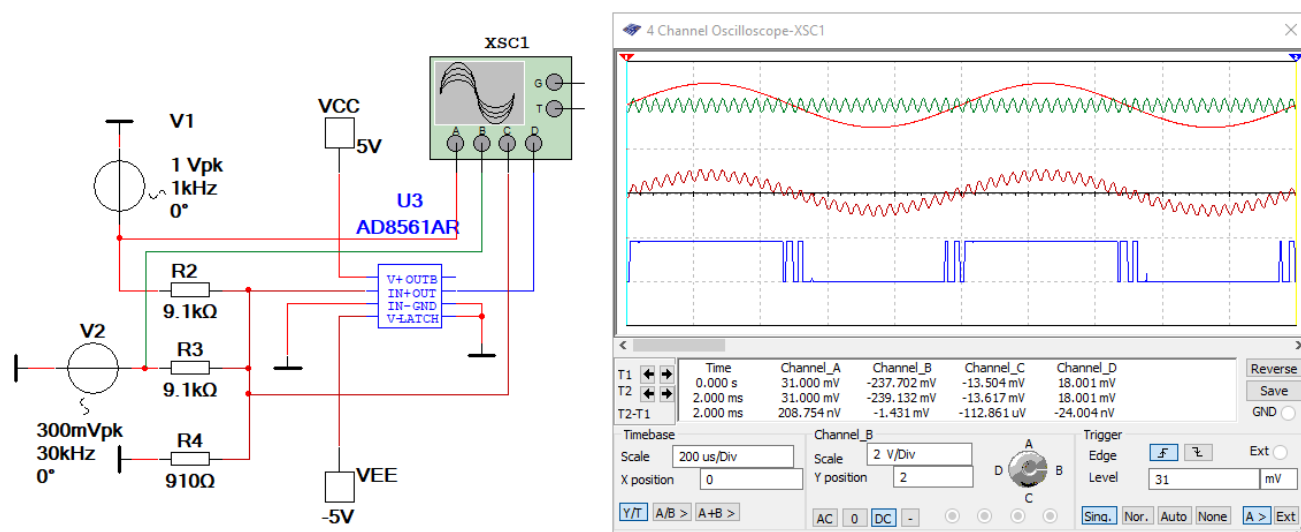


Рис. 17.11. Модель для дослідження впливу сигналу перешкоди на вихідний сигнал компаратора

Як слідує з осцилограми вихідного сигналу на рис. 17.11, наявність завади призводить до формування на виході компаратора складових з частотою завади. Якщо компаратор використовується для перетворення вхідного сигналу в прямокутні імпульси для вимірювання частоти чи періоду корисного сигналу, то додаткові складові у вихідному сигналі зроблять це неможливим.

Для усунення впливу завад на вихідний сигнал компаратора використовуються регенеративні компаратори (тригери Шмітта), які мають зону нечутливості.

17.3 Регенеративні компаратори

Для захисту входів багатьох пристроїв від завад часто використовуються регенеративні компаратори, які ще мають назву тригерів Шмітта. Сутність роботи такого пристрою полягає у формуванні зони в якій компаратор не чутливий до зміни вхідної напруги. Якщо сигнал завади по амплітуді не перевершує ширину зони нечутливості, то на виході компаратора сигнал буде

вільний від складових з частотою завади.

Функціональна схема тригера Шмітта наведена на рис. 17.12.

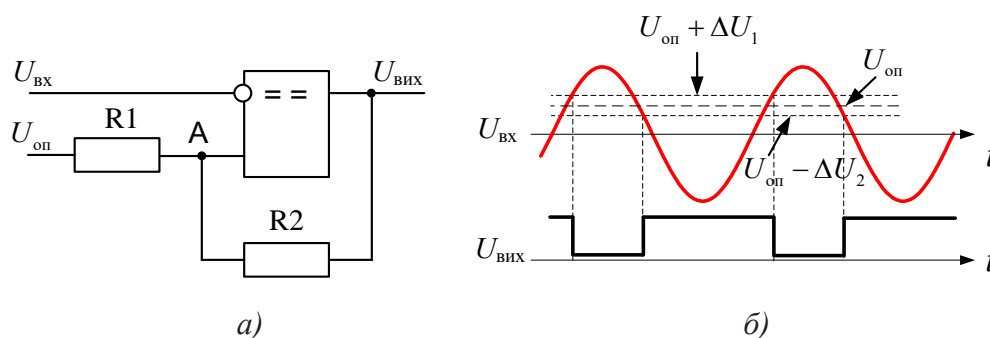


Рис. 17.12. Функціональна схема тригера Шмітта (а) та діаграми сигналів на його входах та виході (б)

Зона нечутливості формується завдяки використанню позитивного зворотного зв'язку за допомогою резисторів R1 та R2. Розглянемо роботу схеми, наведеної на рис. 17.12 при наступних умовах:

- сигнал на інвертуючому вході синусоїдальний;
- опорна напруга позитивна і менша за амплітуду сигналу на вході.

На інтервалі часу, де вхідна напруга має від'ємне значення, на виході компаратора формується рівень логічної "1", бо $U_{\text{оп}} > 0$. Напруга на неінвертуючому вході компаратора (у точці А) дорівнює:

$$U_A = U_{\text{оп}} + \frac{U_{\text{вих}} - U_{\text{оп}}}{R_1 + R_2} R_1 = U_{\text{оп}} + \Delta U_1.$$

Коли напруга на інвертуючому вході перевищить значення напруги на інвертуючому вході, тобто коли $U_{\text{вх}} > U_{\text{оп}} + \Delta U_1$, компаратор переключиться і на виході буде сформований "0". При цьому напруга у точці А зменшиться і буде розраховуватись за наступним співвідношенням:

$$U_A = U_{\text{оп}} - \frac{U_{\text{оп}}}{R_1 + R_2} R_1 = U_{\text{оп}} - \Delta U_2.$$

Компаратор переключиться у "1" тільки при умові, що напруга на вході стане меншою ніж напруга у точці А. Тобто буде виконуватись умова $U_{\text{вх}} < U_{\text{оп}} - \Delta U_2$.

З цих двох рівнянь витікає, що у зоні від напруги $U_{\text{оп}} - \Delta U_2$ до напруги $U_{\text{оп}} + \Delta U_1$

компаратор не буде реагувати на зміни вхідної напруги. Ця зона нечутливості отримала назву "ширина петлі гістерезиса" по аналогії з властивостям магнітних матеріалів.

На рис. 17.13 наведений графік залежності вихідної напруги тригера Шмітта від значення вхідної напруги.

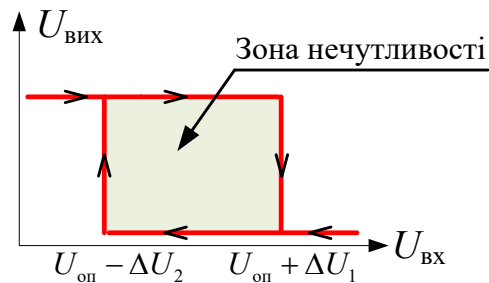


Рис. 17.13. Графік залежності вихідної напруги тригера Шмітта від значення вхідної напруги

На рис. 17.14 наведено модель для перевірки зони нечутливості тригера Шмітта, побудованого на основі віртуального компаратора.

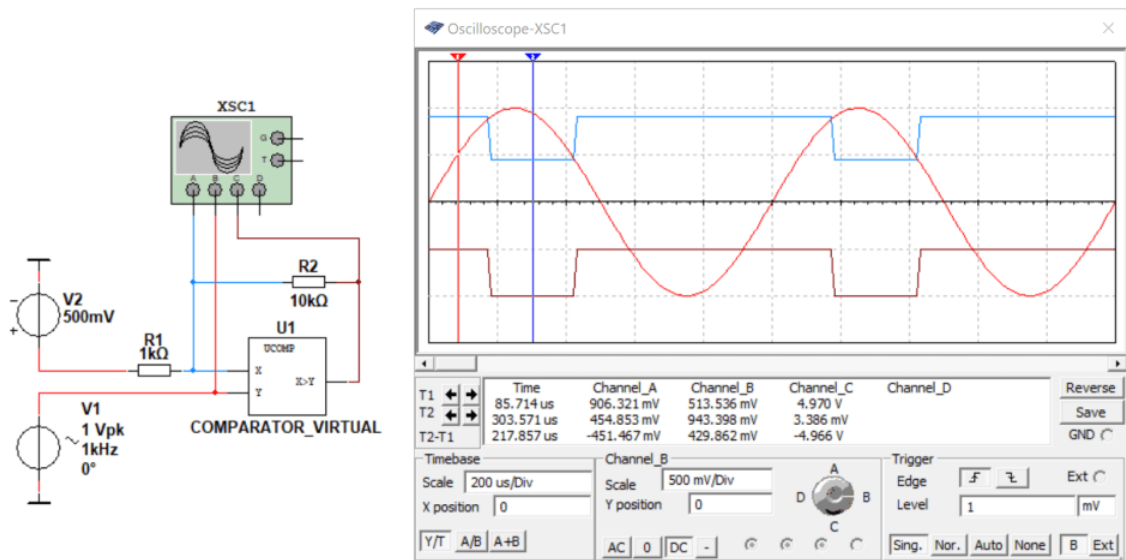


Рис. 17.14. Модель для перевірки зони нечутливості тригера Шмітта, побудованого на базі віртуального компаратора

Як слідує з рис. 17.14 ширина зони нечутливості дорівнює:

$$943,398 \text{ мВ} - 513,536 \text{ мВ} = 429,862 \text{ мВ} \text{ (за показаннями осцилографа в каналі В).}$$

Форма напруги у точці А (вхід Х компаратора) повторює форму вихідного сигналу

компаратора, але цей сигнал має значно менший рівень.

Спробуємо розрахувати ширину зони нечутливості. Ширина зони дорівнює:

$$\Delta U = \Delta U_1 + \Delta U_2 = \frac{U_{\text{внх}} - U_{\text{оп}}}{R_1 + R_2} R_1 + \frac{U_{\text{оп}}}{R_1 + R_2} R_1 = \frac{5 - 0,5}{11} \cdot 1 + 0,5 / 11 = 0,454 \text{ В.}$$

Отриманий результат дуже близький до вимірюваного. Для розрахунку опорів резисторів для створення необхідної зони нечутливості необхідно задати опір одного з резисторів, а опір другого розрахувати.

На рис. 17.15 наведена модель тригера Шмітта з використанням компаратора AD8561.

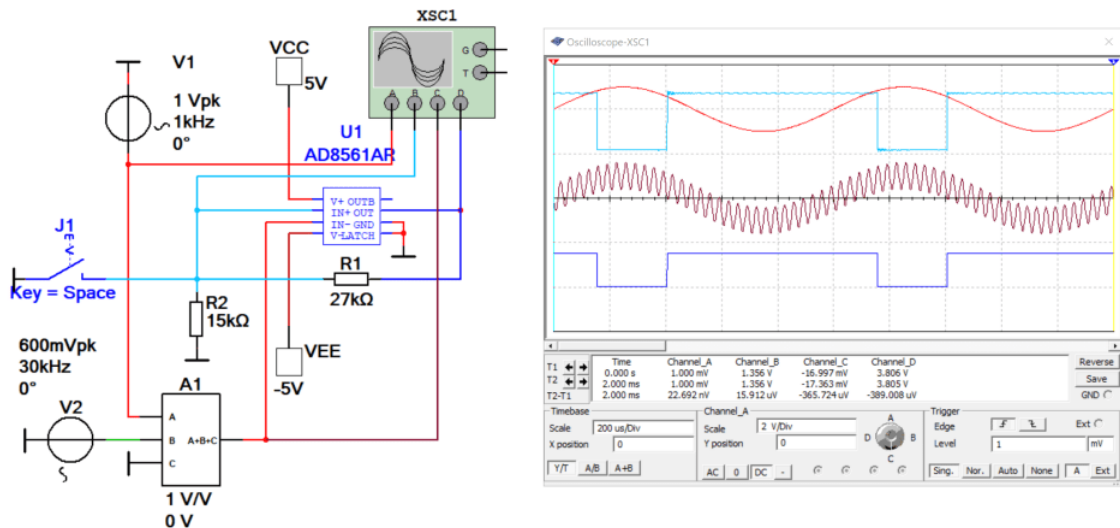


Рис. 17.15. Модель для ілюстрації роботи тригера Шмітта

Як слідує з осцилограми сигналу на виході суматора A1, на вхід компаратора подається сигнал низької частоти з накладеним на нього сигналом завади. Як видно з осцилограми на виході тригера Шмітта (фіолетова крива) завада на виході відсутня. Перемикач J1 дозволяє відключити зону нечутливості і перетворити тригер Шмітта в звичайний компаратор. Для цього потрібно замкнути перемикач. Осцилограми сигналів у різних точках моделі при замкнутому перемикачі J1 наведені на рис. 17.16.

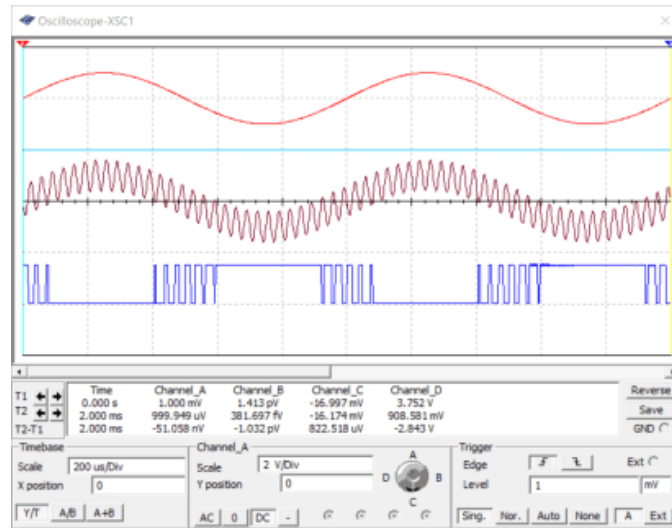


Рис. 17.16. Осцилограми сигналів у різних точках моделі з рис. 17.15 при замкнутому перемикачі J1

17.4 Логічні елементи, виконуючі функції тригерів Шмітта

Для збільшення захищеності цифрових схем від завад випускаються цифрові мікросхеми з властивостями тригерів Шмітта. Наприклад ІМС 74LS132 – елемент 2І-НІ з гістерезисом. Ознакою такого елементу є значок петлі гістерезису в умовному графічному позначенні такого елементу.

На рис. 17.17 наведено модель для дослідження властивостей такого елементу.

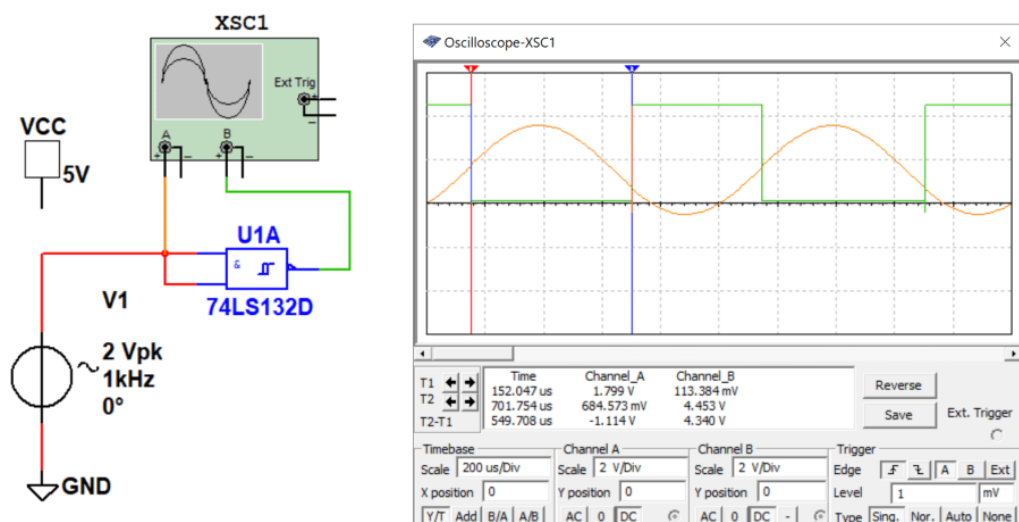


Рис. 17.17. Модель для дослідження логічного елементу з гістерезисом

Як слідує з осцилограм вхідного та вихідного сигналів, ширина петлі гістерезиса (ширина зони нечутливості) складає 1,114 В.

Контрольні питання

1. Для чого призначені компаратори?
2. Що таке час відновлення компаратора?
3. Чи залежить час відновлення компаратора від величини напруги, прикладеної між його входами?
4. Що таке регенеративний компаратор?
5. Яка різниця між тригером Шмітта і регенеративним компаратором?
6. Для чого використовується тригер Шмітта?
7. Чи випускаються промисловістю тригери Шмітта?

18 АНАЛОГОВІ КЛЮЧІ ТА КОМУТАТОРИ

18.1 Призначення та основні параметри аналогових ключів

Аналогові ключі призначені для перемикання (комутації) сигналів з мінімальними спотвореннями у відкритому стані й відключають кола джерел сигналу від кіл навантаження в закритому стані. Аналогові ключі можуть комутувати струм або напругу. Для комутації напруги можна використати або однополюсний послідовний ключ (що розриває коло сигналу), або перемикач на два положення (навантаження підключається до джерела напруги або до загального проводу схеми), як показано на рис. 18.1,а. При комутації ж струму необхідний перемикач на два положення (струм джерела ніколи не повинен перериватися, а лише перемикатися в різні кола схеми), як показано на рис. 18.1,б.

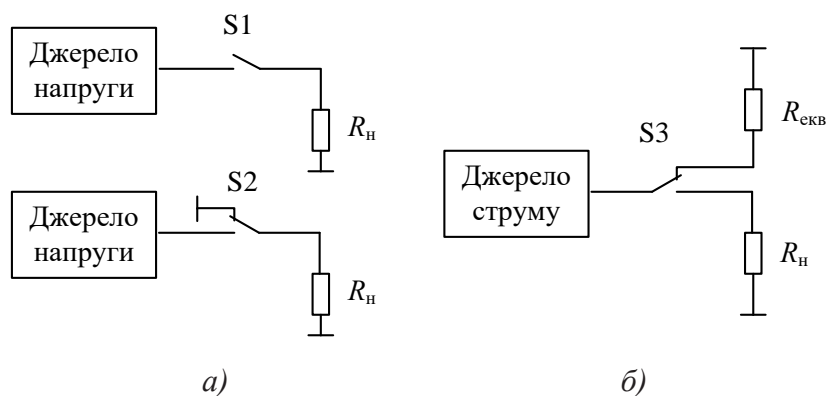


Рис. 18.1. Варіанти підключення джерела напруги (а) та джерела струму (б)

Вимоги до характеру навантаження повинні бути різними для ключів струму й напруги. У колі для комутації напруги опір навантаження повинен бути набагато більшим у порівнянні з вихідним опором джерела сигналу, а для комутації струму – навпаки. Реальні аналогові ключі вносять погрішність та нелінійні спотворення при передаванні сигналу (напруги або струму) від джерела сигналу до навантаження.

Основними параметрами ключа, що визначають значення погрішності, є залишкова напруга на замкнутому ключі $U_{ост}$, і опір відкритого ключа $R_{відкр}$.

Крім основних параметрів, аналогові ключі характеризуються ще декількома, які дозволяють визначити основні режими роботи ключа і його вплив на переданий сигнал і сполучену з ним схему. До таких параметрів відносяться:

1. Струм витоку з кола управління в сигнальне коло у замкнутому стані ключа, що дорівнює різниці струмів через вхідний і вихідний виводи ключа. Особливе значення цей

параметр має для ключів струму. Для ключів напруги при значному струмі витoku важливо, куди він тече: у джерело сигналу або в навантаження.

2. Діапазон вхідних сигналів – діапазон напруги або струму, що здатний перемикає даний ключ. Він обмежується схемою управління, пробивною напругою ключа й припустимою погрішністю передавання вхідних сигналів.

3. Час включення й вимикання, які визначають при заданому повному опорі навантаження (звичайно 10 кОм з паралельно включеною ємністю 15...20 пФ) як затримку між моментом подачі імпульсу управління й кінцем фронту (спаду) напруги або струму на навантаженні (за рівнем 0,9 або 0,1). Під час включення або вимикання опір ключа змінюється (рис. 18.2) і цей інтервал часу називається апертурним часом – $t_{\text{аперт}}$.

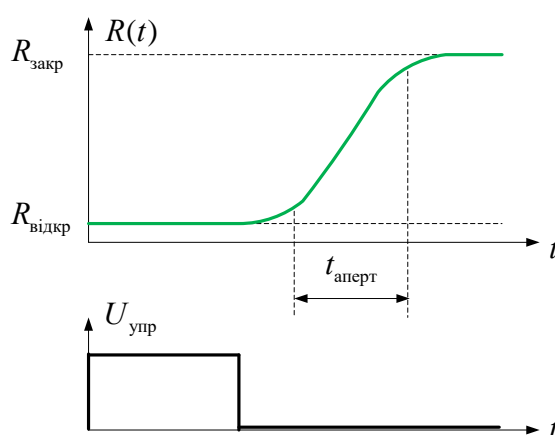


Рис. 18.2. Залежність опору аналогового ключа від сигналу управління

Як слідує з рис. 18.2 після зміни сигналу управління з "1" на "0" опір ключа змінюється поступово від мінімального ($R_{\text{відкр}}$) до максимального значення ($R_{\text{закр}}$). Час зміни опору називається апертурним часом, тобто часом коли неможливо точно визначити опір ключа.

4. Час встановлення вихідного сигналу – час, за який вихідний сигнал при перемиканні досягає сталого значення із припустимою погрішністю (на заданому навантаженні).

5. Паразитні ємності ключа, які визначають паразитні викиди сигналу управління при перемиканнях ключа, а також наскрізне проходження аналогового сигналу при розімкнутому ключі. Важливе значення має також розв'язка (ізоляція) на високій частоті, чисельно рівна відношенню вхідного сигналу до вихідного при розімкнутому ключі й при певній частоті й навантаженні.

6. Вхідні логічні рівні, які характеризують коло управління ключа і їхня сумісність із цифровими мікросхемами.

До параметрів розімкнутого ключа також відносяться струми витоку по входу й виходу розімкнутого ключа й зворотні опори. У паспортних даних звичайно вказують максимальні значення струмів витоку на вході й виході розімкнутого ключа при нормальній і максимальній температурах.

Крім того, аналогові ключі характеризуються такими параметрами, як гранично припустимі режими: напруги живлення, споживаної потужності, діапазону робочих температур, габаритних розмірів, типу корпусу й т.д.

Часто велике значення мають наступні додаткові параметри: власний шум, що обмежує знизу рівні сигналів, що перемикають; перехресні зв'язки між ключами; коефіцієнт передачі замкнутого ключа залежно від частоти вхідного сигналу (амплітудно-частотна характеристика). Звичайно вказують коефіцієнт передачі на низькій частоті або при постійній напрузі на вході.

При використанні аналогових ключів у високоякісній звуковій апаратурі особливе значення набуває такий параметр як нелінійні спотворення що вносяться ключем при його роботі.

З погляду схемної побудови аналогові ключі розрізняють по використовуваним у них напівпровідниковим елементам і способам управління ними. У цей час найпоширеніші ключі на діодах, біполярних і польових транзисторах, оптронах. У ряді випадків аналогові й цифрові ключі мають зовні схожі принципові схеми, однак різні їхні призначення визначають різні режими й порядок надходження вхідних сигналів.

Розглянемо основні схеми аналогових ключів, виконаних на різних елементах.

18.2 Діодні аналогові ключі

Базова схема аналогового діодного ключа для перемикання напруги наведені на рис. 18.3. Для управління таким ключем використовується два протифазних сигнали управління $U_{упр1}$ і $U_{упр2}$. Розглянемо роботу ключа при різних полярностях напруги управління (рис. 18.4).

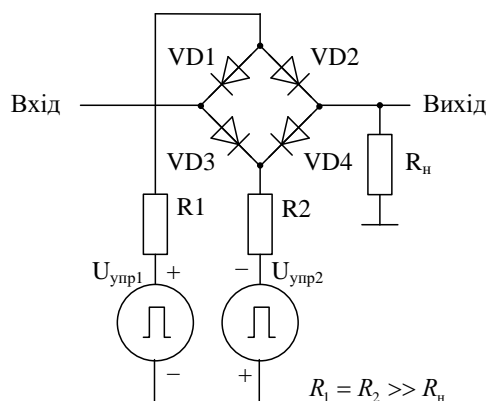


Рис. 18.3. Принципова схема діодного аналогового ключа для перемикання напруги

Необхідною умовою правильної роботи аналогового діодного ключа є дотримання умови $|U_{\text{упр}}| > U_{\text{вх.ампл.}}$. Як слідує з рис. 18.4, на інтервалі часу t_1 $U_{\text{упр1}}$ має позитивне значення, а $U_{\text{упр2}}$ – негативне. Внаслідок цього діоди VD1, VD2, VD3 та VD4 відкриті і сигнал зі входу проходить до виходу. При симетричній схемі коли параметри всіх діодів однакові і опори резисторів R1 та R2 теж однакові, через опір навантаження струм сигналів управління не протікає.

При зміні полярності сигналів управління всі діоди закриваються і сигнал через ключ на інтервалі часу t_2 не проходить.

На інтервалі часу t_3 діоди знову відкриваються, але амплітуда вхідного сигналу перевищує амплітуду сигналів управління. Це призводить до того, що діоди VD1 та VD4 при позитивній напівхвилі вхідного сигналу закривається і до виходу залишається підключене джерело сигналу управління $U_{\text{упр1}}$ через резистор R1 та відкритий діод VD2. Оскільки опір резисторів R1 та R2 набагато менший від опору навантаження, то на виході напруга буде приблизно дорівнювати амплітуді сигналу управління. З цього витікає необхідність дотримання умови $|U_{\text{упр}}| > U_{\text{вх.ампл.}}$.

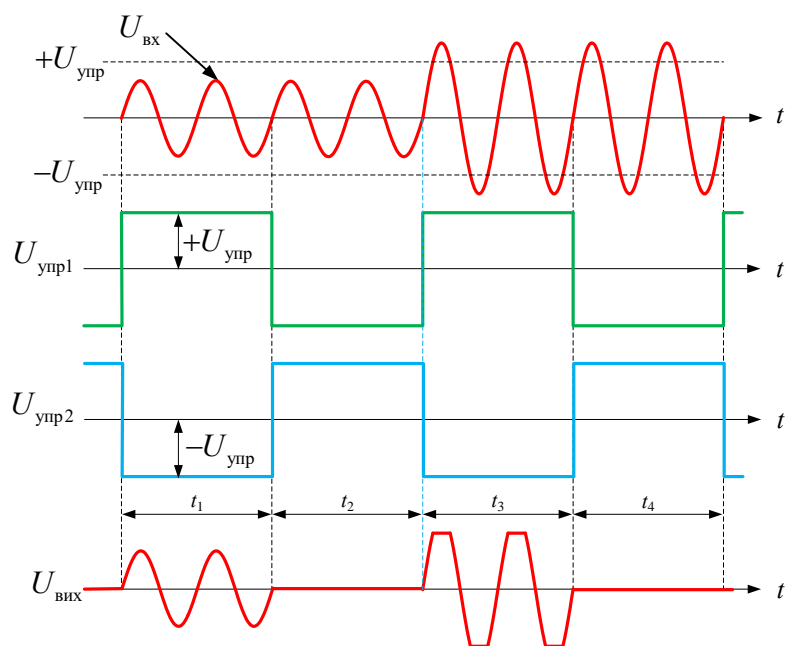


Рис. 18.4. Часові діаграми сигналів діодного аналогового ключа при різних значеннях вхідної напруги та напруги управління

На рис. 18.5 наведена модель для дослідження аналогового діодного ключа та осцилограми сигналів при виконанні умови $|U_{\text{упр1}}| = |U_{\text{упр2}}| > U_{\text{вх.ампл.}}$. Протифазні сигнали управління формуються за допомогою функціонального генератора XFG1. Амплітуда сигналів управління встановлена рівною ± 5 В, а амплітуда вхідного сигналу 3 В.

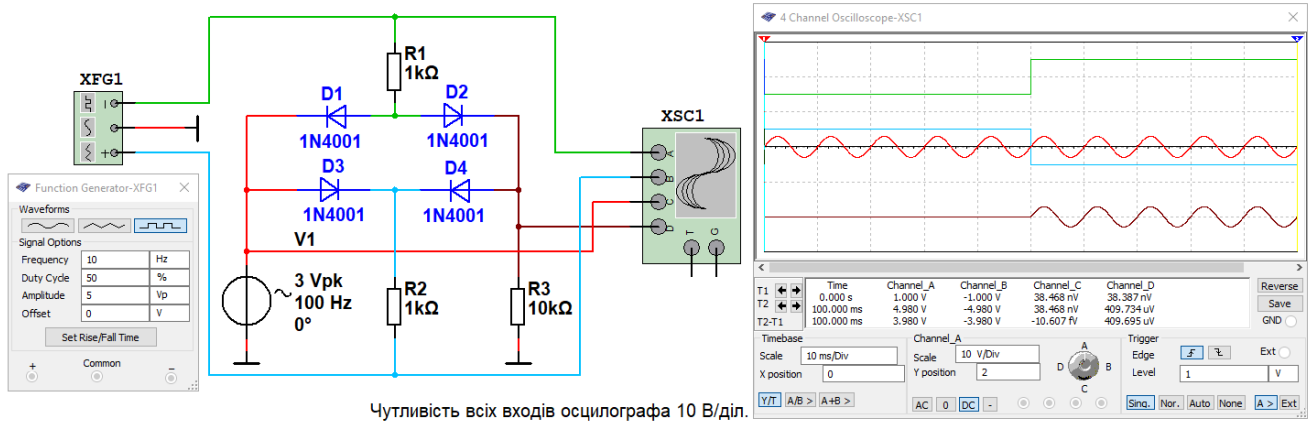


Рис. 18.5. Модель діодного аналогового ключа та осцилограми сигналів в різних точках схеми

$$\text{при } |U_{\text{упр1}}| = |U_{\text{упр2}}| > U_{\text{вх.ампл.}}$$

Якщо збільшити амплітуду вхідного сигналу до 7 В, то вихідний сигнал буде обмежений, як це показано на рис. 18.6. Чутливість всіх каналів осцилографа дорівнює 10 В/діл.

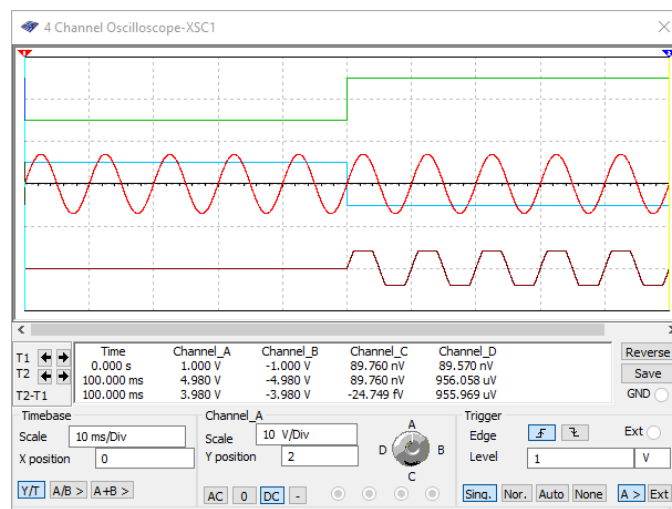


Рис. 18.6. Осцилограми сигналів в різних точках діодного аналогового ключа

$$\text{при умові що } |U_{\text{упр1}}| = |U_{\text{упр2}}| < U_{\text{вх.ампл.}}$$

Для формування коротких високочастотних імпульсів управління діодним ключем можна використати схему з імпульсним трансформатором (рис. 18.7). На виході трансформатора з двома обмотками формуються протифазні сигнали, що подаються на входи управління діодним ключем.

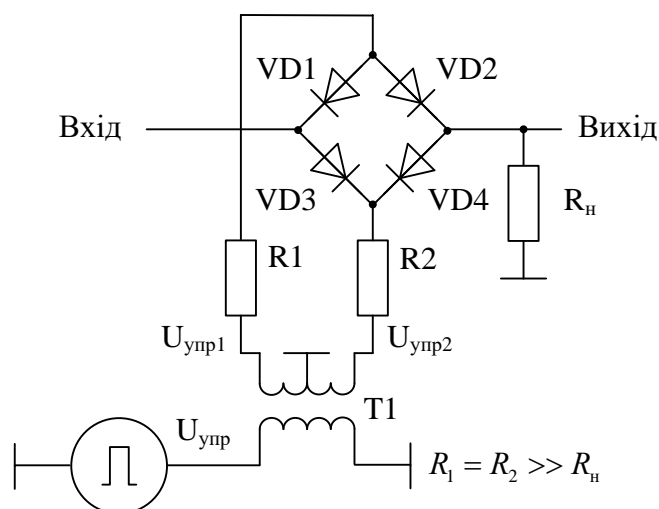


Рис. 18.7. Схема аналогового діодного ключа з управлінням через трансформатор

Модель для дослідження діодного ключа з управлінням через імпульсний трансформатор наведена на рис. 18.8.

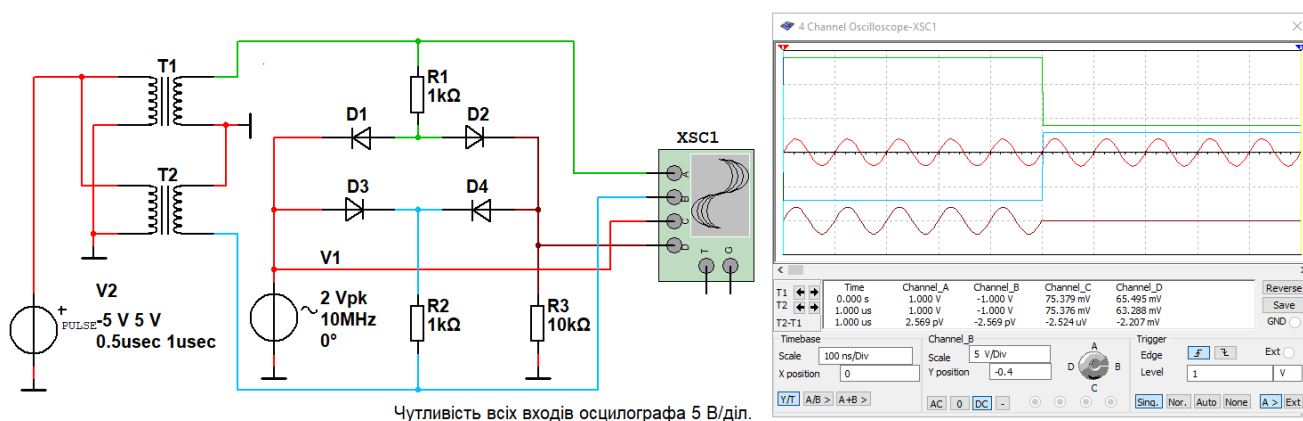


Рис. 18.8. Модель для дослідження діодного ключа з управлінням через трансформатор

Як слідує з рис. 18.8 сигнали управління по формі нічим не відрізняються від сигналів сформованих за допомогою функціонального генератора. Але при використанні діодного аналогового ключа на високій частоті необхідно обирати діоди з найменшим значенням ємності щоб зменшити рівень сигналу, що проходить через розімкнутий ключ.

18.3 Аналогові ключі на польових транзисторах

18.3.1 Загальні зауваження

У якості швидких елементів, що перемикаються, в аналогових ключах використовуються транзистори. Ідеальний аналоговий ключ має нульовий опір у відкритому стані й нескінченний

опір у закритому. Як активні елементи в більшості аналогових ключів використовуються польові транзистори, хоча можна використати й біполярні транзистори. Перевага польовим транзисторам віддається через властиві їм симетрії (мається на увазі взаємозамінність виводів стоку й витоку польового транзистора), у той час як біполярним транзисторам властива ще й досить велика залишкова напруга. Хоча залишкова напруга звичайно становить усього декілька десятків мілівольт, воно може привести до значних помилок при передачі аналогових сигналів з низьким рівнем. Ще однією перевагою польових транзисторів перед біполярними транзисторами, з погляду використання їх в аналогових ключах, є дуже високий вхідний опір польового транзистора і їх дуже низький струм затвору в порівнянні зі струмом бази біполярних транзисторів.

Перевагою польових транзисторів є і їх відносно низький опір у відкритому стані, від 0,1 до 300 Ом для різних типів польових транзисторів.

Мікросхеми аналогових ключів звичайно містять на одному кристалі схему управління й електрично незалежні польові транзистори з *pn-переходом* або МОН-транзисторів, що працюють у ключовому режимі.

Аналогові ключі застосовуються дуже широко. До таких застосувань можна віднести:

- схеми вибірки й зберігання;
- аналогові мультиплексори й демультиплексори;
- підсилювачі з гальванічною розв'язкою входів і виходів;
- цифро-аналогові перетворювачі;
- інтегруючі схеми зі скиданням;
- ОП з програмувальними характеристиками, наприклад із цифровим управлінням коефіцієнтом підсилення, частотною характеристикою, фазовим зрушенням і т.д.

18.3.2 Принцип роботи й характеристики польових транзисторів

Польовий транзистор – це напівпровідниковий прилад, підсилювальні властивості якого обумовлені потоком основних носіїв, що протікають через провідний канал і керований електричним полем. На відміну від біполярних, робота польових транзисторів заснована на використанні основних носіїв заряду в напівпровіднику. По конструктивному виконанню й технології виготовлення польові транзистори можна розділити на дві групи:

- польові транзистори з керуючим *pn-переходом*;
- польові транзистори з ізольованим затвором.

Польовий транзистор з керуючим pn -переходом – це транзистор, затвор якого відділений в електричному відношенні від каналу pn -переходом, зміщеним у зворотному напрямку. Такий транзистор складається з напівпровідникової пластини із кремнію з контактами по краях і одним або двома pn -переходами в центральній частині (рис. 18.9,а). Між контактами методом дифузії формується провідний канал з дірковою (для напівпровідника p -типу) або електронною (для напівпровідника n -типу) провідністю, товщина якого управляється pn -переходом, зміщеним у зворотному напрямку й розташованим паралельно напрямку руху носіїв заряду.

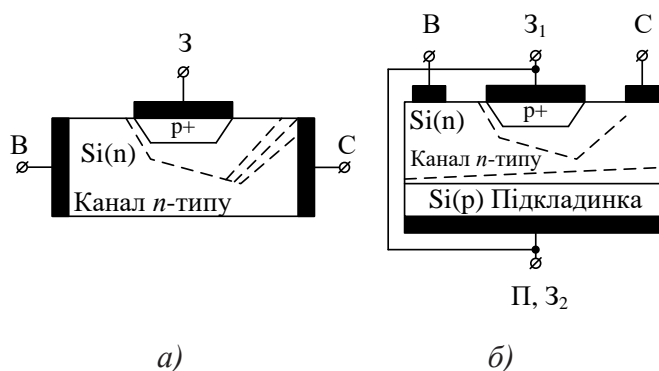


Рис. 18.9. Структура польового транзистора з pn -переходом

При підключенні до витоку негативного (для n -каналу), а до стоку позитивної напруги в каналі виникає електричний струм, створюваний рухом електронів від витоку до стоку, тобто основними носіями заряду. У цьому полягає істотна відмінність польового транзистора від біполярного. Рух носіїв заряду уздовж електронно-діркового переходу (а не через переходи, як у біполярному транзисторі) є другою характерною рисою польового транзистора.

Електричне поле, створюване між затвором і каналом, змінює щільність носіїв заряду в каналі, тобто величину струму, що протікає. Тому що управління відбувається через зворотно-зміщений pn -перехід, опір між керуючим електроном і каналом великий, а споживана потужність від витоку сигналу в ланцюзі затвора мізерно мала. Тому польовий транзистор може забезпечити посилення електромагнітних коливань як по потужності, так і по струму й напрузі. У деяких випадках його з'єднують із основним затвором, і тоді обидва затвори діють спільно.

Польові транзистори із двома pn -переходами (затворами) є більше досконалішими приладами (рис. 18.9,б). Другий затвор (другий $p-n$ -перехід) обмежують канал знизу. Звичайно другий затвор з'єднують із заземленим (загальним) витоком.

Польовий транзистор з ізолюваним затвором – це польовий транзистор, затвор якого відділений в електричному відношенні від каналу шаром діелектрика. Польовий транзистор з ізолюваним затвором (рис. 18.10) складається із пластини напівпровідника (підкладки) з відносно високим питомим опором, у якій створені дві області із протилежним типом

електропровідності. На ці області нанесені металеві електроди – виток й стік. Поверхня напівпровідника між витком і стоком покрита тонким шаром діелектрика (звичайно шаром оксиду кремнію). На шар діелектрика нанесений металевий електрод – затвор. Виходить структура, що складається з металу, діелектрика й напівпровідника. Тому польові транзистори з ізольованим затвором часто називають МДН-транзисторами або МОН-транзисторами (метал – оксид – напівпровідник). Існують два різновиди МОН-транзисторів з індукованим і з вбудованим каналами.

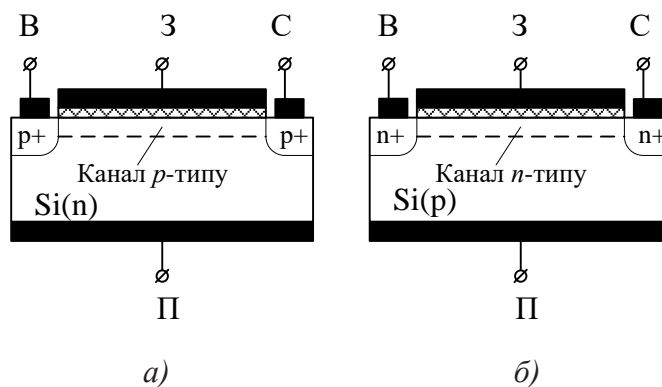


Рис. 18.10. Структура польового транзистора з ізольованим затвором з індукованим каналом (а) і з вбудованим каналом (б)

У МОН-транзисторах з індукованим каналом, помітний струм стоку з'являються тільки при певній полярності й при певному значенні напруги на затворі щодо виток (негативного при p -каналі й позитивного при n -каналі). Цю напругу називають граничним ($U_{зв.пор}$). Тому що поява й зростання провідності індукованого каналу пов'язані зі збагаченням його основними носіями заряду, то вважають, що канал працює в режимі збагачення.

У МОН-транзисторах з вбудованим каналом провідний канал, виготовлений технологічним шляхом, утворюється при напрузі на затворі, рівній нулю. Струмом стоку можна управляти, змінюючи значення й полярність напруги між затвором і витком. При деякій позитивній напрузі затвор – виток транзистора з p -каналом або негативною напругою транзистора з n -каналом струм у колі стоку припиняється. Цю напругу називають напругою відсічки ($U_{зв.відс}$). МОН-транзистор з вбудованим каналом може працювати як у режимі збагачення, так і в режимі збідніння каналу основними носіями заряду.

Умовне графічне позначення розглянутих польових транзисторів показано на рис. 18.11.

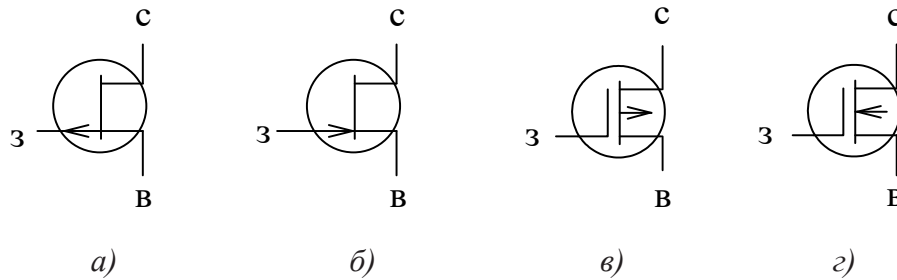


Рис. 18.11. Польові транзистори з керуючим pn -переходом і p -каналом (а), n -каналом (б) та з ізольованим затвором з p -каналом (а) і з n -каналом (б)

18.3.3 Вольт-амперні характеристики польових транзисторів

Вольт-амперні характеристики польових транзисторів показують залежність струму стоку I_c від значення однієї напруги U_{cb} або U_{zb} при фіксованій величині іншої.

Статичні стокові характеристики польового транзистора з керуючим pn -переходом являють собою залежність $I_c = \varphi(U_{cb})$ при $U_{zb} = \text{const}$. При $U_{zb} = 0$ й малих значеннях U_{zb} струм стоку змінюється прямо пропорційно напрузі (початок ділянки АБ, рис. 18.12,а).

Статична виток-затворна характеристика (характеристика управління) $I_c = \varphi(U_{zb})$ наведена на рис. 18.12,б. Тому що польовий транзистор звичайно працює в режимі насичення, то, як правило, розглядають стік-затворну характеристику для цього режиму роботи. Початкова ділянка при $U_{zb,відс}$ відповідає встановленню в транзисторі залишкового струму $I_{c,ост}$, що має значення кілька мікроампер. При $U_{zb} = 0$ значення струму стоку досягає максимальної величини $I_{c,мах}$.

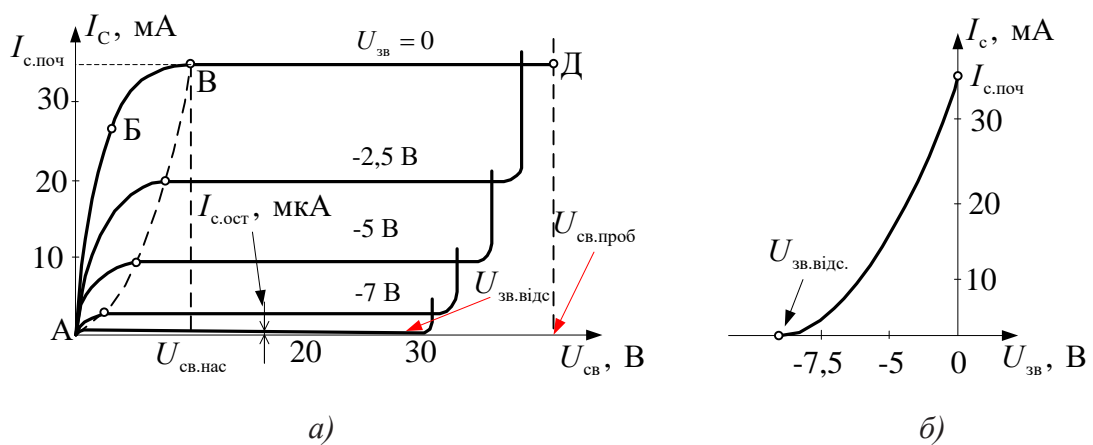


Рис. 18.12. Стокові (а) і стік-затворні (б) характеристики польового транзистора з pn -переходом і n -каналом

Статичні стокові характеристики МОН-транзистора з індукованим каналом мають аналогічний характер. При певній напрузі $|U_{зв}| \leq |U_{зв.пор}|$ канал перебуває практично в закритому стані ($I_c = I_{c.ост}$). При збільшенні напруги $U_{зв} \geq U_{зв.пор}$ відбувається зсув струму насичення у бік збільшення. Початкова ділянка стік-затворної характеристики при $U_{зв.пор}$ відповідає $I_c = I_{c.ост}$, аналогічно польовому транзистору з pn -переходом. У МОН-транзисторі з індукованим каналом з підкладкою p -типу при $U_{зв} = 0$ канал n -типу може перебувати в провідному стані. При деякій граничній напрузі $U_{зв.пор} < 0$ за рахунок збіднення каналу основними носіями провідність його значно зменшується. Статичні стокові характеристики в цьому випадку будуть мати вигляд, показаний на рис. 18.13,а, а стік-затворна характеристика перетинає вісь ординат у точці зі значенням струму $I_{c.поч}$ (рис. 18.13,б).

Особливістю МОН-транзистора з індукованим каналом n -типу є можливість роботи без постійної напруги зміщення ($U_{зв} = 0$) у режимі як збіднення, так і збагачення каналу основними носіями заряду. МОН-транзистор з вбудованим каналом має вольт-амперні характеристики, аналогічні зображеним на рис. 18.13.

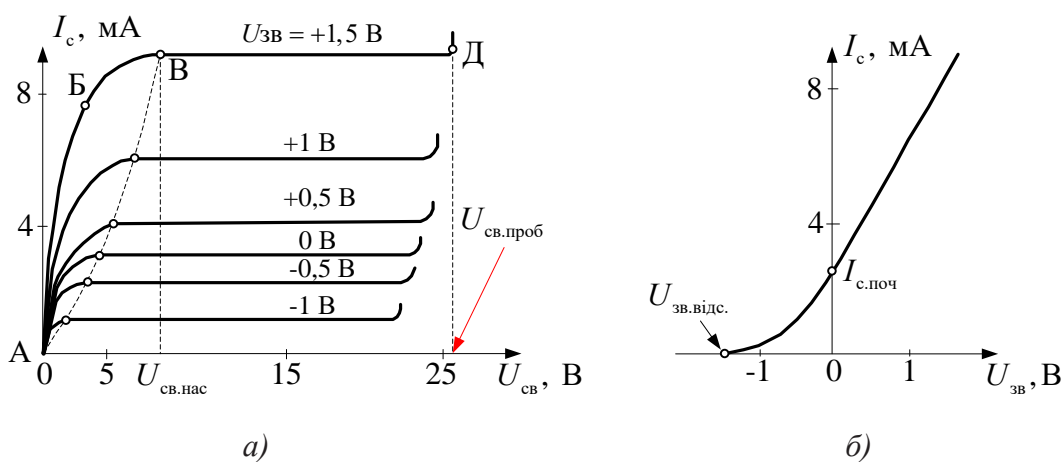


Рис. 18.13. Стокові (а) і стік-затворні (б) характеристики польового транзистора з вбудованим каналом n -типу

18.3.4 Аналоговий ключ на МОН-транзисторі

Часто польові транзистори, головним чином МОН-транзистори, застосовуються як аналогові ключі. У силу своїх властивостей, таких, як малий опір у провідному стані, дуже високий опір у стані відсічення, малі струми витоку й мала прохідна ємність, вони найбільш підходящі елементи для реалізації аналогових ключів.

На рис. 18.14 наведена принципова схема аналогового ключа на n -канальному МОН-транзисторі з індукованим каналом. Транзистор закритий при заземленому затворі або при негативній напрузі на затворі. У цьому стані опір стік-виток, як правило, більше 10000 МОм, і сигнал не проходить через ключ. Подача на затвор позитивної напруги (більше $U_{пор}$) приводить канал стік-виток в провідний стан з типовим опором від 25 до 100 Ом ($R_{відкр}$) для транзисторів, призначених для використання як аналогові ключі.

Схема не критична до значення рівня сигналу на затворі, оскільки він істотно більше позитивний, чим це необхідно для підтримки малого $R_{відкр}$, а тому його можна формувати за допомогою логічних схем ТТЛ або операційних підсилювачів (ОП).

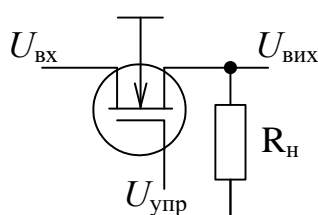


Рис. 18.14. Аналоговий ключ на n -канальному МОН-транзисторі з ізольованим затвором

При живленні ОП від двополярного джерела від'ємна напруга на затворі надає можливість перемикає сигнали будь-якої полярності. Слід пам'ятати, що аналоговий ключ такого типу – двонаправлений пристрій, тобто він може пропускати сигнал в обидва боки.

Наведений на рис. 18.14 ключ буде працювати при позитивних сигналах, амплітуда яких не перевищує $U_{упр} - U_{пор}$. При більш високих рівнях сигналу напруга на затворі буде недостатньою, щоб утримувати транзистор у відкритому стані.

Для перемикає сигналів обох полярностей потрібно використовувати двополярну напругу управління.

Для будь-якого ключа на польовому транзисторі важливо забезпечити опір навантаження в діапазоні від 10 до 100 кОм, щоб запобігти проходженню вхідного сигналу через прохідну ємність транзистора у закритому стані. Чим більше значення опору навантаження, тим більше рівень сигналу що проходить через цю паразитну ємність.

Значення опору навантаження вибирається компромісним. Малий опір зменшить проходження сигналу, але викликає ослаблення вихідного сигналу через дільник напруги, утворений опором відкритого транзистора $R_{відкр}$ і опором навантаження. А тому що $R_{відкр}$ міняється зі зміною вхідного сигналу, то це ослаблення приведе до незначної небажаної нелінійності. Занадто низький опір навантаження проявляється також і на вході ключа, навантажуючи джерело вхідного сигналу.

Для зменшення проходження сигналу через паразитну ємність (особливо у ключах призначених для роботи на високих частотах) можна застосувати ще один ключ, що буде замикає вихід основного ключа на загальний провід коли основний ключ закритий. Схема такого ключа наведена на рис. 18.15. Сигнал управління транзистором VT2 формується за допомогою інвертора.

Часто необхідно перемикає сигнали, порівнянні по величині з напругою живлення. У цьому випадку описана вище проста схема працювати не буде, оскільки при піковому значенні сигналу затвор не буде мати достатнього зміщення. Тому для перемикає таких сигналів застосовуються ключі на комплементарних МОН-транзисторах (КМОН).

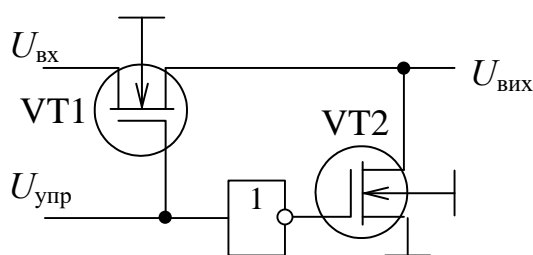


Рис. 18.15. Схема ключа зі зменшеним рівнем проходження сигналу через паразитну ємність

18.3.5 Аналоговий ключ на КМОН-транзисторах

На рис. 18.16 наведена принципова схема аналогового ключа виконаного на КМОН-транзисторах з ізольованим затвором – VT1 з каналом *n*-типу і VT2 з каналом *p*-типу.

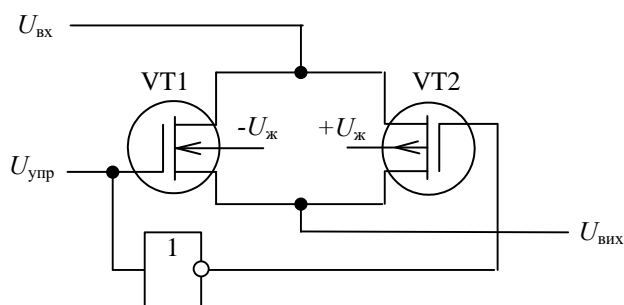


Рис. 18.16. Аналоговий ключ на КМОН-транзисторах

При високому рівні сигналу VT1 пропускає сигнали з рівнями від нуля до $+U_{ж}$ без декількох вольт, а VT2 пропускає сигнал з рівнями від нуля до значення $-U_{ж}$ на декілька вольт

вище рівня $-U_{ж}$. Таким чином, всі сигнали в діапазоні $\pm U_{ж} - \Delta U$ проходять через ключ. Як і описані раніше ключі, цей ключ пропускає сигнал в обох напрямках.

Одиночний n -канальний або p -канальний МОН-транзистори можуть використовуватися як аналоговий ключ, однак опір одиночних транзисторів у відкритому стані $R_{відкр}$ буде сильно залежати від величини сигналу, що комутується. Опір $R_{відкр}$ можна істотно зменшити, якщо включити комплементарні польові транзистори паралельно й управляти ними протифазними сигналами, що забезпечує практично одночасне включення й вимикання цих ключів. Залежність опорів $R_{відкр}$ від рівня вхідного сигналу показані на рис. 18.17.

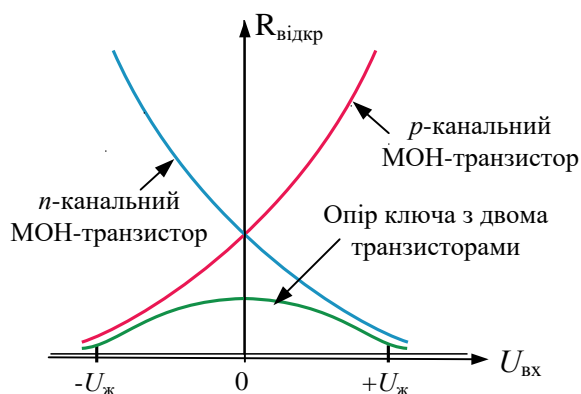


Рис. 18.17. Залежність відкритого ключа на КМОН-транзисторах від амплітуди сигналу що комутується

18.3.6 Ключі на польових транзисторах і операційних підсилювачах

Діоди й транзистори, мають неприпустимо велику для багатьох випадків помилку комутації через значну залишкову напругу, опір у відкритому стані й струми витоку в закритому стані. Перераховані помилки можна значно зменшити, використовуючи ОП разом з транзисторами. Ключі на польових транзисторах і ОП одержали найбільше поширення завдяки простоті й широкому динамічному діапазону сигналів, що комутуються.

Можна побудувати схему аналогового ключа на транзисторі з керуючим pn -переходом, якщо використати ОП (рис. 18.18). Для відкриття транзистора потрібно подати нульовий потенціал на затвор. Цей спосіб дає додаткову перевагу, що полягає в точній компенсації помилок, що виникають через кінцеве значення $R_{відкр}$ і його нелінійність.

Такий ключ має особливості:

1. Коли VT1 відкритий (затвор заземлений), вся схема перетворюється на інвертуючий підсилювач з однаковим повним опором у вхідному колі й колі зворотного зв'язку. Це компенсує

всі ефекти, пов'язані з кінцевим значенням й нелінійністю опору відкритого транзистора, якщо транзистори мають однакові опори у відкритому стані $R_{\text{відкр}}$.

2. Завдяки малому значенню напруги відсічення ключ буде працювати при зміні напруги сигналу управління у діапазоні від 0 до +5 В, що зручно для роботи з мікросхемами ТТЛ та КМОН. Включення витоку VT1 до потенційного нульового рівня (інвертуючий вхід є умовно підключеною до нуля точкою) покращує режим роботи польового транзистора. Це досягається завдяки тому що при відкритому VT1 відсутні коливання напруги на витоці транзистора. Діод VD1 перешкоджає включенню VT1 при позитивному значенні вхідної напруги. Коли транзистор відкривається діод на роботу ключа не впливає.

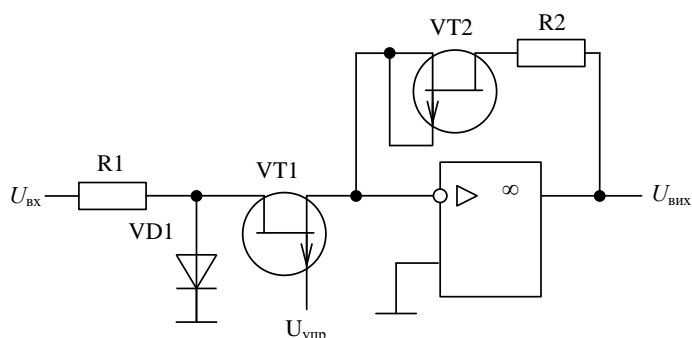


Рис. 18.18. Принципова схема прецизійного аналогового ключа

На рис. 18.19,а наведена схема простого аналогового комутатора (аналогового мультиплектора), точність коефіцієнта, передачі якого на порядок більше, ніж без використання ОП, завдяки включенню в коло від'ємного зворотного зв'язку ОП транзистора VT3, ідентичного по параметрах транзисторам VT1 і VT2. Коефіцієнт передачі кожного вхідного сигналу дорівнює $(1 + \Delta r_0 / R)$, де Δr_0 – різниця опорів відкритих транзисторів VT3 і VT1 або VT3 і VT2. Якщо обидва транзистора VT1 і VT2 закриті, то $U_{\text{вих}} \approx 0$.

Схема на рис. 18.19,б характерна тим, що в ній практично повністю виключений вплив опору на точність передачі аналогового ключа. У режимі коли ключ замкнений на вхід управління подається позитивна напруга. При негативній напрузі на вході управління VT1 відкритий, а VT2 закритий. Напруга управління повинна перевищувати діапазон зміни вхідного сигналу. Однак у розглянутих схемах відчутний вплив паразитних ємностей польових транзисторів. Тобто вони призначені для комутації низькочастотних сигналів, наприклад звукових.

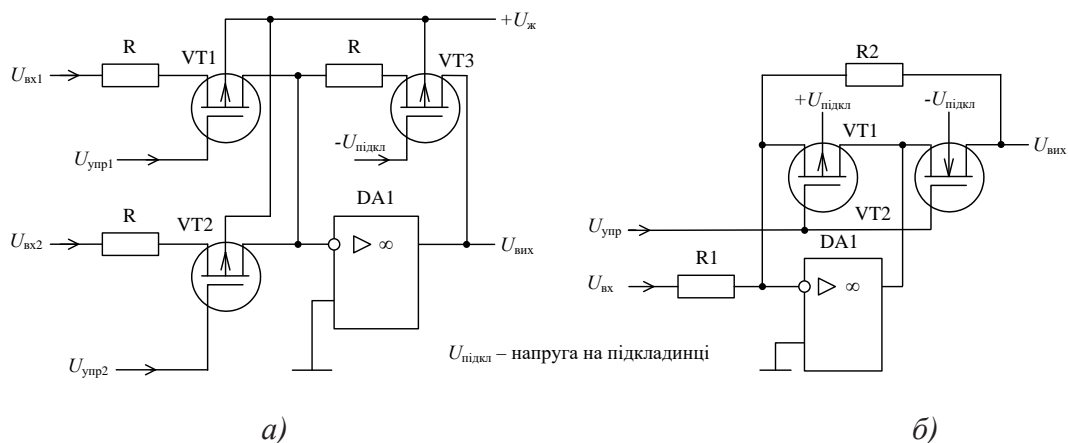


Рис. 18.19. Аналоговий комутатор на польових транзисторах одного типу (а) та аналоговий ключ з поліпшеними характеристиками на КМОП-транзисторах (б)

18.4 Інтегральні схеми аналогових ключів та комутаторів

Розглянемо параметри деяких мікросхем аналогових ключів та комутаторів більш детально за допомогою моделювання. На рис. 18.20 наведено модель для вимірювання параметрів ключів, що входять до складу ІМС комутатора ADG512. Комутатор містить 4 аналогових ключа з незалежним управлінням кожним ключем.

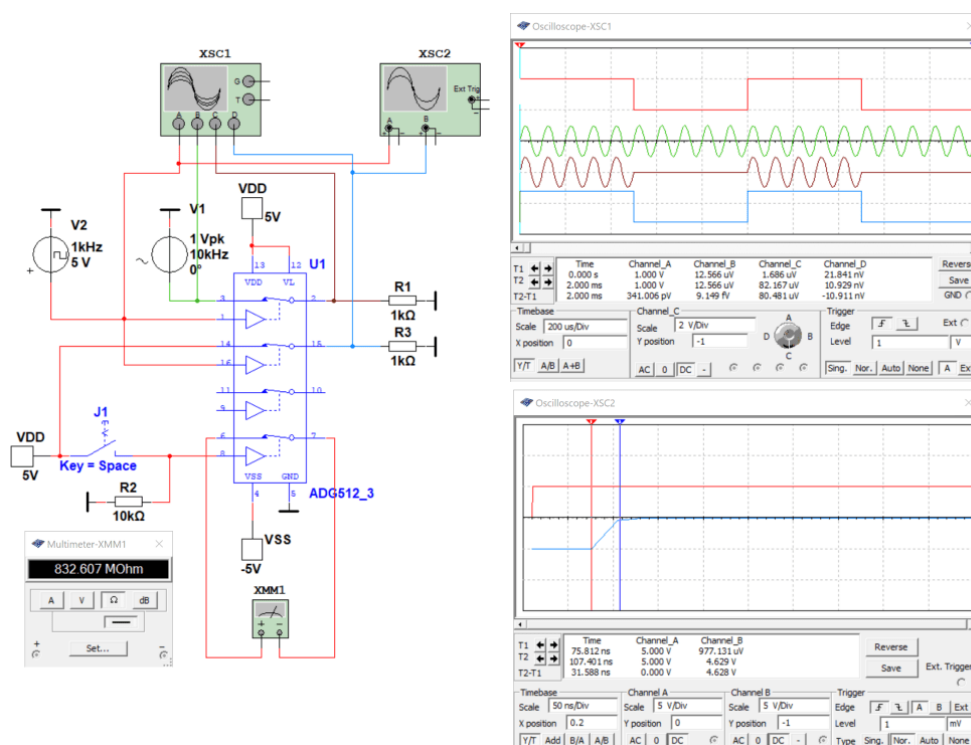


Рис. 18.20. Модель для дослідження параметрів аналогових ключів, що входять до складу ІМС ADG512

Верхній ключ використовується для ілюстрації проходження сигналу через нього. З осцилограм видно, що ключ відкривається рівнем логічної "1" на його вході управління.

Другий зверху ключ використовується для вимірювання часу затримки та апертурного часу ключа. Осцилограми сигналу на вході управління та на виході ключа, виміряні за допомогою осцилографа XSC2, дозволяють виміряти час затримки, що складає 75 нс, і апертурний час, що дорівнює 30 нс.

Нижній ключ комутатора призначений для вимірювання опорів відкритого та закритого ключа. З рис. 18.20 слідує, що опір закритого ключа складає 833 МОм. При замкненому ключі J1 вимірюється опір відкритого ключа, який складає 20 Ом.

Для ключа ADG442 час затримки складає 26 нс, апертурний час 11,7 нс, опір у відкритому стані 68 Ом, а у закритому більше 1 ГОм.

Для одиночного ключа AD7510 час затримки складає 170 нс, а апертурний час – 140 нс. Опір відкритого ключа складає 5,6 Ом, а закритого – 3 ГОм.

У Multisim доступні для моделювання не тільки одиночні ключі, а і аналогові комутатори 16×1, 8×1, два комутатора 4×1, чотири комутатора 2×1 в одному корпусі і мікросхеми що містять 4 окремих ключа з управлінням як "1", так і "0".

Розглянемо роботу комутатора аналогових сигналів 16×1 (16 входів і один вихід) ADG406 за допомогою моделі наведеної на рис. 18.21. За даними компанії Analog Devices цей комутатор має такі основні параметри:

- максимальна напруга живлення ± 22 В;
- опір ключів у відкритому стані не більше 80 Ом;
- час включення $t_{on} < 160$ нс;
- час виключення $t_{on} < 150$ нс;
- діапазон напруги вхідного сигналу $\pm U_{ж}$.

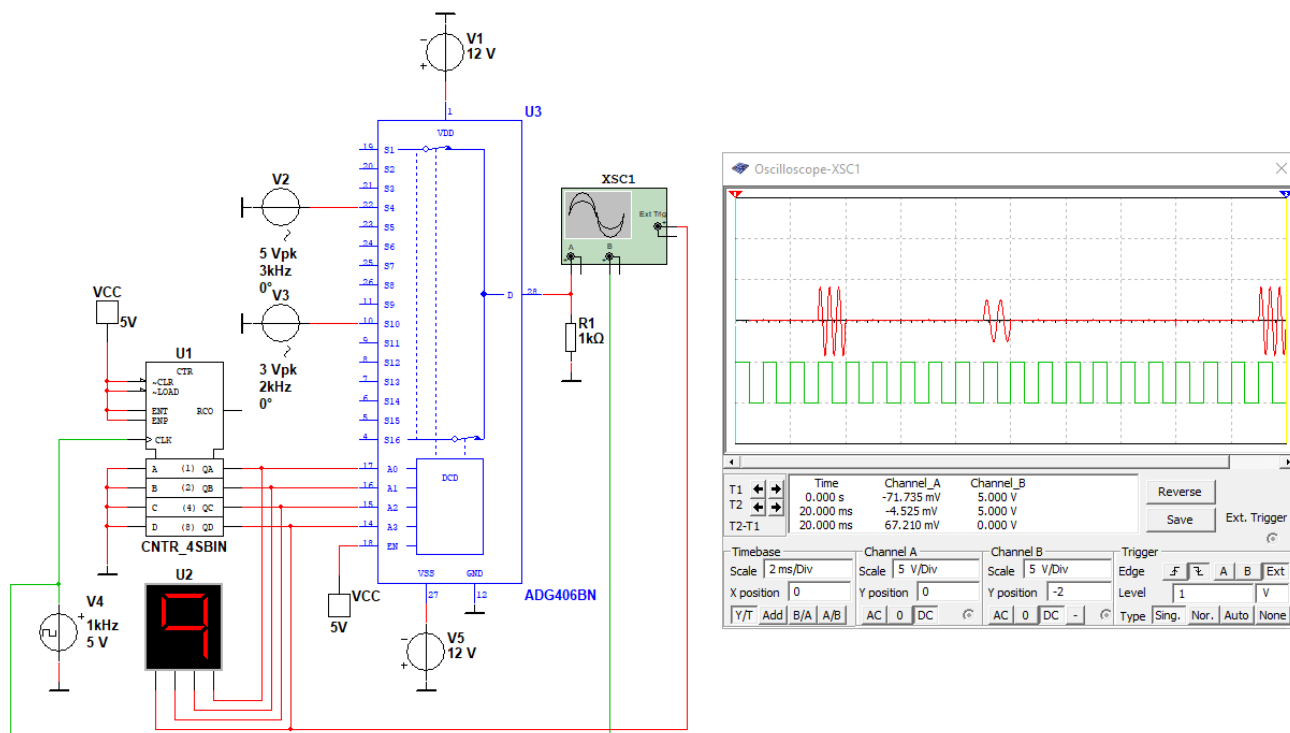


Рис. 18.21. Модель для дослідження параметрів аналогового комутатора 16×1 ADG406

Для формування коду управління використовується двійковий лічильник U1, що перемикається з частотою 1 кГц. До 4 та 10 входів підключені генератори гармонічного сигналу з частотами 3 кГц та 2 кГц, відповідно.

На екрані осцилографа відображаються осцилограми тактового сигналу (зелена) та вихідний сигнал комутатора. Для зручності контролю частота і амплітуда вхідних аналогових сигналів обрані різними. З осцилограм слідує що під час четвертого періоду вхідних тактових імпульсів на виході комутатора спостерігається сигнал від генератора V2, а під час десятого періоду тактових імпульсів – від генератора V3.

Модель і результати моделювання восьмиканального аналогового комутатора 8×1 ADG408 наведена на рис. 18.22. Комутатор має параметри схожі з параметрами ІМС ADG406.

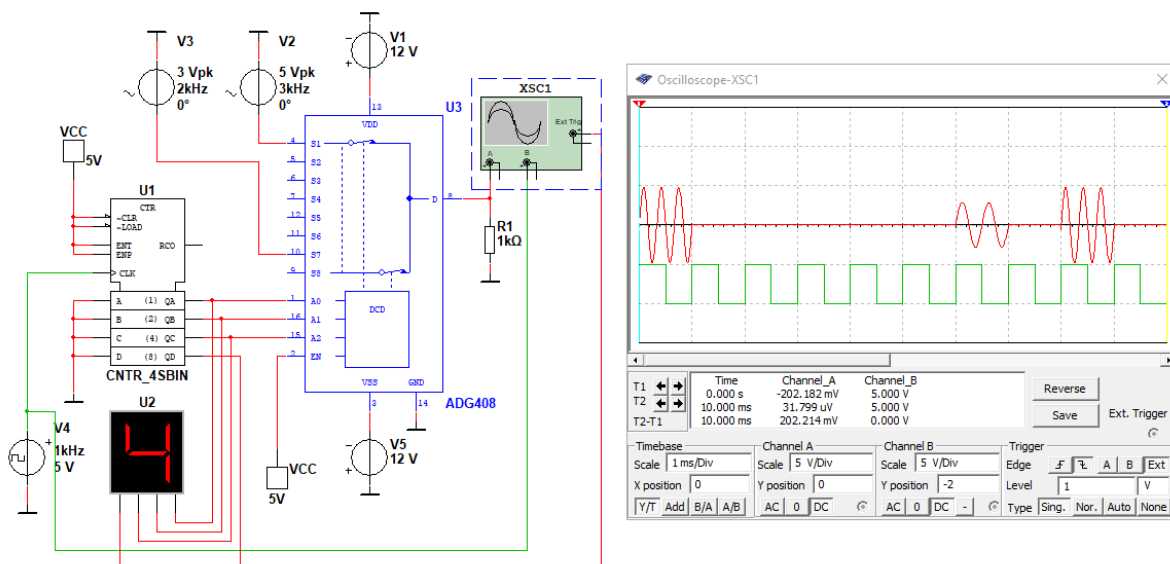


Рис. 18.22. Модель для дослідження параметрів аналогового комутатора 8×1 ADG408

Як слідує з осцилограм сигналів на виході комутатора формується сигнал на першому та сьомому тактах вхідного сигналу, що відповідає підключенню до виходу сигналів генераторів V2 та V3, відповідно.

У бібліотеці Mixed безоплатної версії Multisim доступно 80 різних аналогових ключів та комутаторів.

18.5 Зменшення нелінійних спотворень аналогових ключів

У сучасних високоякісних системах посилення й обробки звуку, спотворення, внесені аналоговим трактом не повинні перевищувати величини 0.001% і бажано мати їх ще меншої величини. Як відомо, комутація аналогових сигналів здійснюється за допомогою аналогових ключів і необхідно мінімізувати спотворення, внесені ними в процесі роботи тракту обробки звуку.

Як відомо, більшість аналогових ключів в інтегральному виконанні, побудованих на комплементарних МОН-транзисторах, вносять нелінійні спотворення в тракт обробки сигналів. Це пов'язане з тим, що опір відкритого ключа залежить від прикладеної напруги тобто є нелінійним елементом. Крім того, ця залежність міняється при зміні опору навантаження, тобто залежить від струму, що протікає через аналоговий ключ.

Щоб досліджувати залежність спотворень, внесених аналоговими ключами, від опору навантаження, включеного на виході ключа, скористаємося простою моделлю що наведена на рис. 18.23. У програмі NI Multisim є великий вибір ІМС аналогових ключів різних виробників.

Так в 12-й версії програми в бібліотеці **Mixed** їх налічується 230 найменувань, а в 14-й версії – 357. Тобто вибір мікросхем досить широкий.

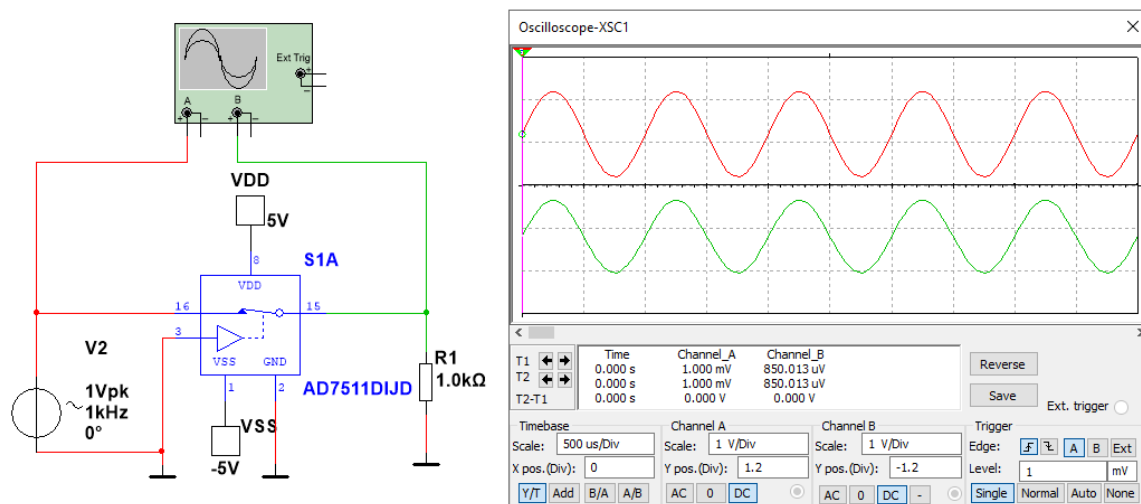


Рис. 18.23. Модель для дослідження спотворень, внесених ключем AD7511 компанії Analog Devices

Проведемо дослідження ключа за допомогою Фур'є-аналізу в точці 2 (точка з'єднання виходу ключа з навантаженням) при фіксованій величині вхідної напруги, рівній 1 В, різних значеннях опору навантаження й частоти вхідного сигналу. Крім спектру сигналу в обраній для аналізу точці в результаті аналізу розраховується й значення коефіцієнта гармонік (параметр THD на рис. 18.24). Результати моделювання зведені в табл. 18.1.

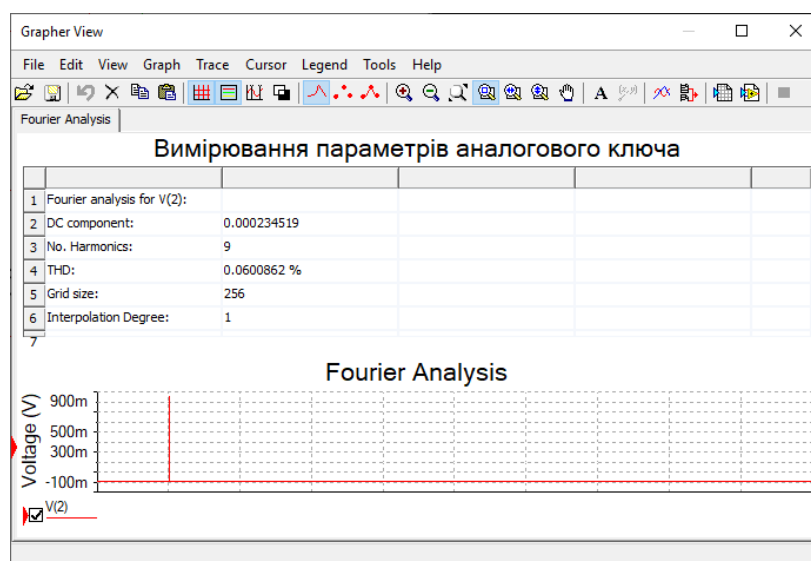


Рис. 18.24. Результати аналізу спотворень, внесених ключем AD7511 при опорі навантаження 1 кОм

Таблиця 18.1. Залежність спотворень, внесених ключем AD7511 від опору навантаження й частоти сигналу

$f_{ВХ}$, кГц	1			3			10		
R_H , кОм	0.1	1	10	0.1	1	10	0.1	1	10
K_T , %	0.51	0.06	0.0072	0.51	0.06	0.0072	0.51	0.06	0.0072

Для порівняння параметрів різних типів ІМС аналогових ключів були проведені виміри спотворень, внесених ключами ADG723 ($K_T=0.0107\%$ при $R_H=1$ кОм й $K_T=0.001\%$ при $R_H=10$ кОм), ADG783 ($K_T=0.012\%$ при $R_H=1$ кОм), DG411 виробництва Intersil ($K_T=0.015\%$ при $R_H=1$ кОм).

З наведених даних можна зробити висновок про те, що характеристики різних аналогових ключів дуже схожі і характер зміни спотворень при зміні опору навантаження збігається. При зменшенні опору навантаження в 10 разів у стільки ж раз збільшується коефіцієнт гармонік.

Для компенсації спотворень необхідно включити аналоговий ключ у коло зворотного зв'язку операційного підсилювача, як показано на рис. 18.25.

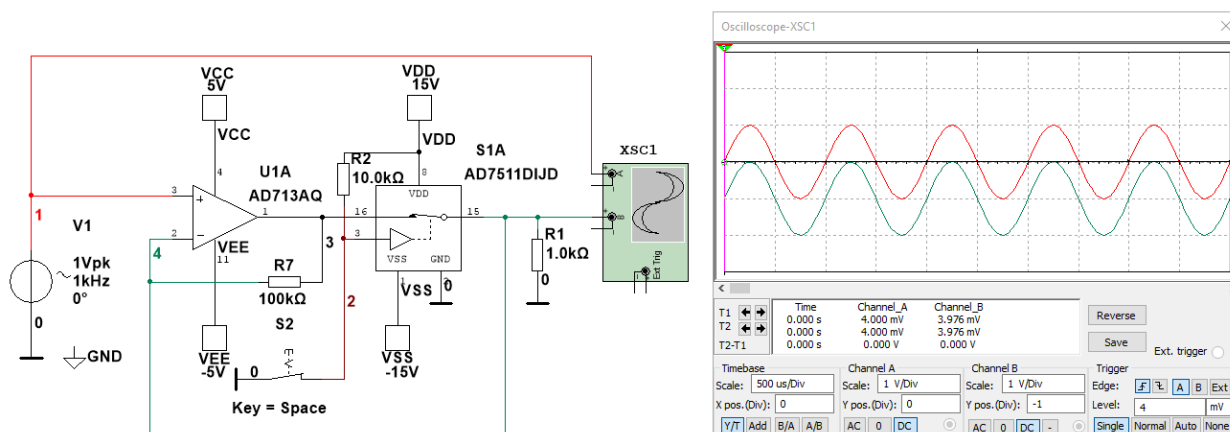


Рис. 18.25. Схема включення аналогового ключа AD7511 для компенсації спотворень

Результати випробувань показали, що коефіцієнт гармонік на виході такої схеми не перевищує $6,13 \cdot 10^{-5}\%$ (рис. 18.26), тобто введення ключа AD7511 у коло ВЗЗ (від'ємного зворотного зв'язку) операційного підсилювача AD713 дозволяє знизити коефіцієнт гармонік майже в 1000 разів.

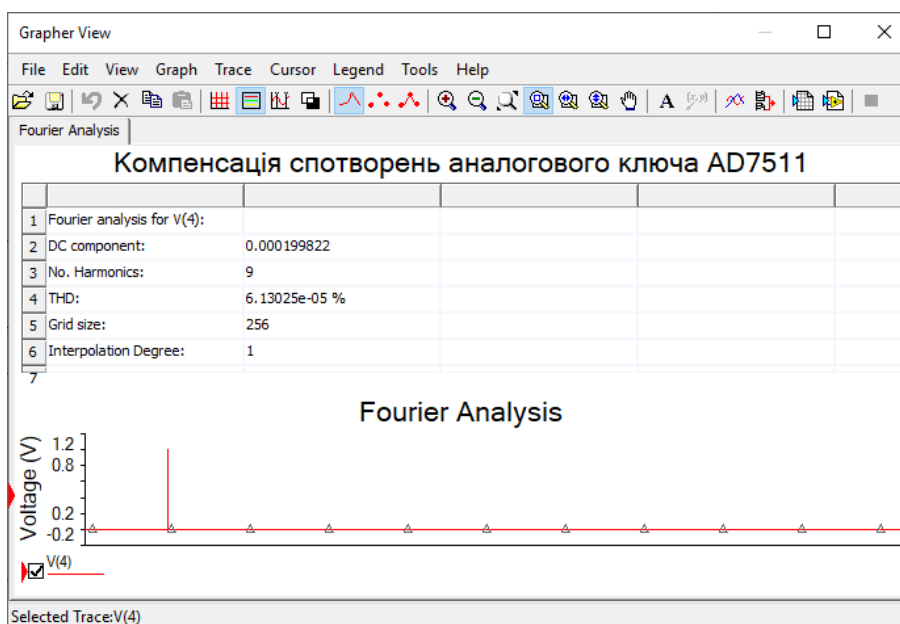


Рис. 18.26. Результати аналізу спотворень, внесених ключем AD7511, у схемі з компенсацією спотворень

Для перевірки впливу параметрів ОП на одержуваний результат були проведені випробування схеми рис. 18.25 з ОП типу ADA4075. У результаті отримане значення коефіцієнта гармонік склало $K_T = 0.0001245\%$, тобто параметри самого ОП істотно впливають на отриманий результат. При використанні ОП HA7-2850-9 (HA2850 Intersil) вимірний коефіцієнт гармонік складає $K_T = 6,396 \cdot 10^{-5}$.

Порівняння основних параметрів операційних підсилювачів AD713, ADA4075 і HA2850 наведено в табл. 18.2.

Таблиця 18.2. Порівняння основних параметрів ОП типу AD713, ADA4075 і HA2850

Параметр	AD713	ADA4075	HA2850
Рівень нелінійних спотворень ІМС, %	0,0003	0.0002	0,02
Смуга пропускання, МГц	4	6.5	470
Швидкість наростання вихідної напруги, В/мкс	20	12	340
Коеф. підсилення без ОС на частоті 1 кГц, дБ	70	75	80
K_T у схемі компенсації спотворень ключа AD7511, %	$6,13 \cdot 10^{-5}$	$K_T = 1.25 \cdot 10^{-4}$	$6,396 \cdot 10^{-5}$

З порівняння цих параметрів можна зробити висновок про те, що швидкість наростання вихідної напруги значною мірою впливає на ефективність компенсації спотворень.

Проведений аналіз дозволяє зробити висновок про те, що спотворення аналогових ключів можуть бути в значній мірі скомпенсовані включенням його в коло зворотного зв'язку ОП. Але виникає інша проблема. При розімкнутому ключі рівень проходження сигналу стає неприпустимо більшим.

Дослідження прямого проходження сигналу через окремо включений ключ AD7511 показало, що при розімкнутому ключі, опорі навантаження 1 кОм, частоті вхідного сигналу 1 кГц і вхідному сигналі 1 В на вихід проходить сигнал з рівнем 20 мкВ, що відповідає загасанню сигналу між входом та виходом 94 дБ.

При тих же параметрах сигналу й включенні ключа в коло зворотного зв'язку ОП, рівень ослаблення сигналу становить усього 32 дБ, що робить практично непридатною таку схему. Для усунення цього недоліку необхідно використати схему з комутацією входу й виходу ОП, як показано на рис. 18.27.

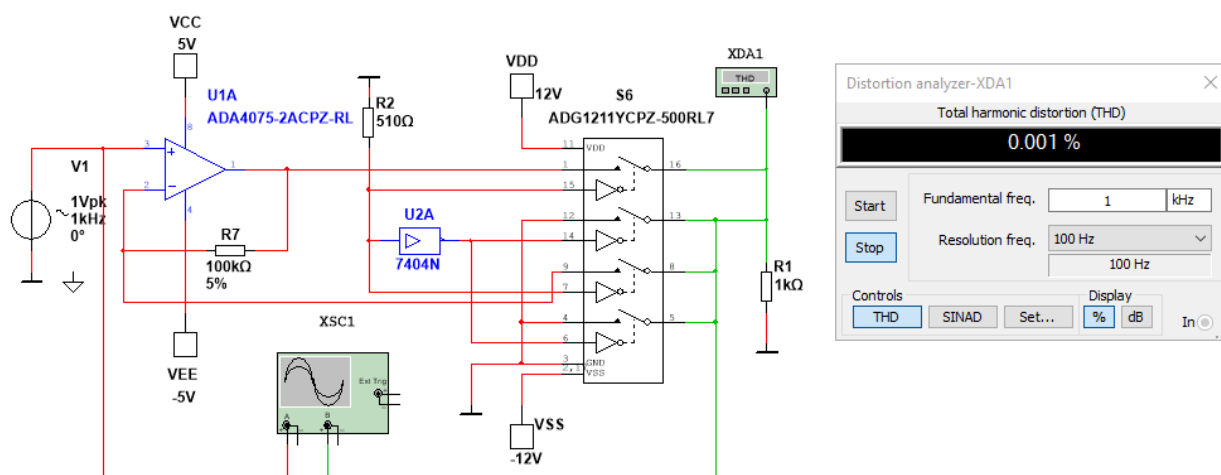


Рис. 18.27. Збільшення перехідного загасання закритого ключа ADG1211 у схемі з компенсацією спотворень

Експеримент проведемо із ключем ADG1211. На рис. 18.28 наведені осцилограми сигналів на вході й виході ключа у двох режимах роботи – відкритому й закритому ключі. Для того щоб закрити ключ необхідно верхній вивід резистора R2 підключити до джерела живлення +5 В.

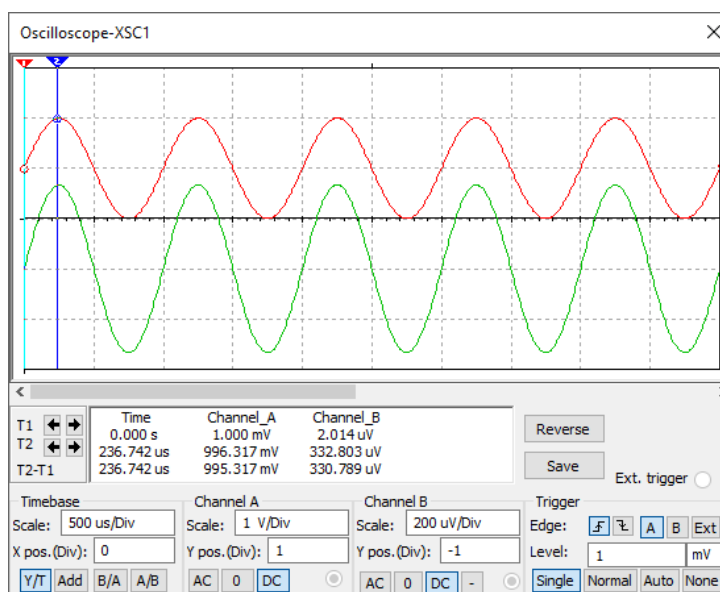


Рис. 18.28. Вимірювання перехідного загасання закритого ключа ADG1211 у схемі з компенсацією спотворень

З рис. 18.28 видно, що амплітуда сигналу на виході при розімкнутому ключі ADG1211 становить 330 мкВ, а амплітуда вхідного сигналу – 1 В. Звідки нескладно обчислити величину загасання, внесеного ключем, що становить приблизно 68 дБ. Цей же ключ ADG1211 без схеми компенсації нелінійних спотворень забезпечує перехідне загасання 58.4 дБ.

Цей аналіз показує, що таке включення істотно збільшує перехідне загасання ключа, навіть у порівнянні з окремо взятим ключем без схеми компенсації нелінійних спотворень. Але перехідне загасання 68 дБ величина недостатня для високоякісних систем обробки звуку й звукопідсилення.

Тому проведемо ще кілька експериментів з іншими моделями ключів. ІМС ADG513 забезпечує перехідне загасання 72 дБ (при таких же значеннях іспитових сигналів і використовуваного ОП, як і при випробуваннях ADG1211). Отримаємо очікуваний результат, тому що ключі ADG1211 і ADG513 мають подібні характеристики.

А от випробування ключа DG303 (компанії Intersil) показали значно кращий результат. Перехідне загасання склало 144 дБ (рис. 18.29). Амплітуда сигналу на виході розімкнутого ключа склала 54 нВ.

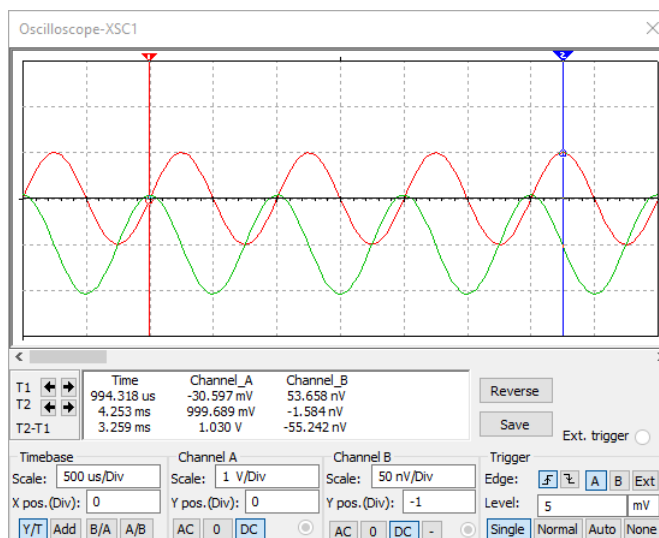


Рис. 18.29. Вимірювання перехідного загасання закритого ключа DG303 у схемі з компенсацією спотворень

Цей же ключ без схеми компенсації спотворень забезпечує перехідне загасання між входом та виходом у розімкненому стані 117 дБ, що є дуже гарним результатом. Результат перевірки спотворень також підтвердив відмінний результат – коефіцієнт гармонік склав $4.904 \cdot 10^{-5}\%$. При випробуваннях був використаний ОП типу LM7301. Для порівняння коефіцієнт гармонік з ОП типу AD713 склав у цій схемі $6.13 \cdot 10^{-5}\%$.

Залишається тільки з'ясувати які параметри аналогових ключів визначають величину перехідного загасання розімкнутого ключа. Для цього зіставимо параметри ключів ADG1211 і DG303. Вони досить схожі. Наприклад, опір відкритого ключа ADG1211 становить 150 Ом, а в DG303 – 75 Ом. Але в той же час опір відкритого ключа ADG513 становить 50 Ом, а результат значно гірше. Тобто прямо, виходячи з параметрів ключа, визначити який з них забезпечить кращий результат неможливо. Швидше за все ці характеристики залежать від топології схеми ключа, що у технічній документації не приводиться. Отже, варто підбирати ключ або експериментально, або проводити моделювання й шукати найбільш підходящий варіант.

Для більше повного уявлення про властивості такої схеми компенсації спотворень необхідно перевірити її на різних частотах вхідного сигналу й проаналізувати її роботу в динамічному режимі.

Нелінійні спотворення схеми із ключем DG303 становлять $5.76 \cdot 10^{-5}\%$ при частоті вхідного сигналу 10 кГц. Для перевірки поведінки схеми в динамічному режимі в неї введений генератор імпульсів для управління ключем (рис. 18.30). Результати роботи ключа в динамічному режимі можна побачити на рис. 18.30.

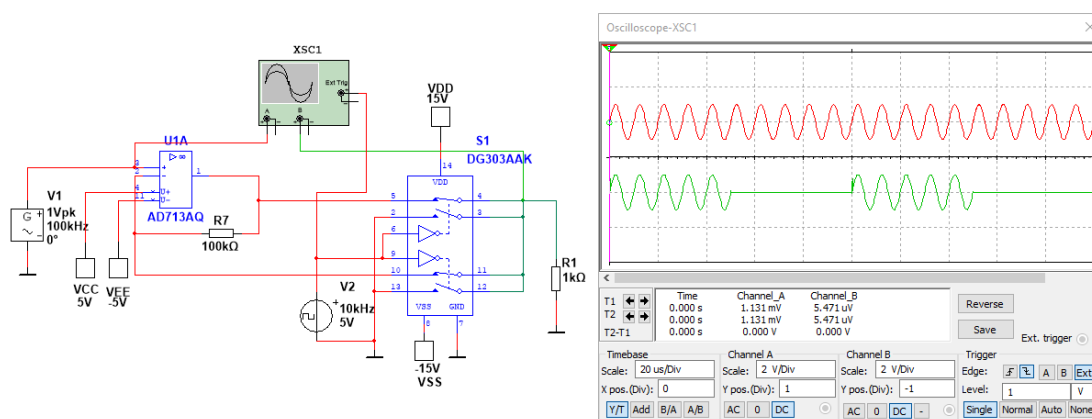


Рис. 18.30. Схема для дослідження аналогового ключа DG303 у динамічному режимі й осцилограми сигналів на вході й виході ключа DG303

Як витікає з рис. 18.30 перехідні процеси практично непомітні й для звукових сигналів ніякого значення не мають. Більше точний аналіз перехідних процесів за допомогою Transient Analysis показав, що час перехідних процесів схеми становить приблизно 196 нс (рис. 18.31).

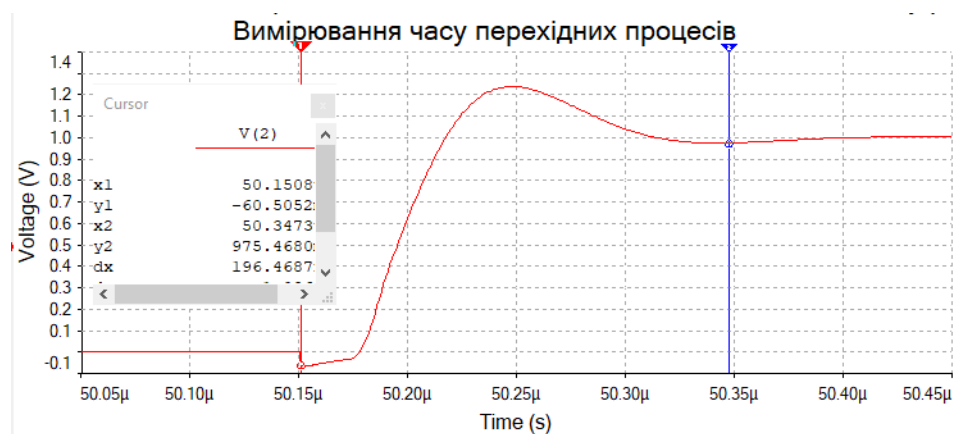


Рис. 18.31. Результати аналізу перехідних процесів на виході ключа DG303

З проведених дослідів можна зробити такі висновки:

1. Параметри аналогових ключів можуть бути значно поліпшені шляхом включення їх у коло зворотного зв'язку операційного підсилювача.
2. При виборі ОП для побудови схеми компенсації нелінійних спотворень перевага варто віддавати широкополосним малощумячим підсилювачам з високою швидкістю зміни вихідної напруги.
3. По характеристиках, наведеним у технічній документації на аналогові ключі неможливо визначити або спрогнозувати який з них забезпечить найкращі характеристики. Тому для вибору ключів і ОП необхідно або провести моделювання схеми з різними ключами, або

провести експериментальні дослідження з використанням різних ключів, що значно більш трудомістко.

Література

1. J. Caldwell Reducing distortion from CMOS analog switches / Analog Applications Journal, AAJ 1Q 2015, p. 4-7.
2. В. Макаренко Зменшення спотворень, внесених аналоговими ключами / Електронні компоненти й системи, №2, 2015. с. 35-39. url: http://www.ekis.kiev.ua/UserFiles/Image/pdfArticles/2_2015/V.Makarenko_Reduce_the_distortion_introduced_by_analog_switches_EKIS_2_2015-2.pdf

Контрольні питання

1. Для чого призначені аналогові ключі?
2. Які основні параметри аналогових ключів вам відомі?
3. Які компоненти можуть бути використані для побудови аналогових ключів?
4. Які параметри компонентів впливають на рівень проходження сигналу на вихід при розімкненому ключі?
5. Чи впливає рівень вхідного сигналу на параметри відкритого ключів, побудованого на МОН-транзисторах?
6. Яким чином можна забезпечити передачу двополярних аналогових сигналів через ключі?
7. У чому переваги використання КМОН-транзисторів для побудови аналогових ключів?
8. Чим відрізняється аналоговий ключ від аналогового комутатора?
9. В чому різниця між аналоговим та цифровим мультиплексорами (комутаторами)?
10. Чи можна за допомогою аналогових ключів передавати цифрові сигнали?

19 ПРИСТРОЇ ВИБІРКИ/ЗБЕРІГАННЯ

19.1 Ідеалізований пристрій вибірки/зберігання

Пристрої вибірки/зберігання (ПВЗ) призначені для дискретизації аналогових сигналів і запам'ятовування відліків на час достатній для подальшого перетворення відліку у цифровий код, тобто квантуванню за рівнем.

Спрощена функціональна схема ПВЗ наведена на рис. 19.1. На схемі не показаний вхідний фільтр нижніх частот, що обмежує спектр вхідного сигналу.

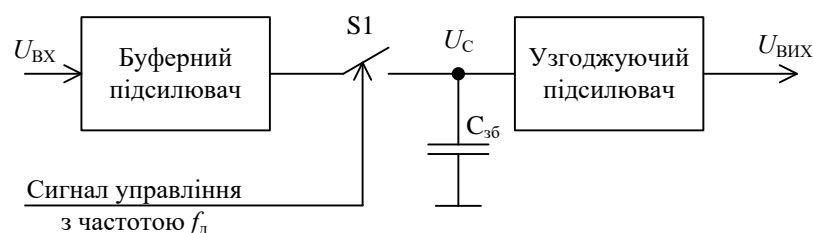


Рис. 19.1. Спрощена функціональна схема пристрою вибірки/зберігання

Оскільки джерело вхідного сигналу може мати різний внутрішній (вихідний) опір, то для виключення впливу цього джерела на результат дискретизації на вході ПВЗ встановлюють буферний підсилювач (БП). Як правил БП будується на операційних підсилювачах з низьким значенням напруги зміщення (напругою зміщення називається величина напруги на виході підсилювача при нульовій напрузі на його вході) і дрейфу напруги, тобто на прецизійних операційних підсилювачах. Вихідний опір такого підсилювача близький до нуля.

З виходу БП аналоговий сигнал надходить на аналоговий ключ S1, який перемикається з частотою дискретизації f_d , значення якої у відповідності з теоремою відліків повинно бути не менш ніж у 2 рази більшим ніж значення верхньої частоти у спектрі вхідного сигналу.

На вхід управління аналогового ключа подається сигнал $U_{упр}$. Розмикання і замикання ключа визначається рівнями сигналу управління. Сигнали управління ПВЗ сумісні зі стандартними логічними рівнями (ТТЛ і КМОП). Логічна "1", як правило, відповідає режиму "вибірка", а логічний "0" – режиму зберігання.

Коли ключ S1 замикається, конденсатор $C_{зб}$ швидко заряджається до рівня напруги що сформована на виході буферного підсилювача, як показано на рис. 19.2. Швидкість заряду конденсатора залежить від внутрішнього опору аналогового ключа і ємності конденсатора $C_{зб}$. У пристроях вибірки/зберігання потрібно використовувати ключі з як можна меншим опором відкритого ключа і як можна більшим опором закритого ключа. Великий опір закритого

(розімкненого) ключа потрібен для того, щоб через нього не розряджався конденсатор $C_{зб}$ і напруга на виході ПВЗ зберігалася (не змінювалась) на інтервалі між сусідніми відліками вхідного сигналу.

Після розмикання ключа напруга на конденсаторі зберігається до наступного процесу вибірки. Для того, щоб конденсатор не розряджався через опір навантаження, на виході ПВЗ встановлюють узгоджуючий підсилювач який має високий вхідний опір і малу напругу зміщення. На рис. 19.2 наведені діаграми ідеалізованого пристрою вибірки зберігання в якому аналоговий ключ має нульовий опір у відкритому стані і нескінчений у закритому, вхідний опір узгоджуючого підсилювача нескінченно великий, конденсатор ідеальний (відсутній саморозряд конденсатора).

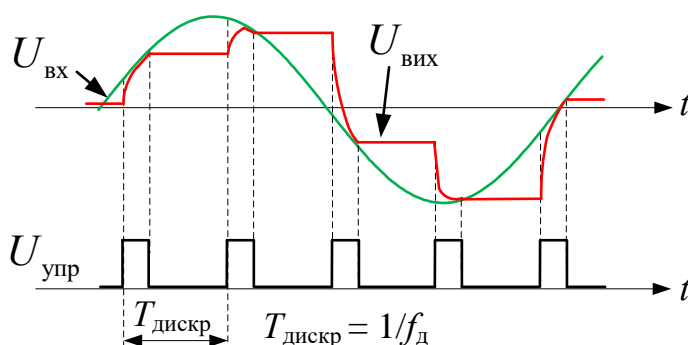


Рис. 19.2. Часові діаграми сигналів на входах та виході пристрою вибірки/зберігання

Але при використанні реальних компонентів діаграм вихідного сигналу будуть відрізнитися від ідеального варіанту. Це відбувається тому, що ключ має кінцеве значення опору у закритому стані (коли він розімкнений), конденсатор розряджається під час інтервалу зберігання, а узгоджуючий підсилювач має вхідний струм, що не дорівнює нулю, а значить і вхідний опір має кінцеве значення.

19.2 Пристрій вибірки/зберігання з реальними характеристиками

У ПВЗ, реалізованих на реальних компонентах, вихідний сигнал може істотно відрізнитися від сигналу на виході ідеального пристрою. Це зумовлено тим, що як аналогові ключі, так і операційні підсилювачі мають суттєве відхилення параметрів від ідеальних.

Похибки зберігання, обумовлені як струмами витоку розімкнутого ключа і вхідним струмом буферного підсилювача узгоджуючого підсилювача (УП) так і струмом саморозрядження конденсатора. Окрім того, через наявність напруги зміщення виникає постійна складова вихідної напруги ПВЗ. Модель реального ПВЗ, побудованого з використанням ключа AD7510 наведена на рис. 19.3, а осцилограми сигналів у різних точках пристрою – на рис. 19.4.

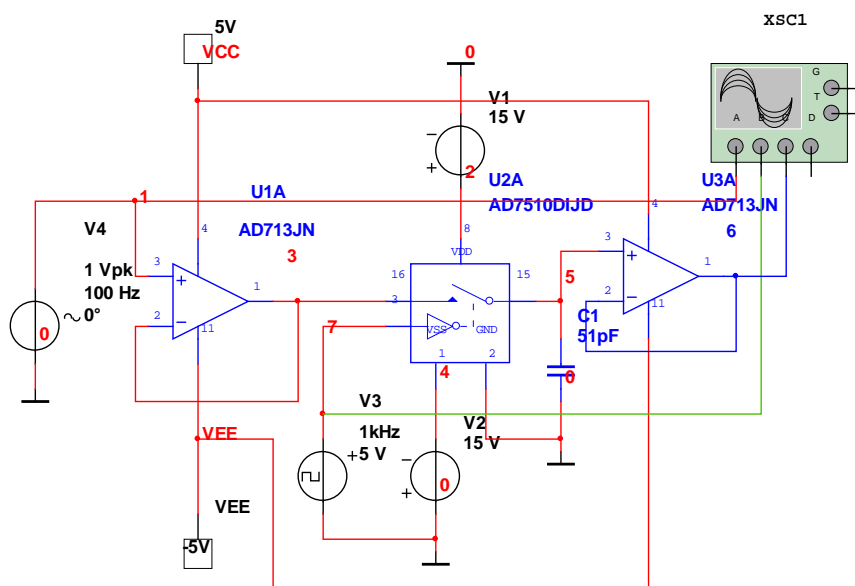


Рис. 19.3. Модель реального пристрою вибірки/зберігання

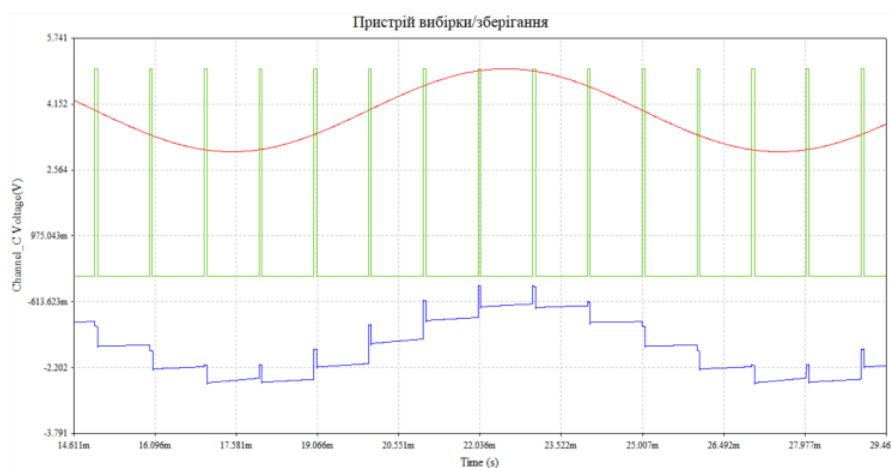


Рис. 19.4. Осцилограми вхідного сигналу (червона), сигналу управління (зелена) та вихідного сигналів реальної ПВЗ

У схемі в якості буферного та узгоджуючого підсилювачів використовуються повторювачі напруги, зібрані на операційних підсилювачах AD713JN, з такими характеристиками:

- коефіцієнт гармонік не більше 0,0003%;
- швидкість зростання вихідної напруги 20 В/мкс;
- частота одиничного підсилення 4 МГц;
- напруга зміщення не більше 0,5 мВ;
- вхідний струм не більше 0,1 мкА.

В якості ключ використовує аналоговий ключ AD7510D з наступними параметрами:

- вихідний струм не більше 15 мА;
- час включення 180 нс;
- час вимикання 350 нс;
- напруга живлення ± 15 В.

При частоті вхідного сигналу 100 Гц частота дискретизації відповідно до теореми Котельникова повинна складати, як мінімум, 220 Гц (теоретична межа 200 Гц). Для того щоб зручно було порівнювати вихідний і дискретизований сигнал частота дискретизації обрана з запасом і становить 1 кГц.

При вказаних на схемі параметрах елементів та генераторів можна побачити, що у вихідному сигналі наявні викиди напруги у моменти часу коли на вхід управління ПВЗ поступають імпульси управління аналоговим ключем. Це явище називається прямим проходженням сигналу управління. Чим менші такі викиди, тим кращі параметри ПВЗ.

Окрім того спостерігається невелике зростання напруги на інтервалі збереження вибірки. Це пояснюється тим що вхідний струм операційного підсилювача AD713 заряджає конденсатор С1. При збільшенні ємності конденсатора зростання напруги буде меншим.

Розглянута розімкнена схема ПВЗ забезпечує точність роботи достатню для використання з 8...10 розрядними аналого-цифровими пристроями (АЦП).

Для зменшення похибок вибірки і зберігання використовують ПВЗ зі зворотним від'ємним зв'язком. Функціональна схема такого ПВЗ наведена на рис. 19.5. Застосування диференціального підсилювача на вході і загального від'ємного зворотного зв'язку дозволяє компенсувати напругу зсуву вихідного буферного підсилювача і збільшити точність стеження в режимі вибірки. Схема дозволяє реалізувати коефіцієнт передачі $K_{\text{пер}} = 1 + (R_2/R_1)$. При виконанні умови $R_2 = 0$ (R_1 відсутній) $K_{\text{пер}} = 1$. Така схема забезпечує точність достатню для роботи з 12-розрядними АЦП.

Порівнюючи замкнуту і розімкнуту схеми ПВЗ, слід зазначити, що швидкодія розімкнутих ПВЗ вища, хоча нелінійність амплітудної характеристики, помилка стеження і напруга зсуву більша.

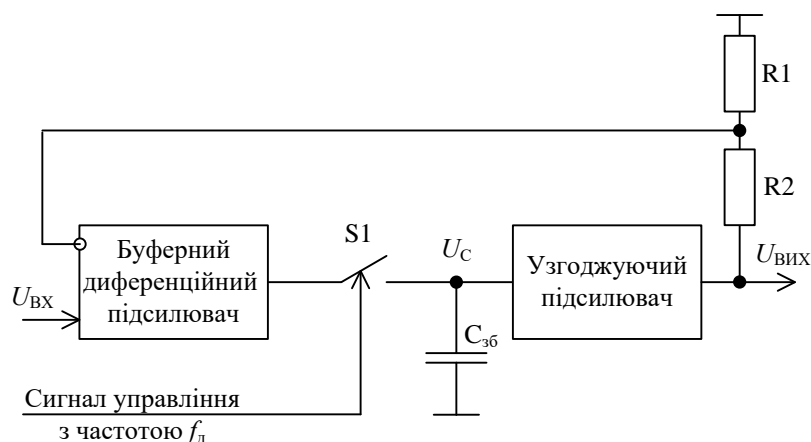


Рис. 19.5. Функціональна схема ПВЗ з від'ємним зворотним зв'язком

В інтегральному виконанні випускаються ПВЗ замкнутого типу. Наприклад, LF398. Параметри LF398 при $C_{зб\text{ер}} = 1000$ пФ, $t_{\text{виб}} = 5 \dots 10$ мкс, $U_{\text{вх.}} = 10$ В, похибка перетворення $\varepsilon = 0,1\%$, $t_{\text{аперт}} = 0,1 \dots 0,25$ мкс, $K_{\text{и}} = 1$, $U_{\text{зм}} < 5$ мВ, швидкість зростання вихідної напруги $0,2$ В/мкс.

19.3 Дослідження параметрів пристроїв вибірки/зберігання

Проведемо аналіз роботи схеми, наведеної на рис. 19.6, при різних параметрах сигналів. На вихідному сигналі спостерігаються викиди в момент відкриття ключа при ємності конденсатора зберігання 500 пФ (рис. 19.7,а). При збільшенні цієї ємності до 5000 пФ викиди напруги зникають (рис. 19.7,б). Це пояснюється тим, що прохідна ємність ключа між входом управління і виходом ключа становить близько 17 пФ і утворює з ємністю C_1 ($C_{зб}$) дільник напруги. Частина сигналу управління надходить на вихід ключа. Амплітуда викиду пропорційна співвідношенню $C_{\text{пр}}/C_1$, де $C_{\text{пр}}$ – прохідна ємність ключа між входом управління і виходом. При збільшенні ємності накопичувального конденсатора в 10 разів цей ефект становиться менш помітний і амплітуда викиду зменшиться приблизно у 10 разів.

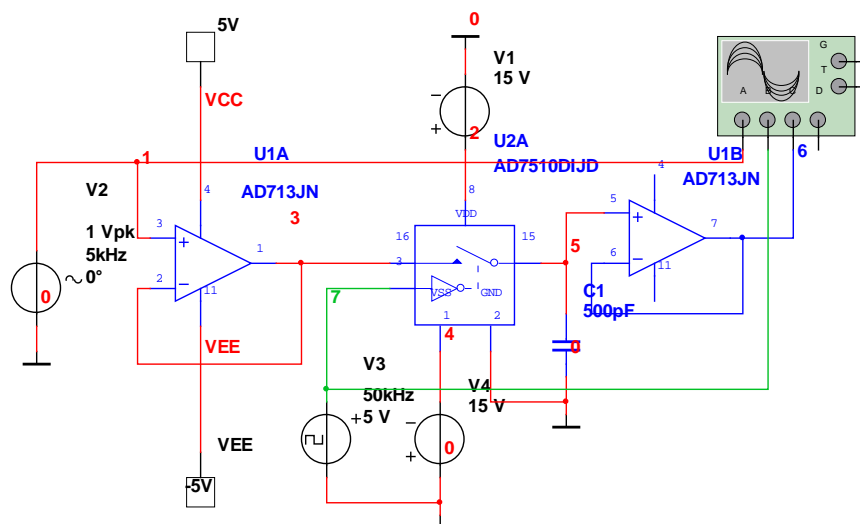
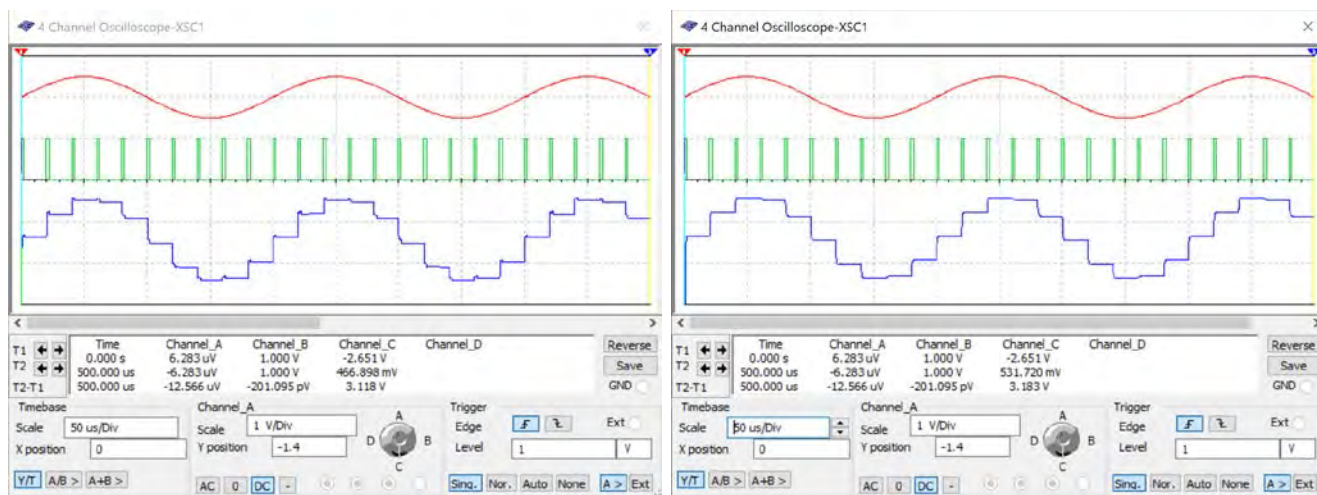


Рис. 19.6. Модель для аналізу роботи розімкнутого ПВЗ



а)

б)

Рис. 19.7. Осцилограми вхідних і вихідного сигналів розімкнутого ПВЗ при ємності зберігаючого конденсатора 500 пФ (а) та 5000 пФ (б)

Аналіз рівня напруги на початку і в кінці інтервалу зберігання показує, що при зберіганні відбувається або збільшення напруги на виході ПВЗ, що пояснюється впливом вхідних струмів операційного підсилювача U1B, або зменшення, якщо струм розряду конденсатора C1 і струм через внутрішній опір закритого ключа більший ніж вхідний струм операційного підсилювача. На рис. 19.7,б напруга на кінці інтервалу більше ніж на його початку на 1,7 мВ. е явище призводить до похибки процесу аналого-цифрового перетворення.

Для аналізу частотних властивостей ПВЗ необхідно мати постійно відкритий ключ, як показано на рис. 19.8.

Як слідує з рис. 19.8 АЧХ лінійна в діапазоні частот 505 кГц. При ємності конденсатора 500 пФ ширина смуги пропускання дорівнює 3,89 МГц. Зростання ширини смуги пропускання

пояснюється просто. Внутрішній опір відкритого ключа і конденсатор C1 утворюють фільтр нижніх частот, частота зрізу якого можна знайти за формулою $f_c = 1/(2\pi R_{\text{вн}} C_1)$. З цього рівняння витікає, що зменшення ємності призводить до збільшення смуги пропускання.

Для аналізу напруги зміщення і її залежності від температури можна скористатися моделлю, що наведена на рис. 19.9. Для аналізу напруги зміщення необхідно в меню Simulate/Analyses обрати пункт Temperature Sweep (рис. 19.10) і у вікні (рис. 19.11) задати діапазон і крок зміни температури. Після встановлення діапазону аналізу на вкладці Output обрати точку аналізу V(6) і натиснути кнопку Simulate.

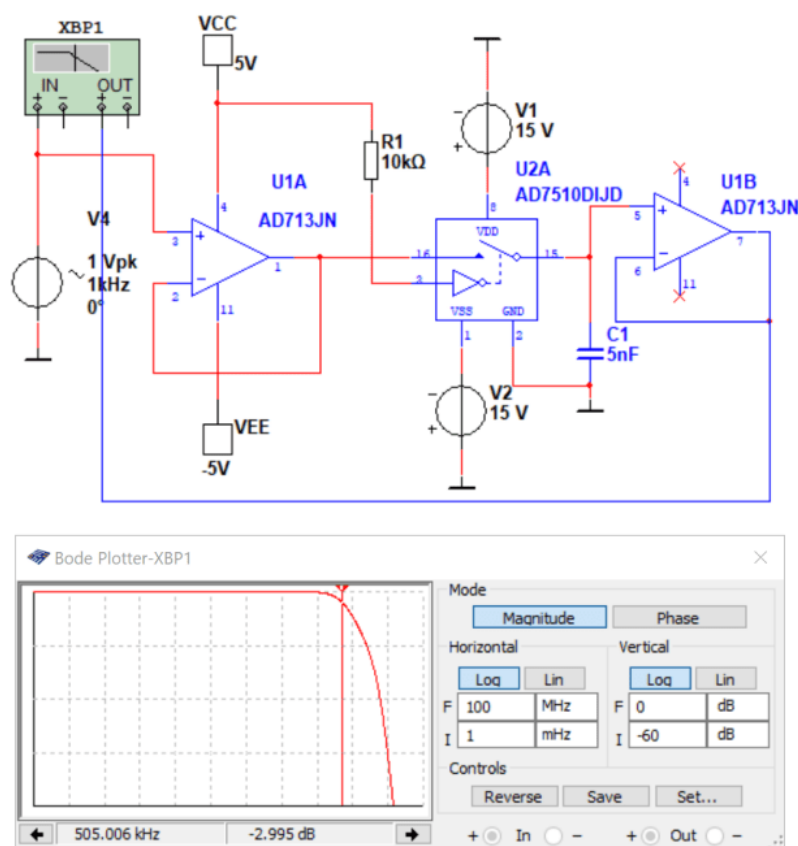


Рис. 19.8. Модель та результати вимірювання АЧХ пристрою вибірки/зберігання при ємності конденсатора 5000 пФ

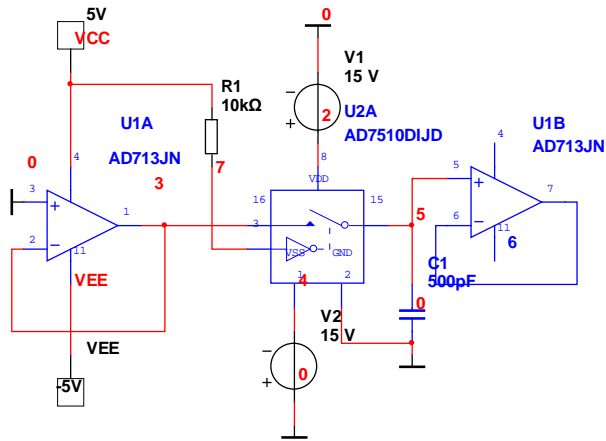


Рис. 19.9. Модель для вимірювання напруги зміщення розімкнутого ПЗВ

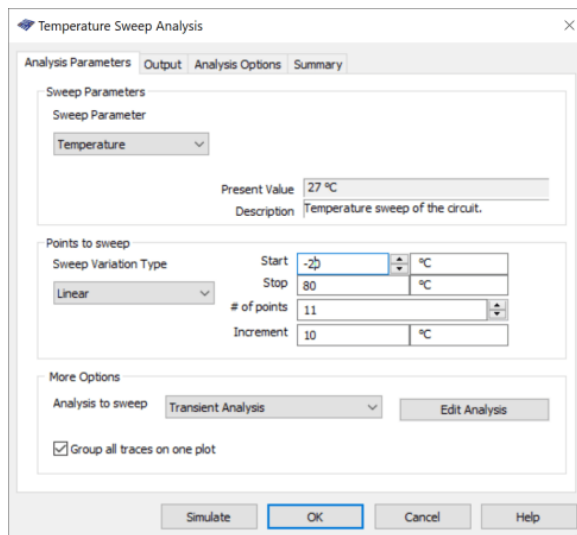


Рис. 19.10. Вибір діапазону температур для аналізу

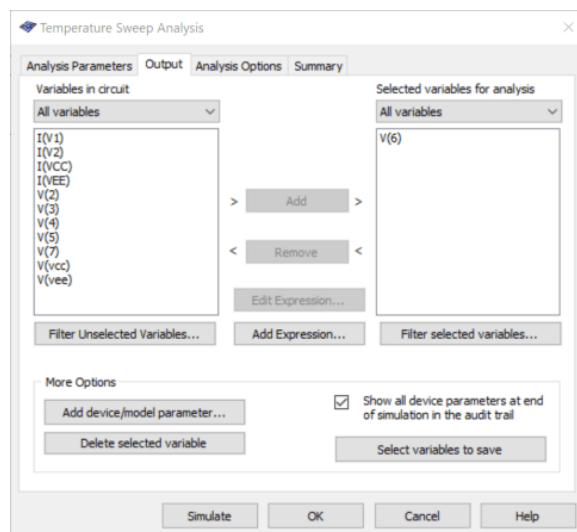


Рис. 19.11. Вибір точки аналізу напруги зміщення

Результати вимірювання напруги зміщення на виході ПВЗ від температури навколишнього середовища наведені на рис. 19.12.

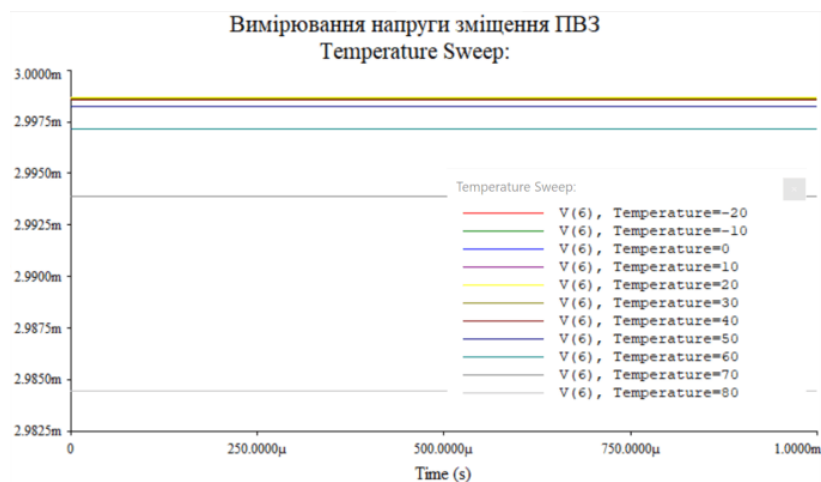


Рис. 19.12. Результат аналізу напруги зміщення на виході ПВЗ

Аналіз отриманих результатів показує що напруга зміщення змінюється від 2,9987 мВ (при температурі -20 °C) до 2,984 мВ при температурі 80 °C.

Контрольні питання

1. Для чого призначені пристрої вибірки/зберігання?
2. Для чого призначені фільтри нижніх частот на вході пристрої вибірки/зберігання?
3. Які параметри аналогових ключів впливають на швидкість заряду конденсатора у пристрої вибірки/зберігання?
4. Для чого на вході ПВЗ встановлюють буферний підсилювач?
5. Для чого призначений узгоджуючий підсилювач на виході пристрою ПВЗ?
6. Чи залежить смуга пропускання ПВЗ від ємності конденсатора зберігання?
7. Чи залежить смуга пропускання ПВЗ від опору відкритого ключа?
8. Які методи підвищення точності ПВЗ вам відомі?

20 АНАЛОГО-ЦИФРОВІ ПЕРЕТВОРЮВАЧІ

20.1 Призначення та структура аналого-цифрових перетворювачів

Пристрої що призначені для перетворення аналогових сигналів у цифровий код називаються аналого-цифровими перетворювачами (АЦП). Процес перетворення аналогових сигналів у код можна розділити на три етапи:

1. Дискретизація аналогового сигналу у часі.
2. Квантування отриманих відліків по рівню.
3. Перетворення отриманого коду у зручний чи необхідний для використання код.

Ці етапи показані на рис. 20.1.



Рис. 20.1. Структура системи для перетворення аналогового сигналу у цифровий код

Будь-який сигнал $S(t)$, спектральні складові якого займають діапазон частот від 0 до f_v , можна передавати за допомогою відліків, що слідують один за одним з інтервалом $\Delta t = 1/2f_v$, де f_v – верхня частота в спектрі сигналу $S(t)$. Проміжок часу через який беруться відліки називається інтервалом Найквіста. Часто замість інтервалу дискретизації використовують термі частота дискретизації, величина якої повинна задовольняти співвідношенню $f_d \geq 2f_v$.

На практиці завжди повинно виконуватись співвідношення $f_d > 2f_v$. Наприклад, при запису та відтворенні звукового компакт-диску використовується для перетворення частота дискретизації 44 кГц. Компакт-диск відтворює діапазон часто записаних сигналів від 20 Гц до 20 кГц. Використовуючи ці дані нескладно розрахувати співвідношення між частотою дискретизації і верхньою частотою сигналу – $f_d/f_v = 2,2$.

Чому потрібно мати частоту дискретизації більш високою ніж $2f_v$. Це пояснюють спектри сигналів, що наведені на рис. 20.2. При дискретизації спектр вхідного сигналу періодизується (на рис. 20.2 показано тільки дві складових спектру дискретизованого сигналу). Для усунення перекриття спектрів дискретизованого й аналогового сигналів діапазон частот вхідного сигналу необхідно обмежити. На частоті Найквіста (f_n), що дорівнює половині частоти дискретизації (f_d),

необхідно забезпечити загасання аналогового сигналу, рівне або більше, ніж динамічний діапазон АЦП. Для цього найчастіше використовуються ФНЧ з частотою зрізу, рівною верхній частоті (f_v) в спектрі аналогового сигналу. Для того, щоб спростити конструкцію фільтра, потрібно збільшити частоту дискретизації в декілька разів порівняно з мінімальною, що визначається теоремою Котельникова $f_d \geq 2f_v$.

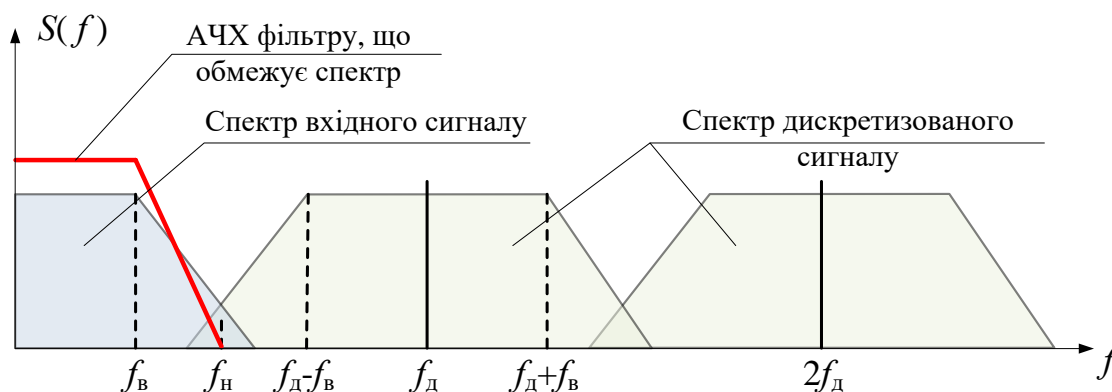


Рис. 20.2. Спектри вхідного й дискретизованого сигналів

Дискретизатор перетворює вхідний сигнал у послідовність відліків і зберігає ці відліки деякий час на своєму виході для реалізації процесу квантування за рівнем.

До складу аналого-цифрових перетворювачів можуть входити: підсилювачі, компаратори, регістри, лічильники, пристрої вибірки/зберігання, генератори імпульсів та цифро-аналогові перетворювачі (ЦАП).

20.2 АЦП розгортуючого врівноваження

20.2.1 Принцип дії АЦП розгортуючого врівноваження

Найпростіший для розуміння принцип побудови аналого-цифрових перетворювачів (АЦП) – АЦП розгортуючого врівноваження. Використовується ще і інша назва, яка походить від принципу його дії, – зі східчастою пилкоподібною напругою.

Принцип дії такого АЦП доволі простий. Сигнал, що формується пристроєм вибірки/зберігання (ПВЗ) порівнюється з сигналом, що формується на виході цифро-аналогового перетворювача (ЦАП).

Для формування коду управління ЦАП використовується підсумовуючий лічильник. На виході ЦАП формується напруга пропорційна коду управління, як показано на рис. 20.3. Як

тільки напруга на виході ЦАП перевищить напругу на виході ПВЗ, на виході компаратора, що порівнює напруги, формується перепад напруги, який дає дозвіл на запис коду лічильника у паралельний регістр. Це значення коду і відповідає значенню вхідної напруги АЦП.

Принцип дії АЦП із східчастою пилоподібною напругою (розгортуючого урівноваження) дуже простий. Вхідна напруга (з виходу пристрою вибірки-зберігання) порівнюється з монотонно наростаючою східчастою напругою, яка формується за допомогою підсумовуючого лічильника і цифро-аналогового перетворювача. Кожній сходинці відповідає породжуючий її код. За допомогою компаратора ці дві напруги порівнюються і при їх рівності або в разі, коли ступеневу напругу перевищить рівень вхідної напруги код, що відповідає цьому моменту часу, фіксується.

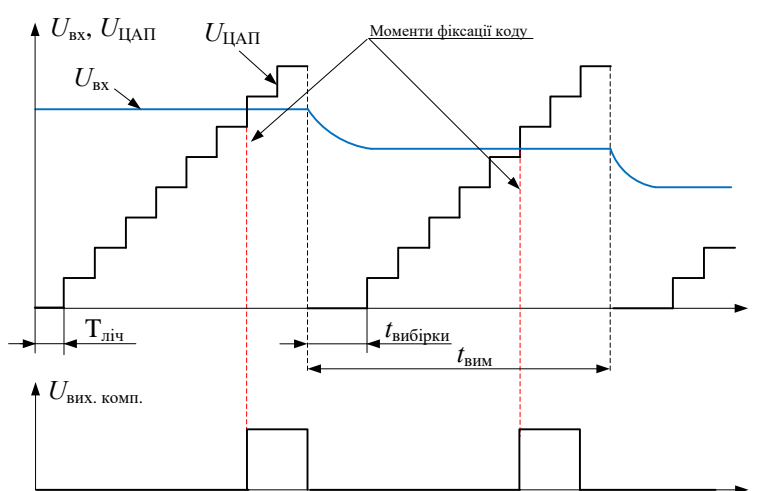


Рис. 20.3. Часові діаграми вхідного та східчастого сигналів, а також сигналу на виході компаратора

З рис. 20.3 слідує, повний цикл вимірювання зумовлений кількістю розрядів лічильника, періодом слідування імпульсів на його вході $T_{\text{ліч}}$ та тривалістю імпульсу вибірки $t_{\text{вибірки}}$, тобто

$$t_{\text{вим}} = (2^N - 1) \cdot T_{\text{ліч}} + t_{\text{вибірки}},$$

де N – кількість розрядів двійкового лічильника.

Підрахуємо час вимірювання АЦП, що має 10 розрядів вихідного коду, (відповідає кількості сходинок $2^{10} = 1024$). Задамо період слідування імпульсів на вході лічильника рівним $T_{\text{ліч}} = 1$ мкс, а тривалість імпульсу вибірки $t_{\text{вибірки}} = 20$ мкс. Тоді

$$t_{\text{вим}} = (2^N - 1) \cdot T_{\text{ліч}} + t_{\text{вибірки}} = 1023 \cdot 1 + 20 = 1043 \text{ мкс.}$$

Це значення буде потрібне для порівняння швидкодії з іншими видами АЦП.

Функціональна схема АЦП розгортуючого врівноваження наведена на рис. 20.4. Розглянемо як відбувається процес аналого-цифрового перетворення в такому АЦП.

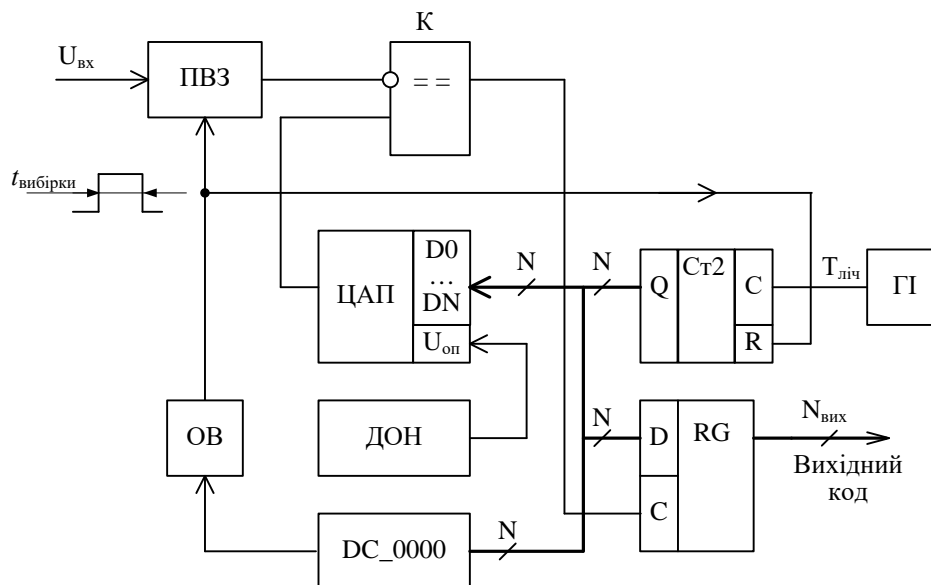


Рис. 20.4. Функціональна схема АЦП розгортуючого врівноваження

Вхідний аналоговий сигнал надходить на вхід пристрою вибірки/зберігання, який здійснює дискретизацію сигналу у часі. Частота дискретизації не повинна бути меншою ніж $2,2f_v$, де f_v – верхня частота в спектрі вхідного сигналу. Імпульс вибірки формується одновібратором (ОВ), який формує імпульс тривалістю $t_{\text{вибірки}}$.

Після завершення імпульсу вибірки на вхід R (встановлення у "0") підсумовуючого лічильника подається рівень логічного "0" і він починає підрахунок числа імпульсів, що надходять на його вхід від генератора імпульсів ГІ.

Виходи лічильника підключені до входів ЦАП, до входів паралельного регістра RG та до входів дешифратора нульового коду DC_0000. Дешифратор формує імпульс запуску одновібратора в момент часу, коли на виходах лічильника встановлюється код рівний "0".

Для формування сигналу на виході ЦАП на його вхід $U_{\text{оп}}$ (вхід опорної напруги) подається напруга з виходу джерела опорної напруги (ДОН). На виході ЦАП формується східчасто зростаюча напруга, яка порівнюється з вихідною напругою ПВЗ. Коли напруга на виході ЦАП перевищить напругу на виході ПВЗ, спрацює компаратор К і на його виході буде сформований перепад напруги з 0 в 1. Цим перепадом, що подається на вхід синхронізації регістра,

здійснюється запис коду лічильника в RG. На виході регістра формується вихідний код АЦП для відліку сигналу, що був сформований ПВЗ.

Лічильник продовжує роботу і після переходу його в нульовий стан ("0" встановлюється на всіх виходах тригерів лічильника) на виході DC_0000 буде сформовано імпульс запуску одновібратора. На вхід R лічильника буде поданий імпульс з виходу ОВ, що буде утримувати лічильник у нульовому стані поки не закінчиться імпульс одновібратора.

Одночасно компаратор повертається у "0", а ПВЗ здійснює наступну вибірку вхідного сигналу і весь процес перетворення повторюється.

До переваг АЦП розгортуючого зрівноважування відноситься його простота, а до недоліків – тривалий час аналого-цифрового перетворення.

Слід зауважити, що якщо в АЦП використати двійково-десяткові лічильники замість двійкових, то код на виході АЦП буде формуватися в звичній для людини десятковій системі.

20.2.2 Моделювання роботи АЦП розгортуючого врівноваження

Проілюструвати роботу АЦП розгортуючого врівноваження можна скориставшись моделлю, наведеною на рис. 20.5. Для спрощення моделі у ній відсутній пристрій вибірки/зберігання. В АЦП здійснюється перетворення у код постійної напруги, що задається потенціометром R2.

Двійково-десяткові лічильники U2 та U4 формують зростаючий код, який відображається на індикаторах U5, U6. Індикатор U7 весь час відображає тільки 0 і призначений тільки для відображення такої ж кількості розрядів, як і мультиметр ХММ1. Мультиметр вимірює вхідну напругу АЦП, що дає можливість порівняння результатів перетворення напруги у код з її дійсними значеннями.

Оскільки лічильники програмовані, то у них є вихід переносу на якому формується імпульс закінчення циклу роботи лічильника. Цей сигнал використовується для запуску одновібратора, що дозволило відмовитись від використання дешифратора DC_0000.

ОВ зібраний на RSD-тригері U8 з інверсними входами R і S. Цифро-аналоговий перетворювач і вихідний регістр виконані на елементах U3 та U9, U10, відповідно.

Для відповідності вихідних значень коду результатам вимірювання вхідної напруги мультиметром використано підсилювач А1, а порівняння напруги з виходів підсилювача та ЦАП здійснюється компаратором U1.

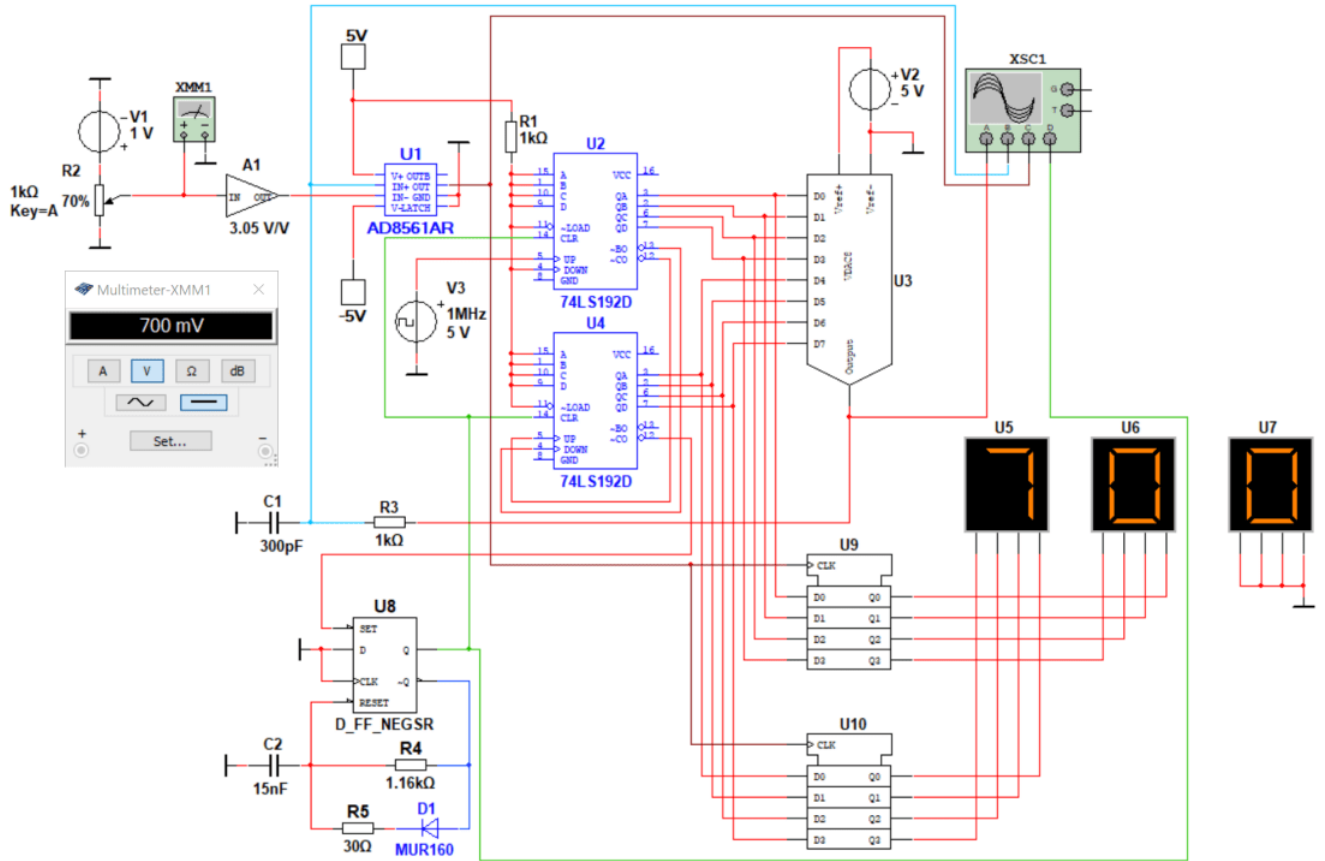


Рис. 20.5. Модель 8-розрядного АЦП розгортуючого врівноваження

Осцилограми сигналів у різних точках АЦП наведені на рис. 20.6. Оскільки при перемиканні ключів ЦАП на його виході виникають викиди напруги, то для їх згладжування використано фільтр нижніх частот (ФНЧ), що складається з елементів R3, C1. Частота зрізу цього фільтру складає 550 кГц.

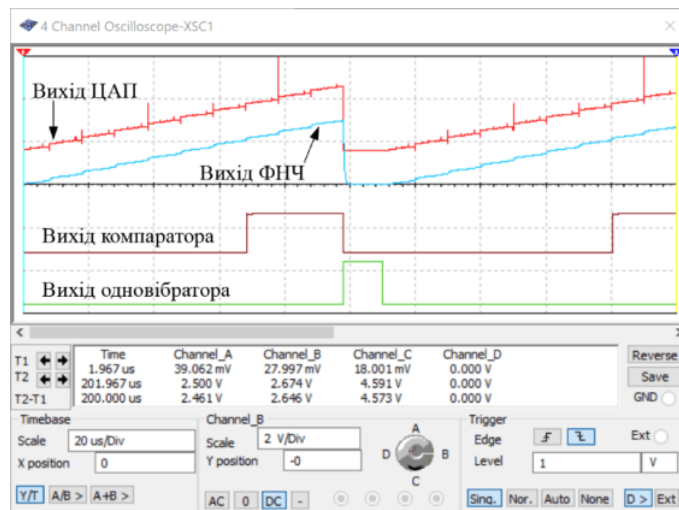


Рис. 20.6. Осцилограми сигналів у різних точках АЦП розгортуючого врівноваження

З рис. 20.6 слідує, що під час формування імпульсу на виході ОВ лічильник не працює (напруга на виході ФНЧ дорівнює нулю), а компаратор повертається у початковий стан після завершення повного циклу роботи лічильника.

Що підвищити точність перетворення треба збільшити кількість розрядів АЦП. При кількості розрядів 8 похибка вимірювання може складати ± 1 значення молодшого розряду як мінімум, тобто приблизно ± 4 мВ.

20.3 АЦП послідовних наближень

АЦП послідовних наближень або порозрядного врівноваження найбільш поширений тип. В основі його роботи лежить принцип послідовного порівняння вимірюваної напруги з напругою рівною $\frac{1}{2}$, $\frac{1}{4}$, $\frac{1}{8}$, $\frac{1}{16}$ і т.д. від максимально можливого її значення. Це значно скорочує час перетворення і дозволяє за N кроків, де N – число розрядів АЦП, виконати процес перетворення. У той час як у АЦП розгортуючого врівноваження використовується $(2^N - 1)$ кроків.

Порівняємо час вимірювання 10-розрядного АЦП послідовних наближень з часом вимірювання АЦП розгортуючого врівноваження при тривалості імпульсу вибірки 20 мкс і тривалості періоду тактових імпульсів $T_T = 1$ мкс.

$$t_{\text{вим}} = T_T \cdot N + t_{\text{вибірки}} = 1 \cdot 10 + 20 = 30 \text{ мкс.}$$

Як слідує з цього розрахунку тривалість вимірювання скоротилася у 34 рази. При цьому час вибірки зумовлює швидкодію АЦП, а сам процес вимірювання скоротився у часі більше ніж у 100 разів. Такі АЦП дозволяють здійснювати до 10^8 і більше перетворень в секунду, а кількість розрядів сучасних АЦП такого типу може сягати 18. Принцип дії АЦП послідовних наближень пояснює часова діаграма, наведена на рис. 20.7.

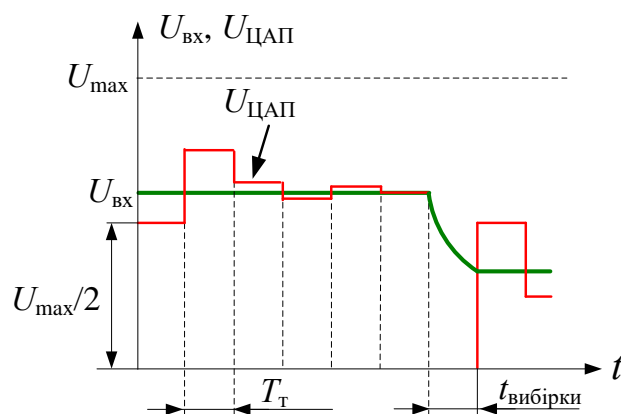


Рис. 20.7. Часові діаграми АЦП послідовних наближень

Процес перетворення вхідної напруги $U_{вх}$ (вхідна напруга формується шляхом вибірки відліків вхідного сигналу за допомогою ПВЗ) займає таку ж кількість тактів, як і кількість розрядів АЦП. На рис. 20.7 позначено тривалість T_T як інтервал між двома сусідніми пунктирними лініями.

На кожному такті роботи вхідна напруга порівнюється за допомогою компаратора з напругою, що формує цифро-аналоговий перетворювач. Різниця полягає у тому що з кожним наступним тактом напруга змінюється на величину, що дорівнює половині від попередньої.

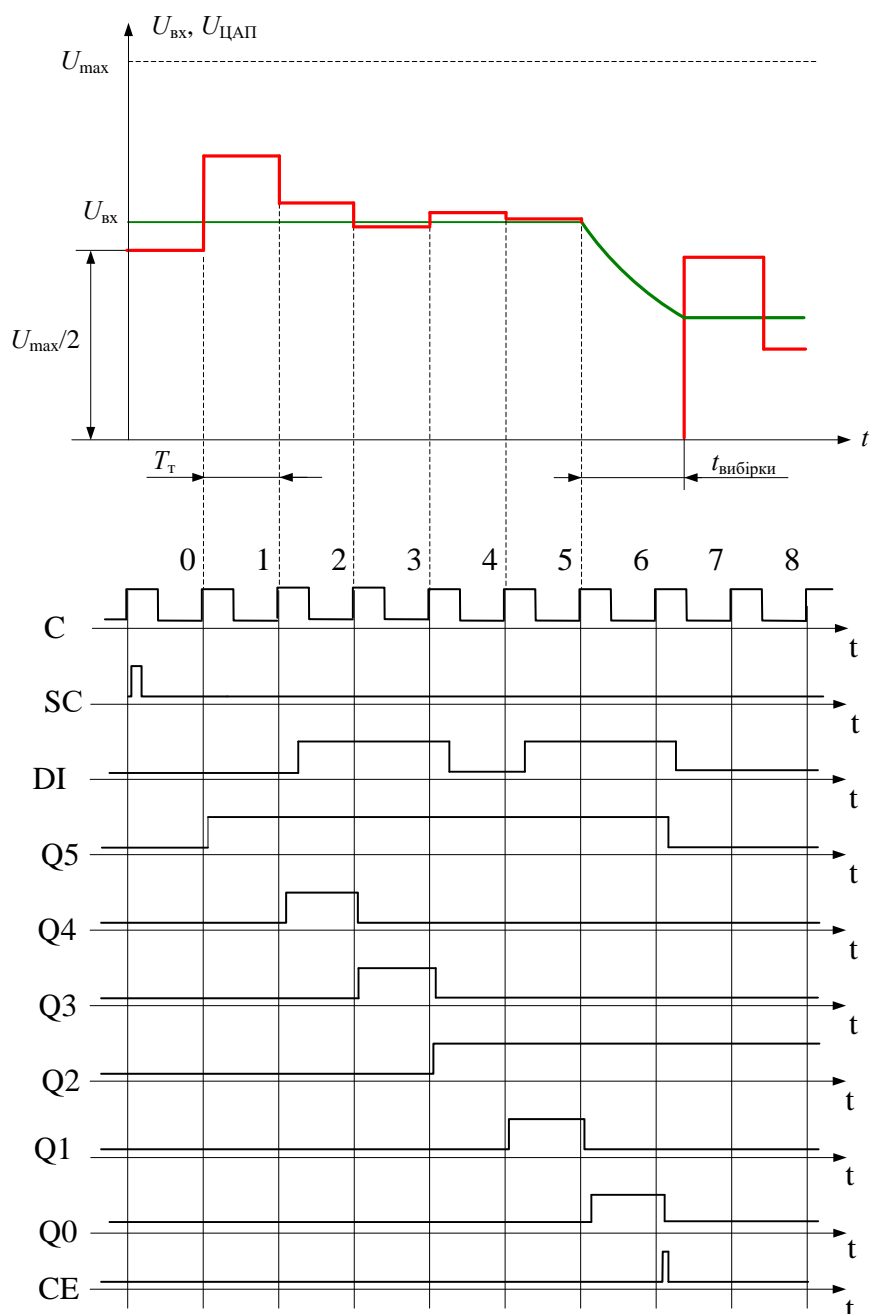
На першому такті вхідна напруга порівнюється з напругою що дорівнює $\frac{1}{2}$ від максимальної вхідної напруги. Максимальна вхідна напруга зумовлена параметрами ЦАП та значенням його опорної напруги. Якщо напруга $U_{вх}$ більше $U_{max}/2$, то на виході компаратора формується рівень логічної "1" і на другому такті роботи приймається рішення про збільшення напруги, що формується ЦАП.

На другому такті збільшення напруги становить $(U_{max}/2)/2 = U_{max}/4$. Якщо сформована на виході ЦАП напруга стає більшою ніж $U_{вх}$, то на виході компаратора формується рівень логічного "0" і приймається рішення зменшити на третьому такті напругу на виході ЦАП на величину $(U_{max}/4)/2 = U_{max}/8$. А якщо напруга на виході ЦАП залишається меншою від значення вхідної напруги, то приймається рішення збільшити напругу на наступному такті на величину $U_{max}/8$. Рисунок 20.7 відповідає випадку коли на третьому такті необхідно зменшити напругу.

Неважко помітити, що кожна наступна сходинка напруги на виході ЦАП відрізняється по висоті в 2 рази і кожного разу (на кожному такті) приймається рішення про збільшення або зменшення напруги на виході ЦАП на наступному такті. Процес триває N тактів. Після завершення останнього такту починається новий цикл вимірювання – вибірка вхідного сигналу за допомогою ПВЗ і послідовне порівняння значення напруги на виході ЦАП з сигналом на виході ПВЗ.

Як слідує з рис. 20.7 на виході ЦАП формується східчаста напруга, що поступово наближається до вимірюваної напруги $U_{вх}$, що і зумовило назву такого АЦП. Відповідно до напруги на виході ЦАП змінюється код на його вході, що формується за допомогою спеціального пристрою – регістра послідовних наближень.

Розглянемо роботу АЦП послідовних наближень за функціональною схемою, наведеною на рис. 20.8.



Паралельні АЦП здійснюють одночасне квантування сигналу за всіма можливими рівнями за допомогою набору компараторів. На рис. 20.10 наведена функціональна схема дворозрядного паралельного АЦП. Для реалізації такого АЦП потрібно 3 компаратора та логічна схема, що здійснює перетворення значень трьох вихідних сигналів компараторів у дворозрядний вихідний код АЦП.

На неінвертуючі входи компараторів подається вхідна напруга, яка порівнюється кожним компаратором з опорною напругою, що формується дільником напруги складеним з резисторів $R1...R4$. Опорні напруги формуються ланцюжком однакових резисторів $R1...R4$. Всі резистори мають однаковий опір і тому опорні напруги відрізняються одна від одної на $\frac{1}{4}U_{оп}$.

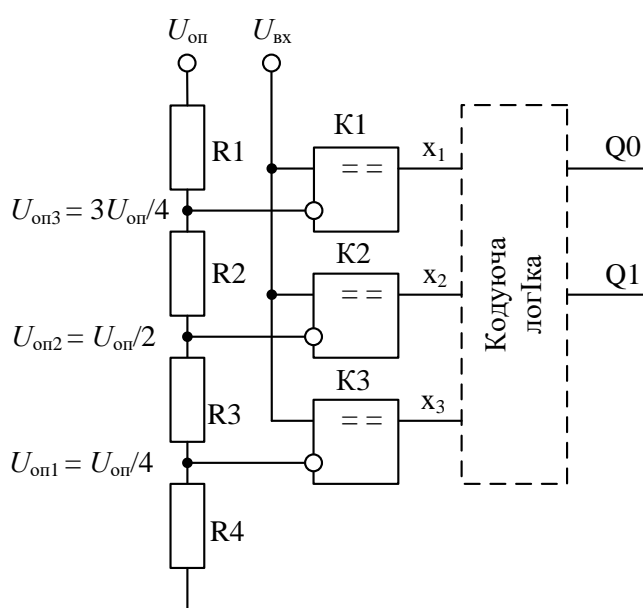


Рис. 20.10. Функціональна схема дворозрядного паралельного АЦП

Кожний з компараторів порівнює вхідну напругу з напругою що формується дільником напруги. Результати порівняння занесені в табл. 20.1. В тій же таблиці розміщені дані вихідного коду АЦП для різних рівнів вхідного сигналу.

Таблиця 20.1. Значення сигналів на виходах компараторів та АЦП при різних значеннях вхідної напруги

Діапазон зміни вхідної напруги	Стан виходів компараторів			Код на виході АЦП	
	X ₁	X ₂	X ₃	Q ₁	Q ₀
$U_{вх} < U_{оп1}$	0	0	0	0	0
$U_{оп1} < U_{вх} < U_{оп2}$	0	0	1	0	1
$U_{оп2} < U_{вх} < U_{оп3}$	0	1	1	1	0
$U_{вх} > U_{оп3}$	1	1	1	1	1

Для побудови кодуєчої логіки необхідно скласти рівняння, що описує залежність коду на виході АЦП від коду на виходах компараторів. Отримані вирази мають вигляд:

$$Q0 = \bar{x}_1 \bar{x}_2 x_3 + x_1 x_2 x_3,$$

$$Q1 = x_2.$$

Реалізувати таку логіку можна на простих логічних елементах. Для зменшення числа елементів перетворимо вираз для $Q0$ до вигляду $Q0 = x_1 + (x_2 \oplus x_3)$.

Принципова схема кодуєчої логіки наведена на рис. 20.11.

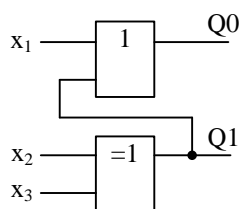


Рис. 20.11. Принципова схема кодуєчої логіки для дворозрядного паралельного АЦП

20.4.2 Моделювання роботи паралельного АЦП

Модель для дослідження дворозрядного паралельного АЦП наведена на рис. 20.12. Вхідний сигнал амплітудою 2,2 В зі зміщенням +2,5 В подається на входи компараторів U1. Кодуюча логіка виконана на елементах U2 та U3. Для контролю режиму перетворення використовується цифро-аналоговий перетворювач U4. На осцилографі наведені вихідні сигнали АЦП, вхідний аналоговий сигнал та сигнал на виході ЦАП. З осцилограм видно, що АЦП працює вірно, бо вихідний сигнал грубо відтворює синусоїду.

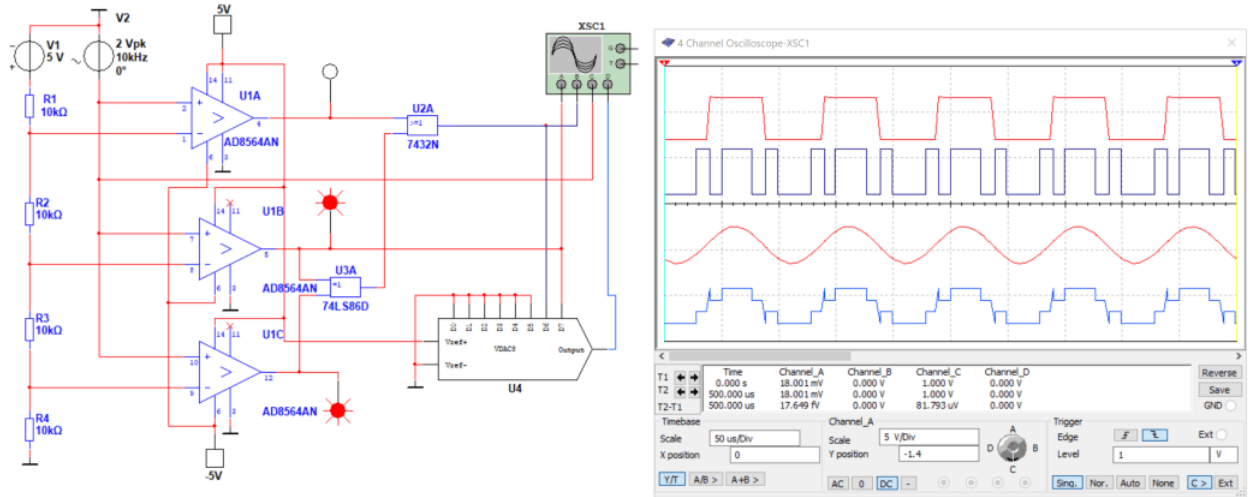


Рис. 20.12. Модель дворозрядного паралельного АЦП

До основної переваги паралельного АЦП потрібно віднести його високу швидкість перетворення яка обмежена тільки швидкодією компараторів та логічних елементів.

До недоліків треба віднести велике число компараторів і логічних елементів, і, як слідство, велике енергоспоживання.

При збільшенні числа розрядів на один число компараторів подвоюється. На рис. 20.13 наведена функціональна схема трьохрозрядного паралельного АЦП. Число компараторів у ньому вже дорівнює 7.

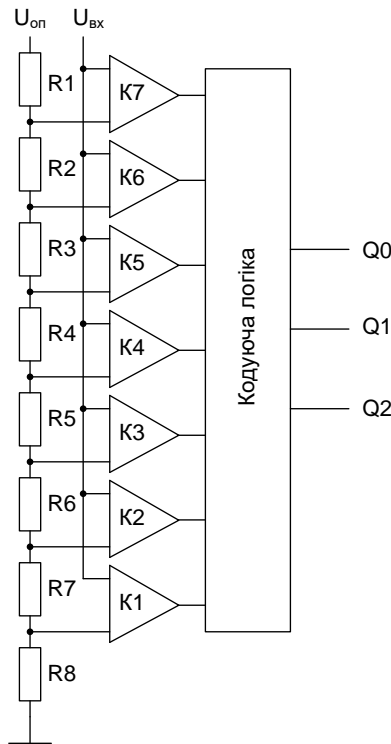


Рис. 20.13. Функціональна схема трьохрозрядного паралельного АЦП

20.5 Паралельно-послідовні АЦП

Для зменшення кількості компараторів та логічних елементів при високій швидкодії використовуються АЦП що займають проміжне місце між швидкісними паралельними АЦП і найпоширенішими АЦП послідовних наближень, які отримали назву паралельно-послідовних та конвеєрних АЦП. Розглянемо роботу паралельно-послідовного АЦП на прикладі восьмирозрядного АЦП. Структурна схема такого АЦП наведена на рис. 20.14.

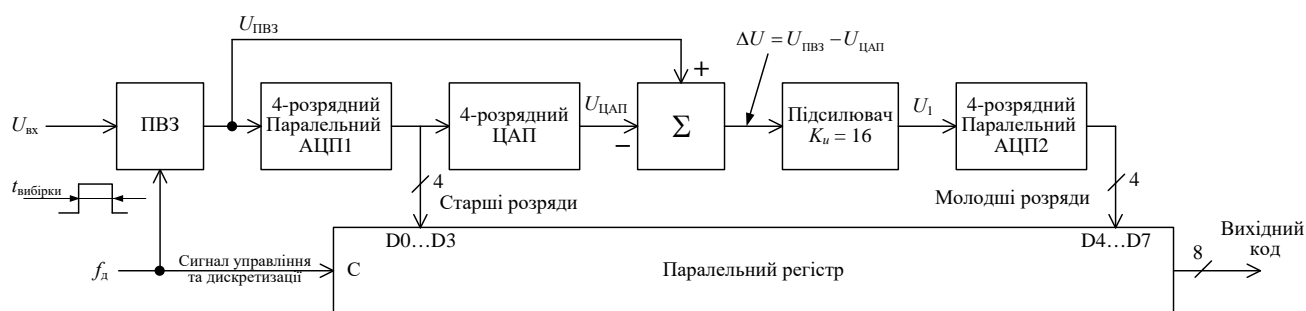


Рис. 20.14. Структурна схема паралельно-послідовного АЦП

У схемі восьмирозрядного паралельно-послідовного використовуються два паралельних чотирьохрозрядних АЦП. На виході першого АЦП формується груба оцінка вхідного дискретизованого сигналу (старші розряди вихідного коду). Сформований першим АЦП код перетворюється в аналоговий сигнал за допомогою 4-розрядного ЦАП і сформована таким чином напруга віднімається від напруги, сформованої на виході пристрою вибірки/зберігання, за допомогою суматора Σ . Різниця цих сигналів (сигнал помилки перетворення) $\Delta U = U_{\text{ПВЗ}} - U_{\text{ЦАП}}$ підсилюється у 16 разів підсилювачем. Амплітуда сигналу U_1 на виході підсилювача дорівнює амплітуді сигналу на виході ПВЗ, а значить можна використати АЦП, повністю ідентичний першому аналого-цифровому перетворювачу. Цей сигнал перетворюється у код другим паралельним АЦП, на виході якого формуються молодші розряди вихідного коду.

Вихідні коди обох АЦП записуються в паралельний регістр на виході якого формується вихідний код 8-розрядного АЦП.

Який виграш у кількості елементів дає такий спосіб побудови АЦП. При побудові 8-розрядного паралельного АЦП знадобиться $2^8 - 1 = 255$ компараторів. А при використанні двох чотирьохрозрядних АЦП знадобиться $2(2^4 - 1) = 30$ компараторів. Тобто спостерігається значний виграш по складності реалізації схеми.

Тепер давайте оцінимо, у скільки ж разів такий АЦП має нижчу швидкодію. Перш ніж на

виході буде сформований восьмирозрядний двійковий код, необхідно щоб сигнал був перетворений у цифрову форму першим АЦП, знову перетворений в аналогову форму цифро-аналоговим перетворювачем. Потім повинен бути сформований і посилений сигнал помилки, і цей сигнал повинен бути знову перетворений у код. У результаті описаних дій час перетворення вхідного аналогового сигналу зростає.

Весь цей час сигнал на вході перетворювача не повинен мінятися. Це означає, що в складі паралельно-послідовного АЦП повинен бути пристрій вибірки/зберігання.

Швидкодію АЦП в цілому можна збільшити за рахунок застосування конвеєрної обробки. Досить розбити алгоритм перетворення на кілька етапів, які можуть виконуватися одночасно. У цифровій частині перетворювача розбивка на етапи здійснюється за допомогою паралельних регістрів. В аналоговій частині для цієї мети служать пристрої вибірки/зберігання. І на регістри й на пристрої вибірки/зберігання подається сигнал тактової частоти (сигнал з частотою дискретизації f_d) аналого-цифрового перетворювача.

Структурна схема восьмирозрядного паралельно-послідовного перетворювача, що використовує принцип конвеєрного перетворення сигналу, наведена на рис. 20.15.

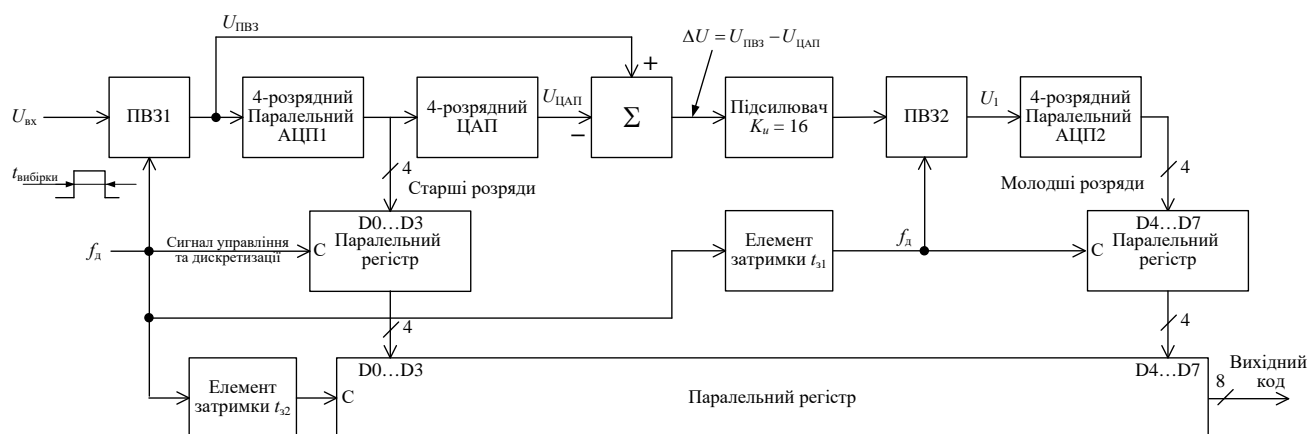


Рис. 20.15. Структурна схема конвеєрного АЦП

У цій схемі, поки здійснюється перетворення в цифрову форму сигналу помилки, формується сигнал помилки наступного відліку сигналу. Поки формується сигнал помилки наступного відліку сигналу, здійснюється формування старших чотирьох розрядів вихідного коду. Єдині труднощі полягають у тому, що необхідно сполучити сформовані старші й молодші розряди в часі. Це здійснюється за рахунок затримки старших розрядів у цифровій лінії затримки, зібраної на паралельних регістрах.

У наведеній на рис. 20.15 схемі вихідний код вхідного сигналу з'явиться тільки через три

тактових імпульси. Всі наступні відліки коду вхідного аналогового сигналу будуть з'являтися з кожним черговим тактовим імпульсом.

Сигнали управління вибіркою надходять у різні моменти часу на входи ПВ31 і ПВ32. Пристрій ПВ32 переходить в режим вибірки пізніше ніж ПВ31 на час рівний часу затримки у АЦП1 і ЦАП1 за допомогою елементу затримки t_{31} . Запис у вихідний 8-розрядний регістр здійснюється після того як буде сформований код на виході АЦП2. Сигнал синхронізації вихідним регістром здійснюється за допомогою елементу затримки t_{32} .

Паралельно-послідовні АЦП хоч і мають нижчу швидкодію однак мають набагато нижчу складність і, відповідно, більш низьку вартість.

Наведемо приклади параметрів деяких паралельно-послідовних АЦП. Наприклад, 12-розрядний АЦП AD9042 забезпечує динамічний діапазон 80 дБ при максимальній частоті дискретизації 41 МГц.

Ще один приклад – 14-розрядний АЦП LTC2249 який при частоті вхідного сигналу 70 МГц забезпечує динамічний діапазон 90 дБ, а при частоті вхідного сигналу 140 МГц – 85 дБ.

20.6 АЦП двотактного інтегрування

Аналого-цифровий перетворювач подвійного інтегрування призначений для перетворення в код постійної напруги або струму. Свою назву він отримав від двох операцій що здійснюються при перетворенні – в обох випадках це інтегрування. Оскільки в АЦП використовується операція інтегрування за певний проміжок часу, то його завадостійкість набагато більша ніж у інших типів АЦП.

На рис. 20.16 наведені часові діаграми сигналу на виході інтегратора АЦП двотактного інтегрування.

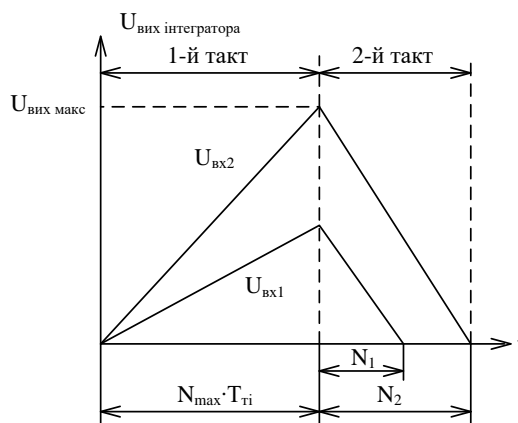


Рис. 20.16. Часові діаграми, що ілюструють роботу АЦП двотактного інтегрування

Принцип дії такого АЦП полягає в наступному. Цикл роботи АЦП розбитий на два такти. На інтервалі часу першого такту, тривалість якого постійна, конденсатор інтегратора заряджається від джерела вхідної напруги. На інтервалі часу другого такту конденсатор інтегратора розряджається від джерела опорної напруги, полярність якої протилежна полярності вхідного сигналу. У зв'язку з тим, що опорна напруга має постійну величину, то швидкість розряду конденсатора інтегратора завжди буде однаковою. У наслідок цього час розряду конденсатора буде залежати від значення напруги до якої конденсатор зарядився на першому такті. Оскільки заряд і розряд конденсатора відбуваються по лінійному закону, то час розряду конденсатора прямо пропорційний вхідній напрузі такого АЦП.

На рис. 20.16 показано, що якщо $U_{\text{вх}2} > U_{\text{вх}1}$, то і тривалість другого такту сформованого в результаті вимірювання $U_{\text{вх}2}$ більша, ніж при вимірюванні $U_{\text{вх}1}$. Спрощена функціональна схема, яка пояснює принцип дії АЦП двотактного інтегрування наведена на рис. 20.17.

Перед початком першого такту сигнал завершення другого такту, що формується на виході компаратора, встановлює у "0" лічильник Ст та RS-тригер, сигнал з виходу якого переводить аналоговий ключ S1 у верхнє положення і підключає до входу інтегратора, що виконаний на операційному підсилювачі (ОП) та елементах R1, C1, джерело вхідного сигналу.

Лічильник починає підрахунок імпульсів, що подаються на його вхід синхронізації С з виходу генератора імпульсів (ГІ). Після завершення повного циклу роботи лічильник повертається у початковий стан, тобто на його виходах встановлюються нулі. На виході дешифратора DC_0000 формується короткий імпульс, який перемикає RS-тригер у "1", а як наслідок аналоговий ключ переходить у нижнє по схемі положення і під'єднає до входу інтегратора джерело опорної напруги (ДОН).

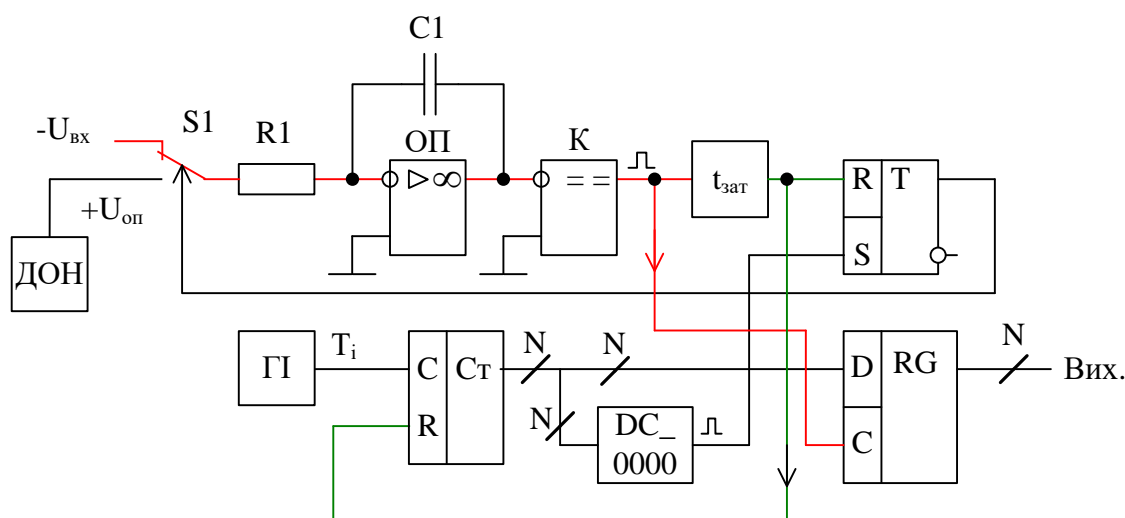


Рис. 20.17. Спрощена функціональна схема АЦП двотактного інтегрування

Тривалість першого такту можна розрахувати за формулою:

$$T_1 = N_{\max} T_i,$$

де N_{\max} – максимальний коефіцієнт ділення лічильника СТ, що визначає роздільну здатність АЦП;
 T_i – період слідування імпульсів генератора ПГ.

Оскільки у схемі на рис. 20.17 використовується інвертуючий інтегратор, то при вхідній негативній напрузі, на виході буде формуватися позитивна напруга.

На конденсаторі С1 за час першого такту накопичується заряд:

$$q_1 = U_{\text{вх}} T_1 / R_1 C_1,$$

де $U_{\text{вх}}$ – середнє значення вхідної напруги на інтервалі T_1 .

Перший такт закінчується і починається розряд конденсатора інтегратора від джерела позитивної опорної напруги $U_{\text{оп}}$ у другому такті. Лічильник починає новий робочий цикл, а напруга на конденсаторі починає зменшуватись (рис. 20.16).

Коли напруга на виході інтегратора впаде до нуля, компаратор К перемикається з "0" у "1" і зростаючим перепадом напруги вихідний код лічильника записується в регістр RG.

Цим перепадом напруги вихідний код лічильника записується в регістр RG, на виході якого і формується вихідний код АЦП. Через елемент затримки $t_{\text{зат}}$ імпульс з виходу компаратора надходить на входи встановлення у "0" RS-тригера та лічильника. Затримка 30...40 нс потрібна для того, щоб інформація з виходу лічильника була записана у регістр.

За час другого зміну заряду конденсатора можна розрахувати за виразом:

$$q_2 = U_{\text{оп}} T_2 / R_1 C_1,$$

де T_2 – час розряду конденсатора (тривалість другого такту).

Так як на другому такті конденсатор повністю розряджається, то $q_1 = q_2$. Прирівнявши вирази для q_1 і q_2 отримаємо:

$$\frac{U_{\text{вх}} T_1}{R_1 C_1} = \frac{U_{\text{оп}} T_2}{R_1 C_1}.$$

З цього рівняння нескладно отримати вираз для T_2 :

$$T_2 = \frac{U_{\text{вх}} T_1}{U_{\text{оп}}} = A U_{\text{вх}},$$

де A – коефіцієнт пропорційності, що численно дорівнює $T_1/U_{\text{оп}}$.

При підстановці замість T_1 та T_2 їх значення через кількість імпульсів, отримаємо:

$$N_2 T_{\text{ТІ}} = \frac{U_{\text{вх}}}{U_{\text{оп}}} N_{\text{max}} T_{\text{ТІ}},$$

звідки

$$N_2 = U_{\text{вх}} / (N_{\text{max}} / U_{\text{оп}}).$$

З цього рівняння витікає, що кількість імпульсів підрахованих лічильником на другому такті, пропорційна вхідній напрузі.

АЦП з двотактним інтегруванням мають високу завадостійкість і точність вимірювання. Висока завадостійкість обумовлена тим, що вхідний сигнал інтегрується, що призводить до згладжування всіх високочастотних (в порівнянні з частотою інтегрування) сигналів завад, наведень і шумів. Найбільш небезпечним є сигнал з частотою мережі змінного струму.

Тому перш за все у АЦП необхідно забезпечити стійкість проти завади частотою 50 (або 60) Гц. З цією метою інтервал часу першого такту інтегрування повинен дорівнювати періоду сигналу мережевої завади (або бути кратним йому). Інтегрування вхідного сигналу призводить також до зменшення динамічних похибок АЦП, пов'язаних зі зміною сигналу в процесі перетворення або ж обумовлених перехідними процесами в елементах на вході інтегратора (буферний підсилювач, аналоговий ключ та інші).

Крім того, використання двотактного інтегрування дає можливість в значній мірі компенсувати деякі складові статичної похибки і тим самим істотно зменшити загальну похибку перетворення. До складових статичної похибки належать похибки вхідного пристрою (буферного підсилювача і атенюатора), похибки інтегратора, обумовлені нелінійністю його характеристики, а також дрейф значень цих складових. Якщо швидкість зміни параметрів цих елементів мала у порівнянні з періодом вимірювання, це дозволяє знехтувати ними за час одного перетворення.

У загальному випадку основними складовими статичної похибки АЦП з двотактним інтегруванням є:

- нестабільність джерела опорного напруги;

- нестабільність частоти тактових імпульсів, якщо вона спостерігається протягом двох тактів інтегрування;
- нелінійність інтегратора;
- напруга зсуву буферного підсилювача і інтегратора, поріг чутливості компаратора, а також їх дрейф від температури та часу;
- кінцеві значення опорів аналогових ключів і їх нестабільність.

Швидкодія АЦП з двотактним інтегруванням обумовлюється числом двійкових розрядів лічильника і частотою генератора тактових імпульсів. Верхнє значення частоти генератора в основному визначається часом затримки та встановлення компаратора. Високочутливі інтегральні компаратори можуть мати час затримки більше 200 нс (до декількох мікросекунд) в залежності від їх коефіцієнта підсилення.

Для забезпечення високої завадостійкості до сигналів з частотою промислової мережі, як уже було сказано, треба обрати тривалість першого такту рівною $nT_{\text{мережі}}$, де $n = 1, 2, 3, \dots$

Наприклад, для частоти мережі змінного струму частотою 50 Гц, обрано $T_1 = 3T_{\text{мережі}}$, тобто 60 мс. Тоді сигнал завади за час T_1 не призведе до зміни напруги на виході інтегратора, як показано на рис. 20.18. В той же час сигнал завади з іншою частотою (на рис. 20.17 позначений червоною лінією) призведе до появи значної похибки на виході інтегратора.

З наведеного прикладу витікає, що висока точність АЦП з двотактним інтегруванням досягається за рахунок малої швидкодії. Тому такі перетворювачі застосовуються в основному в точних цифрових вольтметрах постійного струму або в пристроях обробки даних з сигналами, що змінюються повільно у часі.

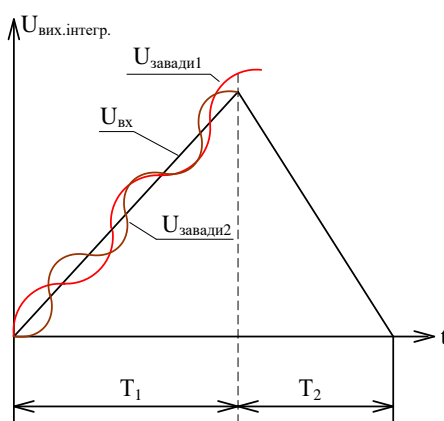


Рис. 20.18. Ілюстрація впливу завади на результат інтегрування

Розглянемо приклад. Нехай число розрядів вихідного коду АЦП $N = 12$, а максимальна вхідна напруга складає $U_{\text{max}} = -2$ В. При таких параметрах крок квантування вхідного сигналу за

рівнем складає $2/(2^{12}) = 2/4096 = 0,5$ мВ. При такому значенні кроку квантування чутливість компаратора повинна бути не гірше 100 мкВ. При малих значеннях напруги час вклучення (встановлення) компаратора зростає, що і визначає обмеження по максимальній частоті генератора імпульсів. Отже можна зробити висновок про те, що швидкодія АЦП невисока при високій точності.

Модель для дослідження АЦП двотактного інтегрування приведена на рис. 20.19, а осцилограми сигналів у різних точках схеми – на рис. 20.20.

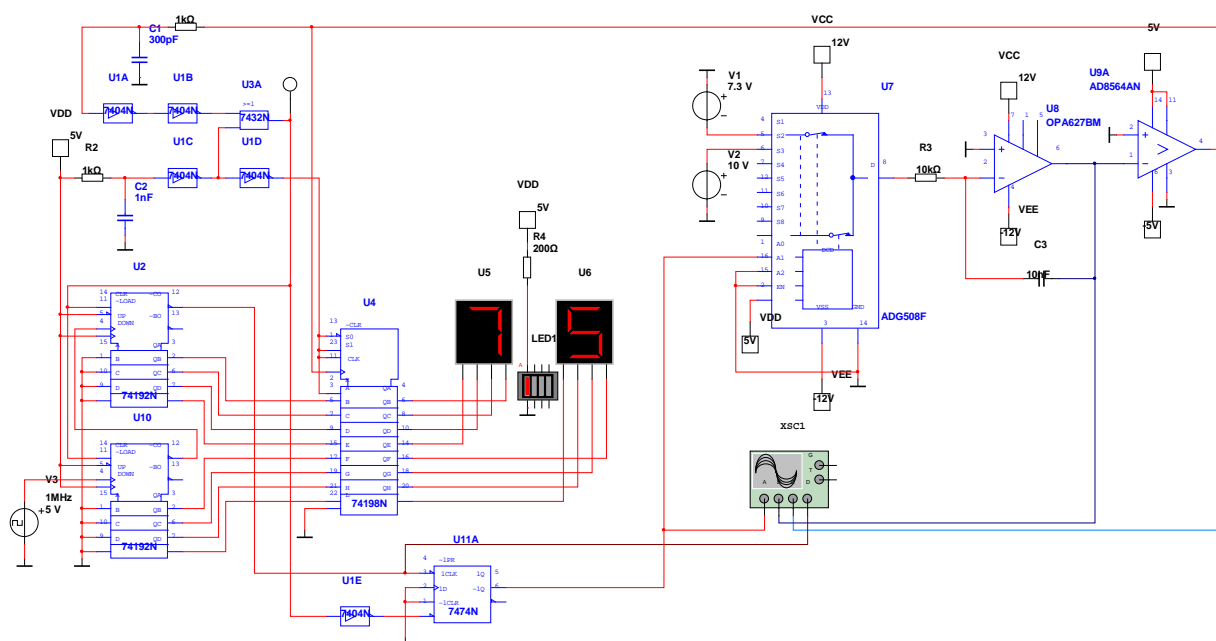


Рис. 20.19. Модель для дослідження АЦП двотактного інтегрування

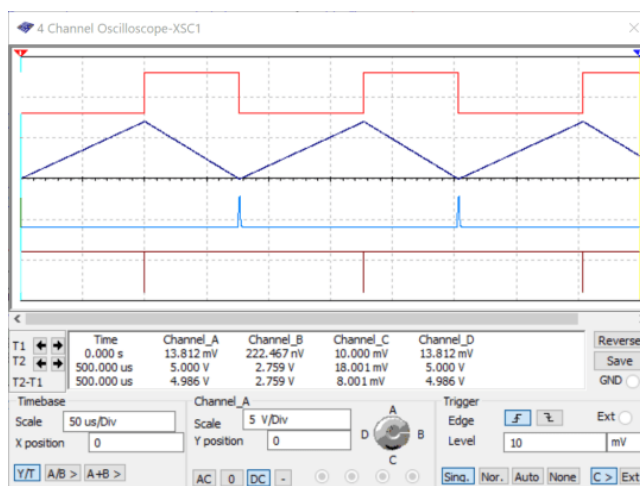


Рис. 20.20. Осцилограми сигналів у різних точках АЦП двотактного інтегрування

В якості джерел вхідної і опорної напруги використані джерела V1 і V2. Змінюючи

напругу джерела V_1 можна спостерігати як змінюється процес перетворення сигналів. Така модель має доволі високу похибку вимірювання вхідної напруги. Це пояснюється двома факторами:

- малим числом розрядів АЦП;
- простотою схемних рішень;
- у схемі відсутні елементи для компенсації напруги зміщення.

Однак така схема цілком дозволяє перевірити функціонування АЦП.

Високоякісні АЦП двотактного інтегрування випускаються у вигляді інтегральних схем до яких достатньо під'єднати вхідний атенюатор та індикатори для відображення виміряних значень.

На основі таких АЦП будуються не тільки високоякісні вольтметри постійного струму, а і переносні мультиметри з кількістю розрядів 3,5 і 4.5. На рис. 20.21 наведено фото цифрового мультиметра.



Рис. 20.21. Цифровий мультиметр UT1368+

20.7 АЦП з проміжним перетворенням напруги в частоту

Принцип роботи АЦП з проміжним перетворенням напруги у частоту заснований на перетворенні напруги в пропорційну йому частоту, яка потім вимірюється за фіксований інтервал часу. Це еквівалентно процедурі інтегрування за той же проміжок часу. Функціональна схема АЦП наведена на рис. 20.22.

Вихідний код перетворювача визначається співвідношенням:

$$N = FT_{\text{вим}} = \alpha U_{\text{вх}} T_{\text{вим}},$$

де $\alpha = F / U_{\text{вх}}$ – величина, зворотна крутизні перетворення; F – частота на виході перетворювача напруги в частоту.

Основним джерелом похибок такого АЦП є перетворювач напруги в частоту (ПНЧ).

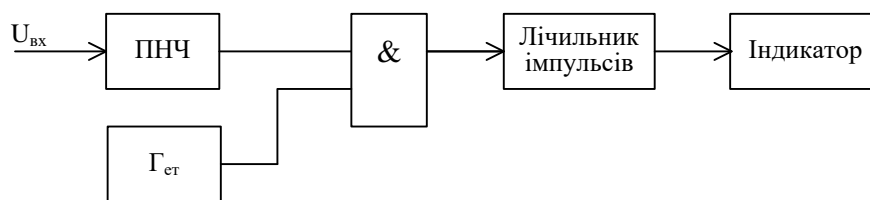


Рис. 20.22. Функціональна схема АЦП з проміжним перетворенням напруги в частоту

Вхідний сигнал подається на вхід ПНЧ, частота імпульсного сигналу на виході якого пропорційна значенню вхідної напруги. Ці імпульси подаються на перший вхід логічного елемента І, а на другий вхід І надходять імпульси від генератора $\Gamma_{ет}$ (генератор формує імпульси еталонної тривалості). На виході елемента І формується пакет імпульсів, кількість яких пропорційна значенню вхідної напруги (рис. 20.23).

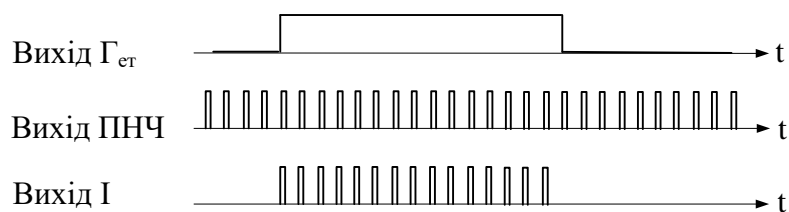


Рис. 20.23. Часові діаграми сигналів в різних точках АЦП з проміжним перетворенням напруги в частоту

При побудові АЦП із проміжним перетворенням напруги в частоту основним елементом є перетворювач напруги в частоту (ПНЧ). Найбільшу лінійність мають ПНЧ з почерговим інтегруванням. Спрощена схема такого ПНЧ наведена на рис. 20.24.

Вимірювана напруга підводиться до двох інтеграторів, що працюють по черзі. На вхід інтеграторів подається напруга негативної полярності, а на виході інтегратора формується напруга позитивної полярності оскільки інтегратор інвертуючий. Напруга на виході інтегратора зростає і коли її значення сягне значення опорної напруги, що подається на інвертуючі входи компараторів К1 та К2, то компаратор перемикається з "0" у "1".

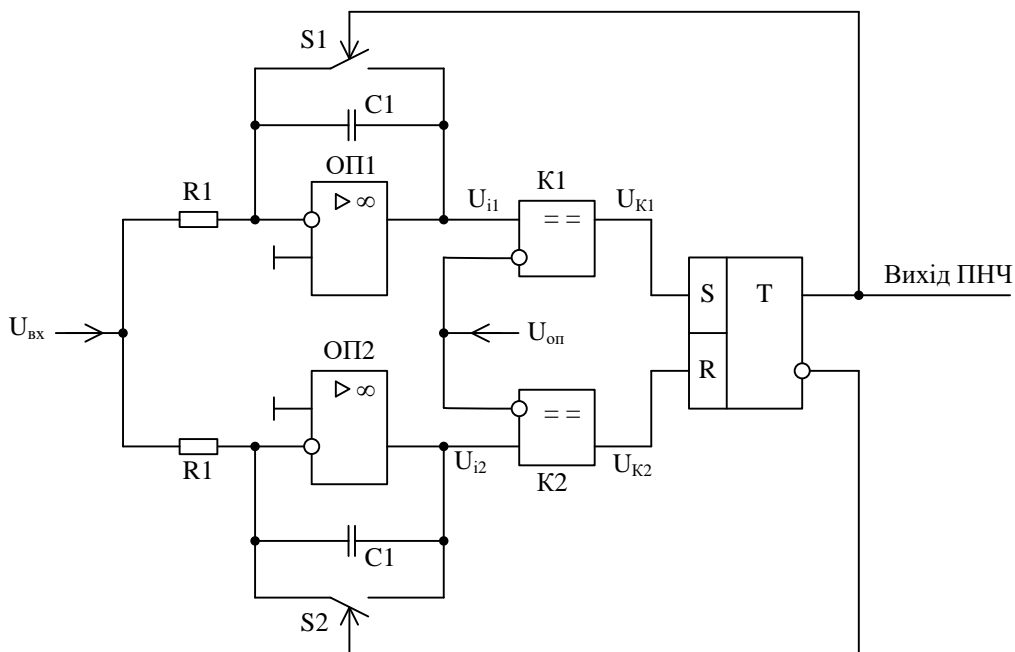


Рис. 20.24. Функціональна схема перетворювача напруги у частоту з почерговим інтегруванням

Наприклад, заряджається конденсатор $C1$, а конденсатор $C2$ у цей час розряджений оскільки ключ $S2$ замкнений. На прямому виході RS-тригера формується "0", а на інверсному "1". Ключі замикаються коли на вхід управління подана логічна "1". Як тільки напруга на виході ОП1 перевищить значення $U_{оп}$, на виході компаратора $K1$ буде сформована "1" і RS-тригер переключиться у "1".

Конденсатор $C1$ швидко розряджається через відкритий ключ $S1$, а ключ $S2$ розмикається і починається заряд конденсатора $C2$ другого інтегратора. Коли напруга на виході ОП2 перевищить $U_{оп}$, спрацює компаратор $K2$ і на його виході буде сформована "1". Внаслідок цього RS-тригер встановиться у "0" і знов почнеться заряд конденсатора першого інтегратора.

Часові діаграми, що пояснюють роботу ПНЧ, наведені на рис. 20.25.

Вихідна частота ПНЧ визначається співвідношенням:

$$f_{\text{вих}} = \frac{1}{t_1 + t_2},$$

де t_1 і t_2 – тривалості імпульсів, що формуються верхнім і нижнім плечем перетворювача, відповідно.

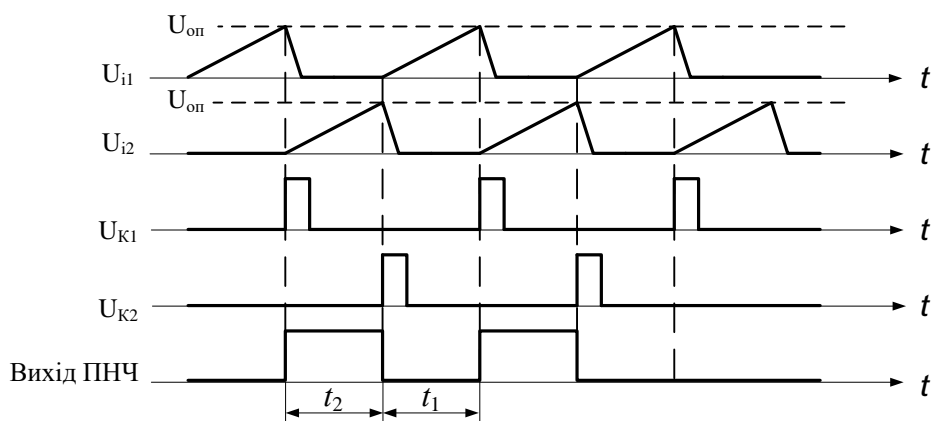


Рис. 20.25. Часові діаграми сигналів в різних точках ПНЧ

Тривалість імпульсу визначається часом заряду конденсатора до опорної напруги і може бути розрахована за формулою $t_1 = C_1 U_{\text{оп}} / I_{\text{вх}}$, де $I_{\text{вх}} = U_{\text{вх}} / R_1$. Після підстановки отримаємо вираз для розрахунку $t_1 = C_1 R_1 U_{\text{оп}} / U_{\text{вх}}$. Аналогічно можна розрахувати тривалість імпульсу t_2 .

Як правило схема ПНЧ симетрична і номінали елементів однакові у різних плечах, тобто $C_1 = C_2 = C$, $R_1 = R_2 = R$. З урахуванням цього можна записати вираз для періоду слідування імпульсів на виході ПНЧ:

$$T_{\text{вих}} = \frac{2RCU_{\text{оп}}}{U_{\text{вх}}} = k / U_{\text{вх}},$$

де $k = 2RCU_{\text{оп}}$ – постійна величина.

Враховуючи це, можна записати вираз для частоти вихідного сигналу ПНЧ:

$$f_{\text{вих}} = 1/T_{\text{вих}} = U_{\text{вх}} / k.$$

Якщо позначити величину $1/k$ як K , то отримаємо:

$$f_{\text{вих}} = KU_{\text{вх}}.$$

Похибки такого перетворювача зумовлені:

- зміною зарядного струму інтегратора;
- часом спрацьовування компараторів, тригера і ключів.

Модель для дослідження перетворювача напруги у частоту з почерговим інтегруванням наведена на рис. 20.26.



Рис. 20.27. Осцилограми сигналів в різних точках ПНЧ

Оскільки ПНЧ здійснює перетворення напруги у частоту, то фактично він виконує функцію частотного модулятора. Якщо замість постійної напруги на вхід ПНЧ подати змінний сигнал, то можна спостерігати його роботу у динамічному режимі.

На рис. 20.28 наведена модель ПНЧ з управлінням його вихідною частотою за допомогою функціонального генератора.

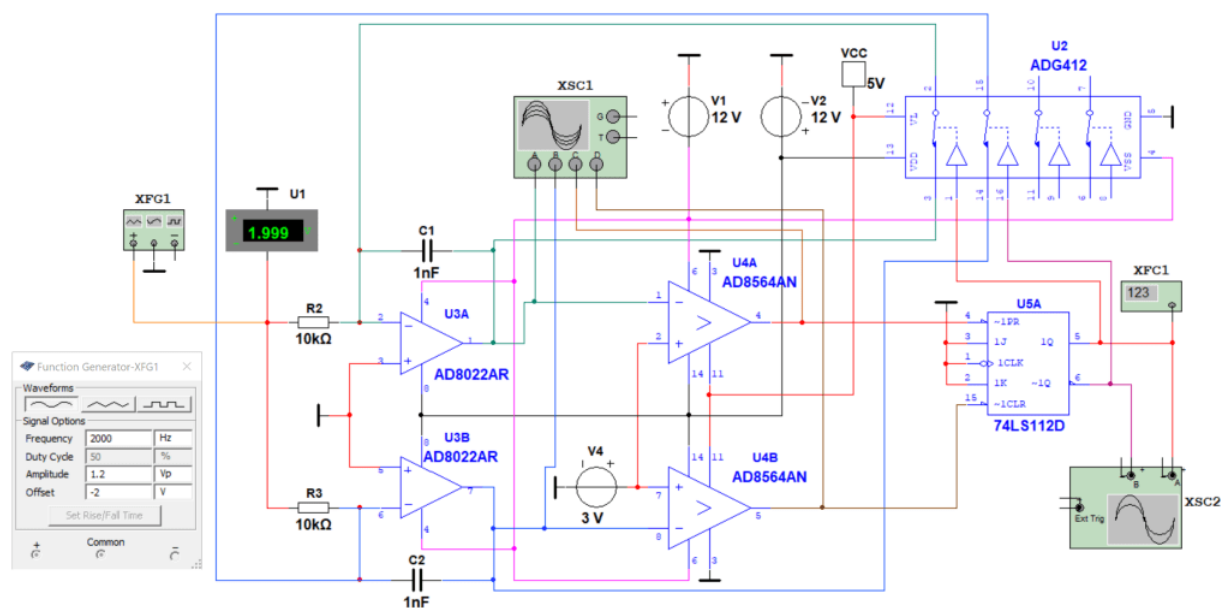


Рис. 20.28. Модель ПНЧ з управлінням вихідною частотою за допомогою функціонального генератора

Для моделі на рис. 20.28 на схемі, необхідно задати амплітуду сигналу не більше 1,8 В і напругу зміщення -2 В. Осцилограми сигналів при автоматичній зміні частоти за синусоїдальним законом наведені на рис. 20.29.

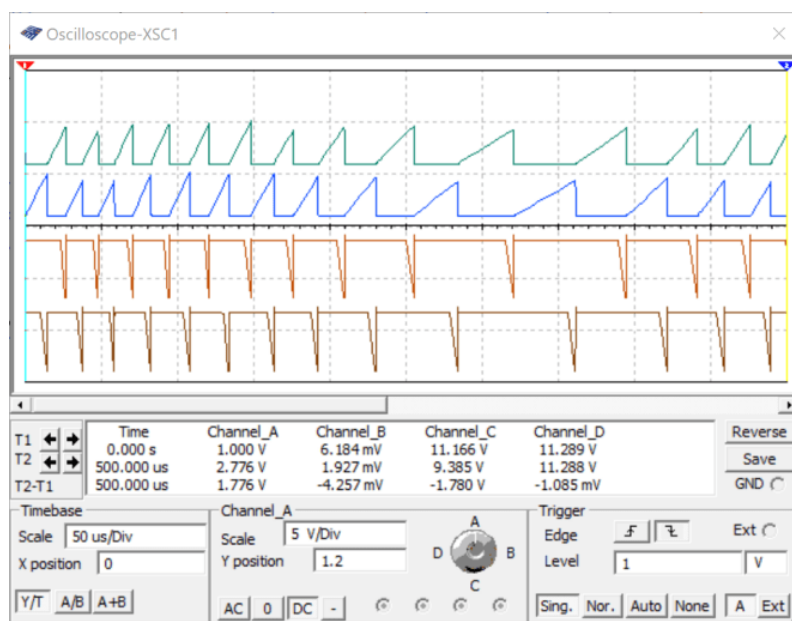


Рис. 20.29. Осцилограми сигналів в різних точках ПНЧ при зміні частоти вихідного сигналу

20.8 АЦП з проміжним перетворенням напруги у період

Принцип роботи АЦП з проміжним перетворенням напруги у період (ПНП) заснований на перетворенні напруги в пропорційну йому тривалість періоду, яка потім вимірюється за допомогою заповнення цього періоду імпульсами еталонної частоти, період слідування яких набагато менший ніж вимірюване значення періоду з виходу ПНП.

Функціональна схема АЦП наведена на рис. 20.30.

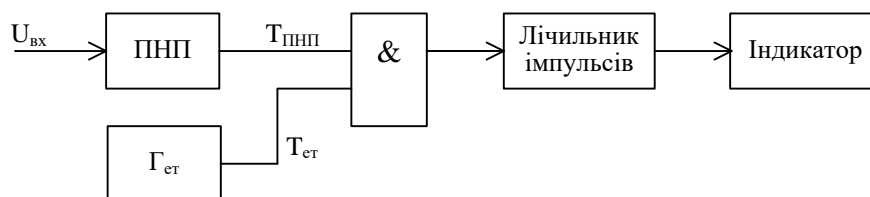


Рис. 20.30. Функціональна схема АЦП із проміжним перетворенням напруги в період

Вихідний код лічильника імпульсів визначається співвідношенням:

$$N = T_{\text{ПНП}} / T_{\text{ет}} = \alpha U_{\text{вх}} f_{\text{ет}},$$

де $\alpha = T_{\text{ПНП}} / U_{\text{вх}}$ – величина, зворотна крутизні перетворення; $T_{\text{ПНП}}$ – період сигналу на виході перетворювача напруги в період.

Основним джерелом похибок такого АЦП є перетворювач напруги в період (ПНП).

Вхідний сигнал подається на вхід ПНП, тривалість періоду імпульсного сигналу на виході якого пропорційний значенню вхідної напруги. Ці імпульси подаються на перший вхід логічного елементу І, а на другий вхід І надходять імпульси від генератора $\Gamma_{\text{ет}}$ (генератор формує імпульси еталонної частоти). На виході елементу І формується пакет імпульсів, кількість яких пропорційна значенню вхідної напруги (рис. 20.31).

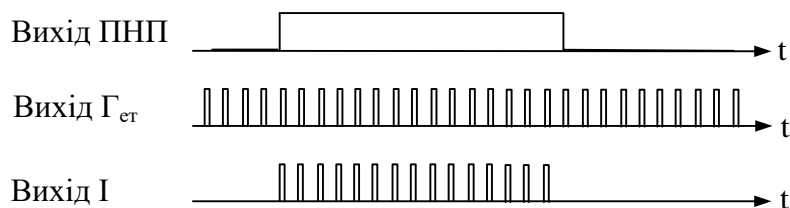


Рис. 20.31. Часові діаграми сигналів в різних точках АЦП

Функціональна схема перетворювача напруги у період наведена на рис. 20.32.

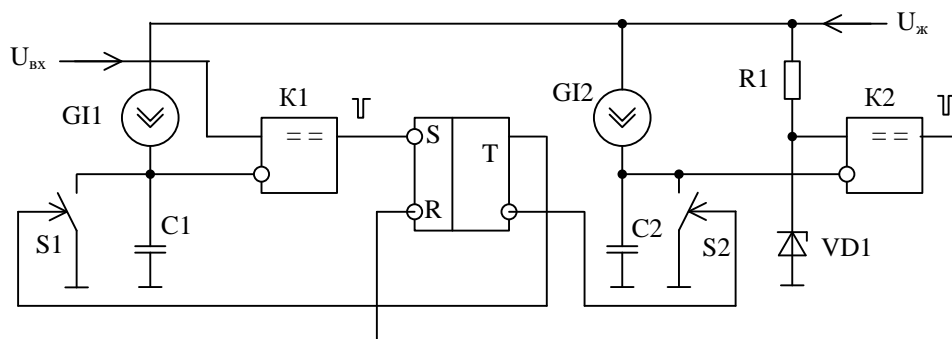


Рис. 20.32. Функціональна схема перетворювача напруги в період

Працює перетворювач за наступним принципом. Два джерела струму $GI1$ та $GI2$ заряджають конденсатори по черзі конденсатори $C1$ та $C2$. Коли конденсатор $C1$ зарядиться до рівня вхідної напруги, то на виході компаратора $K1$ буде сформовано перепад з "1" у "0" і RS-тригер переключиться у "1". Рівень логічної "1" викликає замикання ключа $S1$. А оскільки на інверсному виході RS-тригера встановлений "0", то ключ $S2$ розмикається і починається заряд конденсатора $C2$. Оскільки компаратор $K2$ порівнює напругу на конденсаторі з фіксованою напругою $U_{\text{оп}}$, що формується параметричним стабілізатором напруги $R1$, $VD1$, то час його

заряду буде завжди однаковий. Як тільки напруга на конденсаторі C_2 сягне значення $U_{оп}$, то на виході компаратора K_2 буде сформовано перепад з "1" у "0" і RS-тригер переключиться у "0".

Ключ S_1 розімкнеться, а S_2 замкнеться. Почнеться заряд конденсатора C_1 до рівня вхідної напруги і весь процес повторюється.

На рис. 20.33 наведені часові діаграми сигналів на конденсаторах, виходах компараторів та на виході RS-тригера, що і є виходом ПНП.

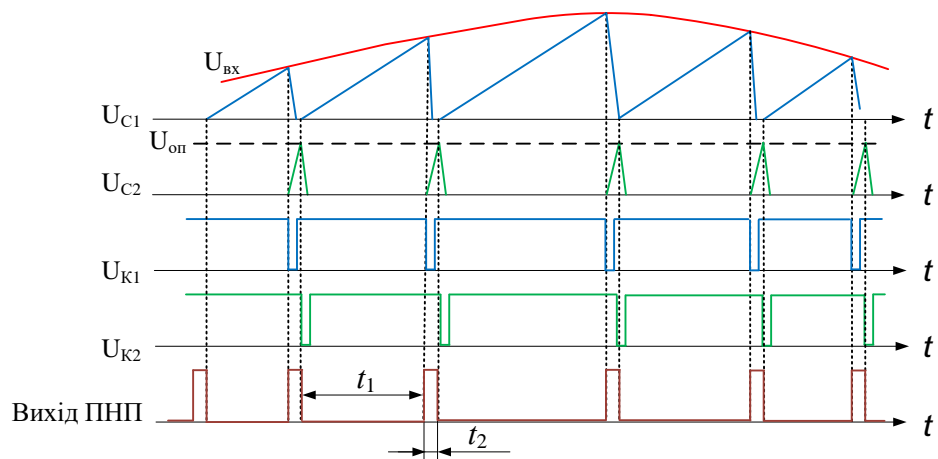


Рис. 20.33. Часові діаграми сигналів у різних точках перетворювача напруги в період

З осцилограм видно, що чим більше рівень вхідної напруги, тим більша тривалість імпульсу t_1 , а тривалість імпульсу t_2 залишається постійною.

Тривалість періоду вихідного сигналу $T_{ПНП} = t_1 + t_2$.

Тривалість імпульсу t_1 пропорційна напрузі $U_{вх}$, і обернено пропорційна струму i_1 джерела G_1 та ємності конденсатора C_1 :

$$t_1 = U_{вх}/(i_1 C_1).$$

Аналогічно розраховується тривалість імпульсу $t_2 = U_{оп}/(i_2 C_2)$, де $U_{оп}$ – напруга стабілізації стабілітрона, i_2 – струм джерела струму G_2 .

З урахуванням наведених співвідношень тривалість періоду вихідного сигналу можна розрахувати за формулою:

$$T_{ПНП} = t_1 + t_2 = U_{вх}/(i_1 C_1) + U_{оп}/(i_2 C_2).$$

Оскільки $t_2 = \text{Const}$, а добуток $i_1 C_1$ теж величина постійна, можна записати вираз для періоду вихідного сигналу у такому вигляді:

$$T_{ПНП} = K_1 U_{вх} + t_2,$$

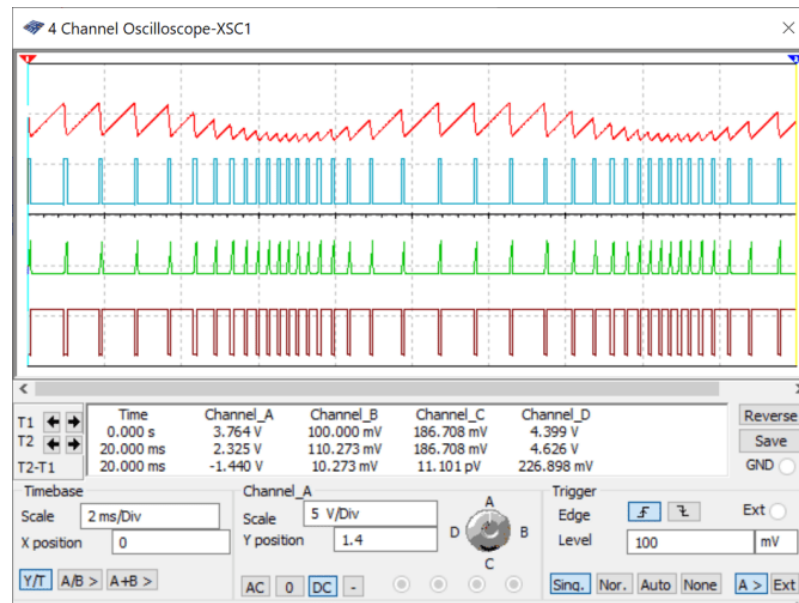


Рис. 20.36. Осцилограми сигналів у різних точках перетворювача напруги в період

Як слідує з осцилограм, під дією вхідної напруги період вихідного сигналу змінюється у широкому діапазоні.

20.9 Генератор пилкоподібної напруги, управляємий напругою

На основі перетворювача напруги у період неважко побудувати генератор пилкоподібної напруги, частота сигналів на виході якого управляється напругою. На рис. 20.37 наведена модель генератора, у якому частота пилкоподібних імпульсів регулюється зміною напруги зміщення на базі транзистора Q1.

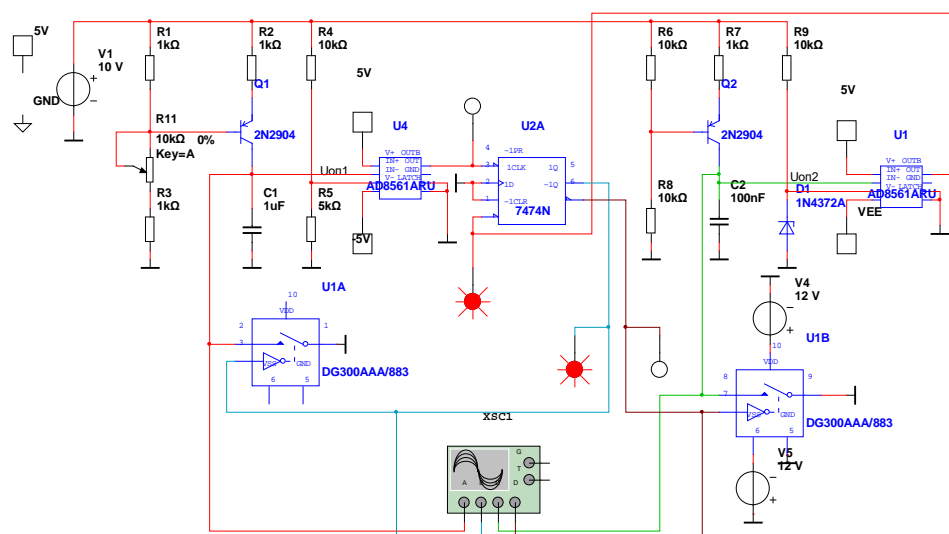


Рис. 20.37. Модель генератора пилкоподібної напруги зі змінною частотою вихідного сигналу

Змінний резистор R11 дозволяє регулювати напругу зміщення на базі Q1. А оскільки тривалість імпульсу $t_1 = U_{\text{оп1}}/(i_1 C_1)$, а $i_1 = [R_1 U_{\text{Г1}}/(R_1 + R_3 + R_{11}) - 0,7]/R_2$, то тривалість імпульсу буде змінюватись при зміні опору R11.

На рис. 20.38,а наведені осцилограми сигналів генератора при значенні опору $R_{11} = 10$ кОм (100%), а на рис. 20.38,б – при значенні опору $R_{11} = 0$ (0%).

Якщо замість дільника напруги використати функціональний генератор, як показано на рис. 20.39, то можна змінювати період слідування вихідного сигналу за законом, що задає функціональний генератор. Осцилограми сигналів генератора пилкоподібної напруги при зміні напруги управління по синусоїдальному закону наведені на рис. 20.40.

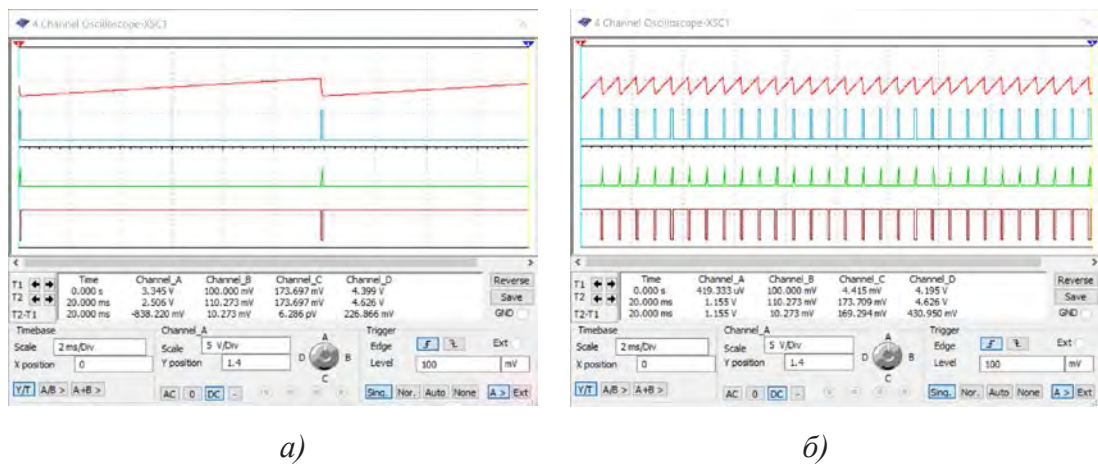


Рис. 20.38. Осцилограми сигналів генератора пилкоподібної напруги зі змінною частотою вихідного сигналу при $R_{11} = 10$ кОм (а) та $R_{11} = 0$ (б)

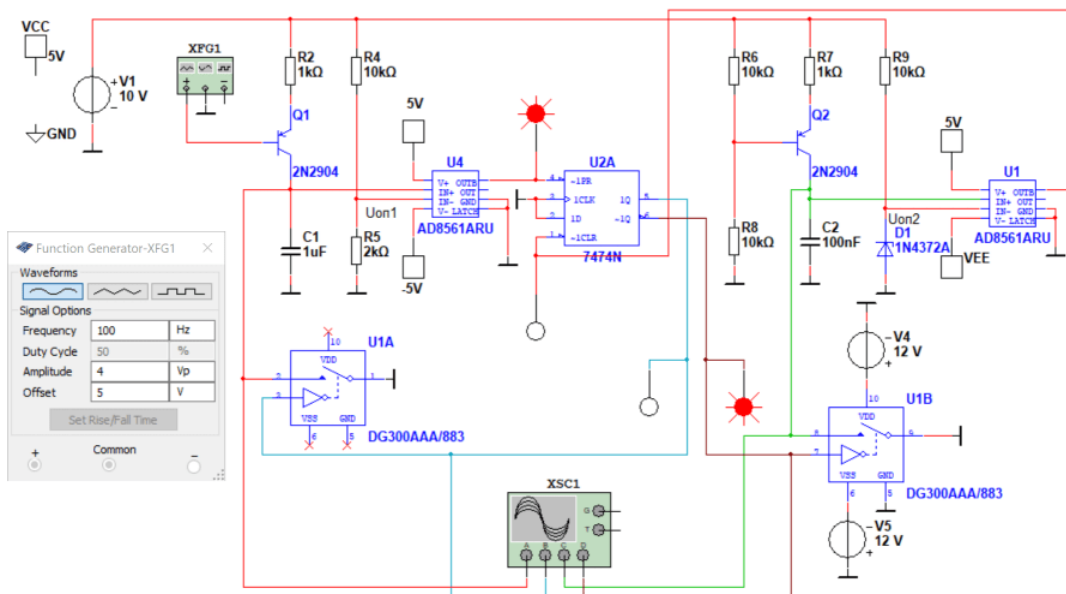


Рис. 20.39. Модель генератора пилкоподібної напруги з частотою вихідного сигналу, що управляється напругою

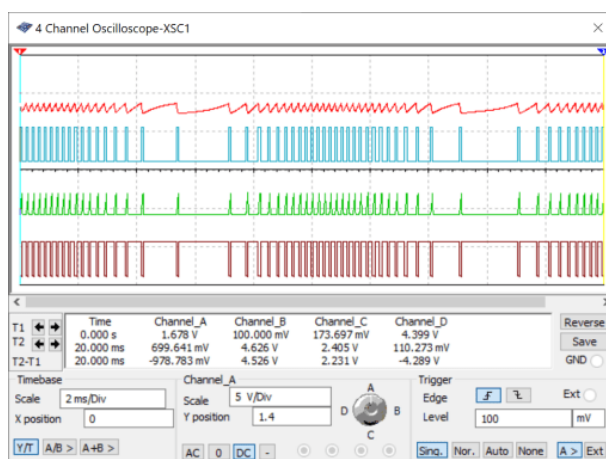


Рис. 20.40. Осцилограми сигналів генератора пилкоподібної напруги при зміні напруги управління по синусоїдальному закону

Контрольні питання

1. Від чого залежить час перетворення АЦП розгортуючого врівноваження?
2. Який АЦП з розглянутих має найвищу швидкодію?
3. Який АЦП знаходить найбільше використання і чому?
4. Навіщо потрібен вихідний регістр в складі АЦП?
5. Для чого у склад АЦП включають цифро-аналогові перетворювачі?
6. Які функції виконує регістр послідовних наближень?
7. Для чого у складі АЦП використовуються компаратори?
8. Який пристрій дозволяє сформувати імпульс заданої тривалості для управління ПВЗ?
9. Яким чином проконтролювати точність роботи АЦП?
10. Як відобразити значення вихідного коду АЦП в десятковій системі числення? У двійковій системі числення?
11. Яку функцію виконує компаратор в складі АЦП?
12. У чому переваги АЦП двотактного інтегрування?
13. Як побудувати модель інтегратора для використання в складі АЦП?
14. Яким чином можна комутувати напругу на вході АЦП двотактного інтегрування?
15. Що таке перетворювач напруги в частоту?
16. Яким чином можна побудувати частотний модулятор, маючи в своєму розпорядженні перетворювач напруги в частоту?
17. Яким чином сформувати сигнал, період слідування якого пропорційний напрузі управління?

18. Яка різниця між генераторами що формують сигнали, частота яких пропорційна напрузі управління і період якого пропорційний напрузі управління?

19. Чи можна використати інтегратор для побудови генератора пилкоподібної напруги, період слідування імпульсів на його виході пропорційний напрузі управління?

20. Чи залежить період слідування імпульсів на виході перетворювача напруги у період від струму джерела струму?

21. Яким чином можна змінювати струм джерела струму? Назвіть хоча б два способи.

22. Як змінювати співвідношення між тривалістю позитивного імпульсу та паузи на виході перетворювача напруги у період?

21 ЗАСТОСУВАННЯ ЦИФРОВИХ ІНТЕГРАЛЬНИХ МІКРОСХЕМ

21.1 Завади та завадостійкість цифрових пристроїв

В міру удосконалювання пристроїв цифрової техніки вони одержують усе більше застосування для автоматизації управління всілякими об'єктами. При цьому в безпосередній близькості друг до друга виявляються електронні пристрої і потужні агрегати, такі як електродвигуни, електромагніти, електронагрівальні прилади, зварювальні машини й ін. У зв'язку з цим усе більшого значення набуває проблема зменшення шумів і забезпечення завадостійкості електронних пристроїв. Ця проблема зв'язана не тільки з ростом зовнішніх завад від розташованих поблизу агрегатів, але і із збільшенням внутрішніх завад – взаємного впливу елементів і блоків електронних пристроїв один на одного. Останнє особливо істотно в зв'язку з тенденцією підвищення швидкодії і мікромініатюризацією електронних схем.

Цифровий пристрій являє собою мережу з'єднаних між собою елементів. Електричне коло, що з'єднує вихід одного елемента (джерела сигналу) із входом іншого елемента (приймача сигналу), утворює контур, що служить свого роду антеною, яка перетворить зміну електромагнітного поля в ЕРС і струм у контурі. Під дією цієї ЕРС на вході елемента-приймача виникає завада, що залежить від площі контуру, швидкості зміни електромагнітного поля, вихідного опору елемента-джерела і вхідного опору елемента-приймача. Завад, створювані електромагнітним полем, розглядають для досить віддалених джерел, якими звичайно є порівняно потужні агрегати. Крім них є також джерела завад, розташовані в безпосередній близькості від вхідних кіл елемента. Це сусідні провідники, що мають з розглянутим колом розподілений індуктивний і ємнісний зв'язок. Завад, обумовлені впливами через ці зв'язки при передаванні сигналів по сусідніх колах, називають перехресними.

Елементи, що входять до складу цифрового пристрою, підключаються до спільних джерел живлення. При цьому створюються завад через спільний вихідний опір $R_{\text{вн.ж}}$ джерела живлення й опір шин $R_{\text{ш}}$, що підводять живлення (рис. 21.1).

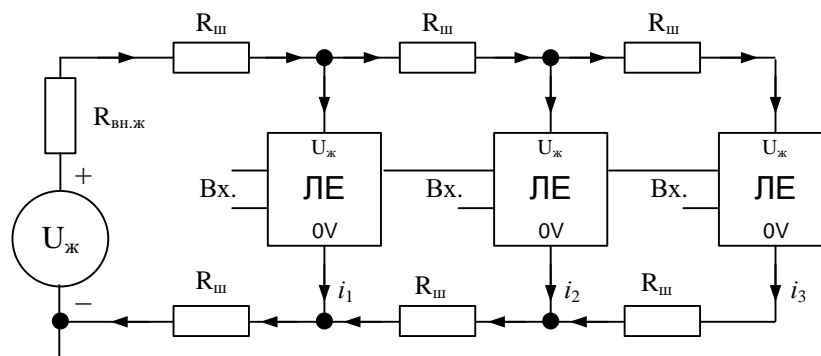


Рис. 21.1. Зв'язок елементів через спільне джерело живлення та шини живлення

Шини, що підводять живлення, мають розподілені параметри: ємність, індуктивність і опір. Для прикладу на рис. 21.2 наведена еквівалентна схема шини живлення елементів транзистор-транзисторної логіки (ТТЛ).

При цьому прийнято, що індуктивність провідника, який з'єднує виводи живлення двох поруч розташованих мікросхем, становить 20 нГн, а ємність мікросхеми між виводом живлення і виводом "землі" дорівнює 30 пФ. Хвильовий опір такої системи шин із підключеними мікросхемами становить близько 36 Ом. На рис. 21.3 показана типова діаграма імпульсів завад в такій шині живлення. Спад напруги на спільних для всіх елементів опорах $R_{ж}$ і $R_{ш}$ (рис. 21.1) змінює напругу, яка підводиться до елементів. Ці збільшення напруги живлення з деяким послабленням передаються на вихід елемента і створюють заваду. Найбільші завади створюються опорами ділянок нульової (земляної) шини. Так, з рис. 21.1 видно, що спад напруги Δu на опорі $R_{ш}$ являє собою заваду, що діє в колі передаванні сигналу з виходу першого логічного елемента (ЛЕ) на вхід другого ЛЕ.

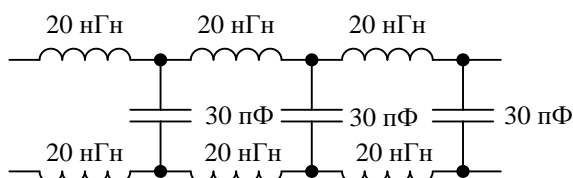


Рис. 21.2. Еквівалентна схема шини живлення логічних елементів

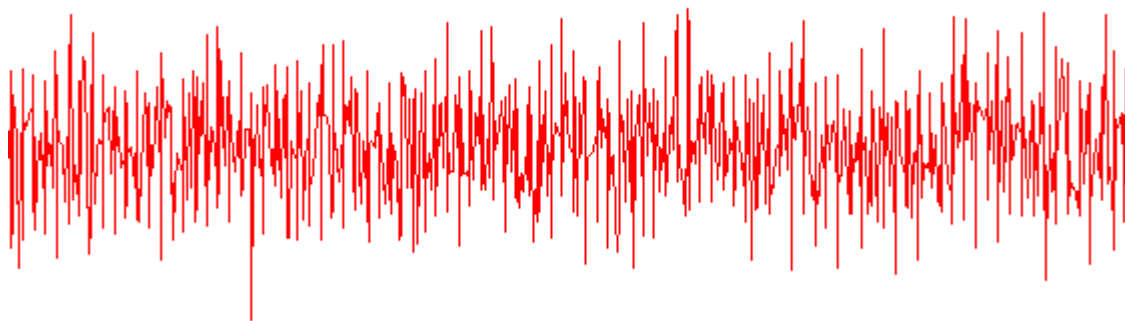


Рис. 21.3. Діаграма сигналу шуму в шинах

Завадостійкість логічного елемента є міра його здатності не реагувати на помилкові вхідні сигнали, викликані електромагнітними наведеннями на вхідне коло, перехресними завадами і завадами в шинах живлення. Оскільки всі типи логічних елементів утримують інерційні компоненти (транзистори, діоди, магнітні осердя), для переключення яких потрібно певна енергія вхідного сигналу, запас завдостійкості елемента для тривалих і короткочасних завад неоднаковий.

Підвищення завадостійкості пристроїв можна забезпечити, з одного боку, вибираючи елементи підвищеної завадостійкості, а з іншого боку – зменшуючи рівень завад на входах елементів за рахунок відповідних конструктивних і схемних заходів.

Завадостійкість елемента тим вище, чим більше вхідні напруги і струм, необхідні для його переключення, і чим більше час переключення. Узагальнюючи ці показники, можна розглядати енергію, необхідну для переключення. Зокрема, енергія переключення магнітних елементів з діодами на 2...3 порядки вище енергії переключення потенційних елементів інтегральних мікросхем. Однак при виборі елементної бази доводиться брати до уваги й інші фактори: швидкодію, вартість, рівень інтеграції, номенклатуру операційних елементів і функціональних блоків, технологічність виробництва апаратури. Для зменшення завад уживають наступних заходів: зменшення площі контуру кіл, екранування з'єднань, заземлення, гальванічну розв'язку кіл, фільтрацію, обмеження швидкості переключень струму в колах, розв'язку по живленню, екранування блоків і пристроїв.

Для зменшення завад, що виникають у цифрових логічних схемах, необхідно працювати із сигналами, що мають великі часи наростання і спаду, малу амплітуду, обмежити число сигналів, що одночасно переключаються, та застосовувати ефективні методи шунтування і заземлення. Для підвищення стійкості схем до зовнішніх завад варто застосовувати повільні схеми синхронізації з тригерами Шмітта на вході. Якщо система має довгі кабелі, бажано використовувати диференціальні передавальні і приймаючі пристрої, з'єднані симетричними лініями зв'язку, щоб знизити рівень створюваних і сприйманих завад.

Шунтувальні конденсатори – джерела імпульсного струму, споживаного цифровими схемами при переключенні, зменшують спадання напруги в колах живлення та заземлення і сприяють фільтрації завад, які створюють джерела живлення і заземлення. На рис. 21.4, а показаний традиційний простий спосіб шунтування, застосовуваний у цифрових схемах. Оксидний шунтувальний конденсатор великої ємності (10...100 мкФ, 1мкФ на кожному логічному мікросхемі) розміщується поблизу джерела живлення. Поруч із кожною логічною ІС знаходиться керамічний шунтувальний конденсатор ємністю 0,1 мкФ, а до швидкодіючих схем приєднуються також керамічні шунтувальні конденсатори малої ємності (100...1000 пФ). Кожна схема, що передає сигнали за межі друкованої плати, на якій вона знаходиться, або приймаюча сигнали через межі друкованої плати, має керамічний шунтувальний конденсатор ємністю 0,1 мкФ між шиною живлення і лінією зворотного струму сигналу (рис. 21.5). На частку інших ІС доводяться керамічні шунтувальні конденсатори ємністю 0,01...0,1 мкФ, причому на 5 ІС необхідно встановлювати принаймні один конденсатор. Недолік такого способу шунтування в

тому, що шунтувальні конденсатори слабо фільтрують завад з частотою вище 10 МГц через низькі власні резонансні частоти.

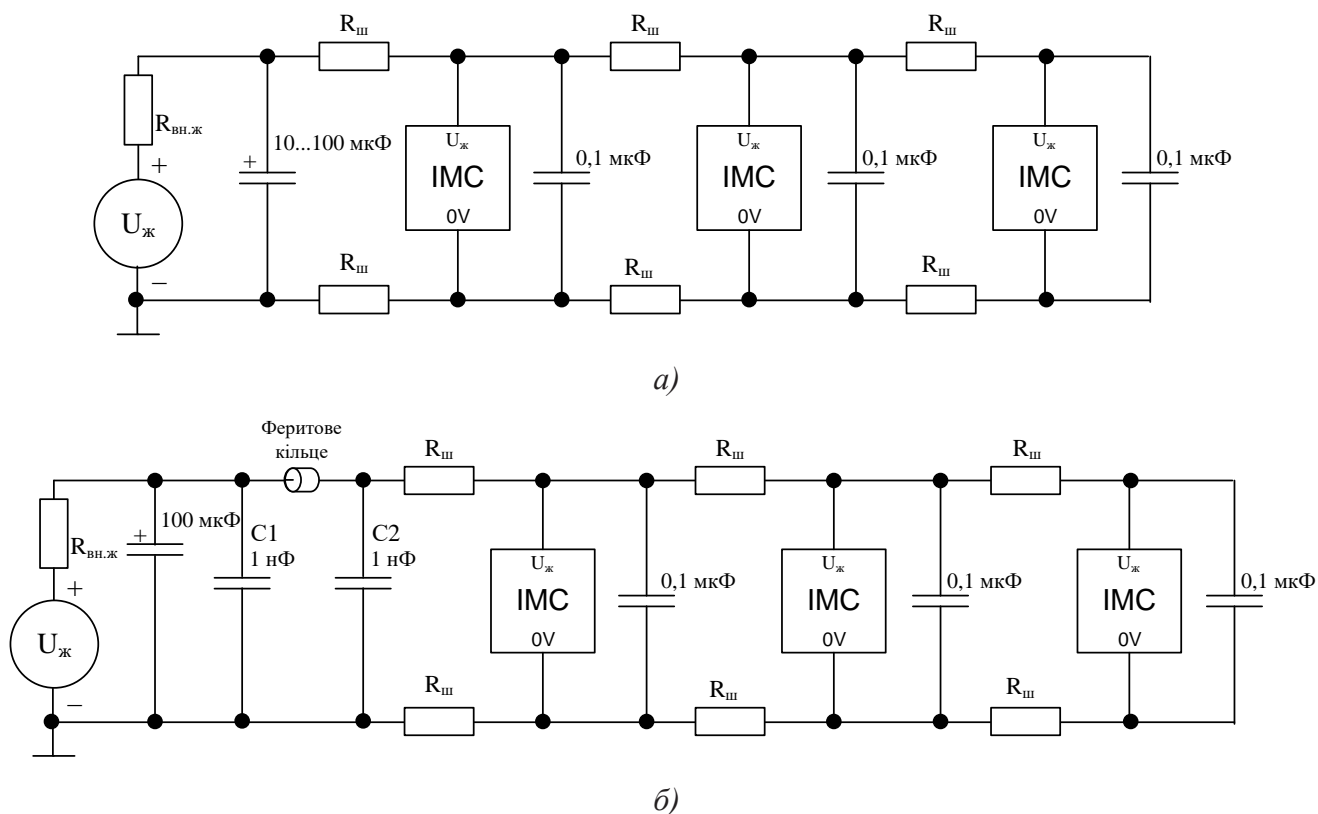


Рис. 21.4. Способи шунтування шин живлення цифрових мікросхем

Рис. 21.4,б ілюструє іншу схему шунтування. Конденсатори C_1 , C_2 та феритове кільце утворюють П-подібний фільтр, що послабляє високочастотні завади що формуються на друкованій платі. До кожної схеми, що передає сигнали за межі друкованої плати або приймає сигнали, що надходять на плату ззовні, приєднується керамічний шунтувальний конденсатор ємністю $0,1 \text{ мкФ}$, який розташовується між джерелом живлення $U_{\text{ж}}$ і лінією зворотного струму (рис. 21.5). Всі інші ІС забезпечуються керамічними шунтувальними конденсаторами ємністю $C_{\text{ш}} \geq 4,5n C_{\text{н}}$ (Ф), де n – число виходів ІС, $C_{\text{н}}$ – ємність навантаження.

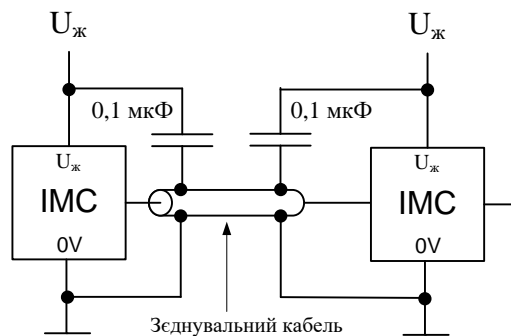


Рис. 21.5. Шунтування елементів, які передають та приймають сигнали за межі друкованої плати

Поблизу вводу проводів від джерела живлення міститься танталовий оксидний конденсатор для фільтрації низькочастотних завад. Ємність останнього повинна принаймні в 10 разів перевищувати ємність інших конденсаторів у колі, разом узятих.

Таке розташування компонентів забезпечує задовільне шунтування до частот 100 МГц і більше. Керамічні конденсатори повинні мати еквівалентну послідовну індуктивність не більше 20 нГн і еквівалентний послідовний опір менше 0,5 Ом. З урахуванням індуктивності виводів танталові (або полікарбонатові) конденсатори повинні мати еквівалентні послідовні індуктивність і опір відповідно менше 30 нГн і 1 Ом. Імпеданс феритового кільця при тактовій частоті схеми не повинний перевищувати 10 Ом, а при частотах, що перевищують тактову частоту ІС у 5 разів, імпеданс повинний перевищувати 50 Ом на робочому струмі. Найкращі результати виходять, коли провідник двічі пропускається крізь феритове кільце. Якщо імпеданс одного феритового кільця занадто малий, можна застосовувати послідовно кілька кілець або більш товсте кільце. Якщо схема допускає додаткове спадання напруги, замість феритового кільця можна використовувати композиційний резистор опором близько 51 Ом.

У діапазоні частот 30 МГц...1 ГГц синхронізаційні тактові сигнали і їхні гармоніки є основною причиною випромінюваних завад. Парні гармоніки можна різко зменшити, якщо використовувати сигнали синхронізації з 50% коефіцієнтом заповнення (коли тривалість сигналів синхронізації приблизно дорівнює відстані між ними). Варто спробувати зменшити число ІС, керованих кожним тактовим сигналом. Якщо тактові сигнали повинні надходити на кілька плат, як буфери бажано використовувати вхідні логічні елементи на тригерах Шмітта, а також обмежити розмах напруги і швидкість наростання (dU/dt) амплітуди основних сигналів синхронізації.

Якщо сигнали синхронізації керуються перемикачами поза платою, потрібно уникати безпосереднього управління сигналами синхронізації від цих перемикачів. Замість цього бажано приєднати до перемикачів кола, які керують логічними елементами на платі, що у свою чергу будуть керувати тактовими сигналами. Зменшенню завад від тактових сигналів будуть сприяти також їх рознесення по фазі та децентралізація.

Проблему завад можна вирішити шляхом ретельної синхронізації системи. Для зменшення перехідних струмів, що виникають у джерелах живлення і пристроях заземлення, варто керувати невеликою групою мікросхем за допомогою рознесених тактових сигналів. Скороченню терміну часу, протягом якого система найбільш піддана впливу завад, сприяє застосуванню схем синхронізації вхідних сигналів, крім того бажано стробіювання даних.

Кожний вхідний сигнал, що надходить на плату, варто подавати тільки на одну ІС (бажано, із тригерами Шмітта на входах), це допоможе вирішити проблеми синхронізації. Вхідні кола на

тригерах Шмітта підвищують заводозахисність схем і полегшують обробку сигналів із повільним наростанням амплітуди. Якщо вхідний сигнал подається на стандартний логічний елемент, часи наростання і спаду варто підтримувати малими для запобігання паразитних коливань.

Особливу увагу вимагають сигнали, що виходять із плати. Виходи тригерів, лічильників і регістрів зсуву необхідно доповнювати логічними елементами буферу або підсилювачами – передавачами для рішення проблеми відображень і викидів від неузгоджених ліній зв'язку. Пропущення вихідних із плати провідників крізь феритове кільце дозволить підключати до виходу неузгоджені лінії зв'язку більшої довжини.

Сигнали, що виходять із плати, не повинні надходити на вхід схем, що знаходяться на цій платі. Якщо зневажити цим правилом, то можна зштовхнутися з дуже серйозними проблемами завод, що виникають на вихідному передавачі.

Для запобігання відбиття та викидів довгі лінії зв'язку, повинні узгоджуватися відповідно до їхнього характеристичного імпедансу. У цьому випадку корисним може виявитися послідовно приєднаний резистор за умови, що всі приймаючі пристрої знаходяться на дальньому кінці лінії зв'язку (рис. 21.6,а). Резистор варто підібрати таким чином, щоб при переключенні сигналу в лінії зв'язку виникали лише незначні викиди. Дільник на резисторах на дальньому кінці лінії зв'язку дозволить розмістити приймачі в будь-якій її місці (рис. 21.6,б). Щоб зменшити завод в довгій кабельній мережі, варто застосовувати передавальні і приймаючі пристрої що формують диференціальні сигнали які передаються по симетричних лініях зв'язку.

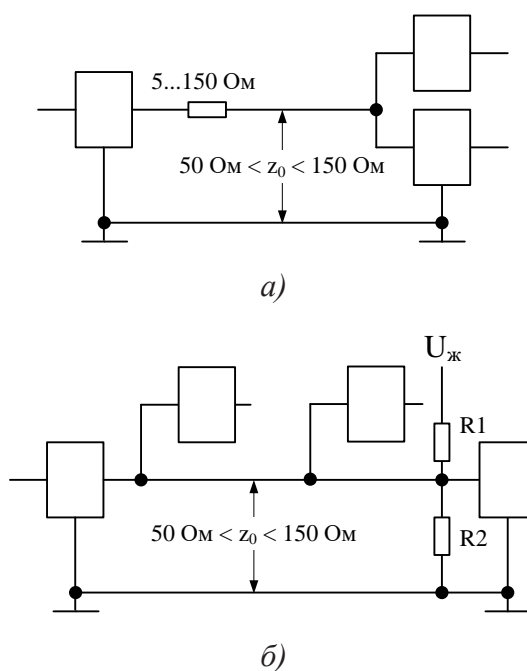


Рис. 21.6. Схеми узгодження довгих ліній зв'язку для зменшення відбиття

В односпрямованих лініях зв'язку необхідно підключати навантаження до дальніх кінців (рис. 21.7,а), а в двоспрямованих – до обох (рис. 21.5). У симетричних лініях зв'язку з належним чином погодженим навантаженням придушення завад може досягти 70 дБ (3000:1) у діапазоні частот 0...100 кГц.

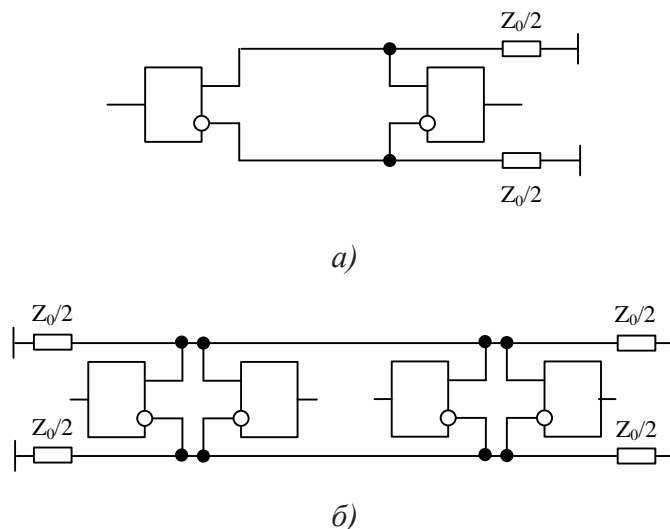


Рис. 21.7. Схеми підключення навантаження до симетричних ліній зв'язку односпрямованих а) та двоспрямованих б)

Приєднання погодженого навантаження до кабелів, контактних площадок друкованих плат та проводів зв'язків повинні здійснюватися завжди, коли час поширення сигналу перевищує половину часу наростання або спаду його амплітуди. Імпеданс узгодження плоских і коаксіальних кабелів, а також скручених пар становить 100 Ом ($75 \text{ Ом} \leq Z_0 \leq 120 \text{ Ом}$). Імпеданс узгодження контактних площадок друкованих плат повинний дорівнювати їхньому характеристичному імпедансу ($20 \text{ Ом} \leq Z_0 \leq 200 \text{ Ом}$).

Дільник на резисторах (рис. 21.8,а) може служити погодженим навантаженням і подавати напругу зсуву на лінію зв'язку без додаткових джерел живлення. Наприклад стандартні погоджені навантаження для ТТЛ-схем дорівнюють $R_1 = 330 \text{ Ом}$ і $R_2 = 220 \text{ Ом}$, при цьому з вихідного резистора R_2 знімається напруга +2 В ($U_{дж} = +5 \text{ В}$). При $R_1 = 150 \text{ Ом}$ і $R_2 = 470 \text{ Ом}$ з вихідного резистора знімають напругу +3,8 В, а при $R_1 = 120 \text{ Ом}$ і $R_2 = 470 \text{ Ом}$ – 4 В.

Більшість КМОН ІС мають навантажувальну здатність, недостатню для приєднання дільників на резисторах. До них можна підключати резистивно-ємнісний дільник, показаний на рис. 21.8,б, де $R_3 = 1 \text{ кОм}$, $R_4 = 330 \text{ Ом}$, $C_1 = 1000 \text{ пФ}$.

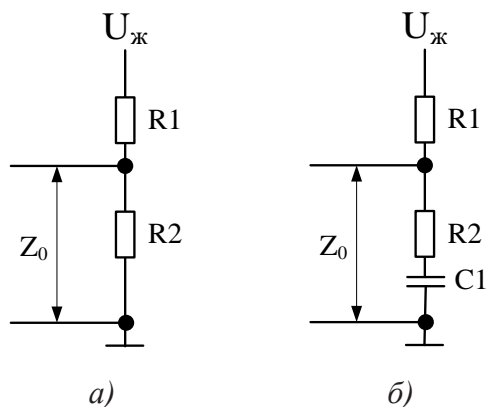


Рис. 21.8. Узгодженні навантаження для ліній зв'язку схем ТТЛ (а) та КМОН (б)

Всі невикористані входи ІС повинні перебувати або під високим, або під низьким потенціалом. Деякі системи передбачають можливість відключення невикористаних вузлів.

21.2 Рекомендації з монтажу інтегральних мікросхем

Однією з основних умов, що забезпечують надійну роботу електронної апаратури, сконструйованої із широким застосуванням цифрових інтегральних мікросхем, є дотримання правил по їх установці, пайці і монтажу.

Основними елементами конструкції вузлів і блоків електронної апаратури, що дозволяють найбільше повно реалізувати переваги ІС, є друковані плати. Друковані плати використовуються в масовому виробництві, а також для створення швидкодіючих і малогабаритних систем. З їхньою допомогою легко проводити збирання систем, вони компактні і мають гарні високочастотні характеристики. Їхні основні недоліки – тривалий час конструювання і труднощі, з якими доводиться зіштовхуватися при внесенні конструктивних змін.

Конструювання монтажних плат можна умовно розбити на вісім основних етапів:

- визначення розмірів і форми плати, а також положення з'єднувачів,
- визначення розташування ІС,
- розміщення на платі кіл землі і живлення,
- розміщення дискретних компонентів,
- визначення топології кіл землі і живлення,
- розкладка кіл синхронізації,
- розкладка інших сигнальних кіл,
- остаточне доведення проекту.

Розмір і форму друкованих плат, а також положення з'єднувачів можна визначити виходячи з фізичного проекту виробу.

При розробці конструкції друкованих плат приймається ряд принципових рішень, пов'язаних із вибором таких параметрів, як число позицій m для встановлення ІС, крок встановлення ІС у горизонтальному і вертикальному напрямках h_x , h_y , число зовнішніх виводів q , число прошарків для реалізації з'єднань s . Вибір цих параметрів пов'язаний з урахуванням економічних, технологічних, схематичних, технічних чинників і здійснюється на основі дослідних даних. При цьому порушення оптимальних співвідношень між параметрами істотно ускладнює процес конструювання і збільшує вартість розробки апаратури.

Необхідне число зовнішніх виводів можна оцінити по формулі $q = cn$, де c – середнє число виводів ІС; n – число ІС на платі; $r = 0,57 \dots 0,75$. Найбільше значення r відповідає операційним пристроям паралельного типу, найменше – комбінаційним логічним схемам.

Кроки встановлення ІС у горизонтальному і вертикальному напрямках, що виражаються числом кроків між друкованими провідниками, можна знайти з формули:

$$h_x = b + \frac{n_y c}{4},$$

$$h_y = a + \frac{n_x c}{4},$$

де n_x – число ІС у ряду; n_y – число ІС у стовпчику; c – середнє число виводів у ІС; a , b – розміри модуля уздовж вертикальної і горизонтальної осей плати, що виражаються числом кроків між друкованими провідниками.

Питома площа плати (на один модуль)

$$s_1 = h_x h_y = ab + c(bn_x + an_y)/4 + (cn_x n_y)/16.$$

Зі збільшенням числа модулів $n_x n_y$ питома площа s_1 , збільшується. При заданому числі елементів площа плати буде мінімальна, якщо $n_x = an_y/b$. При цих умовах конфігурація плати наближається до квадрату. Крім того, така форма сприяє зменшенню довжини провідників та полегшує її конструювання і виготовлення.

Максимальний розмір сторони друкованої плати, як одношарової; так і багатошарової, не повинен перевищувати 500 мм. Це обмеження обумовлюється вимогами міцності і щільністю монтажу: чим більше плата, тим менше щільність монтажу. На практиці звичайно друковані

плати із стороною до 100 товщин матеріалу діелектрика виготовляють без додаткових деталей, що підвищують її жорсткість.

Для плат з більшими розмірами передбачають спеціальні заходи підвищення жорсткості (додаткові точки кріплення в пристрої, уведення ребер жорсткості і т.д.). Співвідношення розмірів сторін друкованої плати для спрощення компоновання блоків і уніфікації розмірів друкованих плат рекомендуються 1:1, 2:1, 3:1, 4:1, 3:2, 5:2 і т. д. Наведені оцінки можуть служити вихідною базою для вибору основних параметрів плати.

На другому етапі необхідно вирішити, де розмістити ІС. Від правильного розташування корпусів мікросхем на друкованих платах залежать такі параметри приладу, як габарити, маса, надійність роботи. Ніж щільніше будуть розташовуватися корпусу мікросхем на площині друкованих плат, тим складніше автоматизувати їхній монтаж, тим більше жорстким буде температурний режим їхньої роботи, тим більший рівень завад буде наводитися в сигнальних зв'язках. І навпаки, чим більше відстань між мікросхемами, тим менш ефективно використовується фізичний об'єм, тим більше довжина зв'язків. Тому при установці мікросхем на друковані плати варто враховувати всі наслідки вибору того або іншого варіанта їхнього розміщення.

Вибір кроку встановлення мікросхем на друкованій платі обумовлюється необхідною щільністю компоновання мікросхем в апаратурі, температурним режимом роботи, методом розробки топології друкованих плат (ручний, машинний), складністю принципової електричної схеми і конструктивних параметрів корпусу мікросхеми. Незалежно від типу корпусу крок встановлення мікросхем рекомендується приймати кратним 2,5 мм. При цьому зазори між корпусами не повинні бути менше 1,5 мм. У технічно обґрунтованих випадках крок встановлення мікросхем може бути прийнятий кратним 1,25 мм.

Необхідно дотримуватись лінійно-багаторядного розташування ІС на друкованих платах. Однак допускається їхнє розміщення в шаховому порядку. Таке розташування корпусів мікросхем дозволяє автоматизувати процеси зборки і контролю, з більшою ефективністю використовувати корисну площу друкованої плати і прямокутну систему координат для визначення місця розташування корпусів.

Мікросхеми зі штировими виводами в корпусах повинні встановлюватися тільки з однієї сторони друкованої плати. Це пояснюється тим, що монтаж штирових виводів, як правило, роблять у наскрізні металізовані отвори, причому кінці виводів виступають на зворотній стороні плати. Установку мікросхем у корпусах з штировими виводами на друковану плату роблять із зазором 1,0...2,0 мм або з електроізоляційною прокладкою товщиною 1,0–1,5 мм, попередньо приклеюючи їх до поверхні друкованої плати. Прокладку варто розміщати під усією площею

основи корпусу або між выводами на площі не менш $2/3$ основи, при цьому вона повинна виключати можливість торкання виступаючих выводів. Зазор між корпусом ІС і платою повинен бути не більш 1,5 мм; зазор між корпусами ІС повинен бути не менш 1,6 мм; виступаючі частини выводів повинні знаходитись над поверхнею плати в межах 0,5...1 мм (якщо в ТУ не обговорене інше). Рекомендується шаг встановлення мікросхеми по вузькій стороні корпусу 10 мм, по широкій стороні – 25 мм (рис. 21.9).

При установці ІС на друковані плати, часто виникає необхідність формовки выводів. Вимоги, пред'явлені до формовки обумовлюються в технічній документації. Для мікросхем зі штировими выводами формування, як правило, повинно вироблятися з радіусом вигину не менш $2d$ (d – діаметр виводу) і відстанню від корпусу мікросхеми до центра окружності вигину не менш 1 мм (якщо в ТУ не обговорене інше). Штирові виводи утримують корпус мікросхеми досить міцно і витримують практично будь-які механічні впливи.

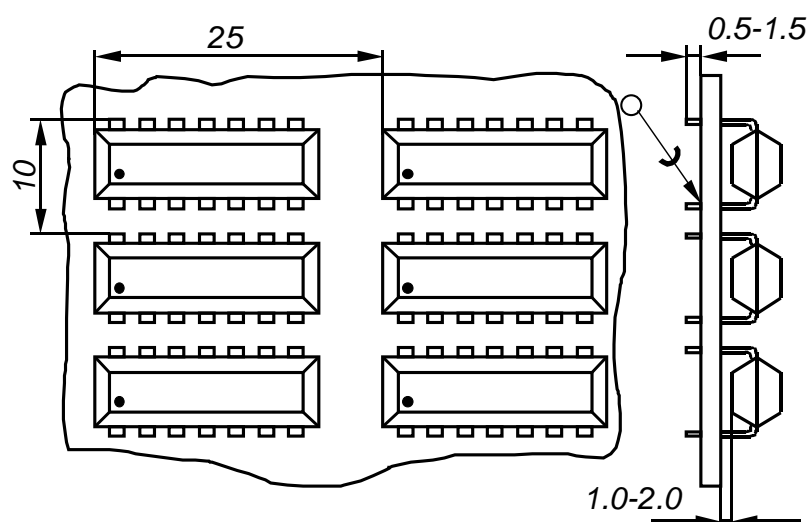


Рис. 21.9. Схема встановлення мікросхем із штировими выводами на друковану плату

Мікросхеми з планарними выводами також рекомендується встановлювати з однієї сторони друкованої плати, лише в технічно обґрунтованих випадках допускається їх встановлювати по обидва боки плати. Існує три варіанти встановлення корпусів мікросхем у корпусах із площинними выводами на друковані плати (рис. 21.10,а...в): без зазору (формування як показано на рис. 21.10,г), із зазором і на прокладку (формування по рис. 21.10,д).

При монтажі без зазору корпус мікросхеми встановлюють на друковану плату, виводи орієнтують щодо контактних площадок і припаюють. Корпус утримується на выводах або ж його приклеюють до поверхні плати нітроклеєм або епоксидним клеєм. У деяких випадках

допускається установка ІС упритул на платі або з зазором не більш 0,7 мм (якщо в ТУ не обговорене інше).

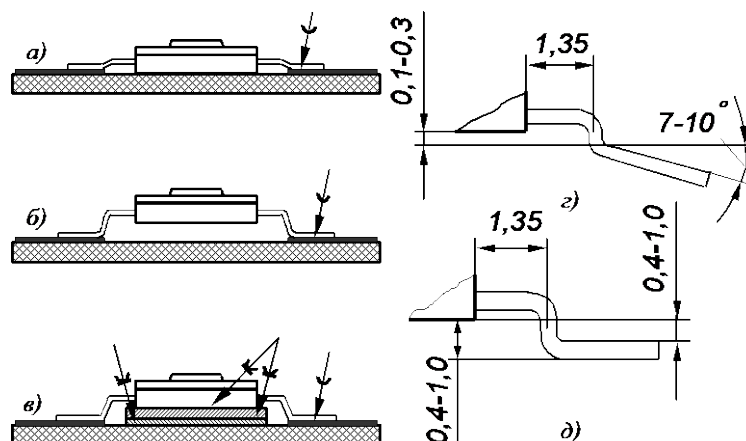


Рис. 21.10. Схема встановлення на друковану плату корпусів мікросхем з площинними виводами без зазору (а), з зазором (б), з прокладкою (в), з формовка виводів для встановлення без зазору (г) та формовкою виводів для встановлення з зазором

При установці мікросхем із зазором корпус утримується на платі винятково на припаяних виводах. При установці на прокладку використовують ізоляційні або металеві матеріали. Як ізоляційна прокладка можуть бути використані смужки тонкого (до 0,3 мм) склотекстоліту або перфорована плівка з вікнами під виводи мікросхем. Прокладку приклеюють до поверхні друкованої плати, а на неї, у свою чергу, приклеюють корпусу мікросхем. Металева прокладка виконує подвійну роль: служить у якості відводу тепла й екрану. Щоб уникнути виникнення коротких замикань між друкованими провідниками на платі металеву прокладку ізолюють від поверхні плати спеціальною плівкою.

На рис. 21.11 представлені варіанти встановлення мікросхем у корпусах із площинними виводами. Крок встановлення по вузькій стороні корпусу 17,5 мм, по широкій – 15 мм.

Площинні виводи утримують корпус мікросхеми тільки за рахунок сил адгезії металізованих контактних площадок з матеріалом плати. Так як ці сили порівняно невеликі, а маса корпусу може виявитися істотною при великих перевантаженнях, то для пристроїв, підданих підвищеному впливу ударів і вібрації, необхідно передбачати додаткові заходи кріплення корпусів із площинними виводами.

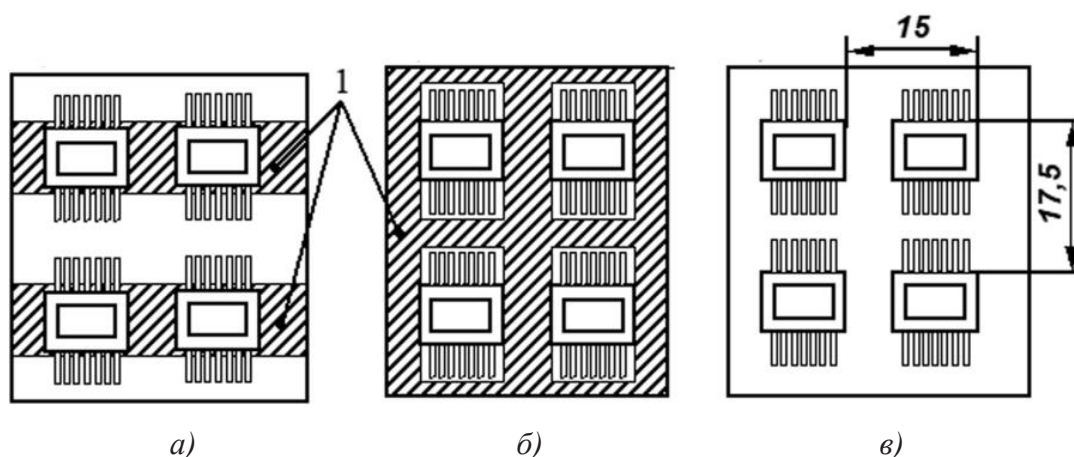


Рис. 21.11. Варіанти встановлення мікросхем у корпусах із площинними виводами на полозкових прокладках (а), на прокладки з вікнами (б) та без прокладки (в)

Варто врахувати і кращу орієнтацію ІС і інших великих компонентів. Так, на двосторонніх платах ІС необхідно розташовувати паралельно з'єднувачам (рис. 21.12,а), а у випадку багат шарових плат, паралельно більшій осі плати (рис. 21.12,б).

Установка та кріплення мікросхем на друкованих платах повинні забезпечувати їхню нормальну роботу в умовах експлуатації апаратури. Мікросхеми повинні бути віддалені від елементів, які при роботі виділяють велику кількість тепла. Їх неприпустимо розташовувати в магнітних полях постійних магнітів, трансформаторів і дроселів.

Зв'язані між собою схеми встановлюють поруч, однак при цьому необхідно стежити, щоб чутливі схеми розташовувалися якнайдалі від схем, у яких велика імовірність виникнення завад. Швидкодіючі логічні схеми (кола синхронізації, зовнішні логічні кола) примикають до основного з'єднувача, схеми інтерфейсу до з'єднувачу інтерфейсу, а аналогові схеми ізольовані від цифрових (рис. 21.13). Матриці запам'ятовуючих пристроїв повинні бути поділені навпіл, а в проміжку між ними варто розмістити схеми обрамлення.

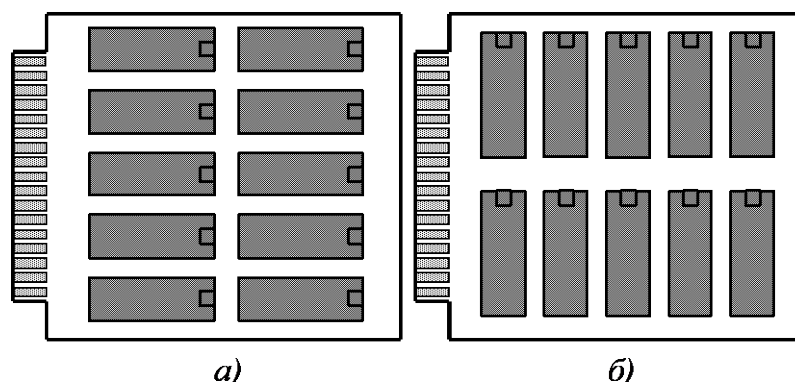


Рис. 21.12. Переважна орієнтація ІС на двосторонніх друкованих платах (а) та багат шарових друкованих платах (б)

Для правильної орієнтації ІС на друкованій платі повинні бути передбачені "ключі", що визначають положення першого виводу кожної мікросхеми (рис. 21.12).

Мікросхеми з відстанню між выводами, кратній 2,5 мм, повинні розташовуватись на друкованій платі таким чином, щоб їхні виводи збігалися з вузлами координатної сітки (рис. 13.16), якщо відстань між выводами мікросхем не кратна 2,5 мм, вони повинні розташовуватись так, щоб один чи кілька выводів мікросхеми збігалися з вузлами координатної сітки. На третьому етапі варто продумати схему живлення і кіл заземлення. Є наступні можливості:

- використовувати площинні лінії передавання,
- використовувати паралельні шини,
- використовувати площини заземлення (рис. 21.14).

Копланарні лінії добре зарекомендували себе в двосторонніх друкованих платах. Паралельні шини сприяють зменшенню завад, однак вони повинні мати спеціальну форму. Шини можна розташувати під ІС або паралельно їм. Вони здатні витримувати струм 2,5...15 А, мають розподілену ємність що не перевищує (0,001...2 мкФ/м) і індуктивність (14...35 нГн/м), а імпеданс між шиною джерела живлення та землею складає 0,15...5 Ом. Для зменшення завад на шинах заземлення контактні площадки схем заземлення повинні бути великими і розташовуватися перпендикулярно шинам.

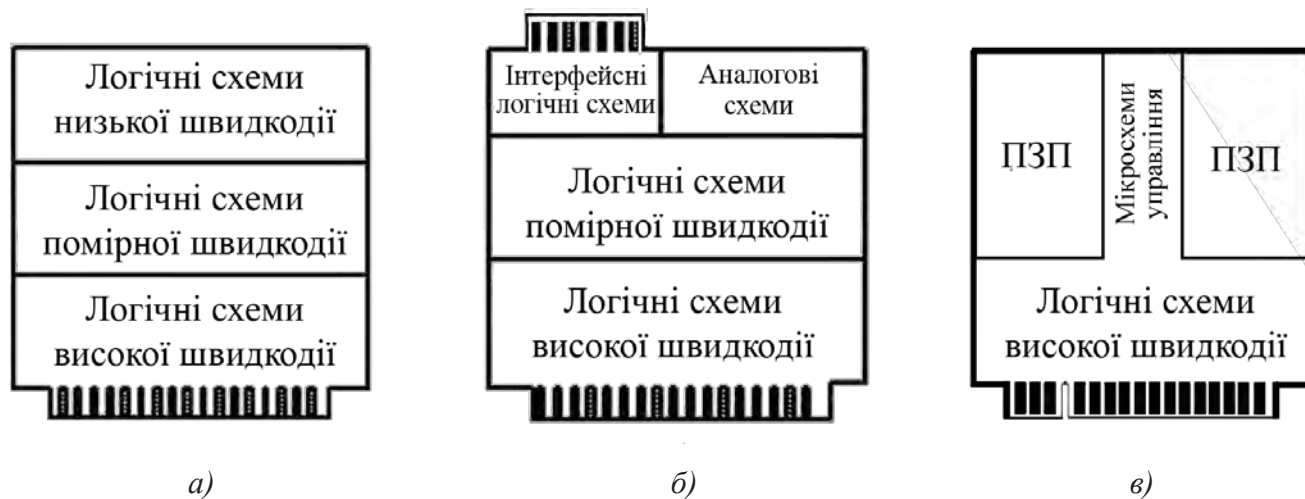


Рис. 21.13. Розміщення компонентів на процесорній платі (а), платі інтерфейсу (б) та платі ПЗП (в)

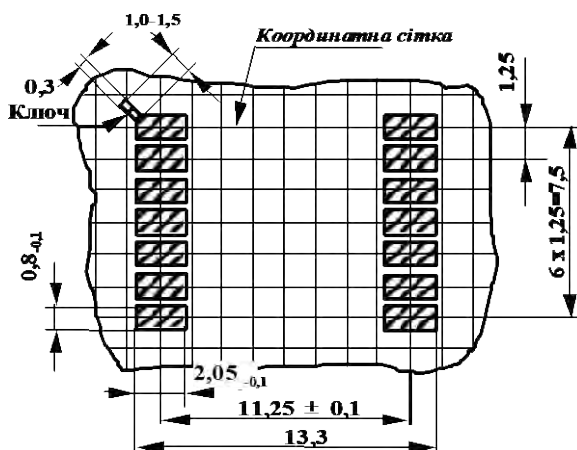


Рис. 21.14. Розмітка посадкових місць для ІС з площинними виводами

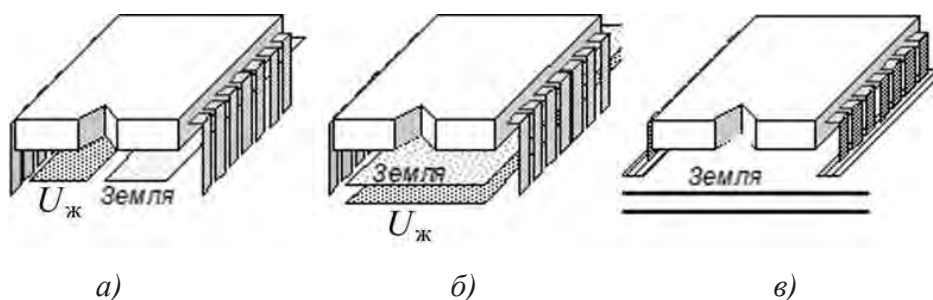


Рис. 21.15. Розміщення шин живлення та заземлення копланарні лінії (а), паралельне розташування шин (б) та площина заземлення (в)

У багатошарових друкованих платах можна використовувати суцільні шари заземлення і шари живлення; можна також розподілити шари живлення між декількома джерелами. Для більш надійного захисту від завад верхні і нижні шари плати повинні бути шарами заземлення або живлення, а сигнальні шари варто поміщати в середині. Шар живлення над шаром заземлення, має розподілену ємність $0,1 \dots 10 \text{ мкФ/м}^2$ і малу індуктивність. У платах типу Multi-wire використовуються тільки шари земля та живлення, а як сигнальні лінії застосовується тонкий провід в ізоляції.

З метою розвантаження друкованого монтажу і зменшення числа шарів плати, живлення до мікросхем можна підводити за допомогою навісних шин. Число шин може дорівнювати числу номіналів джерел живлення. Застосовують два способи встановлення таких шин – перпендикулярно і паралельно площині плати.

На рис. 21.16,а схематично представлений приклад встановлення навісної шини живлення 1, перпендикулярної площині плати. Живлення 2 до ІС підводиться короткими друкованими провідниками, що відходять від відводів навісної шини, запаяних у металізовані отвори плати. Шина зв'язана відводом з контактом рознімання, до якого підводиться живлення.

На рис. 21.16,б схематично представлена конструкція, у якій навісна шина живлення 1

паралельна площині плати. Подача живлення 2 до ІС здійснюється індивідуальними відводами. Для кріплення шини необхідно передбачати спеціальні стійки.

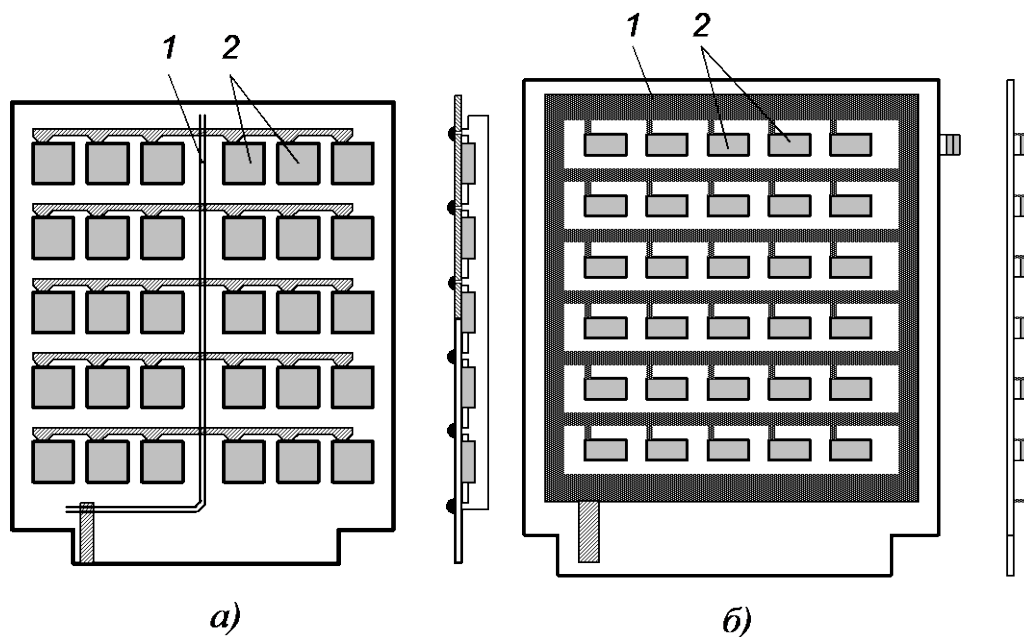


Рис. 21.16. Приклади схеми встановлення шини живлення (заземлення) перпендикулярно площині плати (а) та паралельно площині плати (б)

Четвертий етап полягає в розміщенні компонентів у кожній схемі. Якщо компонент належить відразу до декількох схем, то його встановлюють поблизу спільної межі. Об'ємні конденсатори і феритові кільці варто помістити якнайближче до виводів живлення і заземлення з'єднувачів. Шунтувальні конденсатори, розв'язуючі кола, а також кола зменшення дугового розряду та викидів напруги повинні знаходитися на мінімальному видаленні (не більше 37 мм) від компонентів, що мають потребу у відповідному захисті. Шунтувальні конденсатори монтуються безпосередньо під ІС, що рятує від необхідності змінювати топологію плати.

П'ятий етап-вибір розташування контактів силових ліній та ліній заземлення. Треба звернути увагу на топологію плат, до недоліків якої відносяться протяжні контури протікання струму, висока паразитна індуктивність між силовими лініями та лініями заземлення. На цьому етапі найшов поширення метод зменшення спільних ділянок протікання струмів елементів по шинах живлення. Цей метод полягає в установці додаткових перемичок у шинах живлення і "земля", які зменшують довжину спільних ділянок протікання струмів елементів. На рис. 21.17 наведені три варіанти з'єднання елементів шиною живлення і "земля".

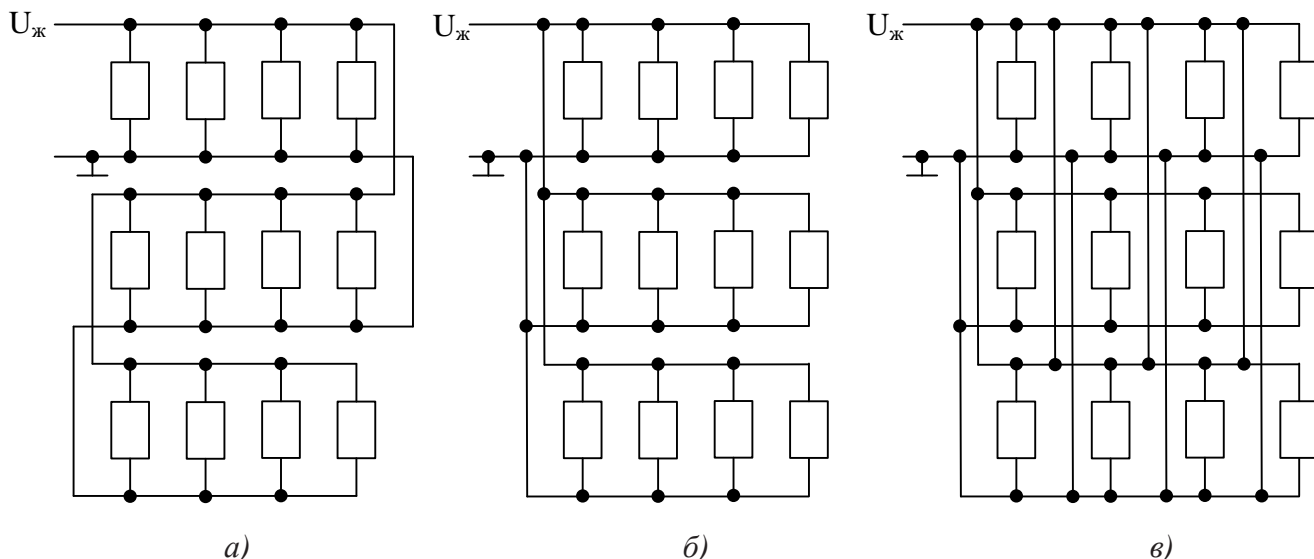


Рис. 21.17. Схеми зменшення спільних ділянок протікання струмів елементів по шинах живлення

У першому варіанті (рис. 21.17,а) переключення елемента, наприклад верхнього лівого (зміна струму споживання схеми), приводить до виникнення паразитного наведення в інших одинадцяти елементах по шині живлення і "земля". В другому варіанті (рис. 21.17,б) ця завада в гіршому випадку впливає тільки на чотири елементи, а в третьому варіанті (рис. 21.17,в) завада ще більш зменшується за рахунок уведення додаткових перемичок. Рівень завад у платах з такою топологією ліній живлення і ліній заземлення близький до того, що спостерігається в дорогих багат шарових платах.

Шостий етап – монтаж синхронізуючих кіл таким чином, щоб вони знаходилися поблизу цифрової землі та подальше від чутливих схем. Добре зарекомендував себе метод, при якому формується пара кіл із прямого і зворотного проводів сигналу синхронізації. Зворотні проводи сигналів синхронізації варто з'єднати з цифровою землею поблизу кожної ІС, яка передає чи сприймає синхронізуючі імпульси. У випадку багат шарових плат розміщати ці кола необхідно після розміщення шарів живлення і землі. Кола синхронізації повинні бути дуже короткими, оскільки синхронізуючі імпульси та їхні гармоніки створюють сильне випромінювання. Один контур площею більш $0,001 \text{ м}^2$ може створювати електромагнітне поле, що набагато перевищує припустимі межі.

Далі звичайним шляхом розташовують інші кола сигнальних ліній. Якщо є матриця кристалів ПЗП, адресну шину варто розташовувати в одному напрямку, а шини даних в іншому. Коло до самого молодшого розряду адреси повинно знаходитися безпосередньо після контакту заземлення. Необхідно прагнути до того, щоб ширина кіл була не більше $1/150$ їхньої довжини, і не допускати зигзагоподібних трактів (рис. 21.18,а). Якщо округлити вершини кутів, обмежити

вигини кутом у 45° чи використовувати плавні криві (рис. 21.18,б...г), то це дозволить підтримувати імпеданс постійним при частотах від нуля до декількох гігагерць.

На останньому етапі необхідно вирішити:

- наскільки можливо розширити кола ліній живлення та ліній заземлення;
- якщо є вільне місце на платі, заповнити його та з'єднати між собою заземлення цифрових схем;
- заповнити вільні ділянки поверхні мідною фольгою та заземлити їх за допомогою кіл або наскрізних отворів.

При цьому утвориться протяжна сітка заземлення, що сприяє зменшенню токових контурів, імпедансу кіл заземлення і завад, що утворюються за рахунок паразитного зв'язку між джерелом і землею та між провідниками заземлення.

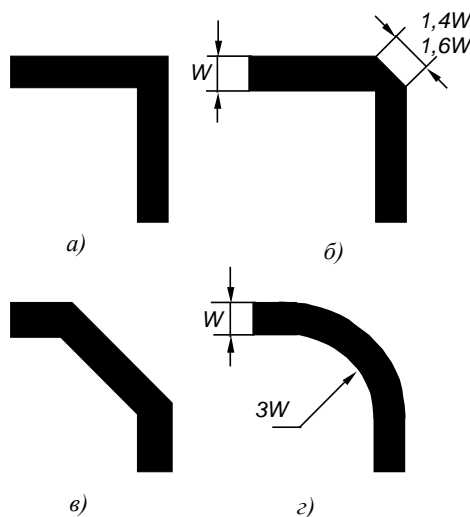


Рис. 21.18. Різновиди вигину контактних площадок на друкованих платах: не прийнятного (а) та прийнятного (б-г)

При необхідності переналадження рекомендується критично проаналізувати наявний варіант пристрою для виявлення можливостей удосконалення. Вимірюється рівень завад земля-земля між ІС та завад живлення-земля поблизу кожної ІС. Перевіряється за допомогою осцилографа, чи не виникають перехідні процеси у виді загасаючих коливань у схемах синхронізації й інших критичних схем.

Занадто великі часи наростання фронтів, перевищення рівня завад живлення-земля та загасаючі коливання на передніх фронтах імпульсів свідчать про неприпустимо малі ємності шунтувальних конденсаторів. Амплітуда завад земля-земля більше 150...300 мВ свідчить про велику паразитну індуктивність схеми заземлення. Наявність паразитних загасаючих коливань на спадаючому фронті сигналів означає підвищену паразитну індуктивність живлення-земля.

Мікросхеми з'єднують з іншими елементами вузлів і блоків електронної апаратури, як правило, шляхом пайки виводів, тому особлива увага повинна бути звернена на якість монтажу. У серійному виробництві часто використовують групову пайку і пайку "хвилею". У лабораторних умовах і при заміні мікросхем в експлуатації здійснюють пайку одножильним паяльником.

При розпаюванні площинних виводів ІС одножильним паяльником повинні дотримуватися наступні вимоги (якщо в ТУ не обговорено інше): температура жала паяльника повинна бути не більш 265 °С, час торкання до кожного виводу не більш 3 с, інтервал між пайками сусідніх виводів 3...10 с (у залежності від типу корпусу ІС), відстань від корпусу до місця пайки по довжині виводу повинна бути не менш 1 мм.

Для мікросхем зі штировими виводами температура жала паяльника не повинна бути більш 280 °С.

Контрольні питання

1. Поясніть причини виникнення завад у цифрових пристроях
2. Яким чином можливо підвищити завадостійкість цифрових пристроїв?
3. Які види шунтування використовуються в цифрових схемах?
4. Наведіть схеми узгодження довгих ліній зв'язку для зменшення відбитків
5. Назвіть етапи конструювання монтажних плат
6. Наведіть рекомендації з монтажу ІС із штировими виводами
7. Наведіть рекомендації з монтажу ІС із планарними виводами
8. Наведіть варіанти розташування шин живлення та заземлення
9. Поясніть схеми зменшення спільних ділянок протікання струмів елементів по шинах живлення та порівняйте їх ефективність

СПИСОК РЕКОМЕНДОВАНОЇ ЛІТЕРАТУРИ

1. Цифрова схемотехніка електронних систем. Підручник / В.І., Бойко, В.Я. Жуйков, А.А. Зорі, В.В. Багрій, В.М. Співак, Т.О. Терещенко. 3-тє вид. допов. і переробл.– К.: Вища школа, 2010. – 426 с.
2. Є.З. Маланчук. Моделювання та аналіз цифрових схем. Підручник / Є.З. Маланчук, В.В. Макаренко, В.М.Співак, Г.Г. Власюк, А.В. Рудик. – Рівне: НУВГП, 2018. – 463 с. url: https://ela.kpi.ua/bitstream/123456789/26302/1/Pidруchnyk_Modeliuvannia_TsS_2018.pdf
3. Рябенький В.М., Жуйков В.Я., Гулий В.Д. Цифрова схемотехніка: Навч. посібник. – Львів: "Новий світ-2000", 2009. – 736 с.
4. Maini, Anil Kumar. Digital electronics : principles, devices, and applications / Anil Kumar Maini. – John Wiley & Sons Ltd, 2007. 741 p.
5. Віртуальна цифрова лабораторія [Електронний ресурс] : методичні рекомендації до виконання віртуальних лабораторних робіт з курсу «Цифрова схемотехніка» / КПІ ім. Ігоря Сікорського ; уклад. В. В. Макаренко. – Електронні текстові данні (3 файли: 2,38 Мбайт; 1,69 Мбайт; 2,54 Мбайт). – Київ: КПІ ім. Ігоря Сікорського, 2018. – 136 с. url: <http://ela.kpi.ua/handle/123456789/24730>

