

Міністерство освіти і науки, молоді та спорту України
Тернопільський національний технічний університет
імені Івана Пулюя

*Кафедра
Комп'ютерних систем та
мереж*

МЕТОДИЧНІ ВКАЗІВКИ

**для виконання лабораторних робіт з дисципліни
*ТЕХНОЛОГІЇ ПРОЕКТУВАННЯ КОМП'ЮТЕРНИХ
СИСТЕМ***

**для студентів напрямку 6.050102 «Комп'ютерна інженерія»
всіх форм навчання
(частина 1)**

ТЕРНОПІЛЬ 2017 р.

Методичні вказівки для виконання лабораторних робіт з дисципліни «Технологія проектування комп'ютерних систем» для студентів напряму 6.050102 «Комп'ютерна інженерія» всіх форм навчання (частина 1) / Уклад. Осухівська Г.М., Шаблій Н.Р. –Тернопіль: ТНТУ імені Івана Пулюя, 2017. – 150 с.

УКЛАДАЧ: к.т.н., доц. Г.М.Осухівська, асистент Н.Р.Шаблій

РЕЦЕНЗЕНТ: зав. каф. КБ, к.т.н., доц. Р.О.Козак

Відповідальний за випуск: зав.каф.КС к.т.н., доц. Г.М.Осухівська

Методичні вказівки розглянуті і затвердженні на засіданні кафедри комп'ютерних систем та мереж, протокол № 9 від 25 квітня 2017 року.

Методичні вказівки складені з урахуванням методичних розробок інших вищих закладів освіти, а також матеріалів літературних джерел, перелічених в списку.

ЗМІСТ

ВСТУП	4
ПРАВИЛА ТЕХНІКИ БЕЗПЕКИ ПРИ ВИКОНАННІ ЛАБОРАТОРНИХ РОБІТ	5
ЛАБОРАТОРНА РОБОТА 1 ВИВЧЕННЯ ЗАСОБІВ ALTIUM DESIGNER, ПРИЗНАЧЕНИХ ДЛЯ КОМПЛЕКСНОГО ПРОЕКТУВАННЯ СИСТЕМ	6
ЛАБОРАТОРНА РОБОТА 2 ВИВЧЕННЯ МЕТОДІВ СТВОРЕННЯ БІБЛІОТЕК ЕЛЕМЕНТІВ НА ОСНОВІ БАЗИ ДАНИХ ДЛЯ ПРОЕКТУВАННЯ КОМП'ЮТЕРНИХ СИСТЕМ	16
ЛАБОРАТОРНА РОБОТА 3 ВИВЧЕННЯ ОСОБЛИВОСТЕЙ РОЗРОБКИ СХЕМИ ЕЛЕКТРИЧНОЇ ПРИНЦИПОВОЇ ЗАСОБАМИ ALTIUM DESIGNER	56
ЛАБОРАТОРНА РОБОТА 4 РОЗРОБКА ДРУКОВАНОГО ВУЗЛА	87
ЛАБОРАТОРНА РОБОТА 5 ВИВЧЕННЯ ЗАСОБІВ ALTIUM DESIGNER, ПРИЗНАЧЕНИХ ДЛЯ ПРОЕКТУВАННЯ ПРОГРАМНИХ СИСТЕМ	141
СПИСОК ПОСИЛАНЬ	150

ВСТУП

Дисципліна «Технології проектування комп'ютерних систем» відноситься до однієї з основних дисциплін природничо-наукового циклу у підготовці фахівців напряму 6.050102 «Комп'ютерна інженерія». Вона орієнтована на прикладні аспекти і охоплює питання, які пов'язані із застосуванням систем автоматизованого проектування при розробці комп'ютерних систем.

Метою викладання дисципліни «Технології проектування комп'ютерних систем» є вивчення принципів автоматизованого проектування комп'ютерних систем, методів та алгоритмів, які використовуються на різних етапах проектування комп'ютерних систем, засвоєння основних прийомів і методів проектування, які використовуються при розробці сучасних комп'ютерних систем.

На базі здобутих під час вивчення дисципліни знань та умінь, фахівцем вирішуватимуться основні професійні задачі, які потребують розуміння принципів автоматизованого проектування і застосування систем автоматизованого проектування для розробки комп'ютерних систем. Матеріал курсу використовується перш за все для виконання дипломної роботи.

Лабораторні роботи виконуються для закріплення теоретичних знань, отриманих студентами під час лекційних занять та самопідготовки. Метою виконання лабораторних робіт є вироблення у студентів навичок та вмінь самостійної роботи при проектуванні комп'ютерних систем з використанням автоматизованих систем.

Метою вказівок є допомога студентам при підготовці та виконанні лабораторних робіт за 5 темами, які увійшли до цього видання.

На початку збірника подані основні вимоги техніки безпеки при виконанні робіт. Ознайомлення з ними студентів проводиться на вступному лабораторному занятті з обов'язковим підписом кожного студента у відповідному журналі. Далі наведено опис кожної лабораторної роботи. Структурно матеріал до кожної лабораторної роботи включає тему та мету роботи, короткі теоретичні відомості, порядок виконання роботи, вимоги до оформлення звіту, контрольні питання, перелік літературних джерел.

Навчальний посібник забезпечує можливість студентам самостійно підготуватись до виконання лабораторних робіт, а викладачеві звести до мінімуму вступні пояснення.

ПРАВИЛА ТЕХНІКИ БЕЗПЕКИ ПРИ ВИКОНАННІ ЛАБОРАТОРНИХ РОБІТ

Лабораторні роботи з курсу “Технології проектування комп’ютерних систем” проводяться в лабораторіях кафедри комп’ютерних систем та мереж Тернопільського національного технічного університету імені Івана Пулюя.

Дотримання правил техніки безпеки є обов’язковою умовою виконання лабораторних робіт. Для забезпечення цієї вимоги кожен студент на вступному занятті повинен ознайомитися з вимогами правил техніки безпеки, про що вказує відмітка у відповідному журналі.

Відповідно до правил внутрішнього розпорядку та вимог правил техніки безпеки забороняється:

- заходити в лабораторію без дозволу викладача або когось із допоміжного персоналу кафедри.
- не дозволяється знаходитись в лабораторії у верхньому одязі.

Студенти, які тимчасово не задіяні на роботі із ПЕОМ, повинні знаходитись в місці, вказаному викладачем. Всі зайві предмети, які не стосуються до виконання даної лабораторної роботи необхідно прибрати з робочого місця.

Забороняється без дозволу викладача вмикати лабораторну установки, користуватись приладами, які не використовуються для виконання даної лабораторної роботи, а також переносити прилади з місця на місце.

При виявленні несправності негайно повідомити про це викладача, або когось із допоміжного персоналу кафедри, хто знаходиться в лабораторії.

Загалом необхідним є обов’язкове виконання всіх правил техніки безпеки та пожежної безпеки, які передбачені державними стандартами та інструкцією по університету.

Порушення правил техніки безпеки може призвести до нещасних випадків і веде за собою адміністративну та кримінальну відповідальність. Студент, який порушив правила техніки безпеки в лабораторії не допускається до занять. Допуском до подальшого виконання лабораторних робіт є відповідальність за причинену шкоду та повторне проходження інструктажу по техніці безпеки у зав. лабораторіями кафедри комп’ютерних систем та мереж з відповідною відміткою про це в журналі.

Лабораторна робота №1

ВИВЧЕННЯ ЗАСОБІВ ALTIUM DESIGNER, ПРИЗНАЧЕНИХ ДЛЯ КОМПЛЕКСНОГО ПРОЕКТУВАННЯ СИСТЕМ

Мета роботи: ознайомитись з основними параметрами, характеристиками і функціями програми Altium Designer.

Теоретичні відомості

В наш час проект друкованої плати – це не лише принципова схема і документ плати. У нього також можуть входити програмована логічна інтегральна схема (ПЛІС) і програмна частина. Крім того, в проектах часто виконується аналіз цілісності сигналу. Друковану плату необхідно помістити в корпус, причому усі кнопки і екран мають бути точно співставлені з відповідними отворами в корпусі. При проектуванні необхідно використовувати стандартні компоненти від провідних світових виробників, а виробництво зараз зазвичай знаходиться далеко від проектувальників [1].

Проектування друкованих плат є складною взаємодією різних областей проектування і управління. Якщо для розробки єдиної системи колектив використовує різні засоби проектування з різними базами проектних даних, то його робота буде вкрай неефективною.

Altium Designer дозволяє відмовитися від старого принципу і почати застосовувати унікальний комплексний підхід до проектування електронних пристроїв.

1.1 Основні переваги програми Altium Designer

1.1.1 Єдина база проектних даних

Увесь процес проектування в Altium Designer концентрується навколо центральної уніфікованої моделі даних. Усі інструменти проектування працюють безпосередньо з даними із цієї моделі, тобто з єдиного набору.

Єдина модель даних пропонує ряд переваг :

- Синхронізація проектних даних здійснюється безпосередньо, без створення проміжних файлів.
- Кожен проектувальник отримує повне уявлення про модель, що дозволяє приймати обґрунтовані проектні рішення.
- Поточний стан проектних даних можна легко перевірити, забезпечуючи контроль версій і управління даними.
- Для усього проектного колективу необхідно розгорнути і адмініструвати всього лише один додаток.

1.1.2 Повна синхронізація даних на усіх етапах проекту

Оскільки усі проектні дані зберігаються в єдиній базі, це забезпечує синхронізацію даних з різних частин проекту. Принципова схема завжди

відображає стан друкованої плати. Описи виводів і сигналів ПЛІС завжди синхронізуються з ланцюгами на платі. Розподіл пам'яті вбудованого програмного забезпечення завжди відбивається в апаратному забезпеченні. Саме синхронізація усіх елементів проекту забезпечує ефективність, безпеку і універсальність Altium Designer.

1.1.3 Усі необхідні інструменти в одному додатку

Altium Designer дозволяє виконувати усі етапи роботи над проектами електронних пристроїв, починаючи від розробки концепції і закінчуючи виробництвом і зборкою. Усе це здійснюється в єдиному середовищі. Ви можете проектувати фізичні друковані плати, ПЛІС і вбудоване програмне забезпечення для soft-процесорів. Існує можливість моделювання, що дозволяє підвищити продуктивність проектного пристрою. Ви можете скористатися каталогами стандартних компонентів від різних виробників, щоб вибрати оптимальні для вашого проекту, і управляти цими компонентами упродовж усього життєвого циклу проекту. Проектування і трасування друкованої плати здійснюється в 3D середовищі. Інтеграція плати в корпус можлива завдяки тісній взаємодії електронних і механічних САПР. Крім того, додаток надає можливість безпечної передачі точних проектних даних у виробництво і управління версіями і проектними змінами [1].

Altium Designer – це комплексне рішення для спільної розробки електронних пристроїв нового покоління.

1.2 Склад та основні функції Altium Designer 6

Розглянемо склад інтегрованої САПР радіоелектронних функціональних вузлів Altium Designer 6 і охарактеризуємо основні функції компонентів, що входять в неї [2].

1. Інтегруюча оболонка DXP (аббревіатура від Design eXPlorer), що організовує середовище проектування і об'єднує складові частини виконуваної розробки в проект.

2. Базові засоби проектування (Foundation). До базових засобів відносяться наступні компоненти Altium Designer 6:

- засоби формування бібліотек компонентної бази;
- засоби перегляду і редагування електричної схеми;
- засоби PSpice і XSPICE схемотехнічного моделювання;
- засоби моделювання логіки на основі VHDL-описів;
- засоби Signal Integrity – аналізу, на етапі розробки електричної схеми, розщеплювань фронтів сигналів швидкодіючої логіки за рахунок відображень хвилі на кінцях провідників;
- засоби підготовки монтажного поля друкованої плати, визначення структури шарів плати, правил виконання друкарського монтажу, імпорту структури шарів плати, правил виконання монтажу, імпорту опису схеми (Netlist) із схемного редактора;

- засоби перегляду і друку проекту друкованої плати;
- засоби CAM File Viewer – ім.порту і перегляду файлів механічної обробки і фотошаблонів.

3. Засоби проектування друкованої плати (Board Implementation):

- графічний редактор друкованої плати PCB Layout – розміщення і редагування об'єктів на друкованій платі, використання бібліотек компонентів, ручне, інтерактивне і авторозміщення, інтерактивне трасування, трасування диференціальних пар та ін.;
- автотрасувальник Situs – автотрасування друкованої плати;
- засоби Signal Integrity – аналізу паразитних ефектів (розщеплювання сигналів і наведень в монтажі) на стадії проектування друку;
- засоби формування управляючої інформації для виробничого устаткування – файли у форматі фотоплотера Gerber, файли даних для сверловки (NC Drill), файли в обмінному форматі ODB++;
- редактор САМ-файлів – імпорт і редагування фотошаблонів, даних сверловки і фрезерної обробки, експорт управляючої інформації;
- засоби розробки апаратної частини JTAG-інтерфейсу програмування ПЛІС.

4. Засоби проектування пристроїв із вбудованим інтелектом (Embedded Intelligence Implementation) включають:

- бібліотеки орієнтованих на реалізацію в ПЛІС базових логічних елементів, генераторів, логічних аналізаторів, інтерфейсних адаптерів та ін.;
- засоби реалізації в ПЛІС процесорного ядра мікроконтролерів і оболонки дискретних процесорів на основі бібліотеки функціональних аналогів ряду поширених мікроконтролерів і моделей процесорного ядра;
- змішані засоби синтезу і моделювання логіки ПЛІС – на основі схемного вводу, VHDL або Verilog HDL описів логіки;
- засоби програмно-апаратної реалізації JTAG-інтерфейсу програмування ПЛІС.

Четверта група засобів відрізняє Altium Designer 6 від більшості поширених універсальних інтегрованих САПР радіоелектронних функціональних вузлів.

Слід зазначити, що Altium Designer 6 не в змозі виконати повний цикл синтезу логіки ПЛІС, включаючи вибір сімейства мікросхем, упаковку логіки у вибрану мікросхему ПЛІС (компіляцію), формування даних для програмування вбудованої пам'яті і "прошивки" ПЛІС. Функції Altium Designer 6 дозволяють синтезувати і промодельовати логіку проекту, внаслідок чого формуються вихідні дані в обмінному форматі EDIF. Ці дані передаються в спеціалізовані САПР виробників компонентної бази ПЛІС (Vendor Tools) фірм Altera, Actel, Lattice, Sharp, Xilinx – залежно від вибраного для реалізації проекту сімейства ПЛІС. Результатом роботи цих спеціалізованих САПР являються дані про комутацію логічних сигналів проекту на виводи вибраної ПЛІС і дані для програмування ПЛІС в апаратурі користувача або на програматорі. Ці дані повертаються в Altium Designer, де виконується остаточне опрацювання

проекту – включення ПЛІС до складу повної електричної принципової схеми, розміщення компонентів на монтажному полі і трасування друкованого монтажу.

1.3 Проект Altium Designer

Базовою концепцією формування даних, що виробляються в Altium Designer 6 і відносяться до одного об'єкту того або іншого виду, є проект. Проект є текстовим файлом-оболонкою, що об'єднує ієрархічно організований набір документів, що припускають втілення їх в єдиному об'єкті.

1.3.1 Види проектів Altium Designer

У Altium Designer 6 підтримується декілька видів проекту [2].

1. Проект друкованої плати (PCB Project). У графічному схемному редакторі на основі бібліотек компонентної бази будується електрична принципова схема, проводиться схемотехнічне моделювання. Опис схеми передається в графічний редактор друкованої плати, в якому будується контур друкованої плати, задається кількість і властивості шарів друку, правила виконання трасування, виконується імпорт опису схеми, розміщення компонентів на монтажному просторі, трасування монтажу, формуються стандартні файли вихідних даних для виготовлення друкованої плати, зборки і монтажу функціонального вузла. Документи проекту об'єднуються оболонкою з ім'ям файлу онального вузла. Документи проекта объединяются оболочкой с именем файла *.PrjPcb.

2. Проект ПЛІС (FPGA Project). Ім'я файлу оболонки проекту *.PrjFpg. Розробка розпочинається з формування схемного або HDL-опису логіки проектованого пристрою. У проект вводяться файли, в яких містяться обмеження, пов'язані з вибором сімейства і типу ПЛІС, визначається комутація входів і виходів логічних сигналів на виводи вибраної ПЛІС, задаються вимоги до робочої частоти, підключенню зовнішніх тактових сигналів і тому подібне. Задана логіка компілюється в комбінації логічних комірок нижнього рівня внутрішньої структури ПЛІС. Результати логічного синтезу видаються у вигляді опису в конструкціях мови обмінного формату EDIF. Після цього дані EDIF-формату передаються в спеціалізовані САПР виробника вибраного сімейства ПЛІС, в якій програмується комутація логічних комірок і блоків внутрішньої структури ПЛІС і виведення логічних сигналів на фізичні контакти вибраної мікросхеми. Виробляються управляючі файли, для програмування ПЛІС в апаратурі користувача чи на спеціальному програматорі. В результаті мікросхема ПЛІС може бути запрограмована і протестована на стенді.

На цьому виконання власне проекту ПЛІС завершується. Однак запрограмована мікросхема не може висіти в повітрі: у будь-якій апаратурі користувача ПЛІС буває оточена цілим рядом компонентів – резисторів, конденсаторів, мікросхем нижчої міри інтеграції або ще декількох ПЛІС, електричними з'єднувачами і тому подібне. Тому завершальною стадією реалізації такого проекту є виконання всього такого пристрою у вигляді

комірки (модуля) на друкованій платі, тобто виконання проекту друкованої плати, на якій ПЛІС виступає як звичайний компонент, нарівні з іншими.

3. Інтегрована бібліотека. Ім'я файлу оболонки *.LibPkg; ім'я файлу бібліотеки *.IntLib. У редакторі бібліотек формуються набори схемних символів (умовні графічні позначення – УГП) електрорадіокомпонентів, визначаються посилання на моделі компонента. Моделлю виступає топологічне посадочне місце (ТПМ), що також формується в середовищі редактора бібліотек, моделі для схемотехнічного моделювання, моделі для аналізу цілісності сигналу – розщеплювання фронтів логічних сигналів в швидкодіючих пристроях за рахунок відображень від кінців провідника, а також тривимірні геометричні моделі компонентів. Файли описів моделей, або посилання з вказівкою шляху до них, включаються в структуру бібліотечного пакету *.LibPkg. Після цього виконується компіляція компонентів бібліотечного пакету в єдиний файл інтегрованої бібліотеки.

4. Вбудований проект (Embedded Project). Ім'я файлу оболонки *.PrgEmb. Це набір проектних документів, що утворюють програмний додаток. Початковий текст програми і/або підпрограм формується в конструкції мови С або Асемблера, компілюється в об'єктні модулі; підпрограми зв'язуються у виконуваний модуль в машинному коді, готовий для завантаження у вибраний процесор або мікроконтролер.

5. Проект ядра (Core Project). Ім'я файлу оболонки *.PrjCor. По суті, це перша половина ПЛІС-проекту, що закінчується формуванням графічного схемного символу і опису логіки у форматі EDIF.

6. Скрипт-проект (*.PrjScr). Програмування в середовищі Altium Designer, що має на меті модифікацію об'єктів в інших відкритих проектах. Для управління використовується інтерфейс програмування додатків API (DXP Application Programming Interface).

1.4 Створення нового проекту

Розглянемо процедуру створення нового проекту на прикладі проекту друкованої плати [3].

1. Клацнувши на закладці System в правому нижньому кутку головного вікна програми активізувати "спливаюче" (Pop-up) меню і вказати в ньому команду Projects. Відкривається плаваюча панель Projects, в головному полі якої відображена ієрархія раніше відкритих проектів (рис. 1.1).

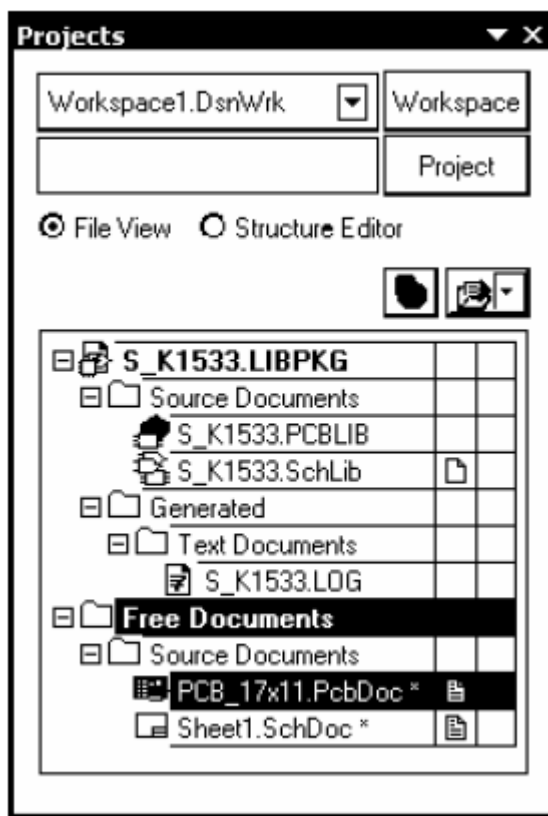


Рис. 1.1

2. У головному меню Altium Designer активізувати команду File>>New>>>Project>>PCB Project.

В діалоговому вікні Select Project Type вказати тип проекту – Protel PCB або P-CAD PCB.

В дереві проектів в головному полі панелі Projects з'являється новий вузол з ім'ям .PCB_Project1.PrjPcb.

3. Активізувати команду головного меню File>>Save As і зберегти файл нового проекту в дисковій пам'яті комп'ютера з новим ім'ям, наприклад, PCB_Filter.PrjPcb.

1.5 Включення документів в проект

Документи, що створюються в Altium Designer 6 можуть бути як пов'язані, так і не пов'язані з конкретним проектом. В останньому випадку вони носять статус "вільних" і, так само, як пов'язані, відображаються в плаваючій панелі Projects, в гілці Free Documents [4].

Для включення документів в проект:

1. Вказати курсором на ім'я проекту в плаваючій панелі Projects і клацанням правої клавіші миші викликати контекстне меню (рис. 1.2), в якому активізувати команду Add New to Project або Add Existing to Project.

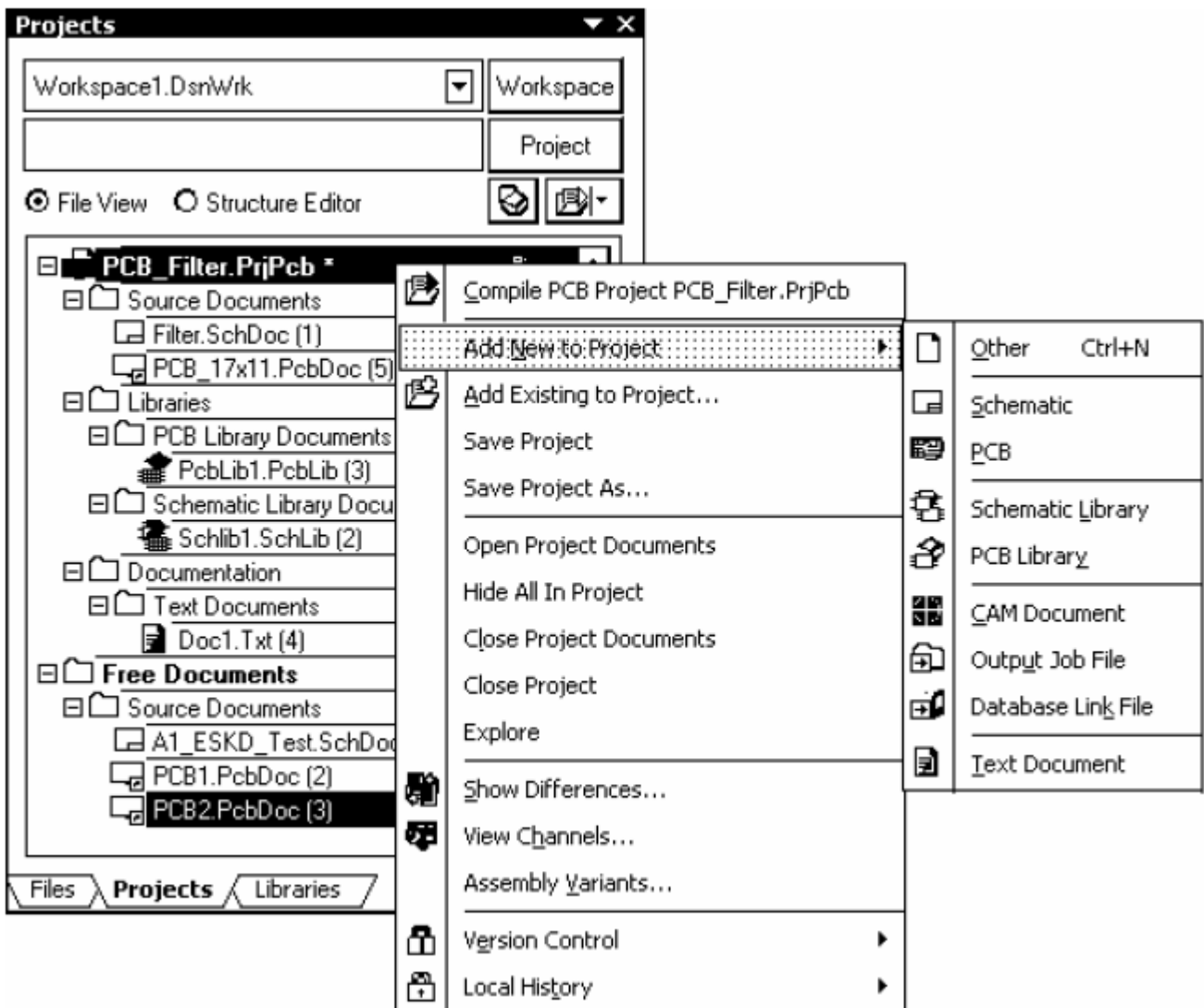


Рис. 1.2

2. У першому випадку відкривається контекстне меню наступного, нижнього рівня з переліком можливих типів документа, що підключається:

- Schematic – схемний документ;
- PCB – файл проекту друкованої плати;
- Schematic Library – бібліотека схемних символів;
- PCB Library – бібліотека топологічних посадочних місць;
- CAM Document – документ САМ-програми;
- Output Job File – файл вихідних даних для обробки;
- Database Link File – файл-вказівник зв'язку з базою даних;
- Text Document – текстовий документ;
- Other – інші документи.

3. У разі підключення існуючого документа (Add Existing to Project) відкривається стандартна процедура пошуку файлу. Знайдений файл включається до складу документів проекту. В обох випадках ім'я файлу підключеного документа включається в дерево документів проекту. У разі підключення графічних документів – схемного файлу, файлу друкованої плати,

бібліотеки схемних символів або посадочних місць одночасно з появою імені документу в дереві проекту відкривається лист відповідного графічного редактора – порожній або зайнятий об'єктами підключеного документу.

4. Зберегти підключені до проекту нові (порожні) документи, вказуючи на них, по черзі, курсором і активізуючи кожного разу команду головного меню File>>Save As.

5. Для виключення документу із складу проекту клацанням правою клавішею на імені документу в дереві проекту активізувати контекстне меню і вказати в нім команду Remove from Project.

1.6 Робота з документами проекту

Кожен документ, підключений до проекту, зберігається в пам'яті комп'ютера під своїм ім'ям, а файл-оболонка проекту (*.PrgPcb) встановлює зв'язки між документами проекту, так, що усі документи стають доступними при відкритті файлу проекту [4].

Документ робиться активним при клацанні правої клавіші миші на імені документу в дереві плаваючої панелі Projects. Активізується як вільний, так і такий, що належить тому або іншому проекту, документ. Ім'я документу виділяється білим на темному фоні. Одночасно активізується контекстне меню, командами якого можна вносити зміни в даний активний документ. Одночасно з активізацією документу активізується і проект, якому документ належить, або вузол Free Documents, якщо активізується вільний документ.

Активізація проекту досягається тим же способом. Проект робиться активним при клацанні правої клавіші миші на імені проекту в плаваючій панелі Projects. Ім'я проекту виділяється білим на темному фоні. Одночасно активізується контекстне меню, командами якого можна вносити зміни в цей активний проект. При цьому може залишатися активним документ іншого, активізованого до цього, проекту.

Один і той же документ може бути підключений до необмеженого числа проектів і викликатися з кожного проекту для розробки і редагування. При цьому треба бути обережним. Документ, відредагований в одному проекті, при використанні в інших проектах приносить з собою внесені зміни, що не завжди може бути прийнятне. Не допомагає і просте перейменування документу. Використання команди File>>Save As не відповідає цьому завданню, оскільки при простому збереженні файлу під новим ім'ям в проекті автоматично оновлюються зв'язки, внаслідок чого документ з новим ім'ям стає приналежністю відразу усіх відкритих у нинішній момент проектів. Тому перед редагуванням слід зберегти резервну копію документу командою головного меню File>>Save Copy As. В цьому випадку копія документу зберігається за вказаною адресою, а вихідний документ залишається зв'язаним з проектом.

Відмітимо також, що дерево документів в плаваючій панелі Projects показує логічний зв'язок документів проекту і ніяк не відображає локалізацію документів в пам'яті комп'ютера. Для з'ясування фізичної локалізації документів активного проекту слід клацанням миші активізувати в правому

нижньому кутку головного вікна програми команду System>> Storage Manager. Відкривається плаваюча панель Storage Manager (мал. 1.3), в якій відображаються шляхи до документів у файловій системі комп'ютера. Клацанням правої клавіші миші на імені документу викликається контекстне меню, що дозволяє виконати з документом ряд стандартних дій, передбачених в ОС MS Windows – відкрити документ, перейменувати, відновити, видалити його, утворити копію у буфері обміну і т.д.

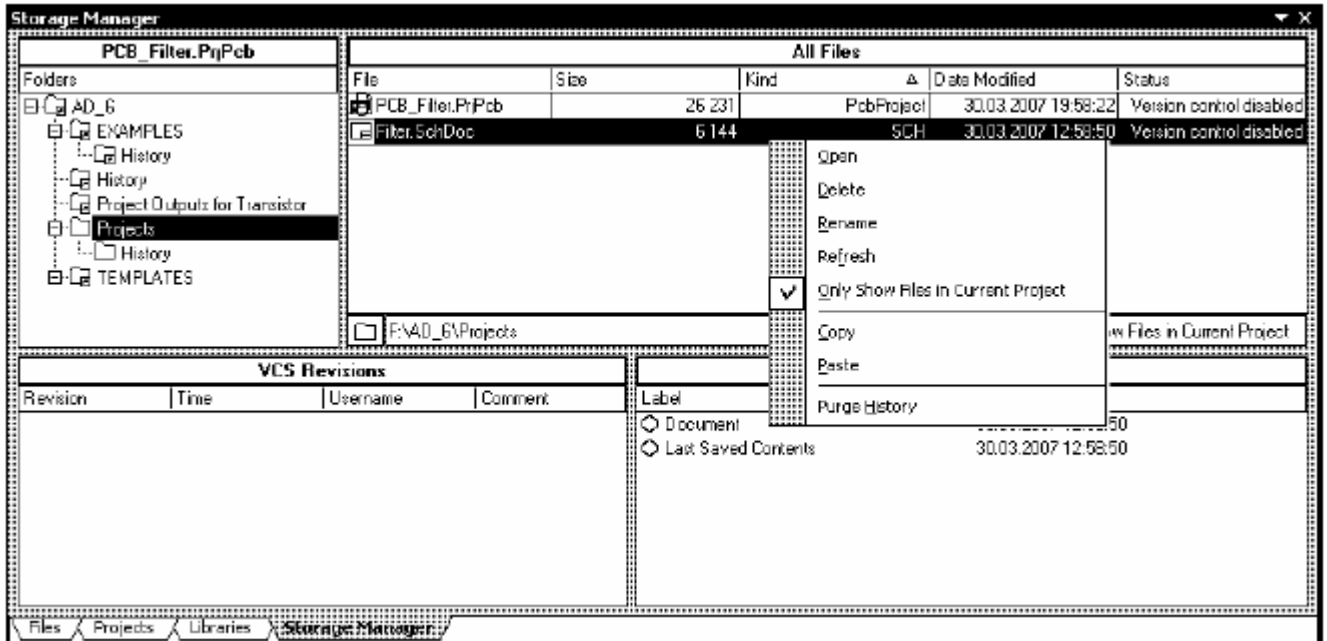


Рис. 1.3

ПЕРЕЛІК КОНТРОЛЬНИХ ЗАПИТАНЬ

1. Для чого призначена програма Altium Designer?
2. Назвіть основні переваги програми Altium Designer.
3. Яке призначення інтегруючої оболонки DXP?
4. Назвіть кілька компонентів Altium Designer 6, які входять до базових засобів проектування.
5. Які ви знаєте засоби проектування друкованої плати?
6. Які ви знаєте засоби проектування пристроїв із вбудованим інтелектом?
7. Які види проекту підтримуються у Altium Designer 6?
8. Опишіть процедуру створення нового проекту на прикладі проекту друкованої плати.
9. Яким чином здійснюється включення документів в проект?

Лабораторна робота №2

ВИВЧЕННЯ МЕТОДІВ СТВОРЕННЯ БІБЛІОТЕК ЕЛЕМЕНТІВ НА ОСНОВІ БАЗИ ДАНИХ ДЛЯ ПРОЕКТУВАННЯ КОМП'ЮТЕРНИХ СИСТЕМ

Мета роботи: навчитися формувати елементи схеми та створювати бібліотеки на основі бази даних.

Теоретичні відомості

2.1 Базові концепції бібліотечного забезпечення

Запорукою успішного виконання проекту функціонального вузла комп'ютерної системи є забезпеченість бібліотеками компонентної бази. Концепції бібліотечного забезпечення Altium Designer 6 має і схожість і відмінності від концепції, прийнятої в сімействі САПР P-CAD 200x [4]. Як завжди, компонент є тією базовою "цеглинкою", з яких складається проект радіоелектронного функціонального вузла. При виконанні різних етапів роботи над проектом компонент описується по-різному: в електричній схемі використовується так званий логічний символ, при проектуванні друкованої плати використовується топологічне посадочне місце (ТПМ), в схемотехнічному моделюванні компонент представлений SPICE або XSPICE-моделлю, при аналізі цілісності сигналу компонент представлений IBIS-моделлю своїх вхідних і вихідних кіл, при об'ємному проектуванні функціонального вузла компонент представлений тривимірною геометричною моделлю (3D model).

Усі ці представлення компонента, за винятком логічного символу, об'єднуються поняттям "модель". Наявність повної сукупності цих представлень для кожного компонента не обов'язкова, але в якості відправної точки проектування обов'язкове представлення компонента своїм логічним символом. Це те мінімальне представлення, без якого неможливо почати розробку електричної принципової схеми. Логічний символ є елементом бібліотеки схемного редактора. Він включає умовно-графічне позначення (УГП) і електричні контакти, може бути односекційним або багатосекційним.

Таким чином, повний опис електронних компонентів в Altium Designer 6 складається з трьох самостійних описів:

- елементу бібліотеки схемних символів *.SchLib (у вітчизняній лексиці – УГП);
- елементу бібліотеки топологічних посадочних місць *.PCBLib;
- файлів опису моделі – SPICE-моделі аналогового компонента, XSPICE-моделі цифрового компонента і/або IBIS-моделі для аналізу паразитних ефектів в друкованій монтажі (цілісності сигналу).

Елемент схемної бібліотеки, окрім безпосередньо УГП і опису електричних контактів, містить посилання на "модель". Модель є ієрархічною

структурою, що об'єднує посилання на дві останні складові частини повного опису компонента. Бібліотечні описи символу і місця розміщення компонента можуть використовуватися в проектуванні самостійно, або можуть бути скопійовані в інтегральну бібліотеку. Перевагою інтегральної бібліотеки є її компактність, можливість автоматично витягати в проект складові частини інтегрованого образу залежно від того, ведеться проектування електричної схеми або друкованої плати, або моделювання, а також неможливість редагування компонентів інтегральної бібліотеки. Компонент може бути відкритий для редагування з інтегральної бібліотеки командою Extract Sources.

2. 2 Створення нової інтегральної бібліотеки

1. Для створення інтегральної бібліотеки [5] активізувати команду головного меню File>>New>>Project>>Integrated Library. За цією командою утворюється бібліотечний пакет з ім'ям Integrated_Library1.LibPkg. Цей пакет має статус проекту, його ім'я відображається в плаваючій панелі Projects.

2. Перейменувати і зберегти утворений пакет в дисковій пам'яті. Для цього клацанням правої клавіші миші на його імені в панелі Projects активізувати в плаваючому контекстному меню команду Save Projects As, ввести з клавіатури нове ім'я, наприклад, Transistor.LibPkg (розширення імені вказувати не обов'язково – воно привласнюється автоматично).

3. Додати в створений бібліотечний пакет нову (порожню) бібліотеку схемних символів. Для цього клацанням правої клавіші миші на імені проекту Transistor.LibPkg активізувати плаваюче контекстне меню і вказати в ньому команду Add New to Project>>Schematic Library. У дереві проекту відкривається новий вузол – бібліотека з ім'ям SchLib1.SchLib; у головному вікні програми відкривається порожній лист редагування схемного компонента Component_1.

4. Активізувати в головному меню File команду Save As, перейменувати і зберегти файл схемної бібліотеки з ім'ям, наприклад, Transistor.SchLib.

5. Активізувати в рядку статусу панель-закладку SCH>>Library. Відкривається порожня плаваюча панель редагування SCH Library.

2.2.1. Формування схемних компонентів

Формування нового компонента може починатися по команді головного меню Tools>>New Component, але в нашому випадку, оскільки вже відкрита панель редагування SCH Library з порожнім шаблоном Component_1, можна просто перейменувати його і почати процедуру формування логічного символу схемної бібліотеки, наприклад, NPN-транзистора.

1. Вказати курсором ім'я Component_1 і активізувати команду головного меню Tools>>Rename Component. Внести ім'я NPN в поле імені вікна Rename Component і завершити перейменування натисканням ОК.

2. Встановити точку прив'язки графіки УГП в центр вікна редагування командою головного меню Edit>>Jump>>Origin (гарячі клавіші J, O). На графічному екрані вікна редагування ця точка позначається перехрестям. Навколо цієї точки зазвичай будується уся графіка УГП. Надалі, при виклику

логічних символів з бібліотеки і розміщенні їх на полі електричної схеми, програма веде символ за електричну "гарячу точку" – закінчення лінії електричного контакту, найближчого до точки прив'язки графіки.

3. Активізувати команду головного меню Tools>>Document Options і настроїти в діалоговому вікні Library Editor Workspace (рис. 2.1) основні елементи робочого простору редактора бібліотек:

- Units – систему одиниць вимірювання – встановимо метричну систему одиниць;
- Grids>>Snap – сітку захоплення при побудові графіки;
- Grids>>Visible – сітку, видиму на екрані.

В нашому окремому випадку доцільно встановити крок сітки захоплення 0,5мм, а крок видимої сітки 5 мм.

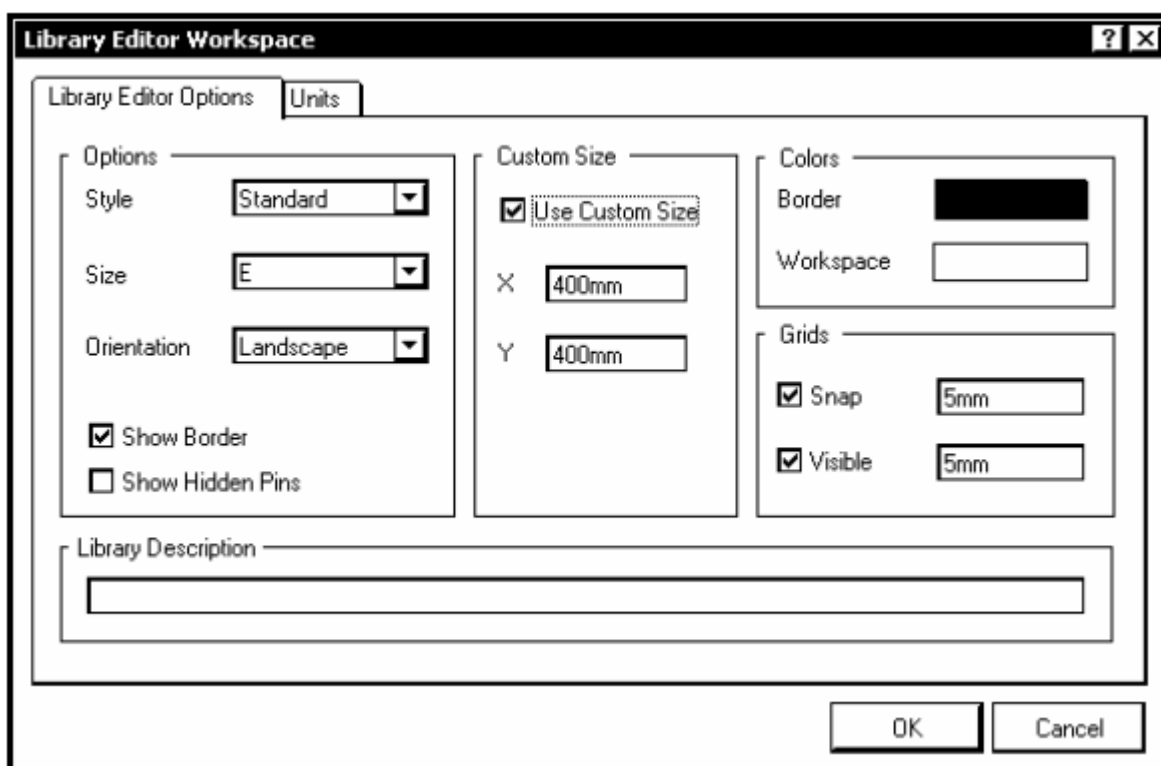


Рис. 2.1

4. Накреслити у вікні графічного редагування УГП n-p-n-транзистора. При створенні УГП дискретних аналогових компонентів за ЄСКД (єдина система конструкторської документації) необхідно сформувати графіку УГП і розмістити електричні контакти схемного елементу (символу) у вузлах сітки, єдиної для усіх, як аналогових, так і цифрових компонентів.

В якості такої оптимальної сітки при проектуванні електричних схем за ЄСКД доцільно використати сітку з кроком 5 мм. Саме в такому модульному кроці формуються, відповідно до ДСТУ 2.743-91 і ДСТУ 2.759-82, УГП аналогових і цифрових інтегральних мікросхем. При такому підході електричні контакти компонентів і провідники ліній зв'язку електричної принципової

схеми опиняються у вузлах єдиної сітки. Такий вибір не суперечить вимогам ЄСКД до виконання електричних схем: правила виконання схем (ДСТУ 2.701-84, ДСТУ 2.702-75) не регламентують відстані між провідниками. Вказується тільки, що відстань між лініями зв'язку в електричній схемі не має бути менше 2 мм.

Розглянемо особливості формування схемного символу на прикладі біполярного транзистора. Відповідно до ДСТУ 2.730-73 УГП біполярного транзистора формується геометричною побудовою. У крузі діаметром 12 або 14 мм під кутом 60° один до одного і симетрично відносно діаметру будуються два промені. Розмір "А" між вихідною точкою променів і точкою їх перетину з колом складає 9 або 11 мм і визначає усі інші розміри УГП. Лінія бази транзистора будується на відстані $0,5A$ від вихідної точки променів і має довжину також рівну А (рис. 2.2, а)

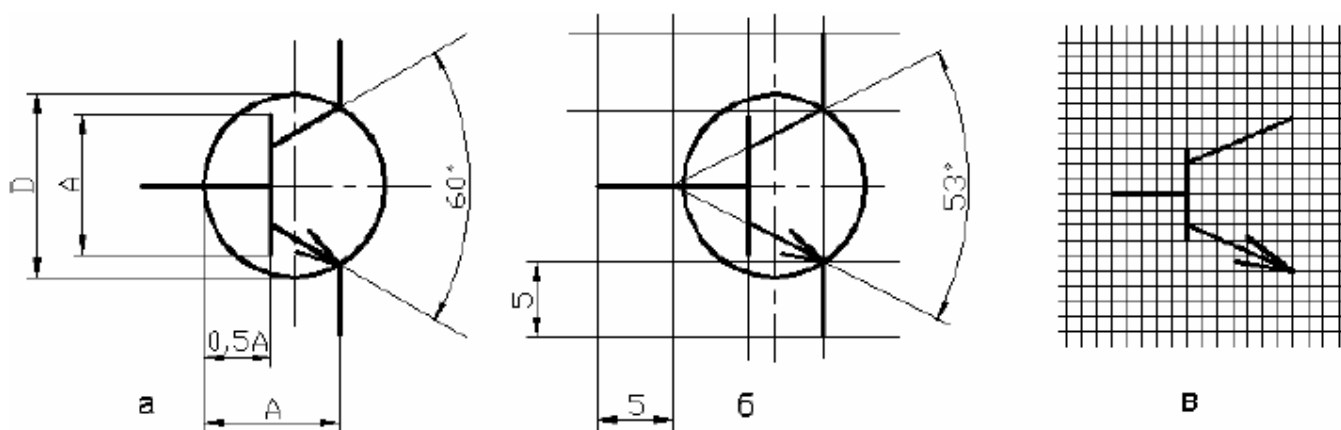


Рис. 2.2

При такій побудові УГП координати точок сполучення елементів графіки виражаються ірраціональними числами. Програма, звичайно, округлює ці координати до значення молодшого розряду машинного слова, але все одно точки приєднання провідників схеми не потрапляють у вузли прийнятної сітки проектування. Зміною № 6 1989 р. до ГОСТ 2.730-73 встановлений спосіб креслення і визначення розмірів УГП напівпровідникових приладів в модульній сітці (рис. 2.2, в). Це також мало корисно при нашому підході (єдина сітка для усіх компонентів проекту).

Хоча в згадуваній "Зміні" не вказано значення модульного кроку, при строгому дотриманні приведену в ньому малюнку (див. рис. 2.2, в) важко побудувати УГП так, щоб воно відповідало сформульованій вимозі єдиної сітки для цифрових і аналогових компонентів. Видається раціональним рішенням, зображене на рис. 2.2, б. Лінії УГП проводяться через вузли 5-міліметрової сітки, штрихи електричних контактів також мають довжину 5 або 10 мм, а коло, що зображує корпус транзистора (її зображення, по ГОСТ 2.730-73, не обов'язкове), зміщене управо так, що її контур проходить через точки закінчення ліній емітера та колектора. Кут між колектором та емітером складає

при цьому 53°. При перегляді відмінності зображень рис. 2.2, а і б абсолютно непомітні.

1) Активізувати команду головного меню Place >>Line. Курсор міняє вид на перехрестя. Графічний примітив Line є полілінією – усі відрізки ламаної лінії утворюють єдиний об'єкт.

2) Клавішею Tab активізувати функцію налаштування ширини лінії. Відкривається діалогове вікно налаштування PolyLine (рис. 2.3).

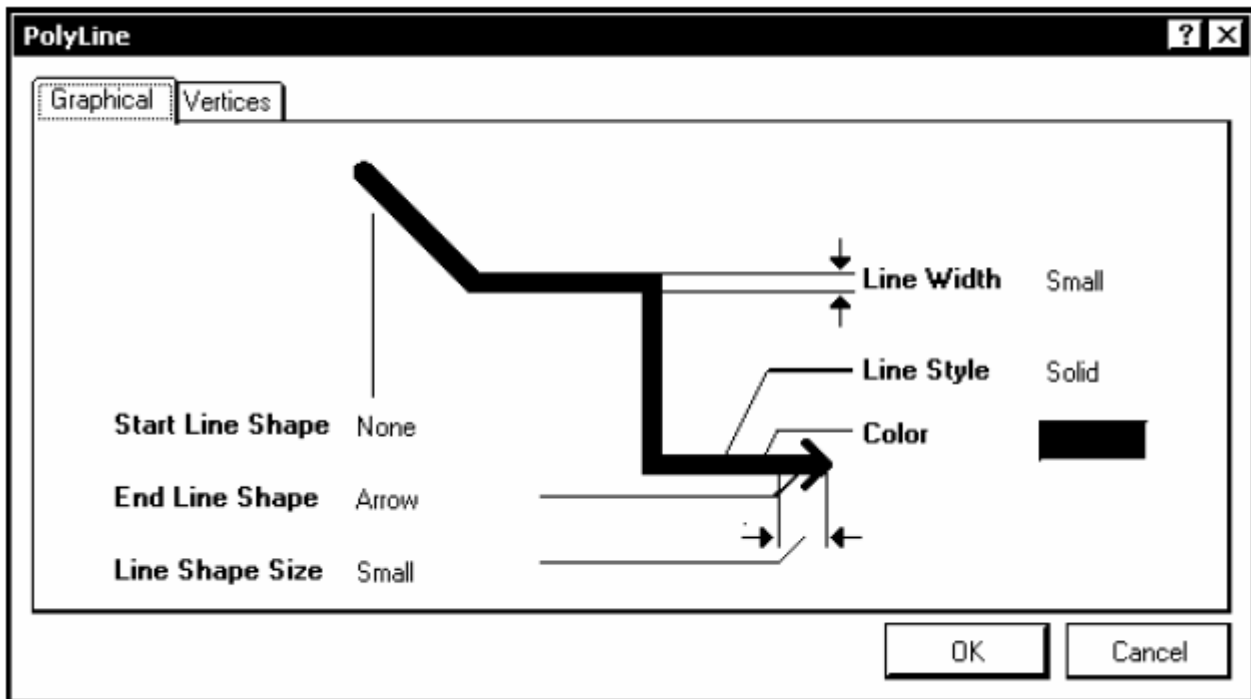


Рис. 2.3

У вікно винесені наступні налаштування лінії :

- Line Width – ширина лінії: курсором вказується один з варіантів ширини:

- Smallest – тонка, шириною близько 0,1 мм;
- Small – тонка – шириною 0,254 мм;
- Medium – середня – шириною близько 0,5 мм;
- Large – велика – шириною близько 1 мм.

- Line Style – стиль – суцільна (Solid), точкова (Dotted) або пунктирна (Dashed);

- Color – колір – вибирається з палітри кольорів, що відкривається при клацанні лівої клавіші миші на кольоровому прямокутнику;

- Фігури, якими починається і закінчується лінія, – Start Line Shape і End Line Shape – стрілки, точки, квадрати і тому подібне, або відсутність фігур (None), а також розмір цих фігур-наконечників (Line Shape Size).

Клацанням на ОК завершити налаштування.

3) Прокласти необхідне число відрізків, що утворюють елементи УГП (рис. 2.2, б), фіксуючи початок і кінець кожного клацанням лівої клавіші.

Креслення чергового відрізка завершується клацанням правої клавіші миші або клавішею Esc. Перед викреслюванням лінії емітера клавішею Tab знову активізувати налаштування параметрів і вказати стрілку на кінці відрізка.

4) Активізувати команду креслення дуги Place>>Arc. Клавішею Tab активізувати діалог налаштування параметрів дуги (рис. 2.4). В діалоговому вікні вказуються параметри:

- Line Width – ширина лінії;
- Color – колір;
- Radius – радіус дуги;
- Start Angle – початковий кут в абсолютних координатах;
- End Angle – кінцевий кут також в абсолютних координатах.

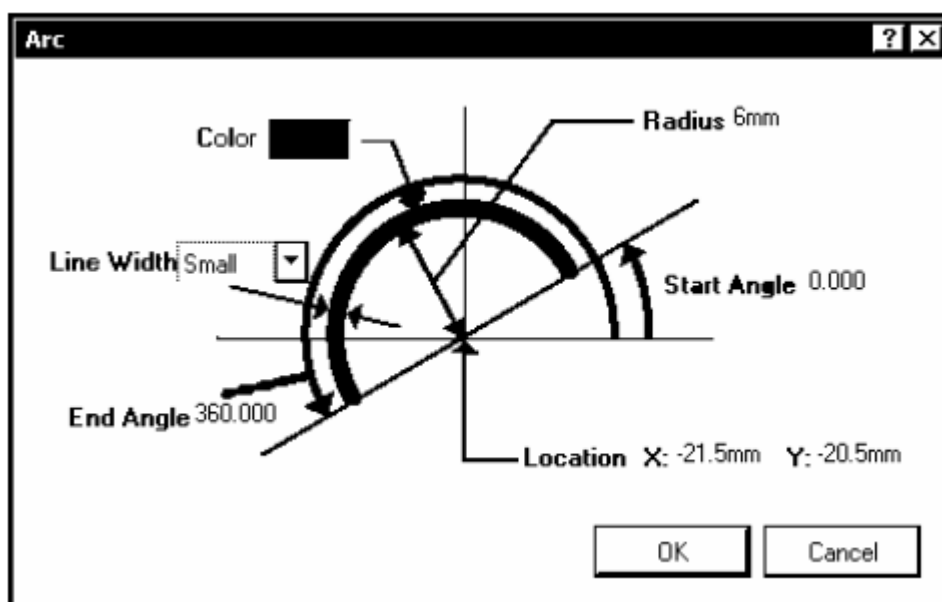


Рис. 2.4

5) Вказати радіус 6 мм, початковий кут 0 (нуль) і кінцевий кут 360°. При клацанні ОК викреслюється коло діаметром 12 мм.

6) Перемістити і зафіксувати коло в такому положенні, щоб кінці лінії емітера і колектора лежали на колі.

2.2.2 Приєднання електричних виводів

1. Активізувати команду головного меню Place>>Pin (гарячі клавіші P, P). На графічному екрані з'являється зображення електричного контакту, що переміщається за курсором по екрану. Точка приєднання електричного зв'язку до контакту помічена косим перехрестям. У лексиці Altium Designer ця точка називається "Гарячим кінцем" (hot end). При поєднанні виводу з УГП лінія виводу повинна примикати до УГП протилежним кінцем.

2. Перед розміщенням виводу активізувати клавішею Tab діалог редагування його властивостей. Відкривається діалогове вікно налаштування властивостей виведення Pin Properties (рис. 2.5).

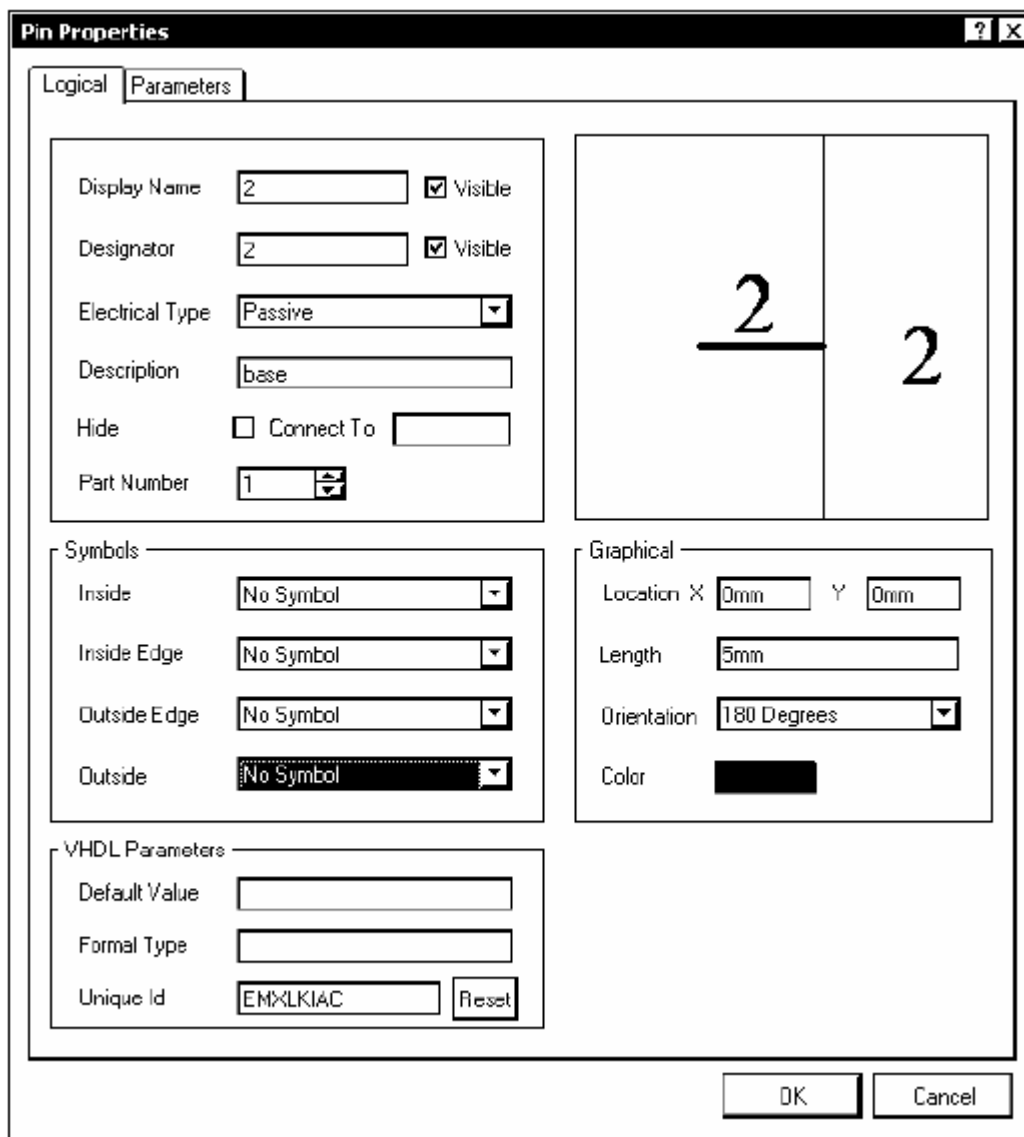


Рис. 2.5

Встановити наступні властивості виводу :

- **Display Name** – логічне ім'я або функціональне призначення контакту. Відповідно до вимог SPICE-технології схемотехнічного моделювання послідовність введення і позначень виводів транзистора має бути: колектор-база-емітер. За замовчуванням першому контакту, що вводиться, дається позначення 0 (нуль). Змінимо це позначення на 1. Позначення наступних виводів автоматично інкрементуються.
- **Designator** – ім'я або позначення виводу, використовуване при автотрасуванні. За замовчуванням це позначення співпадає з позначенням **Display Name** і також інкрементується. Присвоїмо йому також позначення 1. Доцільно також відключити видимість позначень виводів, оскільки їх функціональне призначення у разі транзистора ясно з графіки УГП (видимі позначення будуть при виводах мікросхем).
- **Electrical Type** – електричний тип виводу. Для виводів транзистора встановити тип **Passive**.
- **Description** – текстовий опис функції виводу компонента.

- В полі Graphical встановити:
 - Length – довжину лінії виводу: встановити довжину 5 мм.
 - Orientation – орієнтація лінії: встановити кут розвороту лінії виводу (проти годинникової стрілки, відносно додатнього напрямку осі X).
 Орієнтація може також мінятися при установці виводу на графічному екрані послідовними натисненнями клавіші ПРОПУСК (SPACE).

- В полі Symbols залишити без зміни ознаку No Symbol – відсутність покажчиків полярності, напрями передачі сигналу і тому подібне

3. Клацанням ОК завершити редагування властивостей виводу і встановити його на УГП у вікні графічного редагування компонента.

4. Повторити дії пп. 2, 3 для наступних виводів компонента. Послідовність введення виводів, що залишилися, – база, емітер.

5. Командою головного меню File>>Save зберегти побудований компонент у бібліотеці. Результат формування схемного символу відображається в полях плаваючої панелі SCH Library (рис. 2.6, а).

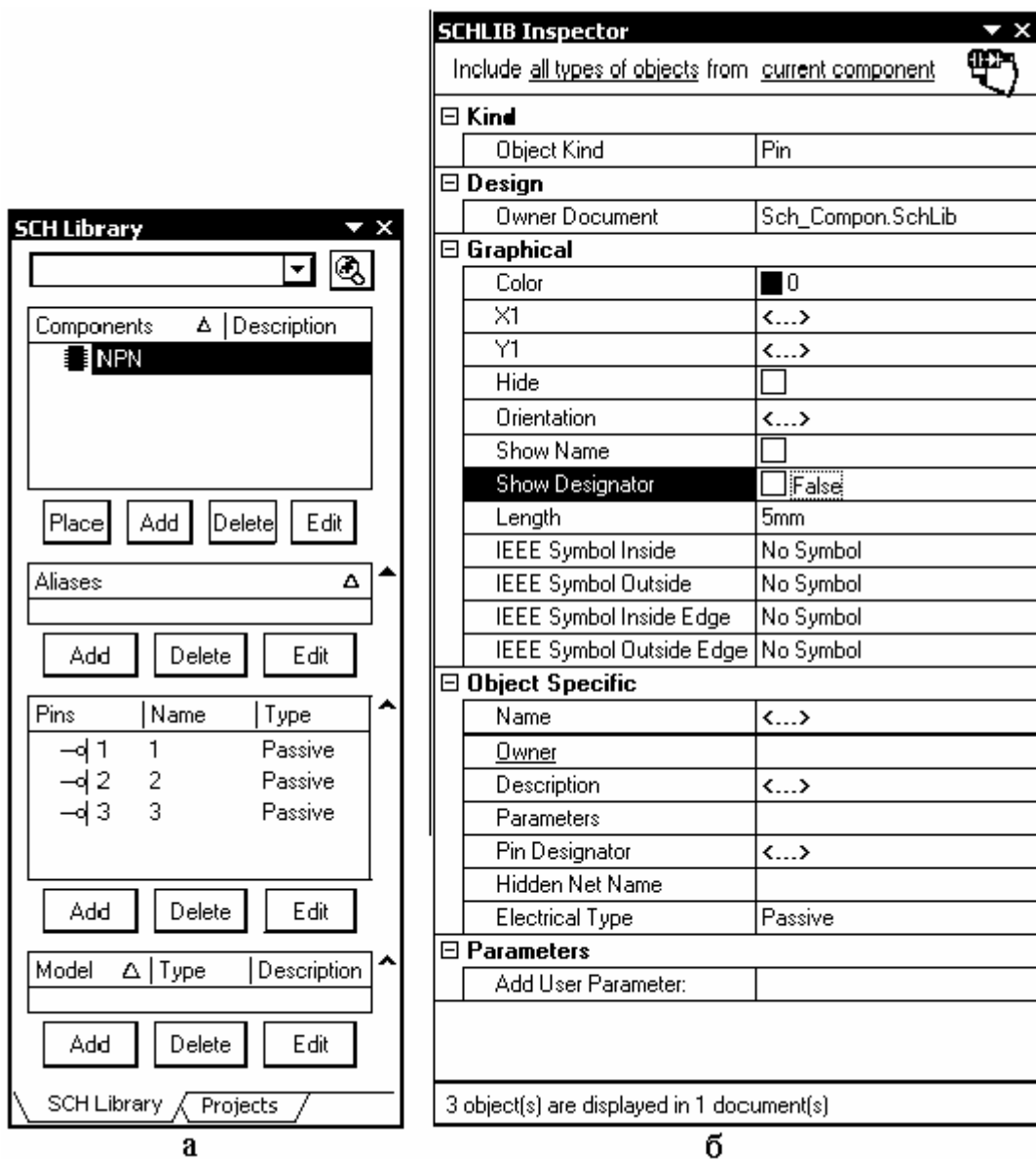


Рис. 2.6

2.2.3 Формування і редагування схемних символів інтегральних мікросхем

Процедура формування символів цифрових і аналогових інтегральних мікросхем в принципі не відрізняється від розглянутої процедури формування символів дискретних компонентів. Аналогічно пп. 1...5 попереднього розділу формується прямокутний контур УГП, відповідно до вимог ДСТУ 2.743-91 і ДСТУ 2.759-82, формуються і приєднуються до УГП виводи компонента. Відмінності полягають у використанні так званих прихованих виводів і у використанні міток і покажчиків, що пояснюють функціональне призначення виводів компонента. Перерахуємо варіанти цих позначень, прийняті в Altium Designer 6.

1. Позначення електричного типу виводу (Electrical Type) :

- Input – вхідний;
- IO – вхід/вихід (двонаправлений);
- Output – вихідний;
- Open Collector – відкритий колектор;
- Passive – пасивний;
- HiZ – вивід з третім, високоімпедансним станом;
- Emitter – емітер;
- Power – силовий (виводи живлення/землі).

2. Мітки, що розміщуються усередині контура УГП (Inside):

- No Symbol – відсутність мітки;
- Postponed Output – вихід затриманого сигналу;
- Open Collector – відкритий колектор;
- HiZ – вивід із високоімпедансним станом;
- High Current – сильнострумний вихід;
- Pulse – імпульсний сигнал;
- Schmitt – гістерезисний елемент (тригер Шміта);
- Open Collector Pull Up – відкритий колектор, відтягнутий до живлення;
- Open Emitter – відкритий емітер;
- Open Emitter Pull Up – відкритий емітер, відтягнутий до живлення;
- Shift Left – зсув вліво;
- Open output – відкритий вихід.

3. Покажчик по внутрішньому краю УГП (Inside Edge):

- No Symbol – відсутність покажчика;
- Clock – вхід прямого динамічного тактового сигналу.

4. Покажчик по зовнішньому краю УГП (outside Edge):

- No Symbol – відсутність покажчика;
- Dot – кільце – ознака інверсії сигналу;
- Active Low Input – вхід логіки з активним низьким рівнем логічної одиниці;

- Active High Input – вхід логіки з активним високим рівнем логічної одиниці.

5. Показчик на виводі зовні від контуру УГП (Outside):

- No Symbol – відсутність показчика;
- Right Left Signal Flow – передача сигналу справа наліво;
- Left Right Signal Flow – передача сигналу зліва направо;
- Analog Signal In – вхід аналогового сигналу;
- Digital Signal In – вхід цифрового сигналу;
- Bidirectional Signal Flow – двонаправлена передача сигналу;
- Not Logic Connection – нелогічне з'єднання (підключення кіл живлення, землі, пасивних кіл і т. п.).

Для позначення імен інверсних входів і виходів з лінією надкреслення над позначенням після кожного символу пишеться зворотна коса риска (Backslash). Наприклад, при введенні з клавіатури послідовності знаків A\D\0\1\ на полі УГП з'являється позначення AD01.

Altium Designer 6 надає широкі можливості індивідуального і групового редагування властивостей електричних виводів компонента. Для індивідуального редагування властивостей вибрати вивід на графічному екрані редактора бібліотеки, клацанням правої клавіші миші активізувати контекстне меню і в нім вказати команду перегляду і редагування властивостей (Properties). Відкривається діалогове вікно, рис. 2.5, в якому можуть бути змінені властивості виводу. Для групового редагування вказати курсором, утримуючи клавішу Shift, функціонально однорідні виводи в полі плаваючої панелі SCH Library (рис. 2.6, а) і клавішею F11 активізувати функцію "інспектора". Відкривається діалогове вікно SCHLIB Inspector (рис. 2.6, б), у якому можуть бути змінені властивості групи вибраних виводів.

Розглянемо ще один спосіб редагування властивостей електричних виводів.

1. У головному меню Tools або подвійним клацанням миші на імені компонента в плаваючій панелі SCH Library активізувати діалог редагування властивостей компонента Component Properties.

2. У діалоговому вікні Library Component Properties кнопкою Edit Pins викликати діалогове вікно Component Pin Editor (рис. 2.7).

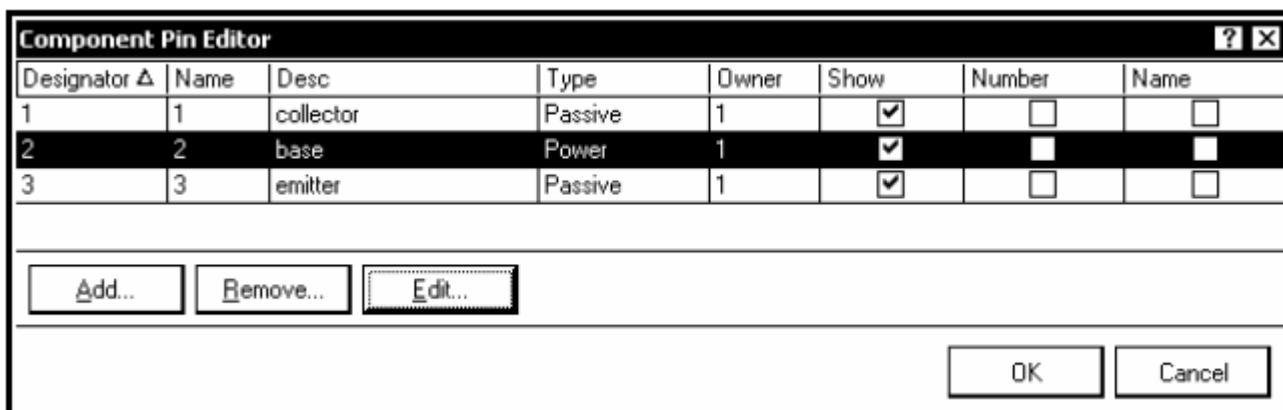


Рис. 2.7

3. Вказати курсором вивід і кнопкою Edit викликати знайоме нам діалогове вікно Pin Properties (рис. 2.5). Відредагувати властивості вибраного контакту і зберегти результат. Зазначимо, що не усі використовувані в Altium Designer 6 мітки і покажчики при виводах прийнятні з точки зору відповідності графіки символів вимогам ЄСКД.

1) Виводи з електричним типом Input, Output і IO (див. п. 1) позначаються спеціальною міткою. Наявність цієї мітки суперечить вимогам ДСТУ 2.743-91.

2) Міток усередині УГП (див. п. 2) недостатньо для формування повного спектру зображень по ЄСКД. Досить сказати, що повний перелік цих міток в ДСТУ 2.743-91 займає 20 сторінок. Частина міток і покажчиків, прийнятих в стандартах IEEE і використовуваних в Altium Designer не відповідає по зображенню тим, що передбачені по ДСТУ 2.743-91.

3) Покажчики, перераховані в пп. 4, 5, окрім знаку інверсії, в зображеннях по ЄСКД не застосовуються. Проте, при розумному застосуванні деяких міток і покажчиків, у поєднанні з буквено-цифровими іменами виводів (Pin Name) дозволяє отримати прийнятне зображення великої різноманітності аналогових і цифрових інтегральних мікросхем.

2.2.4 Багатосекційні компоненти

До багатосекційних компонентів відносяться резисторні, конденсаторні, діодні і транзисторні зборки і матриці, електричні з'єднувачі, деякі логічні інтегральні мікросхеми. Схемний символ багатосекційного компонента може бути побудований цілком, з усіма секціями в єдиному УГП. В цьому випадку створення такого символу нічим не відрізняється від розглянутого. Проте, для формування принципової електричної схеми, яка б легко читалася і наочно демонструвала принцип дії функціонального вузла, таке зображення не завжди зручне.

1) Не усі до одної секції завжди використовуються в схемі, а видимість невикористовуваних неможливо відключити. В результаті схема захаращується зайвими УГП.

2) З міркувань легкості для читання схеми і розуміння її функціонування часто буває зручно зображувати схему рознесеним способом. При єдиному

УГП на увесь компонент це неможливо, і доводиться тягнути до нього лінії електричного зв'язку здалека, що утруднює читання схеми. Тому доцільно розглянути особливості формування схемного символу багатосекційного компонента рознесеним способом на прикладі логічної інтегральної мікросхеми КР1564ЛА3, що містить 4 двохходових вентиля І-НЕ в одному корпусі.

1. Виконати дії аналогічно пп. 1...5 розд. 2.2. Присвоїти при цьому новому бібліотечному проекту ім'я KR1564.LibPkg, а приєднаний до нього бібліотеці схемних компонентів – ім'я KR1564.SchLib.

2. Перейменувати порожній компонент Component_1 в плаваючій панелі SCH Library, присвоївши йому ім'я KR1564LA3 і встановити точку прив'язки графіки в центрі головного вікна графічного редактора, аналогічно пп. 1, 2 розд. 2.1.

3. Активізувати команду головного меню Place>>Line і накреслити квадрат УГП із стороною 15 мм.

4. Активізувати команду головного меню Place>>Pin і викликати клавішею Tab діалог налаштування властивостей електричного виводу (див. рис. 2.5).

Призначити першому виводу:

- позначення Designator – 1, ім'я Display Name також призначити 1;
- електричний тип призначити Passive, щоб уникнути розміщення міток, що суперечать вимогам ЄСКД.

Закрити діалог налаштування і зафіксувати перший вивід в головному вікні графічного редактора, як показано на рис. 2.8, а.

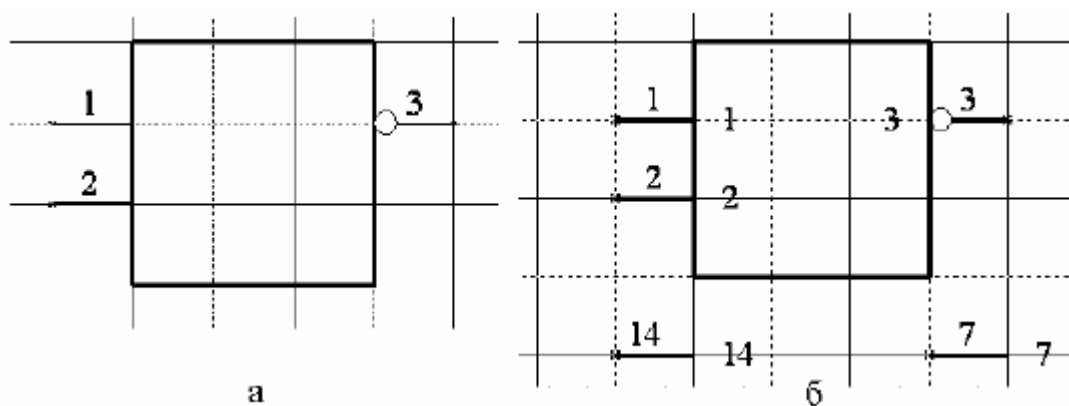


Рис. 2.8

5. Продовжити установку наступних виводів. Перед установкою третього, вихідного виводу знову активізувати діалог налаштування виводу, розвернути вивід на 180° і встановити значок інверсії вихідного сигналу Outside Edge – Dot.

2.2.5 Виводи живлення і землі

Найчастіше це виводи цифрових інтегральних схем, що підключаються до кіл живлення, і загального (землі). При традиційному ручному способі креслення електричних схем ці виводи на схемі не показувалися, а необхідність

їх приєднання до кіл живлення і загального вказувалася в текстових технічних вимогах на кресленні. В P-CAD, Altium Designer та інших САПР можуть використовуватися два підходу до формування і використання цих виводів при виконанні електричної схеми. При першому підході в компонент вводиться спеціальна секція з выводами живлення і загального. У термінології P-CAD такі компоненти називаються гетерогенними. Кола живлення і загального підводяться до выводів цих секцій так само, як і сигнальні кола до выводів логічних секцій. При другому підході виводи живлення і загального робляться прихованими. Вони об'єднуються програмою в коло з призначеним ім'ям (у P-CAD ці кола мають статус "глобальних"), і розробникові залишається тільки забезпечити виведення цього кола на контакт з'єднувача або в коло для подачі живлення на плату.

Розглянемо процедуру формування прихованих выводів живлення і загального в Altium Designer 6 на прикладі нашої інтегральної мікросхеми KR1564LA3.

1. Активізувати команду головного меню View>>Show Hidden Pins. За цією командою робляться видимими усі приховані виводи компонента, а також приховані імена та інші позначення при видимих выводах.

2. Вказати курсором в плаваючій панелі SCH Library на значок компонента KR1564LA3 (усього компонента, а не окремої секції). У головному графічному вікні редактора бібліотек відображається УГП першої секції компонента.

3. Активізувати команду головного меню Place>>Pin і викликати клавішею Tab діалог попереднього редагування властивостей виводу.

4. У діалоговому вікні Pin Properties (див. рис. 2.5) :

- позначенням Display і Name Designator присвоїти номер виводу 7;
- ознаці Electrical Type встановити значення Power;
- скласти опис (Description): Ground_pin;
- вказати номер секції (Part Number) 0 (нуль): при такому позначенні виводи живлення і землі приєднуються до кожної секції компонента;
- активізувати ознаку Hide – приховати вивід на УГП;
- в полі Connect to вказати ім'я кола GND – земля.

Натисканням ОК завершити редагування і зафіксувати вивід в найближчому до контура УГП вузлі сітки проектування.

5. Повторити ті ж дії, встановивши при цьому опис Supply_pin, номер виводу 14 та назву кола живлення VCC. Кінцевий результат показаний на рис. 2.8, б.

6. Вибираючи по черзі секції компонента в плаваючій панелі SCH Library, переконатися, що у кожній секції з'явилися виводи 7 і 14. Якщо це так, зняти активність команди головного меню View>>Show Hidden Pins.

7. Командою головного меню File>>Save зберегти компонент з підключеними прихованими выводами. Бачимо, що, на відміну від P-CAD 200x, в якому приховані виводи не включалися до складу схемного символу (досить було присвоїти їм електричний тип Power в таблиці опису контактів), в Altium

Designer будь-який вивід може бути прихованим. Крім того, має бути явно позначено ім'я кола, до якого підключаються приховані виводи.

2.2.4 Редагування властивостей компонента

1. Аналогічно п. 1 попереднього розділу, активізувати діалогове вікно Library Component Properties (рис. 2.9).

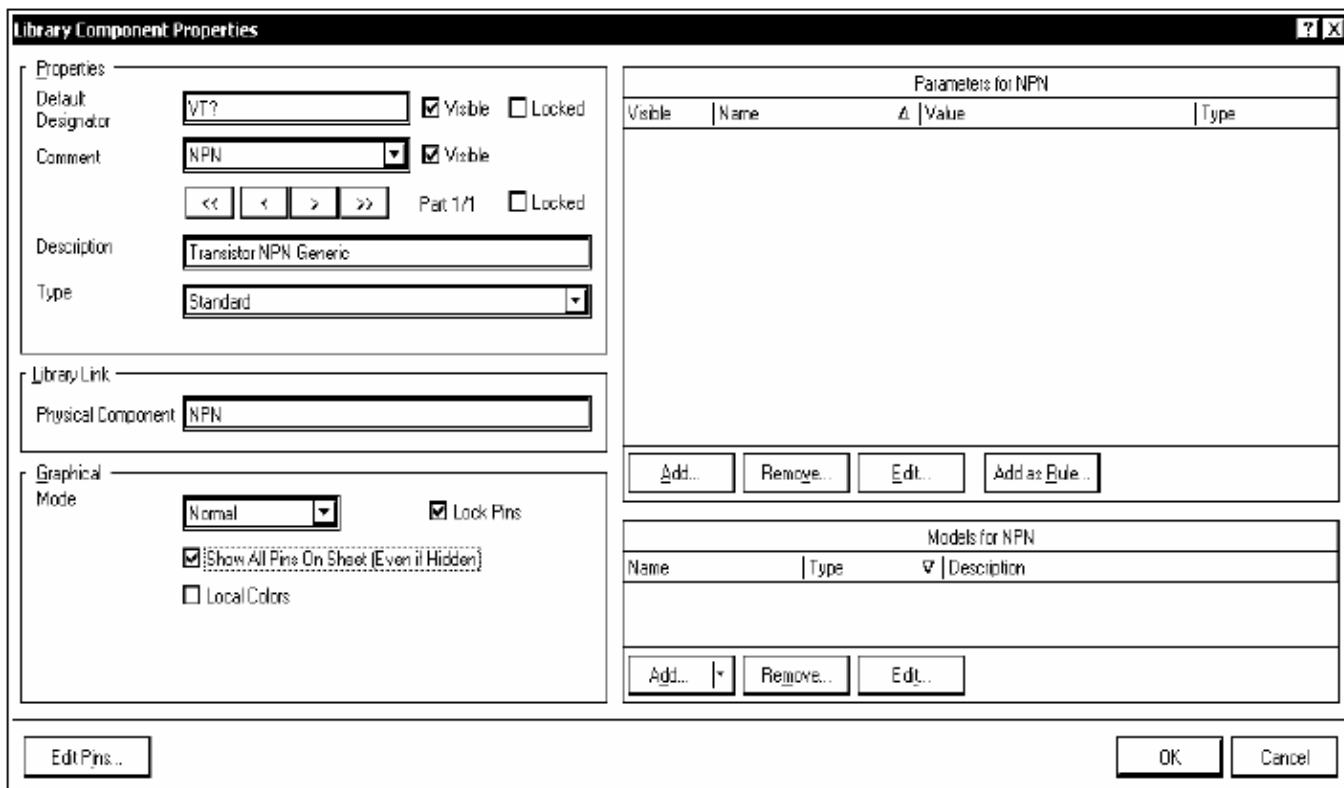


Рис. 2.9

2. У полі Default Designator внести буквенний префікс позиційного позначення по ДСТУ 2.710-81. У разі транзистора це VT. Додати в рядок з префіксом знак питання. При складанні електричної схеми на його місце в позиційне позначення вноситься порядковий номер компонента, в межах групи функціонально однорідних.

3. У полі Comment вписати рядок коментаря, в нашому випадку, NPN.

4. У полі Description вписати опис компонента, за яким він відшукуватиметься при активізації пошукової системи. У нашому випадку опис може бути, наприклад, Transistor NPN Generic.

Інші поля в правій половині вікна, рис. 2.9, залишаються поки вільними. Вони заповнюватимуться при приєднанні до компонента моделей.

2.3. Бібліотеки топологічних посадочних місць

2.3.1. Створення нової бібліотеки посадочних місць

Процедура формування нової бібліотеки топологічних посадочних місць (ТПМ) компонентів не відрізняється від процедури формування бібліотеки схемних символів.

1. Активізувати команду головного меню File>>New>>Library>>PCB Library. У головному вікні Altium Designer відкривається порожній робочий простір редактора PCB-бібліотек з ім'ям нової бібліотеки PcbLib1.PcbLib. Одночасно ім'я бібліотеки з'являється в полі проектів плаваючої панелі Projects як вільний документ.

2. Переіменувати нову бібліотеку: активізувати команду головного меню File>>Save As і вказати ім'я бібліотеки, наприклад, ТРМ.PcbLib.

3. Клацанням миші на закладці PCB в рядку статусу і вибором у випадному меню команди PCB Library активізувати плаваючу панель редагування ТПМ (рис. 2.10, а). В полі Components вікна, рис. 2.10, а, представлено ім'я нового, порожнього, компонента PCBCOMPONENT_1.

4. Вивести курсор у вільне поле головного вікна, з клацанням лівої клавішею, після чого кілька разів натиснути клавішу Page Up ("гаряча" клавіша масштабування зображення), поки на екрані не стане видна сітка.

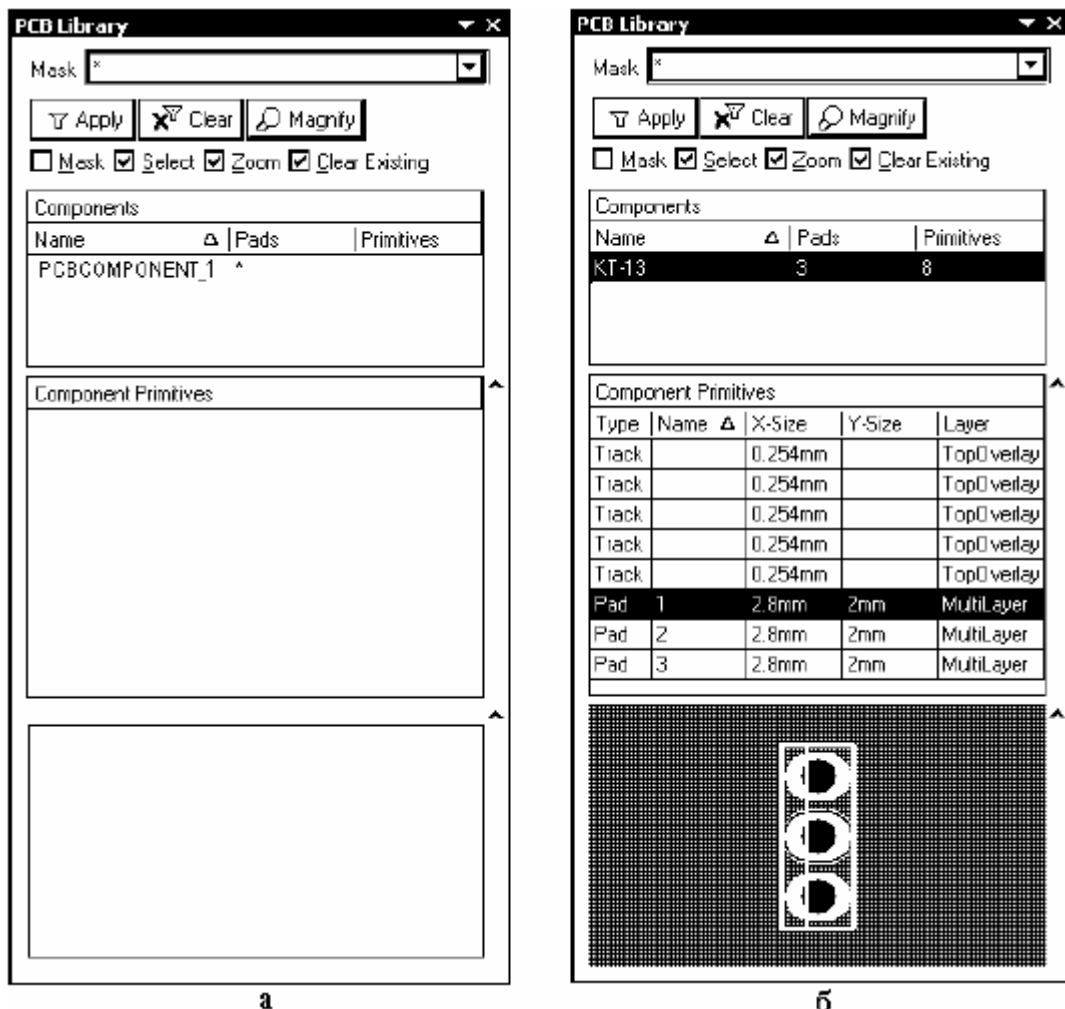


Рис. 2.10

В результаті виконання цих кроків робочий простір стає підготовленим для формування посадочних місць компонентів. За замовчуванням графічний редактор має структуру шарів, що забезпечує проектування двосторонньої друкованої плати:

- Top Layer – верхній шар друкарських провідників;
- Bottom Layer – нижній шар друкарських провідників;
- Mechanical 1 – перший "механічний" шар (для зображення радіаторів, інших елементів зборки);
- Top Overlay – шар шовкографії;
- Keep-Out Layer – шар бар'єрів трасування;
- Multi-Layer – "мультишар" – шар контактних площадок.

2.3.2. Формування топологічного посадочного місця

Формування посадочного місця компонента полягає у визначенні його конструкції і розміщенні в робочому просторі редактора PCB Component Editor контактних площадок для електричного під'єднання, а також кресленні ліній контура компонента. Лінії контура розташовуються зазвичай в шарі шовкографії Top Overlay. Контактні площадки для монтажу компонентів з штирьовими виводами формуються в шарі Multi-Layer. Контактні площадки для поверхнево-монтажних компонентів формуються у верхньому сигнальному шарі Top Layer.

1. Перед початком формування ТПМ слід задати систему одиниць вимірювання і виконати налаштування сіток проектування. Для цього активізувати команду головного меню Tools>>Library Options. Відкривається діалогове вікно Board Options (рис. 2.11).

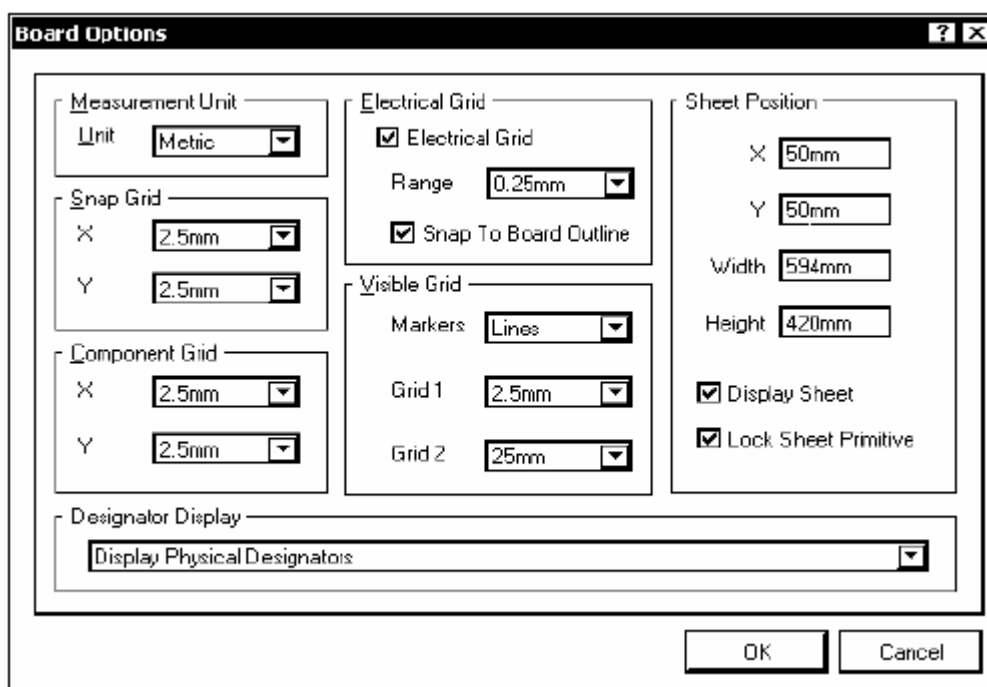


Рис. 2.11

Стосовно задачі формування ТПМ вітчизняних компонентів, слід встановити метричну систему одиниць вимірювання і налаштувати три сітки:

- Component Grid – сітка розміщення компонентів. Значення кроку сітки по горизонталі і по вертикалі вибирається з випадаючого списку або вводиться з клавіатури.

- Snap Grid – сітка захоплення. Призначається для розміщення графічних об'єктів – ліній, вирізів і тому подібне. Крок цієї сітки також призначається з випадаючого списку або з клавіатури і повинен знаходитися в дробовому співвідношенні з кроком сітки компонентів.

- Visible Grids – дві, краще за все, кратні, так звані видимі сітки. Ці сітки використовуються тільки для візуального контролю дій при розміщенні об'єктів, їх вирівнюванні і виконанні інших операцій графічного редагування.

2. Перейменувати відкрите в панелі PCB Library порожнє посадочне місце PCBCOMPONENT_1. Для визначеності вважатимемо, що ми формуємо посадочне місце для вітчизняного транзистора КТ315. Назвемо це посадочне місце іменем корпусу цього транзистора КТ-13. Для привласнення нового імені подвійним клацанням миші на імені PCBCOMPONENT_1 в панелі PCB Library активізувати вікно перейменування компонента, вказати ім'я КТ-13 і ввести опис (Description) – Footprint КТ-13.

3. Встановити точку прив'язки графіки в центр графічного листа редактора ТПМ. Для цього скористатися "гарячими" клавішами – послідовно натиснути J, R. Зазначимо, що за точку прив'язки (Reference Point) компонент, в тому числі ТПМ, тягнеться за курсором і встановлюється на полі друкованої плати. Тому, з точки зору трасування друкованого монтажу, може виявитися бажаним розташовувати точку прив'язки не в центрі графіки, а на "ключовому" виводі компонента. Змінити положення точки прив'язки можна командою головного меню Edit>>Set Reference.

2.3.2.1 Розміщення контактних площадок

1. Активізувати команду головного меню Place>>Pad (гарячі клавіші P, Р). Перед тим, як фіксувати плаваючу за курсором контактну площадку (КП) на полі графічного редактора, викликати клавішею Tab діалог редагування її параметрів. Відкривається діалогове вікно властивостей контактної площадки, Pad (рис. 2.12).

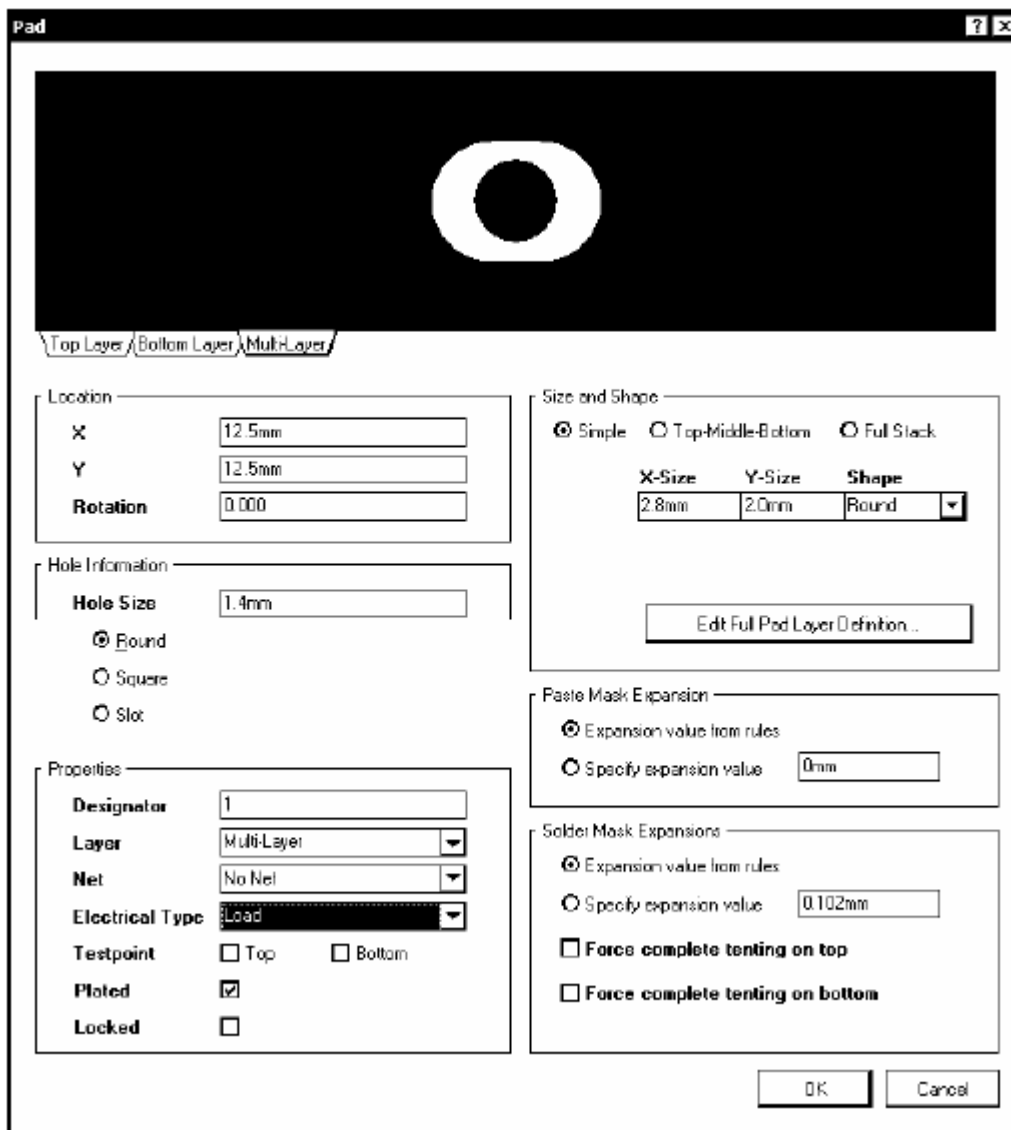


Рис. 2.12

2. У полі Location вказати координати КП на полі графічного редактора. Вказуємо координати 0, 0.

3. У полі Hole Information встановлюємо вид і розмір отвору КП. Можливі наступні варіанти форми отвору:

- Round – круглий;
- Square – квадратний;
- Slot – щілина.

Вибираємо круглий отвір діаметром (Hole Size) 1,4 мм. Такий діаметр перевищує на 0,4 мм ширину стрічкового виведення транзисторів в корпусі КТ-13 (вимога ДСТУ 10317-79, обумовлене необхідністю вільної установки виводів компонентів в монтажні отвори КП).

4. У полі Size and Shape вибрати форму і розміри площадки металізації КП. Можливі наступні варіанти форми:

- Round – кругла, а при вказівці різних розмірів по осях XY – овальна форма;

- Rectangular – прямокутна форма;
- Octagonal – восьмикутник.

Для нашого ТПМ КТ-13 встановлюємо овальну форму з розмірами X-Size 2,8 мм і Y-Size 2,0 мм.

5. У полі Properties введемо позначення КП (Designator) – збережемо прийнятий для схемного символу порядок позначень виводів і позначимо вивід колектора цифрою 1. Окрім цифрових, можливі буквені (Alphabetic) і змішані буквено-цифрові позначення виводів (Alphanumeric).

6. Зафіксувати сформовану КП на полі графічного редактора клацанням миші або клавішею Enter.

7. Після фіксації на екрані першої сформованої КП за курсором починає переміщатися друга. Зафіксувати другу і третю КП (виводи бази і емітера) по різні сторони від виводу колектора, по вертикалі, з кроком 2,5 мм. Позначення Designator при цьому автоматично інкрементуються.

8. Завершити установку КП клацанням правої клавіші миші або клавішею Esc. Зберегти отриманий результат командою File>>Save.

2.3.2.2 Креслення контурів корпусу компонента

1. Активізувати шар графічного редактора Top Overlay, призначений для зображення контурів компонента в проекції, що відповідає способу установки його на плату.

2. Активізувати команду головного меню Place>>Line. Клавішею Tab викликати діалог налаштування параметрів лінії. Встановити тип лінії Solid – суцільна, товщину лінії Small (0,254 мм).

3. Клавішею G активізувати налаштування сіток і вибрати активну сітку захоплення Snap Grid з кроком 0,25 мм.

4. Накреслити прямокутник розмірами 3×7,5 мм, з центром симетрії в точці розташування КП колектора (середня КП з трьох). Потім прокреслити лінію фаски з відступом на 1 мм від лівого краю контуру.

5. Поля плаваючої панелі PCB Library заповнюються інформацією про геометрію і контактні площадки сформованого ТПМ (див. рис. 2.10, б). Зберегти остаточний результат формування ТПМ компонента командою File>>Save.

2.3.2.3 Захисна маска і маска трафарету припою

В структуру контактної площадки входять дві маски – Solder Mask - маска для захисту друкарських провідників від дії вологи і перетікання припою при монтажі і Paste Mask – маска, за формою вікон в якій виконується трафарет для нанесення пасти припою перед пайкою поверхнево-монтованих (SMD) компонентів. Маски формуються на верхній і нижній сторонах плати. При налаштуванні параметрів КП є можливість вказати величину відступу країв отворів в кожній з масок від краю площадок металізації на зовнішніх шарах. Налаштування виконується в полях діалогового вікна, рис. 2.12.

1. У полі Paste Mask Expansion активізувати одну з двох опцій – Expansion Value from Rules або Specify Expansion Value. У першому випадку значення

відступу маски береться з правил, встановлених для усього проекту в конфігурації редактора друкованої плати командою Design>>Rules. У другому випадку значення відступу призначається конструктором.

2. У полі Solder Mask Expansion, аналогічно розглянутому в п. 1, виконується установка значення розширення вікон в захисній масці. Значення розширення, встановлене за замовчуванням в правилах проектування, складає 0,102 мм.

3. У полі Solder Mask Expansion може також бути вказане повне перекриття захисною маскою площадок металізації КП на зовнішніх шарах – опції Force Complete Tenting on Top і Force Complete Tenting on Bottom. Включення або відключення видимості масок управляється з діалогового вікна, що активізується командою головного меню Tools>>Layers& Colors. Для включення видимості кожної з чотирьох масок активізується опція Show. В нижній частині головного вікна програми при цьому активізується "закладка" з ім'ям відповідного шару.

4. Командою головного меню File>>Save As зберегти бібліотеку TRM.PcbLib з створеним ТПМ в дисковій пам'яті комп'ютера.

5. Для включення сформованої РСВ-бібліотеки з єдиним поки компонентом в дерево бібліотечного проекту Transistor.LibPkg клацанням правої клавіші миші на імені проекту викликати плаваюче контекстне меню і активізувати в ньому команду Add Existing to Project. Відкривається стандартний діалог пошуку бібліотечного файлу. Кнопкою Open (чи "Відкрити", залежно від локалізації ОС) знайдений бібліотечний файл включається в дерево проекту.

2.4. Приєднання моделей до схемного компонента

Приєднання моделей робить компонент придатним до застосування в наскрізному проектуванні функціональних вузлів. При приєднанні моделі в середовищі редактора бібліотеки схемних елементів (Schematic Library Editor) вона виявляється пов'язаною з компонентом, але її дані не включаються до складу схемного компонента. Це означає, що зв'язувані моделі повинні бути доступні при формуванні бібліотек і при розміщенні компонента на лист схеми. Пошук моделей для підключення до компонента відбувається в наступній черговості:

- 1) У бібліотеках, включених в дерево поточного проекту.
- 2) В РСВ-бібліотеках (але не інтегральних бібліотеках), що входять в список бібліотек, включених в робоче середовище поточного проекту функціонального вузла.
- 3) У будь-яких бібліотеках, шлях до яких визначений командою головного меню Project>>Project Options.

2.4.1. Підключення моделі посадочного місця

Вважатимемо, що топологічне посадочне місце (ТПМ) для розроблюваного нами компонента схемної бібліотеки – NPN транзистора

КТ315 сформоване і збережене в РСВ-бібліотеці ТРМ.PcbLib під ім'ям КТ-13 (назва корпусу транзистора КТ315).

1. Клацанням лівої клавiшi мишi по кнопцi Add в полі моделей плаваючої панелі SCH Library (мал.2.6, а) активізувати процедуру приєднання моделі. Відкривається діалогове вікно Add New Model (рис. 2.13), в якому слід вказати тип моделі, – Footprint.

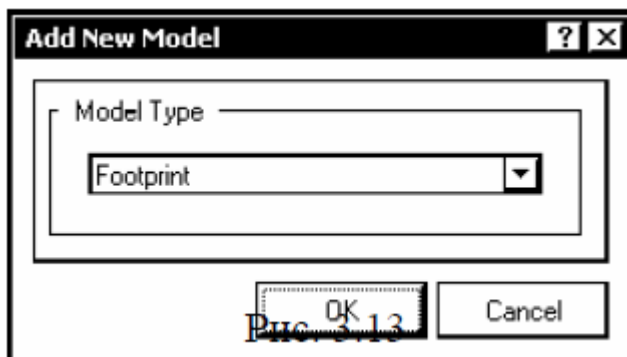


Рис. 2.13

2. При клацанні ОК відкривається діалогове вікно PCB Model (рис. 2.14) з порожнім полем. Кнопкою Browse відкрити пошук РСВ-бібліотеки, що містить топологічну модель, що нас цікавить.

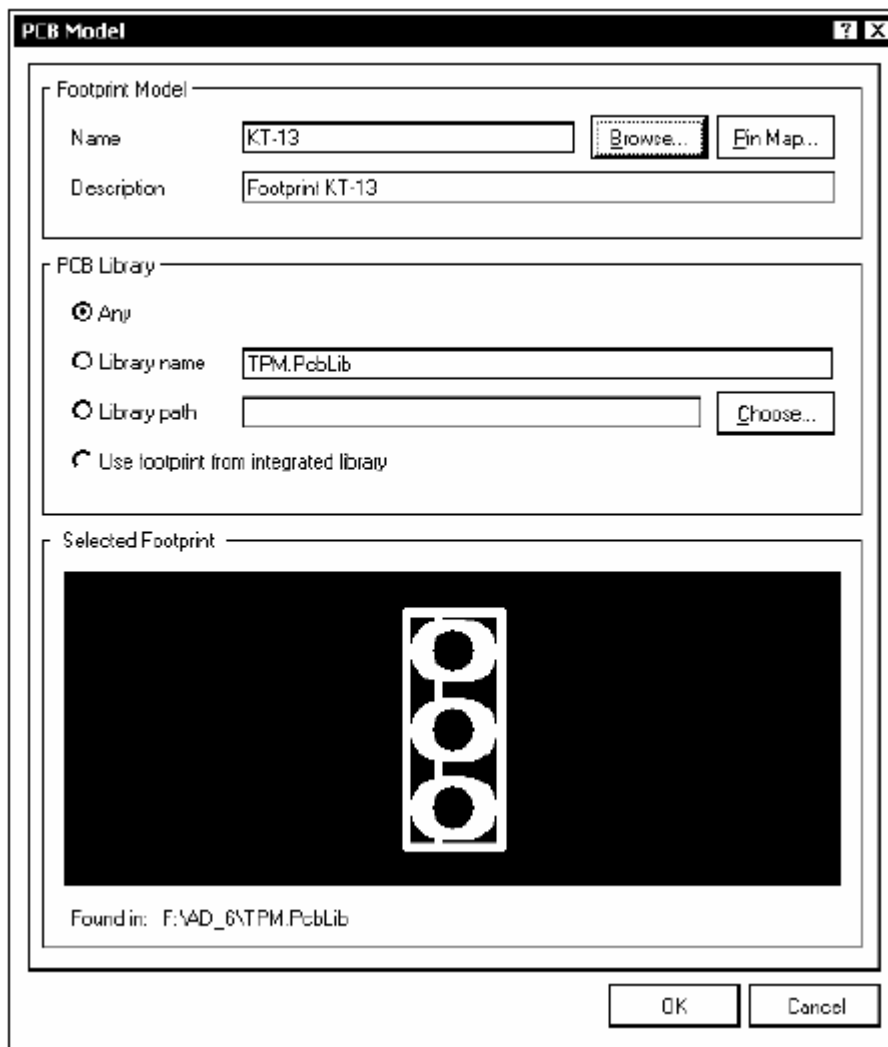


Рис. 2.14

3. Відкривається діалогове вікно перегляду бібліотек Library Browse (рис. 2.15). Оскільки бібліотека TPM.PcbLib, що містить ТПМ КТ-13 включена в дерево проекту Transistor.LibPkg, пошук відразу виявляє його. В полях вікна, рис. 2.15, відображається ім'я бібліотеки, ім'я ТПМ і його опис, а також графічне зображення контуру і контактних площадок. Кнопкою ОК вікно закривається, а дані з його полів передаються у вікно PCB Model (рис. 2.14).

4. Завершити процедуру підключення ТПМ кнопкою ОК у вікні рис. 2.13. У полі моделей плаваючої панелі Sch Library відображаються відомості про підключену модель ТПМ – його ім'я, тип і опис.

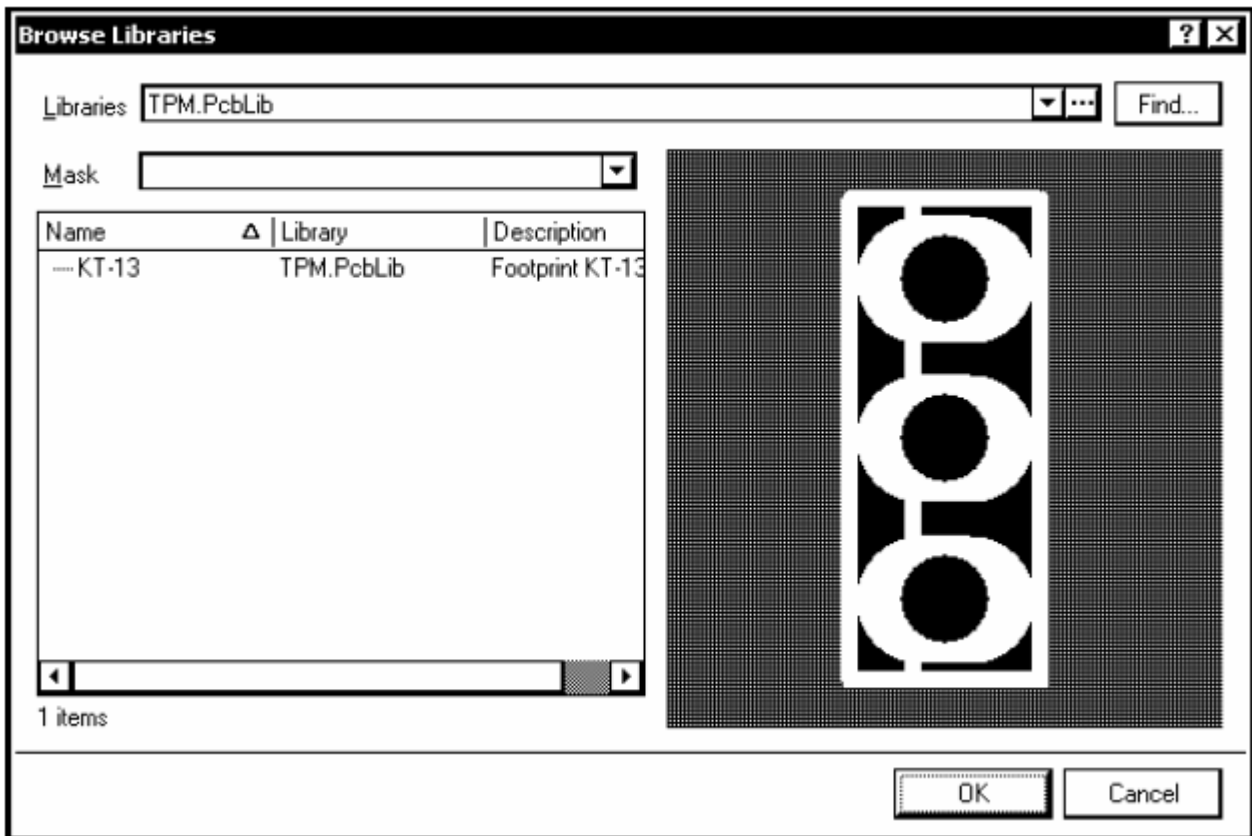


Рис. 2.15

3.4.2. Підключення SPICE-моделі

У бібліотеках Altium Designer 6 SPICE-моделі компонентів зазвичай зберігаються у складі інтегрованих бібліотек. Нас же цікавить процедура приєднання "сторонніх" моделей, спеціально розроблених для вітчизняної компонентної бази. Ці моделі є окремими текстовими файлами, складеними за правилами SPICE-технології моделювання. Вони можуть зберігатися в призначених для користувача каталогах файлової системи комп'ютера. Імена файлів моделей дискретних компонентів мають розширення *.mdl, а імена файлів макромоделей – розширення *.ckt. В цілях спрощення процедури пошуку, а також для об'єднання в подальшому, компонентів схемної бібліотеки і моделей в інтегральну бібліотеку, почнемо процедуру підключення SPICE-моделей з включення їх до складу дерева бібліотечного проекту.

1. Клацанням правої клавiшi мишi на iменi бiблiотечного проекту в плаваючiй панелi Projects викликати контекстне меню i активiзувати в ньому команду приєднання до проекту файлу SPICE-моделi. Вiдкривається стандартний дiалог пошуку файлiв в пам'ятi комп'ютера. Знайдений файл KT315A.mdl включається в дерево бiблiотечного проекту Transistor.LibPkg.

2. Кнопкою Add в полi моделей плаваючiй панелi SCH Library активiзувати процедуру пошуку i приєднання SPICE-моделi до компонента схемної бiблiотеки. У дiалоговому вiкнi Add New Model (див. рис. 2.13) вказати категорiю моделi Simulation.

3. Відкривається діалогове вікно пошуку моделі Sim Model (рис. 2.16). У полі Model Kind вибрати вид моделі – Transistor.

4. У полі Model Sub-Kind вказати різновид транзистора – в нашому випадку – BJT-біполярний транзистор.

5. У полі імені моделі, Model Name, вказати ім'я KT315A. Якщо посилання на файл моделі є присутнім в дереві проекту Transistor.LibPkg, в полях-закладках в нижній частині вікна рис. 2.15 відображаються відомості про модель, що підключається:

- Netlist Template – рядок формальних параметрів;
- Netlist Preview – зразок текстового рядка SPICE-опису транзистора в завданні на моделювання;
- Model File – текст файлу опису SPICE-моделі.

6. Клацанням ОК закінчити операцію приєднання моделі.

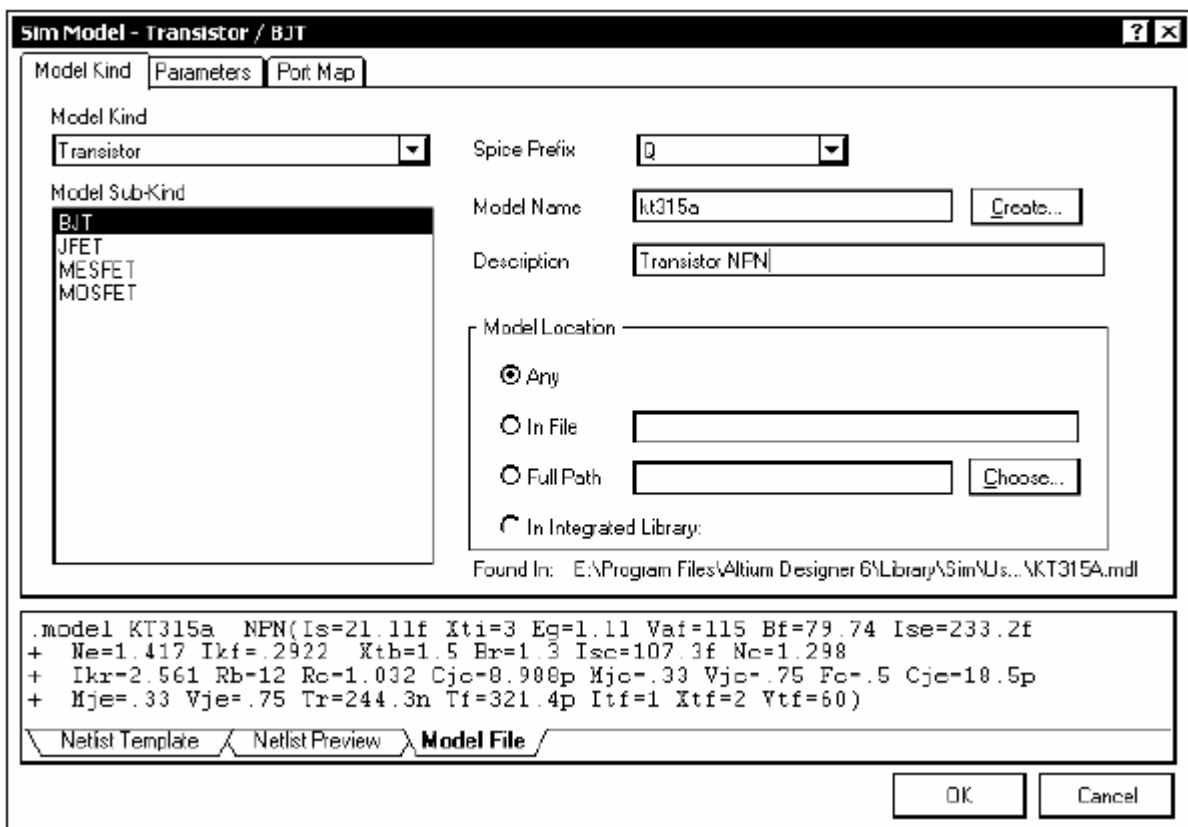


Рис. 2.16

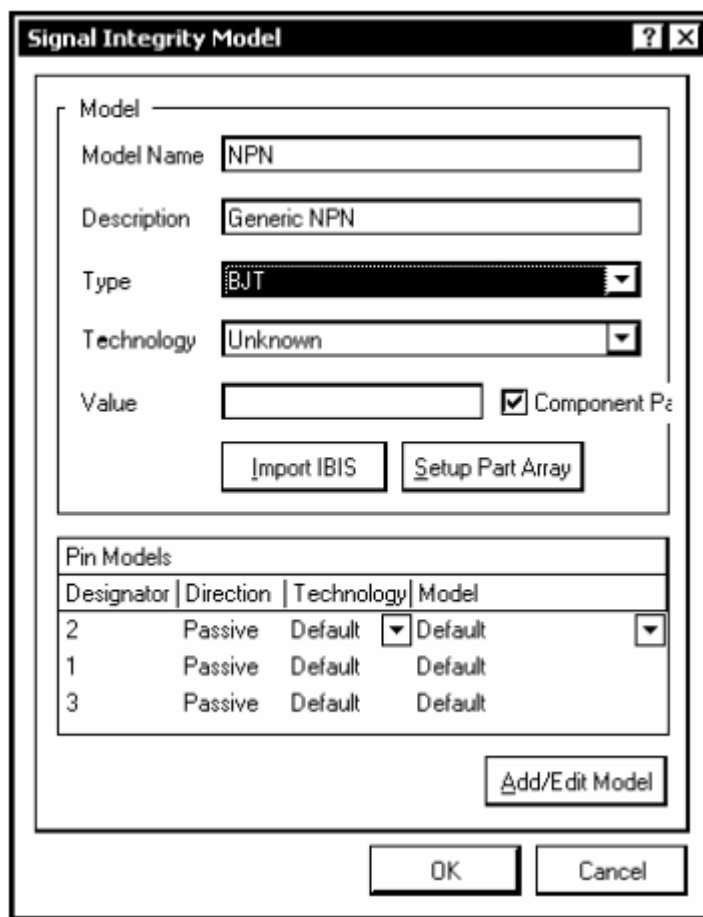


Рис. 2.17

2.4.3. Підключення моделей Signal Integrity

Для моделювання паразитних ефектів в друкарському монтажі необхідно включити в опис компонентів схемної бібліотеки моделі вхідних і вихідних буферів інтегральних мікросхем, електричних виводів інших компонентів. Модель залежить від типу, схемотехніки і технології виготовлення компонента. Зазвичай задаються значення активного вхідного/вихідного опору і вхідної/вихідної ємності. Моделі бувають зовнішні, такі, що поставляються виробниками компонентів і вбудовані, параметри яких задаються безпосередньо в середовищі редактора бібліотек. Процедура приєднання моделей Signal Integrity (SI-моделей) не відрізняється від процедури приєднання моделей ТПМ або SPICE-моделей.

1. Для приєднання SI-моделі активізувати в полі моделей плаваючого вікна SCH Library і вказати в діалоговому вікні, рис. 2.13, вид моделі – Signal Integrity. Відкривається діалогове вікно Signal Integrity Model (рис. 3.17).

2. Для підключення вбудованої моделі сформованого нами NPN транзистора (його виводів) вказати в полі Model Name ім'я NPN, в полі опису, Description, ввести опис Generic NPN, а в полі Type вибрати тип моделі BJT-біполярний транзистор.

3. Клацанням ОК закрити налаштування. Відомості про приєднану модель відображаються одночасно в полі моделей плаваючої панелі SCH Library і в

полі моделей головного вікна редактора бібліотек Schematic library Editor (рис. 2.18).

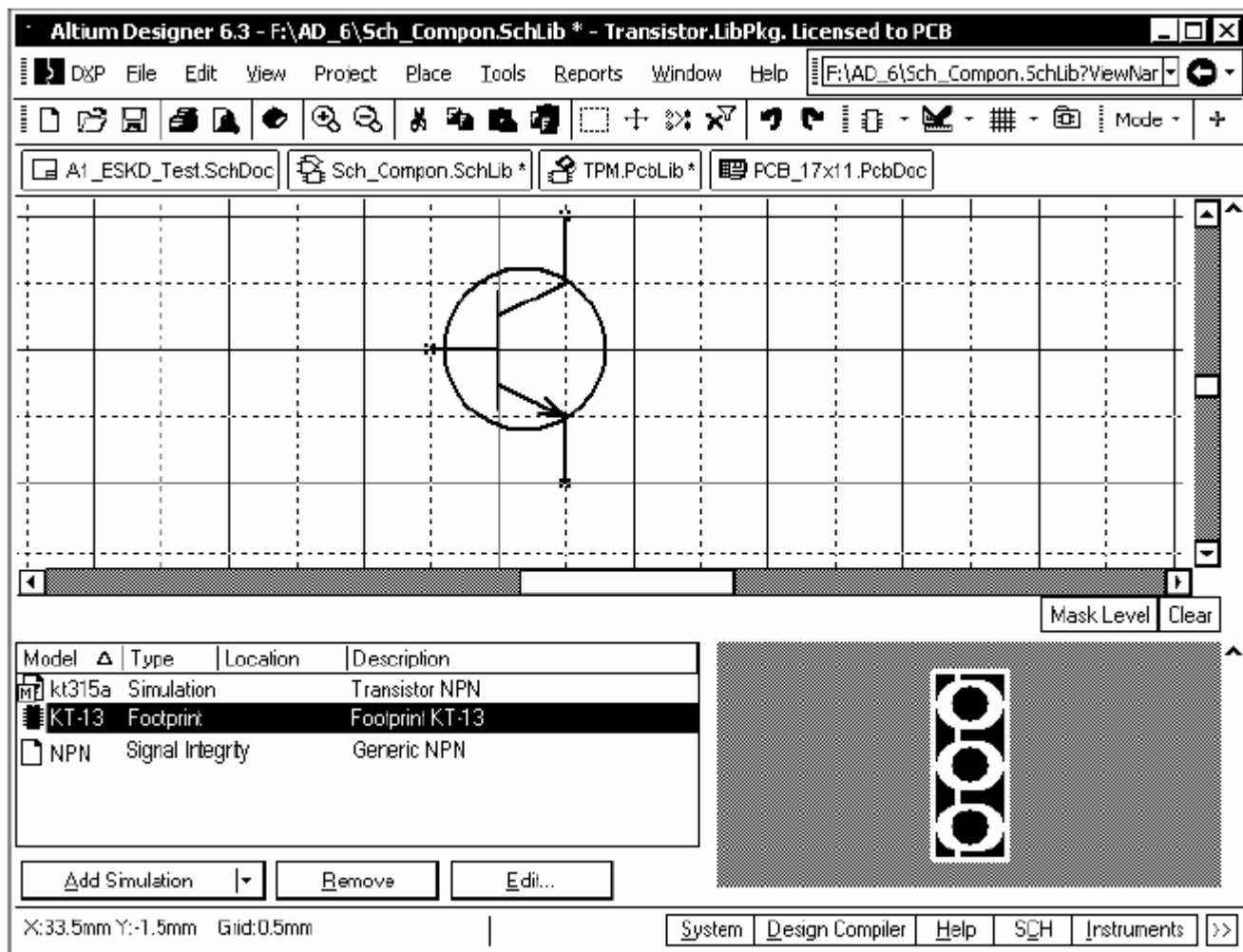


Рис. 2.18

2.5. Компіляція інтегральної бібліотеки

В результаті розглянутих процедур отримуємо бібліотечний пакет (проект), ієрархічне дерево якого об'єднує бібліотеку схемних символів, ТПМ і інші моделі компонентів. Проте, як вже говорилося, захист компонента від випадкових ушкоджень, компактність бібліотеки і найбільші зручності використання досягаються, коли складові об'єднуються в інтегральну бібліотеку. Розглянемо процедуру формування інтегральної бібліотеки на прикладі розробленої бібліотеки транзисторів (поки що всього з одним NPN транзистором)

1. Клацанням правої клавіші миші на імені бібліотечного проекту Transistor.LibPkg в плаваючій панелі Projects активізувати контекстне меню і вказати в ньому команду Compile Integrated Library Transistor.LibPkg.

2. Якщо компіляція проходить без помилок, формується інтегральна бібліотека Transistor.IntLib. Бібліотека автоматично зберігається в підкаталозі

...\Project Outputs for Transistor\Transistor.IntLib того каталогу, в якому знаходяться файли-джерела – бібліотека схемних компонентів і бібліотека ТПМ. Файли опису моделей також копіюються і компілюються в інтегральну бібліотеку. Нова інтегральна бібліотека включається до складу бібліотеки, підключеної до робочого простору Altium Designer, і її компоненти можуть надалі використовуватися в наскрізному проектуванні радіоелектронних функціональних вузлів.

2.6. Конверсія бібліотек P-CAD 200X у формат Altium Designer 6

При відмові від використання P-CAD і переході до проектування в середовищі Altium Designer необхідно забезпечити, по можливості, безболісний перехід від одного формату даних до іншого для того, щоб можна було підтримувати і розвивати раніше виконані проекти. Altium Designer надає засоби такої конверсії – Import Wizard (майстер або, дослівно – маг імпорту). Заздалегідь проекти і бібліотеки, призначені для конверсії, мають бути в середовищі P-CAD 200x перетворені з двійкового в текстовий формат ACCEL ASCII. Якщо мова йде про бібліотеки, перетворення бібліотечних наборів виконується в середовищі Library Executive.

1. Активізувати команду головного меню Library>>Translate. Відкривається однойменне діалогове вікно (рис. 2.19).

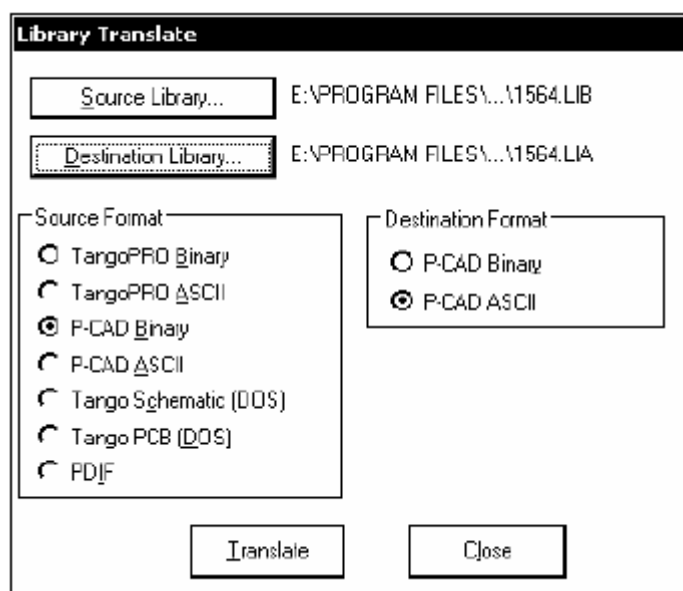


Рис. 2.19

2. У полі Source Format вибрати формат P-CAD Binary.
3. У полі Destination Format вказати текстовий формат P-CAD ASCII.
4. Клацанням по кнопці Source Library активізувати стандартну процедуру пошуку початкового бібліотечного файлу в двійковому форматі *.lib.

5. Клацанням по кнопці Destination Library активізувати діалог призначення імені конвертованого бібліотечного файлу. Ім'я файлу повинне мати розширення *.LIA.

6. Кнопкою Translate запустити перетворення. Закінчити процедуру кнопкою Close.

Наступним етапом є власне конверсія структури бібліотек P-CAD 200x у формат Altium Designer.

1. Запустити процедуру перетворення командою File>>Import Wizard. Відкривається діалогове вікно імпорту. Кнопкою Next перейти до першого кроку імпорту. У діалоговому вікні, рис. 2.20, надається можливість вибору початкового формату даних. Передбачена можливість вибору будь-якого з семи початкових форматів. Вибираємо формат даних P-CAD Design and Libraries Files і кнопкою Next переходиться до наступного кроку.

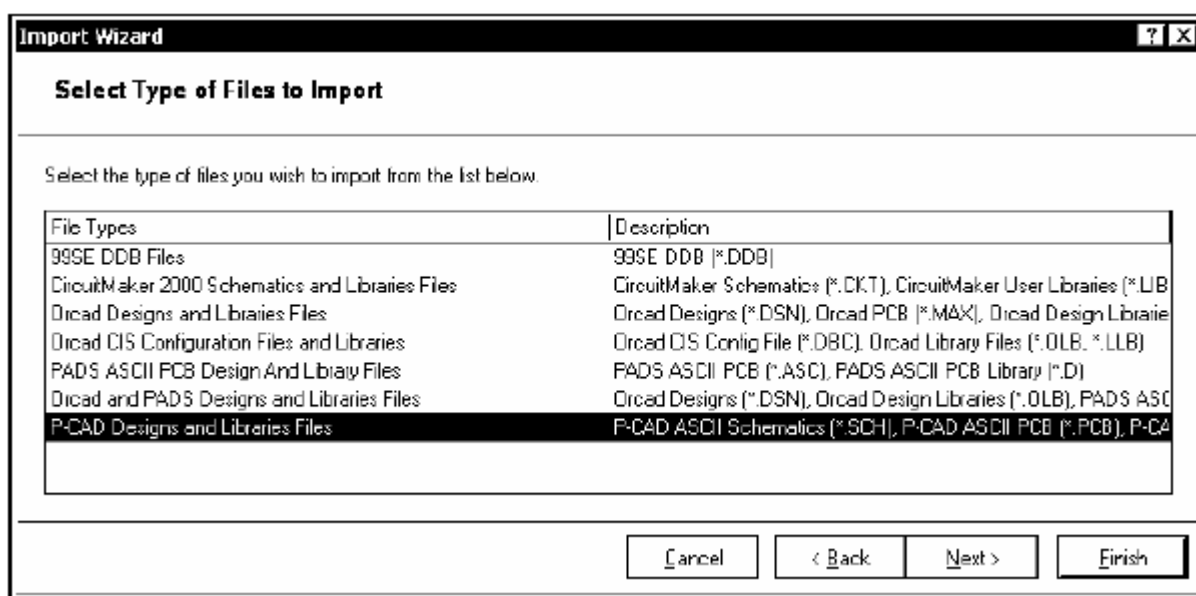


Рис. 2.20

2. На наступних двох кроках надається можливість вибору імпорту файлів проекту або бібліотек.

3. При виборі імпорту бібліотек відкривається діалогове вікно з обширним попередженням, що повідомляє про відмінність форматів бібліотек P-CAD і Altium Designer і про особливості перетворення (рис. 2.21). На відміну від P-CAD, в якому описи контактів компонента і зв'язку електричних контактів з контактними площадками посадочного місця, ознаки еквівалентності контактів і логічних секцій зосереджені в структурі "компонента", що об'єднує схемний символ (Symbol) з посадочним місцем (Pattern), при конверсії у формат Altium Designer усе ці дані передаються в структуру елемента бібліотеки схемного редактора AdvSCH. Графіка посадочного місця і опису контактних майданчиків передаються в структуру елемента бібліотеки графічного редактора друкованої плати AdvPCB.

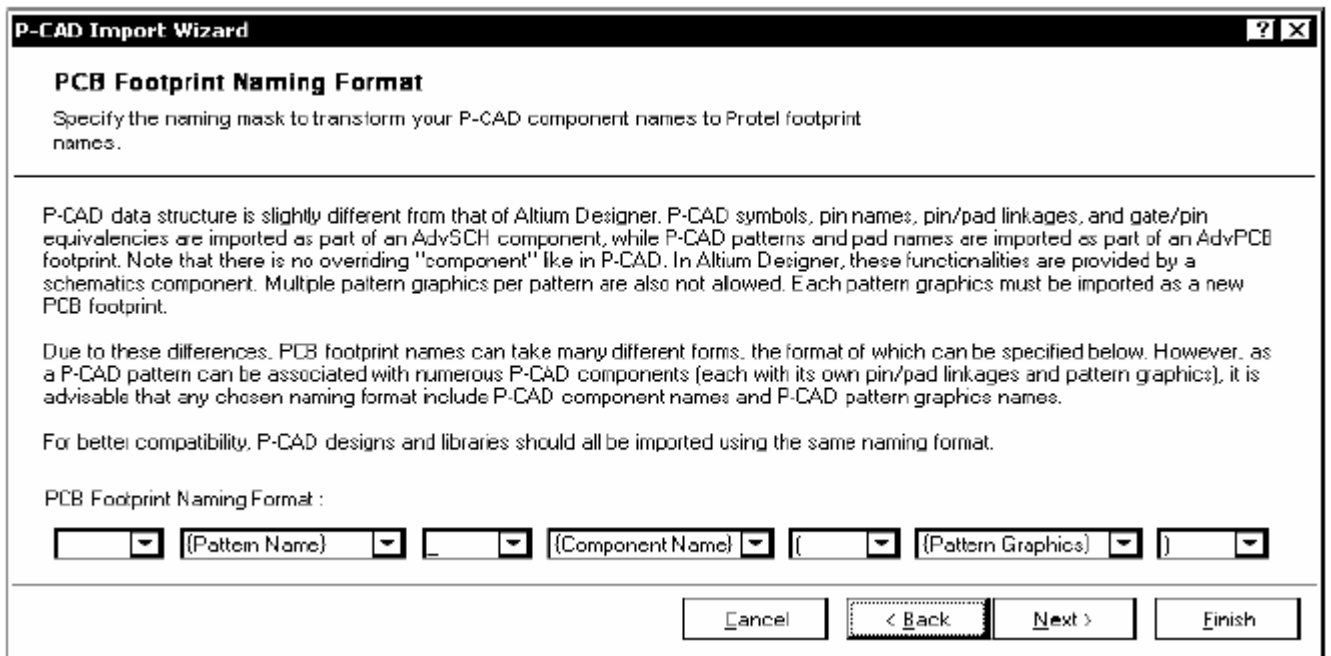


Рис. 2.21

Внаслідок цих відмінностей програма пропонує вибрати формат імені посадочного місця. Ім'я може складатися з трьох полів (див. рис. 2.21). Поля можуть бути залишені порожніми, або в них може бути внесене ім'я компонента, ім'я посадочного місця P-CAD, ім'я графіки посадочного місця (первинна і тому подібне). Може також бути вибраний роздільник полів в імені посадочного місця в Altium Designer – точка, дефіс або дужки. Вибрати формат імені ТПМ в майбутній бібліотеці Altium Designer і кнопкою Next перейти на наступний крок (рис. 2.22).

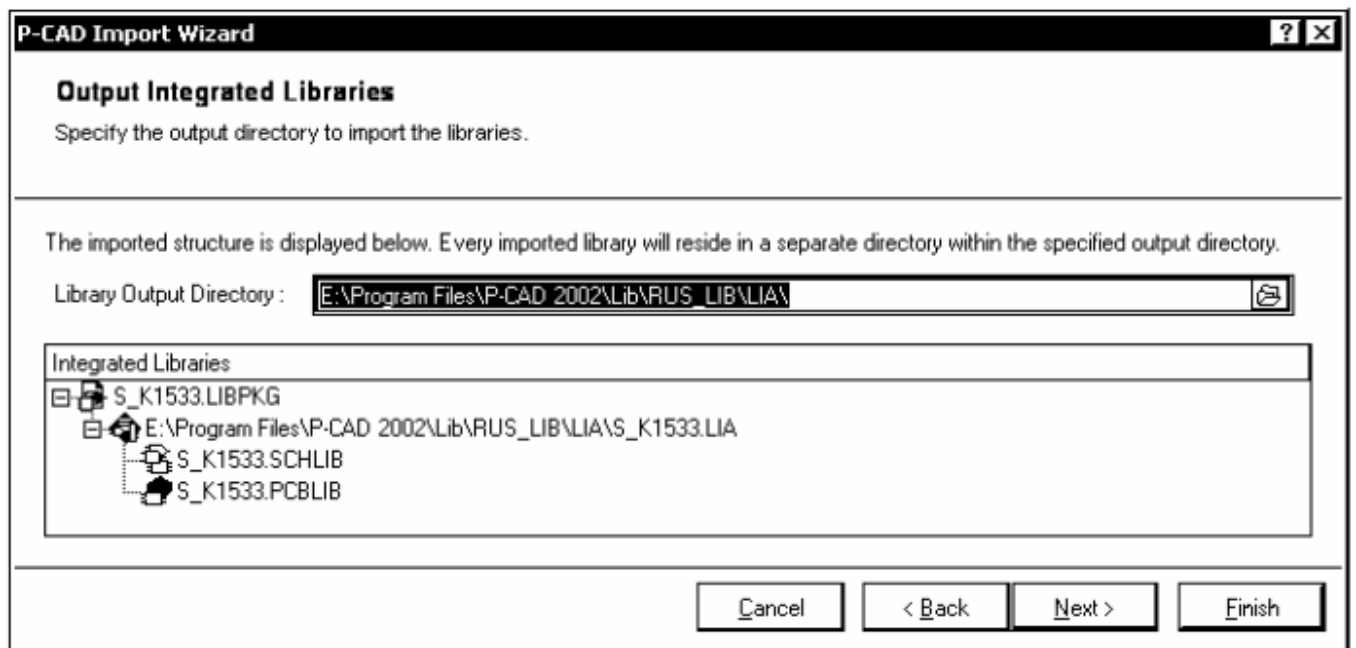


Рис. 2.22

4. На наступному кроці в діалоговому вікні, рис. 2.22, вказаний шлях і представлена структура конвертованої бібліотеки В структурі бази даних Altium Designer будується посилання на нову бібліотеку як на проект, що складається з двох компонентів, – бібліотеки схемних елементів – файл *.SCHLIB і бібліотеки посадочних місць – файл *.PCBLIB. Кнопкою Next запустити перетворення.

5. Після закінчення конверсії завершити процедуру кнопкою Finish. Конвертована бібліотека включається в середовище Altium Designer як ієрархічний проект з ім'ям початкової бібліотеки і розширенням імені *.LIBPKG. Структура дерева цього проекту відображається у вікні проектів пакету (рис. 2.23). Дерево складається з двох гілок – бібліотеки символів *.SchLib для схемного редактора і бібліотеки посадочних місць *.PcbLib для редактора друкованої плати.



Рис. 2.23

6. Клацанням правої клавіші миші на імені проекту конвертованої бібліотеки активізувати команду компіляції інтегрованої бібліотеки Compile Integrated Library. Компільована бібліотека *.IntLib приєднується до робочого середовища пакету. Автоматично активізується вікно перегляду приєднаних бібліотек. У полях перегляду представлено ім'я нової компільованої бібліотеки і склад компонентів, що входять в неї. Багатосекційні компоненти представлені у вигляді згорнутого дерева, гілки якого можуть бути розгорнуті, так що стає доступною можливість установки на полі схеми окремих секцій, за вибором.

2.7. Включення бібліотек в робоче середовище Altium Designer

Для того, щоб отримати можливість використання бібліотек схемних елементів в редакторіві електричної схеми або посадочних місць компонентів в редакторіві друкованої плати, бібліотеки мають бути включені в робоче середовище Altium Designer. Процедура включення інтегрованих бібліотек в робоче середовище програми наступна.

1. Активізувати закладку Libraries на краю робочого вікна програми або виконати послідовність команд в головному меню: View>>Workspace Panels>>System>>Libraries. Активізується плаваюча панель Libraries (рис. 2.24).

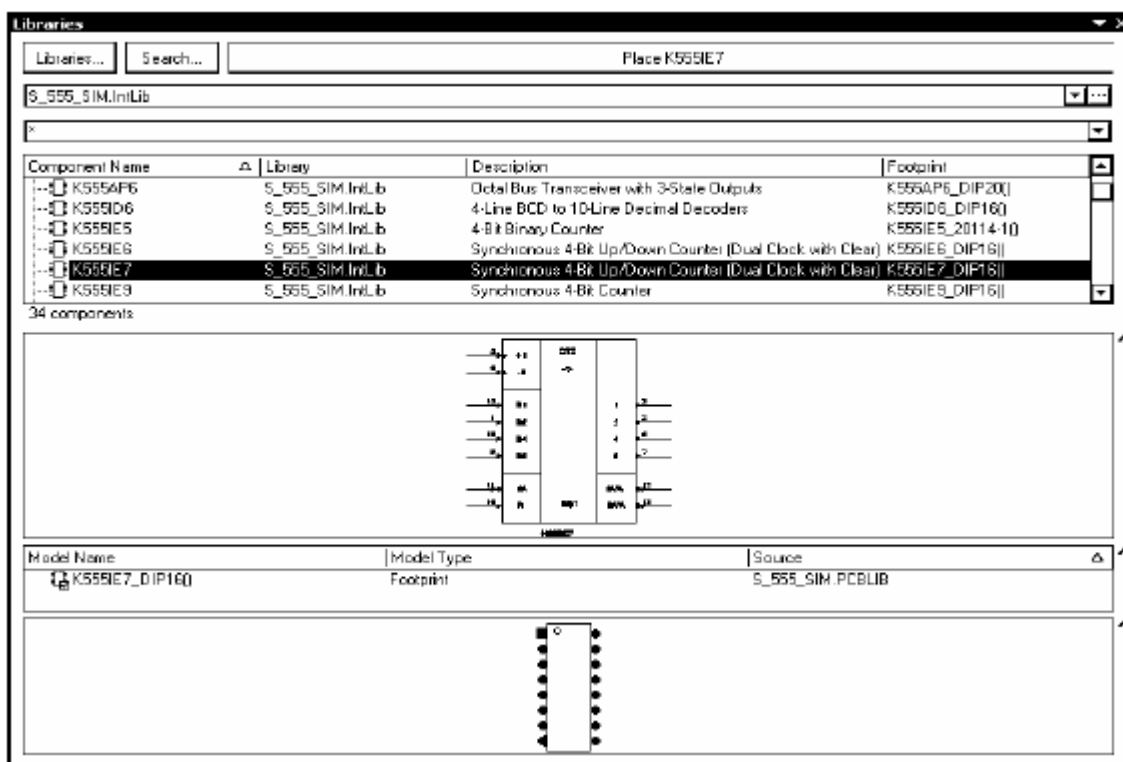


Рис. 2.24

У полях цієї панелі представлено ім'я однієї з раніше підключених бібліотек, склад її компонентів і їх короткий опис, умовно-графічне позначення схемного елементу, на який вказує курсор вибору, відомості про модель компонента: в простому випадку це ім'я топологічного посадочного місця (ТПМ) і бібліотеки, в якій ТПМ зберігається, а також його графічне зображення. Панель може розтягуватися або стискатися звичайним для вікон MS Windows способом, переміщатися по екрану і "приклеюватися" до країв робочого графічного вікна програми.

2. Для приєднання відсутніх в базі даних бібліотек клацанням по кнопці Libraries у верхній частині панелі активізувати вікно зі списком встановлених бібліотек Installed Libraries (рис. 2.25).

3. Кнопкою Install активізувати стандартний діалог пошуку бібліотек для приєднання їх до робочого середовища програми. Знайдені бібліотеки підключити клацанням кнопки Open у вікні пошуку.

4. Кнопкою Close у вікні, рис. 2.25, завершити підключення бібліотек. Якщо при цьому було відкрито вікно поточного проекту електричної схеми, вибрані символи підключених бібліотек можуть викликатися кнопкою Place<Ім'я_компонента> на полі проектованої схеми. Для виключення непотрібних в проекті бібліотек викликати, аналогічно п.2, діалогове вікно, рис. 2.25, вказати в ньому непотрібні бібліотеки і видалити їх зі списку кнопкою Remove.

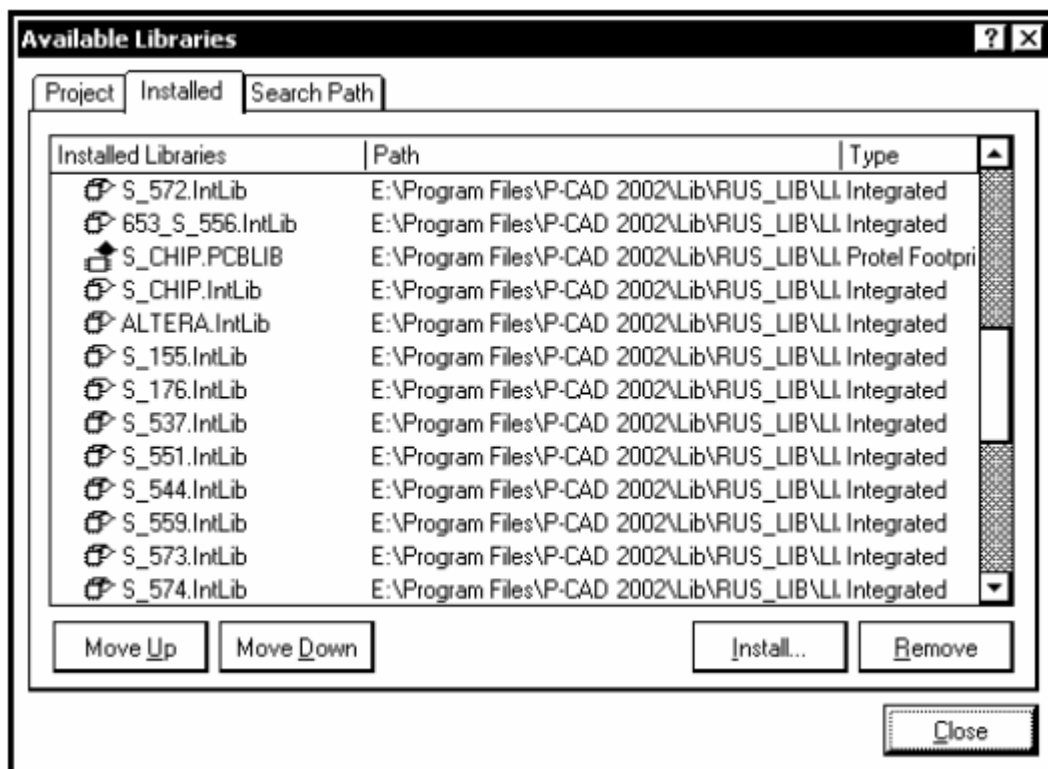


Рис. 2.25

2.8. Пошук компонентів в інтегрованих бібліотеках

Altium Designer 6 володіє ефективними засобами пошуку потрібного компонента у бібліотеках, коли шлях до нього і ім'я бібліотеки невідомі. Пошук виконується таким чином.

1. Активізувати пошук кнопкою Search в панелі Libraries (рис. 2.24). Відкривається діалогове вікно Libraries Search (Рис. 2.26).

2. У верхньому, текстовому полі вікна вказати "маску пошуку" – написати групу символів, яка напевно є частиною імені шуканого компонента. Зірочки ліворуч і праворуч від написаних символів розширюють пошук на усі імена в усіх бібліотеках, у тому числі і не підключених, частиною яких є вказана послідовність символів.

3. У полі Options вказати у випадаючому списку Search Type тип об'єктів пошуку – бібліотечні компоненти, посадочні місця, тривимірні моделі або компоненти з баз даних.

4. Кнопкою Helper (помічник) може бути активізована функція розширення маски пошуку – вказані додаткові ознаки, їх логічне поєднання, параметри і/або арифметичні операції над ними і так далі.

5. У полі Score вказати зону пошуку бібліотечного компонента:

- Available Libraries – пошук в інстальованих бібліотеках;
- Libraries on Path – пошук по заданому шляху.

В останньому випадку в полі Path вказати шлях, по якому слід шукати бібліотеки.

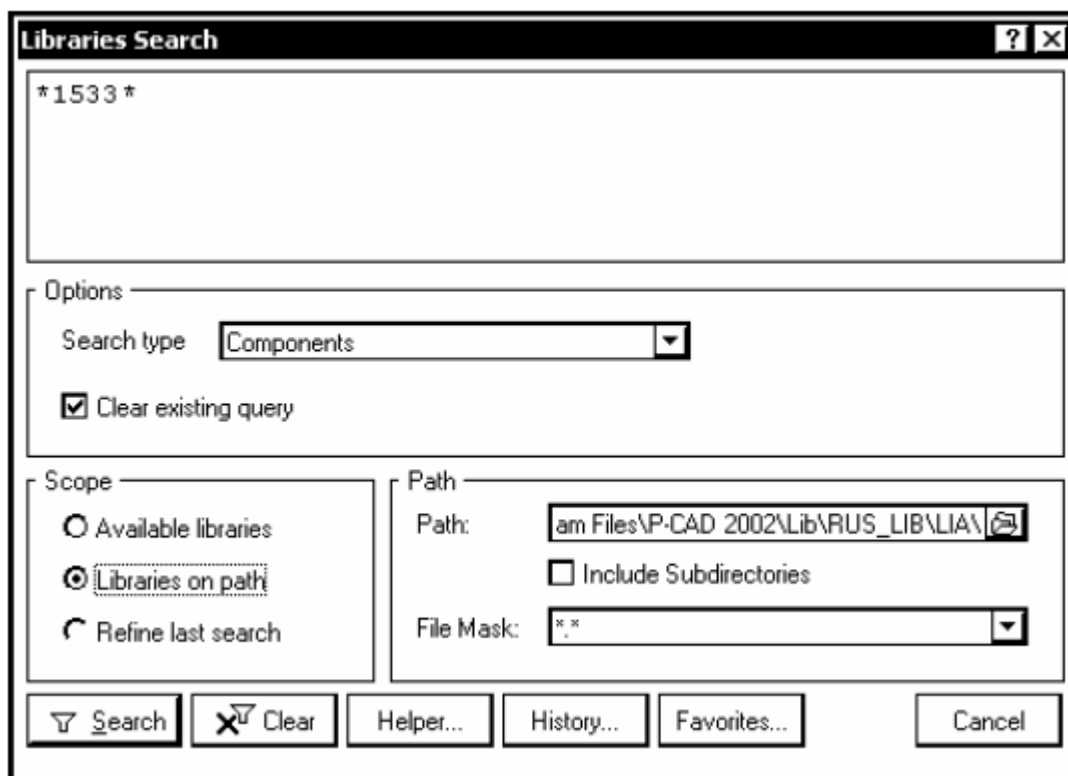


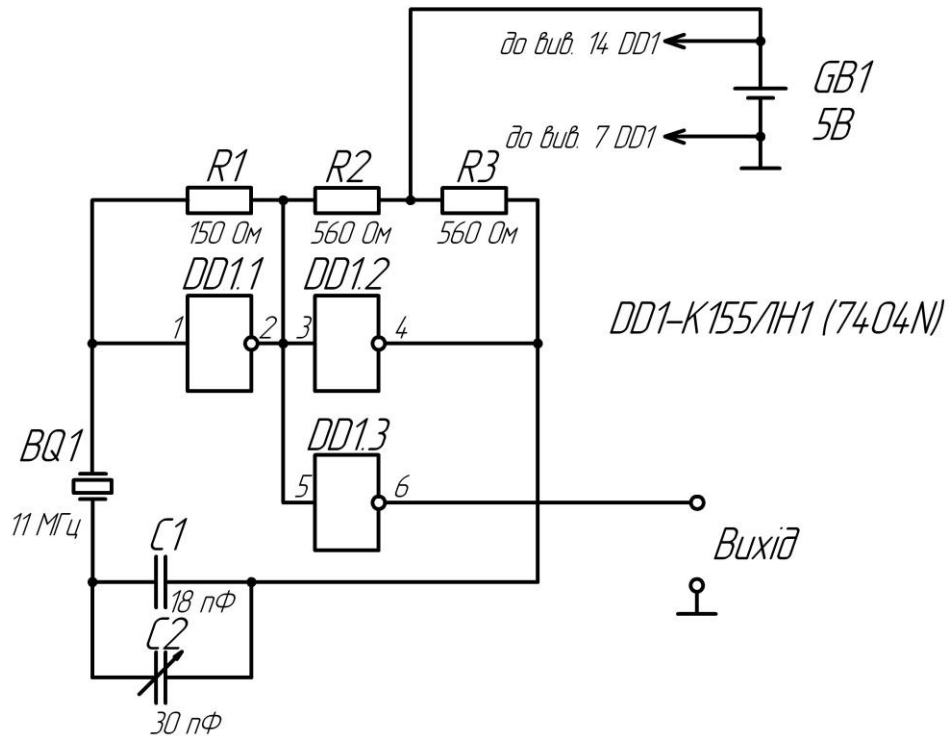
Рис. 2.26

6. Кнопкою Search почати пошук компонента. Результати пошуку відображаються в плаваючій панелі Libraries, в списку Query Results. Значки знайдених компонентів відображаються в полі перегляду. Ім'я вибраного компонента з'являється на кнопці Place в діалоговому вікні рис. 2.24. Клацанням на Place компонент, залежно від виконуваної стадії проектування, виноситься на поле графічного листа схеми або друкованої плати, де може бути зафіксована потрібна кількість його копій.

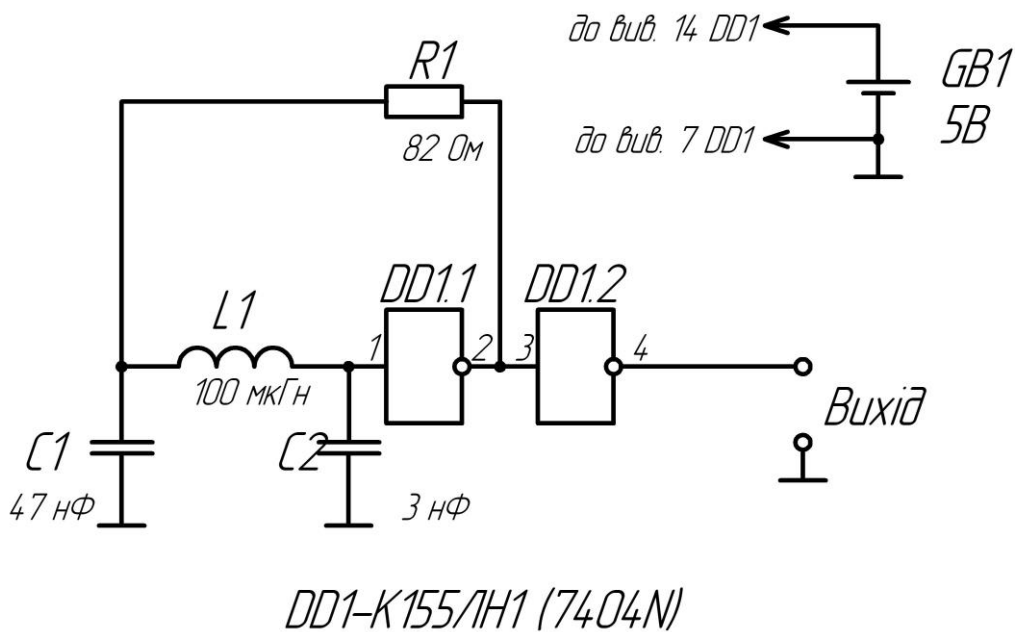
ЗАВДАННЯ НА ЛАБОРАТОРНУ РОБОТУ

Сформувати елементи схеми та створити бібліотеку на основі бази даних для заданої викладачем схеми електричної принципової:

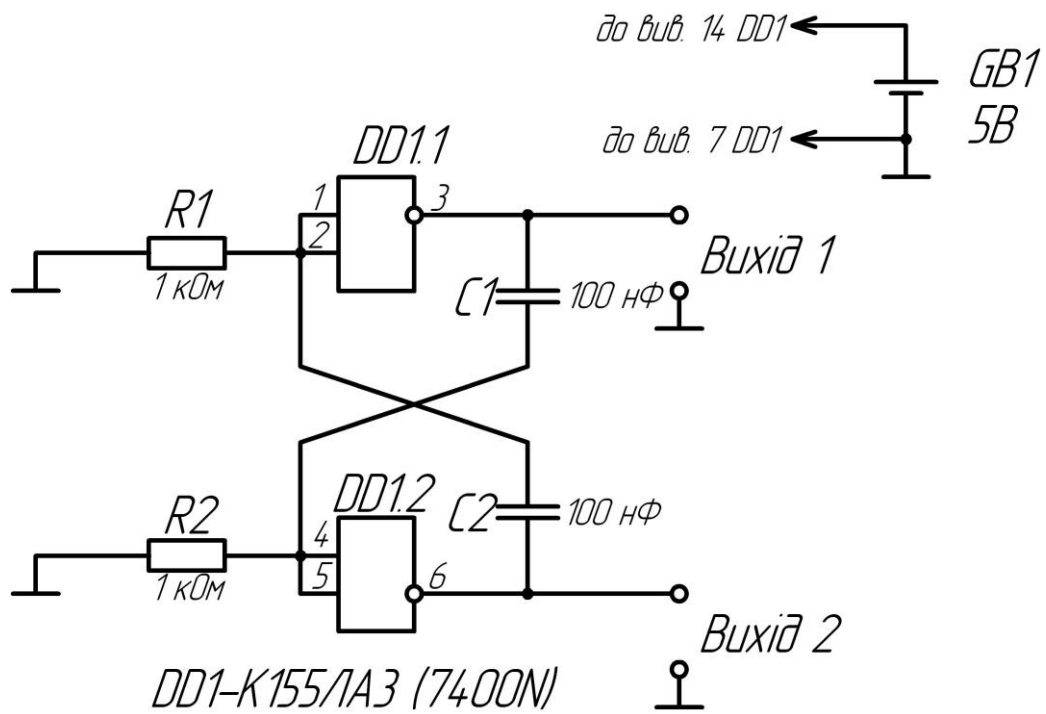
1. Автогенератор з буферним елементом.



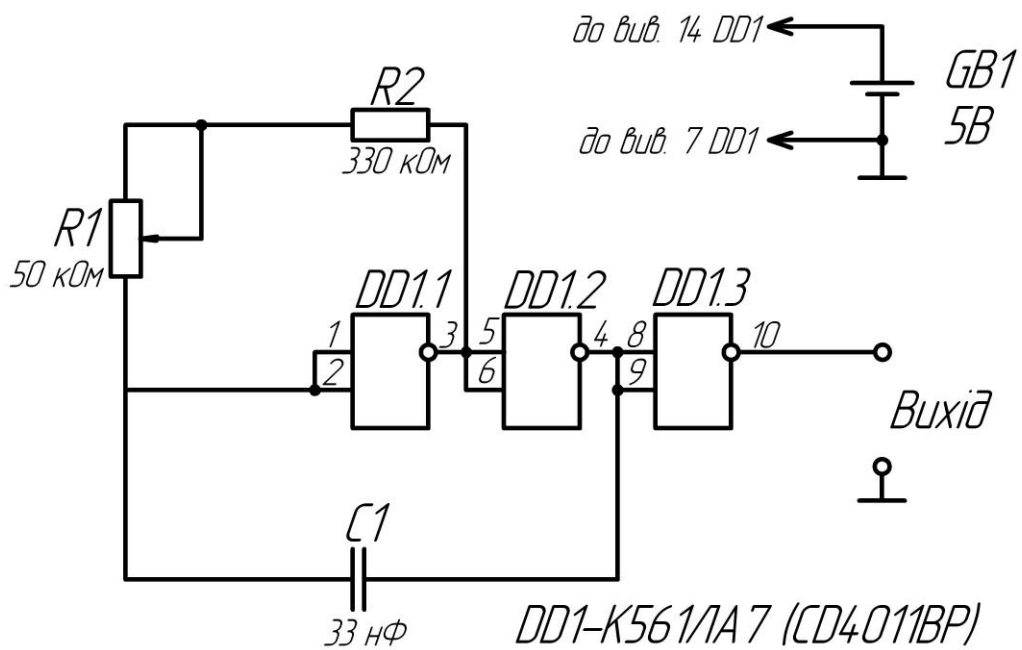
2. Автогенератор з коливальним контуром.



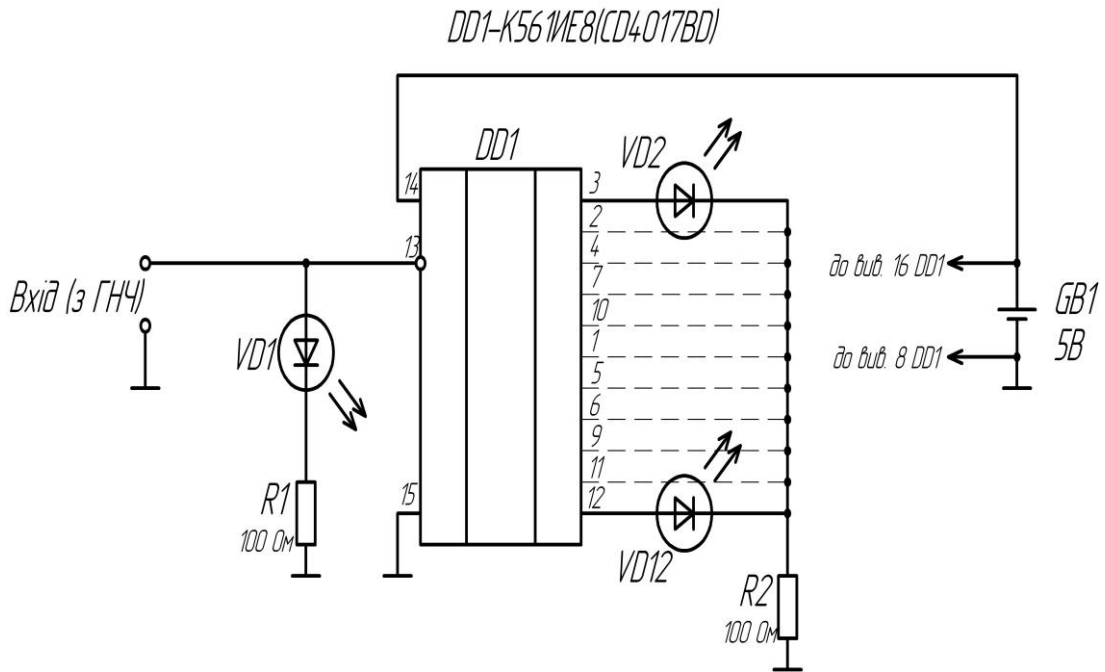
3. Автогенератор з парафазними виходами



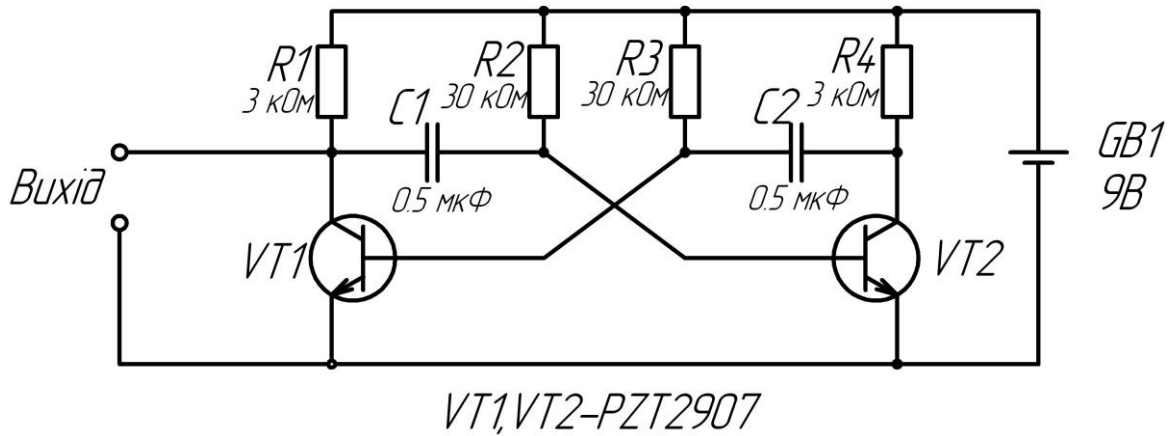
4. Автогенератор на мікросхемі К561ЛА7.



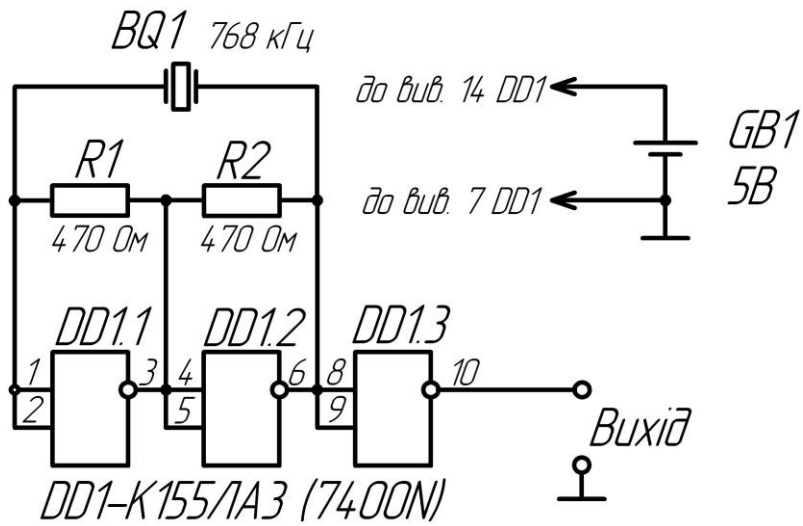
5. Біжучі вогні на лічильнику К561ІЕ8.



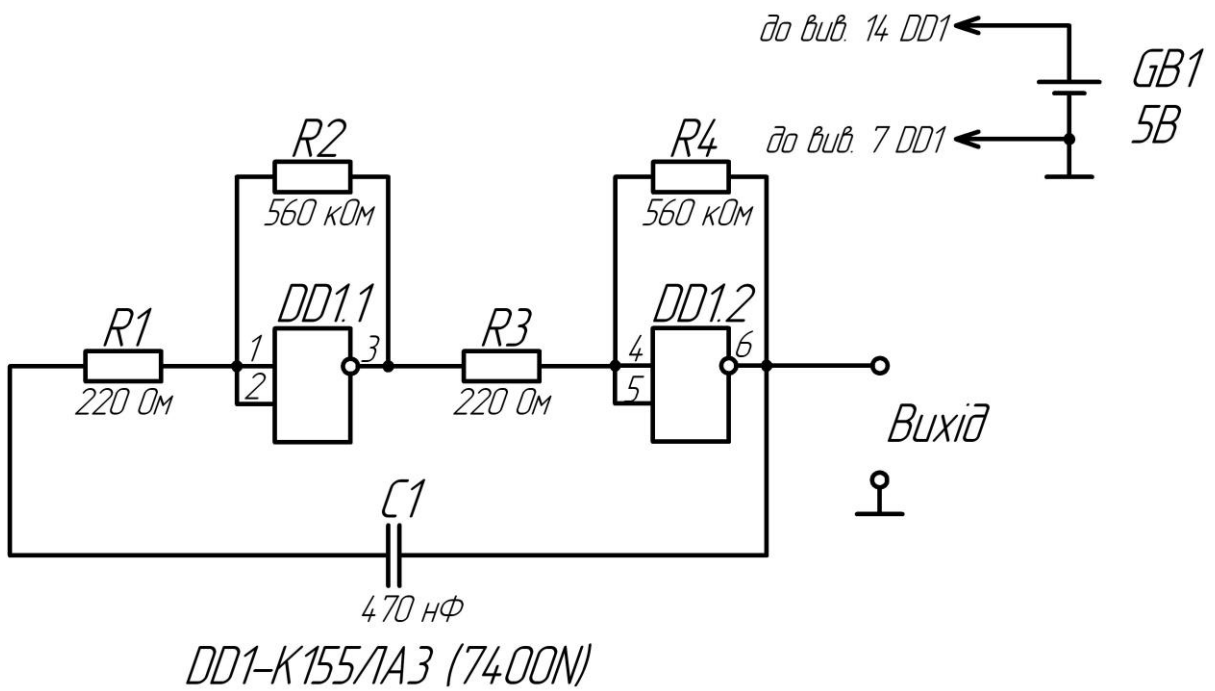
6. Мультивібратор на біполярних транзисторах



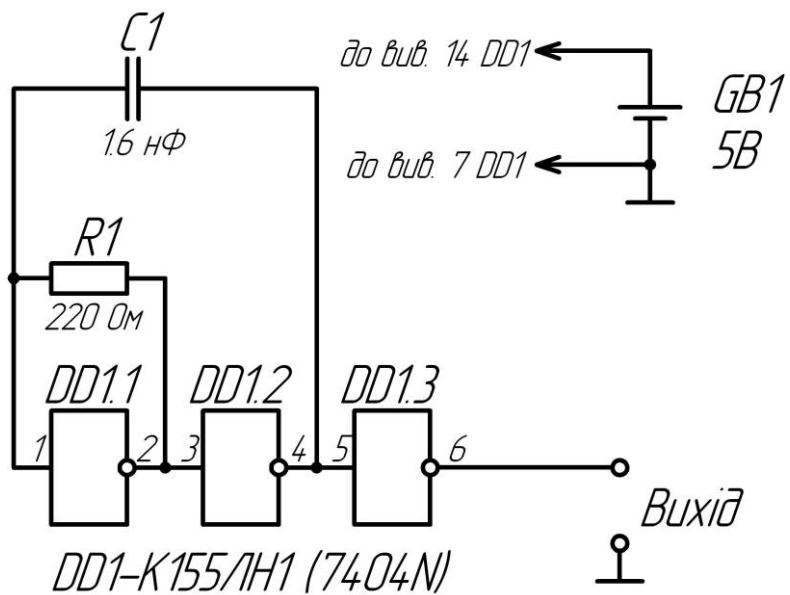
7. Генератор імпульсів на кварці



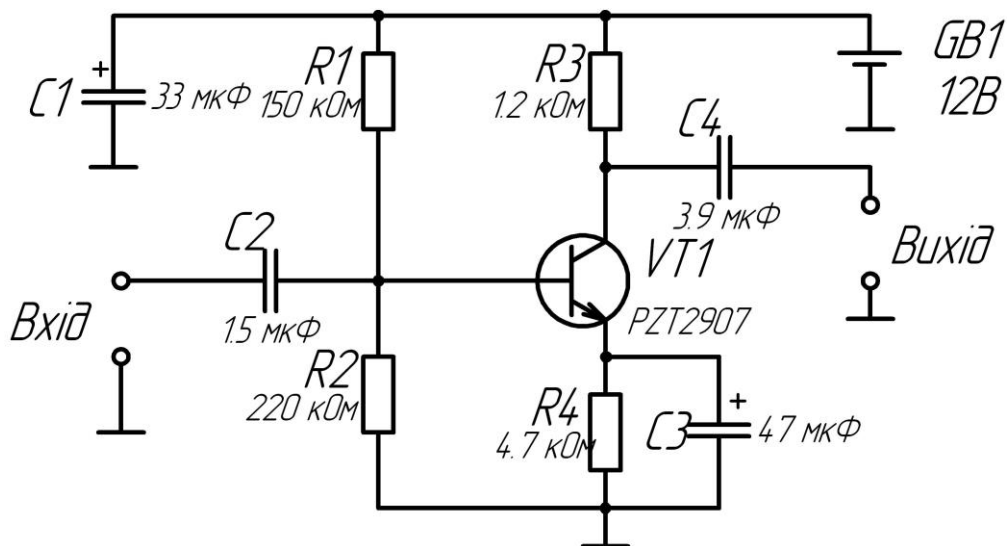
8. Мультивібратор з підвищеною стабільністю



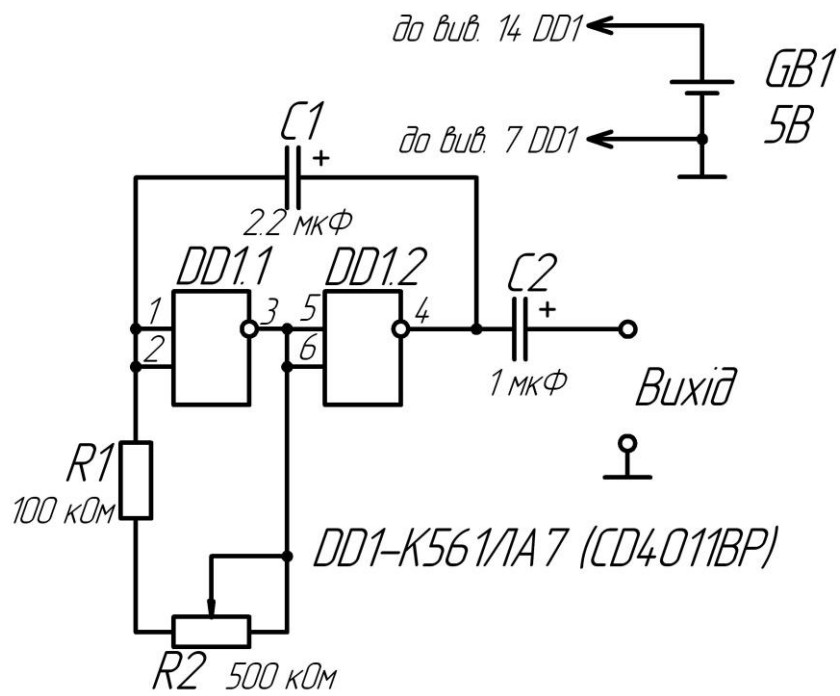
9. Найпростіший мультивібратор.



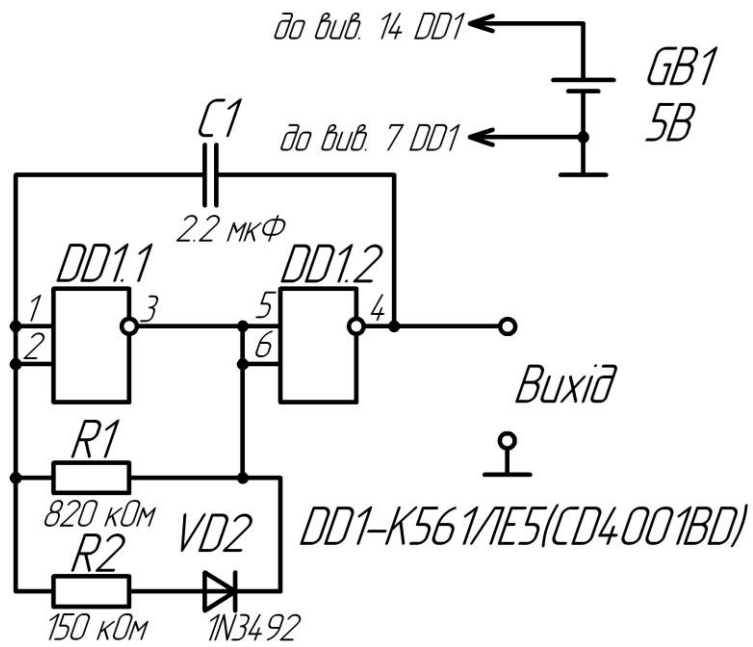
10. Підсилювальний каскад з спільним емітером



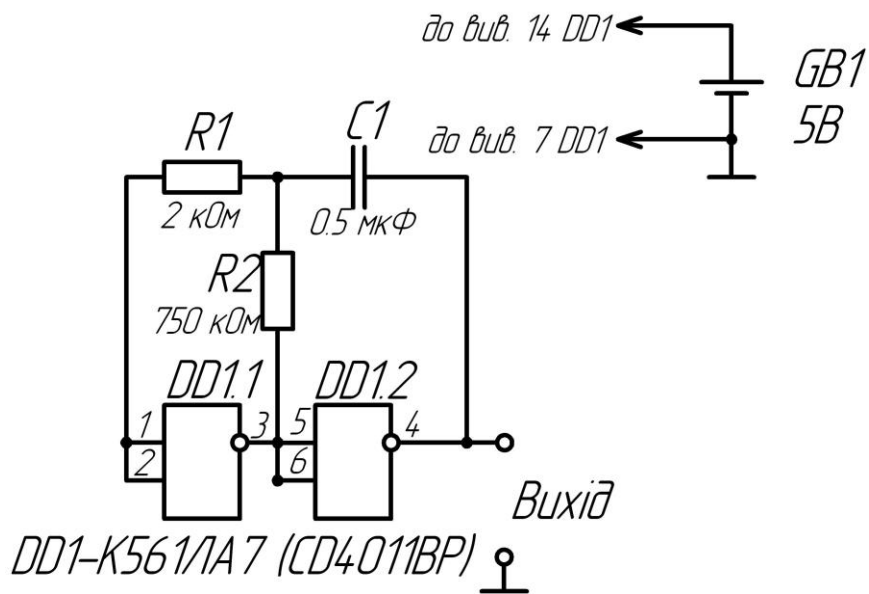
11. Генератор на логічних елементах



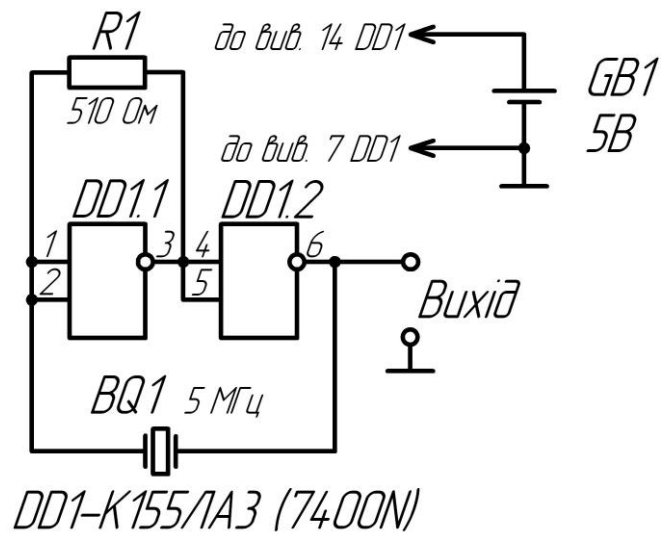
12. Генератор імпульсів на К561ЛЕ5



13. Генератор прямокутних імпульсів



14. Генератор на кварці



Лабораторна робота №3

ВИВЧЕННЯ ОСОБЛИВОСТЕЙ РОЗРОБКИ СХЕМИ ЕЛЕКТРИЧНОЇ ПРИНЦИПОВОЇ ЗАСОБАМИ ALTIUM DESIGNER

Мета роботи: навчитися розробляти, формувати та редагувати електричні принципові схеми, користуючись засобами Altium Designer.

Теоретичні відомості

Проект друкованої плати засобами Altium Designer 6 повинен містити, як мінімум, два основні документи – схему електричну принципову та інтегральний графічний образ друкованої плати. Процедура створення нового проекту передбачає включення в його логічну структуру нових документів – документ графічного редактора листа електричної схеми і документ графічного редактора друкованої плати. Вважатимемо, що розробляється фільтр нижніх частот PCB_Filter.PrjPcb і в структурі проекту утворено документ схемного редактора – лист схеми PCB_Filter.SchDoc а також лист графічного редактора друкованої плати PCB_Filter.PcbDoc. При цьому ставиться завдання оформлення документації електричної принципової схеми відповідно до ЄСКД.

3.1 Конфігурація графічного редактора схем

3.1.1 Лист схеми відповідно до ЄСКД

При створенні нового схемного документу в структурі активного проекту а також при відкритті нового вільного документу командою File>New>>Schematic в робочому просторі схемного редактора відкривається лист формату A1 одного з "західних" стандартів. Розміри листа 800×565 мм. Розміри полів і вигляд основного напису відрізняється від прийнятого в ЄСКД.

Розглянемо процедуру формування формату бланку відповідно до ДСТУ 2.301-68 та основного напису відповідно ДСТУ 2.104-2006 на прикладі листа формату A2.

Послідовність дій при формуванні стандартного листа така:

1. Активізувати команду головного меню Design>>Document Options. Відкривається діалогове вікно Document Options з трьома панелями-закладками – Sheet Options – налаштування листа, Parameters – реквізити документу і Units – система одиниць вимірювання (рис. 3.1).

2. Активізувати закладку Units і встановити метричну систему одиниць – Metric. Перейти на закладку Sheet Options.

3. У полі Options відключити видимість основного напису, що прийшов при відкритті документу, – забрати "галочку" опції Title Block; залишити видимими межі листа і позначення зон розмітки – опції Show Border і Show Reference Zones.

4. У полі Grids встановити значення кроку сітки (Snap) і видимої сітки (Visible) 1 мм.

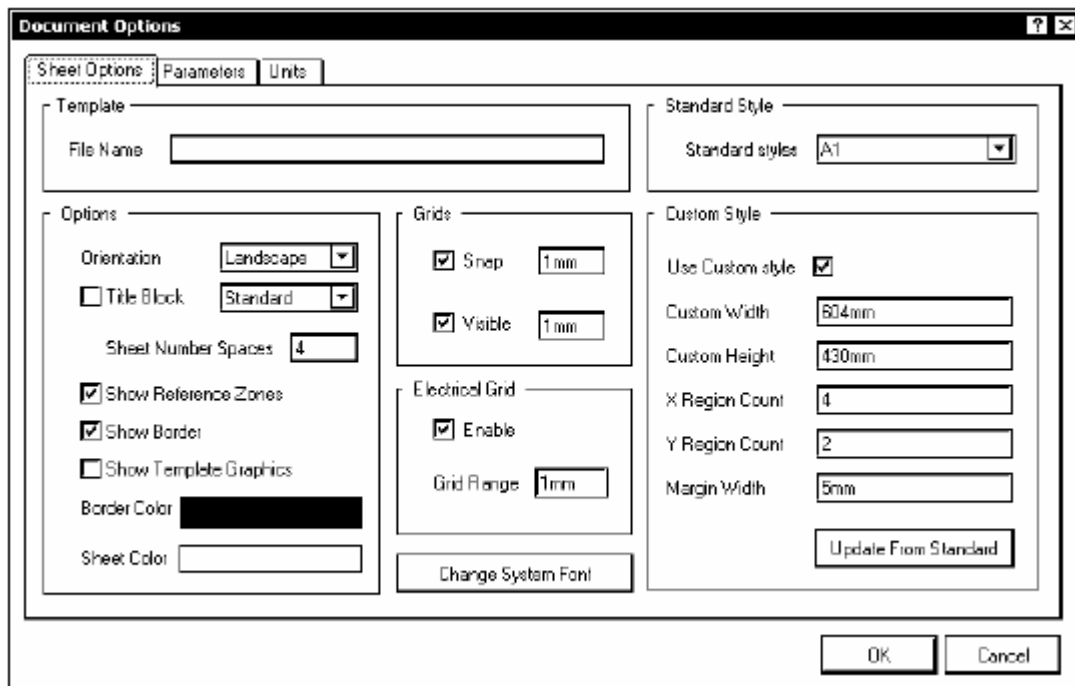


Рис. 3.1

5. Активізувати налаштування формату користувача у полі налаштувань користувача Custom Style— опція Use Custom Style і задати розміри листа по горизонталі і по вертикалі. При цьому необхідно звернути увагу на те, щоб зонна розмітка була збережена для того, щоб згодом, в схемі, була можливість перенумерації позиційних позначень. З іншого боку, якщо залишити позначення зон в межах розмірів стандартного листа 594×420 мм, то їх розташування в рамці по лівому полю листа входить в протиріччя з необхідністю розташувати в цьому полі додаткові графи основного напису. Крім того, налаштування листа дозволяє встановити єдину ширину поля по всьому периметру листа, в той час як лист відповідно до ЄСКД повинен мати ліве поле шириною 20 мм. Тому доцільним є встановлення розмірів листа такими, щоб лист лежав краями по внутрішньому краю рамки з розміткою зон. Таким чином, для листа формату A2 призначаємо розміри Custom Width і Custom Height 604×430 мм, а ширину поля, що містить зонну розмітку, – Margin Width 5 мм. Число зон розмітки по горизонталі і по вертикалі (X Region Count і Y Region Count) призначаємо, відповідно, 4 і 2. Клацанням на ОК завершити налаштування.

6. Активізувати команду креслення ліній у головному меню програми Place>>Drawing Tools>>Line. Клавішею Tab викликати діалогове вікно налаштування параметрів лінії (рис. 3.2). Вибрати товщину лінії Small і побудувати в графічному вікні схемного редактора зовнішній прямокутник розмірами 594x420 мм по внутрішній рамці зонної окантовки листа. Повторити діалог налаштування товщини лінії: вибрати товщину лінії Medium і накреслити внутрішній прямокутник з початкової точки з координатами X=25 мм, Y=10 мм, так, щоб він утворив внутрішню рамку формату A2: ліве поле шириною 20 мм; інші поля – шириною 5 мм.

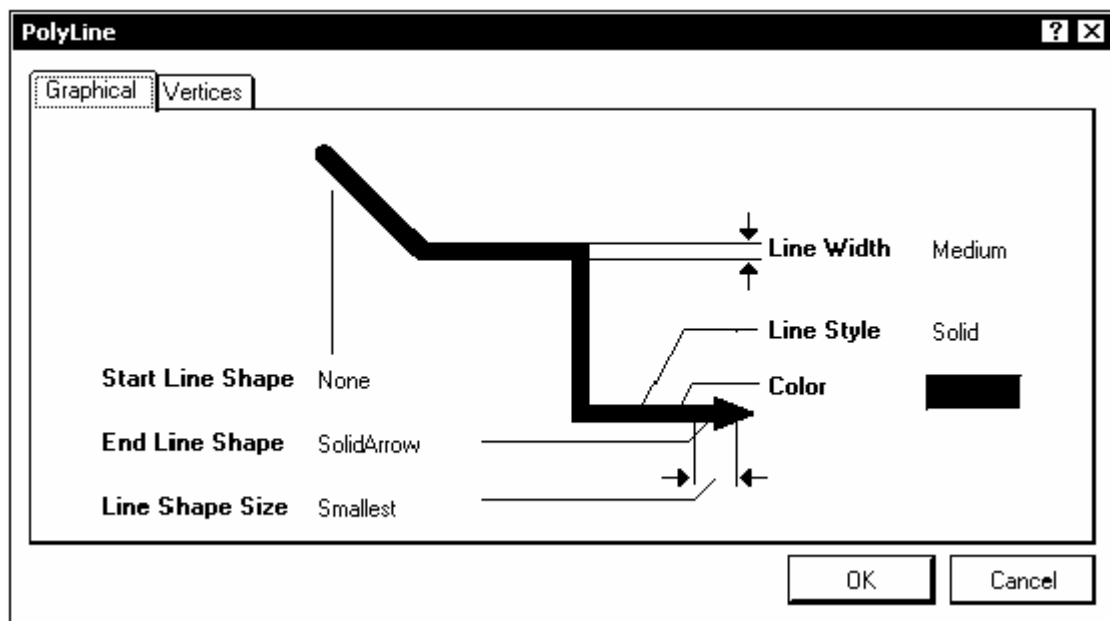


Рис. 3.2

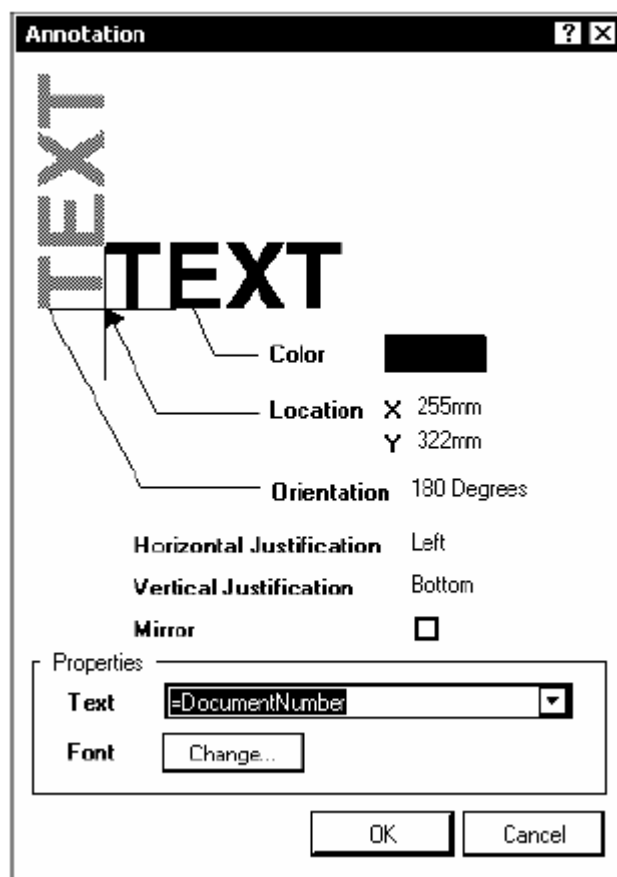


Рис. 3.3

7. Накреслити графі основного напису відповідно до ДСТУ 2.104-68 у правому нижньому кутку листа; у лівому верхньому кутку і на лівому полі накреслити додаткові графі.

8. Активізувати команду головного меню Place>>Text String і розставити шаблон "Text" в ті графі основного напису, де повинні розташовуватися незмінні написи – *Розробив, Перевірів* та ін. Після цього, по черзі, подвійним клацанням лівої клавіші миші на кожному з шаблонів "Text" викликати вікно редагування текстового рядка (рис. 3.3) і замінити слово "Text" на відповідний незмінний запис основного напису. В цьому ж вікні може бути змінена орієнтація запису, його центрування (Horizontal Justification і Vertical Justification), встановлено дзеркальне зображення (Mirror), вибраний колір символів. Крім того, при клацанні на кнопці Change може бути змінена гарнітура тексту (Font), розмір і нахил символів. Стосовно нашого завдання, слід призначити для незмінних записів гарнітуру Arial, курсив, висоту (кегель) 14 точок.

3.1.2 Реквізити документу

Створення реквізитів документу здійснюється за такою послідовністю дій:

1. Активізувати діалог налаштування параметрів документу (див. рис. 3.1) і відкрити закладку Parameters. На цій закладці відкривається список так званих реквізитів документу – записів, що відносяться до розроблюваного проекту і також розміщуваних в графах основного напису. В колонці Name – ім'я – розташовуються імена реквізитів (англійською) – "Розробив" (Author), "Перевірів" (Checked By) та ін. В колонку Value – значення – мають бути занесені імена розробника, інших осіб, наділених правом перевірки, затвердження документу, позначення документу і інші реквізити проекту. Процедура заповнення реквізитів така, що дозволяє помістити будь-який з них у будь-яке поле основного напису і навіть взагалі у будь-яке місце графічного листа. Проте, на стадії формування шаблону листа доцільно проаналізувати цей список реквізитів, підібрати в ньому відповідні за значенням англійські і додати декілька реквізитів, для яких немає відповідного еквіваленту. **Використання символів кирилиці в іменах реквізитів програма не допускає**, тому імена атрибутів, що додаються, доводиться писати латинськими буквами.

Наведемо список реквізитів для документу відповідно до ЄСКД.

- Розробив – Author – існує в початковому списку;
- Перевірів – Checked By – існує в початковому списку;
- Затвердив – Approved By – існує в початковому списку;
- Позначення за ДСТУ 2.201-80 – Drawing Number – існуючий реквізит;
- Назва виробу – Title – існуючий реквізит;
- Індекс підприємства – Company Name – існуючий реквізит;
- Лист – SheetNumber – існуючий реквізит;
- Листів – SheetTotal – існуючий реквізит.

2. Кнопкою Add активізувати діалог призначення нових реквізитів і додати до існуючого списку реквізити, необхідні для документів відповідно до ЄСКД (ДСТУ 2.104-2000):

- Технологічний контроль – ім'я TechContr;

- Нормоконтроль – ім'я NormContr;
- Тип документу (позначення виду і типу схеми за ДСТУ 2.701-84) – ім'я DocType;
- Літера – три реквізити з іменами Lit1, Lit2 Lit3.

3. Зберегти створений лист як файл шаблону (Schematic Template) з ім'ям A2_ESKD.SchDot в підкаталозі користувача...\Templates.

3.1.3 Заповнення основного напису документу

Оскільки такі реквізити схеми електричної принципової функціонального вузла, як найменування вузла, позначення документу за ДСТУ 2.201-80 (так званий децимальний номер), позначення типу схеми (запис "Схема електрична принципова"), прізвище розробника і ряд інших, привласнюються документам ще до початку розробки схеми, має сенс заповнити їх на початку роботи над проектом – відразу після того, як відкривається файл шаблону листа. При цьому необхідно здійснити такі дії:

1. Активізувати плаваючу панель Files комбінацією клавіш Ctrl+N, потім в полі New from Template вказати команду пошуку шаблонів листів схеми Schematic Templates.

2. Вибрати файл шаблону листа відповідно до ЄСКД, наприклад, A2_ESKD.SchDot і відкрити файл.

3. Відкрити контекстне меню натисканням правої клавіші миші і активізувати послідовність команд Options>>Document Parameters. Відкривається діалогове вікно Document Options (див. рис. 3.1) з активною закладкою Parameters.

4. Вибрати в списку параметрів (реквізитів документу) необхідні реквізити документу і для кожного подвійним клацанням лівої клавіші миші на порожньому полі колонки Value відкрити діалог редагування властивостей реквізиту – Parameter Properties (рис. 3.4).

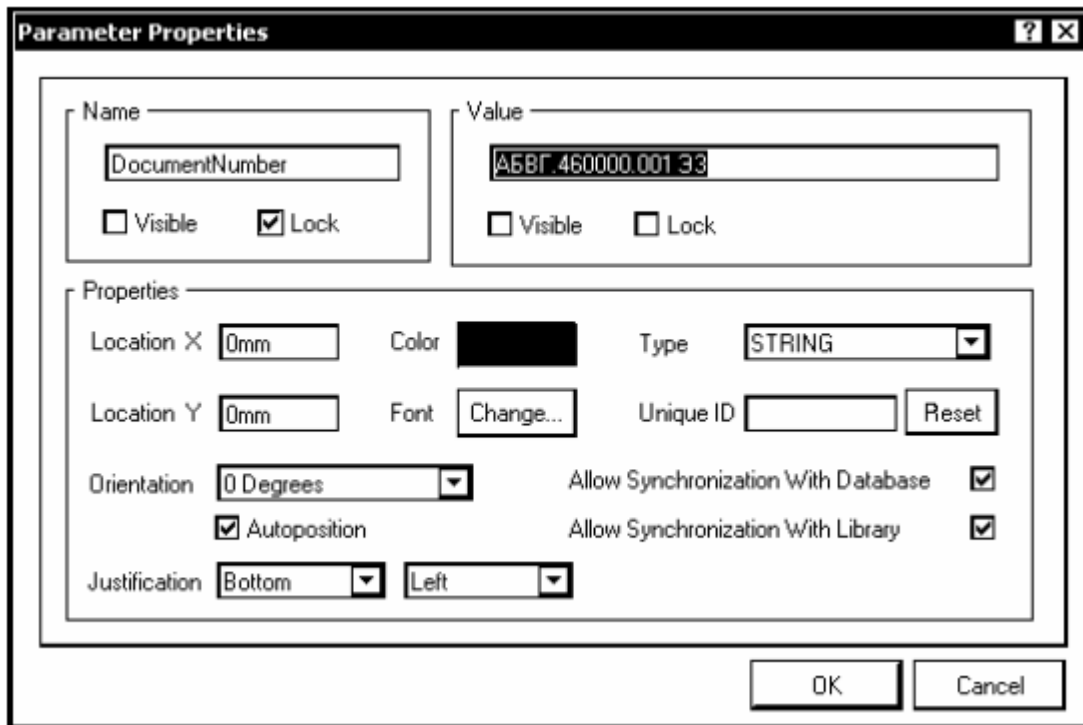


Рис. 3.4

5. У полі Value діалогового вікна вписати рядок "значення" реквізиту, наприклад, позначення документа схеми електричної принципової відповідно до ДСТУ 2.201-80 – АБВГ.467222.001 Е3. Встановити для реквізиту властивість видимості (Visible).

6. У полі Properties (властивості) може бути встановлена орієнтація напису (Orientation), її центрування (Justification), заданий колір символів (Color) і гарнітура тексту (Font>>Change).

7. Активізувати послідовність команд Options>>Schematic Preferences після того, як значення усіх реквізитів записані і діалог закритий, клацанням правої клавіші знову відкрити контекстне меню і. Відкривається діалог налаштування функцій схемного редактора – вікно Preferences.

8. У дереві функцій в лівій половині вікна рис.3.1 вибрати вітку Schematic>Graphical Editing, після чого в правій половині вікна активізувати опцію Convert Special Strings. Закрити діалог налаштування функцій (OK).

9. Активізувати команду Place>>Text String і натисненням клавіші Tab викликати діалогове вікно редагування текстового рядка (див. рис. 3.3).

10. У полі Properties вікна редагування тексту клацанням миші розгорнути випадаючий список в рядку Text (рис. 3.5). У списку представлені "спеціальні рядки" – імена реквізитів з поля параметрів документа із знаком рівності перед ними.

11. Вказати курсором рядок =DocumentNumber і закрити діалог натиснувши ОК. На полі графічного листа появляється і переміщається разом з курсором миші рядок з позначенням документа, в нашому випадку, це АБВГ.467222.001 Е3. Помістити цей рядок в 1-у графу основного напису документа і зафіксувати клацанням миші.

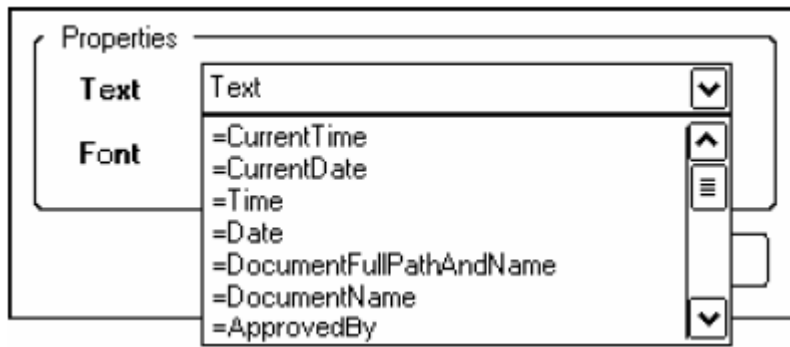


Рис. 3.5

Аналогічним чином перенести інші реквізити документу з списку параметрів в графі основного напису. Відмітимо, що при вказівці рядка =DocumentName на поле креслення виводиться ім'я файлу схеми або шаблону, незалежно від того, який запис було поміщено в поле Value списку реквізитів в діалоговому вікні налаштування параметрів документу. Це дає можливість помістити ім'я файлу документу в одну з вільних або додаткових граф основного напису, як це вимагається відповідно до ДСТУ 2.104-2006, в який включені норми, що стосуються відомостей про електронний документ, на підставі якого випускається "тверда копія" (креслення). В результаті розглянутої процедури ми отримуємо чистий аркуш схеми електричної принципової функціонального вузла, що розробляється, стандартного формату А2 за ДСТУ 2.301-68, із заповненими графами основного напису за ДСТУ 2.104-2006, готовий до складання і редагування схеми. Збережемо підготовлений таким чином лист схемного документу як вільний документ з ім'ям PCB_Filter.SchDoc.

3.2 Розміщення об'єктів на полі креслення

Altium Designer 6 ділить об'єкти, що знаходяться на полі електричної схеми, на графічні і електричні. До графічних об'єктів відносяться:

- лінія (Line);
- дуга, еліптична дуга (Arc, Elliptical Arc);
- еліпс, зокрема, коло (Ellipse);
- сплайн-крива (Bezier);
- прямокутник, округлений прямокутник (Rectangle, Rounded Rectangle);
- багатокутник (Polygon);
- секторна діаграма (Pie Chart);
- графік (Graphic).

Для розміщення графічних об'єктів використовується команда головного меню Place>>Drawing Tools, з відповідними підкомандами. Аналогічний результат досягається при активізації клацанням правої клав'яші миші

контекстного меню і вказанням в ньому тієї ж команди Place>>Drawing Tools з її підкомандами. Для розміщення графічних об'єктів може також бути активізована відповідна кнопка-піктограма в плаваючому меню Utilities>>Utility Tools.

До електричних об'єктів відносяться:

- схемні компоненти (Schematic Component) з їх електричними виводами;
- лінії електричного зв'язку (Wire – провідник);
- лінії групового зв'язку (Bus);
- ідентифікатори ланок (Net Identifiers).

3.2.1 Розміщення схемних символів

1. Для розміщення схемного символу активізувати команду Place>>Part головного меню або спливаючого по клацанню правої клавіші миші контекстного меню. Відкривається діалогове вікно Place Part (рис. 3.6) з інформацією про компонент, який пропонує програма. Це компонент, що вводився останнім.

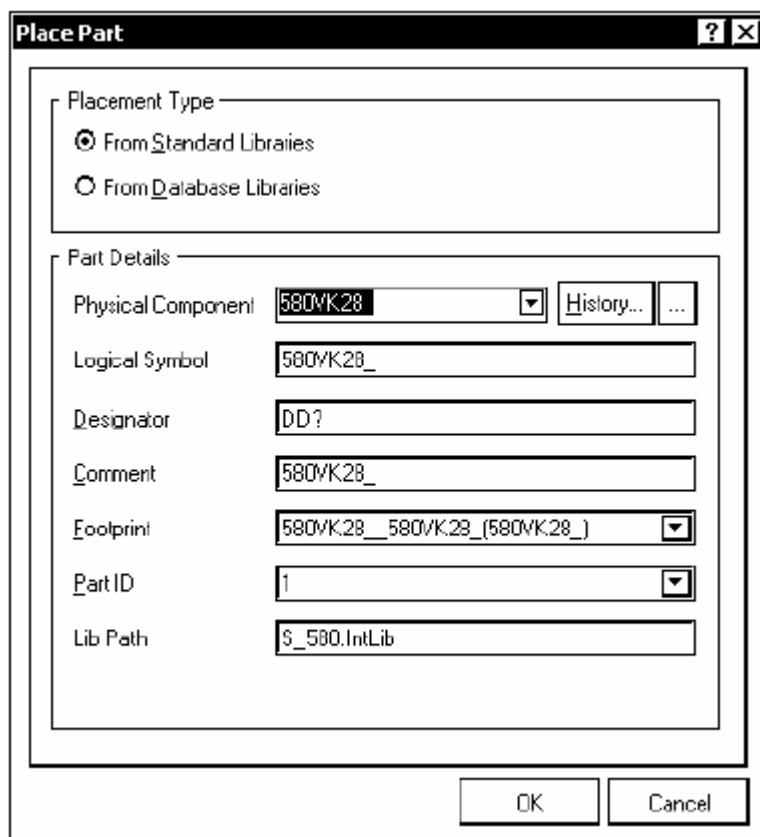


Рис. 3.6

2. У полі Placement Type вказати зону пошуку компонента:

- From Standard Libraries – в стандартних бібліотеках (інстальованих в робоче середовище Altium Designer 6);
- From Database Libraries – у бібліотеках баз даних.

3. У полі Part Details відображаються відомості про компонент:

- Physical Component – ім'я (тип) "фізичного" компонента;
- Logical Symbol – ім'я логічного символу (може відрізнитися від імені компонента, особливо у багатосекційних і гетерогенних);
- Designator – позиційне позначення – префікс за ДСТУ 2.710-81 або за іншим стандартом, а також знак питання "?" – для порядкового номера, що встановлюється в схемі;
- Comment – текстовий коментар;
- Footprint – ім'я посадочного місця;
- Part ID – позначення секції (для багатосекційних);
- Lib Path – шлях до бібліотеки.

Зазначимо, що редагування тексту в усіх цих полях не передається компоненту – для цього є окрема операція, про яку буде сказано далі.

4. Кнопкою History активізується діалогове вікно Placed Parts History (рис. 3.7) – зі списком компонентів, що раніше викликалися. Вказанням компонента в списку можна викликати його повторну установку в схему.

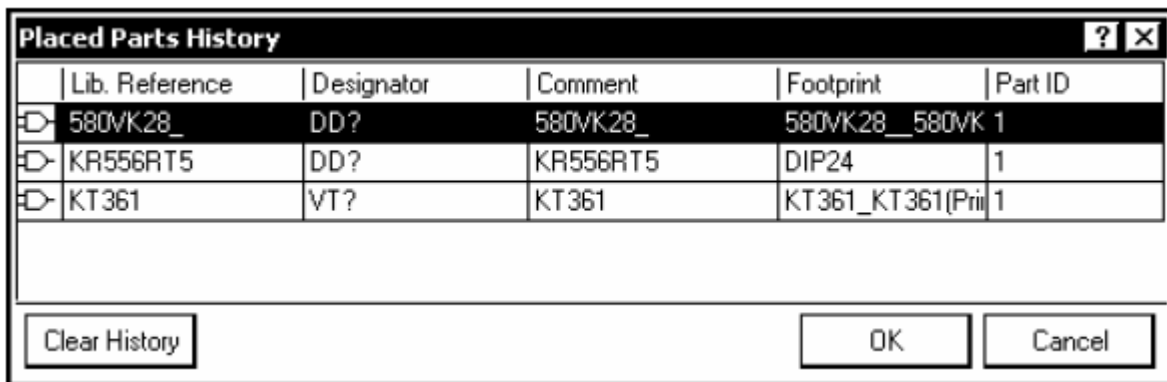




Рис. 3.7

5. Для пошуку нових компонентів кнопкою  активізувати пошук бібліотек, в яких зберігається потрібний компонент. Відкривається діалогове вікно Browse Libraries (рис.3.8).

- В полі Libraries відкривається вікно зі списком інсталюваних бібліотек.
- Кнопкою  активізувати знайоме нам вікно, що дозволяє включити необхідні бібліотеки в робоче середовище програми або виключити непотрібні.
- Кнопкою Find активізувати діалогове вікно пошуку компонента по масці.
- В полі Component Name відображається дерево структури вибраної бібліотеки.
- В полі Model Name відображається дерево моделей вибраного компонента (ТІМ, SPICE-модель та ін.).

- В полях попереднього перегляду відображається УГП схемного компонента і його посадочне місце (ТМП).
6. Завершити вибір компонента кнопкою ОК.

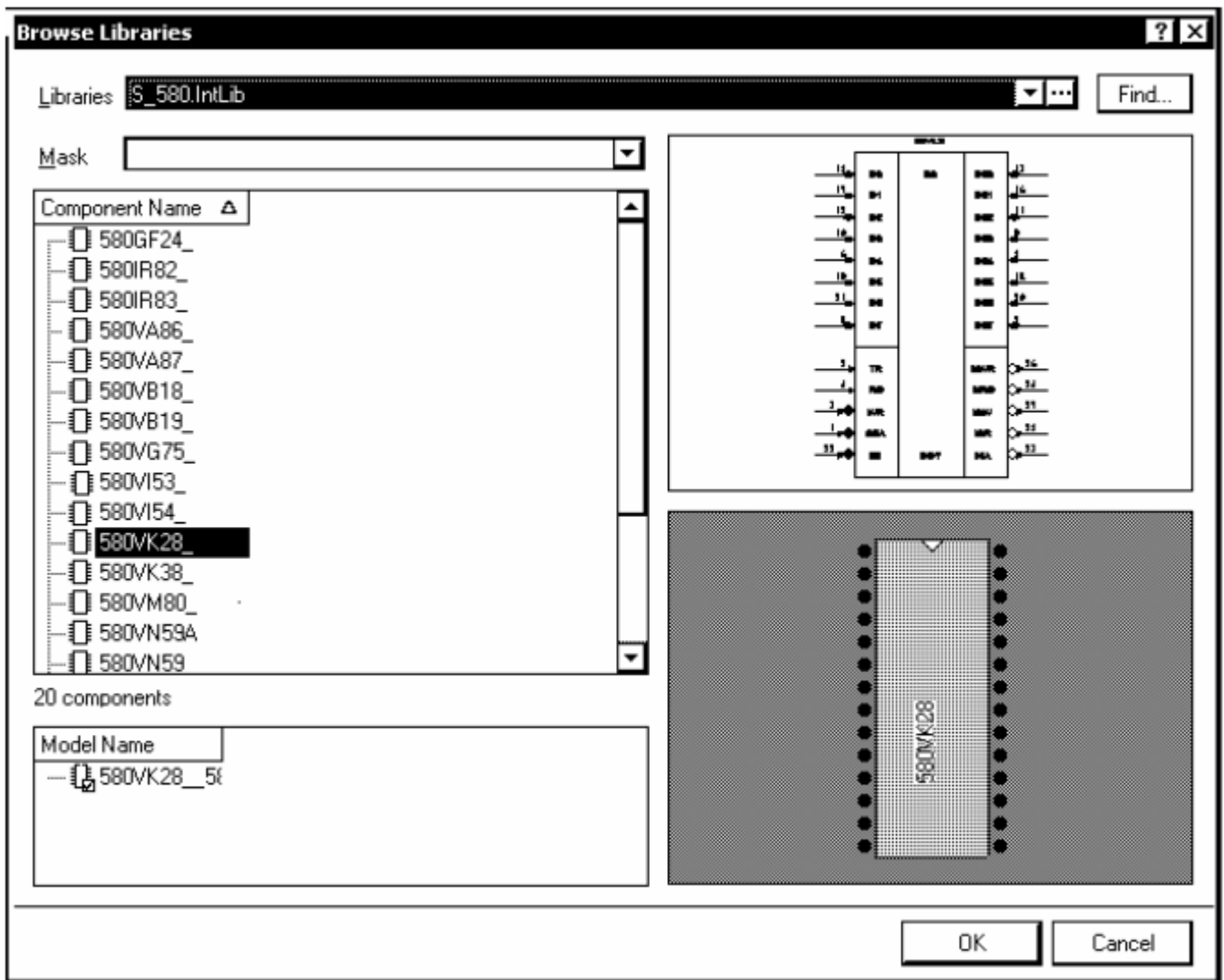
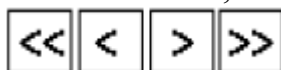


Рис. 3.8

7. Перед установкою вибраного компонента необхідно, як мінімум, відредагувати його позиційне позначення і вказати номер або інше позначення секції (у разі багатосекційного компонента). Для цієї мети служить процедура "гарячого" редагування (Re-entrant Editing), що активізується клавішею Tab. Відкривається діалогове вікно властивостей компонента Component Properties (рис. 3.9).

Стосовно поточного завдання слід:

- в полі Designator ввести замість знаку питання порядковий номер позиційного позначення;



- кнопками вибрати секцію у разі багатосекційного компонента;

- завершити редагування натисненням ОК.

8. Вибраний компонент (його схемний символ) "пливе" разом з курсором по листу схеми. При цьому натисненням клавіші ПРОПУСК (Space) можливий розворот символу на 90°, 180° і т. д.

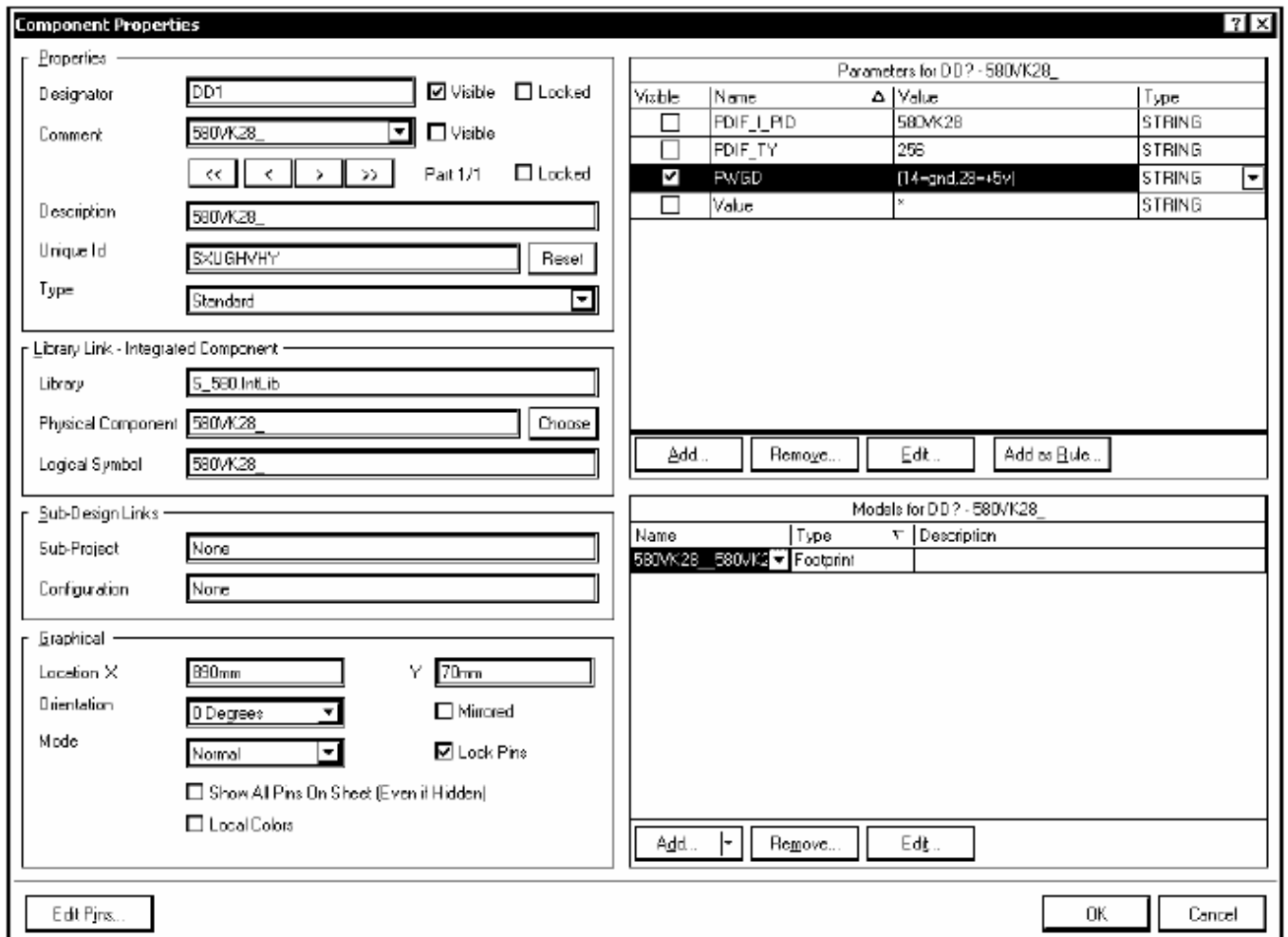



Рис. 3.9

9. Клацанням лівої клавіші миші або клавішею Enter зафіксувати компонент на листі схеми. Програма при цьому залишається в режимі розставлення компонентів. Вибраний компонент може бути зафіксований на листі схеми в потрібній кількості копій. При цьому інкрементуються номери в позиційних позначеннях компонентів і позначення секцій.

3.2.2 Креслення ліній електричного зв'язку

Прокладення провідників. Креслення ліній електричного зв'язку (провідників) виконується командою Place>>Wire, що активізується в головному меню програми, в контекстному меню, що викликається клацанням

правої клавіші миші, або клацанням на однойменній кнопці Place Wire  в лінійці інструментів Wiring. Курсор набуває вигляду маленького (Tiny)

перехрестя під кутом 45° (є ще мале перехрестя – Small, більшого розміру, ніж Tiny).

Початок і кінець провідника повинні потрапляти в точки приєднання електричних об'єктів – на електричні виводи компонентів, контакти електричного з'єднувача, в точку з'єднання з іншим провідником і т.п.

Доки прокладення провідника не закінчене, останній з прокладених сегментів може бути видалений натисненням клавіші BACKSPACE (крок назад). Прокладення сегментів провідника, який поки не підключається до іншого електричного об'єкту, завершується також клацанням правої клавіші миші або клавішею Esc.

Повторним клацанням правої клавіші миші або натисненням клавіші Esc завершується робота програми в режимі креслення ліній електричної зв'язку.

Формування зламів провідника. В ході креслення лінії електричного зв'язку комбінацією "гарячих" клавіш Shift+ПРОПУСК може бути встановлений форма зламів провідника:

- 90 Degree – злами під прямим кутом;
- 45 Degree – злами під кутом 45° ;
- Any Angle – прокладання під будь-яким кутом (але через вузли поточної активної сітки Snap Grid);
- Auto Wire – автопрокладання: в цьому режимі вказуються курсором, з клацанням лівою клавішею миші, початкова і кінцева точка лінії електричного зв'язку, і програма автоматично прокладає провідник, обходячи перешкоди – контури УГП і електричні виводи компонентів.

Режими формування зламів перебираються циклічно. Інформація про поточний режим відображається в рядку повідомлень. Виконання схеми відповідно до ЄСКД передбачає використання режиму формування зламів під прямим кутом (вимога ДСТУ 2.702-75). Певну користь може принести режим автопрокладання, оскільки в цьому режимі також формуються злами під прямим кутом.

З'єднання і перетин провідників. З'єднання нового провідника з існуючим виконуються клацанням лівої клавіші миші в місці їх перетину. У місці з'єднання провідників автоматично ставиться крапка. По команді Tools>>Schematic Preferences>>Schematic>>Compiler, в полі діалогового вікна Auto-Junctions і Manual junctions Connection Status встановлюються колір і розмір точки. Якщо в місці перетину провідників не робиться клацання миші, провідники перетинаються без з'єднання. У разі, якщо в діалозі Preferences активізована опція Schematic>>General>>Display Cross-Overs, перетини показуються з обгинанням одного провідника іншим. Таке позначення в документах відповідно до ЄСКД не використовується.

3.2.3 Імена та ознаки зв'язності вузлів електричного кола

При виконанні електричного зв'язку програма автоматично присвоює вузлу ім'я. Ім'я складається із слова NET і позначення контакту одного з компонентів, наприклад, NETDA2-6. Усім сегментам провідників, не

приєднаних ні на одному кінці до компоненту, програма привласнює ім'я N000-1.

Простою і очевидною ознакою зв'язності сегментів, що утворюють лінію електричного зв'язку є примикання сегментів один до одного без розривів і точки в місці з'єднання провідника, що підєднується до іншого під прямим кутом. Засоби багатьох САПР, у тому числі і Altium Designer 6, надають різні способи позначення належності сегментів лінії електричного зв'язку до одного електричного вузла. Ці способи аналогічні способам, використовуваним при кресленні схем вручну і засновані на використанні так званих ідентифікаторів ланок.

Залежно від складності проекту і від видів входження одних документів проекту в інші, проект в Altium Designer 6 і, відповідно схемні документи проекту можуть бути представлені єдиним листом схеми, можуть утворювати багатолистову однорівневу ("горизонтальну") структуру або ієрархічну вертикально-пов'язану структуру. У РСВ-проекті діє функція автоматичного визначення структури проекту і встановлюється так зване горизонтальне або вертикальне охоплення (Scope) проекту. Від цього залежить, яким чином прийнята в Altium Designer система ідентифікаторів вузлів встановлює зв'язок вузлів на одному листі, зв'язок вузлів у багатолистових проектах по горизонталі і по вертикалі.

В лабораторних роботах будемо розглядати дію ідентифікаторів вузлів в однолистовому і багатолистовому однорівневому проекті. Всього цих ідентифікаторів сім:

- Net Label – мітка вузла. Об'єднує в один вузол усі сегменти, що мають однакове позначення на одному листі і в однорівневому (горизонтальному) проекті.

- Port – мітка з більш високим пріоритетом. При одночасній присутності на листах схеми міток Label і міток Port останнім автоматично присвоюється статус глобальних, і тільки вони об'єднують сегменти зв'язків на листах схем проекту в один, глобальний вузол.

- Power Port – мітки вузла живлення і заземлення – всього 11 різновидів мітки (рис. 3.10). Об'єднують в глобальний вузол сегменти з однаковою міткою в усьому проекті.

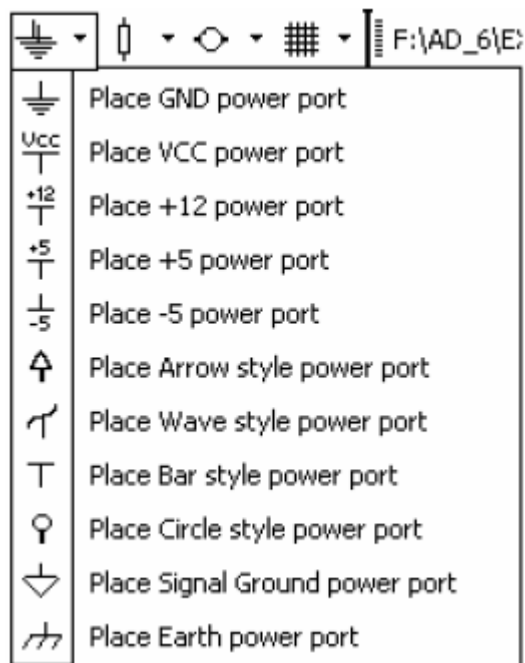


Рис. 3.10

- Hidden Pin – приховані виводи компонентів. Зв'язуються в єдиний глобальний вузол з ім'ям, позначеним в полі Connect to в діалозі управління властивостями контактів компонента.
- Sheet Entry – з'єднувач листів в ієрархічному проекті.
- Off-sheet Connector – з'єднувач листів у багатолістовому однорівневому проекті.

Слід зазначити, що у міток Net Label і Port на різних вузлах в одному документі можуть виявитися однакові імена. У цьому випадку загальний вузол утворюється тільки у випадку, якщо сегменти з такими мітками явно з'єднати провідником.

Для надання імені вузлу за допомогою мітки Net Label активізувати в головному меню або в контекстному меню по правій клавіші миші команду Place>>Net Label. Далі, клавішею Tab викликати діалог редагування властивостей мітки (рис. 3.11).

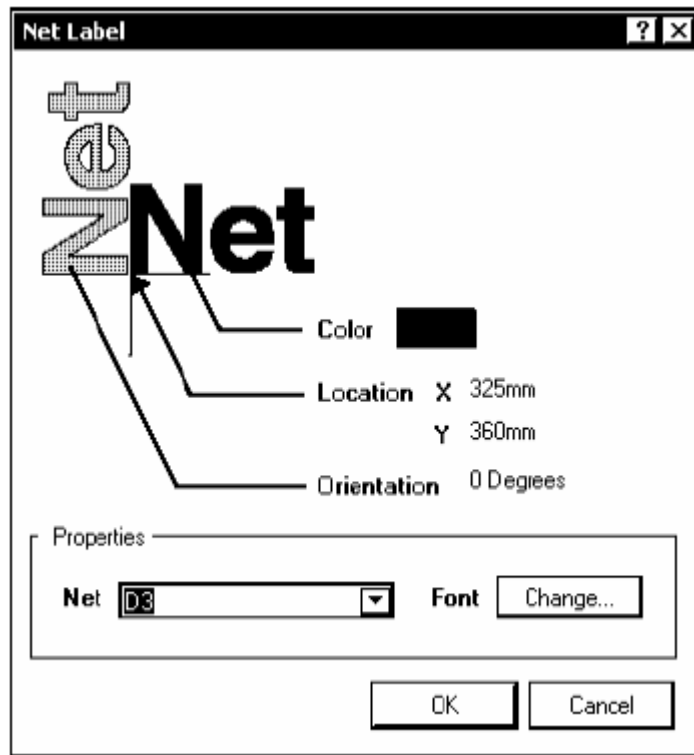


Рис. 3.11

У полі Properties ввести ім'я мітки (вузла) або вибрати з списку одне з існуючих імені, якщо сегмент провідника, що відмічається міткою, приєднується до існуючого вузла. Для виконання напису, що містить знак інверсії, після кожного символу напису слід ввести символ зворотної косої риски.

Функції налаштування властивостей мітки дозволяють також вибрати колір напису, орієнтацію, гарнітуру і розмір шрифту напису.

Для надання назви вузлу, за допомогою мітки Port, необхідно активізувати команду головного меню або контекстного меню Place>>Port. Клавішею Tab активізувати діалог налаштування властивостей порту. Відкривається діалогове вікно Port Properties (рис. 3.12).

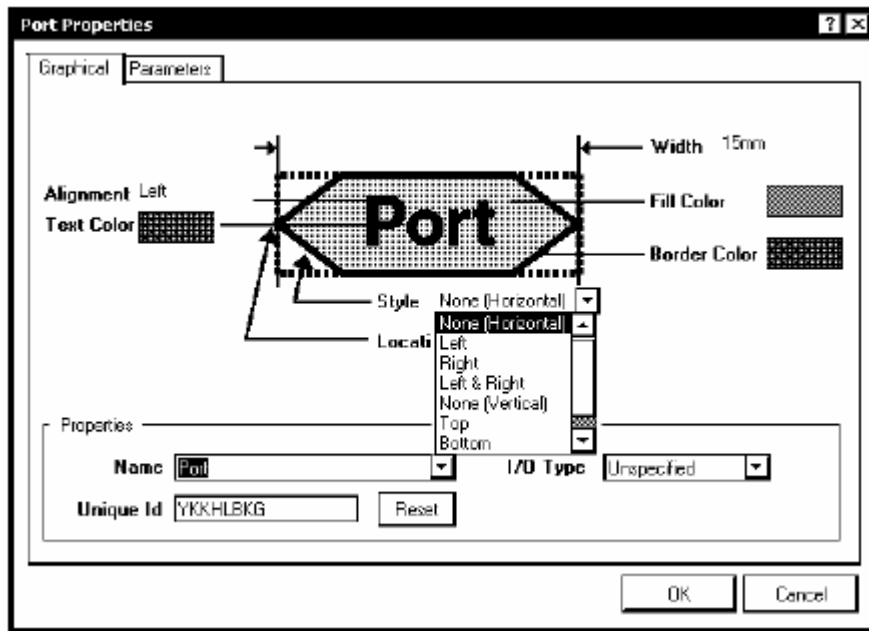


Рис. 3.12

У полях діалогового вікна відредагувати елементи графічного зображення і інші властивості мітки:

- в полі Properties:
 - ввести або вибрати з випадаючого списку ім'я вузла (Name);
 - вибрати з випадаючого списку I/O Type тип сигналу, що проходить по вузлі – вхідний (Input), вихідний (Output), двонаправлений (Bidirectional) або невизначений (Unspecified).
- у верхній частині панелі-закладки Graphical встановити:
 - Alignment – розташування напису в полі мітки – ліворуч, справа або по центру;
 - Text Color – колір тексту напису;
 - Location – точка геометричної (але не електричної) прив'язки контура мітки;
 - Width – ширину поля мітки;
 - Fill Color – колір заповнення поля мітки;
 - Border Color – колір межі контура мітки;
 - Style – стиль виконання загострених "носиків" поля мітки.

Стиль вибирається з списку, що передбачає 8 можливих варіантів, – 4 для горизонтального і 4 для вертикального розташування поля мітки. Мітка може бути приєднана до провідника будь-якою з цих двох точок, а також і обома точками. У останньому випадку поле мітки лягає поверх провідника. При цьому призначений стиль і тип електричного зв'язку утворюють складну систему пріоритетів, що впливає на остаточне зображення мітки-порту на схемі.

Зазначимо, що розміщення поля мітки-порту вздовж (поверх) провідника суперечить вимогам ЄСКД, відповідно до яких позначення імен ланки не повинні лежати поверх ліній зв'язку. Крім того, в місці приєднання порту до

провідника ставиться точка, що означає електричне з'єднання, що також не відповідає правилам виконання електричних схем відповідно до ЄСКД. Виняток становить випадок підключення мітки порту до кінця провідника.

Вказання білого кольору заливки і меж поля мітки порту робить поле невидимим на білому листі схеми, проте, поле не робиться від цього прозорим: у разі розташування мітки уздовж провідника порт візуально сприймається як розрив лінії зв'язку, з точками електричного з'єднання на кінцях видимого розриву.

3.2.4 Лінії групового зв'язку

Лінії групового зв'язку виконуються при складанні електричної схеми в двох випадках:

1) У разі, коли доцільно об'єднати в одну, умовну, загальну лінію групи функціонально однорідних електричних зв'язків. В термінах Altium Designer 6 така лінія групового зв'язку називається логічною (Logical Bus).

2) У випадках, коли зведення в одну лінію групового зв'язку великої кількості різнорідних ланок звільняє схему від плутанини численних зв'язків і покращує читабельність схеми. Така лінія групового зв'язку називається в Altium Designer 6 графічною (Graphical Bus).

Для формування лінії групового зв'язку обох типів активізувати команду головного або контекстного меню Place>>Bus. Клавішею Tab активізувати процедуру "гарячого" редагування властивостей лінії групового зв'язку. У діалоговому вікні Bus (рис. 3.13) вказати ширину і колір лінії.

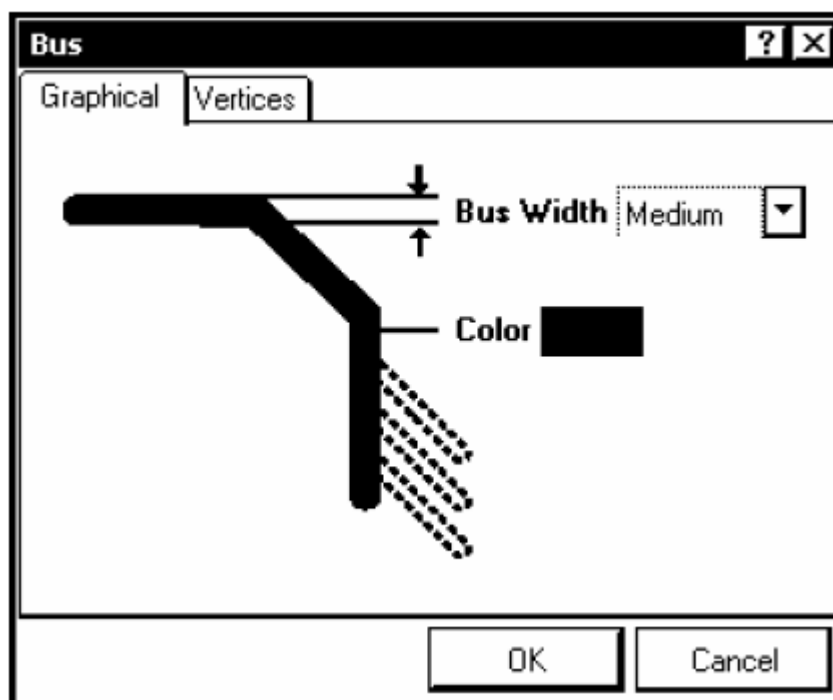


Рис. 3.13

Лінія групового зв'язку на листі схеми не утворює електричну ланку, а служить тільки для логічного або візуального (графічного) об'єднання індивідуальних електричних зв'язків. Наступним кроком є креслення індивідуальних ліній, що входять в групу, і призначення їм необхідних ознак зв'язку.

Заздалегідь вздовж лінії групового зв'язку командою Place>>Bus Entry можуть бути розставлені входи в групу лінії – прямолінійні відрізки провідника, нахилені під 45°. Призначення цих входів – виключити контакт провідників, що підходять до групової лінії з протилежних сторін. Відповідно до ЄСКД потрібно підведення провідників до групової лінії під прямим кутом, без зламу.

Зв'язок сегментів електричних кіл, що входять і виходять з лінії групового зв'язку, досягається Присвоєнням їм єдиного імені за допомогою ідентифікаторів Net Label. У разі логічної лінії групового зв'язку лінія в цілому наділяється міткою Net Label у форматі, наприклад, D[0..7] (рис. 3.14, а), а індивідуальні провідники, що входять у групу лінії, – мітками у форматі D0, D1, D2 і так далі.

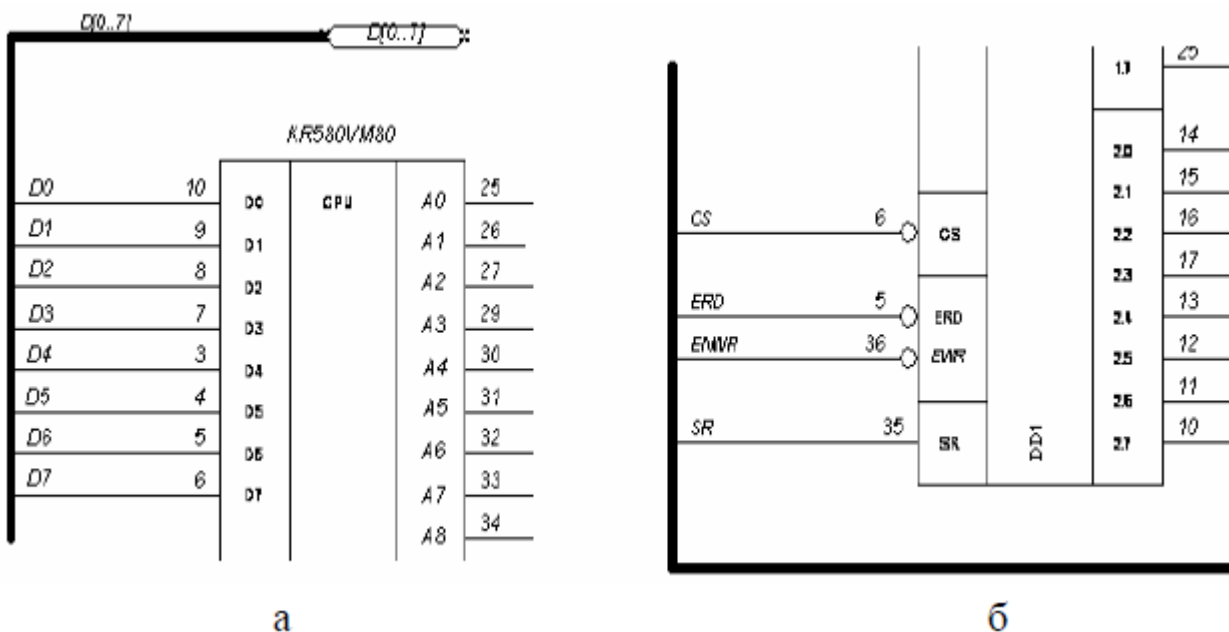


Рис.3.14

Префікс D є ознакою, що об'єднує провідники в логічну лінію групового зв'язку. Як і у індивідуальних електричних зв'язків, ідентифікатори лінії групового зв'язку різних типів не об'єднуються автоматично навіть при співпадінні імен. Щоб мітки NetLabel і Port однаково ідентифікували лінію групового зв'язку D[0..7], обидві ці мітки мають бути приєднані до групової лінії. Під час переходу такої лінії групового зв'язку з листа на лист однорівневого проекту зв'язність встановлюється за допомогою ідентифікатора Port з тим же іменем D[0..7].

У разі графічної лінії групового зв'язку (рис.3.14, б) індивідуальним провідникам, що входять і виходять з групової лінії, можуть присвоюватися як довільні, так і структуровані імена (також міткою Net Label), а самій груповій лінії ніякого імені не привласнюється. Групова лінія може взагалі бути видалена з креслення без втрати зв'язків у колі як в межах одного листа, так і у багатолістовому однорівневому проекті. Тобто саме зображення лінії-джгута служить для покращення візуального сприйняття і читання схеми людиною.

3.3 Редагування електричної схеми

Редагування будь-яких об'єктів, розміщених на листі схеми, розпочинається з вибору об'єкту. Вибір виконується одним з двох способів.

1) Вказати на об'єкт курсором, з клацанням лівою клавішею миші.

2) Натиснувши і не відпускаючи ліву клавішу миші, оточити об'єкт або групу об'єктів рамкою, після чого натиснути ліву клавішу.

Вибраний об'єкт відзначається спеціальними знаками (Grips): компоненти – по контуру; лінії, провідники – на кожному зломі.

3.3.1. Редагування провідників

Переміщення зламів провідника. Навести курсор на злам вибраного провідника, відмічений знаком, натиснути ліву клавішу миші і, не відпускаючи її, перемістити відмічений злам по листу. У точці призначення відпустити клавішу миші. Злам фіксується в новому положенні. При цьому може порушитися ортогональність сегментів провідника або лінії групового зв'язку.

Переміщення сегментів провідника. Навести курсор на середину сегменту вибраного провідника і, аналогічно попередньому випадку, перемістити сегмент. Тут можливі два варіанти:

1) при переміщенні курсора в поперечному напрямі за курсором переміщається тільки вибраний сегмент, а два сегменти, що примикають до нього, деформуються, йдучи за його кінцями;

2) при переміщенні курсору в повздовжньому напрямі за курсором переміщаються три сегменти – вибраний і два, що примикають до нього. Прямокутність зламів не порушується.

Продовження провідника. Навести курсор на кінець вибраного провідника, відмічений знаком, і перемістити курсор по листу з натиснутою лівою клавішею. Провідник продовжується у напрямі переміщення курсора. Для продовження провідника в попередньому напрямі виконувати переміщення миші, утримуючи натиснутою клавішу Alt.

Розрив провідника. По команді Edit>>Break на екран виводиться рамка-шаблон, яку слід помістити на провідник. Рамка автоматично розгортається уздовж провідника. Клацанням лівої клавіші миші робиться розрив. Довжина розриву провідника встановлюється в "гарячому" діалозі, що викликається клавішею Tab. У діалоговому вікні може бути вибраний один з трьох варіантів: розрив завдовжки в цілий сегмент, розрив завдовжки в один крок активної сітки і розрив завдовжки в кілька кроків сітки.

3.3.2 Переміщення компонентів

Програма передбачає два способи переміщення схемних компонентів:

- Move – переміщення тільки компонента, без підведених до нього електричних зв'язків;
- Drag – переміщення компонента разом з підключеними до нього електричними зв'язками.

Обидва види переміщень, а також ще 16 команд управління положенням об'єктів на листі схеми активізуються підкомандами команди головного меню Edit>>Move (рис.3.15). Альтернативою є безпосереднє переміщення компонента слідом за курсором. Вказати курсором компонент, натиснути ліву клавішу миші і, не відпускаючи її, переміщати компонент по листу. Клацанням лівої в місці призначення зафіксувати об'єкт. Команди меню Edit>>Move>>Move і Edit>>Move>>Drag і безпосереднє переміщення курсором виконуються по-різному. Тоді як безпосереднє переміщення діє тільки на компонент, вибраний у даний момент і закінчується разом з фіксацією компонента в новому місці, згадані команди меню переводять програму в режим переміщень (Move Mode або Drag Mode).

Переміщення компонента, на який вказує курсор, починається клацанням лівої клавіші миші або натисненням клавіші ENTER і завершується повторним клацанням або натисненням клавіші ENTER в точці призначення. Програма залишається в режимі переміщень. Можна переміщати наступні компоненти. Вихід з режиму переміщень відбувається по натисненню клавіші Esc або по клацанню правої клавіші миші. Є можливість призначити активною тільки функцію переміщення Drag. Для цього в діалозі Tools>>Schematic Preferences активізувати опцію Schematic>>Graphical Editing>>Always Drag. В цьому випадку при безпосередньому управлінні курсором компонент переміщається разом з підключеними до його виводу електричними зв'язками. При цьому, проте, команда dit>>Move>>Move має пріоритет перед налаштуванням Always Drag: при активізації цієї команди компоненти переміщаються, а зв'язки від них відриваються і залишаються на місці.

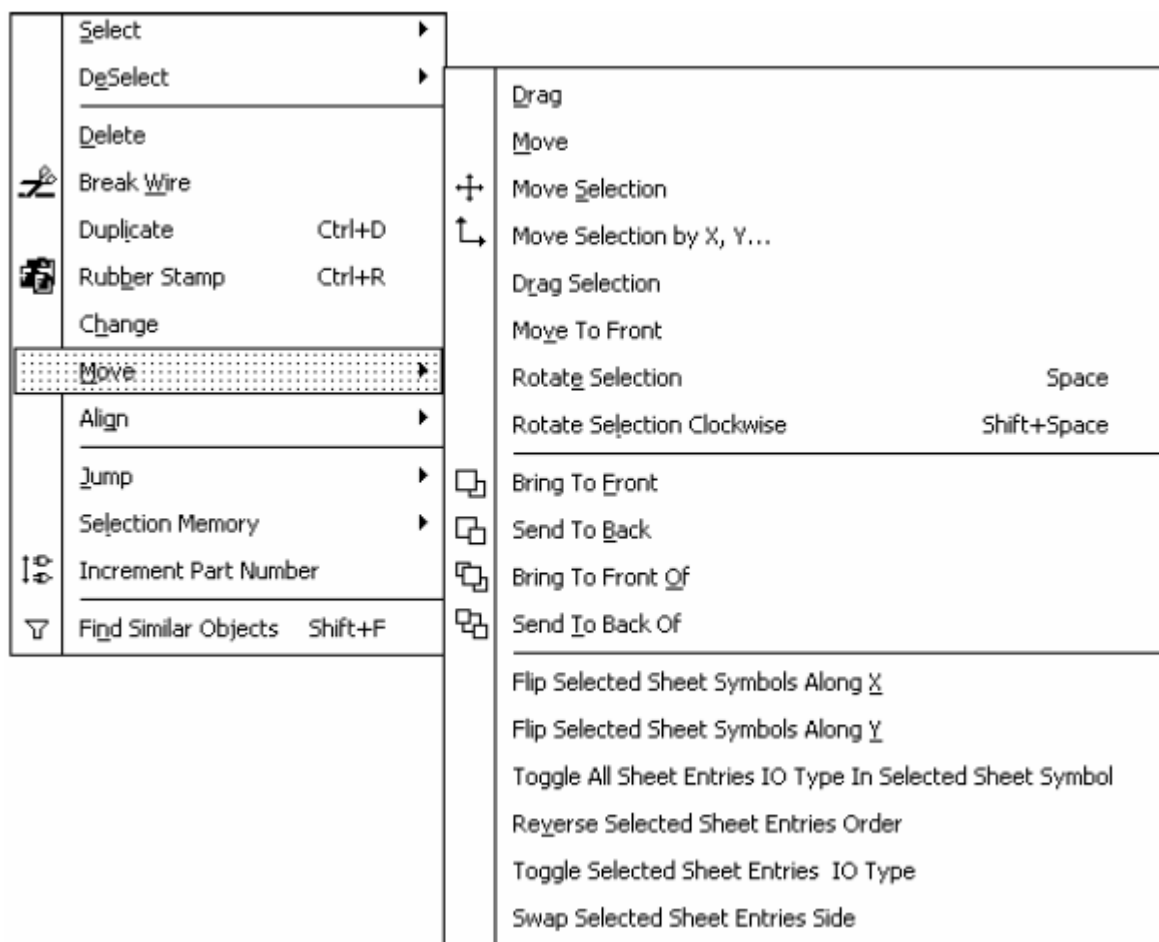


Рис.3.15

В процесі переміщення компонента над ним може бути виконаний ряд додаткових дій.

При переміщенні без зв'язків (Move):

- натисненням клавіші ПРОПУСК компонент обертається на 90° проти годинникової стрілки; клавіші Shift+ПРОПУСК повертають компонент за годинниковою стрілкою;
- натисненням клавіш X або Y компонент відбивається дзеркально, відповідно, відносно горизонтальній або вертикальній осі;
- при натиснутій клавіші Alt переміщення обмежується горизонтальним або вертикальним напрямом.

При спільному переміщенні з підключеними зв'язками (Drag):

- натисненням клавіші ПРОПУСК або Shift+ПРОПУСК перемикається режим ортогональності провідників;
- натисненням клавіш Ctrl+ПРОПУСК компонент розгортається на 90° проти годинникової стрілки;
- натисненням клавіш X або Y компонент відбивається дзеркально, відповідно, відносно горизонтальній або вертикальній осі;
- при натиснутій клавіші Alt переміщення обмежується горизонтальним або вертикальним напрямком.

3.3.3 Копіювання і вставка копій

Розташовані на листі схеми об'єкти можуть бути скопійовані у буфер обміну Windows і вставлені з буфера обміну на лист або в інші документи. Для копіювання активізувати стандартну команду головного меню програми Edit>>Copy (Ctrl+C) і вказати курсором опорну точку, за яку об'єкт витягатиметься з буфера командою Edit>>Paste (Ctrl+V). Крім того, програма має в розпорядженні функцію Smart Paste – вставки об'єктів з буфера обміну з трансформацією об'єктів одного типу в об'єкти іншого типу, наприклад, мітки ланок Net Label в мітки-порти і тому подібне.

3.3.4 Присвоєння позиційних позначень

Позиційні позначення (Designator) привласнюються компонентам при їх первинному розміщенні на лист схеми. Префікси позиційних позначень, призначені при формуванні бібліотек, зберігаються при передачі компонентів в схему. Якщо перед постановкою певного компонента на лист в діалозі "гарячого" редагування властивостей позиційному позначенню присвоєний номер, наступні компоненти цього типу нумеруються з інкрементуванням. При цьому мало ймовірно, що позиційні позначення в схемі, в остаточному її вигляді, розташовуватимуться в порядку, визначеному в діючих стандартах.

Для упорядковування позиційних позначень служить функція Annotation. Порядок виконання цієї операції наступний.

1. Активізувати команду головного меню Tools>>Annotate. Відкривається діалогове вікно Annotation, рис.3.16. У двох колонках таблиці Proposed Changes List представлені існуючі позиційні позначення (колонка Current) і непризначені доки нові (колонка Proposed).

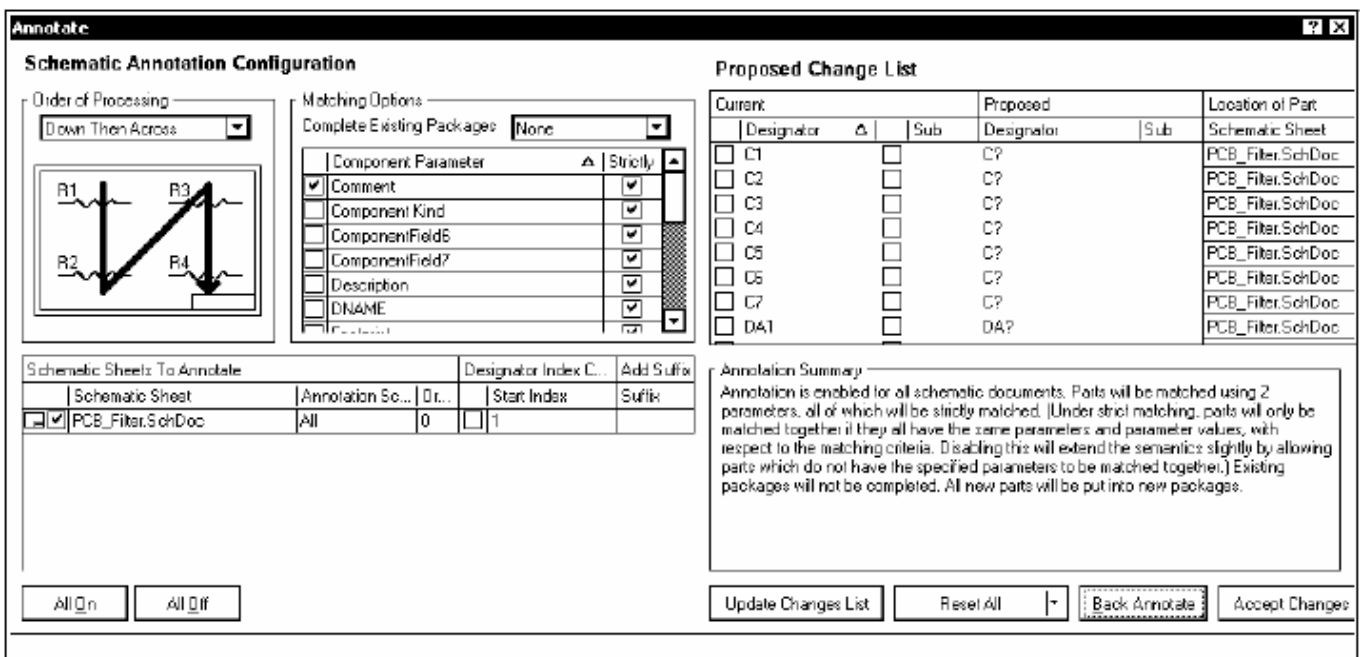


Рис.3.16

2. У полі Order of Processing вибрати з випадаючого списку порядок проставлення позиційних позначень. Вибраний порядок ілюструється діаграмою.

3. У полі Schematic Sheets to Annotate вказати документ, в якому виконується перенумерація.

4. У полі Matching Options вказати або скинути ознаки групування логічних секцій в корпуси.

5. Клацнути лівою клавішею на кнопці Update Changes List. Програма видає вікно з повідомленням про кількість змін, що вносяться. Після натиснення ОК вікно закривається, а в колонці Proposed вікна рис.3.16 з'являються нові позиційні позначення компонентів.

6. Кнопкою Accept Changes (Create ECOs) список змін передається на обробку. Відкривається вікно Engineering Changes Order (рис.3.17) зі списком змін, які належить внести в схему.

7. При натисненні кнопки Execute Changes виконується обробка списку змін. Зміни, виконані без помилок, відзначаються значками в колонці Status.

8. Кнопкою Validate Changes запустити перевірку коректності внесених змін.

9. Кнопкою Report Changes відкривається вікно перегляду змін. Список змін може бути роздрукований на папері.

10. При натисненні ОК внесені зміни повертаються у вікно рис.3.16.

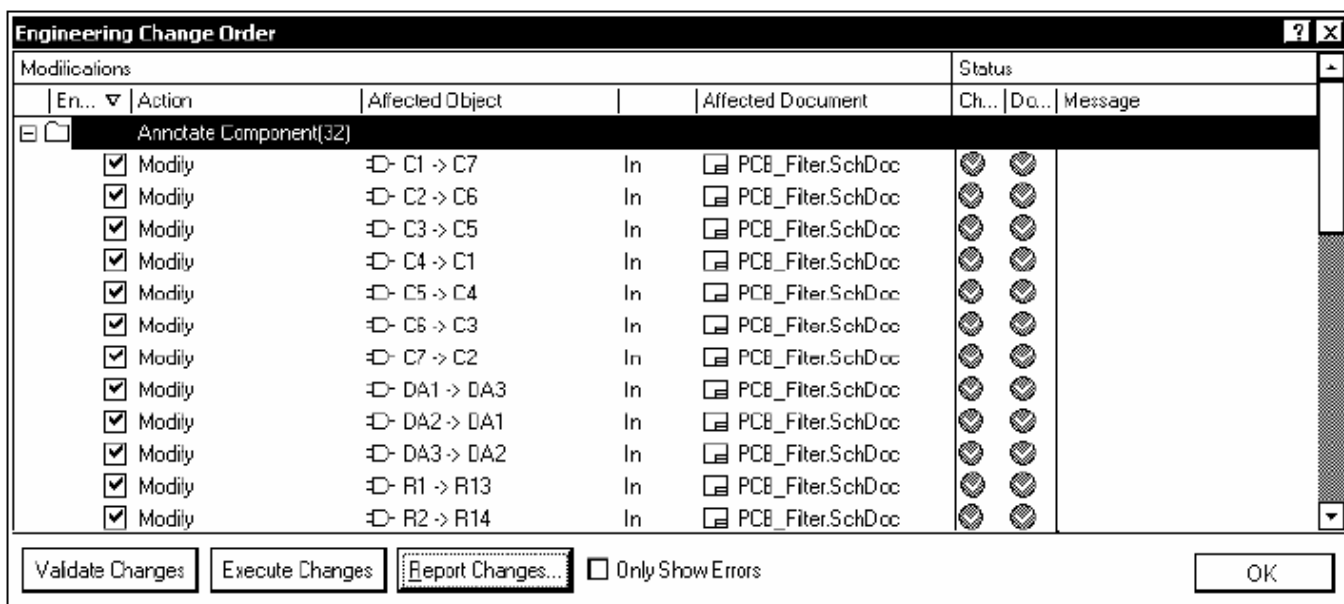


рис.3.17

3.3.5 Присвоєння значень параметрам компонентів

При складанні електричної принципової схеми радіоелектронних функціональних вузлів, особливо аналогових, потрібно присвоїти значення електричним параметрам таких компонентів як резистори, конденсатори, котушки індуктивності і ряду інших. Ці значення, а також цілий ряд інших відомостей про компоненти, повинні потрапити в перелік елементів до схеми електричної принципової, в специфікації складальних одиниць, відомості

покупних виробів і інші документи. Існують програмні засоби, що дозволяють формувати такі документи автоматично і включати їх в структуру автоматизованого документообігу підприємства. Повний набір відомостей про компонент може бути включений до складу проекту одним з трьох способів:

- включений в опис компонента при формуванні бібліотеки;
- витягнутий із зовнішньої бази даних по компонентах;
- складений для вибраного компонента при розробці електричної схеми функціонального вузла.

В Altium Designer 6 може бути реалізований будь-який з цих способів. Перший спосіб передбачає великий об'єм роботи при формуванні бібліотек компонентної бази. Другий спосіб припускає наявність бази даних електронних компонентів. Навіть якщо така база є, використовувана САПР повинна мати у розпорядженні засоби імпорту даних саме з цієї бази. Це вимагає серйозних організаційних заходів. Третій спосіб, при неможливості скористатися другим, є найпрактичнішим. За трудовитратами він не складніший за складання записів в текстовому редакторі, перевага ж його в тому, що при автоматичному складанні текстових документів на підставі даних схеми він підтримує зв'язок документів проекту.

У більшості відомих САПР радіоелектронних функціональних вузлів структура опису компонентів включає атрибути (у Altium Designer – параметри). Зазвичай в набір атрибутів входить єдиний атрибут Value – величина, що дозволяє вказати значення основного електричного параметру компонента.

Очевидно, що одного його недостатньо для того, щоб сформувати запис переліку елементів відповідно до ЄСКД. Додавати в поле атрибуту Value інші відомості про компонент не можна, якщо передбачається схемотехнічне моделювання.

Для розміщення необхідних відомостей про компонент зазвичай формуються спеціальні атрибути користувача. Засоби Altium Designer 6 також дозволяють сформувати повний набір відомостей про використувані в проекті компоненти.

1. Для виконання цієї роботи активізувати команду головного меню схемного редактора Tools>>Parameter Manager. Відкривається діалогове вікно Parameter Editor Options (рис.3.18), що надає можливість вибору об'єктів, для яких передбачається налаштування параметрів.

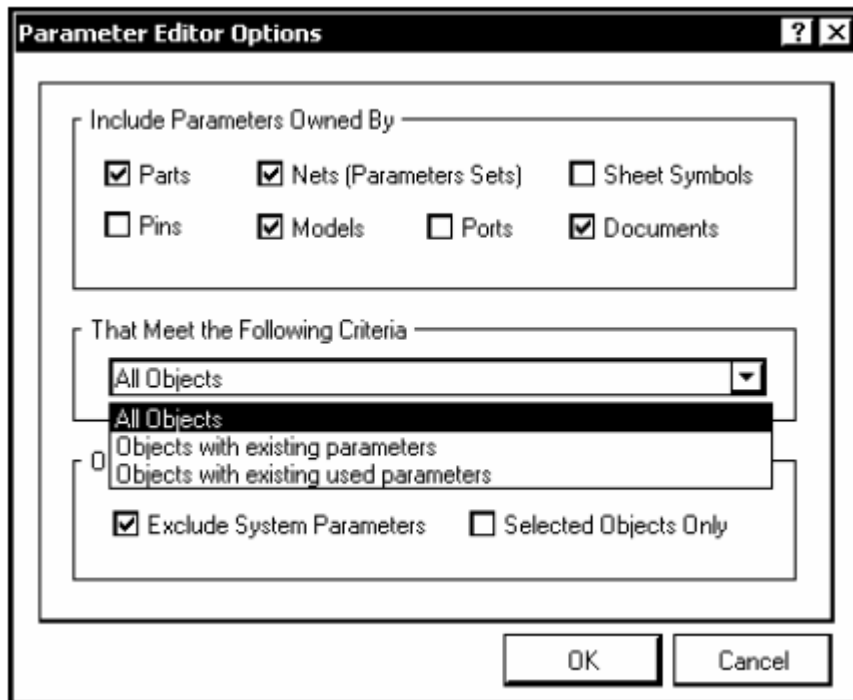


Рис.3.18

2. У полі визначення приналежності параметрів об'єктам (Include Parameters Owned By) вказати Parts – схемні компоненти.

3. У полі That Meet the Following Criteria вказати у випадяючому списку підмножину об'єктів, що відповідають завданню: в нашому випадку – усі об'єкти (All objects).

4. Кнопкою ОК закрити діалог. Відкривається вікно, рис.3.19, з таблицею, в колонках якої вказані типи вибраних об'єктів (Part – схемний компонент), їх позиційні позначення за схемою, ім'я схемного документу і раніше призначені параметри (атрибути).

5. Клацанням правої клавiші миші активізувати контекстне меню і вказати в ньому команду Add Column – додати колонку. У діалоговому вікні Add Parameter, що відкрилося, назвати ім'я параметра, що включається в нову колонку, наприклад, Tolerance – допуск.

Parameter Table Editor For Project [PCB_Filter.PrjPcb]

32 Objects - 1 Selected

Object Type	Document	Identifier	Value	ComponentField6	ComponentField7	Tolerance
Part	PCB_Filter.SchDoc	C1	{Value}			
Part	PCB_Filter.SchDoc	C2	{Value}			
Part	PCB_Filter.SchDoc	C4	180pF			10%
Part	PCB_Filter.SchDoc	C5	470pF			
Part	PCB_Filter.SchDoc	C3	180pF			10%
Part	PCB_Filter.SchDoc	C6	0.068uF			20%
Part	PCB_Filter.SchDoc	C7	0.068uF			20%
Part	PCB_Filter.SchDoc	DA1		Pin 8 is not conn	Published	M
Part	PCB_Filter.SchDoc	DA2		Pin 8 is not conn	Published	M
Part	PCB_Filter.SchDoc	DA3		Pin 8 is not conn	Published	M
Part	PCB_Filter.SchDoc	R1				
Part	PCB_Filter.SchDoc	R10				
Part	PCB_Filter.SchDoc	R11				
Part	PCB_Filter.SchDoc	R12				

Buttons: Revert Selected, Remove Columns..., Add Column..., Accept Changes (Create ECO), Cancel

Рис.3.19

6. Повторити дії з п.5 стільки разів, скільки додаткових параметрів передбачається призначити, привласнюючи відповідні імена.

8. Вибрати в колонці з позиційними позначеннями компонент (рядок, що його стосується, виділяється кольором) і перейти горизонтальною прокруткою в комірку таблиці на перетині виділеного рядка з колонкою параметра, що призначається. Клацанням лівої клавiшi мишi активiзувати комірку.

9. Клацанням правої клавiшi на виділеній комірці активiзувати контекстне меню і вказати в ньому команду Add – додати. З виділеної комірки знімається штрихування, і вона стає рівномірно залитою кольором, призначеним для вибраних об'єктів.

10. Клацанням правої клавiшi активiзувати контекстне меню і вказати в нiм команду Edit – редагувати. Комірка стає доступною для редагування: колір виділення знімається; справа з'являється кнопка виклику випадаючого списку значень параметра. Ввести з клавіатури або вказати в випадаючому списку необхідне значення параметра (див. рис.3.19). Відповідне значення параметра можна також скопіювати (Ctrl+C, Ctrl+V) в поточну активну комірку з сусідніх, де значення вже присвоєне.

11. Повторити дії пп. 8..10 стільки разів, скільки компонентів потребують призначення параметрів і скільки параметрів має бути призначено кожному компоненту.

Призначені у такий спiсiб параметри і присвоєні їм значення зберігаються з файлом проекту і можуть оброблятися програмами формування текстових конструкторських документів. Приведена процедура не складніша за заповнення переліку елементів в текстовому редакторі. Перевага її в тому, що

вона забезпечує зв'язність документів проекту – електричної схеми і переліку елементів.

3.3.6. Групування ланок в класи

В електричній схемі, як і потім в друкованій платі, електричні ланки, що мають схожі властивості, і лінії групового зв'язку можуть бути згруповані в класи.

1. Активізувати команду головного меню графічного редактора схеми Place>>Directives>>Net Class. На екрані з'являється плаваюча з курсором мітка класу.

2. Клавішею Tab активізувати гаряче редагування параметрів класу. Відкривається діалогове вікно Parameters, в полях якого позначений тип параметра – Net Class – клас ланок, поточні координати і орієнтація мітки, а також список імен раніше встановлених класів.

3. Клацанням правої клавіші миші активізувати контекстне меню і вказати в ньому команду Edit. У діалоговому вікні наступного рівня, Parameter Properties, може бути змінено призначене за замовчуванням ім'я параметра Class Name, йому може бути присвоєне значення (Value), призначена або відключена видимість і блокування того і іншого.

4. Щоб прив'язати до класу деякі правила проектування друкованого монтажу, замість команди Edit (див. п. 2) в діалоговому вікні Parameters активізувати кнопку команди Add as Rule – додати параметр як правило. У діалоговому вікні Parameter Properties активізується кнопка виклику процедур редагування правил Edit Rule Values. Відкривається діалогове вікно Choose Design Rule Type (рис.3.20) з деревом правил проектування, що визначають кілька десятків правил ведення проекту – електричні параметри, параметри трасування, стиль контактних площадок, правил розводки високочастотних ланок, налаштування аналізу цілісності та ряд інших.

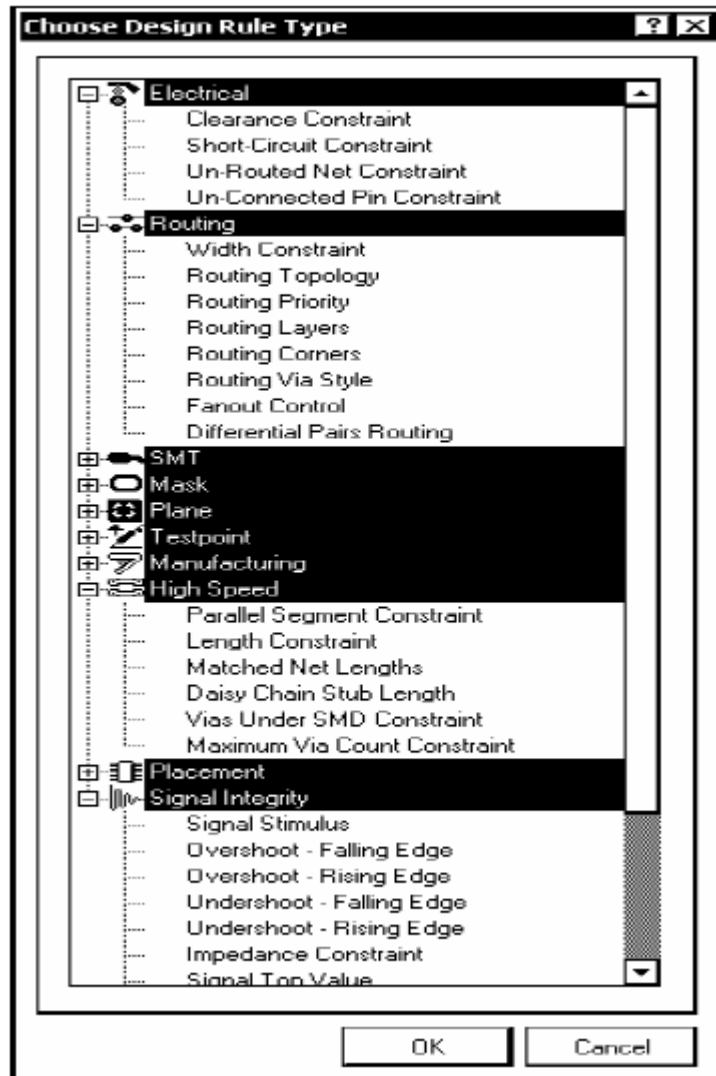


Рис.3.20

5. Подвійним клацанням в рядку з ім'ям вибраного правила відкривається діалог редагування його властивостей. Наприклад, при вказівці рядка Width Constraint відкривається діалогове вікно налаштування ширини друкованих провідників для ланок поточного класу (рис.3.21).

6. Встановити необхідне значення ширини провідника, а також допустиме мінімальне і максимальне її значення і завершити операцію натисненням ОК.

7. Кнопкою ОК послідовно закрити вікна Parameter Properties і Parameters.

8. Зафіксувати мітку класу ланок на відповідних лініях зв'язку в головному вікні схемного редактора.

Розглянута процедура може бути застосована також для групування в класи ліній групового зв'язку.

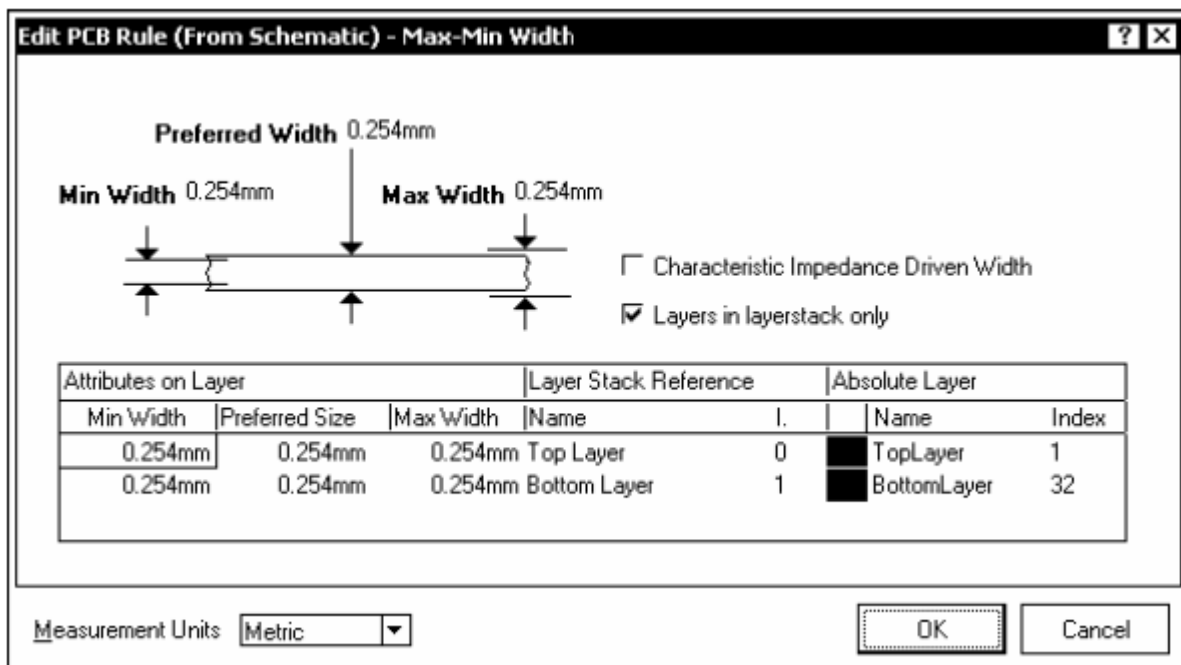


Рис.3.21

При усій простоті розглянутої процедури, результати її є громіздкими. Налаштовані параметри класу передаються не групі ланок, що входять в клас, а кожній ланці індивідуально. Це призводить до невиправданого збільшення списку обмежень (Constraints) в діалозі налаштування правил редагування друкованої плати: замість одного правила для класу в цілому, одне і те ж правило вказується для кожної ланки даного класу. Цей недолік усувається функцією налаштування правил в середовищі редактора друкованої плати.

3.4 Компіляція проекту

Завершальним етапом розробки схеми є компіляція проекту. В процесі компіляції остаточно вибудовується логічна структура проекту. Виявляються помилки, допущені при складанні електричної принципової схеми. Для простого однорівневого проекту, з нескладною однолистовою схемою, може виявитися достатнім візуальний контроль в ході і після закінчення формування документу.

У складному ієрархічному проекті помилки можуть не виявитись під час візуального контролю. Щоб цього не відбувалося, в Altium Designer 6 закладена розвинена система контролю помилок.

Перед компіляцією слід виконати налаштування функцій контролю. Налаштування виконуються в діалозі, що активізується командою головного меню Project>>Document Options. Відкривається діалогове вікно Options for Project <ім'я проекту>.PrjPcb з десятима панелями-вкладками, на яких перераховані усі можливі ознаки, за якими виявляються помилки проекту. В плані компіляції нас найбільше можуть цікавити налаштування, призначені для виявлення порушення правил з'єднання компонентів лініями електричного

зв'язку і відповідність позначень ланок, портів, з'єднувачів листів, у разі багатолістового проекту.

На вкладці Error Reporting призначається характер реакції програми на виявлені порушення:

- No Report – не включати виявлене порушення в звіт;
- Warning – вивести попередження;
- Error – вивести повідомлення про помилку;
- Fatal Error – вивести повідомлення про фатальну помилку, при якій неможливе виконання операції.

На вкладці Connection Matrix визначаються правила перевірки електричних з'єднань схеми і призначається рівень реакції програми на різні види помилок – такі як з'єднання виходу з виходом, виходу з живленням, двонаправленого виводу компонента з вихідним і тому подібне. На перетині стовпців і рядків матриці стоять кольорові мітки, що означають реакцію програми на відповідне з'єднання, виявлене при перевірці схеми.

Вибираючи відповідну мітку, можемо призначити один з чотирьох рівнів реакції – відсутність реакції (якщо немає помилки), попередження, повідомлення про помилку, помилка. Кожному рівню відповідає свій колір – від зеленого до червоного. На вкладці Comparator налаштовуються правила перевірки відповідності імен однакових об'єктів, ланок на листах багатолістового проекту і цілого ряду інших можливих помилок. Компіляція проекту виконується за командою головного меню Project>>Compile Document <имя_схемы>.SchDoc.

Якщо при компіляції виявлені помилки, повідомлення про помилки виводяться на панель Messages. У цьому випадку слід проаналізувати повідомлення, внести в схемний документ необхідні зміни і повторити компіляцію проекту. Схемний документ, що відкомпілювався без помилок, може бути переданий на проектування друкованої плати.

Завдання

Створити та відредагувати задану викладачем електричну принципову схему, використавши сформовану в лабораторній роботі №2 бібліотеку елементів.

ПЕРЕЛІК КОНТРОЛЬНИХ ЗАПИТАНЬ

1. Які основні документи повинен містити проект друкованої плати Altium Designer 6?
2. Які реквізити схеми електричної принципової радіоелектронного функціонального вузла привласнюються документам ще до початку розробки схеми?
3. Які об'єкти в Altium Designer 6 є графічними, а які електричними?
4. Опишіть порядок розміщення схемних символів.
5. Які етапи включає креслення ліній електричного зв'язку?
6. З яких частин складається ім'я, яке програма автоматично привласнює ланці?
7. Яка ознака зв'язності сегментів, що утворюють лінію електричного зв'язку?
8. Як за допомогою мітки Net Label привласнити ланці ім'я? Як здійснити налаштування її властивостей?
9. У яких випадках при складанні електричної схеми виконуються лінії?
10. Порядок формування лінії групового зв'язку.
11. Як здійснити редагування провідників?
12. Яким чином і для чого відбувається Присвоєння позиційних позначень?
13. Як привласнити значення параметрам компонентів?
14. З якою метою здійснюється групування ланок в класи?
15. Для чого виконують компіляцію проекту?

Лабораторна робота №4

РОЗРОБКА ДРУКОВАНОГО ВУЗЛА

Мета роботи: навчитись здійснювати розводку плати заданої схеми електричної принципової.

Теоретичні відомості

4.1 Передача схеми в середовище проектування друкованої плати

Коли проект відкомпілювався і схемний документ відкритий, передача схемної інформації на друковану плату робиться командою Design>> Update PCB Document <ім'я_проекту>.PcbDoc. Передача схемних даних в редактор друкованої плати виконується як стандартна процедура. Дані, що поступають зі схемного редактора на порожню друковану плату трактуються як зміни, внесені в проект, аналогічно, як і при внесенні змін в ході проектування. Відкривається діалог внесення змін Engineering Changes Order (рис. 4.1). В полях діалогового вікна (див. рис. 3.17) представлена інформація про усі об'єкти схемного документу, дії, які належить з ними виконати (Add – додати) та ім'я документу редактора друкованої плати, до якого вносяться ці схеми.

Далі необхідно кнопкою Validate Changes активізувати перевірку правильності змін, що вносяться. Якщо при цьому не виявлено помилок, в полі Status з'являються значки-галочки, що свідчать про завершення операції без помилок. Рядки списку, в яких виявлені невідповідності (наприклад, не знайдено топологічного посадочного місця), позначаються червоною міткою з хрестиком. В цьому випадку необхідно проглянути повідомлення про помилки на панелі Messages.

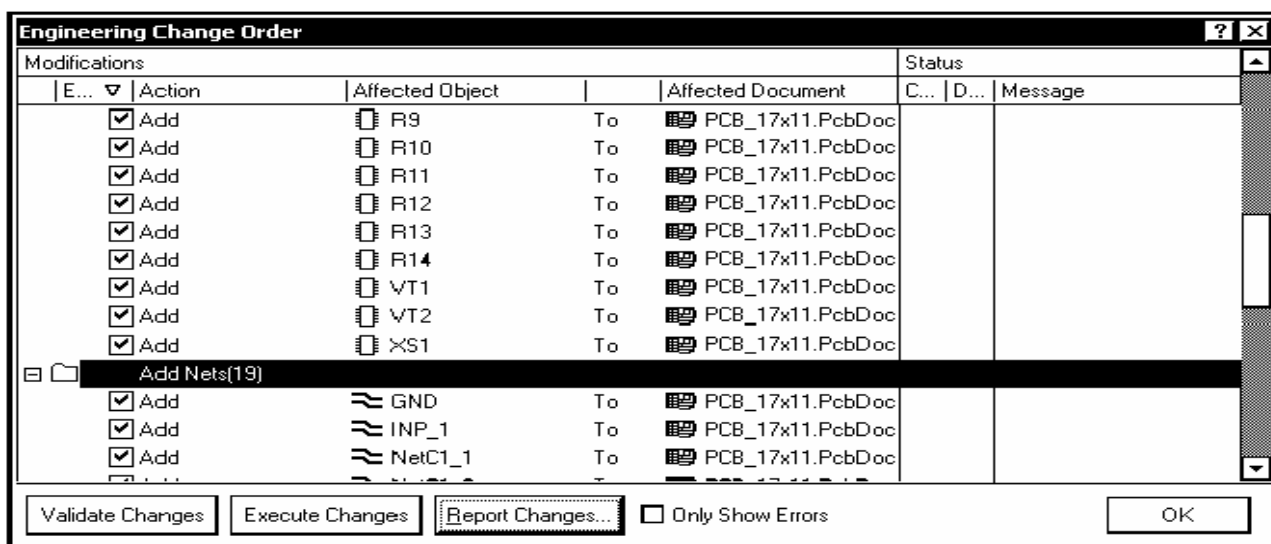


Рис. 4.1

Кнопкою **Execute Changes** запустити обробку змін. Результат обробки передається в середовище графічного редактора друкованої плати. При цьому відкривається файл плати нашого активного проекту, і у вікні графічного редактора друкованої плати, поряд із заготовленим раніше контуром плати зображаються ТПМ (топологічні посадочні місця) компонентів, пов'язані ниточками електричних зв'язків (рис. 4.2). За замовчуванням програма оточує компоненти і зв'язки проекту прямокутною областю **Room** – "кімнату". Уся ця область разом з компонентами, що знаходяться в ній, при вказівці на неї курсором і натисненні лівої клавіші миші переміщується за курсором на екрані графічного редактора, також її можна помістити в межі контуру друкованої плати.

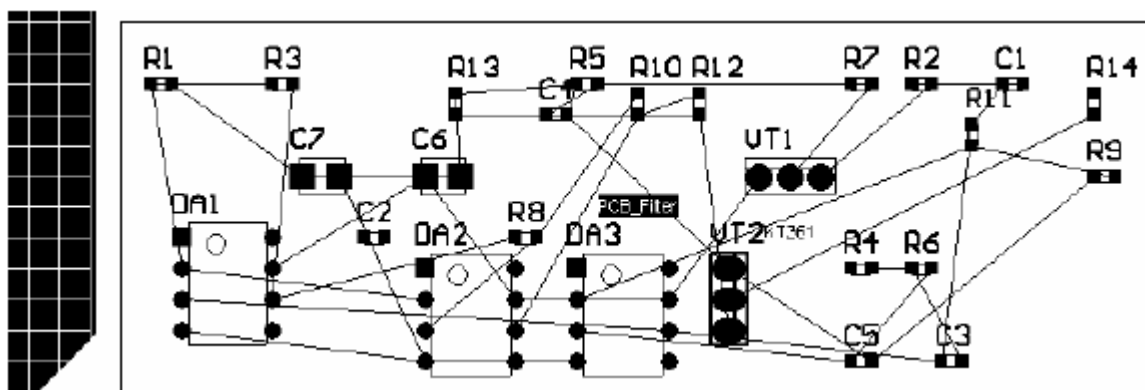


Рис. 4.2

Перш ніж почати розміщення компонентів на полі друкованої плати, визначимо класи об'єктів і відредагуємо ряд правил проектування.

4.2 Групування об'єктів в класи

Середовище Altium Designer 6 надає великі можливості групування об'єктів за однорідними ознаками. Такі групи називаються класами об'єктів. У класи можуть групуватися частини електричних кіл, компоненти, шари друкованої плати, контактні площадки і ряд інших об'єктів.

Графічний редактор друкованої плати надає свій, відмінний від редактора схем, спосіб призначення класів та інших об'єктів друкованої плати.

1. Активізувати команду головного меню програми **Design>>Classes**. Відкривається діалогове вікно управління класами об'єктів **Object Class Explorer** (рис. 4.3). У лівому полі вікна зображено дерево класів з кореневим вузлом **Object Classes**. Дерево класів містить вузли:

- **Net Classes** – класи ланок;
- **Component Classes** – класи компонентів;
- **Layer Classes** – класи шарів друкованої плати;
- **Pad Classes** – класи контактних площадок;
- **From to Classes** – класи взаєморозташування об'єктів;

- Differential Pair Classes – класи диференціальних пар;
- Design Channel Classes – класи каналів проекту;
- Polygon Classes – класи полігонів.

У разі визначення класів ланок, за замовчуванням усі частини схеми включені в єдиний клас All Nets.

Праву частину вікна займають два поля:

- Non-Members – об'єкти, що не належать до класу;
- Members – об'єкти, що належать до класу (члени класу).

2. Натисканням правої клавіші в полі з деревом класів активізувати контекстне меню і вказати в ньому команду Add – додати (клас).

3. Навести курсор миші на ім'я нового класу, натисканням правої клавіші активізувати контекстне меню і вказати в ньому команду Rename – перейменувати. Ім'я нового класу відтіняється кольором і оточується рамкою – стає доступним для зміни. Ввести з клавіатури нове ім'я для утвореного класу, наприклад, Signal.

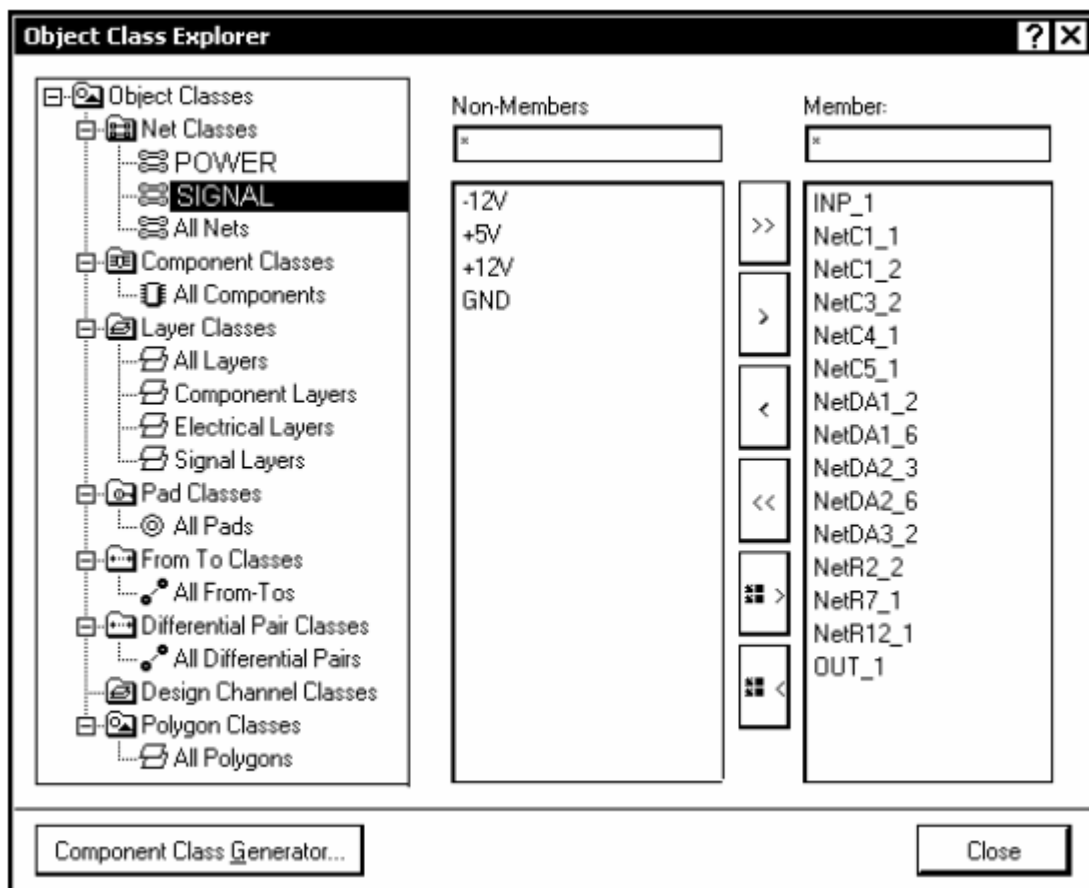



Рис. 4.3

4. Вибрати в дереві класів вузол утвореного класу.

5. Вибрати курсором, утримуючи клавішу Ctrl, групу імен, що передаються утвореному класу, і натисканням на кнопку  перенести імена в поле Members.

4.3 Налаштування правил проектування

Вбудована в Altium Designer 6 система правил має ряд помітних відмінностей від подібних систем, використовуваних в інших САПР функціональних вузлів РЕЗ на друкованих платах.

- Правила відокремлені від об'єктів: вони не привласнюються об'єктам як атрибути, а самі утворюють середовище, що впливає на окремі об'єкти або групи об'єктів, можуть модифікуватися і застосовуватися до однорідних або різнорідних об'єктів.

- Правила налаштовуються і застосовуються до об'єктів через гнучку систему запитів (Query System).

- Безліч однотипних правил може бути застосована до різних наборів об'єктів. Наприклад, ширина друкованих провідників може бути однією на одному шарі та іншою – на іншому.

- Правила наділяються пріоритетом – для одного і того ж об'єкту може бути призначено багато правил, при цьому "зіткнення" різних правил (Contentions) дозволяються призначенням пріоритетів.

- Існують два типи правил – унарні, такі, що визначають поведінку одного об'єкту, і бінарні – що попарно визначають взаємодію пар об'єктів.

Проектування функціонального вузла модуля фільтрів, вибраного як приклад, не вимагає залучення усіх можливостей налаштування правил проектування. Обмежимося налаштуванням таких параметрів– ширини друкованих провідників і проміжків між елементами друкованого рисунку. Встановимо також значення мінімально допустимого проміжку між корпусами компонентів.

1. Активізуємо команду головного меню Design>>Rules. У дереві правил діалогового вікна PCB Rules and Constraints Editor (Рис. 4.4) можемо спостерігати вузли, утворені правилами, налагодженими для класу ланок живлення і Землі в середовищі схемного редактора (див. розд. 3.3.6). Для кожної з чотирьох ланок обмеження, накладені на допустиму величину проміжків і допустиму ширину друкованих провідників, утворюють вузли з іменами Schematic Clearance Constraint і Schematic Width Constraint.

2. При виборі курсором одного з вузлів Schematic Width Constraint в полі Constraints в правій половині вікна, рис. 4.4, відображається ескіз фрагмента друкованого провідника, з позначенням мінімальної, номінальної і максимально допустимої ширини провідника, ті ж самі дані у вигляді таблиці і кольорове позначення провідників на сигнальних шарах Top Layer і Bottom Layer.

3. У полі Full Query вміщено напис (InNet(-12V)), що означає приналежність провідників ланці “мінус 12V”.

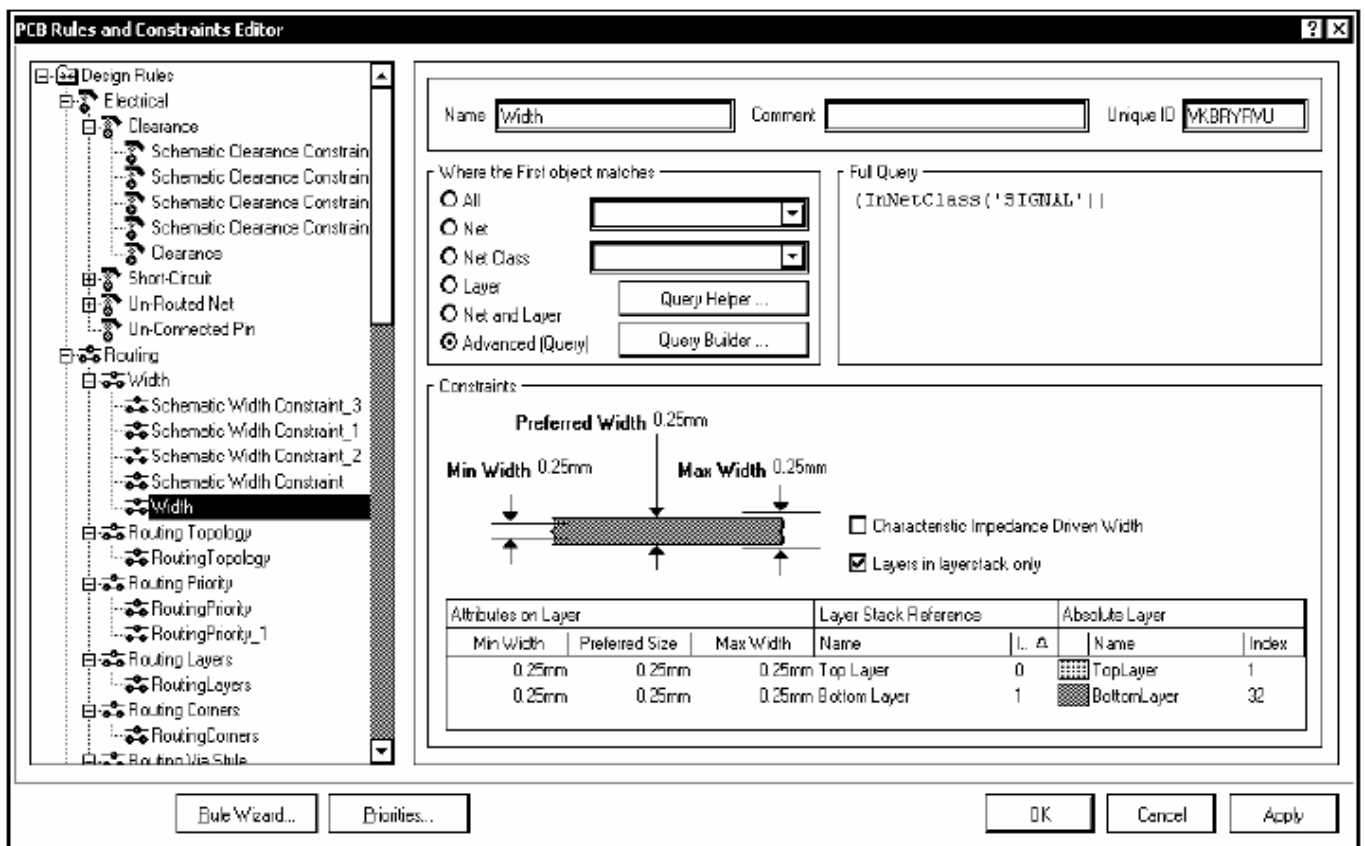


Рис. 4.4

4. У разі потреби змінити ширину провідників даної частини схеми, змінити розмірні цифри на ескізі і зафіксувати результат кнопкою Apply – застосувати.

Розглянемо ще один спосіб призначення параметрів групі друкованих провідників, не пов'язаний з призначенням класів ланок. Для цього служить процедура формування запитів (Query).

1. У дереві правил діалогового вікна, рис. 4.4, вибрати вузол Width – ширина.

2. У полі Constraints встановити необхідне значення ширини провідника, аналогічно п. 4.

3. Натисканням лівої клавіші миші активізувати команду-кнопку Query Builder. Відкривається діалогове вікно формування запитів на визначення приналежності провідника цієї ширини ланкам схеми, Building Query from Board (рис. 4.5). Спочатку в колонці Condition Type/Operator міститься пропозиція додати (у таблицю) першу умову: Add First Condition.

4. Натисненням лівої клавіші розгорнути випадний список умов і вибрати в ньому умову Belongs to Net – належить ланці. У колонці Condition Value повторюється вираз Belongs to Net. Навести на нього курсор і натисненням лівої клавіші активізувати випадаючий список ланок функціонального вузла.

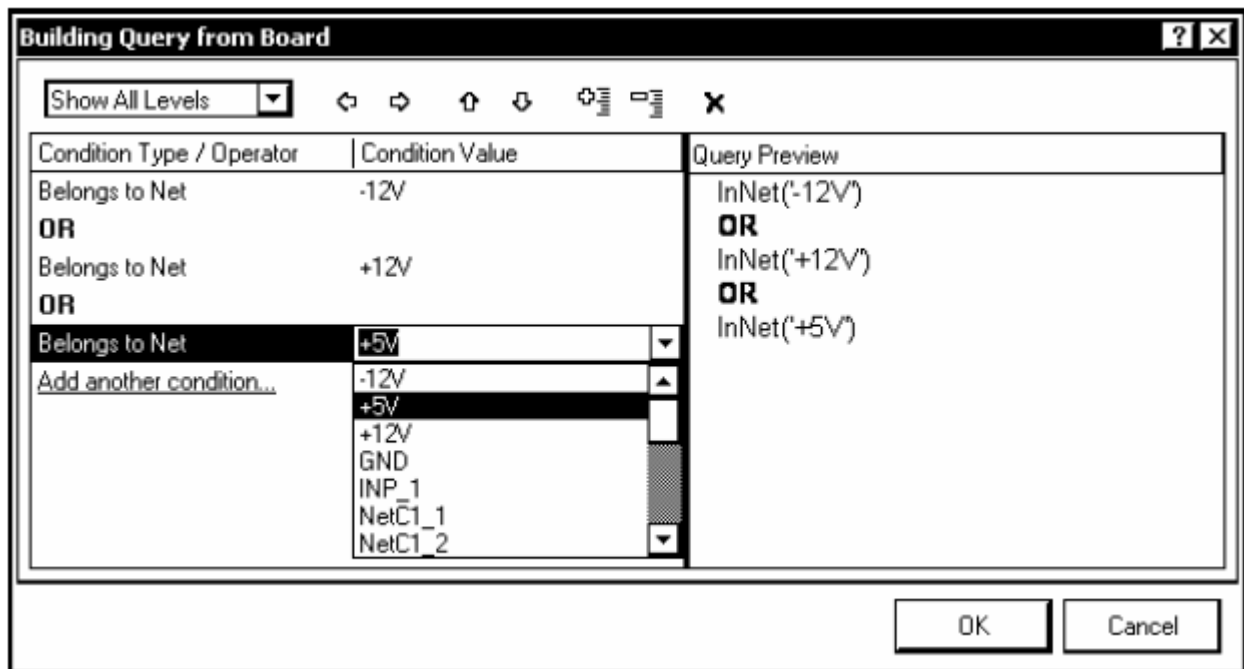


Рис. 4.5

5. Вказати в списку ім'я частини схеми “– 12V”. У правому полі вікна, Query Preview, з'являється рядок InNet(''-12V'), а в колонці Condition Type / Operator лівого поля виводиться пропозиція додати наступну умову: Add Another Condition.

6. Повторити дії пп. 4, 5, вказавши ім'я наступної частини схеми, наприклад, частини схеми "+12V". Між рядками першої і другої умови з'являється рядок з позначенням логічної функції, що об'єднує дві призначені умови. Це може бути кон'юнкція – функція AND (І) або диз'юнкція – функція OR (АБО). Натисканням лівої клавіші розгорнути список з цих двох логічних функцій і вибрати функцію АБО (OR).

7. Повторюючи дії пп. 4..6, скласти повний список ланок, для розводки яких призначається дана ширина провідників. Список цих ланок і правила їх об'єднання в групу відображається в полі Query Preview вікна, рис. 4.5.

8. Натисненням ОК завершити діалог формування запитів. У вікні налаштування правил, рис. 4.4, кнопкою Apply зафіксувати виконані зміни правил.

Покажемо тепер, як призначається ширина друкованих провідників для частини схеми цілого класу Signal. Для цього виберемо в вітці Routing>>Width вузол Width, встановимо значення ширини провідника 0,25 мм і запустимо процедуру формування запитів Query Builder. Аналогічно п. 4, розгорнемо у вікні, рис. 4.5, випадаючий список умов, але виберемо в ньому умову Belongs to Net Class, після чого в колонці Condition Value розгорнемо випаючий список класів і вкажемо в ньому клас Signal.

В полі Query Preview виводиться рядок InNetClass('Signal'). Натисненням ОК закриємо формування запитів, і у вікні, рис. 4.4 зафіксуємо налаштування кнопкою Apply – застосувати.

Призначимо для нашого проекту ще одне правило – обмеження мінімально допустимого проміжку між корпусами компонентів. Активізуємо в дереві правил діалогового вікна, рис. 4.4, вузол Placement>>Component Clearance. В полі Constraints зображається діаграма (рис. 4.6), що дозволяє встановити необхідні значення проміжків. Встановимо значення проміжків по горизонталі і по вертикалі 1,25 мм і зафіксуємо налаштування кнопкою Apply.

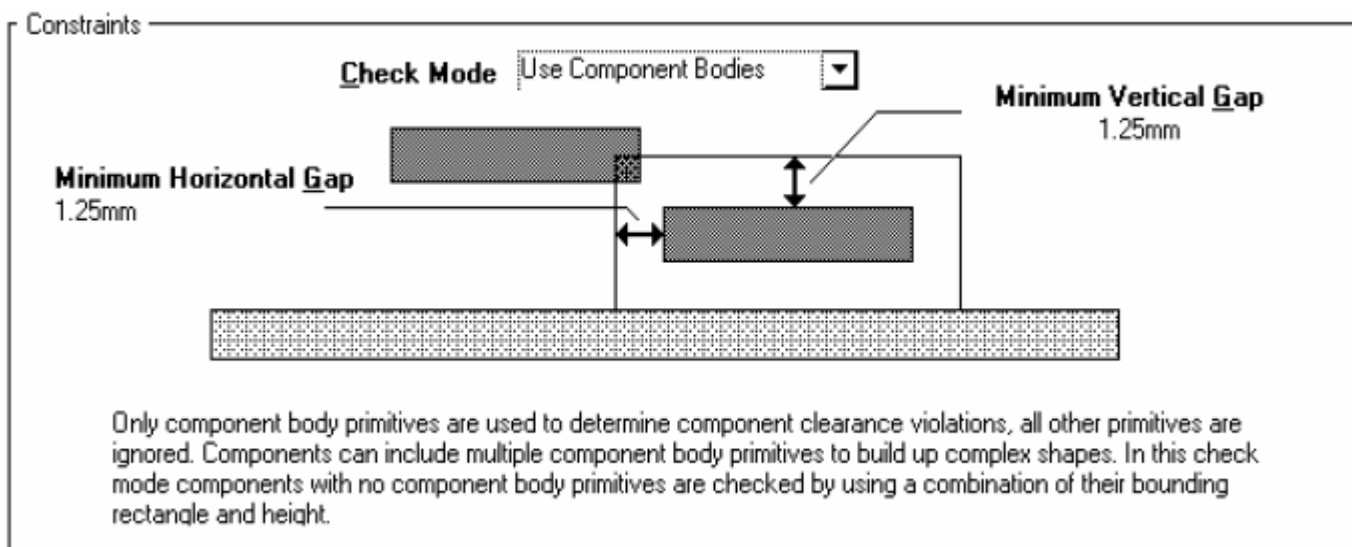


Рис. 4.6

4.4 Пріоритети правил

При призначенні кількох однорідних правил-обмежень, наприклад, ширини провідників для різних ланок або класів, програма вибудовує їх пріоритети в тій послідовності, в якій призначалися правила, позначаючи пріоритет порядковими номерами, починаючи з 1 і далі. Для зміни пріоритету натисненням кнопки Priorities у вікні рис. 4.4 активізувати діалог редагування пріоритетів. Відкривається діалогове вікно Edit Rule Priorities (рис. 4.7). Кнопки Increase Priority і Decrease Priority переміщують вибране правило вгору/вниз за списком, міняючи його пріоритет. З цього можна зробити висновок, що пріоритет 1 – вищий.

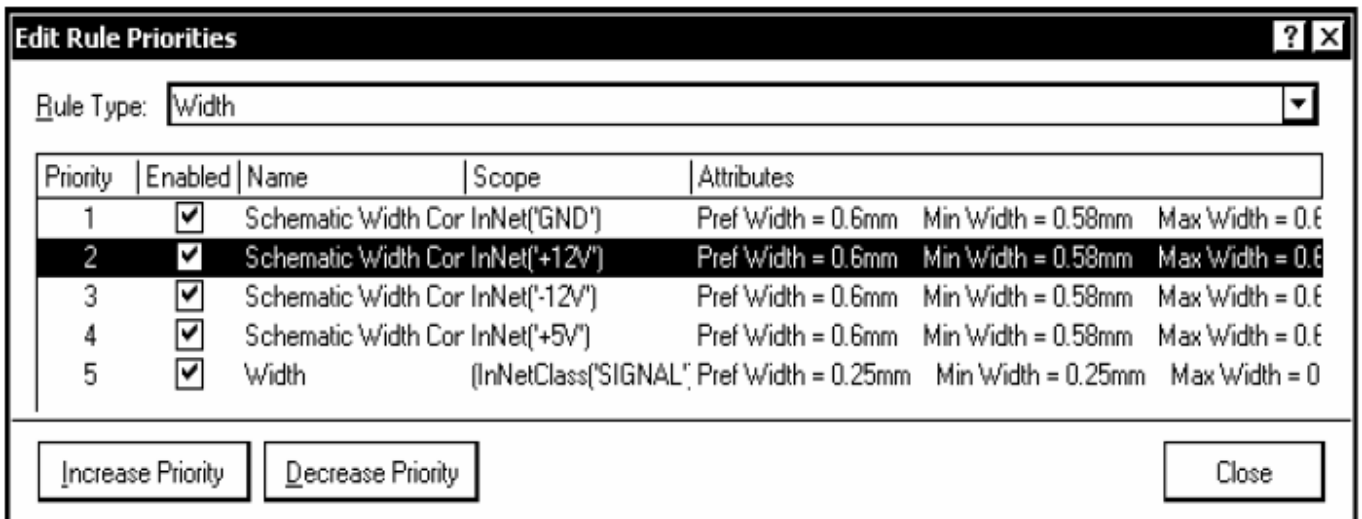


Рис. 4.7

По-іншому встановлюється пріоритет правила Routing Priority, якому призначається атрибут Priority в правому полі вікна, рис.4.4. Значення атрибуту Priority може бути встановлене в межах 0...100 (100 – вищий пріоритет). При цьому, кнопкою Priorities звичайним способом викликається вікно редагування пріоритетів, в якому правила, як і в першому випадку, побудовані за списком з номерами 1, 2 і так далі і також можуть переміщатися вгору/вниз (рис. 4.8). В результаті, правило з більш високим значенням атрибуту Priority може опинитися в списку нижче правила з меншим значенням атрибуту.

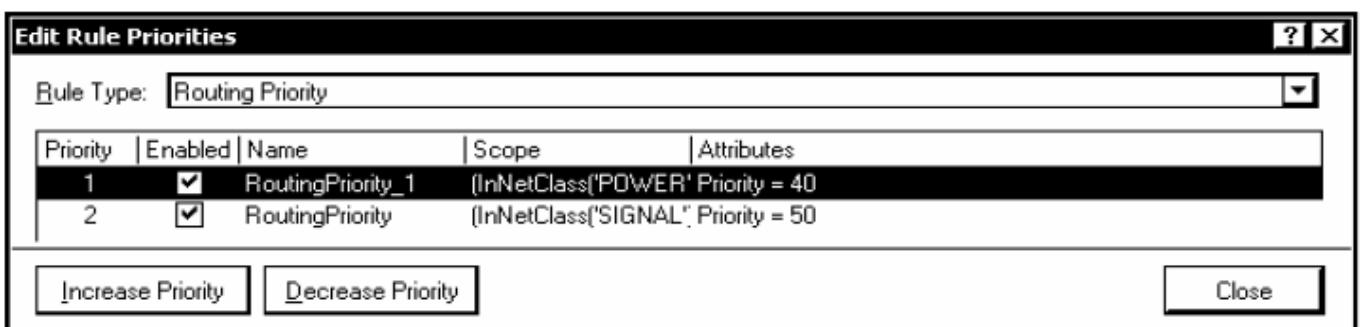


Рис. 4.8

4.5 Порядок застосування правил

Порядок застосування правил проектування, залежно від складності проекту, може бути простим і очевидним, а може бути і дуже складним. У середовищі проектування друкованої плати Altium Designer 6 закладені ефективні засоби контролю того, в якому порядку встановлені правила проектування застосовуються до різних об'єктів. Можливі два методи контролю застосування правил: перший – вибрати об'єкт і досліджувати правила, що поширюються на цей об'єкт; другий – вибрати правило і провести огляд

об'єктів, що підпадають під ці правила. Як використати один з цих методів або їх поєднання – питання персональних переваг розробника проекту.

4.5.1 Накладання правил на об'єкти

Можуть перевірятися унарні і бінарні правила. Процедура перевірки пріоритетів в обох випадках практично однакова. Для перевірки унарних правил навести курсор на об'єкт на друкованій платі, після чого натисканням правої клавіші активізувати контекстне меню і вказати в ньому команду Applicable Unary Rules (застосовувані унарні правила). Відкривається діалогове вікно Applicable Rules (рис. 4.9). На активній вкладці Unary Rules вказано ім'я вибраного об'єкту і розгорнутий список правил, накладених на цей об'єкт.

Список розбитий на категорії. Інформація по кожній категорії згрупована в списки. Правила розташовані в списку в порядку спадання пріоритету, при цьому правило, що має вищий пріоритет, відзначається галочкою зеленого кольору, а правила з меншим пріоритетом і правила, дія яких призупинена, відзначаються червоними хрестиками. Це дозволяє візуально оцінити порядок застосування правил. У разі потреби відредагувати якесь із правил, вибрати його курсором і кнопкою Design Rules активізувати розглянуту раніше стандартну процедуру редагування правил. Для перевірки і редагування бінарних, тобто правил, що встановлюють взаємовідносини пари об'єктів, вказати курсором перший об'єкт. Правою клавішею активізувати контекстне меню і вказати в ньому команду Applicable Unary Rules.

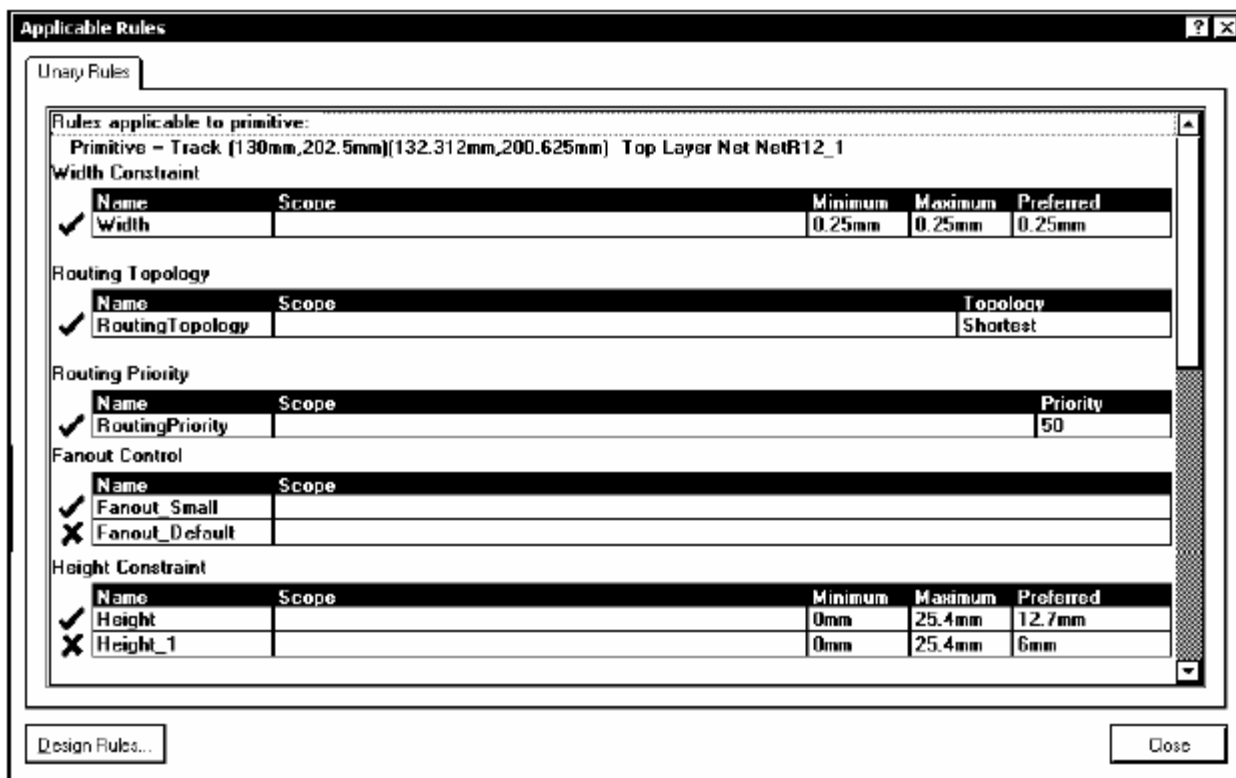


Рис. 4.9

Виділити натисканнями миші два об'єкти, для яких призначалися правила. Відкривається діалогове вікно Applicable Rules з активною вкладкою Binary Rules (рис. 4.10). Цього разу на вкладці вказані імена двох об'єктів, а в списку правил вказані правила, що визначають взаємовідносини (на рис. 4.10 – проміжок) між цими двома об'єктами. Пріоритет правил також відмічений значками: вищий – зеленою галочкою; нижчий – червоним хрестиком.

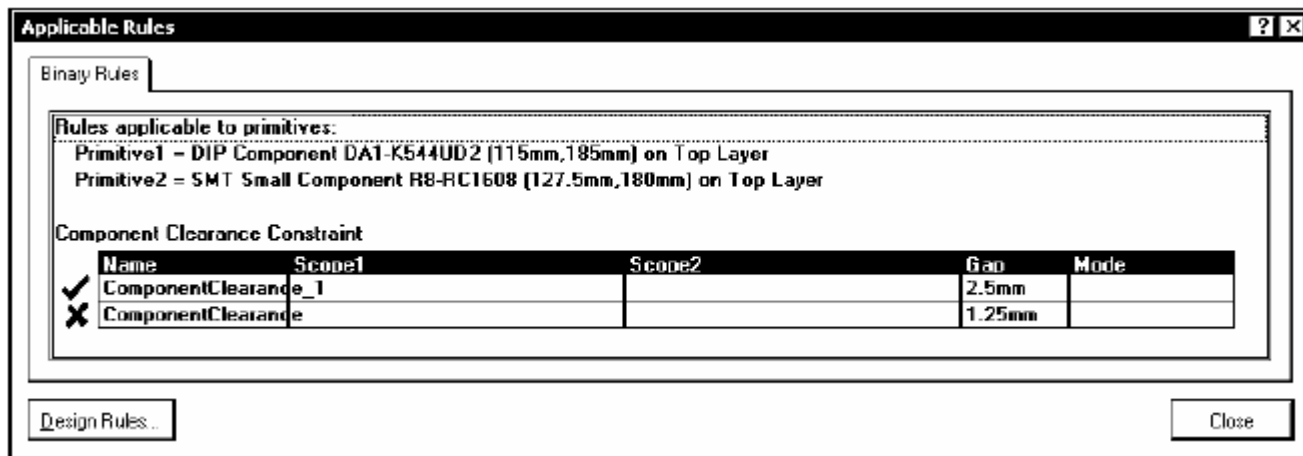


Рис. 4.10

Аналогічно унарним правилам, бінарне правило також може бути відредаговане.

4.5.2 Огляд об'єктів, що підпадають під правило

1. Активізуємо в середовищі графічного редактора друкованої плати плаваючу панель РСВ (рис. 4.11).

2. Налаштуємо панель на дослідження правил проектування. Для цього у верхньому полі вікна, рис. 4.11, розгорнемо випадаючий список і виберемо в ньому рядок Rules – правила.

3. У нижньому полі панелі РСВ представлений список встановлених класів правил. Виберемо в цьому списку правило, що встановлює обмеження на ширину друкованих провідників – Width Constraint.

4. За контекстом в наступному полі відкривається список усіх налаштованих обмежень. У нашому випадку це ширина провідників, що належать колу живлення (Power) і колам класу Signal.

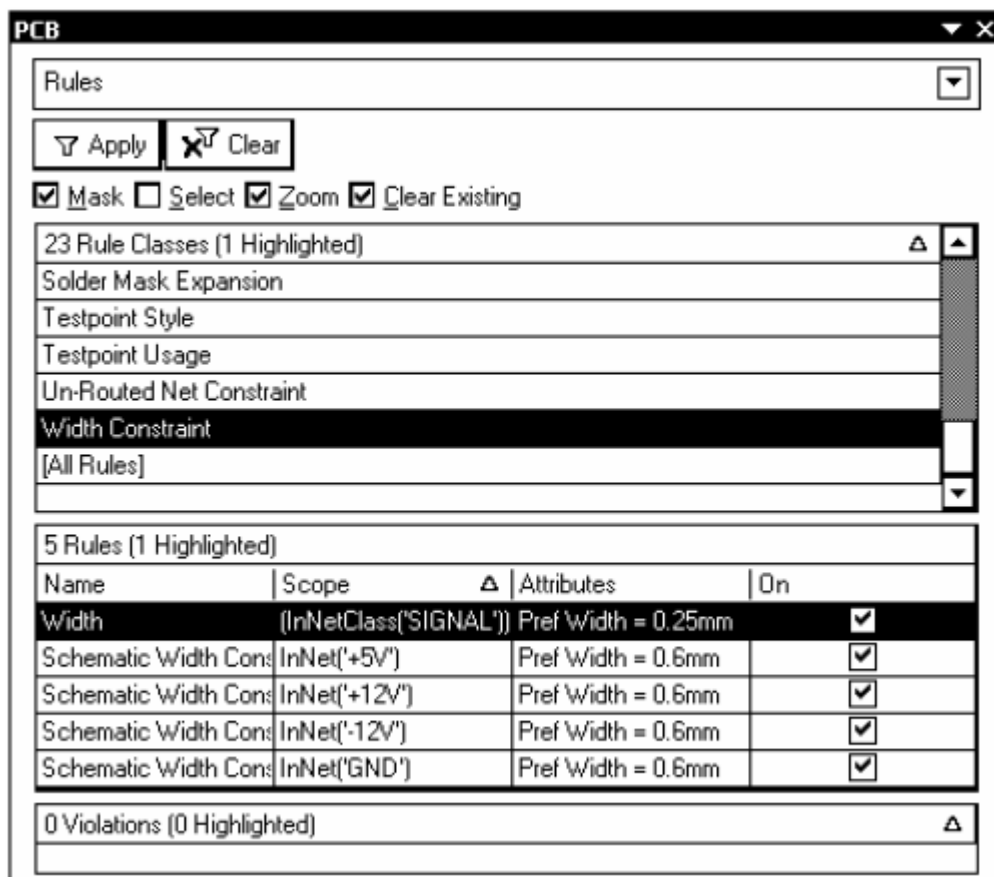


Рис. 4.11

5. При виборі одного з правил в панелі PCB в середовищі графічного редактора друкованої плати відкривається процедура фільтрації об'єктів, в результаті на платі підсвічуються об'єкти, на які поширюється це правило. В даному випадку це друковані провідники.

6. Подвійним натисканням лівої клавіші вибране правило викликається для редагування. Відкривається діалогове вікно з ім'ям Edit PCB Rule – Max-Min Width Rule, що фактично повторює праве поле вікна, приведеного на рис. 4.4.

4.6 Розміщення компонентів на друкованій платі

Аналогічно до інших відомих САПР друкованих плат, Altium Designer 6 містить функції ручного і автоматичного розміщення компонентів. Критерієм досягнення успіху при автоматичному розміщенні (там, де воно є) зазвичай виступає критерій мінімуму середньої довжини зв'язку. При ручному розміщенні можлива лише візуальна оцінка. Інтуїтивно конструктор керується подібним критерієм хоча кількісна його оцінка складна, і тому обчислення зазвичай не робляться. Досвід показує, що результат ручного розміщення часто перевершує результат автоматичного розміщення в тих САПР, де ця функція доступна. Почнемо з розгляду ручного розміщення компонентів.

4.6.1 Ручне розміщення

Прийоми ручного розміщення компонентів на полі друкованої плати відрізняються від тих, до яких звикли розробники, що працюють в P-CAD версій 2000 і вище. Основна відмінність полягає у відсутності необхідності попереднього виділення (вибору) компонента.

1. Клавішами Page Up/Page Down відмасштабувати зображення контурів плати і ТПМ компонентів проекту, що лежать поверх неї або поруч (див. рис. 4.2) .

2. Кнопками прокрутки екрану перемістити усе зображення так, щоб на полі друкованої плати в межах її контуру було досить місця для розміщення ТПМ в нових розміщеннях.

3. Навести курсор приблизно в геометричний центр ТПМ, що підлягає переміщенню, натиснути ліву клавішу миші і, не відпускаючи її, почати переміщення ТПМ полем друкованої плати. При цьому курсор змінює форму на перехрестя малого розміру (Small Cross) і перескакує на точку прив'язки ТПМ (Reference Point). Зручно формувати ТПМ так, щоб це був ключовий контакт компонента.

4. Ключова точка, а разом з нею і усе ТПМ, переміщається дискретно по вузлах сітки Component Grid. Одночасно з цим переміщаються ниточки електричних зв'язків. Крім того, програма показує на екрані "вектор тяжіння" компонента до інших компонентів, пов'язаних з ним електричними зв'язками. Цей вектор має зелений колір, якщо в процесі переміщення ТПМ програма не виявляє порушень правил проектування: в нормі залишаються проміжки між компонентами, не перетинаються (якщо це взагалі можливо) і не розтягуються надмірно електричні зв'язки. Якщо розміщення за оцінкою програми погіршується, вектор набуває червоного кольору.

5. Орієнтуючись по розташуванню і кольору цього вектору, перемістити ТПМ в нове розміщення, так щоб контури ТПМ цілком залишалися в межах контуру плати.

6. Відпустити клавішу миші. ТПМ компонента фіксується в новому положенні.

7. Аналогічним чином, перемістити компоненти, що залишилися.

В процесі переміщення натисненням клавіші ПРОПУСК (SPACEBAR) ТПМ можуть повертатися на кут, кратний 90° . При цьому текст, пов'язаний з компонентом (позиційне позначення за схемою) обертається разом з графікою ТПМ.

Для переміщення або повороту тексту, пов'язаного з компонентом, не чіпаючи орієнтації ТПМ, слід спочатку зробити його видимим – активізувати шар, в якому він сформований у бібліотечному компоненті (зазвичай це шар Top Overlay), після чого вказати на текст курсором і переміщати його при натиснутій клавіші миші або повертати натисненням клавіші ПРОПУСК.

Допомогою в розташуванні компонентів, особливо аналогових можуть служити рекомендації, приведені в посібниках по застосуванню компонентів або публіковані виробниками компонентів в довідкових матеріалах. Дотримуючись цих рекомендацій, можна уникнути неприємностей пов'язаних з

можливістю виникнення паразитних зв'язків між вхідними і вихідними сигнальними ланками і тому подібне.

Окрім розглянутих, Altium Designer 6 містить засоби інтерактивного розміщення компонентів. Це, в основному, функції вирівнювання розміщуваних компонентів і зміни відстаней між ними.

1. Вибрати мишкою, утримуючи натиснутою клавішу Shift, декілька компонентів на полі друкованої плати. Можна замість цього оточити групу компонентів рамкою селекції при натиснутій лівій клавіші миші.

2. Навести курсор на один з вибраних компонентів і натисканням правої клавіші миші активізувати контекстне меню (рис. 4.12, а).

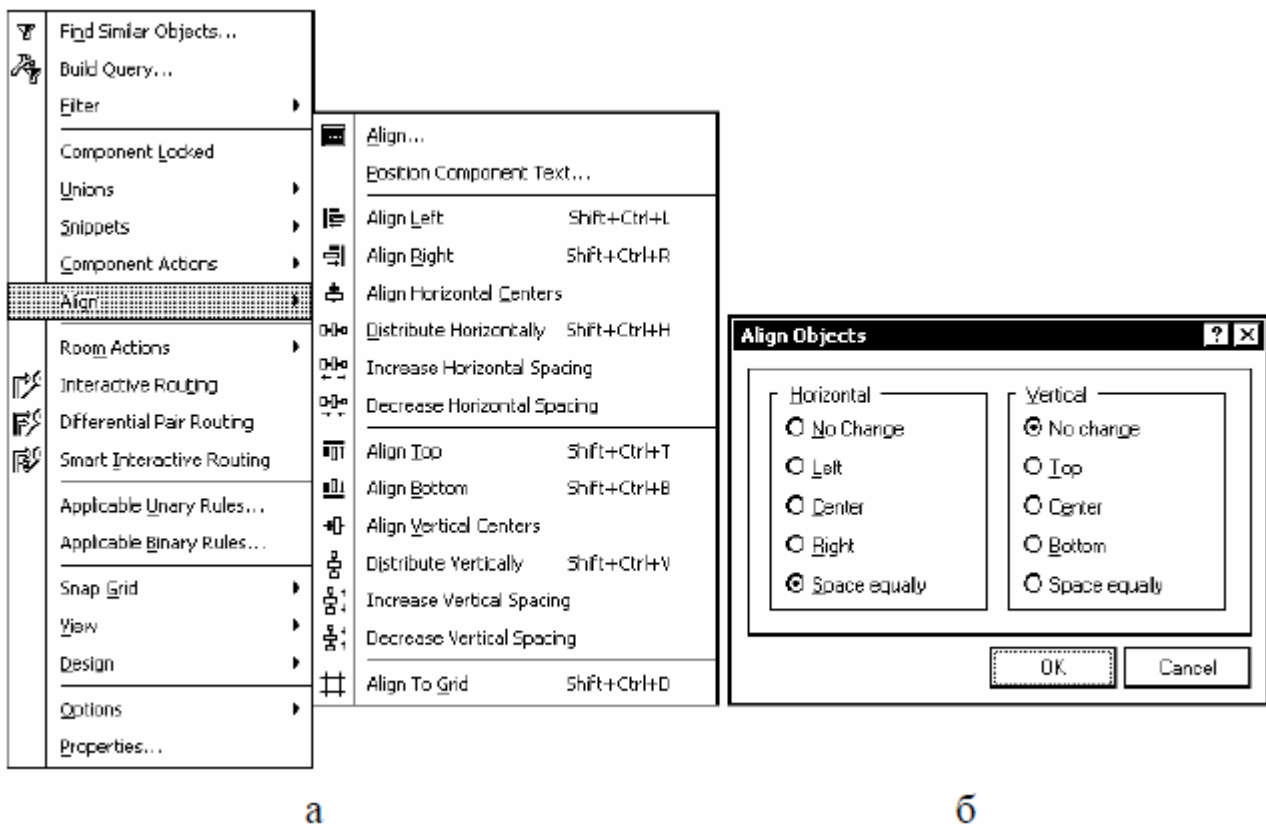


Рис. 4.12

3. Вказати в контекстному меню команду Align – вирівняти. Відкривається панель підкоманд:

- Align – при активізації цієї підкоманди викликається діалогове вікно (рис. 4.12, б), в якому можуть бути активізовані 8 з 14-ти команд перерахованих далі;
- Position Component Text – змінити розміщення тексту, пов'язаного з компонентами;
- Align Left – вирівняти вибрану групу компонентів по лівому краю області селекції;
- Align Right – вирівняти по правому краю області селекції;
- Align Top – вирівняти по верхньому краю;

- Align Bottom – вирівняти по нижньому краю;
- Align Horizontal Centers – вирівняти центри ТПМ по горизонталі, в межах області селекції;
- Align Vertical Centers – вирівняти центри ТПМ по вертикалі;
- Didtribute Horizontally – розподілити рівномірно по горизонталі, в межах області селекції;
- Distribute Vertically – розподілити рівномірно по вертикалі;
- Increase Horizontal Spacing – збільшити проміжки по горизонталі;
- Decrease Horizontal Spacing – зменшити проміжки по горизонталі;
- Increase Vertical Spacing – збільшити проміжки по вертикалі;
- Decrease Vertical Spacing – зменшити проміжки по вертикалі;
- Align to Grid – розподілити по вузлах сітки.

4. Після закінчення вирівнювання вивести курсор на вільний простір в межах графічного листа редактора друкованої плати і натисканням лівої клавіші миші зняти селекцію з вибраної групи ТПМ. В цілому, при тому, що розглянуті функції вважаються функціями інтерактивного розміщення, посправжньому вплинути на розміщення вони не в змозі, хоча і надають деякі локальні зручності.

4.6.2 Автоматичне розміщення

Слід зазначити, що більшість відомих САПР має досить слабкі засоби авторозміщення. Не є винятком і Altium Designer.

До складу функцій Altium Designer 6 входять 2 утиліти авто розміщення компонентів – Cluster Placer і Statistical Placer. Перша утиліта призначена для роботи з нескладними проектами – не більше 100 компонентів на одній друкованій платі. Друга утиліта має в основі складніший алгоритм і призначена для складніших проектів. Перед початком авторозміщення необхідно визначити на платі область, в яку мають бути поміщені компоненти.

1. Вказати мишею в обрамленні графічного вікна програми закладку з ім'ям шару Keep-Out Layer.

2. Активізувати команду головного меню Place>>Keepout>>Track.

3. Вказуючи натисканнями миші кути, накреслити замкнутий контур області розміщення. Потім слід вказати правила і обмеження, яких повинна дотримуватись програма при авторозміщенні.

4. Активізувати в головному меню програми, або в контекстному меню (по клацанню правої клавіші) або гарячими клавішами D, R команду налаштування правил Design>>Rules.

5. Вибрати в дереві правил діалогового вікна PCB Rules and Constraints Editor (див. рис. 4.4) гілка Placement/Component Clearance.

6. У полі Constraints (обмеження) діалогового вікна рис. 4.4 активізувати випадаючий список і вказати в ньому режим перевірки виконання правил:

- Quick Check – швидка перевірка: перевіряється величина проміжку між прямокутниками мінімального розміру, що охоплюють усі графічні примітиви, які утворюють контури компонентів;

- Multi Layer Check – те ж саме плюс контроль наявності наскрізних КП на шарі Bottom, на випадок, якщо виконується розміщення компонентів з штирьовими виводами на одній стороні плати і планарних компонентів на іншій;

- Full Check – повна перевірка: перевіряються проміжки між істинними контурами компонентів;

- Use Component Bodies – дослівно: використання тіла компонента – правило, що поширюється на компоненти, які мають тривимірну модель корпусу: в полі Constraints будується діаграма (див. рис. 4.6), на якій вказується не лише проміжок між компонентами на площині ПП, але і проміжок по висоті.

7. У полях Where the First object matches (де зустрічається перший об'єкт) і Where the Second object matches (де зустрічається другий об'єкт) сформувати підмножини об'єктів, між якими призначається мінімально допустимий проміжок. Підмножини об'єктів формуються за допомогою процедури генерації запитів, що активізується натисненням кнопки Query Builder (див. параграф 4.3). Проте, групуючи об'єкти в підмножини, ми можемо задати значення проміжків між об'єктами першої і другої підмножин, тоді як усередині кожної підмножини проміжок вказати важко. Для цього довелося б включити усі об'єкти як в першу, так і в другу підмножину. Таке розміщення досягається простішим способом: слід активізувати в обох полях діалогового вікна опцію All – усе. В цьому випадку програма авторозміщення перевірить величину проміжку між будь-якою парою компонентів.

8. Кнопкою Apply – застосувати – у вікні налаштування правил зафіксувати встановлені правила управління проміжками.

9. Окрім розглянутого, може бути налагоджено ще декілька правил для авторозміщення:

- Component Orientations – орієнтація компонентів;
- Permitted Layers – дозволені шари;
- Nets to Ignore – частини схеми, які слід ігнорувати (оскільки головним критерієм при авторозміщенні є довжина ліній електричного зв'язку, занадто довгі частини схеми утрудняють розміщення і уповільнюють його виконання);
- Height – висота корпусів компонентів.

10. Активізувати команду головного меню Tools>>Component Placement>> Auto Placer. У відкритому діалоговому вікні Auto Place активізувати опцію Cluster Placer і натисненням ОК запустити процедуру авторозміщення. Утиліта Cluster Placer розміщує компоненти в області Keerout, притискаючи їх до лівого нижнього кута області. Якщо при цьому проміжок між компонентами або компонентами і межею області Keerout виявляється меншим за вказаний в правилах, такі компоненти, а також межі області розміщення відтіняються зеленим кольором. Використовуючи операції ручного або інтерактивного розміщення, добитися задовільного результату.

Розглянемо ще один прийом, який дозволяє дещо поліпшити результат авторозміщення, – розміщення в областях Room ("кімнати").

1. Перед розміщенням слід згрупувати компоненти, що підлягають розміщенню в першій, другій і т. д. областях Room в класи. Процедура об'єднання об'єктів в класи розглянута в параграфі 4.2.

2. Аналогічно пп.1...3 (див. параграф 4.6.2) побудувати загальну область Keerout для розміщення усіх компонентів проекту.

3. Активізувати діалог налаштування правил (команда Design>>Rules в головному або контекстному меню або клавішами D, R).

4. У дереві правил проекту (рис. 4.13) вказати гілку Placement/Room Definition, натисканням правої клавіші миші активізувати контекстне меню і в ньому команду New Rule – призначити нове правило. У вітці з'являється новий вузол з ім'ям Rule Definition.

5. Вибрати в дереві нову гілку і перейменувати її – ввести нове ім'я у полі Name в правій половині вікна, рис. 4.13.

6. У полі Where the First object matches кнопкою Query Builder активізувати побудову запитів на призначення класів об'єктів, що підлягають розміщенню в області Room (див. рис. 4.5). У полі результатів Full Query з'являється повідомлення (In Component Class ('<ім'я класу об'єктів>')).

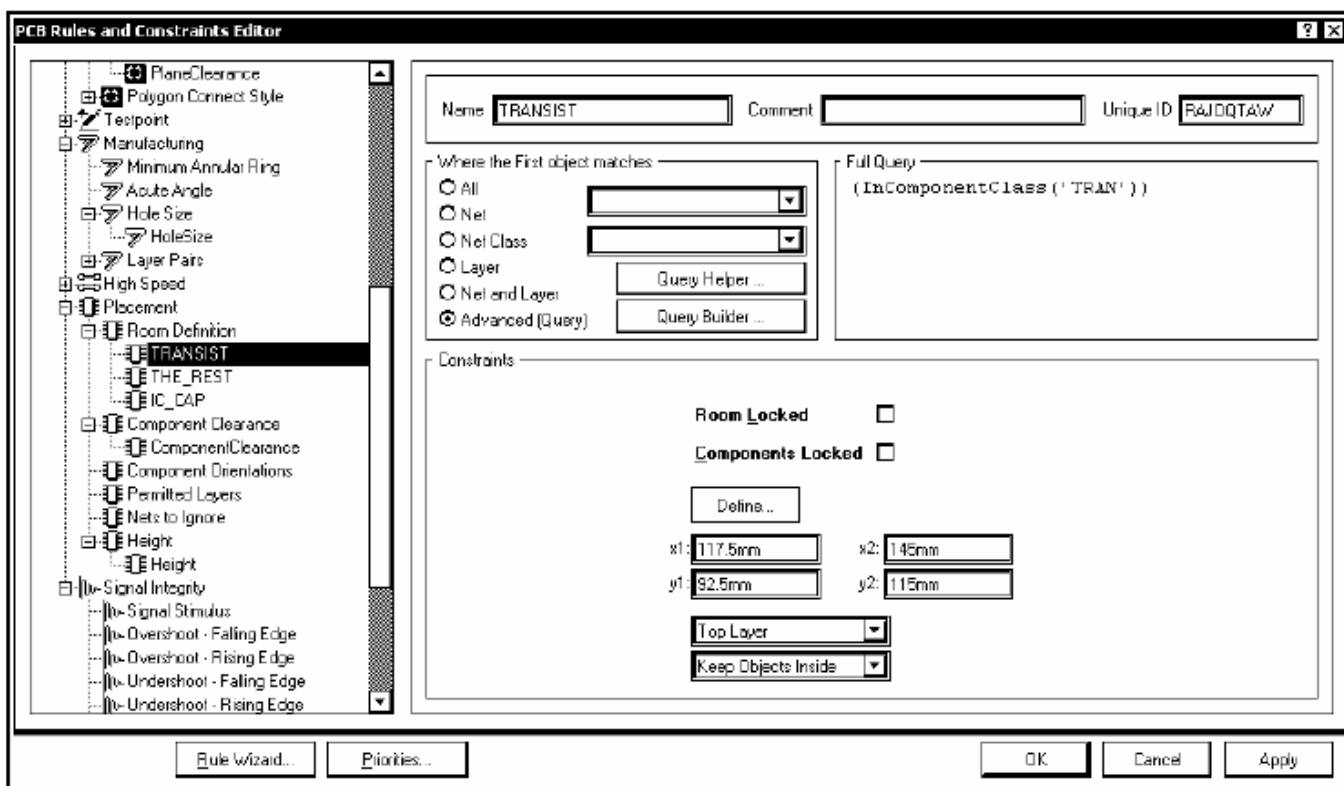


Рис. 4.13

7. У полі Constraints:

- вказати один із зовнішніх шарів друкованої плати, на якому розміщуються компоненти (на рис. 4.13 вказано верхній шар Top Layer);
- вказати ознаку розміщення об'єктів в межах границі області Room – Keep Objects Inside;

- кнопкою Define активізувати процедуру визначення геометричної форми області Room: діалогове вікно тимчасово закривається, після чого рухами курсора і натисканнями лівої клавіші миші вказати кути області Room так, щоб усі вони лежали в межах зони Keerout, а сама область була однозв'язною (без перетину ребер); якщо область Room повинна мати прямокутну форму, замість цього можна ввести з клавіатури координати протилежних кутів прямокутника.

8. Аналогічним чином визначити наступні області Room, вказати у них класи об'єктів і виконати розміщення в цих областях.

4.7 Трасування друкованого монтажу

Проектування друкованих плат свого часу було і в деякій мірі досі залишається схожим на мистецтво. Це пов'язано з тим, що кінцевий результат – вдало спроектована друкована плата, провідники якої утворюють витончені конфігурації, оточуючи перешкоди, переходячи з шару на шар, вимагає від конструктора прояву максимуму його творчих здібностей, просторової уяви, поєднаних з методичним підходом, розуміння того, які прийоми дозволяють добитися хорошого стилю і якості.

Однією з головних цілей розробки і використання САПР при проектуванні функціональних вузлів комп'ютерних систем на друкованих платах є автоматизація розводки трас друкованого монтажу. Тільки автотрасування дає справжній стрибок в продуктивності праці конструктора. Робота, яка вручну виконується за тижні і навіть місяці, в сучасних високоефективних САПР виконується за секунди або хвилини, в найважчих випадках – за години. При розробці програмних засобів автотрасування в них вкладаються елементи штучного інтелекту – алгоритми дії нейронних мереж (на тому рівні представлень, який досягнутий сучасною наукою про мозок), топологічні алгоритми пошуку шляху на графі, аналіз геометрії перешкод на шляху друкованого провідника і т. п.

На цій ниві отримано ряд вражаючих результатів – SPECCTRA, P-CAD Shape Router, вітчизняний TopoR, автотрасувальник Situs, що входить в склад Protel DXP і Altium Designer 6, та ряд інших.

Проте, виконання трасування вручну зберігає право на існування. Автотрасувальник зазвичай перебирає електричні зв'язки проекту по черзі і застосовує при розводці систему правил і пріоритетів так звану стратегію, в якій не завжди можливо вказати "тонкі" прийоми розводки. Конструктор, приступаючи до ручного трасування, в змозі окинути проект ширшим поглядом і вибудовує для себе неформальну і складнішу систему правил і пріоритетів, аніж та, яка може бути продиктована програмою. Тому людський інтелект з його алгоритмами, нехай і не вивченими до кінця сучасною наукою, в змозі вирішувати задачу прокладання шляху на монтажному просторі з перешкодами не гірше за сучасні програми автотрасування, щоправда, ціною значно більших витрат часу.

Існує думка, що 90% успіху забезпечує правильне розміщення компонентів, і тільки 10% безпосередньо трасування. Тому може знадобитися в процесі трасування коригувати виконане первинне розміщення, виконувати чорнові спроби, поки нарешті не вийде прийнятний результат. З цих міркувань почнемо виклад питання з опису закладених в графічний редактор друкованих плат Altium Designer 6 засобів ручного трасування друкованого монтажу.

Вважатимемо, що налаштування конфігурації графічного редактора виконана, конфігурація друкованої плати і структура її шарів визначена, розміщення компонентів виконане, правила трасування (класи ланок, ширина провідників, проміжки) задані.

Графічний редактор друкованих плат САПР Altium Designer 6 має три функції ручного трасування. За назвою і суттю усі вони є інтерактивними:

- (Standard) Interactive Routing – стандартне інтерактивне трасування: програма підказує можливий шлях прокладення чергового сегменту друкованого провідника;
- Smart Interactive Routing – "гостре", витончене інтерактивне трасування: програма підказує і частково виконує складніші варіанти прокладення траси;
- Differential Pair Routing – трасування диференціальних пар.

При передачі електричної схеми на друковану плату електричні з'єднання зображаються нитками світло-сірого (за замовчуванням) кольору. Цих ниток може бути настільки багато, що це утруднить вибір ниток, що належать електричному зв'язку, який у даний момент часу повинна бути розведена у вигляді друкованого провідника. На відміну від версій P-CAD 2000 і вище, в яких виділення трасованої частини схеми кольором і яскравим підсвічуванням вказується при налаштуванні конфігурації графічного редактора друкованих плат і потім виконується автоматично. В Altium Designer 6 таке виділення вказується для кожної наступної частини схеми індивідуально і може бути виконано кількома способами.

1. Маскування усього іншого з використанням функцій плаваючої панелі РСВ.

- Натисканням лівої клавіші миші на кнопці РСВ в правому нижньому кутку головного вікна програми викликати випадне меню і активізувати плаваючу панель РСВ (рис. 4.14).

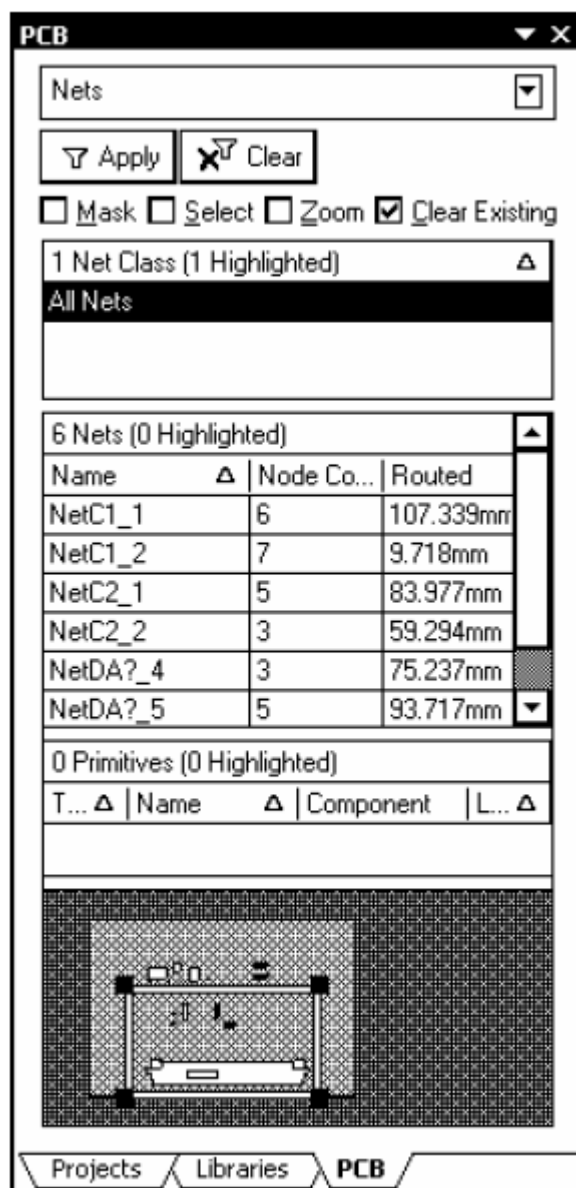


Рис. 4.14

- В полі вибору об'єктів вгорі на панелі PCB вибрати Nets-частини схеми.

В нижніх полях панелі PCB виводиться:

- список класів ланок; якщо класи не призначалися, за замовчуванням усі частини схеми належать одному класу з ім'ям All Nets – усі частини схеми;

- список ланок поточного активного класу: для кожної частини схеми вказується кількість вузлів (контактів компонентів) і довжина друкованого провідника, якщо ланка вже розведена;

- список графічних примітивів, що входять до складу вибраної частини схеми – контактних площадок, перехідних отворів, сегментів друкованого провідника (якщо ланка розведена).

У верхній частині панелі активізувати галочки опцій:

- Mask – маскувати усе окрім вибраної частини схеми;
- Zoom – центрувати і збільшити зображення вибраної частини схеми до розмірів графічного вікна програми;
- Clear Existing – знімати виділення об'єктів попередньої частини схеми при виборі наступної.

В результаті цих налаштувань нитки електричного зв'язку, що належать вибраній ланці залишаються видимими на екрані з попередньою яскравістю, а інші зв'язки маскуються. Маскування знімається натисканням на кнопки Clear.

2. Зміна кольору виділеної частини схеми.

- В панелі PCB вказати курсором ім'я потрібної частини схеми і подвійним натисканням лівої клавіші миші активізувати діалог редагування параметрів частини схеми – вікно Edit Nets.
- З численних функцій редагування нас наразі цікавить управління кольором ниток електричного зв'язку – Connection Color.
- Натисканням лівої клавіші миші на кольоровому полі Connection Color активізувати діалог налаштування кольорової палітри – вікно Choose Color і вибрати для виділеної частини схеми яскравий колір, що відрізняється від кольору, призначеного за замовчуванням.

3. Управління видимістю ліній електричного зв'язку.

- Активізувати в головному меню програми команду View і у випадаючому меню вказати команду Connections (рис. 4.15, а).

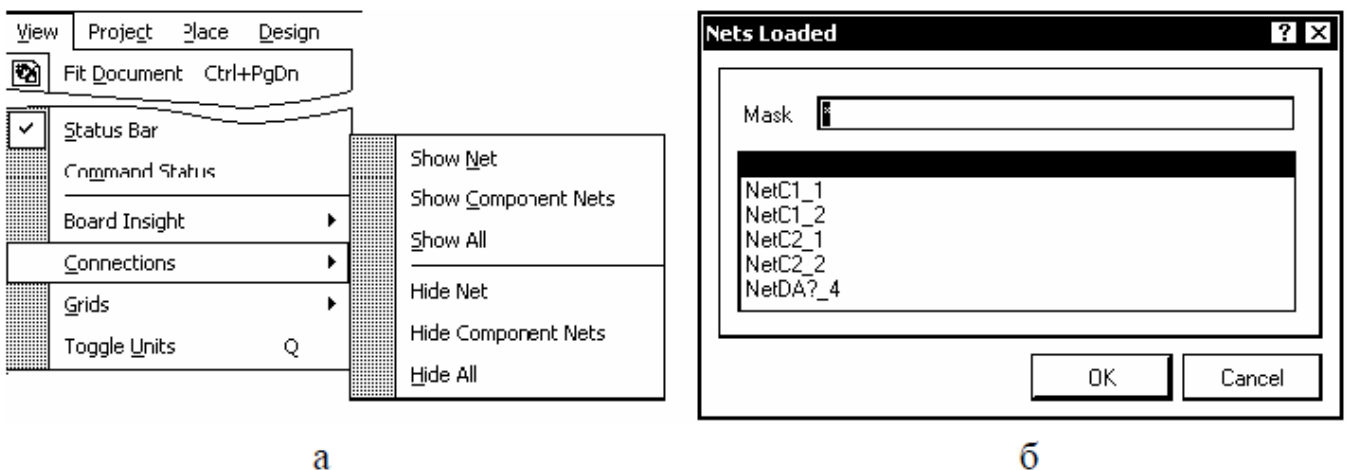


Рис. 4.15

- В підміну наступного рівня вказати команду Hide All – приховати усі зв'язки.
- Повторити команду View>>Connections і вказати підкоманду Show Net – показати ланку (рис. 4.15, а).
- Натисканням лівої клавіші миші в довільній точці графічного вікна програми активізувати діалог призначення імені частини схеми, яка має бути видима – вікно Net Name. Вказати ім'я частини схеми і натисканням ОК ввімкнути її видимість.

- Можна не вказувати ім'я частини схеми, а закрити вікно Net Name натисканням ОК. При цьому відкривається вікно Nets Loaded зі списком усіх ланок проекту (рис.4.15,б). Вибрати курсором ім'я частини схеми зі списку і натисненням ОК ввімкнути її видимість.

Далі розглянемо закладені в Altium Designer 6 функції інтерактивного трасування друкованого монтажу.

4.7.1 Стандартне інтерактивне трасування

1. Вибрати сигнальний шар друкованої плати, на якому повинна починатися розводка чергового електричного зв'язку. Для цього вказати курсором на закладку з ім'ям шару в обрамленні внизу графічного вікна програми.

2. Активізувати команду головного меню Place>>Interactive Routing. Курсор в графічному вікні програми міняє форму на мале перехрестя. У рядку повідомлень головного вікна програми виводиться пропозиція вказати стартову точку траси: Choose Starting Location.

3. Вказати курсором на контакт одного з компонентів, охоплених лінією електричного зв'язку. У разі, якщо активізована електрична сітка (гарячі клавіші Shift+E), захоплення контакту компонента відбувається при наближенні курсору до контакту на відстань меншу одного кроку електричної сітки. На перетині ліній курсору виникає кільце "прицілу", що означає захоплення ланкою контакту.

4. Натисканням лівої клавіші миші почати прокладення друкованого провідника. Провідник зображається на екрані як суцільна смуга, залита кольором активного сигнального шару. Перший сегмент провідника лягає у напрямі першого руху курсору. При відхиленні курсору від первинного напрямку програма будує пунктиром другий сегмент. Напрямок прокладання і стиль виконання сегментів може змінюватися перед початком прокладання і по ходу прокладання сегментів циклічно натисненням гарячих клавіш SPACE (ПРОПУСК) і Shift+SPACE. Можливий вибір з 9 варіантів початку і завершення прокладання чергових сегментів друкованого провідника (див. табл. 4.1 і рис. 4.16).

5. Натисканням лівої клавіші миші перший сегмент фіксується. Другий сегмент з пунктирного перетворюється на суцільний. Прокладання другого сегменту триває, услід за ним пунктиром будується наступний сегмент. Другим натисканням миші обидва сегменти фіксуються на платі.

6. Гарячою клавішею "1" характер прокладання траси міняється: обидва сегменти – початковий і передбачуваний наступний – виконуються з суцільною заливкою і фіксуються обоє сразу одним натисканням лівої клавіші миші.

7. Гарячою клавішею "*" на цифровій клавіатурі змінюється шар трасування. У разі трасування багатошарової друкованої плати сигнальні шари перебираються циклічно. У місці переходу автоматично ставиться перехідний отвір, параметри якого беруться з правил проектування.

Таблиця 4.1

№ вар.	Гарячі клавіші		Формування сегментів	Рис.
	Shift+SPACE	SPACE		
1	Line 45	Start	Початок під кутом 45°, наступний сегмент горизонтально чи вертикально.	4.16, а
2		End	Початок вертикально, наступний сегмент під кутом 45°.	4.16, б
3	Line 45	Start With Arc	Початок під кутом 45° у вигляді дуги, наступний сегмент прямий вверх чи горизонтально.	4.16, г
4		End – Rounded Corner	Початок вертикально, кінець сегменту у вигляді спряженої дуги, продовження пряме під кутом 45°.	4.16, д
5	Line 90	Start	Початок у вертикальному напрямку, наступні сегменти під кутом 90°.	4.16, е
6		End	Початок в горизонтальному напрямку, другий сегмент вертикально і т.д.	4.16, ж
7	Line 90	Start With Arc	Початок у вертикальному напрямку дугою з внутрішнім кутом 90° або прямокутним відрізком з дугою на кінці.	4.16, з
8		End With Arc	Початок у горизонтальному напрямку дугою з внутрішнім кутом 90° або прямокутним відрізком з дугою на кінці.	4.16, и
9	Any Angle	-	Прокладка сегментів під довільним кутом, Але через вузли активної сітки.	4.16,в

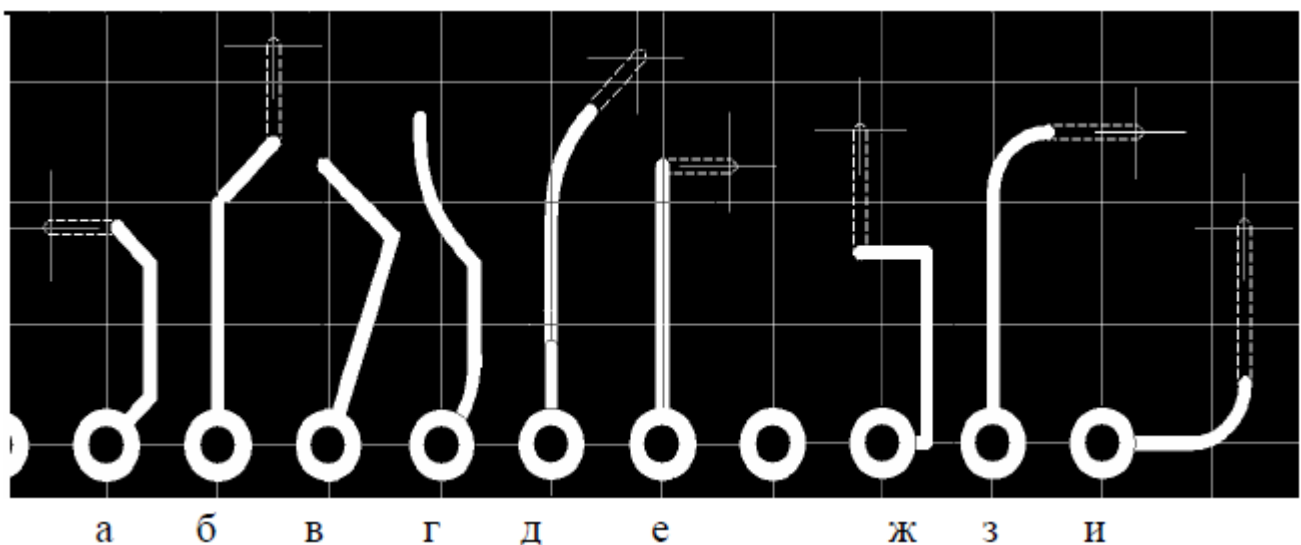


Рис. 4.16

8. Фіксуєючи натисканнями лівої клавіші миші чергові сегменти, довести трасу до кінцевого пункту (контакту компонента). Останнім натисканням

зафіксувати трасу в пункті призначення і зупинити подальше трасування натисканням правої клавіші.

4.7.2 Розв'язання конфліктів

В процесі розводки трас друкованого монтажу постійно виникають конфлікти – на шляху друкованого провідника виявляються частини схеми, проведені раніше, контактні площадки компонентів, заборонені зони та інші перешкоди. У правилах Altium Designer 6 передбачені ряд способів вирішення конфліктів. Налаштування цих правил виконується в діалоговому вікні Preferences, в вітці дерева правил PCB Editor – Interactive Routing (рис. 4.17).

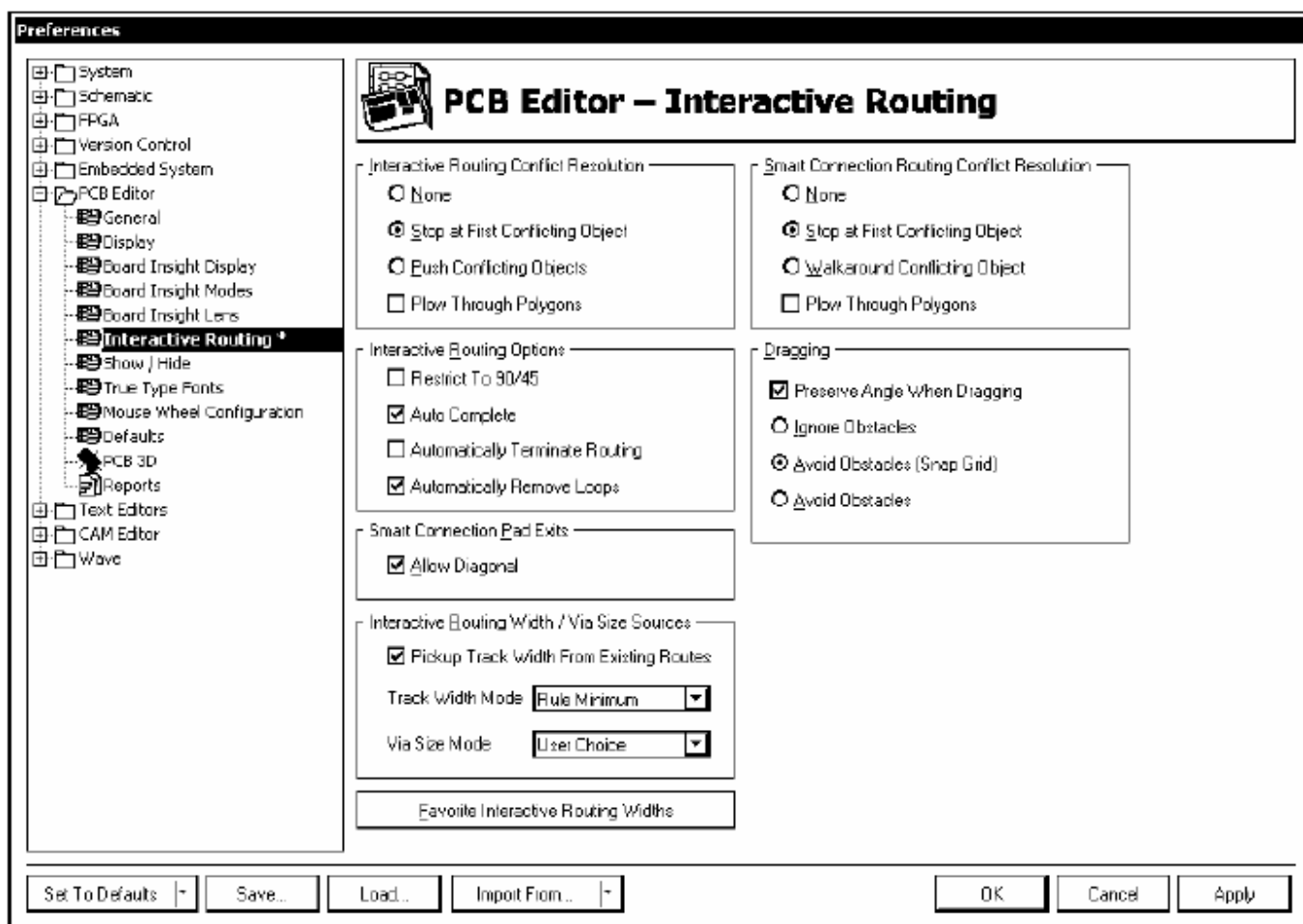


Рис. 4.17

Всього можливі 4 способи розв'язання конфліктів.

1) Stop at First Conflicting Object – зупинитися біля першого конфліктуєчого об'єкту. Цей спосіб встановлений в налаштуваннях правил за замовчуванням і називається в англійській мові сленгом *slam'n'jam* – закриватися і стискатися. Друкований провідник зупиняється перед перешкодою – провідником або контактною площиною, що належать іншій ланці, з дотриманням проміжку, встановленого правилами (рис. 4.18, а).

2) Push Conflicting Objects – розштовхувати конфліктуючі об'єкти. Цей варіант вирішення конфліктів називається push'n'shove – відштовхувати і проштовхуватися. Він доступний тільки в стандартному інтерактивному трасуванні. Провідники, що заважають, деформуються так, щоб забезпечувалася встановлений правилами проміжок між ними і новою трасою (рис. 4.18, б). Якщо відштовхнути перешкоду неможливо (якщо це, наприклад, контактна площадка компонента), програма перемикається в 4-й режим – ігнорування перешкод (див. нижче, п. 4).

3) Walkaround Objects – обходити навколо об'єктів, що заважають трасі (рис. 4.18, в). Цей варіант вирішення конфліктів доступний тільки в "гострому" (Smart) інтерактивному трасуванні. Якщо перешкоду неможливо обійти, програма повертається до 1-го варіанту – зупинки перед перешкодою.

4) Ignore Obstacles – ігнорувати перешкоди. Порушення правил відзначаються кольоровим підсвічуванням, але нова траса може бути проведена поверх перешкод (рис. 4.18, г).

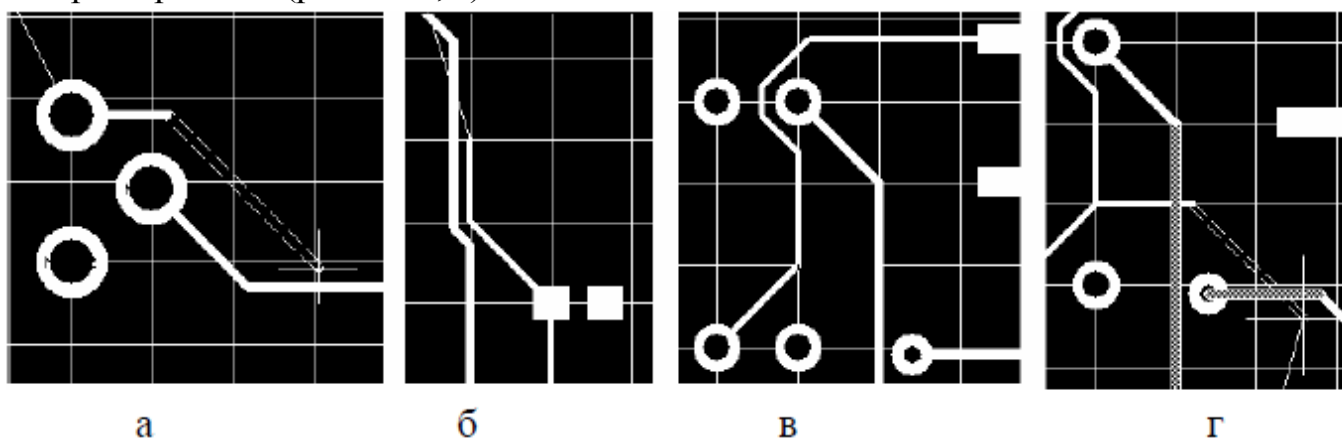


Рис. 4.18

Комбінацією "гарячих" клавіш Shift+R можливе циклічне перемикання з режиму в режим вирішення конфліктів. Повідомлення про поточний режим виводиться в рядок статусу головного вікна програми.

4.7.3 Управління шириною друкованого провідника

Ширина провідника визначається налаштуванням правил проектування. У правилах (див. параграф 4.3) може бути призначена мінімальна, переважна і максимальна ширина друкованого провідника (рис. 4.19).

За замовчуванням ширині провідника надається переважне значення. Ширина може змінюватися в процесі прокладання траси. При цьому програма перевіряє межі значень ширини, встановлені в правилах і не дозволяє призначити ширину, що виходить за ці межі. Ширина може змінюватися трьома способами "гарячого" редагування.

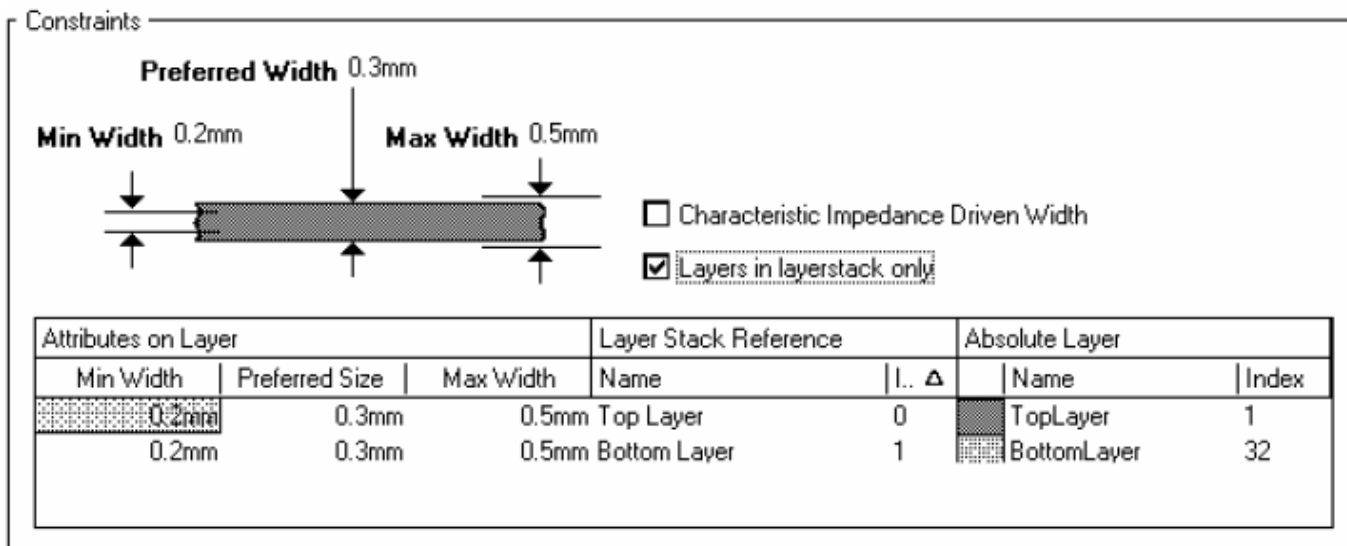


Рис. 4.19

1) Комбінацією гарячих клавіш Shift+W викликати вікно із таблицею допустимих значень ширини провідників (рис. 4.20) і вибрати в ній рядок з підходящим значенням зміни ширини.

Imperial		Metric		System Units	
Width	Δ	Width	Units	Units	Δ
5	mil	0.127	mm	Imperial	
6	mil	0.152	mm	Imperial	
8	mil	0.203	mm	Imperial	
10	mil	0.254	mm	Imperial	
12	mil	0.305	mm	Imperial	
20	mil	0.508	mm	Imperial	
25	mil	0.635	mm	Imperial	
50	mil	1.27	mm	Imperial	
100	mil	2.54	mm	Imperial	
3.937	mil	0.1	mm	Metric	
7.874	mil	0.2	mm	Metric	
11.811	mil	0.3	mm	Metric	
19.685	mil	0.5	mm	Metric	
29.528	mil	0.75	mm	Metric	
39.37	mil	1	mm	Metric	

Apply To All Layers

Рис. 4.20

2) "Гарячою" клавішею "O" активізувати контекстне меню і вказати в ньому команду Favourite Routing Widths – переважні значення ширини. Відкривається діалогове вікно Favourite Interactive Routing Widths з тією ж

таблицею і кнопками управління Add – додати, Delete – видалити і Edit – редагувати.

3) До фіксації чергового сегменту активізувати клавішею Tab діалог налаштування Interactive Routing (рис. 4.21). У полях зони Properties – властивості – виводяться значення ширини друкованого провідника (Track Width), діаметр площадки металізації (Via Diameter) і самого міжшарового перехідного отвору (Via Hole Size), призначені для поточної частини схеми або класу ланок в правилах проектування (по команді Tools>>Preferences>>PCB Editor>>Interactive Routing), а також інформація про поточний шар трасування, для якого призначені ці правила. Тут же наводиться графічна ілюстрація призначених правил.

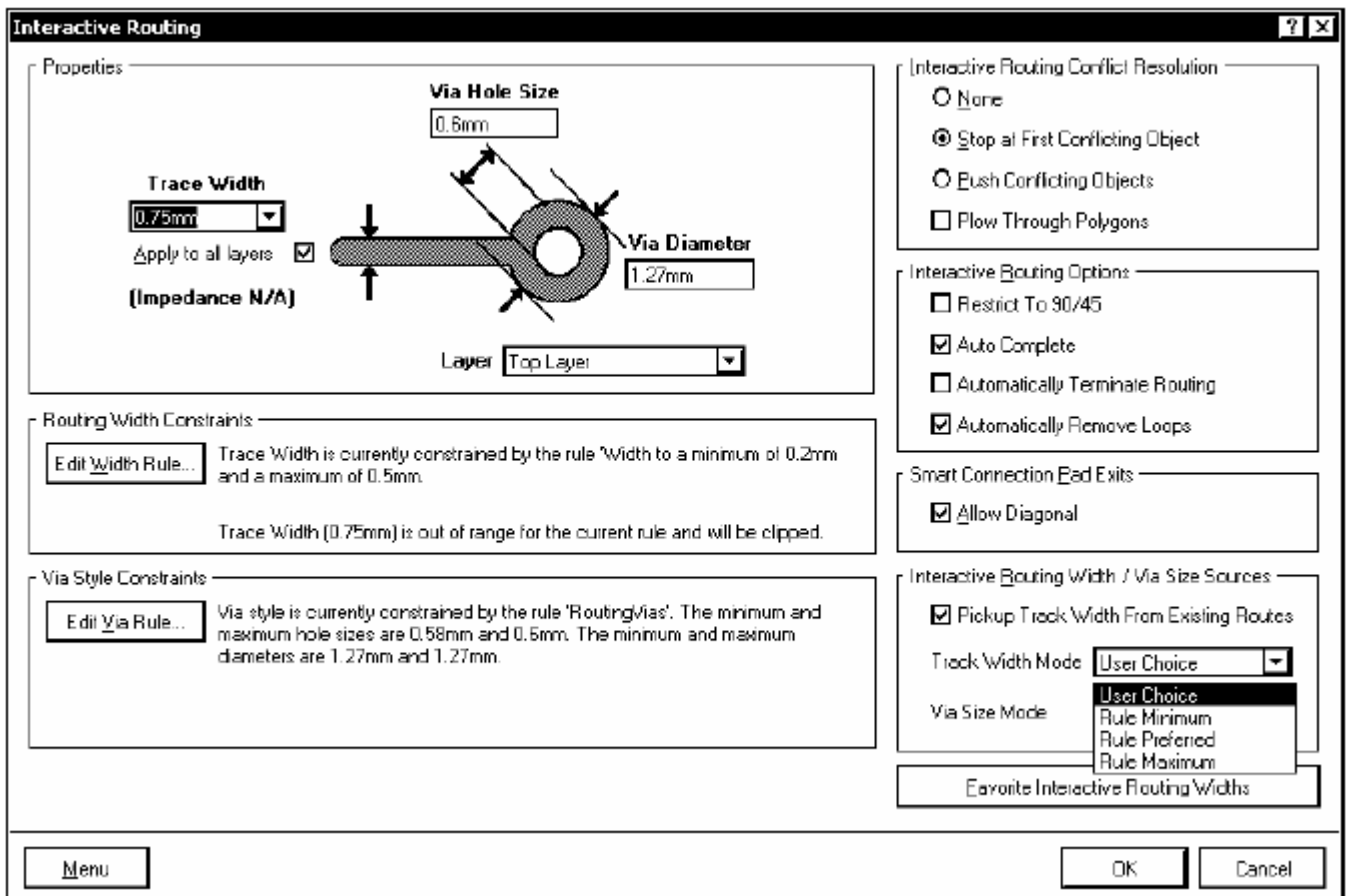


Рис. 4.21

З метою зміни ширини поточного сегменту траси, що прокладається, натисканням лівої клавіші миші в полі Track Width активізувати список передвстановлених значень ширини і вибрати в ньому необхідне значення. Необхідне значення ширини поточного сегменту може також бути безпосередньо введене з клавіатури. Зазначимо ще раз, що значення, що вводиться, повинне лежати в межах від мінімального до максимального значень, призначених в правилах проектування. У разі виходу за ці межі програма виводить попередження виду "Trace Width (0.75mm) is out of range for the current rule and will be clipped" – ширина траси (0.75мм) виходить за межі,

встановлені поточним правилом, і буде вкорочена (до верхнього або нижнього значення, залежно від того, яке ближче).

4.7.4 Розводка групових трас

Одним з прийомів стандартного інтерактивного трасування є розводка функціонально однорідних ланок типу шин адреси і даних ПЕВМ і мікроконтролерів, пристроїв пам'яті і тому подібне. Розводка таких множинних трас складається з двох фаз: формування «віяла» при відході траси від контактів компонента і подальша розводка групової траси (рис. 4.22).

1. Вибрати курсором групу виводів компонента. Вибір може виконуватися двома способами:

- послідовною вказівкою на контакти при натиснутій клавіші регістра – Shift;
- рамкою селекції, що формується курсором при натиснутій клавіші Ctrl – при цьому вибираються тільки контакти компонента.

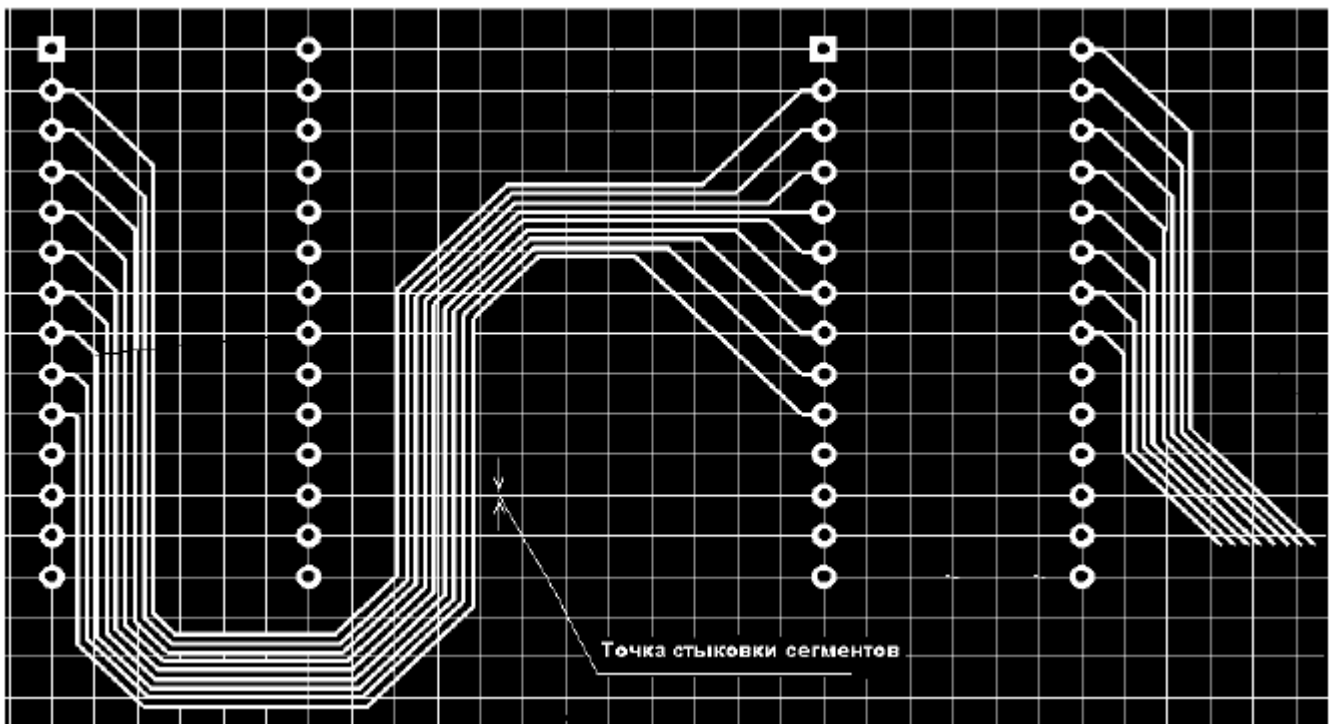


Рис. 4.22

2. Активізувати команду головного меню Place>>Multiple Traces. У рядку статусу виводиться підказка: Choose Master Primitive – вибрати головний примітив (опорний контакт, від якого починається розводка).

3. Вказати курсором на контакт компонента, навколо якого будується віяло друкарських провідників. Контакт оточується кільцем "прицілу".

4. Натиснути ліву клавішу миші і, не відпускаючи, почати прокладання групової траси. Друковані провідники групової траси збираються віялом під нахилом 45°. Форма віяла міняється залежно від напрямку переміщення курсору

– паралельно лінії розміщення контактів або перпендикулярно цій лінії (рис. 4.22).

5. Клавішею Tab активізувати "гаряче" редагування кроку між провідниками траси. У діалоговому вікні Bus Routing (рис. 4.23) пропонується встановити значення кроку. На кнопці From Rule розміщується в якості підказки мінімальне значення відстані між центрами друкованих провідників (сума ширини провідника і проміжку), що впливає з призначених правил. Встановити необхідне значення кроку і натисненням ОК повернутися до прокладання траси.

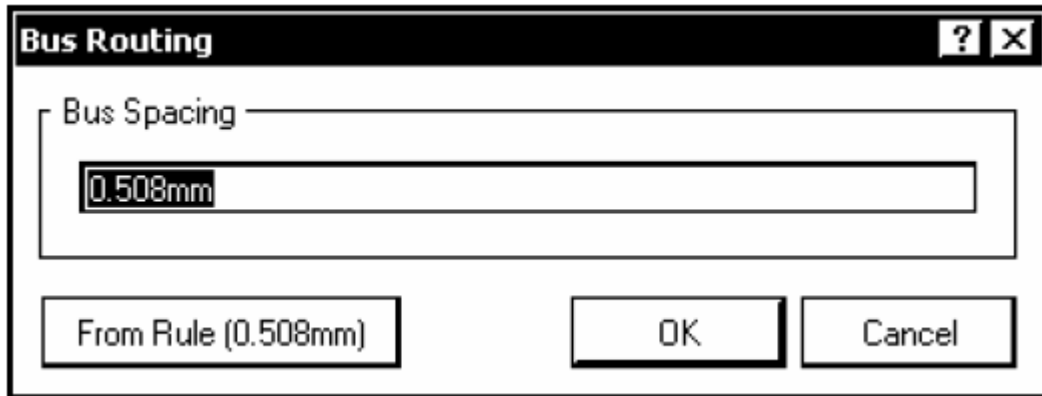


Рис. 4.23

6. Перемістити курсор в потрібному напрямі і натисканням лівої клавіші миші завершити першу фазу трасування – формування віяла.

7. При відпущеній лівій клавіші продовжити прокладання траси, фіксуєчи злами натисканнями. Відмітимо деякі особливості групового трасування :

- друковані провідники групової траси лягають паралельно, з дотриманням встановленого проміжку;
- злами траси виконуються тільки під кутом 45°;
- перехід траси з шару на шар не допускається;
- трасування відбувається в режимі Ignore Obstacles – ігнорування перешкод;
- після закінчення розводки програма відмічає кольоровим маркуванням порушення, що сталися;
- програма може збирати віяло не лише від контактів, що стоять в ряд, але і від розкиданих довільно по платі, але, оскільки при розводці ігноруються перешкоди, на практиці таке віяло може зіпсувати усе інше трасування.

8. У фінішній точці зафіксувати трасу останнім натисканням лівої клавіші. Зібравши провідники віялом в стартовій точці, програма не в змозі розвести їх віялом в точці кінцевого призначення. Вихід є – по черзі провести трасу з двох кінців і зістикувати зустрічні сегменти однойменних ланок торець в торець.

4.7.5 Редагування готової розводки

Окрім перепрокладки існуючих трас по нових шляхах Altium Designer пропонує ряд інтерактивних прийомів, що спираються на штучний інтелект програми.

1. Усунення петель. У налаштуванні функцій інтерактивного трасування (Tools>>Preferences>>PCB Editor>>Interactive Rooting) активізувати прапорець опції Automatically Remove Loops – автоматично видаляти петлі (див. рис. 4.17). При трасуванні складних проектів друковані провідники можуть проходити по дуже складній траєкторії. Якщо при більш уважному погляді на готову розводку виявляється, що можна розвести деякі частини схеми коротшим шляхом, нова траса прокладається вручну по цьому короткому шляху, а стара траса автоматично видаляється.

2. Захист існуючих трас. В деяких випадках траса, прокладена якимось специфічним чином, має бути захищена від дії функції усунення петель. В цьому випадку слід зняти в діалозі налаштування активність опції видалення петель Remove Loops.

3. Групове переміщення сегментів багатолінійних трас.

- В тому ж діалозі налаштування Tools>>Preferences>>PCB Editor>>Interactive Rooting (див. п. 1) активізувати прапорець опції Preserve Angle When Dragging – зберігати кут при переміщенні.

- Вибрати сегменти групової траси, вказуючи на них курсором при натиснутій клавіші регістра Shift або оточивши рамкою селекції. Сегменти позначаються ознакою селекції – "прищіпками" яскраво-білого кольору на кінцях і посередині, сполученими білим прямолінійним відрізком.

- Навести курсор на один з сегментів в стороні від міток-прищіпок так, щоб курсор набув вигляду перехрещених стрілок.

- Натиснути ліву клавішу миші і, не відпускаючи її, перемістити курсор у потрібному напрямі. Уся група вибраних сегментів переміщується слідом за курсором, зберігаючи початковий кут нахилу.

При переміщенні може виникнути конфлікт з існуючими трасами. Комбінацією гарячих клавіш Shift+R, як і при трасуванні, змінюється режим розв'язання конфліктів. Кінцевий результат переміщення залежить від налаштувань функцій розв'язання конфліктів:

- при активному налаштуванні Ignore Obstacles – ігнорувати перешкоди – переміщені сегменти можуть бути зафіксовані у будь-якому положенні;

- програма позначає порушення кольоровим підсвічуванням;

- при активному налаштуванні Avoid Obstacles – ухилятися від перешкод – програма "Не пускає" сегменти в нове розміщення, якщо вони натрапляють на перешкоду.

4. Продовження сегментів групової траси.

- Вибрати кінцеві сегменти групової траси, утримуючи клавішу Shift або рамкою селекції.

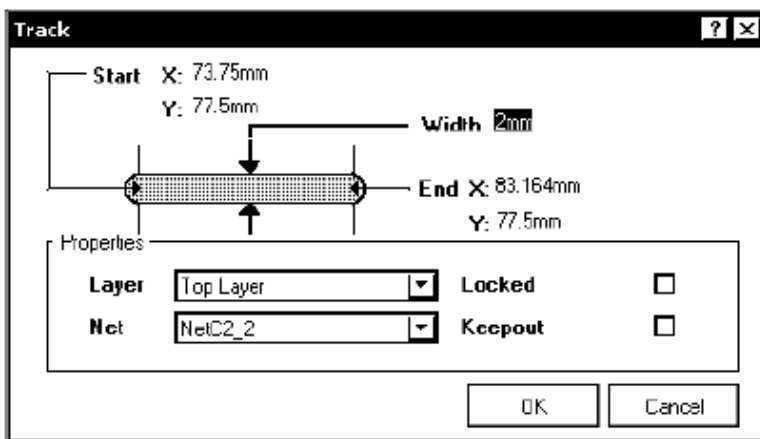
- Вказати курсором на кінець одного з сегментів, так, щоб курсор набув вигляду подвійної стрілки.

- Натиснути ліву клавішу миші і, не відпускаючи її, перемістити кінці сегментів в нове розміщення. Відпустити клавішу миші. Кінці сегментів фіксуються. На сегментах знову позначається ознака селекції.

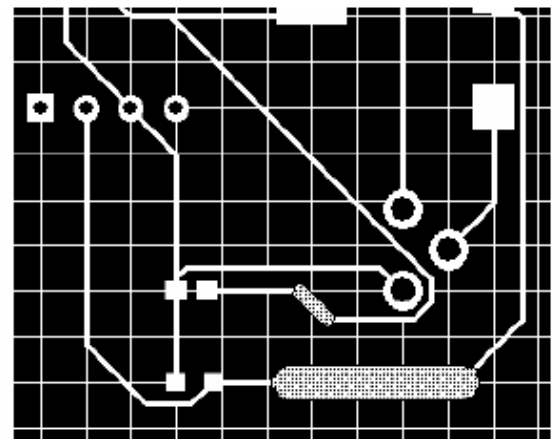
- Знову вказати курсором на кінець сегментів і перемістити їх далі в тому ж напрямі або вбік. Слідом за переміщенням курсору будуються нові сегменти групової траси. Злами траси формуються під кутом 45° .

Окрім розглянутих, цілий ряд функцій редагування трасування активізується підкомандами команди головного меню Edit:

- Change – змінити ширину сегменту траси. Після вказівки на сегмент активізувати клавішею Tab "гаряче" редагування і ввести з клавіатури нове значення ширини (рис. 4.24, а).



а



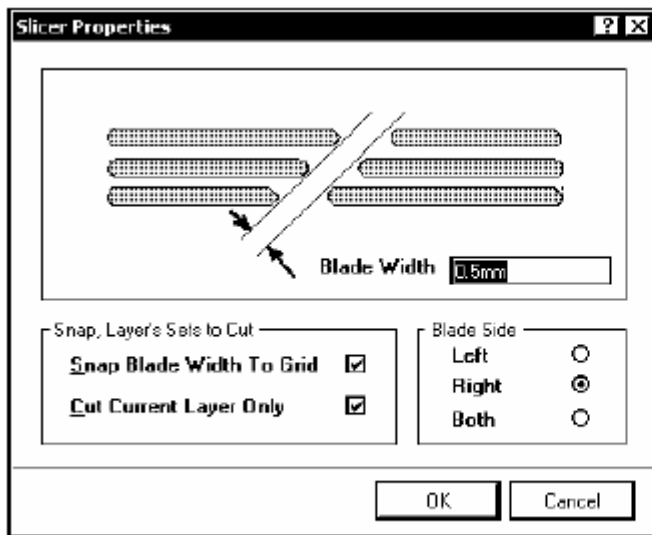
б

Рис. 4.24

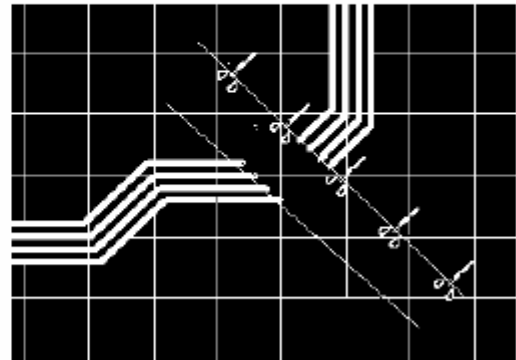
У випадку, якщо призначене значення ширини виходить за межі, вказані в правилах проектування, програма відмічає помилку кольоровим маркуванням (рис. 4.24, б).

- Slice Tracks – прорізати провідники, створивши розрив заданої ширини і під заданим кутом нахилу. Після вказівки вихідної точки розрізу клавішею Tab активізувати редагування параметрів розрізу – фіксованою, розміром в 1 крок сітки або довільної ширини, напрям розрізу від вихідної точки (рис. 4.25, а).

Нахил лінії розрізу перемикається гарячою клавішею ПРОПУСК. Можливі два варіанти – нахил під довільним кутом і нахил під кутом, кратним 45° (рис. 4.25, б).



a



б

Рис. 4.25

- Move – переміщувати: нас в даному випадку цікавить група підкоманд, що стосуються редагування трас друкованого монтажу:
 - Re-Route – перетрасувати;
 - Break Track – розірвати трасу;
 - Drag Track End – перетягнути кінець траси.
- Move/Resize Tracks – рухати/змінювати розміри траси.

4.7.6 "Тонке" інтерактивне трасування

Другим інструментом виконання ручного трасування є так зване "тонке" (Smart) інтерактивне трасування. Від стандартного інтерактивного трасування його відрізняє наявність функції пошуку шляху для друкованого провідника на ділянках від стартового до найближчого наступного контакту компоненту і один додатковий спосіб розв'язання конфліктів – обхід навколо перешкод (Walkaround Obstacles).

1. Активізувати команду головного меню Place>>Smart Interactive Routing і виконати дії аналогічно пп. 1.4 розд. 4.7.1.

2. Сегменти траси від початкової точки до поточного розміщення курсора виконуються з суцільною заливкою. Від поточного розміщення курсора до контакту найближчого по ходу електричного зв'язку компоненту тягнеться ряд пунктирних сегментів (рис. 4.26).

На відміну від стандартного інтерактивного трасування, програма не буде закруглені сегменти – доступні тільки злами на початку або в кінці сегменту під кутом 45° або 90°.

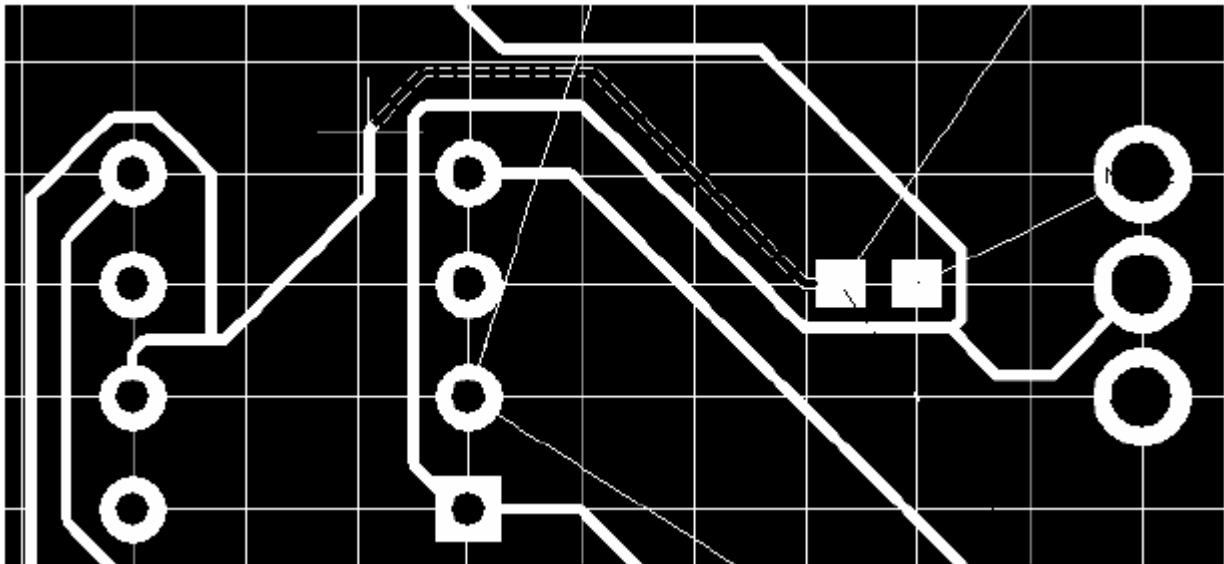


Рис. 4.26

Управління характером зламів виконується гарячими клавішами ПРОПУСК (Space) або Shift+ПРОПУСК (табл. 4.2). При цьому клавішами Shift+ПРОПУСК циклічно перебираються усі 4 варіанти, а клавішею ПРОПУСК можливий вибір варіанту виконання початку або кінця сегменту тільки під кутом 45° або 90° залежно від того, який вибір зроблено до цього клавішами Shift ПРОПУСК.

Таблиця 4.2

№ вар.	Гарячі клавіші		Формування сегментів	Рис.
	Shift+SPACE	SPACE		
1	Line 45 Start	Line 45 Start	Початок під кутом 45° , наступний сегмент горизонтально чи вертикально.	4.16, а
2	Line 45 End	Line 45 End	Початок вертикально, наступний сегмент під кутом 45° .	4.16, б
3	Line 90 Start	Line 90 Start	Початок у вертикальному напрямку, наступні сегменти під кутом 90° .	4.16, е
4	Line 90 End	Line 90 End	Початок у горизонтальному напрямку, другий сегмент вертикально і т. д.	4.16, ж

3. Спосіб вирішення конфліктів, як і в стандартному інтерактивному трасуванні, вибирається комбінацією гарячих клавіш Shift+R. На відміну від стандартного, в Smart-трасуванні доступний спосіб вирішення конфліктів шляхом обходу навколо перешкод (див. рис. 4.26). При обході перешкод дотримуються правила проектування: обхідна ділянка траси прокладається тільки якщо ширина проходу достатня для розміщення провідника з дотриманням встановлених проміжків.

4. Завершення прокладання ділянки траси виконується по-різному, залежно від налаштування функції Auto Complete (автоматичного завершення) в конфігурації редактора друкованої плати (див. рис. 4.17).

- При відключеній функції Auto Complete програма показує сегменти траси тільки до поточного розміщення курсору. Сегменти фіксуються послідовно натисканнями лівої клавіші миші.

- При активній функції Auto Complete прокладання ділянки траси може так само виконуватися послідовною фіксацією сегментів натисканнями лівої клавіші миші, а може бути завершена цілком – єдиним натисканням лівої при натиснутій клавіші Ctrl.

Включення/відключення активності функції Auto Complete може виконуватися у момент трасування "гарячою" клавішею "5". Повний список "гарячих" клавіш, використовуваних при управлінні Smart-трасуванням викликається у будь-який момент прокладання траси клавішею "~" (Тильда). Цей список показаний на рис. 4.27.

Приведемо цей список з деякими роз'ясненнями.

- F1 – отримання довідкової інформації;
- Ctrl Click – завершення трасування ділянки при клацанні лівою клавішею миші з натиснутою клавішею Ctrl (якщо встановлена активність функції автозавершення);

Help	F1
Commit autocomplete segments (if applicable)	Ctrl+Click
Remove Last Segment or Shift+Backspace to remove last placed cluster	BkSp
Terminate Current Trace	Esc
Toggle Routing Mode	Shift+R
Choose Favorite Width	Shift+W
Place Segment	Enter
Next Layer	Num +
Previous Layer	Num -
Next Signal Layer	Num *
Cycle Placement Mode	Space
Edit Trace Properties	Tab
Cycle Track-Width Source	3
Cycle Via-Size Source	4
Toggle Auto Complete	5
Change Via mode	6
Switch Leader trace or switch routing target in single trace mode	7

Рис. 4.27

- BkSp – видалити натисненням клавіші BackSpace (КРОК НАЗАД) останній сегмент траси або групу сегментів при натисненні Shift+Backspace.
- Esc – перервати розводку поточної ділянки траси з втратою сегментів – рівноцінно клацанню правою клавішею миші; якщо трасування ділянки закінчено на контакті компонента, при натисканні Esc програма виходить з режиму трасування – те ж, що і при клацанні правої.
- Shift+R – перемикає режим вирішення конфліктів;
- Shift+W – активізація функції управління шириною поточного сегменту траси;
- Enter (Введення) – зафіксувати поточний сегмент траси – те ж, що і клацання лівою клавішею миші;
- Num + (плюс на цифровій клавіатурі) – вибір наступного шару;
- Num – (мінус на цифровій клавіатурі) – вибір попереднього шару;
- Num * (зірочка на цифровій клавіатурі) – перехід траси на наступний сигнальний шар;
- Space (Пропуск) – вибір напряму прокладання на початку або кінці поточного сегменту;
- Tab – активізація "гарячого" редагування властивостей поточного сегменту (див. рис. 4.21);
- 3 – циклічний перебір значень ширини поточного сегменту;
- 4 – циклічний перебір значень діаметру площадки металізації біля перехідного отвору – мінімального, номінального або максимального;
- 5 – включення, відключення функції автозавершення трасування ділянки частини схеми;
- 6 – перемикає типів перехідних отворів;
- 7 – якщо траса від початкового контакту розходиться у кількох напрямках – припинення трасування в цьому напрямі і перехід до трасування в інший бік.

4.7.7 Трасування диференціальних пар

Необхідність в передачі диференціального сигналу лініями зв'язку виникає у випадках, коли немає можливості здійснити з'єднання короткими провідниками, а частини схеми живлення і Землі мають досить високий електричний опір. Це відбувається головним чином в міжблоковому монтажі. Вихід в таких випадках полягає у формуванні пар сигналів, один з яких є протифазою іншому, і використанні відповідної схемотехніки електронних компонентів. Така схемотехніка відома – це досить поширені диференціальні або операційні підсилювачі в аналогових функціональних вузлах і схеми емітерно-зв'язної логіки (ЕЗЛ) в цифрових пристроях.

Кожен з двох сигналів диференціальної пари може передаватися окремим екранованим дротом або радіочастотним коаксіальним кабелем, або сигнали диференціальної пари передаються по кабелю у вигляді двох скручених дротів

– так званій "витій парі". Обидва способи передавання диференціальної пари сигналів відрізняються високою завадостійкістю. Фізика явищ відома:

- оскільки провідниками диференціальної лінії передачі течуть рівні за величиною і протилежні за напрямом струми, така лінія не створює перешкод в навколишньому просторі;

- зовнішні перешкоди створюють в дротах диференціальної лінії передачі синфазну перешкоду, яка істотно пригнічується диференціальними вхідними каскадами аналогових і цифрових схем;

- вирівнювання часів поширення сигналу по дротах ліній зв'язку обох типів значною мірою досягається само собою – за рахунок рівності довжини провідників у витій парі або за рахунок рівності довжини двох відрізків коаксіального кабелю, що утворюють диференціальну лінію.

Крім того, на приймальному кінці такої лінії зв'язку виникає ефект "віртуальної" Землі, внаслідок чого узгодження імпедансу лінії з вхідним опором каскаду на приймальному кінці може виконуватися без заземлення – одним узгоджувачим елементом, імпеданс якого повинен дорівнювати подвоєному значенню хвильового опору у разі коаксіального кабелю із заземленою оболонкою, або хвильовому опору витієї пари.

Другий варіант, що не є по суті передачею диференціального сигналу – це передача однофазного сигналу по коаксіальному кабелю або витій парі. Тут також відбувається взаємна компенсація магнітних полів прямого і зворотного струмів, внаслідок чого не випромінюються перешкоди в навколишній простір. Що стосується чутливості до зовнішнього наведення, то міра пригнічення ємнісної перешкоди визначається екрануючою дією оболонки коаксіального кабелю або заземленого дроту витієї пари. Індукційне наведення створює перешкоду, що не компенсується, в активному дроті витієї пари, особливо якщо лінія зв'язку утворює петлі.

Лінія зв'язку, що приходить на друковану плату із зовнішньої розводки, як симетрична, так і асиметрична, може бути доведена від контактів з'єднувача або від паяних контактів на краю плати до вхідних контактів електронного компонента тільки парою паралельно розташованих друкованих провідників. У термінології конструкцій друкованих плат така пара друкованих провідників також називається диференціальною парою. Диференціальна пара на друкованій платі не забезпечує таку ж високу завадостійку, як кабельні лінії зв'язку внаслідок того, що значення коефіцієнта зв'язку паралельних друкованих провідників не перевищує 0,5, тоді як у коаксіального кабелю і у витій парі це значення складає 0,98 і вище.

Таким чином, найбільш відчутним ефектом, який забезпечує застосування диференціальних пар на друкованій платі є вирівнювання часу поширення сигналу до вхідних контактів електронного компонента. Цьому, як і узгодженню хвильового опору лінії передачі з навантаженням, можуть перешкоджати особливості трасування і розміщення компонентів, необхідність переходу з шару на шар, наявність полігонів металізації в сигнальних шарах або на внутрішніх екранних шарах типу Plane. Основні рекомендації щодо виконання диференціальних ліній зв'язку на друкованих платах [1]:

- хвильовий опір кожного провідника пари повинен дорівнювати половині хвильового опору зовнішнього кабелю (витої пари);
- для кожного провідника пари опір навантаження на приймальному кінці повинен бути узгоджений з хвильовим опором провідника;
- переходи лінії з шару на шар допустимі, якщо вдається забезпечити постійність хвильового опору по всій довжині лінії;
- обидва провідники пари повинні мати однакову довжину, з точністю, що забезпечує різницю затримок в межах допуску, встановленого для застосовуваного сімейства логічних інтегральних мікросхем.

Покажемо на прикладі, яке значення може набувати різниця довжини провідників диференціальної пари у високошвидкісних функціональних вузлах, що працюють з тактовою частотою близько 1 ГГц.

Відомо, що швидкість поширення сигналу уздовж мікросмувної лінії зв'язку в ϵ раз менше швидкості у вільному просторі. При типовому для друкованих плат значенні діелектричної проникності склотекстоліту $\epsilon = 4,8$ час затримки поширення сигналу складає близько 7,3 нс/м. Якщо прийняти, що різниця часу приходу сигналу на входи логіки не повинна перевищувати 0,1 тактового інтервалу, тобто 0,1 нс, різниця довжини провідників диференціальної пари не повинна перевищувати 13 мм.

4.7.7.1 Оголошення диференціальної пари. Оголосити дві сигнальні частини схеми диференціальною парою можна як в редакторі схеми, так і в редакторі друкованої плати.

У редакторі електричної схеми :

1. Активізувати команду головного меню Place>>Net Label і присвоїти двом ланкам, що утворюють диференціальну пару, однакове ім'я із суфіксом `_P` для однієї частини схеми і `_N` для іншої.
2. Активізувати команду Place>>Directives>>Differential Pair і помістити мітку диференціальної пари на кожному з ланок пари (рис. 4.28).

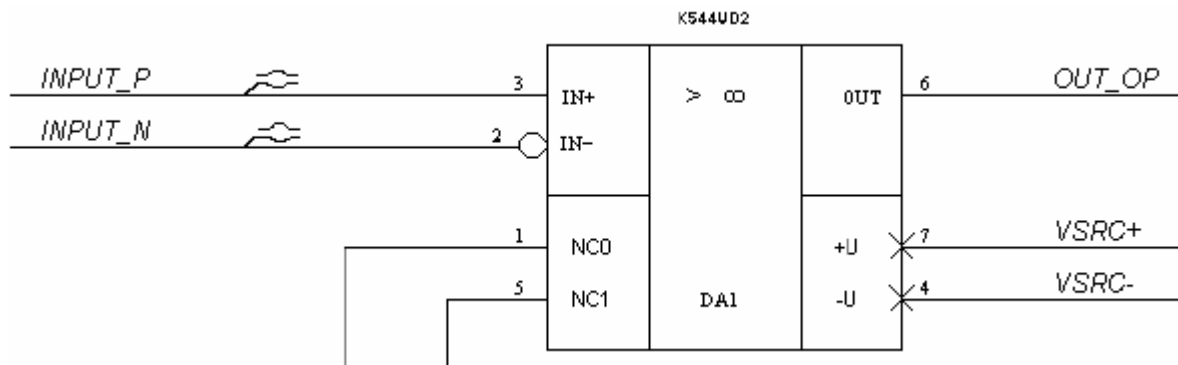


Рис. 4.28

Частині кола, на яку накладена директива Differential Pair привласнюється параметр з таким же іменем Name: Differentgial Pair і булевим значенням Value:

True. Виконані таким чином призначення передаються в проект друкованої плати при компіляції і синхронізації проекту.

У редакторі друкованої плати пари ланок, не оголошені як диференціальні в редакторі схеми, можуть бути оголошені і трасовані як диференціальні. Тут можливі 2 варіанти дій.

1. Активізувати плаваючу панель PCB і перемкнути її в режим Differential Pairs Editor – редагування диференціальних пар (рис. 4.28). У середньому полі панелі виводиться список усіх визначених в проекті диференціальних пар, у тому числі раніше призначених в редакторі схеми. Далі:

- Натисненням кнопки Add активізувати оголошення нової диференціальної пари. Відкривається вікно формування диференціальної пари Differential Pair (рис. 4.29).

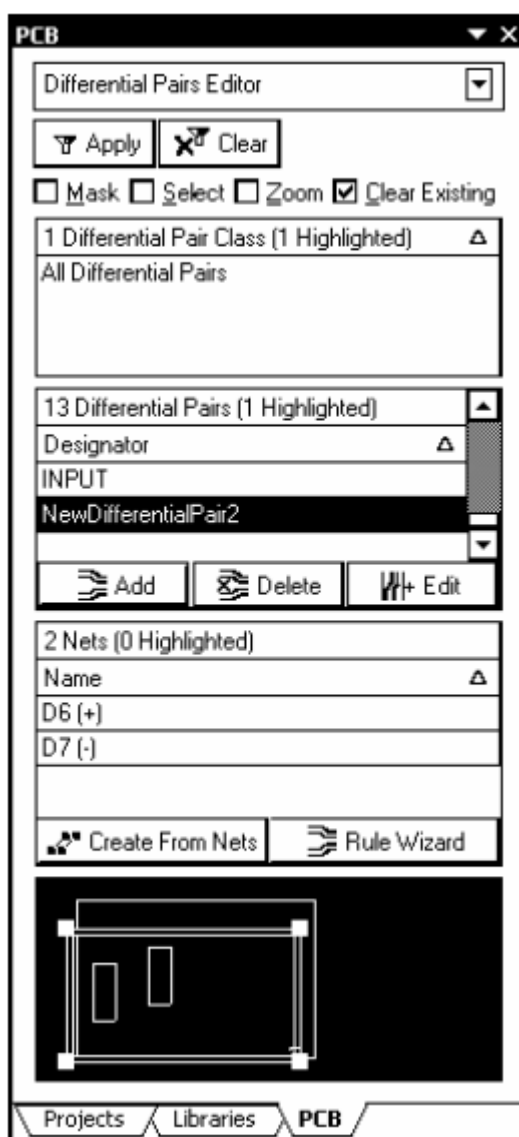


Рис. 4.29

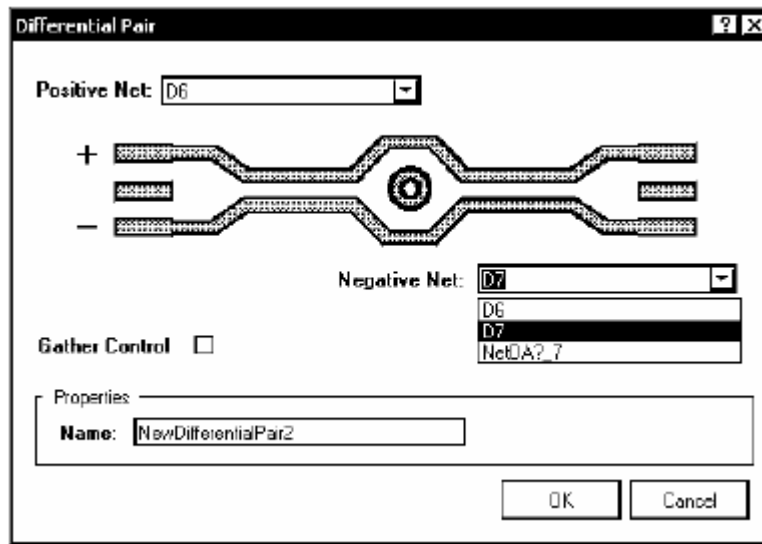


Рис. 4.30

- В полях Positive Net і Negative Net по черзі розгорнути список ланок, не об'єднаних поки в диференціальні пари, і вибрати в кожному списку необхідну ланку.
- В полі Name (ім'я) зони Properties ввести ім'я нової диференціальної пари.
- Натисненням ОК завершити формування пари.

Результат відображається в полях панелі РСВ (рис.4.29). При виборі курсором

імені нової пари в колонці Designator центрального поля панелі в поле, що пролягає нижче, виводяться імена двох ланок, об'єднаних в диференціальну пару. Бачимо, що до імен додані індекси (+) і (-).

2. Другий варіант вимагає, щоб частини схеми, які передбачається об'єднати в диференціальну пару, мали загальне ім'я і розрізнялися суфіксами _H і _L. В цьому випадку можливо сформувати диференціальні пари з ланок з такими іменами:

- Активізувати діалог формування кнопкою Create From Nets в панелі РСВ. Відкривається діалогове вікно Create Differential Pairs from Nets (рис. 4.31).

- У верхній частині вікна виводиться пропозиція: Use nets from class All Nets differing by H or L to create differential pair with prefix D. Приведемо переклад цього сполучення з деякими коментарями: "Використайте частини схеми з класу Усі Частини схеми (це клас, існуючий за замовчуванням; у проекті можуть бути призначені і інші класи ланок), H, що розрізняються (суфіксами) чи L для утворення диференціальної пари з префіксом (до імені) D".

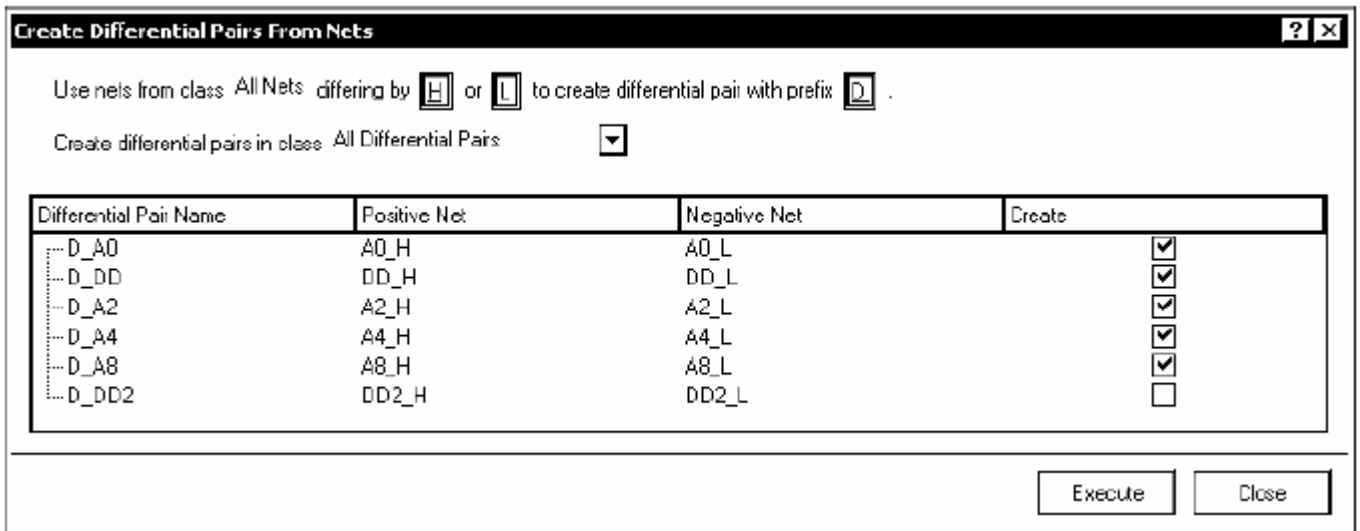


Рис. 4.31

• Нижче розташовується ще одне повідомлення: Create differential pairs in

class All Differential Pairs – "Створіть диференціальні пари в класі Усі Диференціальні Пари". Справа розташовується кнопка виклику списку класів диференціальних пар, якщо такі класи призначені.

• В центральному полі вікна виведений список усіх існуючих пар ланок з іменами, що мають суфікси H і L і список диференціальних пар, які можуть бути складені з цих ланок.

• Для формування диференціальних пар поставити "галочки" в колонці Create (створити) навпроти імен відповідних пар і завершити діалог натисканням на кнопці Execute – "Виконати".

4.7.7.2 Правила трасування диференціальних пар. Правила трасування диференціальних пар налаштовуються так само як і для усіх інших елементів друкованої плати.

Ключовими для диференціальних пар є три правила:

1. Routing Width – ширина друкованих провідників диференціальної пари. Налаштування правила для ширини друкованих провідників розглядалося в розд. 4.3 (рис. 4.4).

2. Differential Pairs Routing – трасування диференціальної пари. Це правило стосується головним чином проміжку між провідниками диференціальної пари і налаштовується в діалозі, що активізується командою головного меню Design>>Rules. У діалоговому вікні PCB Rules and Constraints Editor (рис. 4.32) вибрати гілку Design Rules/Routing/DiffPairsRouting і призначити в полі Constraints наступні параметри:

- Min Gap – мінімальний проміжок;
- Max Gap – максимальний проміжок;
- Preferred Gap – переважне значення проміжку;

- Max Uncoupled Length – максимально допустима довжина ділянки обходу перешкод, на якій зменшується індуктивний зв'язок провідників пари.

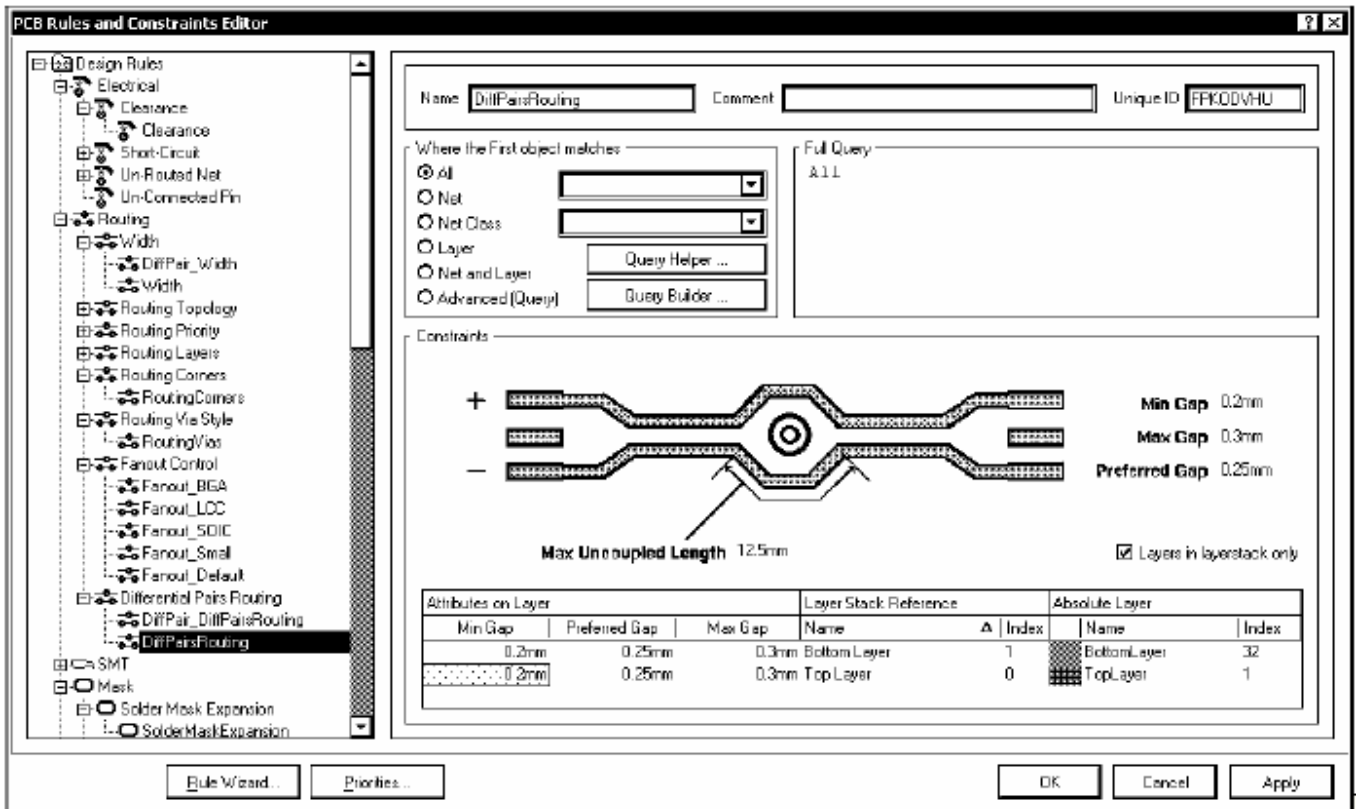


Рис. 4.32

3. Matched Net – вирівнювання довжини провідників в парі додаванням в короткий провідник. Це налаштування доступне в гілці High Speed/Matched Net Lengths дерева правил проектування. Воно також викликається з плаваючої панелі PCB натисканням на кнопки Rule Wizard (рис. 4.19). Викликається "Майстер підказки", на одному з кроків якого відкривається діалог налаштування DiffPair_MatchedLengths – вирівнювання довжини провідників в диференціальній парі (рис. 4.33).

- В полі Rule Properties – параметри правила – призначаються:
 - Tolerance – допуск, при перевищенні якого будується подовжуюча конфігурація;
 - Gap – проміжок між сегментами;
 - Amplitude – висота сегментів;
 - Style – стиль побудови подовжуючої конфігурації: прямокутними сегментами, нахил сегментів під кутом 45° або заокругленими сегментами.

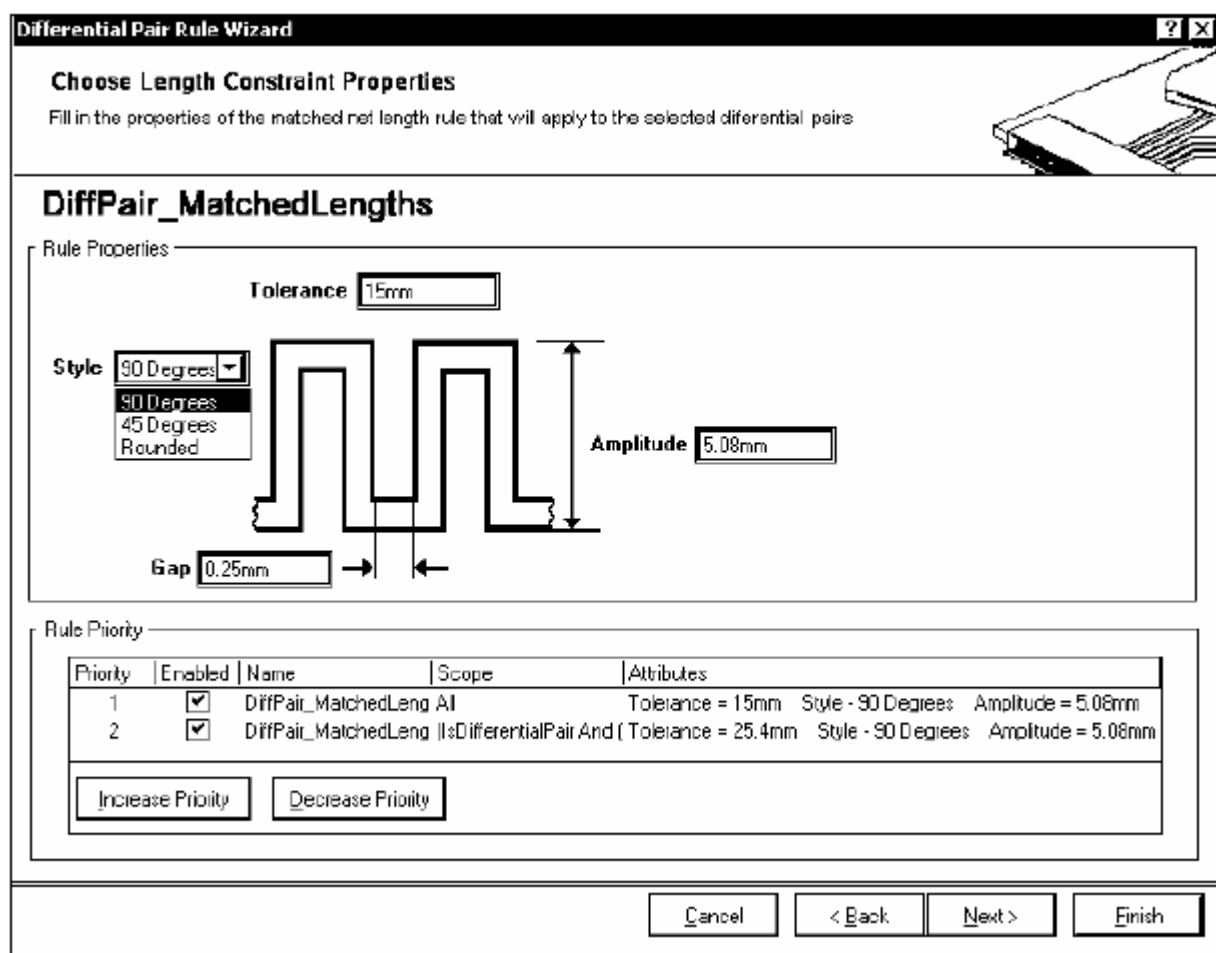


Рис. 4.33

- В полі Rule Priority – пріоритет правила – виводиться список усіх призначених правил з параметрами їх налаштування і вказівкою об'єктів, на які накладаються ці правила і пріоритетів їх виконання. Кнопками Increase Priority і Decrease Priority пріоритет вибраного в списку правила може збільшуватися або зменшуватися.

Вказання об'єктів, на які накладається те або інше правило, робиться шляхом розглянутої раніше процедури формування запитів (див. розд. 4.3).

4.7.7.3 Трасування диференціальної пари. Трасування диференціальної пари здійснюється так само, як і розглянуте вище Smart-інтерактивне трасування. Відмінність лише в тому, що проводяться відразу обидва друковані провідники диференціальної пари.

1. Виділити маскуванням або кольором лінії зв'язку диференціальної пари, що підлягає трасуванню (див. пп. 1-3, параграф 4.5.2).

2. Активізувати команду головного меню Place>>Differential Pair Routing. У рядку статусу програми виводиться пропозиція вибрати перший об'єкт диференціальної пари: Choose first differential pair object to route.

3. Навести курсор на один з контактів компоненту, з якого розпочинається трасування диференціальної пари, і натисненням лівої клавіші

миші дати старт прокладанню траси. Програма зводить провідники диференціальної пари до відстані, визначеної в правилах, і далі веде обидва провідники паралельно (рис.4.34).

4. Як і в Smart-трасуванні, при трасуванні диференціальної пари працюють "гарячі" клавіші і їх комбінації, зокрема:

- Клавішею ПРОПУСК або комбінацією клавіш Shift+ПРОПУСК може бути вибраний спосіб побудови зламів траси під кутом 45° або 90°;
- Комбінацією клавіш Shift+R вибирається спосіб вирішення конфліктів – зупинка траси, ігнорування або обхід перешкод;
- клавішею "*" на цифровій клавіатурі змінюється шар трасування.

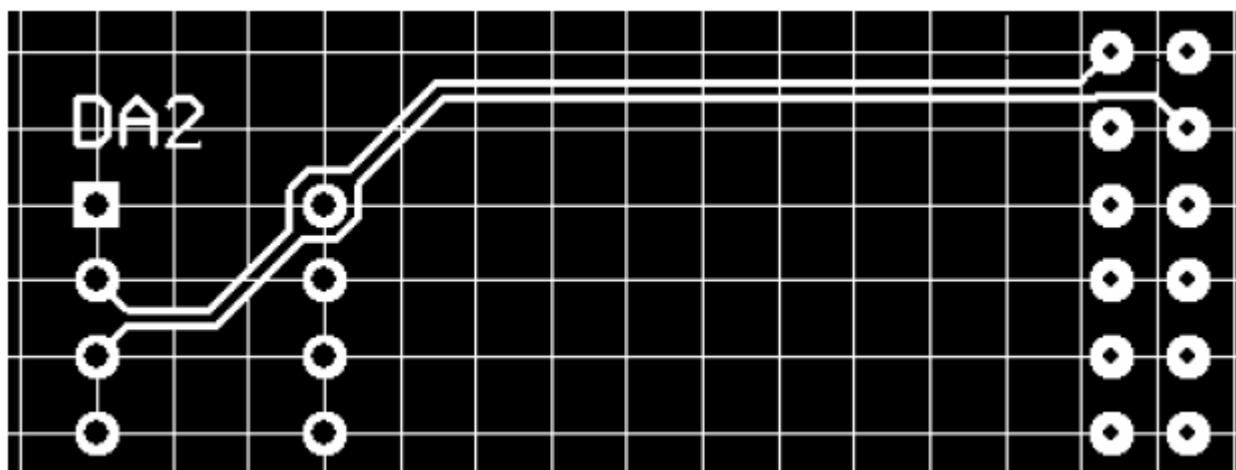


Рис. 4.34

4. Програма будує сегменти траси від початку до поточного розміщення курсора суцільною лінією, ширина якої вказана в правилах, і продовжує передбачувану частину траси, що залишилася, пунктиром.

5. Натисканням лівої клавіші миші при натиснутій клавіші Ctrl прокладання частині траси, що залишилася, завершується. Програма залишається в режимі трасування диференціальних пар.

6. Натисканням правої клавіші миші або клавішею Esc завершити трасування.

4.7.8 Автоматичне трасування друкованого монтажу

До складу пакету Altium Designer 6 входить вбудований високоефективний топологічний автотрасувальник Situs.

Робота автотрасувальника полягає в аналізі топології плати, підготованої до розводки та друку, – визначенні контурів розміщених на платі компонентів, отворів, вирізів, інших перешкод, пошуку шляху (каналу) для прокладення кожного чергового друкованого провідника і потім застосуванні цілого ряду алгоритмів (проходів), внаслідок чого в знайденому каналі розміщується друкований провідник, що відповідає правилам, призначеним при

налаштуванні графічного редактора друкованої плати. Топологічні алгоритми автотрасування вважаються ефективнішими, ніж сіткові і навіть так звані безсіткові, нейронні алгоритми. Розглянемо основні прийоми налаштування і практичного використання автотрасувальника Situs.

4.7.8.1. Стратегії і проходи автотрасування. Набір прийомів (проходів) автотрасування в Altium Designer 6, як і в цілому ряду інших САПР, називається стратегією трасування. Основою стратегії, що застосовується до поточного проекту, є правила проектування, що призначаються на етапі складання електричної принципової схеми і/або на етапі проектування друкованої плати.

Командою головного меню Auto Route>>Setup або Auto Route>>All активізувати діалог налаштування стратегії трасування. Автотрасувальник Situs аналізує призначені правила і вибудовує їх в стратегію. У полі Routing Strategies діалогового вікна Situs Routing Strategies (рис. 4.35) наводиться список доступних у нинішній момент стратегій і їх коротка характеристика.

Всього за замовчуванням передбачені 6 стратегій:

- Cleanup – стирання виконаної розводки;
- Default 2 Layer Board – трасування двосторонньої друкованої плати;
- Default 2 Layer with Edge Connectors – трасування двосторонньої плати з друкованими контактами крайового з'єднувача;
- Default Multi Layer Board – стратегія трасування багатoshарової друкованої плати;
- General Orthogonal – стратегія із взаємно-перпендикулярним напрямом прокладання провідників;
- Via Miser – стратегія з жорсткою мінімізацією числа перехідних отворів.

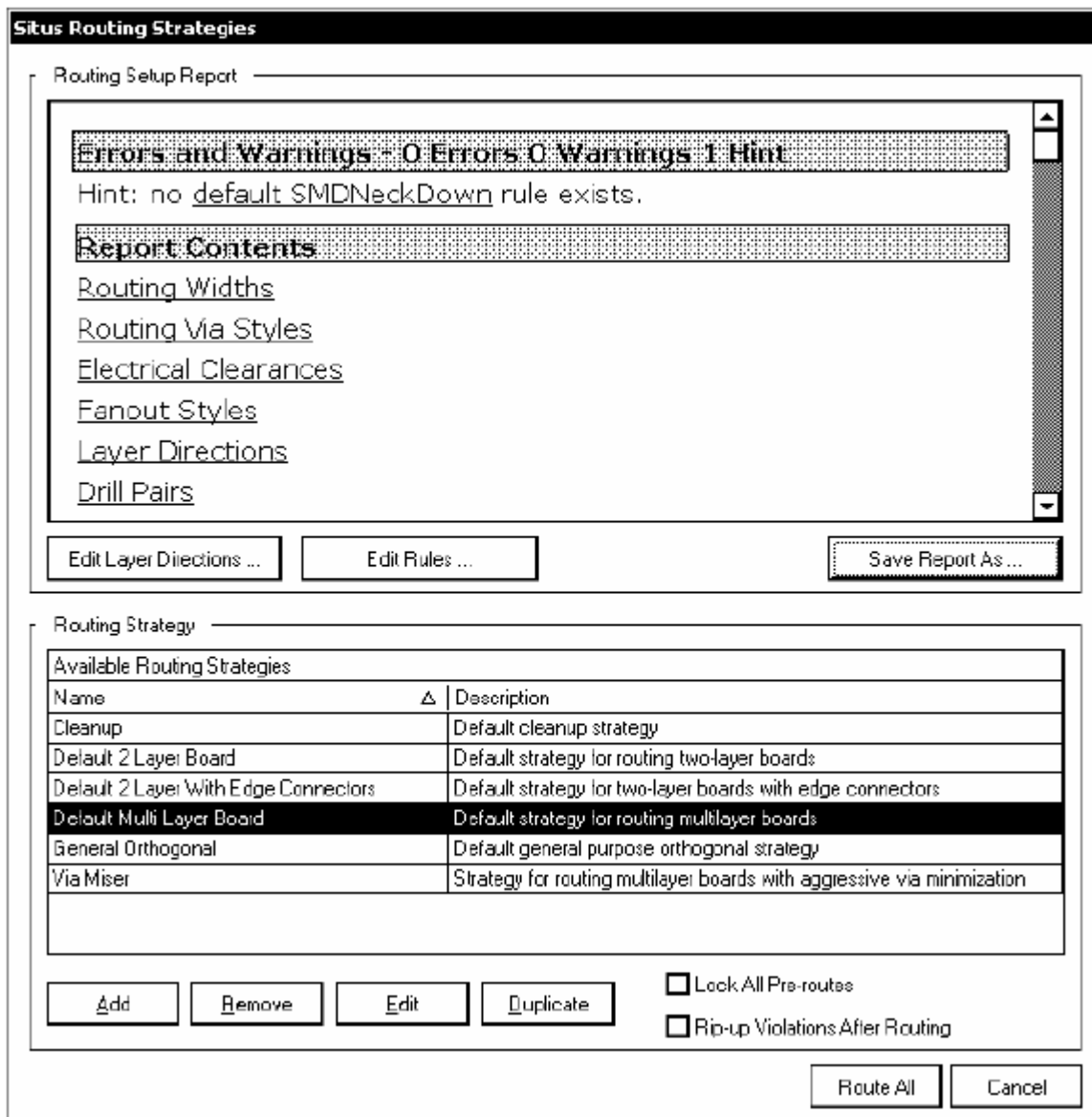


Рис. 4.35

Кожна із стратегій включає свій визначений набір проходів трасування. Редагування цих "чистих" стратегій не допускається, проте, якщо при виконанні проекту необхідно змінити набір прийомів (проходів) трасування, можливо утворити нову призначену для користувача стратегію. Якщо за основу нової може бути прийнята одна з "чистих" стратегій створення своєї стратегії може бути почато натисканням на кнопки Duplicate – дублювати. Відкривається діалогове вікно редагування стратегії Situs Strategy Editor (рис. 4.36).

У полі Options вікна рис. 4.36:

- ввести ім'я нової стратегії (Strategy Name) і її короткий опис (Strategy Description);
- встановити движок в лінійці More Vias (Faster)...Less Vias (Slower) у відповідності до наміру допустити більшу або меншу кількість міжшарових перехідних отворів, що у свою чергу відбивається на прискоренні або уповільненні трасування;

- у разі потреби активізувати опцію Orthogonal – трасування із зламами провідників під прямим кутом.

У двох полях, що пролягають нижче, наводиться список можливих проходів автотрасування – Available Routing Passes і проходів, включених в поточну стратегію, – Passes in this Routing Strategy. Кнопками Add> і <Remove вказані курсором проходи переносяться з одного поля в інше, в результаті в правому полі складається необхідний список проходів для редагованої стратегії.

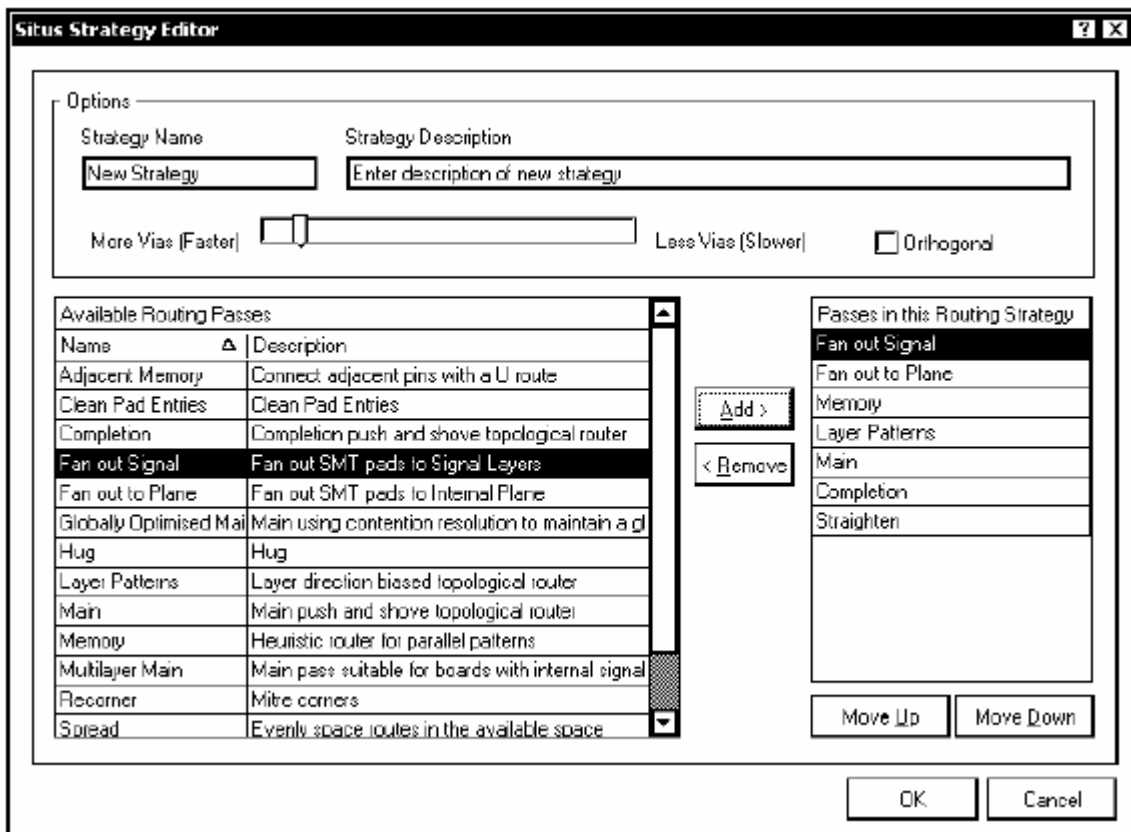


Рис. 4.36

Наведемо огляд доступних проходів трасування.

- Main – "головний" тип проходу, що використовує топологічну карту друкованої плати для пошуку шляху прокладення траси і функцію розсунення і проштовхування (Push and Shove) для перетворення передбачуваного шляху на реальний друкований провідник;

- Multilayer Main – той же "головний" тип проходів, тільки виконуваний при розводці багатошарових ПП з урахуванням ціни (системи штрафів і заохочень), призначені для багатошарового трасування;

- Globally Optimized Main – трасування з оптимізацією, що ігнорує зіткнення трас і перешкод на першій ітерації і потім ітеративно виконує перетрасування із збільшеною ціною помилки, доти поки не будуть вирішені усі конфлікти;

- Completion – той же тип Main, але із зміненою ціною конфлікту на завершальній стадії прокладання складних з'єднань;
- Memory – регулярне трасування зв'язків між контактами компонентів з однаковими координатами по X або по Y, за типом ліній адреси/даних у пристроях пам'яті;
- Adjacent Memory – прокладення U-подібних трас між контактами сусідніх компонентів;
- Clean Pad Entries – відхід траси від контакту уздовж довгої сторони контактної площадки.

Призначення і редагування нової стратегії активізується кнопкою Add (додати). Уся процедура підготовки нової стратегії повністю ідентична розглянутій для дубльованої стратегії.

4.7.8.2 Правила і звіти автотрасувальника. У вікні налаштувань автотрасувальника Situs Routing Strategies (рис. 4.37) розміщено поле звіту про налаштування правил Routing Setup Report, що стосуються трасування друку, – ширина провідників, проміжки між елементами друкованого малюнку, топологія провідників, стиль розводки віялом та ін.

Натисканням миші на імені правила або прокруткою списку викликаються детальні відомості про налаштування правил (рис. 4.36). У разі потреби правила можуть бути відредаговані. Редагування конкретного правила (на рис. 4.36 – ширина друкованих провідників) активізується вказівкою на ім'я правила з натисканням лівої клавіші миші. Відкривається діалогове вікно, аналогічне правому полю вікон рис.4.4 або рис. 4.32. За контекстом у вікні представлені функції налаштування вказаного правила, включаючи генератор запитів на установку пріоритетів.

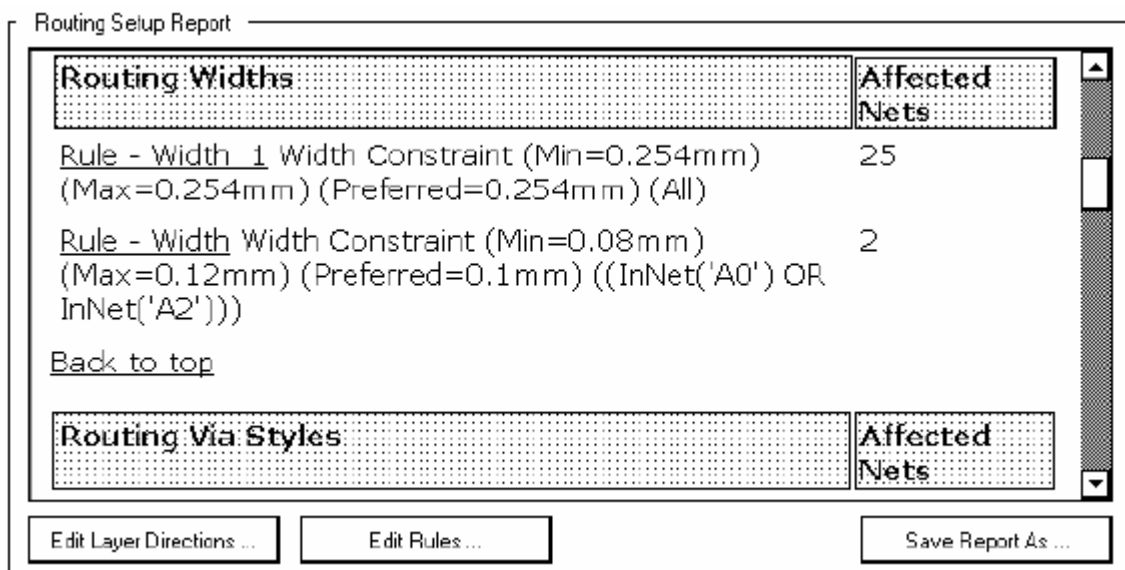


Рис. 4.37

Редагування правил може також бути активізоване кнопкою Edit Rules.

4.7.8.3 Автотрасування.

Закладені в Altium Designer 6 функції автотрасування активізуються з головного меню програми командою Auto Route і її підкомандами. Розглянемо основні функції автотрасування (рис. 4.38).

- All – трасування усієї плати: виконується після налаштування стратегії натисненням кнопки Route All в діалоговому вікні рис. 4.35.

- Connection – трасування зв'язку, що сполучає контакти двох компонентів (інші ділянки ланцюга не трасуються). При вказівці курсором на контакт, від якого зв'язок йде в один бік, трасування виконується автоматично по клацанню лівої клавіші миші. При вказівці курсором контакту, від якого зв'язок розходиться в різні боки, відкривається діалогове вікно, в якому наводиться перелік сегментів вибраного зв'язку і графічна ілюстрація їх розташування на платі (рис. 4.39, а).

- Net – трасування вибраної частини схеми. Виконується по подвійному клацанню лівою клавішею миші після вказівки курсором на початковий або кінцевий контакт, що належать цій ланці. У разі вказівки на контакт, від якого лінії зв'язку розходяться в різні боки, активізується діалогове вікно, рис. 4.39, б, в якому слід вибрати один із сегментів електричного зв'язку, що утворює ланку. Коло розводиться цілком.

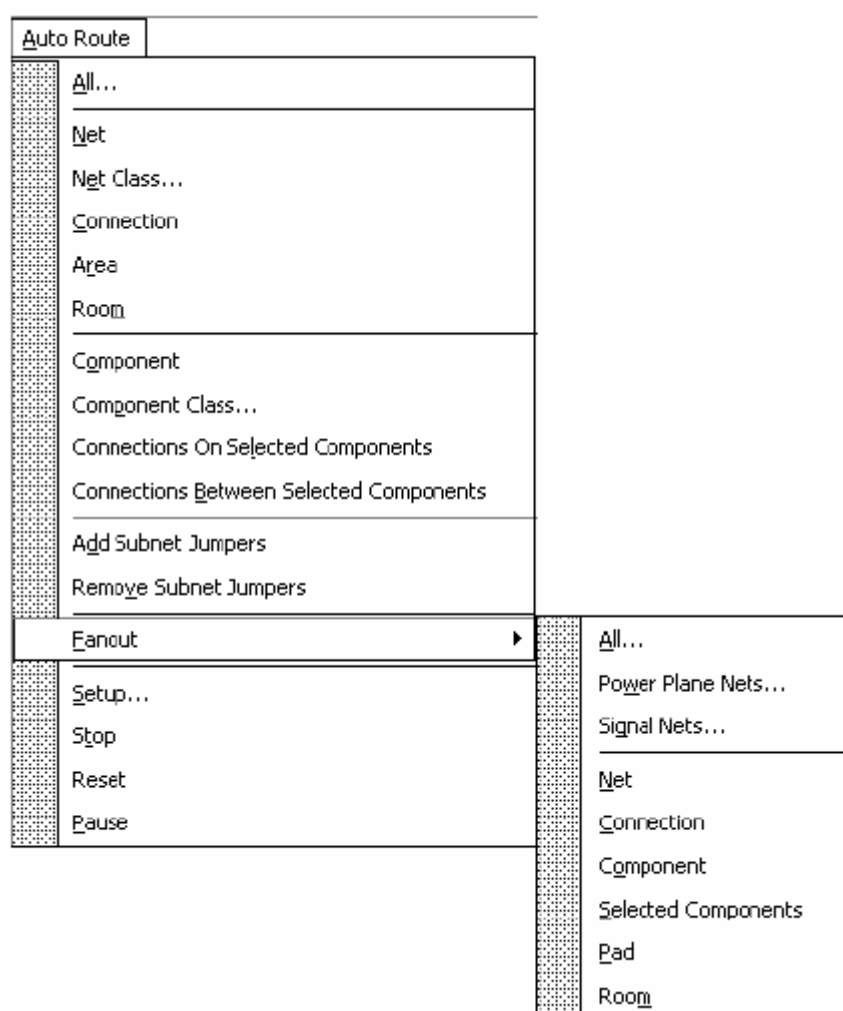


Рис. 4.38

- Net Class – трасування вибраного класу ланок. Активізується діалогове вікно, Choose Net Classes to Route – вибрати класи ланок, що підлягають трасуванню (рис. 4.40, а). Вказати курсором один з класів або кілька класів, утримуючи клавішу Shift, і кнопкою ОК дати старт трасування.

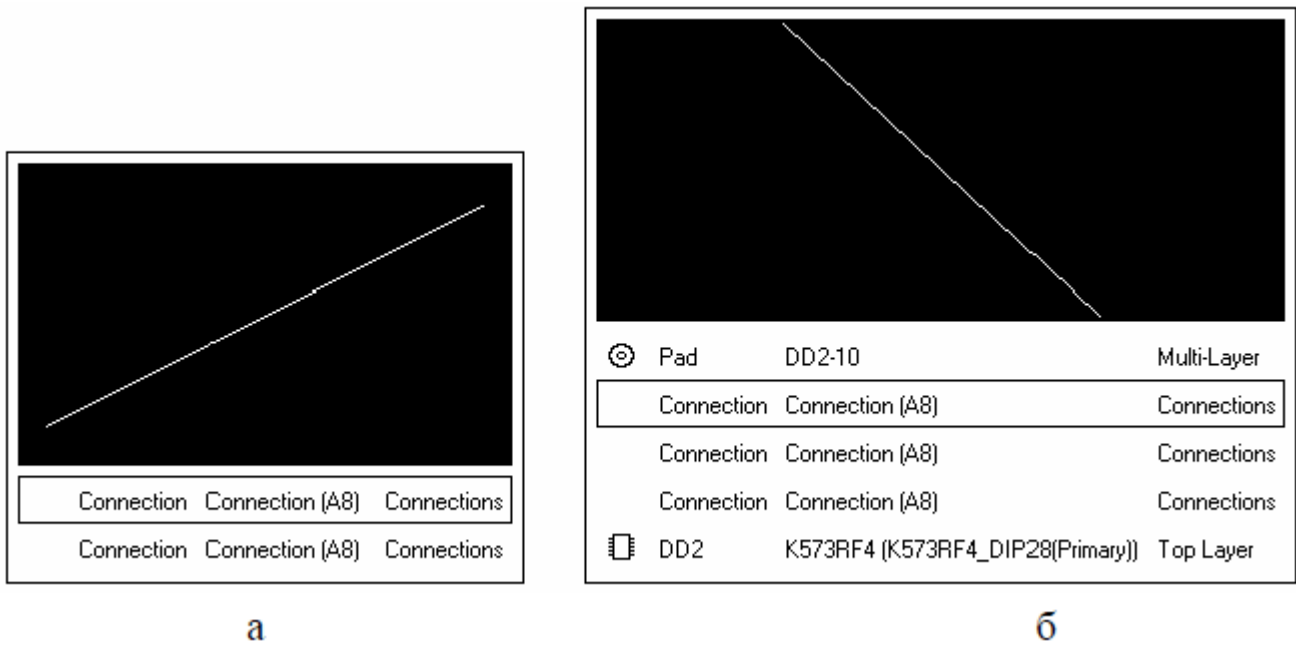


Рис. 4.39

- Area – трасування зв'язків, що повністю вкладаються в межі прямокутної області, що позначається курсором (зв'язки, що виходять за межі області, не розводяться).

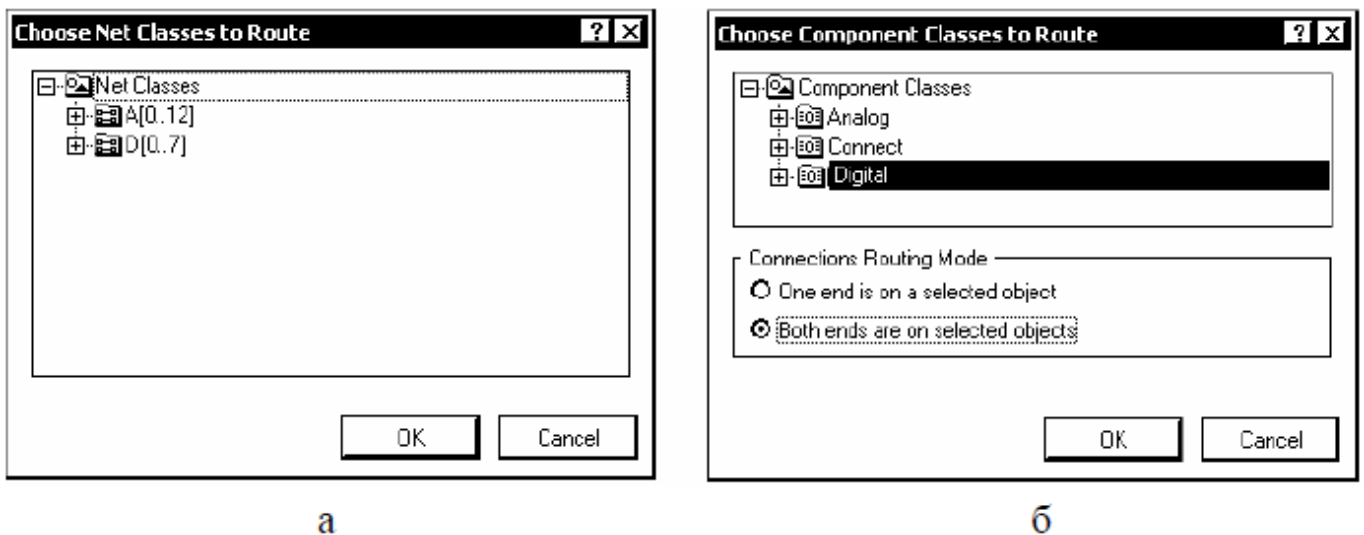


Рис. 4.40

- Room – трасування зв'язків, що вкладаються в область Room (зв'язки, що виходять за межі "кімнати" не розводяться).
- Component – трасування зв'язків одного вибраного компонента.
- Component Class – трасування зв'язків компонентів вибраного класу. Виконується аналогічно трасуванню класу ланок – при вказівці курсором на один або кілька класів компонентів у вікні, рис. 4.40, б.
- Connections on Selected Components – трасування зв'язків вибраних компонентів, як між собою, так і з іншими. Компоненти повинні бути заздалегідь вибрані курсором, при натиснутій клавіші Shift.
- Connections Between Selected Components – трасування зв'язків тільки між вибраними компонентами. Аналогічно попередньому випадку також спочатку мають бути вибрані компоненти.
- Fanout – трасування віялом від тісно розташованих контактів поверхнево-монтажних (SMD) компонентів. Команда має кілька підкоманд:
 - All – розводка віялом усіх зв'язків;
 - Power Plane Nets – розводка віялом ланок, що йдуть в шари живлення/Землі, класу Plane;
 - Signal Nets – розводка віялом сигнальних ланок;
 - Net – розводка вибраної частини схеми;
 - Connection – розводка вибраного зв'язку;
 - Component – розводка від контактів вибраного компонента;
 - Selected Components – розводка від контактів вибраної групи компонентів;
 - Pad – розводка від вибраного контактної площадки;
 - Room – розводка від SMD-компонентів в межах області Room.

Правила віялового трасування призначаються в вітці Design Rules/Routing/ Fanout Control дерева правил проектування. За замовчуванням призначено 4 правила (рис. 4.41) для SMD-компонентів різних типів:

- безвивідних Чіпів (LCC – Leadless Chip Component);
- компонентів в корпусах з матрицею кулькових виводів (BGA – Ball Grid Array);
- компонентів в малогабаритних корпусах з планарними виводами (SOIC – Small Outline Integrated Circuit);
- компонентів в малогабаритних корпусах з кількістю виводів менше 5 (Small).

Область додатку правил призначається за допомогою процедури формування запитів (Query) і відображається в колонці Score таблиці, приведеної на рис. 4.41. Пріоритети правил встановлюються в залежності від наявності компонентів відповідного типу в проекті. П'яте правило називається Fanout Default і може бути поширене на усі SMD-компоненти проекту. В цьому випадку даному правилу призначається нижчий пріоритет, а для області поширення формується запит IsSMTComponent.

Name	Priority	Enabled	Type	Category	Scope	Attributes
Fanout_BGA	1	<input checked="" type="checkbox"/>	Fanout Con	Routing	IsBGA	Style - Auto Direction - Alternating In and Out Via Grid = 0.025mm
Fanout_Default	5	<input checked="" type="checkbox"/>	Fanout Con	Routing	All	Style - Auto Direction - Alternating In and Out Via Grid = 0.025mm
Fanout_LCC	2	<input checked="" type="checkbox"/>	Fanout Con	Routing	IsLCC	Style - Auto Direction - Alternating In and Out Via Grid = 0.025mm
Fanout_Small	4	<input checked="" type="checkbox"/>	Fanout Con	Routing	(CompPinCount < 5)	Style - Auto Direction - Out Then In Via Grid = 0.025mm
Fanout_SOIC	3	<input checked="" type="checkbox"/>	Fanout Con	Routing	IsSOIC	Style - Auto Direction - Alternating In and Out Via Grid = 0.025mm

Рис. 4.41

Програма аналізує структуру посадочного місця компонента – типи і розташування контактних площадок і привласнює компоненту внутрішній, невидимий для користувача і недоступний редагуванню атрибут виду IsBGA = true, IsSOIC = true і тому подібне. Відповідно до логічного значення цього атрибуту будується конфігурація віялових відведень від контактів таких компонентів.

Віялове трасування зазвичай повинне виконуватися в першу чергу з тим, щоб можна було оцінити і виправити його результати перш ніж виконувати інші проходи автотрасування. Можливо також командою Auto Route>>Fanout>>Component виконати віялові відведення, що закінчуються міжшаровим перехідним отвором, від компонентів, не сполучених електричними зв'язками. Якщо скопіювати таку конфігурацію у бібліотеку посадочних місць, виходять заздалегідь розведені віялом SMD-компоненти, які можуть використовуватися в проекті друкованої плати.

Усі заздалегідь розведені вручну частини схеми – диференціальні пари, віялова розводка планарних (SMD)-компонентів, інші критичні частини схеми можуть бути захищені від автотрасування. Для цього слід активізувати в діалоговому вікні рис.4.35 опцію Lock All Pre-routes. Після виконання усіх необхідних налаштувань кнопкою Route All у вікні рис. 4.35 автотрасуванню дається старт. Трасування складної плати з кількома сотнями компонентів і щільним компонованням може тривати до декількох годин. По ходу виконання трасування в плаваючу панель Messages виводяться повідомлення про завершення проходів трасування і витрачений на це час. Трасування може бути призупинене командою Auto Route>>Stop і відновлене повторенням команди Auto route>>All.

Стовідсоткова розводка друку не гарантована. У разі недорозводки деяких ланок доводиться робити спробу змінити розміщення компонентів, змінити налаштування правил і виконувати повторне автотрасування або ручне трасування нерозведених ланок або їх сегментів. Людині часто вдається те, що недоступно програмам автотрасування.

4.7.8.4. Звіт автотрасувальника. Командою головного меню Reports>>Board Information активізується діалогове вікно PCB Information (рис. 4.42, а) з трьома панелями, в яких приведено зведення загальних характеристик плати, списком компонентів і ланок проекту. Кнопкою Report активізується вікно наступного рівня з повним списком об'єктів плати, про які може бути отриманий звіт (рис. 4.42, б).

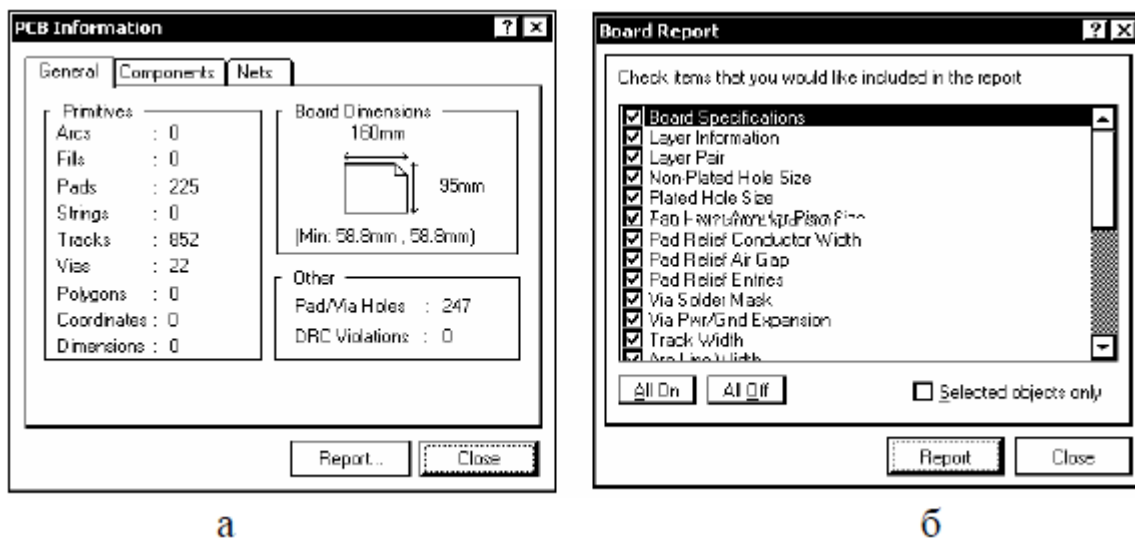


Рис. 4.42

Кнопкою Report у вікні рис. 4.42, б дається старт формуванню звіту про параметр вибраних об'єктів. Звіт у форматі Internet Explorer із заголовком Altium Designer Board Information Report представляється в головному вікні програми (рис.4.43).

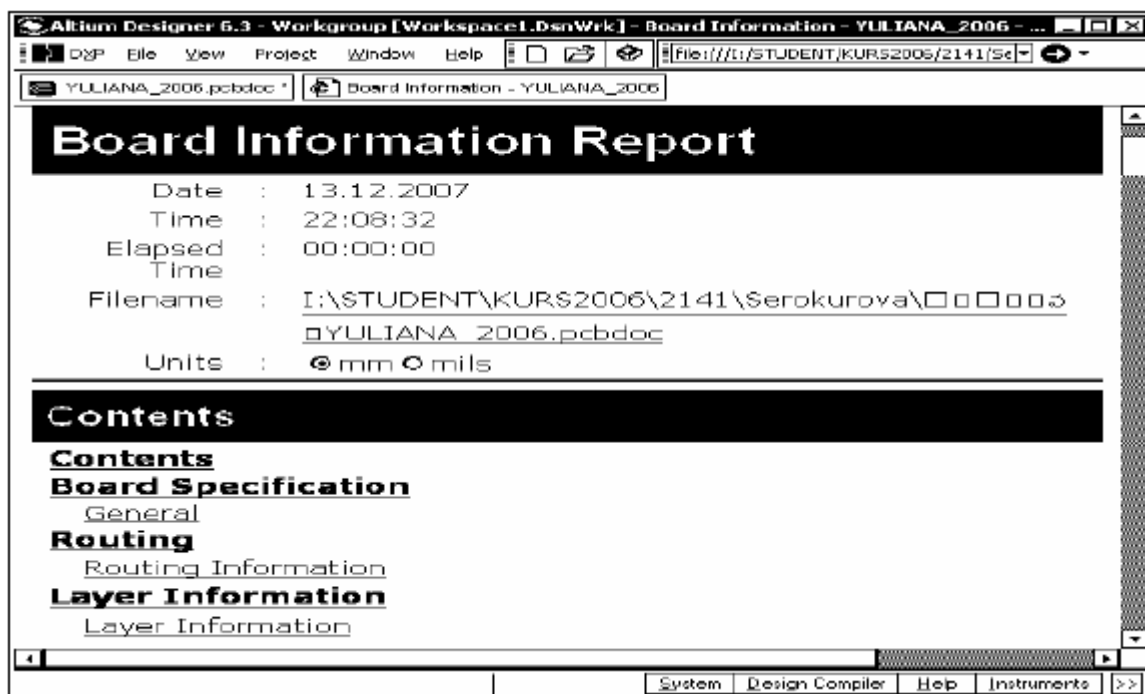


Рис. 4.43

Через систему гіперпосилань можна викликати для перегляду подробиці, що стосуються окремих структурних компонентів проекту – геометричні розміри плати, параметри шарів, провідників, відсоток розведених і нерозведених ланок та ін.

4.7.9 Верифікація РСВ-проекту

Командою головного меню Tools>>Design rule Check активізується перевірка виконання правил проектування, встановлених для поточного відкритого проекту. Відкривається діалогове вікно Design Rule Checker (рис. 4.44), у полях якого виконується налаштування опцій поточної (Online) і пакетної (Batch) перевірки.

У правому полі вікна DRC Report Options встановлюються області для перевірки і формування звітів:

- Create Report File – створити файл звіту;
- Create Violations – формувати звіт про порушення;
- Sub-Net Details – детальна інформація про сегменти ланок;

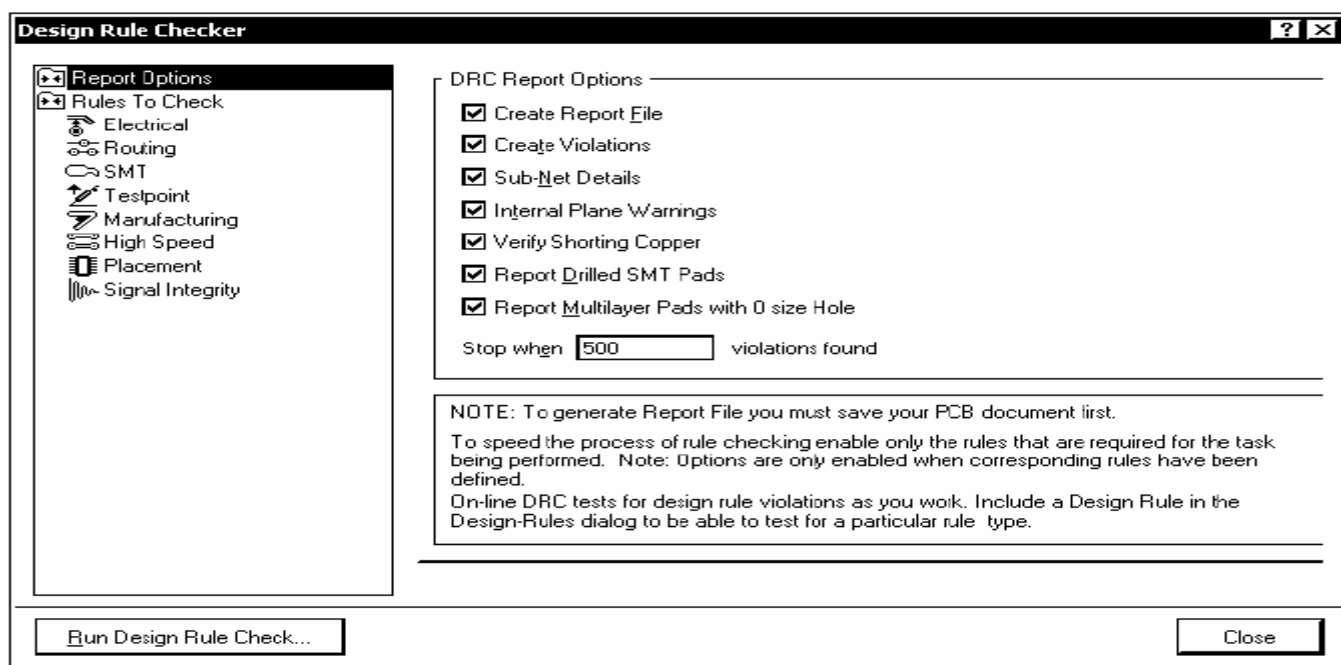


Рис. 4.44

- Internal Plane Warnings – попередження, пов'язані з внутрішніми шарами класу Plane;
- Verify Shorting Copper – перевірка на короткі замикання ділянок металізації;
- Report Drilled SMT Pads – звіт про просверлені планарні контактні площадки (КП);
- Report Multilayer Pads with 0 size Hole – звіт про багат шарові КП з нульовим діаметром монтажного отвору.

У лівому полі вікна, рис. 4.44, наводиться список категорій правил, виконання яких підлягає перевірці:

- Electrical – електричні (проміжки, короткі замикання та ін.);
- Routing – трасування (ширина провідників, стиль перехідних отворів та ін.);
- SMT – правила роботи з планарними компонентами;

- Testpoint – контрольні точки;
- Manufacturing – правила, що впливають на можливість виготовлення плати (злами друкованих провідників під гострим кутом, ширина кільця металізації КП та ін.);
- High Speed – правила проектування високошвидкісних пристроїв;
- Placement – правила розміщення компонентів;
- Signal Integrity – правила контролю цілісності сигналів (хвильовий опір, час поширення сигналів, фронти, викиди та ін.).

При вказівці курсором однієї з категорій праве поле вікна, рис. 4.45, видозмінюється: в ньому розгортається список правил вибраної категорії.

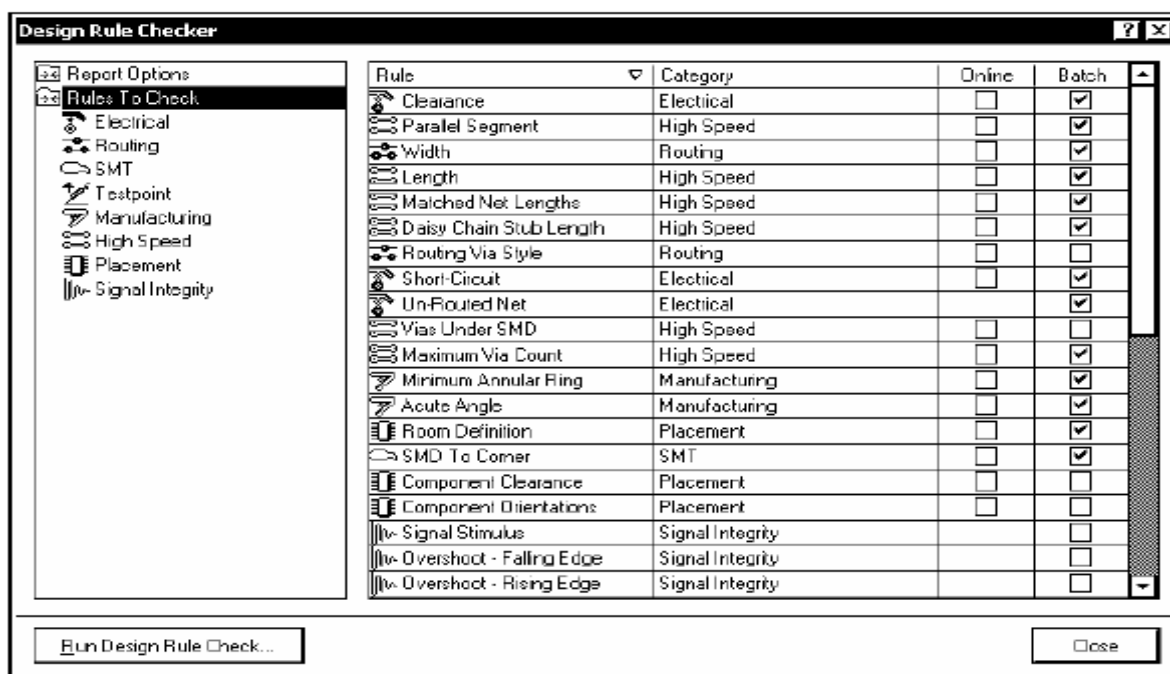


Рис. 4.45

При вказівці рядка Rules to Check розгортається повний список правил усіх категорій. У колонках Online і Batch "галочками" активізуються правила, поточна і пакетна перевірка яких повинна виконуватися в активному проекті. Кнопкою Run Design Rule Check дається старт пакетної перевірки. У процесі перевірки в плаваючу панель Messages виводяться повідомлення про хід виконання і результати перевірки за усіма пунктами призначених правил. Після закінчення перевірок в головному вікні програми виводиться підсумковий звіт під заголовком Design Rule Verification Report – звіт про верифікацію правил проектування.

Усі виявлені порушення відзначаються на платі кольоровим підсвічуванням зеленого кольору. Отриманий звіт і графічна ілюстрація дозволяють прийняти рішення про заходи щодо редагування проекту – зміну розміщення компонентів, ручне редагування трасування, виконання повторного автотрасування, редагування правил, пріоритетів і тому подібне, що зрештою дасть результат, що відповідає технічному завданню.

ЗАВДАННЯ

Розмістити компоненти на друкованій платі. Здійснити розводку трас друкованого монтажу відповідно до заданої схеми електричної принципової..

ПЕРЕЛІК КОНТРОЛЬНИХ ЗАПИТАНЬ

1. Що таке класи об'єктів в Altium Designer 6?
2. Якими способами можливе розміщення компонентів на друкованій платі?
3. Чому в процесі розводки трас друкованого монтажу можуть виникати конфлікти? Які є способи їх розв'язання?
4. Які фази проходить розводка множинних трас?
5. Що таке "тонке" (Smart) інтерактивне трасування?
6. Назвіть особливості трасування диференціальних пар?
7. В чому полягає робота топологічного автотрасувальника Situs пакету Altium Designer 6?

Лабораторна робота №5

Вивчення засобів Altium Designer, призначених для проектування програмних систем

Мета роботи: ознайомитися із засоби для проектування ПЛІС.

Теоретичні відомості

5.1 Проектування ПЛІС

Altium Designer – перша система проектування сучасних електронних пристроїв, реалізованих у вигляді друкованої плати. Реалізується це у вигляді обширного інструментарію для проектування пристроїв на базі ПЛІС. При цьому від розробника не вимагається знання мови VHDL – проект може вводитись у вигляді принципової схеми з використанням бібліотек готових логічних пристроїв. Полегшує виконання подібних завдань унікальна технологія компанії Altium – LiveDesign (рис. 5.1), що дозволяє в інтерактивному режимі розробляти і налагоджувати проєктований пристрій безпосередньо в кристалі.

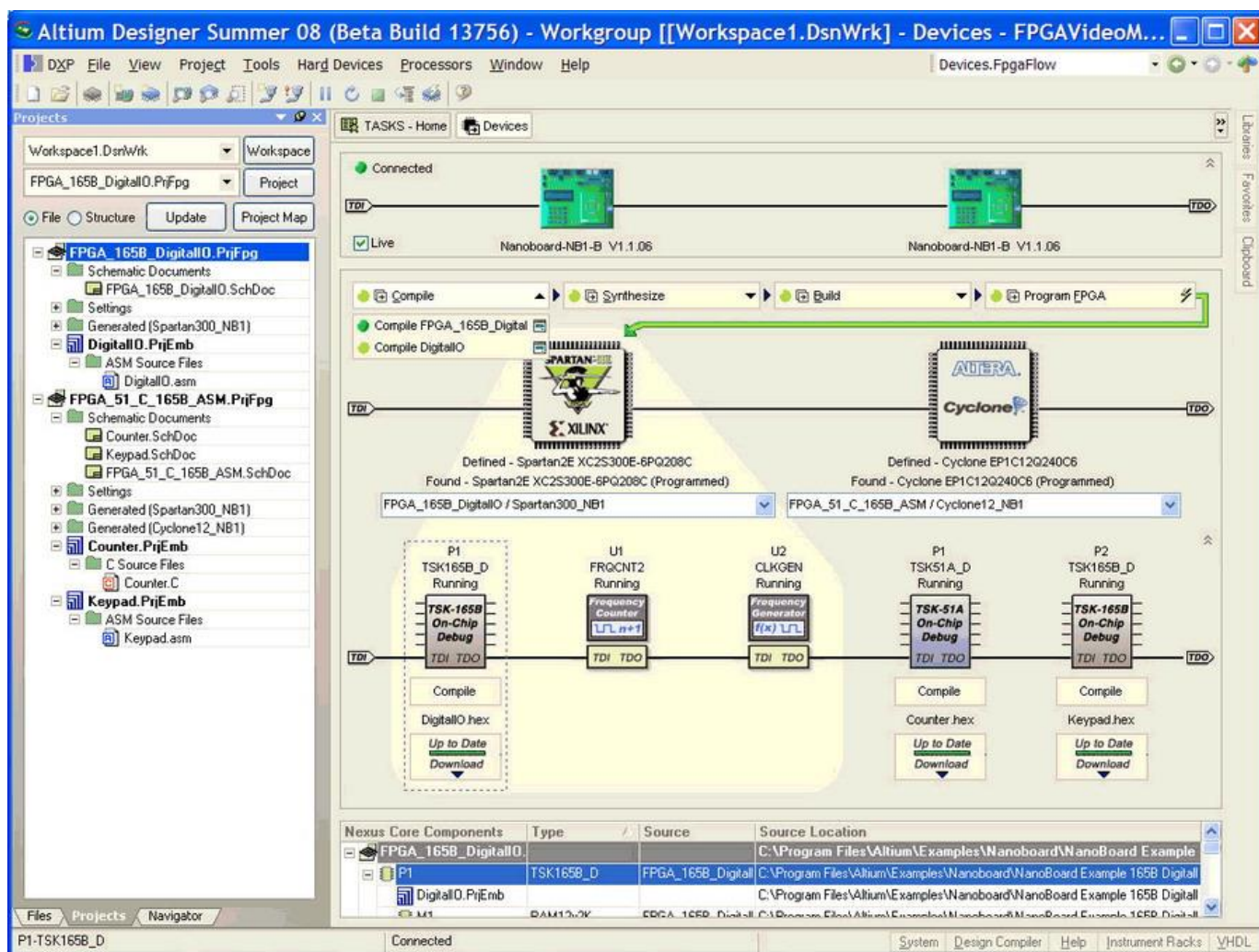


Рис. 5.1

Комбінація віртуального інструментарію і технологія периферійного сканування дозволяють розробникові постійно "взаємодіяти" з розробленим проектом і "бачити" реальні сигнали в ПЛІС. Змінений проект можна перезавантажити за допомогою NanoBoard у будь-який момент. Такий процес взаємодії в реальному часі з "живим" проектом компанія Altium і називає LiveDesign.

Дана технологія дозволяє швидко розробити пристрій на базі ПЛІС і не лише відмовитися від використання опису мовою VHDL, але і від VHDL-моделювання. В даному програмному продукті синхронізацію розмінування ПЛІС і розробку топології можна виконувати автоматично (рис. 5.2). Інструментарій автоматичного (чи ручного) розміщення виводів оптимізує розпінування ПЛІС для якіснішого трасування топології.

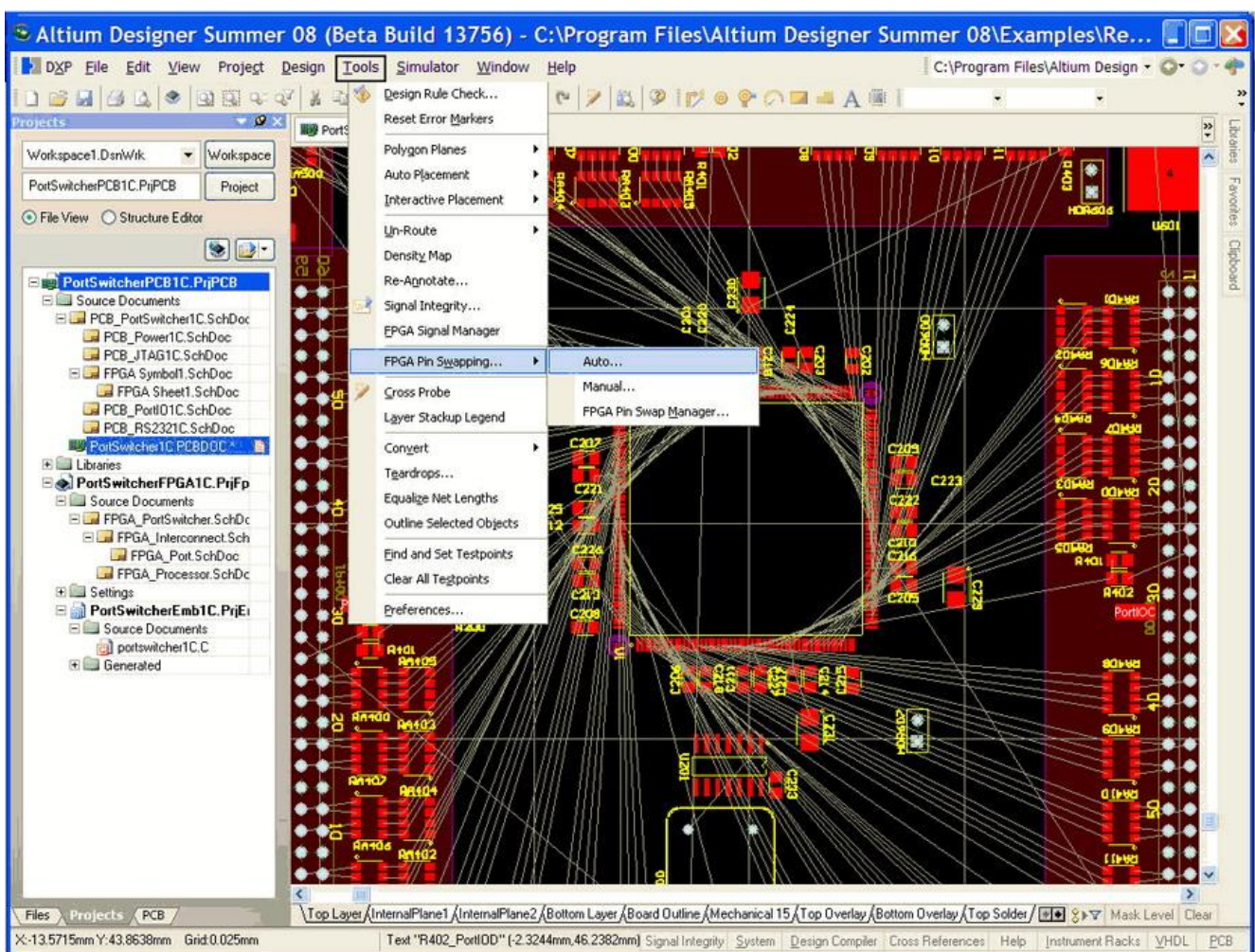


Рис. 5.2

5.2 Вихідна документація

Altium Designer підтримує широкий перелік вихідних форматів, таких як: ODB, Gerber, NC Drill, IPC-D-356, VHDL; може генерувати списки з'єднань у форматах більшості сторонніх систем проектування, а також генерувати різноманітні звіти (наприклад, Bill of Materials, на основі якого досить просто

оформити переліки елементів і специфікації за ЄСКД за допомогою утиліти «Документатор вітчизняної розробки»).

Вбудована і повністю інтегрована з системою проектування топології система технологічного аналізу і передвиробничого доопрацювання топологій CAMtastic дозволяє виконувати 18 різноманітних перевірок на технологічність проекту з можливістю автоматичного усунення більшості помилок. Потужні засоби редагування фотошаблонів та файлів дозволяють внести необхідні корективи (рис. 5.3).

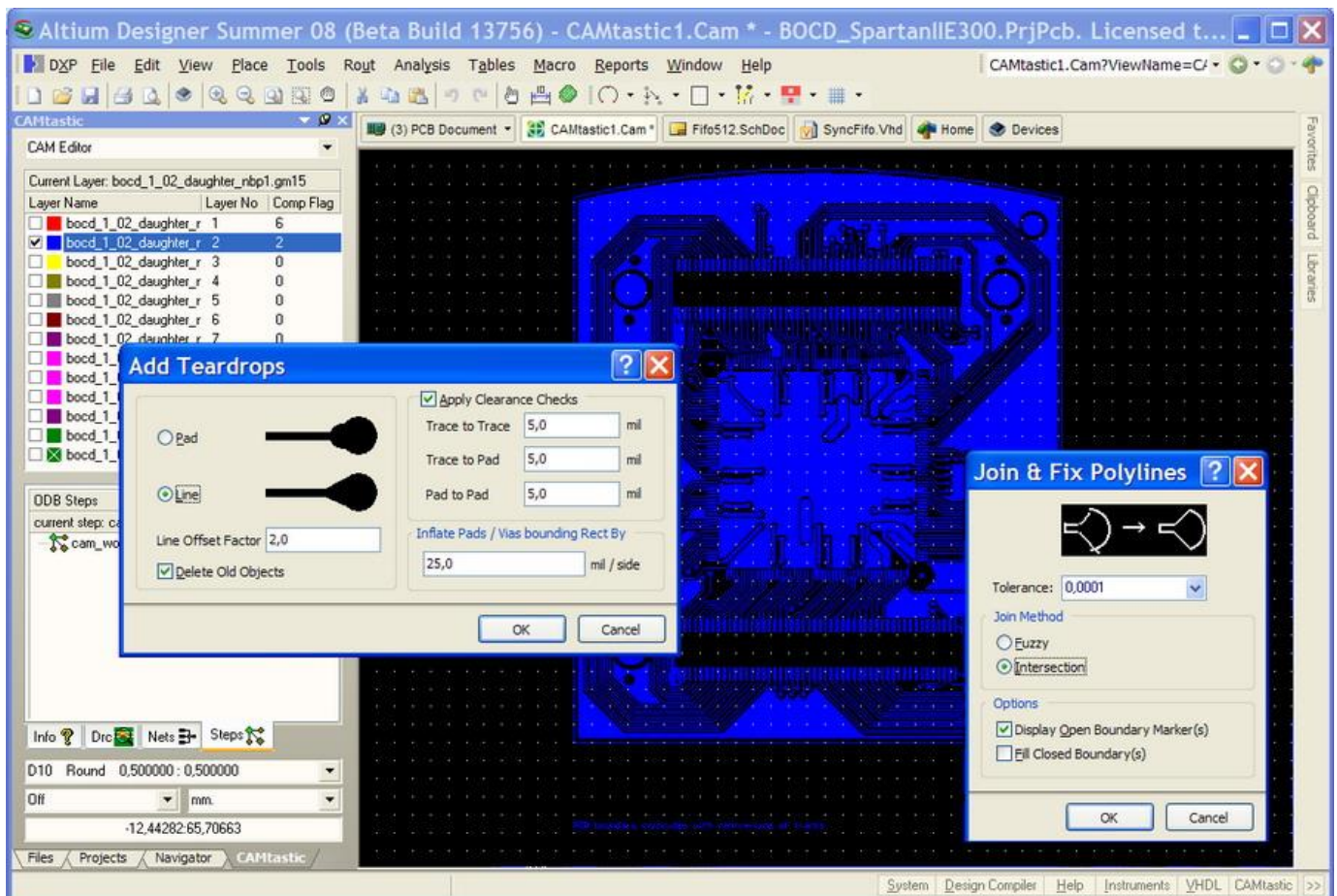


Рис. 5.3

Серед представленого інструментарію є великий набір функцій графічного редагування, створення багатомісних шаблонів (у тому числі і на основі різних топологій) і т.д.

5.3 Апаратне моделювання проектів на ПЛІС

В процесі розробки проектів електронних пристроїв на базі ПЛІС (FPGA) система інтегрує процес розробки як програмної частини проекту пристрою, так і апаратної, а розробникові пропонується досить проста методологія ведення проекту, схожа з розробкою друкованих плат ПЛІС.

Для цього в системі об'єднаний такий інструментарій:

- схемне введення проекту з використанням бібліотек готових логічних пристроїв;
- VHDL-моделювання і VHDL-введення проекту для створення призначених для користувача логічних блоків і компонентів;
- великий комплект передсинтезованих і передперевічених IP-блоків, включаючи ядра процесорів (входить в комплект постачання і не вимагає додаткових матеріальних витрат);
- засіб розробки з підтримкою відладки процесорних ядер на рівні вихідних кодів;
- повна інтеграція з платою відладки і макетування NanoBoard від компанії Altium Ltd, яка дозволяє відлагодити проект ще на етапі створення принципової схеми і підвищити якість розробки;
- повна інтеграція з інноваційною технологією LiveDesign ("живе проектування");
- вбудована система допомоги, приклади проектів і опис представленої елементної бази.

Така об'єднана інтерактивна розробка і відладка обох частин проекту в поєднанні з платою відладки NanoBoard, використання віртуального інструментарію відладки, периферійне сканування і можливість відладки ядер на рівні початкових кодів називається технологією LiveDesign.

Як тільки проект завантажений в NanoBoard користувач може повністю контролювати усі процеси безпосередньо в програмованому кристалі і користуватися усім віртуальним інструментарієм.

При цьому система дозволяє постійно взаємодіяти із розроблюваним додатком на усіх етапах проектування. Така LiveDesign-методологія проектування дозволяє "проганяти" реальні "програми" в реальних кристалах, повністю усуваючи необхідність в HDL-моделюванні – в результаті це призводить до серйозного скорочення тимчасових витрат.

Переваги технології проектування:

- можливість введення проекту в графічному (схемному) вигляді дозволяє повністю відмовитися від використання (і знання) HDL-мов;
- великий перелік ПЛІС-орієнтованих пристроїв, що поставляються, дозволяє швидко і просто "будувати" проектувану систему;
- призначені для користувача компоненти і допоміжні логічні блоки можуть бути створені на основі вже існуючих у вигляді тієї ж схеми або за допомогою опису на VHDL;
- редактор схемотехніки підтримує роботу з ієрархічними структурами без будь-яких обмежень на глибину ієрархій і складність схеми;
- при необхідності користувач може застосувати багатоканальні структури (багатократне використання одного разу описаного фрагмента);
- можливість використати шинні з'єднання при роботі з мультививодами значно спрощує введення проекту;
- Altium Designer поставляється з великим переліком IP-блоків у вигляді передсинтезованих бібліотек, у тому числі ядра процесорів стандартної

архітектури, різні контролери комунікації і зовнішньої периферії, а також стандартні логічні пристрої. Система дозволяє реалізовувати проекти на кристалах усіх провідних вендерів (Altera, Xilinx і т.д.), причому переорієнтація проекту на "інший" кристал відбувається без зміни самого проекту;

- унікальна технологія LiveDesign активно використовує віртуальний інструментарій, що дозволяє бачити те, що "відбувається" в ПЛІС упродовж усього циклу проектування. Віртуальні інструменти вбудовуються в проект на рівні схемотехніки. Після завантаження проекту в NanoBoard користувач може "спілкуватися" з ним через спеціальну панель візуалізації;

- віртуальний інструментарій має ті ж функціональні можливості, що і просте VHDL-моделювання, але показує реальні сигнали, що протікають в кристалі. Віртуальний інструментарій включає логічні аналізатори, генератори частот, лічильники частот, модулі вводу/виводу.

Altium Designer дозволяє розробляти "процесорні" системи на базі ПЛІС. В базі даних включені ядра процесорів, при цьому підтримується їх редагування на рівні початкових кодів на С або Асемблері. Інструментарій редагування вихідного коду включає С- і Асемблер-компілятор з високим рівнем оптимізації, симулятор. Редактор інтегрований з системою відладки, що дозволяє завантажувати і підстроювати вихідний код в NanoBoard.

При роботі з багатопроцесорним проектом можна використати багатопроцесорну сесію для одночасної відладки двох і більше процесорів.

Altium Designer дозволяє здійснювати:

- Опис у вигляді принципової схеми і/або мовою VHDL (з системою синтаксичних підказок).

- Високошвидкісний VHDL-симулятор.
- Підтримка двох VHDL-стандартів: IEEE 1076-1987 і 1076-1993.
- Підтримка стандарту IEEE 1164.
- Пакувальник за стандартом IEEE 1076.3.
- Підтримка бібліотек стандарту IEEE 1076.4.
- Використання бібліотек Synopsys.
- Можливість текстового опису параметрів введення/виводу, включаючи розширений стандарт Synopsys.

Віртуальні інструменти роботи з FPGA

- Генератор частот.
- 50% цикл роботи.
- Частота, що задається користувачем, - від 1 Гц до 200 МГц.
- Лічильники.
- Лічильники з подвійним входом.
- Відображення результату як значення частоти в періодах або переходах (може бути навіть у фронтах).
- Цифровий модуль введення/виводу.
- 8-/16-канальний вхід загального призначення.
- 8-/16-канальний вихід загального призначення.

- Читання/визначення значення в двійковій або 16-тиричній системі числення.
- Модуль зі змінною кількістю входів/виходів від 1 до 4 банків.
- Логічний аналізатор.
- Версія 8-/16-канального входу з 1К-, 2К- і 4К-пам'яттю для захоплення значень (використовуючи ресурси пам'яті ПЛІС).
- 8-/16-канальна версія, що підтримує зовнішню пам'ять з 20-розрядною адресою.
 - Зовнішня (апаратна) або внутрішня (програмна) фіксація сигналу (чи результату).
 - Режим постійного захоплення.
 - Результати захоплення відображаються як значення або як еюра напруги.
 - Режим аналогового відображення (масштаб амплітуди задається користувачем).
 - Тригер і маска, що задаються користувачем.
 - Можливості фіксації із затримкою.
 - Можливість фіксації результату після n збігів якої-небудь події.
 - Розділений 8-канальний режим фіксації (по контексту: результату або вхідного сигналу) по рівню, що задається бітами або з масштабуванням.

Основні ядра компонентів ПЛІС

- Суматори, буфери, дільники, компаратори, лічильники, дешифратори, шифратори, тригери, логічні примітиви, мультиплексори, помножувачі, генератори і лічильники парності, підтягуючі резистори до живлення і землі, регістри зсуву.
 - Повний опис бібліотеки компонентів ПЛІС доступний на www.altium.com/learningguides.
 - Периферійні ядра ПЛІС.
 - CAN-контролер – перетворювач з паралельного в послідовний інтерфейс, що реалізовує версію 2.0В CAN-протоколу фірми BOSCH.
 - Затримка включення, використовується для реалізації скидання за включенням живлення.
 - Перетворювач з паралельного в послідовний інтерфейс, що реалізує двопровідний інтерфейс I²C (“і квадрат сі”) з боку послідовної частини.
 - Сканер клавіатури 4x4. Може бути використаний в системах з опитуванням стану або по перериванню.
 - Контролер РКІ 16x2 з шинним інтерфейсом.
 - Розширювач портів – 8-бітові виходи і 1-, 2- і 4-бітові входи/виходи.
 - Перетворювач з паралельного в послідовний інтерфейс, що реалізує двонаправлений синхронний послідовний інтерфейс між ЦПУ і PS/2-пристроєм (клавіатурою або мишею).

- Простий перетворювач з паралельного в послідовний інтерфейс, що реалізує повний дуплекс і однобайтне буферування.

- Здвоєний таймер з режимами 16-, 13- і 8-бітного таймера/лічильника.

- VGA-контролер, який представляє відеопам'ять як вікно в адресному просторі. Підтримуються VGA- і SVGA-режими до 64 кольорів.

Ядра процесорів:

- Microchip 165x-сумісні;
- 8-bit ASM51-сумісні;
- 80C31-сумісні;
- і інші.

Інструментарій для розробки вбудовуваного програмного забезпечення (програмування процесорів вбудовуваних процесорних ядер)

Контекстний редактор, що підтримує:

- управління проектом;
- розширені можливості виділення кольором, включаючи розпізнавання функцій;
- розширені можливості перегляду коду;
- вбудований форматувальник початкового тексту – переформатує існуючий текст, використовуючи специфікації, що задаються користувачем;
- інтегрований відладчик, що запускається прямо з редактора початкового тексту;
- навігатор коду з інтуїтивно зрозумілим інтерфейсом;
- відображення установок не в режимі відладки і відображення поточних значень у момент відладки.

Відладка і моделювання:

- контрольна точка (breakpoint) в режимі відображення початкового тексту, і в режимі дизасемблера;
- умови для контрольних точок;
- контрольна точка з лічильником входжень;
- режим дизасемблера з відображенням вихідного коду і точок зупинки в змішаному вигляді і окремо;
- панель регістрів;
- панель змінних;
- панель локальних змінних;
- панель стеку;
- панель пам'яті;
- консоль відладчика багатозадачної ОС реального часу з витісняючим ядром, сумісної із стандартом OSEK/VDX.

На рисунках 5.4, 5.5 та 5.6 показано приклади логічної схеми проекту ПЛІС, принципової схеми проекту ПЛІС та панель візуалізації, виконані за допомогою Altium Designer.

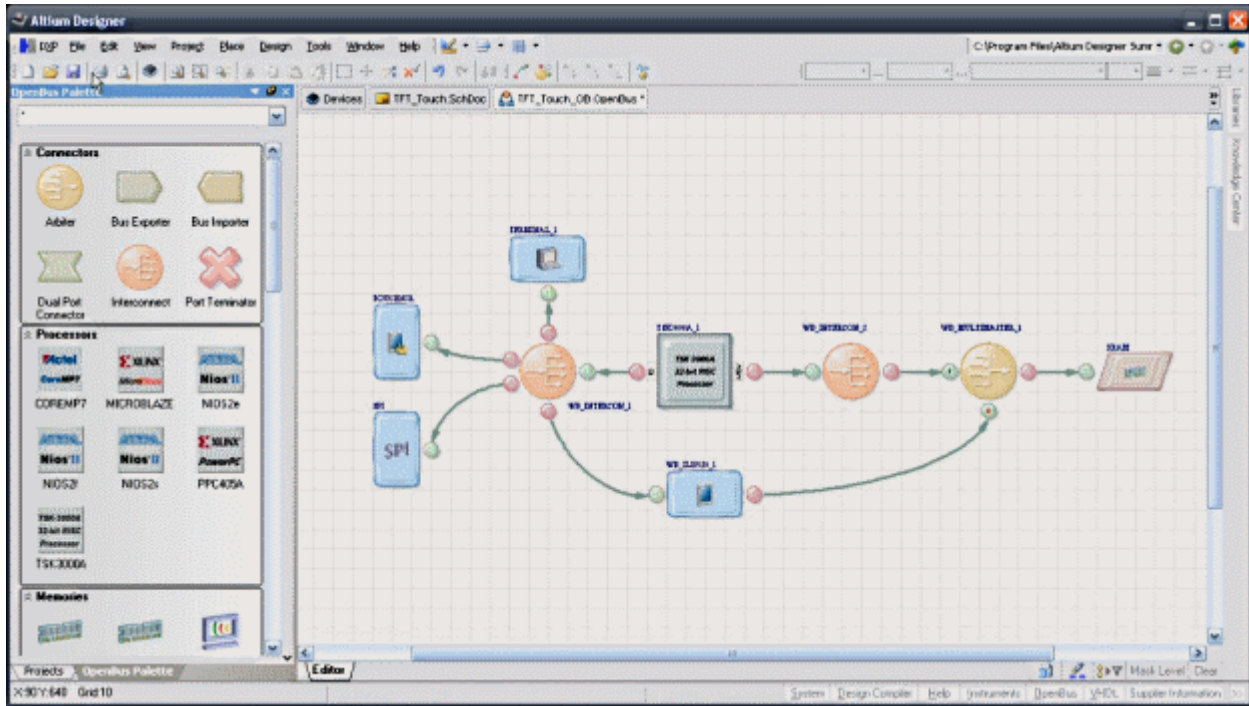


Рис. 5.4 Приклад логічної схеми проекту ПЛІС

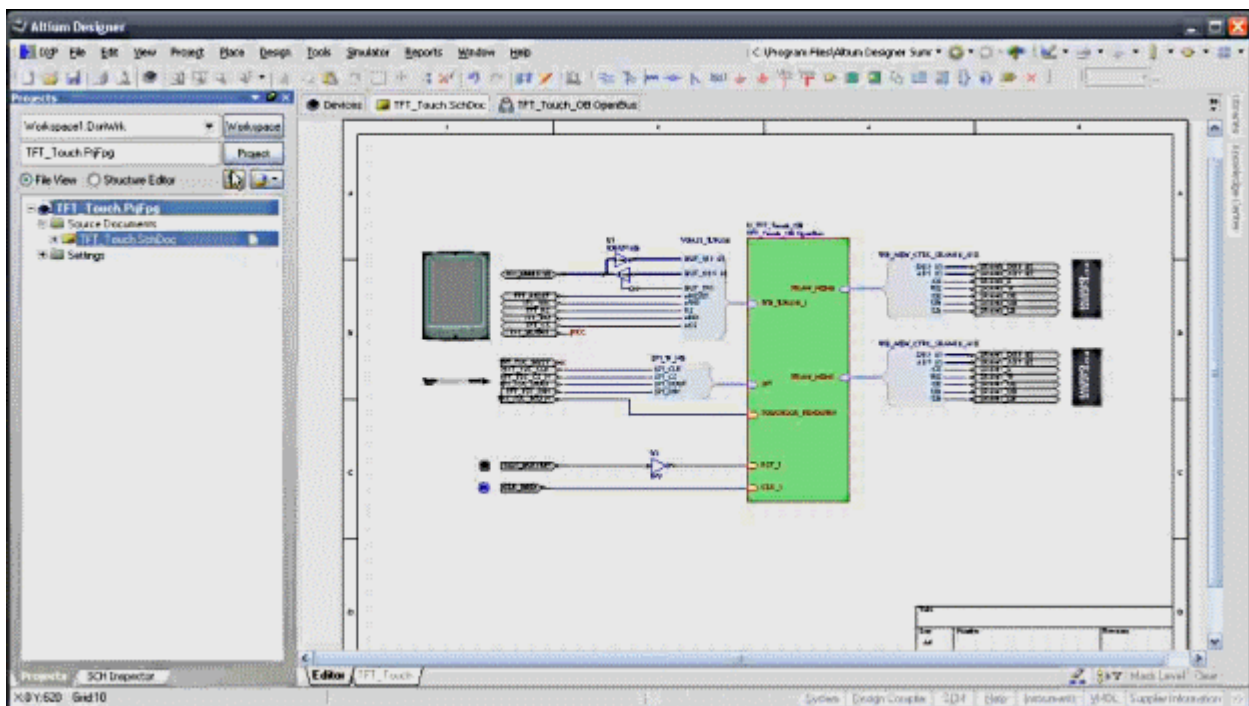


Рис. 5.5 Приклад принципової схеми проекту ПЛІС

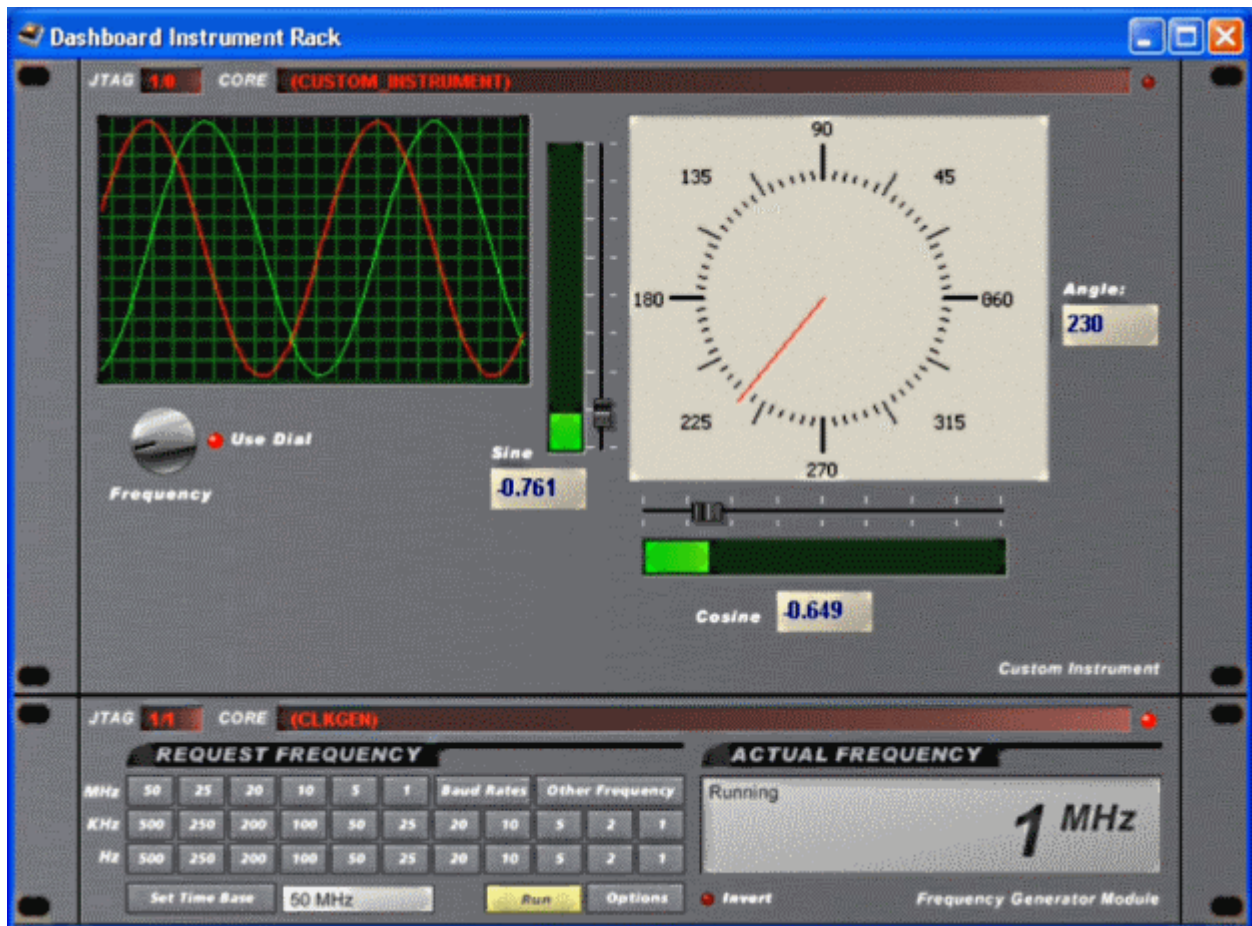


Рис. 5.6 Приклад спеціальної панелі візуалізації

ЗАВДАННЯ

Ознайомитися із засобами для проектування ПЛІС та розробити логічну схему проекту ПЛІС.

ПЕРЕЛІК КОНТРОЛЬНИХ ЗАПИТАНЬ

1. Які переваги технології проектування в Altium Designer?
2. Для чого призначена плата відлагодження NanoBoard?
3. Які можливості надає технологія LiveDesign?
4. Який є інструментарій для розробки вбудовуваного програмного забезпечення?
5. Назвіть основні ядра компонентів ПЛІС?
6. Назвіть віртуальні інструменти роботи з FPGA?
7. Розкажіть про апаратне моделювання проектів на ПЛІС?

ПЕРЕЛІК ПОСИЛАНЬ

1. Lee W. Ritchey, Differential Signalling Doesn't Require Differential Impedance.

Интернет-ресурс <http://www.speedingedge.com/PDF-Files/diffsig.pdf>

2. Документ HELP-системы Altium Designer 6: Component, Model and Library Concepts. Article AR0104 (v. 2.0) June 07, 2006.

3. Документ HELP-системы Altium Designer 6: Creating Library Components. Tutorial TU0103 (v. 1.4) June 9, 2006.

4. Суходольский В.Ю. Сквозное проектирование функциональных узлов РЭС на печатных платах в САПР Altium Designer 6. Часть 1.: Учебное пособие. СПб.:Изд-во СПбГЭТУ “ЛЭТИ”, 2008. 148 с.

5. <http://www.nanocad.ru/products/detail.php?ID=98580>

6. www.altium.com/learningguides

7. <http://altium123.narod.ru/>

8. <http://ad10.altium.com/>