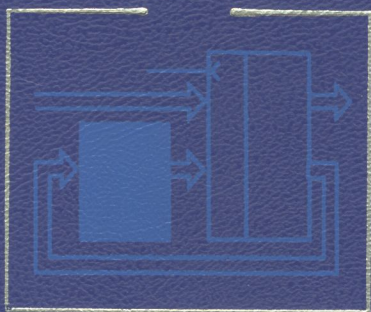


КНИГА 2

# ЦИФРОВА СХЕМОТЕХНІКА



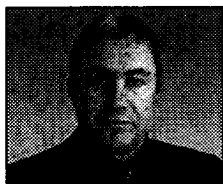
•ВИЩА ШКОЛА•

СХЕМОТЕХНІКА  
електронних систем

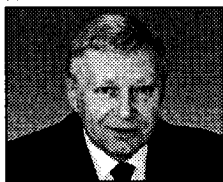
**ЦИФРОВА  
СХЕМО-  
ТЕХНІКА**

ЛАБОРАТОРІЯ-2



**БОЙКО Віталій Іванович**

Народився у 1944 р., доктор технічних наук, професор, академік Академії наук вищої школи України, заслужений діяч науки і техніки України, завідувач кафедри електроніки та автоматики Дніпродзержинського державного технічного університету. Автор понад 250 наукових і методичних праць. Фахівець у галузі електронних систем та інформаційних технологій

**ГУРЖІЙ Андрій Миколайович**

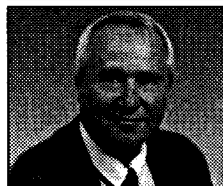
Народився у 1946 р., доктор технічних наук, професор, академік Академії педагогічних наук України, заслужений працівник освіти України. Автор понад 310 наукових і навчально-методичних праць. Фахівець у галузі інформаційних технологій і вимірювальної техніки

**ЖУЙКОВ Валерій Якович**

Народився у 1945 р., доктор технічних наук, професор, завідувач кафедри промислової електроніки Національного технічного університету України «Київський політехнічний інститут». Автор понад 270 наукових і навчально-методичних праць. Фахівець у галузі теорії та практики електронних систем

**ЗОРІ Анатолій Анатолійович**

Народився у 1941 р., доктор технічних наук, професор, заслужений діяч науки і техніки України, завідувач кафедри електронної техніки Донецького національного технічного університету. Автор понад 230 наукових і методичних праць. Фахівець у галузі електроніки

**СПІВАК Віктор Михайлович**

Народився у 1945 р., кандидат технічних наук, професор кафедри звукотехніки та реєстрації інформації Національного технічного університету України «Київський політехнічний інститут». Автор понад 150 наукових і навчально-методичних праць. Фахівець у галузі телекомунікаційних технологій та електронних систем

**ТЕРЕЩЕНКО Тетяна Олександрівна**

Народилася у 1950 р., доктор технічних наук, професор кафедри промислової електроніки Національного технічного університету України «Київський політехнічний інститут». Автор понад 150 наукових і навчально-методичних праць. Фахівець у галузі теорії та практики мікропроцесорного керування електронними системами

**БАГРІЙ Віктор Васильович**

Народився у 1957 р., кандидат технічних наук, доцент, заступник декана факультету, доцент кафедри електроніки та автоматики Дніпродзержинського державного технічного університету. Автор понад 50 наукових і методичних праць. Фахівець у галузі автоматизації виробничих процесів

КНИГА 2  
**ЦИФРОВА  
СХЕМО-  
ТЕХНІКА**

*Затверджено  
Міністерством освіти  
і науки України*

Підручник для студентів  
технічних спеціальностей  
вищих навчальних закладів

2-ге видання,  
доповнене і перероблене

АБОЧЕМЕНТ-2

Київ  
«ВИЩА ШКОЛА»  
2004

621.382(УТД)  
С 92

СХЕМОТЕХНІКА  
електронних систем

УДК 621.382.2/.3 (075.8)  
ББК 32.844.1я73  
С92

Гриф надано Міністерством  
освіти і науки України  
(протокол від 7 квітня 2003 р.  
№ 1/11-1366)

Автори: В. І. Бойко, А. М. Гуржій, В. Я. Жуйков, А. А. Зорі,  
В. М. Співак, Т. О. Терещенко, В. В. Багрій

Рецензенти: д-р техн. наук, проф. А. А. Щерба (Національ-  
ний технічний університет України «КПІ») і канд. техн. наук, проф.  
Ю. Є. Кулешов (Київський національний університет технологій  
та дизайну)

Редактор Т. Ю. Ходирева

С92 **Схемотехніка електронних систем: У 3 кн. Кн. 2. Циф-**  
**рова схемотехніка: Підручник / В. І. Бойко, А. М. Гуржій,**  
**В. Я. Жуйков та ін. — 2-ге вид., допов. і переробл. — К.:**  
**Вища шк., 2004. — 423 с.: іл.**

ISBN 966-642-200-X (кн. 2)

ISBN 966-642-193-3

432876

Викладено основні теоретичні та практичні відомості про цифрові  
схеми пристроїв сучасних електронних систем. Розглянуто математичні  
основи алгебри логіки, синтезу цифрових логічних розширників, пере-  
творювачів рівнів, генераторів та одновібраторів, інтегральних таймерів,  
цифрових автоматів тощо. Описано напівпровідникові мікросхеми опе-  
ративних і постійних запам'ятовувальних пристроїв. Наведено особли-  
вості розрахунку перехідних процесів у логічних схемах, гонок, різних  
систем синхронізації. Розглянуто проектування цифрових схем, зокре-  
ма зі зворотними зв'язками, з урахуванням потрібної завадостійкості.  
Подано рекомендації щодо монтажу інтегральних мікросхем та конст-  
руювання цифрових пристроїв. Друге видання (1-ше вид. — 2002 р.)  
доповнено матеріалами та прикладами для самостійного вивчення ма-  
теріалу.

Для студентів технічних спеціальностей вищих навчальних закладів.

УДК 621.382.2/.3 (075.8)  
ББК 32.844.1я73

ISBN 966-642-200-X (кн. 2)  
ISBN 966-642-193-3

© В. Я. Жуйков, В. І. Бойко, А. А. Зорі,  
В. М. Співак, 2002  
© В. І. Бойко, А. М. Гуржій,  
В. Я. Жуйков, А. А. Зорі,  
В. М. Співак, Т. О. Терещенко,  
В. В. Багрій, 2004, із змінами

НТБ ВНТУ  
м. Вінниця

# ЗМІСТ

Передмова	8
Вступ	13
<b>Розділ 1. Математичні основи</b>	<b>15</b>
1.1. Системи числення. Правила переведення з однієї системи числення в іншу	15
1.2. Коди з виявленням помилок	19
1.3. Коди з виправленням помилок	21
1.4. Двійкова арифметика	24
1.5. Форми подання чисел	25
<b>Розділ 2. Алгебра логіки і теоретичні основи синтезу цифрових пристроїв</b>	<b>30</b>
2.1. Елементи математичної логіки	30
2.2. Основні закони алгебри логіки	32
2.3. Форми логічних функцій та їх використання для синтезу логічних схем	34
2.4. Логічні елементи і схеми. Принцип двоїстості	40
2.5. Класифікація логічних пристроїв	43
<b>Розділ 3. Методи мінімізації булевих функцій</b>	<b>46</b>
3.1. Мета мінімізації логічних пристроїв	46
3.2. Метод безпосередніх перетворень	
3.3. Метод Карно – Вейча	47
3.4. Мінімізація методом Квайна і Мак-Класкі	51
<b>Розділ 4. Логічні елементи цифрових пристроїв</b>	<b>56</b>
4.1. Класифікація елементів і їх порівняльна характеристика	56
4.2. Загальні характеристики елементів цифрових пристроїв	59
4.3. Базовий логічний елемент транзисторно-транзисторної логіки	68
4.3.1. Склад, схемотехніка і принцип дії базового логічного елемента (БЛЕ)	68
4.3.2. Різновиди схемотехніки елементів ТТЛ	71

4.3.3. Підвищення швидкодії ТТЛ-схем	75
4.4. БЛЕ емітерно-зв'язаної логіки	78
4.4.1. Особливості схемотехніки	78
4.4.2. Принцип дії та функціональні можливості БЛЕ ЕЗЛ	79
4.4.3. Способи підвищення швидкодії	82
4.5. БЛЕ на МДН-транзисторах	83
4.5.1. Особливості використання МДН-транзистора	83
4.5.2. Схемотехніка БЛЕ КМОН-типу	85
4.6. БЛЕ інтегрально-інжекційної логіки	87
<b>Розділ 5. Синтез комбінаційних схем</b>	<b>91</b>
5.1. Етапи побудови логічної схеми	91
5.2. Синтез логічних пристроїв у заданому базисі ЛЕ	92
5.3. Особливості побудови логічних пристроїв на реальній елементній базі	93
5.4. Логічні елементи для реалізації складних функцій	97
5.5. Мультиплексори і демультіплексори	99
5.6. Синтез комбінаційних схем на мультиплексорах	102
5.7. Дешифратори, дешифратори-демультіплексори і шифратори	106
5.8. Суматори	115
5.9. Десяткові суматори	119
5.10. Компаратори	122
5.11. Перетворювачі двійково-десяткового коду на двійковий код	128
5.12. Перетворювачі двійкового коду на двійково-десятковий код	136
5.13. Взаємне перетворення двійкового коду і коду Грея	143
<b>Розділ 6. Тригерні елементи цифрових пристроїв</b>	<b>146</b>
6.1. Основні поняття. Класифікація тригерів та їх загальні характеристики	146
6.2. Асинхронний <i>RS</i> -тригер і його різновиди	152
6.3. Асинхронні тригери з одним входом	160
6.4. Синхронні тригери	163
6.5. Синтез довільних тригерних структур на універсальних <i>D</i> - та <i>JK</i> -тригерах	168
6.6. Приклади використання тригерів	171
<b>Розділ 7. Синтез цифрових автоматів</b>	<b>180</b>
7.1. Регістри зсуву	180
7.2. Лічильники за <i>mod M</i>	184
7.3. Лічильники на регістрах зсуву	196
7.4. Реверсивні лічильники	202
7.5. Лічильники зі змінним коефіцієнтом перерахування і цифрові фазообертачі	208
7.6. Послідовні двійкові суматори та цифрові інтегратори	213
7.7. Послідовна схема рівнозначності кодів	216
7.8. Послідовна схема порівняння двійкових чисел	218

<b>Розділ 8. Спеціальні елементи цифрових пристроїв</b>	221
8.1. Логічні розширники	221
8.2. Перетворювачі рівнів	223
8.3. Генератори та одновібратори	233
8.4. Різницеві перетворювачі і детектори подій (фронтів)	264
8.5. Інтегральні таймери	270
<b>Розділ 9. Напівпровідникові оперативні запам'ятовувальні пристрої</b>	278
9.1. Мікросхеми статичних ОЗП	278
9.2. Мікросхеми динамічних ОЗП	298
9.3. Застосування мікросхем ОЗП	309
<b>Розділ 10. Мікросхеми постійних запам'ятовувальних пристроїв</b>	322
10.1. Мікросхеми маскових ПЗП	322
10.2. Мікросхеми ППЗП	329
10.3. Мікросхеми РПЗП	333
<b>Розділ 11. Особливості проектування цифрових схем</b>	367
11.1. Перехідні процеси в логічних схемах	367
11.2. Гонки	372
11.3. Гонки за входом	378
11.4. Система двофазної синхронізації	379
11.5. Часові співвідношення двофазної синхронізації	382
11.6. Однофазна синхронізація	391
11.7. Проектування схем зі зворотними зв'язками	398
<b>Розділ 12. Застосування цифрових інтегральних мікросхем</b>	401
12.1. Завади та завадостійкість цифрових пристроїв	401
12.2. Рекомендації щодо монтажу інтегральних мікросхем	408
<b>Список рекомендованої літератури</b>	422



## ПЕРЕДМОВА

Електроніка — галузь сучасної фізики та електротехніки. Вона займається вивченням і використанням явищ, приладів і систем, основою яких є проходження електричного струму у вакуумі, газі та твердому тілі, дослідження, розроблення електронних засобів і систем та принципів їх використання. Обмін інформацією в електронних системах відбувається за допомогою сигналів, носіями яких можуть бути різні фізичні величини — струми, напруги, магнітні стани, світлові хвилі. Розрізняють аналогові (безперервні) і дискретні сигнали. Є два типи дискретних сигналів: перший отримано за рівнем або за часом дискретизації безперервних сигналів, другий — у вигляді набору кодових комбінацій знаків.

Перевагами цифрових пристроїв і систем порівняно з аналоговими є підвищена завадостійкість, висока надійність, можливість тривало зберігати інформацію без її втрати, економічна й енергетична ефективність, сумісність з інтегральною технологією, висока технологічність і повторюваність, а недоліками — мала швидкодія та точність.

Основа розвитку електроніки — безперервне ускладнення функцій. На сучасному етапі стає неможливим вирішувати нові завдання старими електронними засобами з використанням існуючої елементної бази. Вишикають об'єктивні умови для подальшого удосконалення елементної бази. Основними факторами є підвищення надійності, зменшення габаритних розмірів, маси, вартості та споживаної потужності.

Важливе завдання вищої освіти — правильна орієнтація майбутнього фахівця на стадії вивчення фундаментальних і професійно-орієнтованих дисциплін фаху, де поєднується як глибина важливих фізичних процесів, так і їхній розумний обсяг. Більшість випущених підручників і навчальних посібників з аналогової та цифрової схемотехніки або присвячені викладу лише окремих розділів цієї дисципліни, або дають за-

гальні відомості з основних розділів чи недостатньо відображають тенденції розвитку сучасної електроніки. У пропонованому підручнику автори зробили спробу ліквідації зазначених вище недоліків.

Підручник складається з трьох книг: перша книга — «Аналогова схемотехніка та імпульсні пристрої», друга — «Цифрова схемотехніка», третя — «Мікропроцесори та мікроконтролери».

**Перша книга — «Аналогова схемотехніка та імпульсні пристрої»** містить 12 розділів з аналогової схемотехніки та 5 розділів з імпульсних пристроїв, у яких розглянуто такі питання:

основні компоненти електронних систем, підсистем і вузлів, підсилювачі;

$RC$ -підсилювачі напруги на біполярних і польових транзисторах за різними схемами підключення зі спільними емітером, базою, колектором, стоком, витоком;

частотні характеристики  $RC$ -підсилювачів звукових частот, робота підсилювача в області низьких, середніх та високих частот; логарифмічні амплітудно-частотні характеристики, приклади розрахунків;

узгодження джерела сигналу з навантаженням, класифікація одно- і двотактних підсилювачів потужності та підсилювачів без трансформаторів;

наскрізні характеристики каскадів, вплив температури на характеристики біполярних транзисторів, причини та методи розрахунку нелінійних спотворень;

класифікація паралельних і послідовних зворотних зв'язків: за струмом і напругою, жорстких і гнучких, їхній вплив на схемні функції, показники роботи, умови стійкості системи;

підсилення постійного струму, способи зменшення дрейфу нуля, підсилювачі на несівній частоті, з безпосередніми зв'язками, паралельні балансові та диференціальні схеми;

класифікація аналогових мікроелектронних структур, операційні підсилювачі на інтегральних мікросхемах, елементи їх схемотехніки;

побудова вирішальних структур на базі операційних підсилювачів, лінійні та нелінійні функціональні перетворювачі, суматори, інтегратори, диференціатори, частотна корекція, логарифмування, помножувачі, подільники, випрямлячі, детектори;

загальні положення теорії селективних підсилювачів різних типів;

$LC$ -генератори періодичних коливань на польових і біполярних транзисторах;

основи теорії *RC*-генераторів з різними типами фазообертачів і без них;

проходження імпульсів через ланки інтегрування, диференціювання, розділові; фіксатори рівня;

формівники прямокутних імпульсів, ключі, обмежувачі, моделі великого сигналу;

мульти- та одновібратори; регулювання частоти, термостабілізація і поліпшення форми вихідної напруги схем; генератори лінійно змінюваної напруги, блокінг-генератори в автоколивальному режимі та режимі очікування;

аналіз кодувальних пристроїв, АЦП та ЦАП, пристрої вибірки збереження;

імпульсні джерела живлення, елементна база силової електроніки та перспективи розвитку.

**Друга книга — «Цифрова схемотехніка»** — охоплює 12 розділів, у яких розглянуто такі питання:

математичні основи цифрової схемотехніки, системи числення, коди, двійкова арифметика та форми подання чисел;

теоретичні основи синтезу цифрових автоматів та алгебра логіки;

аналіз методів мінімізації булевих функцій, методи Карно — Вейча, Квайна, Мак-Клаксі;

класифікація логічних елементів цифрових пристроїв (базові логічні елементи);

синтез комбінаційних схем, мульти- та демультимплексори, суматори, шифратори, дешифратори, компаратори, перетворювачі кодів;

асинхронні, синхронні тригерні елементи, *RS*-, *D*-, *JR*-тригери;

синтез цифрових автоматів, регістри зсуву, лічильники, цифрові фазообертачі;

логічні розширники, перетворювачі рівнів, таймери;

статичні, динамічні оперативні та мікросхеми постійних запам'ятовувальних пристроїв;

проекування логічних схем, перехідні процеси, гонки, одно- та двофазова синхронізація;

застосування цифрових інтегральних мікросхем, завади і завадостійкість, монтаж цифрових інтегральних мікросхем.

**Третя книга — «Мікропроцесори та мікроконтролери»** — складається з 9 розділів, у яких розглянуто такі питання:

загальні принципи побудови мікропроцесорних систем, організація шин, поняття про архітектуру мікропроцесорів та основні принципи побудови мікропроцесорних систем, основи програмування мовою асемблер;

однокристальні 8- та 16-розрядні мікропроцесори, відомості про систему команд мікропроцесора *i8086*;

старші моделі однокристальних універсальних мікропроцесорів (i80286, i386, i486, архітектура мікропроцесорів Pentium);

системи пам'яті: класифікація постійних та оперативних запам'ятовувальних пристроїв, побудова модулів пам'яті, принципи організації стекової та кеш-пам'яті;

інтерфейс пристроїв введення-виведення — паралельний та послідовний інтерфейс, контролер клавіатури та індикації, програмовний таймер, контролер прямого доступу до пам'яті, контролер переривань;

архітектура, функціональні можливості та система команд однокристальних мікроконтролерів з CISC-архітектурою, розширення можливостей, приклад застосування для керування двигуном постійного струму;

однокристальні мікроконтролери з RISC-архітектурою: PIC-контролери, AVR-мікроконтролери;

сигнальні мікропроцесори оброблення даних у форматі з фіксованою та плаваючою комою, їхні характеристики і функціональні можливості;

нейронні обчислювачі та їхні функції, основи побудови нейронних мереж, алгоритми навчання, апаратна реалізація.

У підручнику в стислому вигляді та доступній формі викладено всі розділи програми підготовки бакалаврів, інженерів та магістрів напряму «Електроніка» спеціальності «Електронні системи» і «Фізична та біомедична електроніка» згідно з вимогами державного стандарту України. Це може підвищити ефективність не лише аудиторних занять, а й самостійної роботи студентів. Матеріал скомпонований так, що кожний наступний розділ є логічним продовженням попереднього.

У результаті вивчення курсу студенти засвоюють принципи функціонування, вибору, практичної реалізації пристроїв та систем електроніки різного призначення, методи їх аналізу і розрахунку за заданими статичними й динамічними параметрами та принципи розроблення систем керування електронними системами. Студент має знати: принципи побудови та функціонування пристроїв аналогової і цифрової схемотехніки; принципи вибору методів аналізу і розрахунку електронних пристроїв із заданими характеристиками; принципи побудови і функціонування мікропроцесорних та мікроконтролерних систем, а також уміти: розрахувати електронні ланки; узагальнити динамічні показники електронних пристроїв; виконати розрахунки різних електронних пристроїв з організацією банку даних, розробити структурні та принципові схеми, а також програмне забезпе-

чення мікропроцесорних систем керування пристроями електроніки.

Підручник написано на основі досвіду викладання дисциплін згідно з програмами підготовки бакалаврів, інженерів та магістрів напряму «Електроніка» в Національному технічному університеті України «КПІ», Донецькому національному технічному університеті та Дніпродзержинському державному технічному університеті.

Курс забезпечується основними дисциплінами: математика, фізика, теоретичні основи електротехніки, твердотіла електроніка.

Автори висловлюють вдячність співробітникам кафедр «Промислова електроніка» Київського НТУУ «КПІ», «Електронна техніка» Донецького НТУ і «Електроніка та автоматика» Дніпродзержинського ДТУ за допомогу під час підготовки оригіналу-макета та обговорення навчального матеріалу.

Автори щиро вдячні рецензентам за цінні зауваження та рекомендації щодо вдосконалення окремих розділів рукопису, які вони врахували під час його доопрацювання, що сприяло поліпшенню змісту підручника.

## ВСТУП

Обмін інформацією в електронних системах відбувається за допомогою сигналів. Носіями сигналів можуть бути різні фізичні величини — струми, напруги, магнітні стани, світлові хвилі. Вирізняють аналогові (безперервні) та дискретні сигнали.

Дискретні сигнали простіше зберігати й обробляти, вони менше зазнають спотворень під дією завад. Такі спотворення простіше виявити та виправити. Тому дискретні сигнали частіше застосовують на практиці, ніж безперервні. Є два типи дискретних сигналів. Перший отримано за час дискретизації за рівнем або за часом безперервних сигналів; другий — у вигляді набору кодових комбінацій знаків, чисел або слів.

Перетворення безперервної інформаційної множини аналогових сигналів на дискретну множину називається *дискретизацією*, або *квантуванням, за рівнем*. Друге подання у вигляді кодових слів є більш універсальним і поширеним. Його використовують для кодування людської мови на папері (письма), у математиці, у цифровій електроніці.

Найімовірніше, що в недалекому майбутньому цифрова електроніка займе монопольне становище на ринку електронних систем та пристроїв. Сьогодні цифрові персональні комп'ютери і контролери практично витиснули аналогові електронні обчислювальні машини. Те саме відбувається з апаратурою радіозв'язку, радіомовлення і телебачення (телевізорами, радіоприймачами, відеомагнітофонами, звукозаписом, фотоапаратурою).

Повністю витиснути аналогову техніку цифрова в принципі не зможе, тому що фізичні процеси, від яких електронна система отримує інформацію, мають аналогову природу; в цьому випадку на вході та виході потрібні цифроаналогові та аналого-цифрові пристрої.

**Цифрова схемотехніка** — галузь науки, техніки і виробництва, яка пов'язана з розробленням, дослідженням, проек-

туванням та виготовленням електронних систем, де перетворення та оброблення інформації відбувається за законом дискретної функції. Промисловий розвиток цифрової схемотехніки має два напрями: енергетичний (силовий), пов'язаний з перетворенням постійного та змінного струмів для потреб металургії, електротяги, електроенергетики, та інформаційний, до якого належать аудіо- та відеоапаратура, засоби телекомунікації, вимірювання, контролю та регулювання технологічних процесів виробництва наукових досліджень у технічних і гуманітарних сферах.

Із сучасних публікацій найпоширеніша монографія американських фахівців П. Хоровіца та У. Хілла (Искусство схемотехники: В 3 т.: Пер. с англ. — М.: Мир, 1993). У ній обсяг матеріалу значно перевищує вимоги програм, проте мало інформації щодо сучасного розвитку схемотехніки, особливо цифрової.

Для аналізу сучасних мікропроцесорних систем знання технічної реалізації алгоритмів надзвичайно важливе. Наприклад, у напівпровідникових цифрових мікросхемах, на яких побудовані контролери та персональні комп'ютери, широко використовують логічні вентиля на ТТЛ- (TTL-) та КМОН- (CMOS)-структурах. Стандартні мікросхеми серій К155 і К133 характеризуються середнім енергоспоживанням та швидкістю 10 нс. Мікросхеми з меншими витратами енергії серії К134 мають знижену швидкість. Мікросхеми серії К131 мають підвищену вихідну потужність. Мікросхеми з діодами Шоттки (ТТЛШ) серії К531 при більших (порівняно зі стандартними) витратах мають швидкість в три рази вищу (3 нс). Серія малопотужних мікросхем ТТЛШ (К555) при тій самій швидкості, що і стандартні, вживає потужність у кілька разів меншу. Перспективними є серії КР1531 з швидкістю 3 нс та КР1533 з швидкістю 4 нс. Причому остання має в два рази менше енергоспоживання.

У результаті вивчення курсу «Цифрова схемотехніка» студент повинен **знати**: принципи побудови та функціонування пристроїв цифрової схемотехніки; принципи вибору методів аналізу та розрахунку електронних пристроїв із заданими характеристиками, а також **вміти**: розрахувати електронні ланки; узагальнити динамічні показники електронних пристроїв; виконати розрахунки різноманітних електронних пристроїв з організацією банку даних.



### 1.1. Системи числення. Правила переведення з однієї системи числення в іншу

**Системою числення** називають систему прийомів і правил, що дають змогу встановлювати взаємно однозначну відповідність між будь-яким числом і його зображенням у вигляді сукупності скінченного числа символів. Залежно від способу зображення чисел за допомогою цифр системи числення поділяють на позиційні і непозиційні.

У непозиційних системах будь-яке число визначають як деяку функцію від числових значень сукупності цифр, що зображують це число. Цифри в непозиційних системах числення відповідають деяким фіксованим числам. Приклад непозиційної системи — римська система числення. В електронних цифрових пристроях застосовують позиційні системи числення. Систему числення називають позиційною через те, що значення кожної вхідної у число цифри залежить і змінюється від її положення в запису числа.

Будь-яку позиційну систему числення з основою  $q$  можна подати у вигляді полінома

$$A_{(q)} = r_n q^n + r_{n-1} q^{n-1} + \dots + r_1 q^1 + r_0 q^0 + r_{-1} q^{-1},$$

де  $A_{(q)}$  — число в позиційній системі числення з основою  $q$ ;  $r_i$  — коефіцієнт;  $n$  — степінь та індекс.

Позиційні системи числення можуть бути різними залежно від основи: десяткові — за основою десять, вісімкові — за основою вісім, двійкові — за основою два і т. д. Надалі, щоб явно зазначити систему числення, що використовується, візьмемо число в дужки і в індексі вкажемо основу системи числення.

За двійковою системою числення коефіцієнтами  $r_i$  є цифри 0 і 1, а основою — число 2. У загальному вигляді число за двійковою системою числення можна записати так:

$$A_2 = r_n 2^n + r_{n-1} 2^{n-1} + \dots + r_1 2^1 + r_0 2^0 + r_{-1} 2^{-1}.$$



Цифрові пристрої використовують елементи, які мають тільки два стійких стани, і тому двійкова система числення дістала поширення для подання й оброблення інформації.

Вісімкову систему застосовують для виконання допоміжних функцій; вона скорочує запис числової інформації і забезпечує простоту переведення у двійкову систему, оскільки кожен вісімковий цифру можна замінити на двійкове трирозрядне число — *триаду*. Найзручнішою за записом є шістнадцяткова позиційна система. Основою системи є число 16, а за коефіцієнти беруть цифрові та літерні символи: 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, B, C, D, E, F.

Переведення з десяткової системи в будь-яку позиційну систему числення проводять методом послідовного ділення на основу нової системи доти, доки частка від ділення не буде меншою, ніж основа системи. Число в новій системі записують у вигляді остачі від ділення, починаючи з останньої частки, справа наліво. Дробове число записують у вигляді цілих частин чисел, що отримують при множенні тільки дробової частини на основу, починаючи зверху після коми, і при цьому задають точність обчислень.

Практичний інтерес мають перерахунки з десяткової системи і в десяткову систему. Алгоритм перерахунку і деякі приклади наведено в табл. 1.1, 1.2.

**Таблиця 1.1. Методи переведення цілого і дробових чисел з десяткової системи числення**

Тип перетворення	Цілі числа	Дробові числа
	Ділення певного десяткового числа на $q$ . Остача дає перетворене число, що читається в напямі стрілки	Повторне множення певного десяткового числа на $q$ . Розряд перед комою дає розряд перетвореного числа. При подальшому множенні використовується лише дробова частина проміжного результату
Десяткове на двійкове	$108 : 2 = \text{остача } 0$ $54 : 2 = \text{остача } 0$ $27 : 2 = \text{остача } 1$ $13 : 2 = \text{остача } 1$ $6 : 2 = \text{остача } 0$ $3 : 2 = \text{остача } 1$ $1 : 2 = \text{остача } 1$ $108_{(10)} = 1101100_{(2)}$	$0,34 \cdot 2 = \text{переноситься } 0$ $0,68 \cdot 2 = \text{переноситься } 1 (1,36)$ $0,36 \cdot 2 = \text{переноситься } 0$ $0,72 \cdot 2 = \text{переноситься } 1 (1,44)$ $0,44 \cdot 2 = \text{переноситься } 0$ $0,88 \cdot 2 = \text{переноситься } 1 (1,76)$ $0,76 \cdot 2 = \text{переноситься } 1 (1,52)$ Переривання $0,34_{(10)} = 0,0101011_{(2)}$
Десяткове на вісімкове	$108 : 8 = \text{остача } 4$ $13 : 8 = \text{остача } 5$ $1 : 8 = \text{остача } 1$ $108_{(10)} = 154_{(8)}$	$0,34 \cdot 8 = \text{переноситься } 2 (2,72)$ $0,72 \cdot 8 = \text{переноситься } 5 (5,76)$ $0,76 \cdot 8 = \text{переноситься } 6 (6,08)$ $0,08 \cdot 8 = \text{переноситься } 0 (0,64)$ $0,64 \cdot 8 = \text{переноситься } 5 (5,12)$ Переривання $0,34_{(10)} = 0,25605_{(8)}$

Тип перетворення	Цілі числа	Дробові числа
	Ділення певного десяткового числа на $q$ . Остача дає перетворене число, що читається в нап'ямі стрілки	Повторне множення певного десяткового числа на $q$ . Розряд перед комою дає розряд перетвореного числа. При подальшому множенні використовується лише дробова частина проміжного результату
Десяткове на шістнадцяткове	$108 : 16 = \text{остача } 12$ $6 : 16 = \text{остача } 6$ $108_{(10)} = 6C_{(16)}$	$0,34 \cdot 16 = \text{переноситься } 5 (5,44)$ $0,44 \cdot 16 = \text{переноситься } 7 (7,04)$ $0,04 \cdot 16 = \text{переноситься } 0$ $0,64 \cdot 16 = \text{переноситься } 10$ Переривання $0,34_{(10)} = 0,570 A_{(16)}$

Таблиця 1.2. Методи переведення у десяткову систему числення

Тип перетворення	Цілі числа	Дробові числа
	Повторне множення проміжного результату на $q$ і додавання зі значенням розряду певного числа. Першим проміжним результатом є найвищий розряд	Повторне ділення проміжного результату на $q$ і додавання з розрядом певного числа. Першим проміжним результатом є останній розряд, поділений на $q$
Двійкове на десяткове	$1$ $1 \cdot 2 + 1 = 3$ $3 \cdot 2 + 0 = 6$ $6 \cdot 2 + 1 = 13$ $13 \cdot 2 + 1 = 27$ $27 \cdot 2 + 0 = 54$ $54 \cdot 2 + 0 = 108$ $1101100_{(2)} = 108_{(10)}$	$1 : 2 = 0,5$ $(0,5 + 1) : 2 = 0,75$ $(0,75 + 0) : 2 = 0,375$ $(0,375 + 1) : 2 = 0,6875$ $(0,6875 + 0) : 2 = 0,34375$ $(0,34375 + 1) : 2 = 0,67187$ $(0,67187 + 0) : 2 = 0,33593$ $0,0101011_{(2)} = 0,33593 \approx 0,34_{(10)}$
Вісімкове на десяткове	$1$ $1 \cdot 8 + 5 = 13$ $13 \cdot 8 + 4 = 108$ $154_{(8)} = 108_{(10)}$	$5 : 8 = 0,625$ $(0,625 + 0) : 8 = 0,078125$ $(0,078125 + 6) : 8 = 0,75976$ $(0,75976 + 5) : 8 = 0,71997$ $(0,71997 + 2) : 8 = 0,33999$ $0,25605_{(8)} = 0,33999 \approx 0,34_{(10)}$
Шістнадцяткове на десяткове	$6$ $6 \cdot 16 + 12 = 108$ $6C_{(16)} = 108_{(10)}$	$A : 16 = 0,625$ $(0,625 + 0) : 16 = 0,039062$ $(0,039062 + 6) : 16 = 0,75976$ $(0,75976 + 7) : 16 = 0,71997$ $(0,71997 + 5) : 16 = 0,33999$ $0,570A_{(16)} = 0,33999 \approx 0,34_{(10)}$

Для переведення числа з вісімкової системи в двійкову кожне вісімкове число слід замінити еквівалентним 3-розрядним числом. Наприклад, переведемо число  $2451_{(8)}$  у двійкову систему числення:

$$\begin{array}{cccccc} & 2 & & 4 & & 5 & & 1 & & (8) \\ 010 & & 100 & & 101 & & 001 & & & (2) \end{array}$$

Двійкове число при переведенні у вісімкову систему поділяють на тріади справа наліво і кожен тріаду замінюють вісімковим числом. Наприклад, число  $101\ 001\ 111_{(2)}$  у вісімковій системі:

$$\begin{array}{cccc} 101 & 001 & 111 & (2) \\ 5 & 1 & 7 & (8) \end{array}$$

Аналогічно проводять переведення з двійкової системи в шістнадцяткову і навпаки, тільки використовують двійкові тетради. Наприклад, виконаємо переведення:

$$\begin{array}{ccccccc} A & 1 & 3_{(16)} & 1000 & 1101 & 0101 & (2) \\ 1010 & 0001 & 1100_{(2)} & 8 & D & 5 & (16) \end{array}$$

У двійково-кодованій десятковій системі кожен десяткову цифру подають двійковим еквівалентом. Наприклад, число  $24_{10}$  у двійково-кодованій системі подають так:

$$24_{(10)} = 0010\ 0100_{(ДКДС)}$$

У багатьох практичних випадках, зокрема при аналого-цифровому перетворенні даних, потрібно користуватися кодами, в яких усі послідовні кодові набори вирізняються один від одного лише одним розрядом.

Таблиця 1.3. Код Грея

Десяткове число	Двійковий код	Код Грея
0	0000	0000
1	0001	0001
2	0010	0011
3	0011	0010
4	0100	0110
5	0101	0111
6	0110	0101
7	0111	0100
8	1000	1100
9	1001	1101
10	1010	1111
11	1011	1110
12	1100	1010
13	1101	1011
14	1110	1001
15	1111	1000

Такі коди називають *циклічними кодами*. Особливо важливим серед циклічних кодів є код Грея (табл. 1.3).

Код Грея використовують у механічних шифраторах кута повороту вала, при паралельному кодуванні — методі швидкодіючого аналого-цифрового перетворення. Це дає змогу уникнути помилок, оскільки в цьому випадку при переході між двома закодованими значеннями всі розряди ніяк не можуть змінитися одночасно. Якби використовувався суто двійковий код, то при переході, наприклад, від 7 до 8 внаслідок

док помилки зчитування на вході можна було б дістати число 15.

Коди Грея можуть містити будь-яке число розрядів. Є просте правило для формування станів коду Грея: починати треба з нульового стану, а потім для отримання кожного наступного слід вибрати наймолодший розряд, зміна якого приводить до утворення нового стану, і взяти його інверсне значення.

Є ряд інших кодів, які мають цікаві та корисні властивості, наприклад код із залишком 3 або код 4221 (табл. 1.4). Для того щоб будь-яку цифру від 0 до 9 записати в коді із залишком 3, треба додати до неї число 3, а потім виразити результат у 4-розрядному двійковому коді. При використанні коду 4221 кожен цифру також записують у вигляді 4-розрядної групи, однак її розряди, починаючи з лівого, подають величини 4, 2, 2, і 1.

Ці коди мають одну важливу властивість: для того щоб для якої-небудь цифри отримати її доповнення до 9, досить взяти її обернений код. Це дає змогу спростити десятиричну арифметику. Замість віднімання певного числа достатньо провести додавання з числом, яке є доповненням до 9 початкового числа плюс 1.

Таблиця 1.4. Коди із залишком 3 та 4221

Десяткове число	Двійковий код	Код із залишком 3	Код 4221
0	0000	0011	0000
1	0001	0100	0001
2	0010	0101	0010
3	0011	0110	0011
4	0100	0111	1000
5	0101	1000	0111
6	0110	1001	1100
7	0111	1010	1101
8	1000	1011	1110
9	1001	1100	1111

## 1.2. Коди з виявленням помилок

Поява одиничної помилки в одному з розрядів 4-розрядного двійкового коду може призвести до неправильного, але допустимого кодового набору. Якщо код такий, що поява будь-якої одиничної помилки перетворює допустимий кодовий набір на недопустимий, то його називають **кодом з виявленням одиничної кодової помилки**. Два таких коди наведено в табл. 1.5.

Виявлення помилки у будь-якому з цих кодів перевіряють на парність. Ця перевірка заснована на приєднанні до кожного набору додаткового розряду з тим, щоб кількість одиниць у будь-якому кодовому наборі певного коду була непарною або парною. Доцільніше число одиниць у кодовому наборі з ви-

Таблиця 1.5. Коди з виявленням помилки

Десяткова цифра	Двійково-десятковий код із перевіркою на парність					Код 2 з 5				
	8	4	2	1	$p$	0	1	2	4	7
0	0	0	0	0	0	0	0	0	1	1
1	0	0	0	1	1	1	1	0	0	0
2	0	0	1	0	1	1	0	1	0	0
3	0	0	1	1	0	0	1	1	0	0
4	0	1	0	0	1	1	0	0	1	0
5	0	1	0	1	0	0	1	0	1	0
6	0	1	1	0	0	0	0	1	1	0
7	0	1	1	1	1	1	0	0	0	1
8	1	0	0	0	1	0	1	0	0	1
9	1	0	0	1	0	0	0	1	0	1

явленням одиничної помилки вибирати непарним. Тоді будь-яке кодове подання, у тому числі й для нуля, матиме хоча б одну 1. Це дасть можливість відрізнити повну відсутність інформації від передачі 0 в тому випадку, коли 1 зображається наявністю електричного сигналу, а 0 — його відсутністю.

Додатковий розряд  $p$  називають *контрольним розрядом парності*. Код, що складається з усіх 10 можливих комбінацій 5-розрядних кодових наборів з двома одиницями, називається *кодом 2 з 5*.

При побудові корегувальних кодів часто вдаються до геометричної моделі. Припустимо, що є алфавіт з трьох символів. З них можна скласти такі комбінації: 000, 001, 010, 011, 100, 101, 110, 111. Візьмемо три осі і відкладемо точки з координатами коду (рис. 1.1). Задача може спотворити сигнал, тобто замість 0 з'явиться 1 або навпаки. Якщо кодові комбінації відрізняються одна від одної на довжину ребра  $d = 1$ , то за-

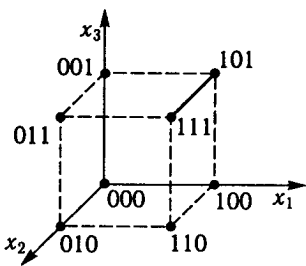


Рис. 1.1. Геометрична інтерпретація корегувальних кодів

задача переведе один сигнал в інший, тому виявити помилку в цьому випадку неможливо. Її можна виявити, якщо кодові комбінації розміщуються на відстані одна від одної на два ребра, тобто 000, 011, 101, 110. Для виправлення потрібно, щоб комбінації відрізнялися на три одиниці: 000, 111. Простір, зображений на рис. 1.1, називають *простором Хеммінга*, а величину  $d$  — *відстанню за Хеммінгом* або *мінімальною кодовою відстанню*. Наприклад,

мінімальна кодова відстань для кодів з табл. 1.5 дорівнює 2. Очевидно, що ця відстань — завжди ціле число, що дорівнює числу розрядів, в яких відрізняються двійкові числа, відповідні точкам у просторі Хеммінга. У загальному випадку простір Хеммінга має  $n$  координат і зображується  $n$ -вимірним кубом.

Для побудови  $n$ -розрядного коду з виявленням помилок потрібно не більше за половину з  $2^n$  можливих комбінацій розрядів. Кодові набори вибирають так, щоб для перетворення одного допустимого кодового набору на інший допустимий кодовий набір принаймні два розряди мали протилежні значення.

### 1.3. Коди з виправленням помилок

Не тільки виявити, а й виправити помилку можна за допомогою кодів, які будують так. Нехай є  $m$  — значний двійковий код. Загальне число комбінацій

$$N = 2^m.$$

Кожний з таких кодів відрізняється один від одного хоча б одним знаком. Доповнимо код ще одним знаком, а число кодових комбінацій залишимо незмінним. Тоді

$$N = 2^m = \frac{1}{2} 2^n,$$

і можна так дібрати кодові комбінації, що вони відрізнятимуться двома знаками. При цьому буде використана тільки половина всіх можливих комбінацій від  $2^n$ , друга половина утворить заборонені комбінації: будь-яка поява одиничної помилки перетворює її на заборонену, і тим самим помилка виявляється. Доповнимо тепер код такою кількістю знаків, яка дасть можливість двом кодовим комбінаціям відрізнятися трьома знаками при незмінному числі  $N = 2^m$ . Такий код дасть змогу не тільки виявити, а й виправити одиничну помилку. Дійсно, якщо трапилася одинична помилка у будь-якій комбінації, то ця комбінація відрізнятиметься від інших на два знаки, а від своєї — на один, і її легко виправити.

Визначимо загальне число додаткових знаків, потрібних для виявлення і виправлення одиничних помилок. Нехай із загального числа позицій  $n$  для передавання інформації використовують  $m$ , яке вважатимемо фіксованим. Інші позиції  $k = n - m$  використовують як перевірні. Символи, які ставлять на  $k$  перевірних позиціях, визначають при кодуванні перевіркою на парність кожної з  $k$  груп інформаційних символів. Сигнал

кодують так, щоб у результаті у кожній з перевірок виходило парне число. На приймальному кінці з'являються на деяких позиціях одиниці замість нулів і нулі замість одиниць. Під час приймання також перевіряють на парність.

Побудуємо код, який би дав змогу виявити і виправити одиничну помилку. Нехай прийнята кодова комбінація з помилкою або без неї. Зробимо в ній послідовно  $k$  перевірок. Після кожної перевірки запишемо 0, якщо результат свідчить про відсутність помилки на позиціях, що перевіряються (сума одиниць парна), і 1, якщо результат свідчить про наявність помилки (сума одиниць непарна). Запис справа наліво здобутої послідовності одиниць і нулів дає двійкове число. Відсутності помилки в прийнятій кодовій комбінації відповідатиме число, складене з нулів. Перевірне число має описувати  $(m + k + 1)$  подій. Отже, число  $k$  визначають за нерівністю  $2^k \geq m + k + 1$ , і оскільки  $n = m + k$ , то  $2^m \leq \frac{2^n}{n+1}$ .

Це співвідношення дає змогу визначити максимальне  $m$  при певному  $n$  або мінімальне  $n$  для певного  $m$ . Відповідні значення наведено в табл. 1.6.

Визначимо позиції, які потрібно перевірити в кожній із  $k$  перевірок. Якщо помилок немає, то на всіх позиціях, що перевіряються, буде 0; якщо у нижчому розряді числа буде 1, це означає, що внаслідок першої перевірки виявлено помилку.

Під час першої перевірки перевірятимемо ті номери позицій, двійкові зображення яких мають у першому розряді 1, тобто

$1 = 0001$ ;  $3 = 0011$ ;  $5 = 0101$ ;  $7 = 0111$ ;  $9 = 1001$  і т. д.

Отже, перша перевірка охоплює позиції 1, 3, 5, 7, 9. Для другої перевірки виберемо такі позиції, двійкові зображення яких мають 1 у другому розряді, що відповідає 2, 3, 6, 7, 10. Для третьої перевірки виберемо позиції, двійкові зображення яких мають 1 в третьому розряді, тобто маємо 4, 5, 6, 7, 12, 13, 14.

Такий вибір позицій, що перевіряються, дає можливість визначити номер позиції, в якій виникла одинична помилка. Якщо виникла помилка на одній з позицій першої перевірки, то в перевірному числі в нижчому (правому) розряді з'явиться 1. Подальшу розшифровку перевірного числа дає друга перевірка: якщо

**Таблиця 1.6. Основні та додаткові знаки для виявлення і виправлення одиничних помилок**

$n$	$m$	$k$	$n$	$m$	$k$
1	0	1	6	3	3
2	0	2	7	4	3
3	1	2	8	4	4
4	1	3	9	5	4
5	2	3	10	6	4

серед всіх позицій другої перевірки помилок немає, то з'являтиметься 0. Отже, будь-яку одиничну помилку на певній позиції можна усунути перевірками, що дають перевірне число, яке дорівнює номеру позиції, на якій виникла помилка.

Залишається вирішити, які позиції використати як перевірні символи. Вибір для перевірки позицій 1, 2, 4, 8 ... забезпечує появу хоча б однієї з цих позицій у кожній перевірці, і це дає змогу незалежно від знаків числа, що передається, дістати у кожній перевірці парне число одиниць.

Отже, основні принципи побудови кодів Хеммінга з виправленням помилок такі. До кожного набору з  $m$  інформаційних розрядів приєднують  $k$  розрядів  $p_1, p_2, \dots, p_k$  перевірки на парність. Потім надають десятиричне значення позиції кожному з  $(m + k)$  розрядів кодового набору, починаючи зі значення 1 для старшого розряду і закінчуючи значенням  $(m + k)$  для молодшого розряду. Проводять  $k$  перевірок на парність числа одиниць у вибраних розрядах кожного кодового набору. Результат перевірки на парність записують як 1 або 0 залежно від того, виявлена помилка чи ні. За результатами цих перевірок будують двійкове число  $c_1, c_2, \dots, c_k$ , яке дорівнює десятиричному значенню, наданому місцеположенню помилкового розряду, якщо відбулася помилка, і нулю, якщо її немає. Це число називають *номером позиції*. Для визначення контрольних розрядів через інформаційні розряди і незалежно один від одного їх розміщують у позиціях  $1, 2, \dots, 2^{k-1}$ . Мінімальна відстань для коду Хеммінга дорівнює трьом.

Корегувальну здатність коду можна підвищувати і далі, будуючи коди для виявлення  $r$ -кратної і виправлення  $s$ -кратної помилок. При цьому буде зростати число додаткових знаків і загальна довжина кодової комбінації (при незмінному  $N = 2^m$ ). Очевидно, що  $d = 1 + r + s$ ,  $r \geq s$ .

Можливості різних кодів наведено в табл. 1.7.

Таблиця 1.7. Можливості різних кодів

$d$	$r$	$s$	Можливості коду
1	0	0	Відмінність однієї комбінації від іншої
2	1	0	Виявлення одиничної помилки
3	1	1	Виявлення і виправлення одиничної помилки
	2	0	Виявлення дворазової помилки
4	2	1	Виявлення дворазової і виправлення одиничної помилки
	3	0	Виявлення триразової помилки
5	2	2	Виявлення і виправлення дворазової помилки
	3	1	Виявлення триразової і виправлення одиничної помилки
	4	0	Виявлення чотириразової помилки



Припустимо, передана послідовність 1101001, але через помилку в п'ятій позиції прийнята послідовність 1101101. Положення помилки можна визначити виконанням трьох перевірок на парність:

Позиція	1	2	3	4	5	6	7	
	$p_1$	$p_2$	$m_1$	$p_3$	$m_2$	$m_3$	$m_4$	
Отримане повідомлення:	1	1	0	1	1	0	1	
Перевірка на парність позицій 4, 5, 6, 7				1	1	0	1	$c_1 = 1$ , тому що результат непарний
Перевірка на парність позицій 2, 3, 6, 7		1	0			0	1	$c_2 = 0$ , тому що результат парний
Перевірка на парність позицій 1, 3, 5, 7	1		0		1		1	$c_3 = 1$ , тому що результат непарний

Отже, здобуто номер позиції, який дорівнює 101, що означає наявність помилки в п'ятій позиції. Для її виправлення слід замінити п'ятий розряд його доповненням, після чого матимемо правильне повідомлення 1101001.

## 1.4. Двійкова арифметика

Арифметичні дії над двійковими числами виконують відповідно до наведених нижче виразів.

Додавання	Віднімання	Множення
$0 + 0 = 0$	$0 - 0 = 0$	$0 \cdot 0 = 0$
$1 + 0 = 1$	$1 - 0 = 1$	$1 \cdot 0 = 0$
$0 + 1 = 1$	$1 - 1 = 0$	$0 \cdot 1 = 0$
$1 + 1 = 10$	$10 - 1 = 1$	$1 \cdot 1 = 1$

Два багаторозрядних двійкових числа додають розрядами з урахуванням одиниць переповнення від попередніх розрядів, наприклад:

$$\begin{array}{r} 1011 \\ + 1011 \\ \hline 10110 \end{array}$$

Віднімання багаторозрядних двійкових чисел аналогічно додаванню починають з молодших розрядів. Якщо зайняти 1 у старшому розряді, утвориться дві одиниці у молодшому розряді, наприклад:

$$\begin{array}{r} 1010 \\ - 0110 \\ \hline 0100 \end{array}$$

Множення є багаторазовим додаванням проміжних сум із зсуванням, наприклад:

$$\begin{array}{r} \times 10011 \\ \quad 101 \\ \hline 10011 \\ 00000 \\ 10011 \\ \hline 1011111 \end{array}$$

Ділення складається з операцій віднімання, що повторюються, наприклад:

$$\begin{array}{r} 101010 \overline{)111} \\ -111 \quad 110 \\ \hline 0111 \\ -111 \\ \hline 0000 \end{array}$$

## 1.5. Форми подання чисел

В ЕОМ застосовують дві основні форми подання чисел: напівлогарифмічну з плаваючою комою і натуральну з фіксованим положенням коми.

При поданні чисел з фіксованою комою положення коми закріплюють у певному місці відносно розрядів числа і зберігають незмінним для всіх чисел, що зображають у певній розрядній сітці. Звичайно кому фіксують перед першим (старшим) розрядом і в розрядній сітці можна подати тільки числа, які за модулем менші ніж 1. Для кодування знака двійкового числа використовують старший («знаковий») розряд (0 відповідає знаку «плюс», 1 — знаку «мінус»).

Під час виконання арифметичних дій над правильними дробами можуть виходити двійкові числа, які за абсолютною величиною більше або дорівнюють 1, що називається *переповненням розрядної сітки*, і старші розряди числа втрачаються. Для виключення можливості переповнення вводять масштаб величини. Числа, які за абсолютною величиною менші ніж 1 молодшого розряду розрядної сітки, також втрачаються і називаються *машинним нулем*.

Недоліками подання чисел з фіксованою комою є:

- необхідність попереднього розрахунку і введення в машину масштабних коефіцієнтів, що є досить складною роботою (масштабні коефіцієнти призначені для зменшення чисел, що перевищують одиницю або дорівнюють їй);

- відносна точність залежить від значення чисел, що надходять, і є максимальною у діях з максимально можливими числами.

Використання подання чисел з фіксованою комою дає змогу спростити схеми машини, підвищити її швидкодію, але зумовлює певні труднощі для програмування. Тому подання чисел з фіксованою комою використовують як основне тільки в мікроконтролерах.

В універсальних ЕОМ основним є подання чисел з плаваючою комою. Подання числа з плаваючою комою в загальному випадку має вигляд

$$A = m \cdot q^n,$$

де  $q$  — основа системи числення;  $n$  — ціле число, що є порядком числа  $A$ ;  $m$  — мантиса числа  $A$  ( $|m| < 1$ ).

Через те що в ЕОМ застосовують двійкову систему числення, то  $A = m \cdot 2^n$ , причому порядок і мантису подано у двійковій формі.

Якщо в записі числа старша цифра відмінна від нуля, число вважають нормалізованим; якщо старша цифра 0 — число ненормалізоване. Нормалізацію чисел у процесі обчислення виконує ЕОМ автоматично. При цьому мантиса числа зсувається ліворуч до моменту появи у старшому розряді сітки найближчої одиниці. Відповідно зменшується порядок числа. У разі переповнення розрядної сітки, наприклад при додаванні нормалізованих чисел одного порядку, проводиться нормалізація праворуч на один розряд. Нормалізоване подання чисел дає змогу зберегти в розрядній сітці більшу кількість цифр і, отже, підвищує точність обчислень. Проте сучасні ЕОМ дають змогу за потреби виконувати операції також і над ненормалізованими числами.

Перевагою ЕОМ з плаваючою комою є більший діапазон подання чисел (причому без введення масштабу) порівняно з ЕОМ з фіксованою комою. Так, якщо взяти однакову розрядність і визначити кількість розрядів у мантисі через  $n_1$ , то діапазон поданих чисел в ЕОМ з фіксованою комою

$$2^{-n_1} \leq |A| \leq 1 - 2^{-n_1},$$

у той час як для ЕОМ з плаваючою комою (для нормалізованих чисел)

$$2^{-n_1} \cdot 2^{-(2^{n_2}-1)} \leq |A| \leq (1 - 2^{-n_1}) 2^{2^{n_2}-1},$$

де  $n_2$  — кількість розрядів у порядку;  $2^{n_2} - 1$  — максимальне значення порядку;  $2^{-n_1}$  — найменше значення мантиса ( $0,00\dots 1$ );  $1 - 2^{-n_1}$  — найбільше значення мантиса ( $0,11\dots 1$ ).

Порівнявши між собою наведені співвідношення, можна дійти висновку, що для ЕОМ з плаваючою комою діапазон

поданих чисел більший. Широкий діапазон подання чисел з плаваючою комою зручний для наукових і інженерних розрахунків, проте для виконання дій потрібні операції окремо з мантисами чисел і окремо з порядками, що спричинює ускладнення цифрових пристроїв і сповільнює виконання операцій.

Цифрову інформацію прийнято вводити у певному форматі, заданому числом розрядів. Кожну двійкову цифру, тобто один двійковий розряд числа, називають *бітом інформації*. Вісім бітів утворюють байт. Чотири байти утворюють 32-розрядне слово. Подвійне слово містить 64 двійкових розряди. Використовують також формат півслова, два байти.

З метою спрощення схем віднімання в ЕОМ замінюється додаванням спеціально побудованих кодів чисел. Застосовують такі коди чисел: прямий, обернений і додатковий. Прямий код числа дає змогу дати зображення числа з урахуванням знака. Тому прямий код додатного числа збігається з його записом, а прямий код від'ємного числа відрізняється від звичайного запису числа знаковим розрядом, в який заноситься одиниця.

В ЕОМ прямий код застосовують тільки для подання додатних двійкових чисел. Для подання від'ємних чисел застосовують або додатковий, або обернений код, оскільки над від'ємними числами у прямому коді незручно виконувати арифметичні операції.

Додатковий і обернений коди додатного числа збігаються з його прямим кодом. Правила для утворення додаткового й оберненого кодів такі:

— для утворення додаткового коду від'ємного числа потрібно у знаковому розряді поставити 1, а всі цифрові розряди інвертувати (замінити 1 на 0, а 0 — на 1), після чого додати 1 до молодшого розряду;

— для утворення оберненого коду від'ємного числа слід у знаковому розряді занести 1, а всі цифрові розряди інвертувати.

### Приклад 1.

Число	Прямий код	Обернений код	Додатковий код
$X = + 0,10101$	$[X]_{\text{пр}} = 0,10101$	$[X]_{\text{об}} = 0,10101$	$[X]_{\text{дод}} = 0,10101$
$Y = -0,01011$	$[Y]_{\text{пр}} = 1,01011$	$[Y]_{\text{об}} = 1,10100$	$[Y]_{\text{дод}} = 1,10101.$

Прямий код можна отримати з додаткового й оберненого за тими самими правилами, які призначені для знаходження додаткового й оберненого кодів.

При додаванні чисел в оберненому коді розряди значущих чисел розміщують порозрядно справа наліво, а знакові розряди — як розряди цілих чисел; одиницю переповнення, що

утворюється при цьому в знаковому розряді, додають до молодшого розряду суми. Останню дію називають *циклічним перенесенням*.

При додаванні чисел у додатковому коді значущі розряди розміщують порозрядно, знакові розряди — як розряди цілих чисел, а одиницю переповнення, що утворюється в знаковому розряді, не враховують.

Якщо знаковий розряд результату дорівнює нулю, то здобуто додатне число, яке подано у прямому коді. Якщо в знаковому розряді 1, то результат від'ємний і поданий в оберненому або додатковому коді.

### Приклад 2.

а) Прямий код	Обернений код	Додавання
$[X]_{\text{пр}} = 0,10101$	0,10101	0,10101
$[Y]_{\text{пр}} = \underline{1,01001}$	1,10110	<u>1,10110</u>
$[X + Y]_{\text{пр}} = 0,01100$		10,01011
		1
		$X + Y = 0,01100.$

Перевіримо в десятиричному коді еквівалентними цілими числами:

$$X = +21; Y = -9; X + Y = +12 = 01100_{(2)}.$$

б) Прямий код	Обернений код	Додавання
$[X]_{\text{пр}} = 1,10101$	1,01010	1,01010
$[Y]_{\text{пр}} = \underline{0,01001}$	0,01001	0,01001
$[X + Y]_{\text{пр}} = 1,01100$		<u>1,10011</u>
	$[X + Y]_{\text{об}} = 1,10011$	

Перевірка:  $X = -21; Y = +9; X + Y = -12 = 1,01100_{(2)}.$

в) Прямий код	Зсув	Додатковий код	Додавання
$[X]_{\text{пр}} = 1,11010$	1,011010	1,100110	1,100110
$[Y]_{\text{пр}} = \underline{1,01100}$	1,001100	1,110100	<u>1,110100</u>
		$[X + Y]_{\text{дод}} = 11,011010$	

Перевірка:  $X = -26; Y = -12; X + Y = -38 = 1,100110_{(2)}.$

Для того щоб уникнути помилок під час виконання бінарних операцій, перед переведенням чисел в обернені і додаткові коди потрібно вирівнювати кількість розрядів прямого коду операндів.

У разі додавання чисел, менших за одиницю, можна дістати числа, які за абсолютною величиною більші ніж одиниця. Для виявлення переповнення розрядної сітки в ЕОМ застосовують модифіковані прямий, обернений і додатковий коди. У цих кодах знак кодують двома розрядами, причому знаку «плюс» відповідає комбінація 00, а знаку «мінус» — комбінація 11.

Правила додавання для модифікованих кодів ті самі, що і для звичайних. Одиницю перенесення зі старшого знакового розряду в модифікованому додатковому коді не враховують, а в модифікованому оберненому коді передають до молодшого цифрового розряду.

Ознакою переповнення є поява у знаковому розряді суми комбінації 01 при додаванні додатних чисел (додатне переповнення) або 10 при додаванні від'ємних чисел (від'ємне переповнення). Старший знаковий розряд у цих випадках містить істинне значення знака суми, а молодший є старшою цифрою значущого числа. Для корекції переповнення число треба зсунути у розрядній сітці на один розряд праворуч, а в старший знаковий розряд, що звільнився, вмістити цифру, яка дорівнює новому значенню молодшого знакового розряду. Після корегування переповнення мантиси результату потрібно збільшити на одиницю порядок результату.

### Приклад 3.

Додавання

$$\begin{array}{r} X = 0,101011 \\ + Y = 0,110100 \\ \hline X + Y = 1,011111? \end{array}$$

Додавання в модифікованому коді:

$$\begin{array}{r} X = 00,101011 \\ + Y = 00,110100 \\ \hline X + Y = 01,011111 \rightarrow 00,1011111. \end{array}$$

### Контрольні запитання і завдання

1. У чому відмінність позиційної системи числення від непозиційної?
2. Які переваги та недоліки десяткової, вісімкової та двійкової систем числення?
3. Наведіть правила переведення з десяткової системи числення у двійкову та навпаки.
4. Наведіть правила переведення з десяткової системи числення у вісімкову та навпаки.
5. Наведіть правила переведення з десяткової системи числення у шістнадцяткову та навпаки.
6. Запишіть двійково-десятковий код числа 21.
7. Перетворіть число 247(10) за схемою (10)→(2)→(8)→(10).
8. Як подають від'ємні числа у двійковому коді?
9. Використовуючи двійкові коди, визначте різницю десяткових чисел 24 і 56.
10. У чому полягає особливість коду Грея?
11. Поясніть, як відбувається виявлення одиничної помилки в одному розряді двійкового коду.
12. Які основні форми подання чисел в ЕОМ?
13. Що таке нормалізація чисел та переповнення розрядної сітки ЕОМ?
14. Наведіть правила утворення оберненого та додаткового кодів.

## 2.1. Елементи математичної логіки

Математична логіка — частина формальної логіки. Вона є теоретичною основою побудови ЕОМ і цифрових пристроїв. Найбільшого поширення в галузі математичної логіки дістала алгебра логіки.

Базою алгебри логіки є поняття про висловлювання, істинність і помилковість висловлювання, а також поняття про зв'язки між висловлюваннями. Висловлювання, або логічний аргумент, залежно від значення буває істинним або помилковим. Значення висловлювання може змінюватися із зміною обставин, тому висловлювання змінює оцінку своєї істинності. З точки зору логіки висловлювання можуть бути:

- постійно істинними (математично їх беруть такими, що дорівнюють 1);
- постійно помилковими (математично їх беруть такими, що дорівнюють 0);
- істинними або помилковими залежно від певних умов, тобто набувати значення 1 або 0 навперемінно.

За змістом висловлювання бувають прості та складні. При простому висловлюванні логічний аргумент (змінна) належить до складного висловлювання логічної функції, що залежить від істинності або помилковості аргументу. Звичайно просте висловлювання позначають малими літерами латинського (або російського) алфавіту:  $x, e, z, t, p, a, b$ . Складні висловлювання, або логічні функції, позначають великими літерами латинського (російського) алфавіту:  $A, F, P, X, Y, S, Q$ . Зв'язки між висловлюваннями-аргументами за своєю логікою різні, і від цього значення складного висловлювання непостійне.

Різні комбінації значень вхідних змінних у логічних функціях називають *наборами*. Функція є цілком заданою, якщо вказані її значення для всіх наборів значень вхідних змінних. Якщо задати кожному набору значення функції, яке дорівнює 0 або 1, можна дістати табличне завдання певної функції,

що називають *таблицею істинності* або *таблицею відповідності*.

Розглянемо логічні функції  $n$  аргументів, якщо є набір аргументів і таблиця істинності, в якій визначено значення функції для кожного поєднання аргументів. Для визначення  $N$ -скінченного числа функцій використовують формулу  $N = 2^{2^n}$ ; отже, для двозначної системи набір функцій двох змінних дорівнює 16, а від однієї змінної — 4. Логічні двійкові функції називають *булевими* на ім'я англійського математика ХІХ ст. Дж. Буля. Назва, позначення і значення всіх шістнадцяти булевих функцій для двозначної системи двох змінних наведено в табл. 2.1 разом з назвами схем логічних елементів.

Таблиця 2.1. Значення булевих функцій

№ пор.	Значення булевих функцій залежно від аргументів $x$ та $y$				Позначення функції	Назва функції	Назва або позначення схеми логічного елемента	
	$x$	$y$	0	1				
1	$F_0(x, y)$	0	0	0	0	Константа нуль	Генератор нуля	
2	$F_1(x, y)$	0	0	0	1	$x \wedge y$ $xy$	Кон'юнкція, логічне множення, І	Кон'юнктор, І, &
3	$F_2(x, y)$	0	0	1	0	$x \Delta y$	Заборона за $x$ , заперечення імплікації	Схема заборони
4	$F_3(x, y)$	0	0	1	1	$x$	Змінна $x$	Повторювач $x$
5	$F_4(x, y)$	0	1	0	0	$y \Delta x$	Заборона за $y$ , заперечення імплікації	Схема заборони
6	$F_5(x, y)$	0	1	0	1	$y$	Змінна $y$	Повторювач $y$
7	$F_6(x, y)$	0	1	1	0	$x \oplus y$	Сума за модулем 2, логічна нерівнозначність	Додавання за модулем 2, М2
8	$F_7(x, y)$	0	1	1	1	$x \vee y$ $x + y$	Диз'юнкція, логічне додавання, АБО	Диз'юнктор, АБО
9	$F_8(x, y)$	1	0	0	0	$\underline{x} \downarrow y$ $x \vee \underline{y}$	Стрілка Пірса, заперечення диз'юнкції	Елемент Пірса, АБО – НЕ
10	$F_9(x, y)$	1	0	0	1	$x \equiv y$	Еквівалентність	Рівнозначність
11	$F_{10}(x, y)$	1	0	1	0	$\underline{y}$	Заперечення, інверсія $y$	Інвертор НЕ
12	$F_{11}(x, y)$	1	0	1	1	$y \rightarrow x$	Імплікація від $y$ до $x$	Елемент імплікації
13	$F_{12}(x, y)$	1	1	0	0	$\underline{x}$	Заперечення, інверсія $x$	Інвертор НЕ
14	$F_{13}(x, y)$	1	1	0	1	$x \rightarrow y$	Імплікація від $x$ до $y$	Елемент імплікації
15	$F_{14}(x, y)$	1	1	1	0	$x/y$	Штрих Шесффера, заперечення кон'юнкції	Елемент Шеффера, І – НЕ
16	$F_{15}(x, y)$	1	1	1	1	1	Константа 1	Генератор одиниці



## 2.2. Основні закони алгебри логіки

В алгебрі логіки введено таку систему аксіом, що визначає властивості й відносини основних операцій:

$$\begin{aligned}a + b &= b + a; \\ a(b + c) &= ab + ac; \\ a + bc &= (a + b)(a + c); \\ a + \bar{a} &= 1; \\ a + \bar{a} &= b + \bar{b}; \\ a\bar{a} &= b\bar{b}.\end{aligned}$$

За цими аксіомами виводять усі теореми, що виражають основні закони алгебри логіки. Їх називають також *системою рівнозначних перетворень функції* або *рівнозначностями*.

### 1. Закони нульової множини

$$\begin{aligned}0 \cdot a &= 0; \\ 0 + a &= a; \\ 0 \cdot abc\dots z &= 0,\end{aligned}$$

тобто кон'юнкція будь-якого числа змінних набуває значення 0, якщо хоча б одна змінна має значення 0 незалежно від значень інших змінних.

### 2. Закони універсальної множини

$$\begin{aligned}1 \cdot a &= a; \\ 1 + a &= 1; \\ 1 + a + b + \dots + z &= 1,\end{aligned}$$

тобто диз'юнкція будь-якого числа змінних набуває значення 1, якщо хоча б одна з її змінних має значення 1 незалежно від значень інших змінних.

### 3. Закони ідемпотентності (повторення, тавтології)

$$\begin{aligned}aa\dots a &= a; \\ a + a + \dots + a &= a.\end{aligned}$$

### 4. Закони подвійної інверсії

$$\bar{\bar{a}} = a,$$

тобто подвійну інверсію можна зняти.

### 5. Закони доповняльності:

#### а) логічне протиріччя

$$a\bar{a} = 0,$$

тобто кон'юнкція будь-якої змінної та її інверсії є 0;

б) закон виключеного третього

$$a + \bar{a} = 1,$$

тобто диз'юнкція будь-якої змінної та її інверсії є 1.

6. Комутативний (переставний) закон

$$ab = ba;$$

$$a + b = b + a,$$

тобто результати виконання операцій кон'юнкції і диз'юнкції не залежать від того, в якому порядку розміщені змінні.

7. Асоціативні (сполучні) закони

$$a(bc) = (ab)c = abc;$$

$$a + (b + c) = (a + b) + c = a + c + b,$$

тобто для запису кон'юнкції або диз'юнкції дужки можна опустити.

8. Дистрибутивні (розподільні) закони:

а) кон'юнкції відносно диз'юнкції

$$a(b + c) = ab + ac;$$

б) диз'юнкції відносно кон'юнкції

$$a + bc = (a + b)(a + c).$$

9. Закони поглинання

$$a(a + b) = a;$$

$$a(a + b)(a + c) \dots (a + w) = a;$$

$$a + ab = a;$$

$$a + ab + ac + \dots + aw = a;$$

$$a(\bar{a} + b) = ab;$$

$$a + \bar{a}b = a + b.$$

10. Закони склеювання (поширення)

$$ab + a\bar{b} = a;$$

$$(a + b)(a + \bar{b}) = a.$$

11. Закони узагальненого склеювання

$$ab + \bar{a}c + bc = ab + \bar{a}c;$$

$$(a + b)(\bar{a} + c)(b + c) = (a + b)(\bar{a} + c);$$

$$(a + b)(\bar{a} + c) = ac + \bar{a}b.$$

12. Закони де Моргана (закони інверсії):

а) для двох змінних

$$\overline{ab} = \bar{a} + \bar{b},$$

тобто інверсія кон'юнкції є диз'юнкцією інверсій;

$$\overline{a + b} = \bar{a}\bar{b},$$

тобто інверсія диз'юнкції є кон'юнкцією інверсій;

б) для  $n$  змінних

$$\overline{abc\dots w} = \bar{a} + \bar{b} + \bar{c} + \dots + \bar{w};$$

$$\overline{a + b + c + \dots + w} = \bar{a}\bar{b}\bar{c}\dots\bar{w}.$$

13. Теорема розкладання (розвинення)

$$F(a, b, \dots, w) = aF(1, b, \dots, w) + \bar{a}F(0, b, \dots, w);$$

$$F(a, b, \dots, w) = [a + F(0, b, \dots, w)] \times [\bar{a} + F(1, b, \dots, w)];$$

$$aF(a, \bar{a}, b, c, \dots, w) = aF(1, 0, b, c, \dots, w);$$

$$\bar{a}F(a, \bar{a}, b, c, \dots, w) = \bar{a}F(0, 1, b, c, \dots, w);$$

$$a + F(a, \bar{a}, b, c, \dots, w) = a + F(0, 1, b, c, \dots, w);$$

$$\bar{a} + F(a, \bar{a}, b, c, \dots, w) = \bar{a} + F(1, 0, b, c, \dots, w).$$

### 2.3. Форми логічних функцій та їх використання для синтезу логічних схем

Залежність скінченних змінних  $y_i$ , виражена через сукупність початкових змінних  $x_{n-1}, \dots, x_1x_0$  за допомогою операцій алгебри логіки, називають *функцією алгебри логіки*. Для  $n$ -розрядного двійкового коду  $x_{n-1}, \dots, x_1x_0$  існує  $2^n$  різних значень  $y_i$ .

Функцію називають *повністю визначеною*, якщо задані  $2^n$  її значень. Якщо частина значень функції не задана, то функцію називають *частково визначеною* або *не повністю визначеною*.

Іноді відомо, що за умовами роботи пристрою поява деяких вхідних кодів неможлива, і тому значення функції алгебри логіки на цих кодах не задаються. При цьому виникають так звані факультативні, або необов'язкові, значення функції, які можуть задаватися довільними. Вхідні коди, для яких функція алгебри логіки має факультативні значення, називають *забороненими*.

Для опису функцій алгебри логіки використовують різні способи. Основними з них є опис функцій у словесній формі, у вигляді таблиць істинності, алгебричних виразів, послідовностей десяткових чисел, а також кубічних комплексів.

**Словесний опис функцій алгебри логіки** найчастіше застосовують для початкового опису поведінки логічного пристрою.

**Приклад 1.** Логічна функція трьох змінних дорівнює одиниці, якщо хоча б дві початкові змінні дорівнюють 1.

**Опис функцій алгебри логіки у вигляді таблиці істинності.** Таблицю, що містить усі можливі комбінації початкових змінних  $x_{n-1}, \dots, x_1x_0$  і відповідні їм значення скінченних змінних  $y_i$ , називають *таблицею істинності* або *комбінаційною таблицею*. У загальному випадку таблиця істинності містить  $2^n$  рядків.

**Приклад 2.** Укладемо таблицю істинності для функцій алгебри логіки (табл. 2.2) з попереднього прикладу.

Таблиця 2.2. Таблиця істинності логічної функції трьох змінних

$x_2$	$x_1$	$x_0$	$y$	$x_2$	$x_1$	$x_0$	$y$
0	0	0	0	1	0	0	0
0	0	1	0	1	0	1	1
0	1	0	0	1	1	0	1
0	1	1	1	1	1	1	1

**Опис функцій алгебри логіки у вигляді алгебричного виразу.** Алгебра логіки дає змогу створювати складні функції, аргументи яких є функціями інших двійкових аргументів. Операцію заміни аргументом однієї функції іншими, більш простими функціями називають *суперпозицією функцій*. Багаторазове використання принципу суперпозиції дає можливість дістати функції бажаного числа аргументів.

Елементарна кон'юнкція утворюється кон'юнкцією скінченної множини логічних змінних і їх заперечень. Наприклад,  $P(x, y, z) = xy\bar{z}$ .

Елементарна диз'юнкція утворюється диз'юнкцією скінченної множини логічних змінних і їх заперечень. Наприклад,  $P(x, y, z) = x + y + \bar{z}$ .

Кількість змінних в елементарній кон'юнкції (диз'юнкції) називається її *довжиною* і визначає її ранг. Наприклад,  $P(x, y, z, w) = x + y + \bar{z} + w$  є диз'юнкцією четвертого рангу.

*Мінтермом* називають функцію, що набуває одиничного значення при одному з усіх можливих наборів аргументів, а *макстермом* називають функцію, яка набуває нульового значення при одному з можливих наборів і одиничного значення при всіх інших. Мінтерм алгебрично є кон'юнкцією аргументів, а макстерм — диз'юнкцією аргументів. Якщо використовують двійкову систему і число наборів аргументів  $n$ , то число мінтермів або макстермів  $N = 2^n$ .

Диз'юнкцію будь-якого числа елементарних кон'юнкцій називають *диз'юнктивною нормальною формою (ДНФ)*. Наприклад,  $a + bc + \bar{a}bc + a\bar{b}\bar{c}$ .

Кон'юнкцію будь-якого числа елементарних диз'юнкцій називають *кон'юнктивною нормальною формою (КНФ)*. Наприклад,  $a(a + b)(\bar{b} + c)(\bar{a} + b + \bar{c})$ .

Нормальні форми логічних функцій називають *канонічними*. Логічну функцію, задану будь-яким аналітичним виразом, можна безпосередньо перетворити на нормальну диз'юнктивну (або кон'юнктивну) форму. Для цього потрібно:

- виразити всі операції через операції кон'юнкції, диз'юнкції та інверсії;
- позбутися інверсії над цілими виразами, перейшовши до форми, в якій є інверсії тільки окремих змінних;
- розкрити дужки, застосувавши закон дистрибутивності;
- звести кон'юнкції (диз'юнкції) до елементарних операцій.

Якщо до складу логічної формули належать набори елементарних кон'юнкцій однакового рангу, пов'язані диз'юнкцією, то таку форму подання логічної функції називають *досконалою диз'юнктивною нормальною формою (ДДНФ)*. Правила утворення ДДНФ функції  $n$  аргументів такі.

1. За кожним набором двійкових змінних, за яких функція набуває значення 1, скласти елементарні кон'юнкції (мінтерми).

2. В елементарну кон'юнкцію записати неінвертованими змінні, що задані одиницею в таблиці істинності, а інвертованими — ті змінні, які в таблиці істинності задані нулем. Здобутий результат називають конститuentами одиниці.

3. Елементарні кон'юнкції об'єднати знаком диз'юнкції.

*Досконалою кон'юнктивною нормальною формою (ДКНФ)* логічної функції називають такий її вираз, який містить елементарні диз'юнкції одного рангу, пов'язані кон'юнкцією. Правила утворення ДКНФ  $n$  аргументів такі.

1. За кожним набором двійкових змінних, за яких функція набуває значення 0, скласти елементарні диз'юнкції (макс-терми).

2. В елементарні диз'юнкції записати неінвертованими змінні, задані нулем у таблиці істинності, а інвертованими — ті змінні, які в таблиці істинності задані одиницею. Здобуті суми називають конститuentами нуля.

3. Елементарні диз'юнкції об'єднати знаком кон'юнкції.

**Приклад 3.** Нехай таблицею істинності задана функція  $F(x_2, x_1, x_0)$  (табл. 2.3) і потрібно утворити її ДДНФ і ДКНФ.

Таблиця 2.3. Таблиця істинності функції  $F(x_2, x_1, x_0)$

Значення аргументу			Значення функції $F$	ДДНФ	ДКНФ
$x_2$	$x_1$	$x_0$		мінтерм	макстерм
0	0	0	0	—	$x_2 + x_1 + x_0$
0	0	1	1	$\bar{x}_2\bar{x}_1x_0$	—
0	1	0	1	$\bar{x}_2x_1\bar{x}_0$	—
0	1	1	0	—	$x_2 + \bar{x}_1 + \bar{x}_0$
1	0	0	1	$x_2\bar{x}_1\bar{x}_0$	—
1	0	1	0	—	$\bar{x}_2 + x_1 + \bar{x}_0$
1	1	0	0	—	$\bar{x}_2 + \bar{x}_1 + x_0$
1	1	1	1	$x_2x_1x_0$	—

За таблицею знаходимо, що функція  $F$  набуває значення 1 при чотирьох наборах аргументів, тому функція  $F$  у ДДНФ складатиметься з логічної суми чотирьох мінтермів:

$$F(x_2, x_1, x_0) = \bar{x}_2\bar{x}_1x_0 + \bar{x}_2x_1\bar{x}_0 + x_2\bar{x}_1\bar{x}_0 + x_2x_1x_0.$$

Функція  $F(x_2, x_1, x_0)$  у ДКНФ набуває значення 0 при чотирьох наборах аргументів і складатиметься з логічного сполучення чотирьох макстермів:

$$F(x_2, x_1, x_0) = (x_2 + x_1 + x_0)(x_2 + \bar{x}_1 + \bar{x}_0) \times (\bar{x}_2 + x_1 + \bar{x}_0)(\bar{x}_2 + \bar{x}_1 + x_0).$$

ДКНФ використовують рідше за ДДНФ у процесі перетворення логічних виразів. Здобуті формули функції, якщо не застосовувати ніяких перетворень, можна використати для синтезу функціональних схем логічних пристроїв. Так, для реалізації  $F(x_2, x_1, x_0)$  у ДДНФ можна скористатися рис. 2.1.

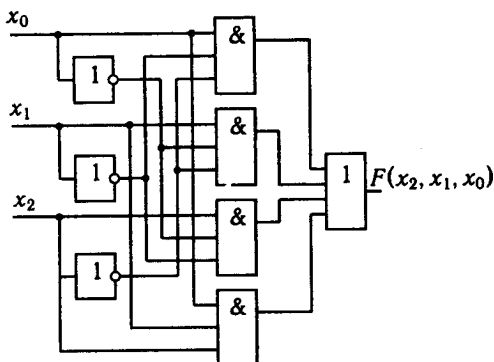


Рис. 2.1. Реалізація функції  $F(x_2, x_1, x_0)$

Від будь-якої ДНФ можна перейти до ДДНФ функції за допомогою рівнозначних перетворень. Такий перехід називають *розгортанням*. Для цього потрібно:

- ввести відсутні змінні в кожен кон'юнкційний множитель її на рівнозначність вигляду  $a + \bar{a} = 1$ , де  $a$  — відсутня змінна;

- розкрити дужки, застосувавши комутативний закон ( $ab = ba$ );

- позбутися кон'юнкцій, що повторюються, на основі закону ідемпотентності ( $a + a = a$ ).

**Приклад 4.** Нехай ДНФ функції має вигляд

$$F = \bar{a}bc + a\bar{c}.$$

За викладеним правилом переходу до ДДНФ

$$F = \bar{a}bc + a\bar{c}(b + \bar{b}) = \bar{a}bc + ab\bar{c} + a\bar{b}\bar{c}.$$

Перехід від КНФ до ДКНФ здійснюють аналогічно переходу від ДНФ до ДДНФ. Для цього потрібно:

- ввести відсутні змінні в кожен диз'юнкційний множитель, використавши закон суперечності  $a\bar{a} = 0$  ( $a$  — відсутня змінна);

- здійснити перетворення, застосувавши другий закон дистрибутивності  $a + bc = (a + b)(a + c)$  і комутативний закон  $a + b = b + a$ ;

- позбутися диз'юнкцій, що повторюються, на основі закону ідемпотентності  $aa = a$ .

**Приклад 5.** Розгортання КНФ вигляду

$$F = (a + b)(\bar{b} + c)(\bar{a} + \bar{c})$$

у ДКНФ виконують у такий спосіб:

$$\begin{aligned} F &= (a + b + 0)(\bar{b} + c + 0)(\bar{a} + \bar{c} + 0) = \\ &= (a + b + c\bar{c})(\bar{b} + c + a\bar{a})(\bar{a} + \bar{c} + b\bar{b}) = \\ &= (a + b + c)(\bar{b} + c + a)(\bar{a} + \bar{c} + b)(a + b + \bar{c})(\bar{b} + c + \bar{a})(\bar{a} + \bar{c} + \bar{b}). \end{aligned}$$

**Опис функцій алгебри логіки у вигляді послідовності десяткових чисел.** Іноді для скорочення запису функцію алгебри логіки зображують у вигляді послідовності десяткових чисел. При цьому послідовно записують десяткові еквіваленти двійкових кодів відповідних конститuentів 1 або 0.

**Приклад 6.** Записати у вигляді послідовності чисел функцію  $F(x_2, x_1, x_0)$  з попереднього прикладу.

У ДДНФ перша конститuenta 1 відповідає двійковому коду 001. Десятковий еквівалент цього коду дорівнює 1. Аналогічно записують

інші конституенти:

$$F(x_2, x_1, x_0) = \Sigma(1, 2, 4, 7) = \vee(1, 2, 4, 7).$$

$$F(x_2, x_1, x_0) = \Pi(0, 3, 5, 6) = \wedge(0, 3, 5, 6).$$

**Опис функцій алгебри логіки у вигляді кубічних комплексів.** Основою кубічної форми є зображення кожного набору початкових змінних як  $n$ -вимірного вектора. Вершини цих векторів геометрично можна подати як вершини  $n$ -вимірного куба. Позначивши точками вершини векторів, для яких функція дорівнює 1, дістанемо геометричне зображення функції у вигляді куба.

**Приклад 7.** Задана функція  $Z(x_2, x_1, x_0) = \Sigma(3, 4, 5, 6, 7)$ . Дати геометричне зображення у вигляді куба.

Графічне розв'язання задачі ілюструє рис. 2.2. Набори змінних, розміщені на кінцях ребер куба, відрізняються тільки однією змінною; їх називають *сусідніми*.

Кожну вершину куба, в якій функція набуває одиничного значення, називають *нульовим кубом* (0-кубом). Записується 0-куб послідовністю початкових змінних, що утворили його, тобто кодом, відповідним конститuentі 1. Множина нульових кубів утворює нульовий кубічний комплекс  $K_0$ .

Якщо два нульових куби комплексу  $K_0$  відрізняються тільки за однією координатою (змінною), тобто два набори змінних, для яких функція дорівнює 1, є сусідніми, то вони утворять одиничний куб (1-куб). Геометрично це відповідає ребру початкового  $n$ -вимірного куба. Записується 1-куб послідовністю загальних елементів його 0-кубів, з прочерком незбіжних елементів. Множина одиничних кубів утворює одиничний кубічний комплекс  $K_1$ .

Аналогічно, якщо два одиничних куби комплексу  $K_1$  відрізняються тільки за однією координатою (змінною), то вони утворять двійковий куб (2-куб). Геометрично це відповідає грані початкового  $n$ -вимірного куба. Записується 2-куб послідовністю загальних елементів його 1-кубів, з прочерком незбіжних елементів, а множина двійкових кубів утворює двійковий кубічний комплекс  $K_2$ . І так далі.

Розмірність куба (його ранг) визначається числом незбіжних координат, тобто числом прочерків у його записі. Об'єднавши кубічних комплексів  $K_0, K_1, \dots, K_m$  для функції логічної ал-

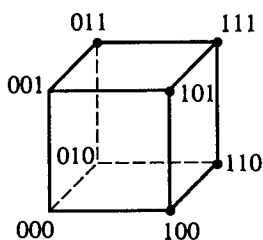


Рис. 2.2. Геометричне зображення функції



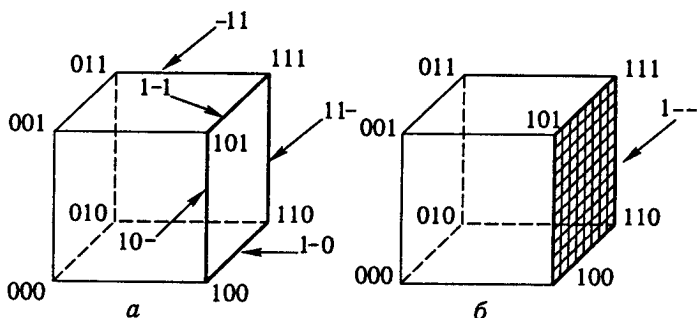


Рис. 2.3. Кубічні комплекси:  
*a* — одиничні; *b* — двійкові

гебри  $n$ -змінних утворить її кубічний комплекс

$$K(z) = \vee K_0, K_1, \dots, K_m).$$

**Приклад 8.** Для логічної функції  $Z(x_2, x_1, x_0) = \Sigma(3, 4, 5, 6, 7)$  записати кубічні комплекси.

Нульовий кубічний комплекс містить п'ять членів за числом конститuent одиниці функції:

$$K_0 = (011, 100, 101, 110, 111).$$

Порівнявши записані 0-куби, можна дійти висновку, що 1-й та 5-й куби відрізняються тільки першим членом. Тому вони утворять 1-куб вигляду  $-11$  (рис. 2.3, *a*). Аналогічно 2-й та 3-й 0-куби утворять 1-куб  $10-$  і т. д. Одиничний кубічний комплекс заданої функції матиме вигляд

$$K_1 = (-11, 10-, 1-0, 11-, 1-1).$$

Аналогічно можна дістати і двійковий кубічний комплекс (рис. 2.3, *b*), що складається з одного 2-куба:

$$K_2 = (1--).$$

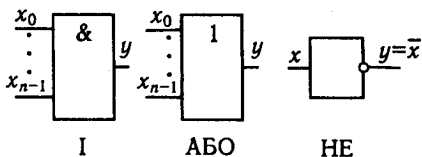
## 2.4. Логічні елементи і схеми. Принцип двоїстості

Відповідно до переліку логічних операцій розрізняють три основних логічних елементи (ЛЕ): І, АБО, НЕ. Умовні графічні позначення цих ЛЕ зображено на рис. 2.4.

Число входів елементів І, АБО може бути довільним, а елемент НЕ має завжди тільки один вхід.

Порівнявши операції І та АБО, можна дійти висновку, що якщо в умовах, які визначають операцію І, значення всіх змінних і самої функції замінити їх інверсією, а знак логічно-

Рис. 2.4. Умовні графічні позначення логічних елементів



го множення — знаком логічного додавання, дістанемо постулати, що визначають операцію АБО:

якщо  $x_1 \cdot x_0 = y$ , то  $\bar{x}_1 + \bar{x}_0 = \bar{y}$ ;

якщо  $x_1 + x_0 = y$ , то  $\bar{x}_1 \cdot \bar{x}_0 = \bar{y}$ .

Цю властивість взаємного перетворення постулатів операцій логічного додавання і множення називають **принципом двоїстості**.

Дві функції алгебри логіки називають двоїстими, якщо одна впливає з іншої заміною кожної операції кон'юнкції на операцію диз'юнкції і навпаки. Принцип двоїстості формулюють так: якщо функції  $F_1$  і  $F_2$  рівнозначні, то рівнозначні їм функції  $F_1^*$  та  $F_2^*$ .

Наприклад, для функції  $F(a, b) = ab + \bar{a}b$  двоїстою є функція  $F^*(a, b) = (a + b)(\bar{a} + b)$ .

Потрібно відрізнити двоїсті форми функції від інверсних функцій, які отримують із скінченних їх інвертуванням. При цьому не тільки всі операції замінюють на двоїсті, а й всі змінні замінюють їх інверсіями.

Наприклад, для функції  $F(a, b) = ab + \bar{a}b$  інверсною є функція

$$\bar{F}(a, b) = \overline{ab + \bar{a}b} = (\bar{a} + \bar{b})(a + b).$$

Важливим практичним наслідком принципу двоїстості є той факт, що при записі логічних виразів і, отже, побудові логічних схем можна скористатися тільки двома типами операцій, наприклад операціями І та НЕ чи АБО та НЕ.

Сукупність ЛЕ, що дає змогу реалізувати логічну схему довільної складності, називають *функціонально повною системою*. Отже, системи двох елементів І та НЕ, а також АБО та НЕ парівні з системою з трьох елементів І, АБО, НЕ є функціонально повними. На практиці значного поширення набули ЛЕ, що поєднують функції елементів наведених вище функціонально повних систем. Це елементи І—НЕ та АБО—НЕ (рис. 2.5), кожний з яких так само утворить функціонально повну систему.

Розглянемо виконання операцій І, АБО і НЕ на елементах АБО—НЕ. Згідно з принципом двоїстості, якщо  $x_1 \cdot x_0 = z$ , то  $\bar{x}_1 + \bar{x}_0 = \bar{z}$ . Інвертуючи праву і ліву частини першого виразу,

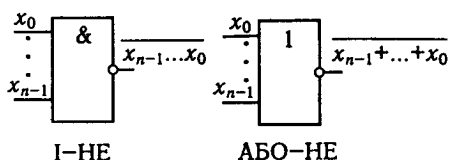


Рис. 2.5. Умовні графічні позначення логічних елементів І – НЕ та АБО – НЕ

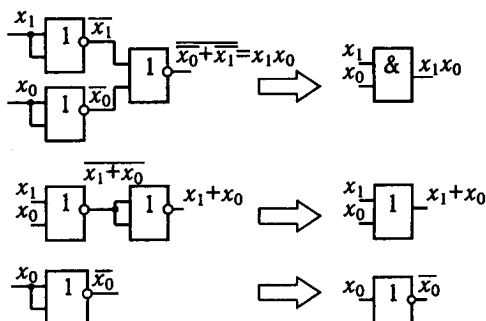


Рис. 2.6. Реалізація логічних операцій І, АБО, НЕ на основі елементів 2АБО – НЕ

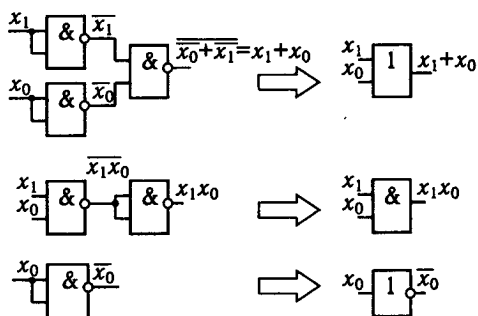


Рис. 2.7. Реалізація логічних операцій на основі елементів 2І – НЕ

дістанемо  $\bar{x}_1 + \bar{x}_0 = \bar{z} = \overline{x_1 x_0}$ , тобто логічну операцію І можна замінити операціями АБО та НЕ. На рис. 2.6 наведено приклади реалізації основних логічних операцій з використанням тільки елементів АБО – НЕ.

На основі аналогічних міркувань можна показати виконання основних логічних операцій з використанням тільки елементів І – НЕ (рис. 2.7).

## 2.5. Класифікація логічних пристроїв

Логічні пристрої можна класифікувати за різними ознаками. За способом введення-виведення інформації логічні пристрої розподіляють на послідовні, паралельні і послідовно-паралельні.

*Послідовним* називають пристрій, в якому початкові змінні подаються на вхід, а скінченні змінні знімаються з виходу не одночасно, а послідовно, розряд за розрядом.

*Паралельним* називають пристрій, в якому всі розряди початкових змінних подаються на вхід, а всі розряди скінченних змінних знімаються з виходу одночасно.

У *послідовно-паралельних* пристроях початкові і скінченні змінні подані у різних формах — або на вхід змінні подаються послідовно символ за символом, а з виходу вони знімаються одночасно, або навпаки.

За принципом дії всі логічні пристрої розподіляють на два класи — комбінаційні і послідовні.

*Комбінаційними* пристроями, або автоматами без пам'яті, називають логічні пристрої, вихідні сигнали яких однозначно визначаються тільки діючою у певний момент на вході комбінацією змінних і не залежать від значень змінних, що діяли на вході раніше.

*Послідовними* пристроями, або автоматами з пам'яттю, називають логічні пристрої, вихідні сигнали яких визначаються не тільки діючою у певний момент на вході комбінацією змінних, а й усією послідовністю початкових змінних, що діяли у попередні моменти часу.

Комбінаційну схему можна зобразити у вигляді  $m$ - $k$ -плюсного елемента (рис. 2.8). Вхідне слово (вхідний алфавіт) комбінаційної схеми задають набором символів  $M = m_1 m_2 \dots m_i$ , а вихідне слово (вихідний алфавіт) набуває значення з вихідних символів  $K = k_1 k_2 \dots k_j$ .

У дискретний момент часу сукупність вихідних сигналів однозначно визначають набором вхідних сигналів, що надходять на вхід у той самий момент часу. Комбінаційна схема характеризується: числом вхідних сигналів, числом вихідних сигналів, логічною формулою або таблицею істинності. Для керування роботою комбінаційної схеми вводять керуючі тактові сигнали, щоб новий набір вхідних сигналів надійшов після закінчення перехідних процесів.

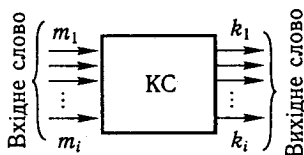


Рис. 2.8. Комбінаційна схема

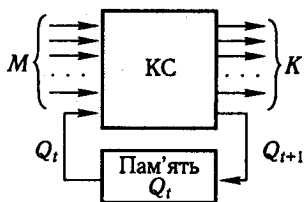


Рис. 2.9. Повний автомат

Якщо на вихідні сигнали впливає не внутрішній стан комбінаційної схеми, а тільки зміна вхідних сигналів, то таку схему називають *автоматом без пам'яті* або *примітивним автоматом*.

Якщо на набір вихідних сигналів  $K$  впливає не тільки набір вхідних сигналів, а й внутрішній стан комбінаційної схеми, то таку схему називають *автоматом з пам'яттю* або *повним автоматом*. Автомат з пам'яттю задається трьома наборами змінних:  $M$ ;  $K$ ;  $Q$ , де  $Q$  — набір змінних, що відображають внутрішній стан схеми (рис. 2.9).

У більшості схем повних автоматів поєднання комбінаційних елементів дає змогу побудувати такий пристрій, сигнали на виході якого безпосередньо залежатимуть не від вхідних сигналів, а лише від поєднання вхідних сигналів і внутрішнього стану автомата у момент надходження сигналів на вхід.

Для опису роботи автомата в таблиці істинності вказують набір вхідних сигналів, набір відповідних внутрішніх станів і набір вихідних сигналів. Крім того, обов'язковою є умова розділення всіх наборів сигналів за тимчасовими інтервалами. Спеціально домовляються про внутрішній стан автомата до надходження вхідного сигналу  $Q_0$ , внутрішній стан автомата, що змінюється з надходженням вхідного сигналу  $Q_t$ , і внутрішній стан автомата після нової зміни вхідного сигналу  $Q_{t+1}$ .

Розрізняють два типи автоматів. Автомат, у якого скінченна змінна в будь-якому такті  $t_i$  залежить від внутрішнього стану і від початкової змінної, називають *автоматом Милі*. Його задають рівнянням  $K_j = (Q_i, M_i)$ . Автомат, у якого скінченна змінна в момент  $t_i$  залежить тільки від внутрішнього стану в  $t_i$ -му такті, називають *автоматом Мура*. Його задають рівнянням  $K_j = f(Q_i)$ .

### Контрольні запитання і завдання

1. Що називають булевими константами та змінними в алгебрі логіки?
2. Чому логічне висловлення називають складним?
3. За якою формулою визначають скінченне число функцій для двох аргументів двозначної системи?
4. Що відображають теорема булевої алгебри? Сформулюйте закони де Моргана, поглинання та склеювання.
5. Наведіть основні операції булевої алгебри. Як вони описуються за допомогою таблиць істинності; за допомогою алгебричних виразів?
6. Які функції задані формулами  $x \downarrow y$ ,  $x / y$ ,  $x \rightarrow y$ ,  $x \oplus y$ ?

7. Що таке нульовий куб; одиничний куб; двійковий куб; одиничний і двійкові кубічні комплекси; кубічний комплекс?
8. Наведіть приклад опису функції алгебри логіки в словесній формі; у вигляді таблиці істинності; у виді алгебричного виразу; у диз'юнктивній і кон'юнктивній нормальних формах; у вигляді послідовності чисел; у вигляді куба.
9. Укладіть таблицю істинності для кон'юнкції трьох логічних змінних.
10. Що таке ранг функції?
11. Наведіть умовне графічне позначення ЛЕ І, АБО, НЕ.
12. Сформулюйте принцип двоїстості. Яке його практичне значення для побудови схем логічних пристроїв?
13. Наведіть класифікацію логічних пристроїв за способом введення-виведення змінних; за принципом дії.
14. Які алфавіти характерні для КС і автоматів?
15. Утворіть ДДНФ та ДКНФ функції за таблицею

$x_3$	$x_2$	$x_1$	$F(x)$
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

### 3.1. Мета мінімізації логічних пристроїв

Логічну схему, що реалізує заданий алгоритм перетворення сигналів, можна синтезувати безпосередньо за виразом, поданим у вигляді ДДНФ або ДКНФ. Проте отримана при цьому схема, як правило, не оптимальна з погляду її практичної реалізації. Тому скінченну логічну функцію звичайно мінімізують.

Метою мінімізації логічної функції є зменшення вартості її технічної реалізації. Критерій, відповідно до якого виконують мінімізацію, далеко не однозначний і залежить як від типу задачі, так і рівня розвитку технології.

Основними вимогами до задачі синтезу є: мінімальне число елементарних кон'юнкцій або диз'юнкцій у логічній формулі й однорідність використовуваних операцій. Крім вимог мінімізації є ряд обмежень і умов на вибір елементної бази для синтезованого пристрою.

### 3.2. Метод безпосередніх перетворень

Безпосереднє спрощення скінченної логічної функції у вигляді ДДНФ виконують у такому порядку.

1. Для кожної із можливих пар сусідніх конститuentів ДДНФ застосовують операцію повного склеювання. При цьому з них виключають по одній змінній. Потім виконують зведення подібних членів. Цей процес повторюють доти, доки в здобутому виразі не буде більше кон'юнкцій, що відрізняються одна від одної значенням однієї змінної. Отриману в такий спосіб форму називають *скороченою нормальною формою*. Кон'юнкції, що входять у скорочену нормальну форму, називають *простими імплікантами*. Кожній логічній функції відповідає лише одна скорочена форма.

2. Застосовуючи до скороченої нормальної форми операцію узагальненого склеювання, виключають із неї зайві кон'юнкції (імпліканти). Отриману в результаті послідовного ряду таких

перетворень форму, що не допускає подальших склеювань, називають *тупиковою формою логічної функції*. Тупикових форм для однієї функції може бути кілька.

3. Отримана тупикова форма може випадково виявитися мінімальною. Мінімальною формою є тупикова форма мінімальної довжини. У загальному випадку для пошуку мінімальної форми потрібний перебір тупикових форм, що дає змогу знайти одну або кілька мінімальних форм логічної функції.

Для скінченної функції у вигляді ДКНФ мінімізацію за методом безпосереднього спрощення виконують у такий спосіб.

1. Спочатку до членів ДКНФ застосовують операцію повного склеювання.

2. Користуючись законом дистрибутивності, розкривають дужки в здобутому виразі.

3. Зводять подібні члени і застосовують операцію поглинання.

4. Отриману ДНФ мінімізують у зазначеному вище порядку.

**Приклад.** Знайти мінімальну форму функції у вигляді ДДНФ:

$$F(a, b, c) = a\bar{b}c + \bar{a}bc + \bar{a}\bar{b}\bar{c} + \bar{a}b\bar{c} + ab\bar{c} = abc.$$

Застосовуючи операцію повного склеювання до сполучень кожного з конституентів із усіма сусідніми і зводячи подібні члени, дістанемо скорочену нормальну форму

$$F(a, b, c) = \bar{a}\bar{b} + \bar{b}c + ac + ab + b\bar{c} + \bar{a}\bar{c}.$$

Операцію узагальненого склеювання до імплікант можна застосовувати у кількох варіантах. Кожному з них відповідає одна з таких тупикових форм:

$$F_1(a, b, c) = ac + \bar{b}c + b\bar{c} + \bar{a}\bar{c};$$

$$F_2(a, b, c) = ac + b\bar{c} + \bar{a}\bar{b};$$

$$F_3(a, b, c) = \bar{b}c + ab + \bar{a}\bar{c}.$$

Очевидно, що аналізованій функції відповідають дві мінімальні нормальні форми  $F_2(a, b, c)$  і  $F_3(a, b, c)$ .

### 3.3. Метод Карно—Вейча

Метод діаграм Вейча, удосконалений Карно, застосовують у тому випадку, коли число аргументів не більше ніж 5—6. Карти Карно — це графічне зображення таблиць істинності. Кожній комбінації змінних може відповідати певна клітина карти Карно. У клітину записують значення функції (0 або 1) для певної комбінації початкових змінних. Початкові змінні розміщують по зовнішніх сторонах карти навпроти її рядків



	c		
	b		
	1	0	1
a	0	0	1

Рис. 3.1. Карта Карно для функції трьох змінних

і стовпчиків. При цьому значення кожної із початкових змінних належить до всього рядка або стовпчика і дорівнює 1, якщо напроти рядка (стовпчика) стоїть під дужкою позначення цієї змінної; для інших рядків (стовпчиків) значення цієї змінної дорівнює 0.

Кожна з початкових змінних ділить по своєму будь-яку карту Карно на дві рівні частини, в одній з яких значення цієї змінної дорівнює 1, а в іншій 0. Кожній клітині карти відповідає певна комбінація значень усіх початкових змінних, а кожна сторона клітини є межею між значеннями змінних. Число клітин карти Карно визначають величиною  $2^n$ , де  $n$  дорівнює числу початкових змінних.

Наприклад, для функції трьох змінних  $F(a, b, c)$ , заданою таблицею істинності (табл. 3.1), карту Карно зображено на рис. 3.1.

Карту Карно для логічної функції, заданої алгебричним виразом, можна укласти у такому порядку:

- за числом змінних, які входять у вираз заданої функції, будують карту Карно і розміщують змінні; заданий алгебричний вираз зводять до ДДНФ;

- у карті Карно для кожної конституенти 1 ДДНФ знаходять відповідну клітину (із таким самим набором змінних), у якій записують 1, в інші клітини карти — 0.

Властивості карти Карно такі:

1. Комбінації значень змінних для сусідніх клітин карти Карно розрізняються значенням лише однієї змінної. При переході з однієї клітини в сусідню завжди змінюється значення лише одної змінної від свого прямого значення до його інверсії й навпаки.

Таблиця 3.1. Значення функції  $F(a, b, c)$

a	b	c	$F(a, b, c)$
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

	d				e			
	c		c		c		c	
	0	0	0	0	1	0	0	0
a	0	0	1	0	0	1	0	0
b	0	0	1	0	0	1	0	0
	0	0	1	0	0	1	0	0

Рис. 3.2. Карта Карно для функції п'яти змінних

2. Сусідніми між собою є крайні ліві клітини карти Карно з крайніми правими і крайні верхні клітини карти з крайніми нижніми (ніби карти були згорнуті в циліндри по вертикалі і горизонталі).

Усі клітини, що відрізняються значенням тільки однієї змінної, є сусідніми, незважаючи на те, що іноді вони розміщені не поряд (для функцій п'яти змінних і більше).

Наприклад, розглянемо карту для п'яти змінних (рис. 3.2), незважаючи на значення функції у клітинах карти.

Випишемо комбінації значень змінних для клітин другого рядка зліва направо:

1.  $\bar{a}\bar{b}\bar{c}\bar{d}\bar{e}$ ; 3.  $\bar{a}\bar{b}\bar{c}de$ ; 5.  $\bar{a}bcd\bar{e}$ ; 7.  $\bar{a}bcde$ ;  
2.  $\bar{a}\bar{b}\bar{c}d\bar{e}$ ; 4.  $\bar{a}\bar{b}c\bar{d}\bar{e}$ ; 6.  $\bar{a}bcde$ ; 8.  $\bar{a}bcd\bar{e}$ .

Клітина 1 є сусідньою з клітиною 2 (відрізняється значенням змінної  $e$ ), із клітиною 8 (відрізняється значенням змінної  $c$ ), із клітиною 4 (відрізняється значенням змінної  $d$ ). Клітина 5 є сусідньою з клітиною 4 (змінна  $c$ ), 6 (змінна  $e$ ) і 8 (змінна  $d$ ). Аналогічно встановлюють сусідство інших клітин.

Для деякої логічної функції, заданої за допомогою карти Карно, можна записати кілька алгебричних виразів різної складності в диз'юнктивній або кон'юнктивній формі.

При цьому потрібно дотримуватися таких правил.

1. Усі одиниці (при записі функції у диз'юнктивній формі) і всі нулі (при записі в кон'юнктивній формі) мають бути замкнені в прямокутні контури. Одиначні контури можуть об'єднувати кілька одиниць, але не повинні містити усередині себе нулів. Нульові контури можуть об'єднувати кілька нулів, але не повинні містити усередині себе одиниць. Одноїменні контури можуть накладатися один на одного, тобто та сама одиниця (або нуль) може входити в кілька одиничних (нульових) контурів.

2. Площа будь-якого контуру має бути симетричною щодо меж змінних, що перетинаються цим контуром. Інакше кажучи, число клітин у контурі дорівнює  $2^n$ , де  $n = 0, 1, 2, 3, 4, \dots$ , тобто число клітин виражається числами 1, 2, 4, 8, 16, 32, ...

3. Щоб уникнути одержання зайвих контурів, їх побудову потрібно починати з тих одиниць або нулів, що можуть увійти в один єдиний контур. *Зайвими* називають контури, усі клітини яких увійшли вже в інші контури.

4. У контури можна об'єднувати тільки сусідні клітини, що містять одиниці або нулі. Дотримання цього правила особливо потрібно перевіряти, якщо число змінних більше ніж

чотири і коли сусідні клітини можуть розміщуватися не поряд, тому контури можуть зазнавати видимого розриву.

5. Кожній одиничній клітині відповідає кон'юнкція початкових змінних, що визначають цю клітину. Кожній нульовій клітині відповідає диз'юнкція інверсій початкових змінних, що визначають цю клітину.

6. У контурі, що об'єднує дві клітини, одна зі змінних змінює своє значення, тому вираз контуру з двох клітин не залежить від цієї змінної, а подається усіма іншими змінними. Це правило стосується і контурів, що охоплюють число клітин більше ніж два, і має таке формулювання: вирази, що відповідають контурам, не містять тих змінних, чиї межі перетинаються площею, обмеженою цим контуром.

7. Вираз логічної функції можна записати за відповідною картою Карно в диз'юнктивній або кон'юнктивній формі. Диз'юнктивна форма складається у вигляді диз'юнкції кон'юнкцій, що відповідають одиничним контурам, виділеним на карті для визначення функції; кон'юнктивна — у вигляді кон'юнкції диз'юнкцій, що відповідають нульовим контурам.

8. Для контурів, що охоплюють різну кількість клітин, утворюються вирази різної складності. Тому для певної логічної функції можна записати за її картою Карно кілька алгебричних виразів, що відрізняються за складністю. Найскладніший вираз відповідає випадку, коли кожній клітині відповідає свій контур. Цей вираз є ДДНФ або ДКНФ певної функції.

Для одержання за картою Карно мінімального виразу логічної функції слід дотримуватися такого правила (крім загальних, викладених раніше): одиниці або нулі мають об'єднуватися мінімальним числом найбільших контурів.

Іноді для деяких наборів початкових змінних значення функції строго не визначені, і її карта Карно містить умовні члени, тобто такі клітини, в яких значення функції можна вважати такими, що дорівнюють одиниці або нулю. Ці члени на карті позначають знаком  $\sim$  (тильда). Порожня клітина відповідає умовному значенню функції.

Наявність знаків умовного значення функції у клітинах карти Карно дає змогу включати ці клітини в контури з одиницями або нулями (за розсудом проектувальника), що сприяє одержанню мінімальних алгебричних виразів для певної логічної функції.

**Приклад.** Мінімізувати функцію, подану у вигляді карти Карно (рис. 3.3).

Дотримуючись правил визначення алгебричних виразів за картою Карно, правил мінімізації, а також взявши до уваги наявність умовних значень функції, можна записати такі вирази для цієї логічної функції:

за одиничними контурами

$$Z = ac + a\bar{d} + c\bar{d} + c\bar{e};$$

за нульовими контурами

$$Z = (a + c)(c + \bar{d})(a + \bar{d} + \bar{e}).$$

Метод мінімізації за допомогою карт Карно дає змогу наочно і достатньо просто здійснювати мінімізацію логічної функції 4–6 змінних, хоча іноді його застосовують і для мінімізації функцій більшого числа змінних. Проте у разі збільшення числа змінних застосування карт Карно ускладнюється, тому що виникають труднощі при визначенні сусідніх станів (клітин).

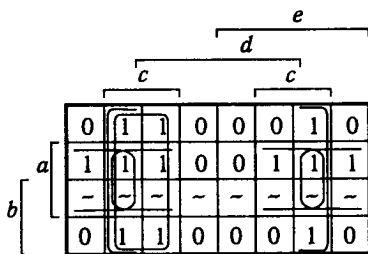


Рис. 3.3. Карта Карно

### 3.4. Мінімізація методом Квайна і Мак-Класкі

У разі збільшення числа змінних для мінімізації функцій алгебри логіки використовують методи, які мають однозначність алгоритму, що є передумовою застосування ЕОМ. До таких методів належить метод Квайна і Мак-Класкі.

Алгоритм пошуку МДНФ цим методом такий.

1. Знаходять покриття  $\Pi(z)$  заданої функції. Для цього формують кубічний комплекс логічної функції й у кожному  $i$ -му кубічному комплексі відзначають куби (імпліканти), що не утворили  $i + 1$ -й кубічний комплекс. Відзначені імпліканти, які називають *простими*, утворюють покриття заданої логічної функції.

2. Будують таблицю покриттів матриці Квайна. Рядки заданої таблиці відповідають простим імплікантам, а стовпчики — 0-кубам (конституентам одиниці) функції. На перетинанні  $i$ -го рядка і  $j$ -го стовпчика ставлять позначку, якщо імпліканта  $i$  покриває конституенту  $j$ . Зазначимо, що імпліканта  $i$  покриває конституенту  $j$  у разі, якщо вона відрізняється від неї незалежними аргументами.

3. Визначають покриття мінімальної вартості. Для цього:  
 — виділяють ядро Квайна. Якщо 0-куб заданої логічної функції покривається тільки однією простою імплікантою, то остання є істотною і входить у ядро Квайна і, отже, у покриття мінімальної вартості;

— із таблиці викреслюють стовпчики і рядки, покриті імплікантами ядра Квайна. Якщо в отриманій таблиці є прості

імпліканти, їх також включають в ядро Квайна з наступним викреслюванням відповідних рядків і стовпчиків;

– стискають таблицю по стовпчиках, для чого з неї викреслюють стовпчики, в які цілком входить будь-який із стовпчиків, що залишився;

– стискають таблицю по рядках, для чого з неї викреслюють рядки, що цілком включаються в будь-який з рядків, що залишився;

– послідовно стискаючи таблицю по рядках і стовпчиках, дістають циклічну таблицю, імпліканти якої мають входить в покриття логічної функції мінімальної вартості.

На перетинанні  $i$ -го рядка циклічної таблиці та імпліканти, що утворюють ядро Квайна, одержують МДНФ заданої функції.

**Приклад.** Мінімізувати функцію алгебри логіки

$$Z(x) = \vee (0, 1, 2, 4, 5, 7, 8, 10, 12, 14, 15).$$

1. Сформуємо кубічний комплекс  $K(z)$ . Формування кубічного комплексу зручно виконувати за допомогою розбивання конститuent функції на групи, що містять однакове число одиниць. При цьому куби вищого рангу можуть утворювати тільки куби, що розміщені поряд у групах. В аналізованому прикладі для функції чотирьох змінних можна виділити п'ять груп (табл. 3.2).

Для заповнення табл. 3.2 кожний із кубів лівого стовпчика по черзі порівнюємо з кубами правого стовпчика. Якщо порівнювана пара ут-

**Таблиця 3.2.** Дані для формування кубічного комплексу  $K(z)$

Ранг куба	Група				
	1	2	3	4	5
0-куби	0000	0001 0010 0100 1000	0101 1010 1100	0111 1110	1111
1-куб	000– 00–0 00–0 –000	0–01 –010 010– –100 10–0 1–00	01–1 1–10 11–0	–111 111–	
2-куб	0–0– 0–0– 0–0– 0–0– 0–0– ––00	1––0 1––0			

ворила куб вищого рангу, останній записують у відповідний стовпчик таблиці.

2. Куби, що не утворили куб вищого рангу, є простими імплікантами і формують покриття функції

$$P(z) = (01-1, -111, 111-, 0-0-, --00, -0-0, 1-0).$$

3. З використанням  $P(z)$  побудуємо таблицю покриттів Квайна (табл. 3.3).

Таблиця 3.3. Таблиця покриттів Квайна

Прості імпліканти	0-Куби функції										
	0000	0001	0010	0100	0101	0111	1000	1010	1100	1110	1111
01-1					*	*					
-111						*					*
111-									*		*
0-0-	*	*		*	*						
--00	*						*		*		
-0-0	*		*				*	*			
1--0							*	*	*	*	

4. Відповідно до табл. 3.3 простими імплікантами є 0-0- і -0-0, оскільки тільки перша покриває 0-куб 0001 і тільки друга покриває 0-куб 0010.

5. Після викреслювання істотних імплікант у таблиці їх більше немає, тому зробимо стиснення по стовпчиках і рядках. Початкове стиснення по стовпчиках не виконується, через те що в таблиці немає стовпчиків, що цілком входять у будь-який із тих, що залишилися. Таблицю стискають по рядках, через те що перший рядок цілком входить у другий, а четвертий – у п'ятий. З таблиці викреслюють рядки з номерами 1 і 4. Таблицю, що залишилася, можна стиснути по стовпчиках, оскільки перший стовпчик цілком входить у четвертий, а другий – у третій. На підставі цього з таблиці викреслюють третій і четвертий стовпчики. Отриману таблицю більше не можна стиснути ні по рядках, ні по стовпчиках. При цьому імпліканта 111 є зайвою, через те що вона не покриває жодну із залишених конституент 1. Отримана табл. 3.4 і є циклічною.

Таблиця 3.4. Циклічна таблиця покриттів Квайна

Прості імпліканти	0-Куби			
	0111	1100	1110	1111
01-1	*			*
-111	*		*	*
111-			*	*
--00		*		
1--0		*	*	

6. Взявши суму імпліканти циклічної таблиці і прості імпліканти, дістанемо логічну функцію мінімальної вартості

$$z(x) = \bar{x}_3\bar{x}_1 + \bar{x}_2\bar{x}_0 + x_2x_1x_0 + x_3\bar{x}_0.$$

Алгоритм стиску по рядках і стовпчиках можна пояснити в такий спосіб. З множини імпліканти, здобутих після виключення істотних, потрібно знайти таку їхню мінімальну підмножину, що забезпечує покриття усіх одиниць, які залишилися. Якщо існує імпліканта  $i$ , що покривається імплікантою  $j$ , то імпліканта  $j$  є зайвою.

Описаний алгоритм без змін дає змогу мінімізувати логічну функцію будь-якого числа змінних, зокрема із застосуванням ЕОМ.

### Контрольні запитання і завдання

1. Сформулюйте мету та принципи мінімізації логічних пристроїв.
2. Поясніть, що таке мінімізація функції алгебри логіки ФАЛ за методом безпосередніх перетворень.
3. У чому полягає мінімізація ФАЛ за допомогою карт Карно—Вейча?
4. Наведіть властивості карт Карно—Вейча.
5. Зобразіть карти Карно—Вейча функції трьох, чотирьох і п'яти змінних.
6. Що таке мінімізація не повністю визначеної ФАЛ?
7. Наведіть алгоритм мінімізації ФАЛ за методом Квайна і Мак-Класкі.
8. Що таке імпліканта та покриття Квайна?
9. Мінімізуйте функції, задані в табличній формі за одиничним значенням функції:

	$x_1$				
$x_2$	0	0	1	0	
	1	0	0	1	
	1	0	0	1	
	1	0	1	0	
	$x_3$			$x_4$	

	$x_1$				
$x_2$	1	1	0	0	
	0	0	1	0	
	1	1	0	1	
	0	1	0	1	
	$x_3$			$x_4$	

	$x_1$				
$x_2$	1	0	1	1	
	1	0	1	1	
	1	1	0	0	
	1	0	0	0	
	1	0	0	0	
	$x_3$			$x_4$	

	$x_1$				
$x_2$	1	1	1	1	
	1	0	0	1	
	0	0	0	1	
	0	0	0	1	
	$x_3$			$x_4$	

	$x_1$				
$x_2$	0	0	0	0	
	1	1	0	1	
	1	1	0	1	
	0	0	0	0	
	$x_3$			$x_4$	

	$x_1$				
$x_2$	0	1	1	1	
	0	1	0	0	
	1	0	0	1	
	0	0	0	1	
	$x_3$			$x_4$	

10. Мінімізуйте за допомогою карт Карно – Вейча функції, задані таблицею:

$x_1$	$x_2$	$x_3$	$F_1$	$F_2$	$F_3$	$F_4$	$F_5$	$F_6$	$F_7$	$F_8$	$F_9$	$F_{10}$
0	0	0	0	0	—	0	—	0	0	0	0	1
0	0	1	1	0	1	0	—	0	1	1	—	1
0	1	0	1	0	0	1	1	0	0	0	1	0
0	1	1	1	0	—	—	—	1	0	1	0	1
1	0	0	1	0	1	—	0	0	1	0	0	0
1	0	1	1	0	—	1	—	1	0	0	1	1
1	1	0	1	0	—	1	1	1	0	1	0	0
1	1	1	1	1	1	0	0	1	0	1	0	1



#### 4.1. Класифікація елементів і їх порівняльна характеристика

**Цифровий пристрій** — це пристрій, призначений для приймання, оброблення і передавання цифрової інформації. Будь-який цифровий пристрій з довільними складністю і призначенням виконується на дискретних елементах з інтегральними схемами різного ступеня інтеграції. Незалежно від функціонального призначення елементів їх схемотехнологічні реалізації мають ряд загальних параметрів і характеристик, які визначають їх роботу в статичному і динамічному режимах.

Елементи цифрового пристрою — найменші функціональні частини, на які поділяють пристрій під час його логічного проектування і технічної реалізації. Оскільки вважають, що найменші функціональні частини цифрового пристрою виконують найпростіші логічні або допоміжні функції, можна сказати, що *елементи цифрового пристрою* — це електронні схеми, що становлять деяку сукупність певним чином сполучених компонентів та виконують одну або кілька найпростіших логічних чи допоміжних операцій. *Компонентами елементів цифрових пристроїв* є інтегральні схеми різного ступеня інтеграції, транзистори і діоди різного типу, резистори, конденсатори та індуктори.

Елементи цифрових пристроїв розробляють і випускають у вигляді систем або серій з різними модифікаціями.

*Фізично повна система елементів* — система, що містить спеціальні елементи, які забезпечують можливість побудови кіл керування, пристроїв пам'яті та кіл зв'язку; елементи, які забезпечують роботу електромеханічних вузлів цифрових пристроїв типу реле, перемикачів, механізмів перфорації, друку тощо, а також схем зв'язку різних вузлів цифрового пристрою з пристроями введення-виведення; елементи індикації інформаційних станів вузлів цифрового пристрою і генератори тактових сигналів.

*Технічно повна система елементів* — система, що задовольняє вимоги функціональної і фізичної повноти.

**Функціонально повна система елементів** — система, яка дає змогу реалізувати будь-які складні функції перемикання шляхом суперпозиції найпростіших функцій, що виконують елементи певної серії.

**Елементом цифрової схемотехніки** називають пристрій, що виконує одну із задач реалізації булевих функцій, запам'ятовування інформації, перетворення, формування і посилення сигналів. Усі види елементів цифрових пристроїв можна поділити на три групи: логічні, функціональні та допоміжні (рис. 4.1).

**Логічний елемент (ЛЕ)** — це пристрій, що реалізує тільки одну булеву функцію. Такі елементи називають однофункціональними на відміну від функціональних елементів, що реалізують кілька булевих функцій. У функціональному елементі можна використовувати кілька логічних елементів. Запам'ятовувальні елементи використовують у пристроях, що зберігають дані та програми у вигляді цифрових кодів.

Підсилювально-формувальні елементи перетворюють нестандартні сигнали в різних колах цифрових пристроїв до рівнів логічних елементів, які їх обробляють. Крім того, їх також використовують для збільшення навантажувальної здатності логічних елементів тощо. Спеціальні елементи мають генератори сигналів, перетворювачі рівнів, елементи гальванічної розв'язки та ін.

Логічні елементи цифрових пристроїв багато в чому визначають функціональні можливості останніх, їх конструктивне виконання, технологічність, надійність тощо. Логічні елементи виробляють у вигляді серій із широкою номенклатурою схем різного ступеня складності. Проте в кожній серії є так

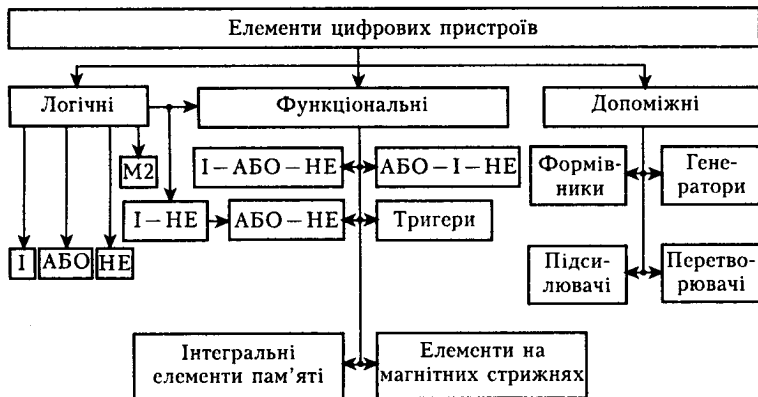


Рис. 4.1. Класифікація елементів цифрових пристроїв

звана *базова схема*, що визначає в основному статичні й динамічні параметри більшості інших схем певної серії.

За способом кодування двійкові змінні елементів цифрових пристроїв поділяють на імпульсні, динамічні, потенціальні, імпульсно-потенціальні та фазові.

В імпульсних елементах «1» показує наявність електричного імпульсу напруги або струму, а «0» — відсутність відповідного імпульсу.

У динамічних елементах «1» показує пачку імпульсів або потенціал, що поновлюється через необхідний інтервал часу, а «0» — відсутність імпульсів (або навпаки).

У потенціальних елементах початкові і скінченні двійкові змінні кодують різною величиною електричного потенціалу. Для потенціальних елементів часто застосовують поняття позитивної і негативної логіки, яке відображає взятий спосіб кодування двійкової змінної конкретної серії елемента. Під *позитивною логікою* розуміють кодування «1» високим і «0» — низьким потенціалом, а під *негативною логікою* розуміють кодування «1» низьким і «0» — високим потенціалом.

В імпульсно-потенціальних елементах на входи елементів можуть подаватися як потенціальні рівні, так й електричні імпульси, причому вихідні сигнали зазвичай мають імпульсний характер. Розподіл сигналів на імпульсні й потенціальні відносний. Тип сигналу визначають через тривалість такту, залежно від частоти тактового генератора цифрового пристрою. Імпульсний сигнал — сигнал з тривалістю, яка менша за тривалість такту. Потенціальний сигнал — сигнал з тривалістю, яка не менша за тривалість такту.

У фазових елементах застосовують сигнали у вигляді синусоїдної напруги, а значення 1 і 0 двійкових змінних кодуються фазою синусоїдної напруги відносно опорної напруги. Фазовий принцип кодування двійкових змінних застосовують переважно у пристроях аналого-цифрового типу.

Спосіб кодування інформації визначає не тільки специфіку побудови тієї або іншої системи елементів, а й основні її параметри. Наприклад, за рівнем потужності розсіювання на першому місці стоять потенціальні елементи, а на останньому — імпульсні; потенціально-імпульсні елементи займають проміжне місце. З розвитком мікроелектронних логічних схем через складність побудови схем на імпульсних елементах, що потребують часто наявності трансформаторів і конденсаторів, широко використовують потенціальні елементи.

В імпульсних схемах при підвищенні швидкодії ускладнюється синхронізація сигналів, оскільки зміщення їх у часі може призвести до помилкового спрацювання. У схемах на потенці-

альних елементах немає спеціальних перетворень форми сигналів, кодування засноване на встановленні рівнів, відсутні жорсткі вимоги до синхронізації, що зумовлює їх високу надійність.

За параметрами елементи можна класифікувати залежно від реалізації логічних функцій, навантажувальної здатності, швидкодії або часу затримки, граничної робочої частоти, завадостійкості і споживаної потужності. Залежно від часу затримки сигналу інтегральні мікросхеми поділяють на пристрої високої та надвисокої швидкодії.

За типами базових елементів електронних перемикачів найпоширенішими є такі схеми:

- транзисторно-транзисторна логіка (ТТЛ);
- емітерно-зв'язана логіка (ЕЗЛ);
- інжекційна інтегральна логіка (І<sup>2</sup>Л);
- структури метал – оксид – напівпровідник *p*-типу (*p*-МОН);
- структури метал – оксид – напівпровідник *n*-типу (*n*-МОН);
- комплементарні МОН-структури (КМОН);
- динамічні МОН-структури.

Такі види схемотехніки, як резистивно-транзисторна логіка (РТЛ) і діодно-транзисторна логіка (ДТЛ), у мікропроцесорних системах нині практично не застосовують.

Логічні схеми, які розробляють на різній конструктивно-технологічній основі, значно відрізняються за своїми характеристиками, навіть якщо вони реалізують однакові функції. У кожного з наведених видів схемотехніки є свої переваги. Так, ЕЗЛ відрізняється високою швидкістю, хоча деякі різновиди ТТЛ наближаються до неї за цим параметром. Як *p*-МОН, так і *n*-МОН логіки широко застосовують у мікропроцесорах, а КМОН схемотехніка має переваги, якщо важливе зменшення споживаної потужності.

Динамічні МОН-структури використовують для побудови різних запам'ятовувальних пристроїв; вони мають просту організацію, в якій логічний стан визначається зарядом ємності, внутрішньо властивої логічному елементу. І<sup>2</sup>Л застосовують в інтегральних схемах.

## 4.2. Загальні характеристики елементів цифрових пристроїв

Амплітудна передавальна характеристика  $U_{\text{вих}} = f(U_{\text{вх}})$  визначає формувальні властивості логічного елемента (ЛЕ), його завадостійкість, амплітуду і рівні стандартного сигналу.

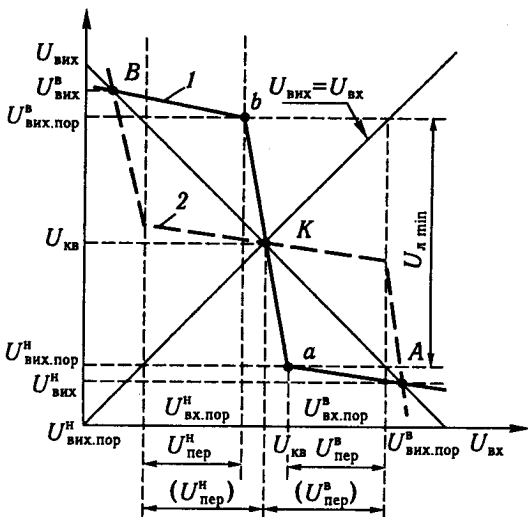


Рис. 4.2. Амплітудна передавальна характеристика ЛЕ інвертора

Характеристика залежить від типу логічного елемента і може змінюватися в певних межах залежно від розкиду параметрів схем, змін напруги живлення, навантаження, температури навколишнього середовища.

Розглянемо типову амплітудну передавальну характеристику (АПХ) ЛЕ інвертора (рис. 4.2). У статичному стані вихідний сигнал ЛЕ може бути або на верхньому ( $U^B$ ), або на нижньому ( $U^H$ ) рівні напруги.

Асимптотичний верхній (точка  $B$ ) і асимптотичний нижній (точка  $A$ ) рівні логічних сигналів знаходять як точки перетину АПХ (крива 1) з її дзеркальним відображенням (крива 2) відносно прямої одиничного посилення  $U_{\text{вих}} = U_{\text{вх}}$ . Різниця  $U_{\text{вих}}^B - U_{\text{вих}}^H$  є логічним перепадом  $U_{\text{л}}$  вихідних рівнів ЛЕ. На практиці через вплив завод і розкид амплітудних передавальних характеристик для кожного типу ЛЕ встановлюється мінімальний логічний перепад:

$$U_{\text{л min}} = U_{\text{вих.пор}}^B - U_{\text{вих.пор}}^H,$$

де  $U_{\text{вих.пор}}^B$  і  $U_{\text{вих.пор}}^H$  — відповідно верхній і нижній рівні вихідної порогової напруги. Вихідні порогові напруги визначають за допомогою точок порогу  $b$  і  $a$  на характеристиці, в яких диференціальний коефіцієнт посилення за напругою  $K_U = -1$ .

Зони статичної завадостійкості ЛЕ за нижнім ( $U_{3В}^H$ ) і верхнім ( $U_{3В}^B$ ) рівнями напруги в комбінаційних логічних колах обчислюють так:

$$(U_{3В}^H)' = U_{кв} - U_{вих.пор}^H,$$

$$(U_{3В}^B)' = U_{вих.3В}^B - U_{кв},$$

де ( $U_{3В}^H$ ), ( $U_{3В}^B$ ) характеризують максимально допустимі рівні статичної завади на вході ЛЕ в комбінаційних логічних колах;  $U_{вих.пор}^H$  — поріг вихідної напруги нижнього рівня;  $U_{вих.пор}^B$  — поріг вихідної напруги верхнього рівня;  $U_{кв}$  — поріг квантування. Однак через наявність схем з позитивним зворотним зв'язком у технічній документації на всі ІС зони статичної завадостійкості на вході обмежуються вхідними пороговими напругами:  $U_{вх.пор}^H$  — за нижнім рівнем і  $U_{вх.пор}^B$  — за верхнім. Ці порогові напруги називають відповідно *пороговою напругою зони перемикання (поріг зони перемикання) нижнього рівня* і *пороговою напругою зони перемикання верхнього рівня*. У зоні перемикання між пороговими напругами робота ЛЕ в статичному режимі заборонена.

Отже, статичну завадостійкість ЛЕ за нижнім рівнем вхідного сигналу визначають за формулою  $U_{3В}^H = U_{вх.пор}^H - U_{вих.пор}^H$ , а за верхнім рівнем вхідного сигналу —  $U_{3В}^B = U_{вх.пор}^B - U_{вих.пор}^B$ . Статичну завадостійкість розглядають як стійку роботу елемента при тривалому впливі потенціалу завади.

Максимальна завадостійкість ЛЕ за нижнім і верхнім рівнями досягається при ідеальній амплітудній передавальній характеристиці, для якої  $U_{вх.пор}^H = U_{вх.пор}^B = U_{кв}$ .

Реалізація характеристик, близьких до ідеальних, пов'язана з відомими труднощами внаслідок технологічного розкиду параметрів мікросхем при виготовленні, зміни порогових напруг залежно від зміни напруги живлення і температури навколишнього середовища в процесі експлуатації. Тому реально зони статичної завадостійкості для кожного типу ЛЕ встановлюють на основі статистичного аналізу амплітудних передавальних характеристик. Напруги статичної завади вказують у паспорті на логічний елемент і гарантують для найгіршого випадку роботи певного елемента.

При зіставленні амплітудних передавальних характеристик ЛЕ різних типів часто використовують не абсолютні значення статичної завадостійкості, а їх відношення до мінімального логічного перепаду:  $K_{3В}^H = U_{3В}^H / U_{л\min}$ ,  $K_{3В}^B = U_{3В}^B / U_{л\min}$ .

Чим ближча амплітудна передавальна характеристика до ідеальної, тим ближче значення цих коефіцієнтів до 0,5.

Статичні параметри визначають умови формування і значення напруг високого і низького рівнів на виході ЛЕ, його навантажувальну спроможність, споживану потужність за заданими параметрами напруги живлення, навантаження і температури навколишнього середовища.

До статичних параметрів ЛЕ належать:

— вихідні й вхідні напруги логічних «0» і «1» ( $U_{\text{вих}}^0$ ,  $U_{\text{вих}}^1$ ,  $U_{\text{вх}}^0$ ,  $U_{\text{вх}}^1$ );

— вхідні й вихідні порогові напруги логічних «0» і «1» ( $U_{\text{вх.пор}}^0$ ,  $U_{\text{вх.пор}}^1$ ,  $U_{\text{вих.пор}}^0$ ,  $U_{\text{вих.пор}}^1$ );

— вхідні й вихідні струми логічних «0» і «1» ( $I_{\text{вх}}^0$ ,  $I_{\text{вх}}^1$ ,  $I_{\text{вих}}^0$ ,  $I_{\text{вих}}^1$ );

— струми споживання в стані логічних «0» і «1» ( $I_{\text{сп}}^0$ ,  $I_{\text{сп}}^1$ );

— споживана потужність ( $P_{\text{сп}}$ ).

Порогова напруга логічного елемента  $U_{\text{пор}}$  — вхідна напруга, малі відхилення від якої в той або інший бік приводять до переходу логічного елемента на його виході зі стану «1» у стан «0» або навпаки.

Вихідна порогова напруга логічного «0» є максимальною або мінімальною (залежно від типу логіки) вихідною напругою логічного «0», що визначається точкою порогу амплітудної передавальної характеристики в області логічного «0», в якій диференціальний коефіцієнт посилення за напругою  $K_U = 1$  для ЛЕ без інвертування та  $K_U = -1$  для ЛЕ з інвертуванням (рис. 4.2, точка *a*).

Вихідна порогова напруга логічної «1» є мінімальною або максимальною (залежно від типу логіки) вихідною напругою логічної «1», що визначається пороговою точкою амплітудної передавальної характеристики в області логічної «1», в якій  $K_U = 1$  для ЛЕ без інвертування,  $K_U = -1$  для ЛЕ з інвертуванням. Поріг зони перемикавання логічного «0» є пороговою напругою логічного «0», що визначається пороговою точкою амплітудної передавальної характеристики в області логічного «0», в якій  $K_U = 1$  для ЛЕ без інвертування та  $K_U = -1$  для ЛЕ з інвертуванням (рис. 4.2, точка *b*).

Поріг зони перемикавання логічної «1» є пороговою напругою логічної «1», що визначається пороговою точкою амплітудної передавальної характеристики в області логічної «1», в якій  $K_U = 1$  для ЛЕ без інвертування та  $K_U = -1$  для ЛЕ з інвертуванням.

Вхідний струм ЛЕ задається для несприятливого режиму роботи в межах допустимих температур навколишнього се-

редовища та напруги живлення як для рівня логічного «0» ( $I_{\text{вх}}^0$ ), так і для рівня логічної «1» ( $I_{\text{вх}}^1$ ). Вихідні струми  $I_{\text{вих}}^0$ ,  $I_{\text{вих}}^1$  характеризують навантажувальну здатність ЛЕ. (Вхідні струми мають додатний знак, а вихідні струми — від'ємний.) Завадостійкість визначають відносно цих струмів. Тому збільшення коефіцієнта розгалуження призводить до зниження завадостійкості.

Вхідний струм логічної «1»  $I_{\text{вх}}^1$  визначають як вхідний струм для напруги логічної «1» на вході ЛЕ.

Вхідний струм логічного «0»  $I_{\text{вх}}^0$  визначають як вхідний струм для напруги логічного «0» на вході ЛЕ.

Вихідний струм логічної «1»  $I_{\text{вих}}^1$  визначають як вихідний струм для напруги логічної «1» на виході ЛЕ.

Вихідний струм логічного «0»  $I_{\text{вих}}^0$  визначають як вихідний струм для напруги логічного «0» на виході ЛЕ.

Струм, споживаний від джерела (джерел) живлення ЛЕ ( $I_{\text{сп}}$ ), залежить від типу ЛЕ. Для ЛЕ ЕЗЛ він майже постійний (якщо не брати до уваги навантаження) і не залежить від його логічного стану, для ЛЕ ТТЛ струм має різні значення для станів «0» і «1». Крім того, ЛЕ ТТЛ мають викиди струму під час перехідних процесів при перемиканні ЛЕ, що призводить до істотного збільшення струму споживання на високих частотах. Амплітуда і тривалість викиду залежать від характеру та величини навантаження, схемотехніки вихідного каскаду ЛЕ ТТЛ, довжини лінії зв'язку та ін. Потужність,

споживана ЛЕ від джерел живлення,  $P_{\text{сп}} = \sum_{i=1}^n U_i I_i$ , де  $i = 1 \dots n$  — напруга  $i$ -го джерела живлення;  $I_i$  — струм у відповідному колі живлення.

Якщо споживана потужність залежить від вихідної напруги логічного «0» ( $P_{\text{сп}}^0$ ) або «1» ( $P_{\text{сп}}^1$ ), то як основний параметр використовують середню споживану потужність  $P_{\text{сп.ср}} = (P_{\text{сп}}^0 + P_{\text{сп}}^1) / 2$ . Для ЛЕ, що споживають значну потужність при перемиканні, середню споживану потужність у технічній документації задають у вигляді залежності  $P_{\text{сп.ср}} = f(F_{\text{імп}})$ , де  $F_{\text{імп}}$  — частота проходження імпульсів.

Вхідний опір логічного елемента  $R_{\text{вх}}$  — відношення приросту вхідної напруги до приросту вхідного струму (визначають для двох значень вхідного сигналу:  $R_{\text{вх}}^0$  та  $R_{\text{вх}}^1$ ).



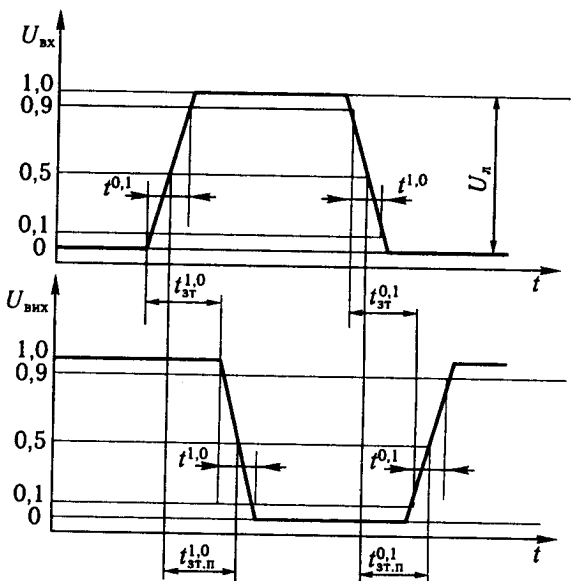


Рис. 4.3. Основні динамічні параметри

Вихідний опір логічного елемента  $R_{\text{вих}}$  — відношення приросту вихідної напруги до його приросту вихідного струму (визначають для двох значень вихідного сигналу:  $R_{\text{вих}}^0$  та  $R_{\text{вих}}^1$ ).

**Динамічні параметри.** Швидкодія ЛЕ при перемиканні визначається електричною схемою, технологією виготовлення і характером навантаження. Для ідентифікації вимірювань динамічних параметрів у технічній документації на ІС наведено параметри еквівалентного навантаження, встановлено вимоги до амплітуди і тривалості фронту вхідного сигналу.

На рис. 4.3 зображено часову діаграму, що пояснює зміну характеристик вихідного імпульсу залежно від параметрів вхідного імпульсу і властивостей елемента.

Рівні відліку напруг для визначення динамічних параметрів встановлено відносно вихідних порогових напруг «1» та «0».

Основними динамічними параметрами ЛЕ є затримка поширення сигналу  $t_{\text{зт.п}}$  під час перемикання і тривалість позитивного (наростаючого) і негативного (спадного) фронтів вихідних сигналів.

Затримку поширення сигналу під час переходу вихідної напруги від «1» до «0»  $t_{\text{зт.п}}^{1,0}$  (для позитивної логіки це відпо-

відає негативному фронту, для негативної — позитивному фронту вихідного сигналу) визначають як інтервал часу між вхідним і вихідним сигналами ЛЕ, виміряний на рівні 0,5 логічного перепаду вхідного і вихідного сигналів.

Затримку поширення сигналу при переході вихідної напруги від «0» до «1»  $t_{зт.п}^{0,1}$  (для позитивної логіки це відповідає позитивному фронту, для негативної — негативному фронту вихідного сигналу) визначають як інтервал часу між вхідним і вихідним сигналами ЛЕ, виміряний на рівні 0,5 логічного перепаду вхідного і вихідного сигналів.

Під час розрахунку часової затримки сигналу послідовно увімкнених ЛЕ використовують середню затримку поширення сигналу ЛЕ:

$$\tau_{зт.п.ср} = (t_{зт.п}^{0,1} - t_{зт.п}^{1,0}) / 2.$$

Час переходу  $t^{1,0}$  «1» у стан «0» — інтервал часу, протягом якого напруга на виході логічного елемента переходить від рівня «1» до рівня «0», виміряний при значеннях 0,9 і 0,1 логічного перепаду.

Час переходу  $t^{0,1}$  на виході логічного елемента зі стану «0» у стан «1» — інтервал часу, протягом якого напруга на виході логічного елемента переходить від рівня «0» до «1», виміряний при значеннях 0,1 і 0,9 логічного перепаду.

Час затримки  $t_{зт}^{1,0}$  вимкнення логічного елемента — інтервал часу між вхідним і вихідним сигналами під час переходу напруги на виході логічного елемента від напруги «1» до напруги «0», виміряний на рівні 0,1 логічного перепаду вхідного сигналу і на рівні 0,9 вихідного сигналу.

Час затримки  $t_{зт}^{0,1}$  вимкнення логічного елемента — інтервал часу між вхідним і вихідним сигналами під час переходу напруги на виході логічного елемента від напруги «0» до напруги «1», виміряний на рівні 0,9 логічного перепаду вхідного сигналу і на рівні 0,1 вихідного сигналу.

Динамічну завадостійкість елемента розглядають під час його роботи в імпульсному режимі; вона залежить від часових параметрів імпульсу завади, його форми й амплітуди, швидкості перемикавання логічних елементів.

Характеристика динамічної завадостійкості — залежність амплітуди завади від її тривалості. Ця характеристика істотно залежить від форми сигналу завади, рівня статичної завадостійкості і частоти перемикавання логічного елемента. Складність одержання сімей характеристик динамічної завадостійкості елементів не дає змоги наводити їх як основний

чи довідковий матеріал у технічних умовах на логічні елементи.

Гранична робоча частота елемента задає діапазон робочих частот сигналів, переданих елементом без спотворення так, щоб за час одного такту в схемі встигали завершитися перехідні процеси.

*Частота перемикання* — максимальна частота, на якій у найгірших умовах гарантується спрацьовування лічильного тригера, складеного з логічних елементів певної серії.

Збільшення середнього часу затримки — це поширення сигналу на один вільний вхід логічного елемента.

**Схемотехнічні і конструктивні параметри.** Для побудови розгалужених логічних кіл потрібно, щоб кожен ЛЕ мав визначену навантажувальну здатність за входом і виходом, тобто міг працювати за кількома логічними входами і одночасно керувати кількома входами інших ЛЕ. Навантажувальну здатність ЛЕ виражають коефіцієнтом об'єднання на вході і коефіцієнтом розгалуження на виході.

Коефіцієнт об'єднання на вході  $K_{об}$  логічного елемента — число входів логічного елемента, за яким реалізується логічна функція, у тому числі з урахуванням входів логічного розширника.

Коефіцієнт розгалуження на виході  $K_{роз}$  логічного елемента — число одиничних навантажень, які можна одночасно підключити до виходу логічного елемента. Одиничним навантаженням є один вхід базового логічного елемента певної серії. Кожен ЛЕ з боку входу є нелінійним навантаженням, характер і значення якого визначаються комбінацією і значенням сигналів на інших входах цього самого елемента і розкидом параметрів схеми ЛЕ. Слід пам'ятати, що для ряду елементів певної серії один вхід еквівалентний кільком одиничним навантаженням.

У реальній логічній схемі кожен ЛЕ може бути навантажений на різне число інших ЛЕ і з'єднаний з ними лініями зв'язку різної довжини і конфігурації. У результаті умови роботи ЛЕ в різних схемах можуть істотно відрізнятись, що не повинно призводити до порушення їхнього функціонування. Про кількість входів елементів іншої серії спеціально домовляються.

До конструктивних параметрів належать:

кількість джерел живлення, необхідне для роботи певної серії логічних елементів, — їх номінали, допуск на номінали, величини допустимих пульсацій;

тип корпусу (в тому числі без корпусу); габарити корпусу; кількість виводів корпусу;

**Таблиця 4.1. Ступінь інтеграції логічних цифрових мікросхем**

Умовна позначка	Число вентилів на кристал	Число біт пам'яті на кристал
ІС	До $10$	До $10^2$
СІС	$10^2$	$10^3$
ВІС	$10^3$	$10^4$
СВІС	$10^4$	$10^5$
СВІС більш високого ступеня інтеграції	$10^5 - 10^6$	$10^6 - 10^7$

інтенсивність відмовлень логічних елементів, що, як правило, вказують на мікросхему в цілому.

**Інтегральні параметри** відображають рівень розвитку технології і схмотехніки та якість цифрових ІС. Основними інтегральними параметрами ІС є енергія перемикання  $P_{\tau}$  і рівень інтеграції  $N$ .

Енергія перемикання  $P_{\tau} = P_{\text{сп.ср}} \times \tau_{\text{зт.п.ср}}$ . Зазвичай при визначенні енергії перемикання використовують типові значення затримки поширення і споживаної потужності. (Якщо споживану потужність виражають у міліватах, а затримку поширення — у наносекундах, то енергію перемикання — у пікоджоулях.) У міру вдосконалювання технології і схмотехніки та зменшення розмірів елементів на кристалі енергія перемикання безупинно знижується. При заданій технології і схмотехніці чи при заданій енергії перемикання ( $P_{\tau} = \text{const}$ ) можна створювати різні серії ІС з високою швидкістю (малим значенням  $\tau_{\text{зт.п}}$ ) та великою споживаною потужністю або з низькою швидкістю та малою споживаною потужністю. За цим параметром оцінюють рівень розвитку цифрової мікроелектроніки і порівнюють різні типи ІС.

Ступінь інтеграції  $N$  логічних цифрових мікросхем (табл. 4.1) визначається числом найпростіших еквівалентних ЛЕ — звичайно вентилів з двома входами — на кристалі. Іноді ступінь інтеграції мікросхем вимірюють числом елементів (резисторів, транзисторів, діодів) на кристалі, але при цьому зовсім не враховують специфіку логічних цифрових ІС, де зв'язки між елементами займають істотну частину площі кристала. Функціональну складність ІС запам'ятовувальних пристроїв, що мають регулярну структуру, можна оцінювати числом біт пам'яті на кристалі.

### 4.3. Базовий логічний елемент транзисторно-транзисторної логіки

#### 4.3.1. Склад, схемотехніка і принцип дії базового логічного елемента (БЛЕ)

Цей вид схемотехніки має, мабуть, найбільше число різновидів, тому що тривалість його використання дала змогу виявити багато з властивих йому обмежень та способи їх подолання. Більшість ІС, які входять до складу серій транзисторно-транзисторної логіки (ТТЛ), виконано на основі комбінації двох базових схем: елемента І–НЕ (штрих Шеффера) і розширника за АБО.

Елемент І–НЕ (рис. 4.4) можна зобразити послідовним з'єднанням трьох каскадів:

вхідного багатоємірного транзистора  $VT1$  з резистором  $R1$  і діодами  $VD_0 - VD_{n-1}$ , що реалізують логічну операцію І;

роздільника фаз на транзисторі  $VT2$ , резисторі  $R2$  і кола нелінійної корекції  $R3, R4$  та  $VT3$ ;

двотактного вихідного підсилювача на транзисторах  $VT4$  і  $VT5$ , резисторі  $R5$  та діоді  $VD_n$ .

Розширник за АБО (рис. 4.5) фактично повторює перші два каскади елемента І–НЕ і містить вхідний багатоємітерний транзистор  $VT1$  з резистором  $R1$  і транзистор  $VT2$  роздільника фаз.

Об'єднання елементів І–НЕ і розширника за АБО шляхом з'єднання точок  $a$  і  $b$  дає змогу одержати ЛЕ, що реалізує послідовність операцій І–АБО–НЕ.

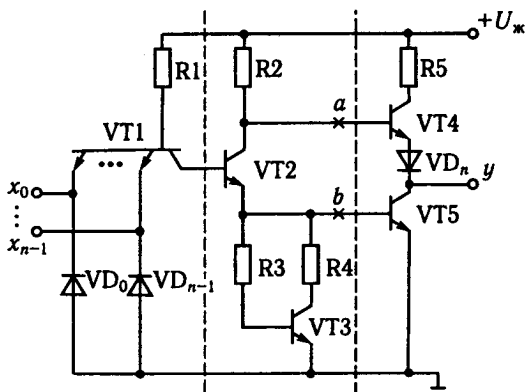


Рис. 4.4. Принципова електрична схема ЛЕ І–НЕ ТТЛ (штрих Шеффера)

Розглянемо роботу елемента І — НЕ (рис. 4.4). Припустимо, що хоча б один вхід елемента  $x_0, \dots, x_{n-1}$  безпосередньо ввімкнений до спільної шини, тобто на нього подана напруга логічного «0». У цьому випадку багатомітерний транзистор VT1 виявляється насиченим струмом, що проходить від джерела живлення через резистор R1. Напруга на його колекторі мало відрізнятиметься від нульової, тому транзистор VT2 роздільника фаз замкнений.

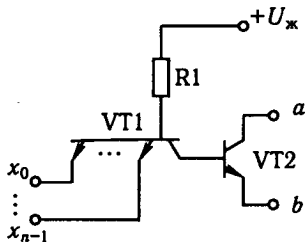


Рис. 4.5. Принципова електрична схема розширника за АБО серії TTL

Через те що струм емітера транзистора VT2 практично дорівнює нулю, буде замкнений і транзистор VT5. Струм, що проходить через резистор R2, входить у базу транзистора VT4, насичує його. Тому напруга, наявна на виході  $y$  ЛЕ, близька до напруги живлення і визначається виразом

$$U_{\text{вих}}^1 = U_{\text{ж}} - I_{\text{вих}} R_5 - U_{\text{KEVT4}} - U_{\text{VD}_n},$$

де  $U_{\text{ж}}$  — напруга джерела живлення;  $I_{\text{вих}}$  — вихідний струм;  $U_{\text{KEVT4}}$  — напруга на колекторі — емітері транзистора VT4;  $U_{\text{VD}_n}$  — спад напруги на діоді  $\text{VD}_n$ .

Отже, за наявності на кожному із входів схеми напруги низького рівня напруга на його виході матиме високий рівень. Припустимо тепер, що на усі входи ЛЕ подано високий рівень напруги. У цьому випадку всі переходи багатомітерного VT1 замкнені. При цьому його колекторний перехід зміщується в пряму напрямку і по колу (резистор R1, колекторний перехід транзистора VT1 та послідовно з'єднаний емітерний перехід транзисторів VT2 і VT5) проходить струм. Цей струм наситить транзистори VT2 і VT5, і на виході  $y$  ЛЕ встановиться низька напруга, яка чисельно дорівнює напрузі насичення транзистора VT5:

$$U_{\text{вих}}^0 = U_{\text{KEVT5}} = I_{\text{вих}} r_{\text{вихVT5}},$$

де  $U_{\text{KEVT5}}$  — напруга на колекторі — емітері транзистора VT5;  $r_{\text{вихVT5}}$  — вихідний опір транзистора VT5.

Через те що транзистор VT2 насичений, наявна на його колекторі напруга недостатня для прямого зміщення двох послідовно ввімкнених  $p-n$ -переходів (перехід емітера VT4 і діода  $\text{VD}_n$ ). Транзистор VT4 буде замкнений.

Отже, якщо на всіх входах схеми наявна висока напруга, на виході БЛЕ буде напруга низького рівня.

Для позитивної логіки наведений алгоритм роботи відповідає визначенню операції І – НЕ:

$$y = \overline{x_0 x_1 \dots x_{n-1}}$$

Виконання вихідного каскаду елемента за двотактною схемою дає змогу одночасно вирішити два завдання.

1. Підвищити швидкодію елемента. Навантаження БЛЕ зазвичай має ємнісний характер, і застосування двотактного вихідного каскаду дає змогу збільшити струм заряду ємності навантаження.

2. Знизити споживання. У сталому режимі логічного «0» через вихідний каскад проходить тільки струм навантаження.

У вхідному колі багатоємітерного транзистора VT1 увімкнені додаткові діоди VD<sub>0</sub> – VD<sub>n-1</sub>, що захищають елемент від появи на його вході недопустимих напруг зворотної полярності.

Нелінійне коло корекції R3, R4 і VT3 дає змогу збільшити швидкодію елемента і наблизити його АПХ до прямокутної. Останнє поліпшує властивості елемента. Розглянемо його роботу. Принцип дії цього кола заснований на залежності його опору від стану транзистора VT5. Якщо цей транзистор замкнений, то транзистор нелінійного кола корекції VT3 також замкнений. Сумарний опір кола шунтування переходу емітера транзистора VT5 в основному визначається опором резистора R3, який достатньо великий. Тому на початковому етапі формування на виході елемента напруги логічного «0» весь емітерний струм транзистора VT2 проходить у базу транзистора VT5, що форсує його ввімкнення. Після ввімкнення VT5 насичується і VT3, шунтуючи емітерний перехід транзистора VT5 малим опором резистора R4. Це, по-перше, зменшує ступінь насичення транзистора VT5 і, по-друге, при наступному вимиканні збільшує струм, що вилучає з базової області цього транзистора надлишковий заряд неосновних носіїв. Обидва цих фактори сприяють зниженню часу розсмоктування носіїв транзистора VT5, що підвищує швидкодію елемента.

У момент перемикання БЛЕ в його вихідному колі проходить так званий паскрізний струм, що зумовлено тим, що протягом інтервалу розсмоктування носіїв транзистора, який замикається, обидва транзистори вихідного двотактного підсилювача виявляються насиченими. Це приводить до того, що струм споживання елемента має явно виражений імпульсний харак-

тер. Тому зі збільшенням частоти перемикавання середнє значення струму, споживаного елементом, збільшується. Зростає і його сумарна споживана потужність. Крім цього, проходження імпульсів струму за рахунок дії індуктивності сполучних проводів  $L_{\text{пр}}$  (рис. 4.6) може призвести до появи помилкових спрацьовувань сусідніх елементів (внутрішні завади).

Для обмеження величини наскрізного струму в колекторне коло VT4 увімкнений резистор R5. Однак надмірне збільшення опору цього резистора, по-перше, збільшує потужність, що розсіюється в елементі, та, по-друге, зменшує його навантажувальну здатність. Тому для виключення дії завад шини живлення слід виконувати з малою власною індуктивністю і за всією довжиною передбачене шунтування додатковими (зазвичай керамічними) конденсаторами  $C_{\text{дод}}$  з малою паразитною індуктивністю. Використання такого технічного рішення дає змогу звести до мінімуму дію внутрішніх завад.

Слід зазначити ще одну особливість застосування БЛЕ ТТЛ. Відповідно до наведеного алгоритму роботи, якщо вхід елемента залишається непідключеним до джерела сигналу, можна вважати, що на нього поданий сигнал логічної «1». Однак на практиці невикористані входи елементів ТТЛ рекомендується не залишати вільними, а через додатковий резистор  $R_{\text{дод}}$  підключати до виводу  $+U_{\text{ж}}$ . Інакше через те що у стані логічної «1» на вході елемент має великий вхідний опір, різко збільшується ймовірність впливу на нього завад, що знижує надійність роботи логічного пристрою. Звичайно один резистор використовують для підключення кількох входів ЛЕ. У цьому випадку його опір можна знайти з умови

$$R_{\text{дод}} \leq \frac{U_{\text{под}} - U_{\text{вх min}}}{nI_{\text{вх max}}},$$

де  $n$  — число входів БЛЕ, що підключають до резистора.

### 4.3.2. Різновиди схемотехніки елементів ТТЛ

Крім розглянутих, універсальні серії ІС ТТЛ мають у своєму складі деякі спеціалізовані елементи. Вони призначені для розширення функціональних можливостей цих серій. Розглянемо деякі з них.

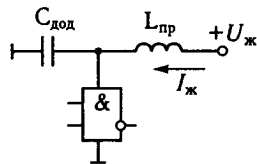


Рис. 4.6. Шунтування шини живлення БЛЕ ТТЛ додатковими конденсаторами



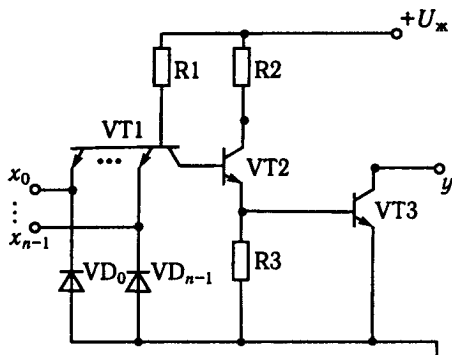


Рис. 4.7. Принципова електрична схема ЛЕ I–HE ТТЛ з відкритим колектором

Елемент I–HE з відкритим колектором призначений для узгодження логічних схем із зовнішніми виконавчими й індикаторними пристроями, наприклад індикаторами на світлодіодах, лампами розжарювання, обмотками реле і т. д. Його відмінність від раніше розглянутого полягає у виконанні вихідного підсилювача потужності за однотактною схемою без власного навантажувального резистора. Принципову електричну схему такого елемента зображено на рис. 4.7.

У цьому елементі так само немає кола нелінійної корекції. Це пов'язано з тим, що елемент розміщують на виході логічного пристрою, і до нього в меншому ступені висувають вимогу квантування сигналу. Звичайно вихідний транзистор VT3 схеми виконують з більшими допустимими значеннями колекторного струму і напруги, ніж звичайний елемент.

На відміну від стандартних елементи ТТЛ із відкритим колектором допускають паралельне вмикання вихідних виводів. При цьому щодо вихідних сигналів кожного елемента реалізується логічна операція І:

$$y = y_1 y_2 \dots y_n,$$

де  $y_1, y_2, y_n$  — вихідні виводи послідовно ввімкнених елементів.

Це дає змогу вирішити два завдання:

- спростити схему проектованого пристрою за рахунок вимкнення додаткових елементів, що реалізують операцію І;
- забезпечити роботу кількох виходів на загальну шину, тобто реалізувати режим роботи з поділом інформації в часі.

Елемент I–HE з підвищеною навантажувальною здатністю призначений для використання у випадках, коли коефіцієн-

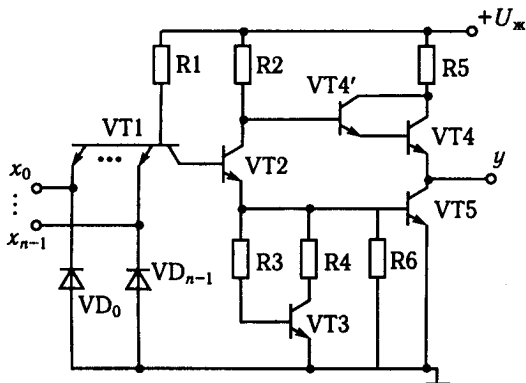


Рис. 4.8. Принципова електрична схема ЛЕ I–НЕ ТТЛ з підвищеною навантажувальною здатністю

та розгалуження стандартного елемента ТТЛ недостатньо для передавання вихідного сигналу всім споживачам. Схемотехнічно цей елемент відрізняється від стандартного виконанням вихідного каскаду (рис. 4.8).

Для збільшення потужності сигналу логічної «1» у вихідному каскаді використана схема складеного транзистора VT4. Коефіцієнт розгалуження на виході для таких елементів у три рази перевищує значення  $K_{роз}$  для стандартного БЛЕ.

Елемент I–НЕ з третім (високоімпедансним) станом призначений для спільної роботи кількох елементів на загальну шину. Принципову електричну схему елемента I–НЕ з третім (високоімпедансним) станом на виході наведено на рис. 4.9.

В основному така схема повторює схему стандартного елемента I–НЕ. Для організації третього (високоімпедансного) вихідного стану багатоємітерний транзистор VT1 забезпечується  $n$ -м емітером, що через допоміжний транзисторний перемикач VT6 з'єднаний із загальною шиною.

Для керування транзисторним перемикачем використовують схему, що повторює вхідний каскад стандартного елемента ТТЛ. Вона включає вхідний транзистор VT7 і підсилювач на транзисторі VT8, увімкнений за схемою емітерного повторювача. Емітер транзистора VT7 є входом керування третім станом елемента (вхід  $z$ ). Його база через резистор R8 з'єднана із шиною живлення, а колектор підключений до входу підсилювача на транзисторі VT8. Сигнал, що знімається з резистора R6, керує станом транзисторного перемикача VT6. Додатково колектор VT6 через діод  $VD_{n+1}$  приєднаний до бази транзистора VT4 вихідного підсилювача потужності.

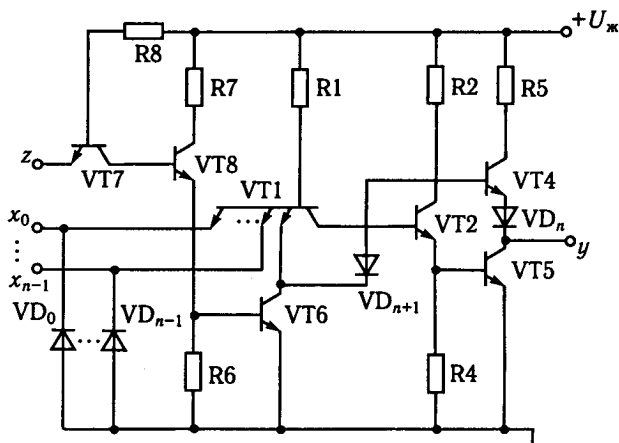


Рис. 4.9. Принципова електрична схема ЛЕ I–HE ТТЛ з третім (високоімпедансним) станом

Розглянемо роботу БЛЕ при різних значеннях керуючого сигналу на вході  $z$ . Якщо  $z = 1$ , то перехід емітера транзистора VT7 зміщений у зворотному, а колекторний — у прямому напрямку. Струм від шини живлення через резистор R8 проходить у базу транзистора VT8, насичуючи його. Одночасно насичується і транзисторний перемикач VT6. При цьому один з емітерів транзистора VT1 підключається до загальної шини, що еквівалентно подаванню на вхід елемента сигналу логічного «0». Тому незалежно від значень інших початкових змінних елемент намагається сформувавши на виході сигнал логічної «1», тобто його транзистори VT2 і VT5 замкнені. Транзистор VT4 також виявляється замкненим через шунтування його вхідного кола послідовно ввімкненими прямо зміщеним діодом  $VD_{n+1}$  і насиченим транзистором VT6. Тому при  $z = 1$  обидва транзистори вихідного двотактного підсилювача потужності замкнені і ЛЕ фактично вимкнений від вихідного виводу. Це відповідає високоімпедансному стану, за яким вихідний сигнал елемента при будь-яких комбінаціях його вхідних сигналів не потрапляє на його вихід.

Якщо  $z = 0$ , то струм резистора R8 насичує транзистор VT7. Транзистори VT8 і VT6 замкнені, і на додатковий вхід багатоемітерного транзистора VT1 подається сигнал, що не впливає на роботу елемента. У цьому випадку вихідний сигнал визначають виключно комбінацією логічних змінних, діючих на входах  $x_0, \dots, x_{n-1}$ , і робота елемента аналогічна роботі стандартного ТТЛ БЛЕ.

### 4.3.3. Підвищення швидкодії ТТЛ-схем

Швидкодія БЛЕ серій ІС ТТЛ в основному визначається інерційними властивостями застосовуваних біполярних транзисторів і навантаження. Інерційні властивості, зумовлені параметрами навантаження, залежать від конкретної схеми і конструктивного виконання логічного пристрою. Мала швидкодія пов'язана з власне частотними властивостями елементів БЛЕ. Основними причинами недостатньої швидкодії транзисторних перемикачів на біполярних транзисторах є перезарядження його колекторної ємності і час розсмоктування. Ці параметри визначаються як технологією виготовлення транзисторів, так і режимами їх роботи в перемикальній схемі. Зокрема, зменшення тривалості перемикачання, спричинене перезарядженням колекторної ємності при її незмінному значенні, можна досягти зменшенням опору колекторного навантаження. Дійсно, сумарна стала часу, що зумовлює швидкість змінювання колекторної напруги,

$$\tau = R_K C_{KB}.$$

Зменшення  $R_K$  зменшує  $\tau$ , а отже, і час змінювання колекторних струму і напруги транзистора.

Це технічне рішення, підвищуючи швидкодію перемикача, приводить до збільшення струму колектора, що проходить через насичений транзистор, і до збільшення потужності, яка розсіюється в БЛЕ.

Отже, підвищення швидкодії БЛЕ ТТЛ за рахунок зменшення тривалості перезарядження ємності  $C_{KB}$  пов'язане зі збільшенням потужності, яка розсіюється в елементі.

Це технічне рішення застосовують, наприклад, у ІС ТТЛ серії 531 підвищеної швидкодії.

Намагання зменшити час розсмоктування, що при пасивному вимиканні становить значну частину часу вимкнення біполярного транзистора, привело до застосування в БЛЕ діодів і транзисторів Шоттки. Нагадаємо, що найрадикальнішим методом зменшення інерційності перемикача на біполярному транзисторі, спричинене розсмоктуванням неосновних носіїв з базової області, є використання ненасиченого режиму його роботи. Останнє найпростіше досягається шунтуванням колекторного переходу діодом Шоттки.

Діод Шоттки має істотно меншу граничну напругу відкриття, ніж  $p-n$ -перехід транзистора. Тому під час дії вхідного імпульсу діод Шоттки відкривається раніше, ніж колекторний перехід транзистора, запобігаючи накопиченню надлишкового заряду в його базовій області. Накопичення заряду в само-

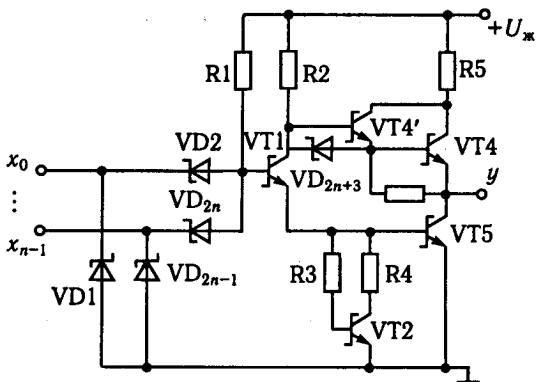


Рис. 4.10. Принципова електрична схема BLE ТТЛШ серії 555

му діоді Шоттки не відбувається, тому що струм цього діода зумовлений перенесенням основних носіїв заряду. Ввімкнення паралельно колекторному переходу транзистора діода Шоттки при подаванні вхідної напруги автоматично фіксує напругу колектор — база на рівні, близькому до нульового. Транзистор при цьому працює поблизу границі режиму насичення.

Робота транзистора з діодом Шоттки в активному режимі призводить до збільшення напруги на його переходах, що трохи знижує споживану елементом потужність і змінює асимптотичні рівні логічних «0» і «1».

Це схемне рішення реалізоване в різновиді BLE ТТЛ — ТТЛШ.

На рис. 4.10 наведено принципову електричну схему BLE ТТЛШ серії 555. Від схеми стандартного BLE вона відрізняється застосуванням у вихідному двотактному підсилювачі потужності складеного транзистора, що сприяє підвищенню швидкодії, і виконанням вхідного каскаду, що реалізує логічну операцію І. Операцію І у цьому елементі виконують з використанням перемикачів на діодах  $VD_1, VD_2, \dots, VD_{2n-1}, VD_{2n}$ . При подаванні на усі вхідні виводи елемента напруги високого рівня парні діоди  $VD_2, \dots, VD_{2n}$  вхідних діодних перемикачів зміщуються у зворотному напрямку. Тому струм резистора  $R_1$  насичує транзистори  $VT_1$  і  $VT_5$ , формуючи на виході елемента сигнал низького рівня.

Якщо хоча б на один вхід схеми подано низьку напругу, відповідний діод зміщується у прямому напрямку. Струм резистора  $R_1$  замикається на загальну шину, минаючи переходи

емітерів транзисторів VT1 і VT5. Останні замикаються. При цьому струм резистора R2 насичує складений транзистор VT4', VT4, формуючи на виході напругу високого рівня.

Завдяки такій побудові вхідні виводи елемента можна безпосередньо підключати до шини джерела живлення, що не рекомендовано для стандартних елементів ТТЛ.

Слід зазначити, що підвищення швидкодії, досягнуте застосуванням у схемі БЛЕ діодів і транзисторів Шоттки, дало змогу розробити серію ІС ТТЛ зі зменшеним споживанням при швидкодії, порівнянної зі стандартними елементами. Останнє важливо з погляду підвищення функціональних можливостей ІС.

Дійсно, при використанні заданого корпусу потужність, що може розсіяти одна ІС при певних параметрах навколишнього середовища, строго визначена. Це означає, що визначена і та гранична кількість напівпровідникових приладів, яку можна розмістити у певній ІС незалежно від досконалості використовуваної технології їхнього виготовлення. Отже, обмежена також кінцева функціональна складність схеми, що може бути реалізована на цих елементах.

Потужність, потрібна для роботи схем ТТЛШ зі зменшеним споживанням, приблизно в 5 разів менша, ніж у стандартній схемі ТТЛ. Якщо допускає технологія, у тому самому корпусі можна розмістити в 5 разів більше напівпровідникових елементів та значно підвищити складність розробленої ІС і коло розв'язуваних з її допомогою задач. Через те при створенні ВІС і СВІС застосовують тільки цей тип базових схем.

Усі ІС ТТЛ, що виробляє вітчизняна промисловість нині, можна поділити на такі групи: стандартні; швидкодійні з діодами Шоттки; малопотужні з діодами Шоттки.

Елементи всіх цих серій практично виконані за єдиною схемою. Існуючі невеликі схемотехнічні відмінності докладно розглянуто раніше. Основне розходження цих серій полягає в їхній швидкодії і споживаній потужності. Типові параметри БЛЕ різних серій ТТЛ наведено в табл. 4.2.

Напруга всіх БЛЕ ТТЛ дорівнює  $+5\text{В} \pm 5\%$  чи  $+5\text{В} \pm 10\%$  залежно від типу виконання.

Таблиця 4.2. Параметри БЛЕ серій ТТЛ

Серія ІС	$t_{зр.порівн.}$ , нс	$P_{сп}$ , мВт	$U_{вих}^1$ , В	$U_{вих}^0$ , В	$I_{вих}^1$ , мА	$I_{вих}^0$ , мА
K155	10	10	2,4	0,4	-0,4	16
K531	3	20	2,7	0,5	-1,0	20
K555	10	2,0	2,7	0,5	-0,4	8,1

## 4.4. БЛЕ емітерно-зв'язаної логіки

### 4.4.1. Особливості схемотехніки

Причиною появи БЛЕ емітерно-зв'язаної логіки (ЕЗЛ) було намагання підвищити швидкодію цифрових пристроїв. Це привело до використання в них відмінного від ТТЛ схемотехнічного рішення.

Основою БЛЕ ЕЗЛ є перемикач струму, виконаний на двох транзисторах (рис. 4.11). На базу одного з них, наприклад VT2, подано деяку постійну опорну напругу  $U_{оп}$ . Зміна напруги, поданої на вхід  $x_0$  нижче або вище  $U_{оп}$ , приводить до перерозподілу постійного струму  $I_E$ , заданого стабілізуючим струм резистором  $R_E$ , між транзисторами VT1 і VT2. При цьому транзистори не потрапляють у режим насичення й у перемикачі принципово відсутній інтервал розсмоктування їх неосновних носіїв. Отже, особливістю БЛЕ ЕЗЛ є постійний споживаний струм незалежно від значення вихідного сигналу перемикача.

Ця особливість вигідно відрізняє БЛЕ ЕЗЛ від БЛЕ ТТЛ, у якому в момент перемикання струм, споживаний елементом, різко зростає, створюючи внутрішні завади, що погіршують завадозахищеність цифрового пристрою.

Загальною шиною для елемента є шина  $+U_{ж}$ , унаслідок чого всі потенціали точок схеми негативні щодо загальної шини. Однак у схемі перемикача струму так само, як і в схемах ТТЛ, реалізований принцип позитивної логіки, за яким більший вихідний напрузі відповідає сигнал логічної «1», а менший — сигнал логічного «0».

Швидкодія перемикача струму дуже велика, тому що, по-перше, транзистори принципово не проникають в область насичення і, по-друге, малий логічний перепад напруг між значеннями логічного «0» та логічної «1». Останнє реалізовано вибором малих опорів резисторів  $R_{K1}$  і  $R_{K2}$  схеми, що дуже корисно з погляду зменшення сталої часу заряду вихідної ємності транзистора.

З перемикача струму знімаються одночасно два сигнали — прямий та інверсний, зв'язані з сигналом  $x_0$  на вході схеми співвідношеннями:

$$y_1 = x_0, \quad y_0 = \bar{x}_0.$$

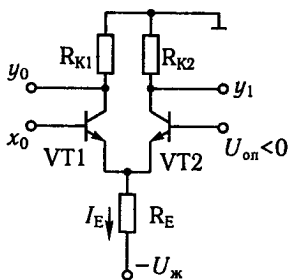


Рис. 4.11. Принципова електрична схема перемикача струму БЛЕ

Вихідна напруга, що знімається з виходів  $y_1$  і  $y_0$ , завжди більша за  $U_{оп}$ , тому що транзистори  $VT_1$  і  $VT_2$  завжди працюють у ненасиченому режимі. Тому безпосереднє послідовне вмикання кількох таких перемикачів неможливе. Для цього потрібний каскад узгодження. За каскад узгодження використовують схеми емітерних повторювачів, увімкнених між виходами перемикача струму і виходами елемента.

Повну схему БЛЕ, виконаного на основі перемикача струму, наведено на рис. 4.12 (елемент серії 500). Базовий елемент отриманий шляхом заміни вхідного транзистора  $VT_1$  перемикача струму групою паралельно увімкнених транзисторів  $VT_1 - VT_n$ . Функціонально схему БЛЕ можна поділити на три вузли:

- перемикач струму на транзисторах  $VT_1 - VT_{n+1}$  і резисторі  $R_{n+2}$ ;
- джерело еталонної напруги, що містить параметричний стабілізатор на елементах  $R_{n+4}$ ,  $VD_1$ ,  $VD_2$ ,  $R_{n+5}$ , емітерний повторювач на  $VT_{n+2}$  і  $R_{n+3}$ ;
- вихідні емітерні повторювачі на транзисторах  $VT_{n+3}$  і  $VT_{n+4}$ .

Кола навантажень транзисторів  $VT_{n+3}$  і  $VT_{n+4}$  винесено з ІС БЛЕ, що сприяє зниженню в ній потужності розсіювання та розширенню функціональних можливостей.

Діоди  $VD_1$ ,  $VD_2$  у колі джерела, що задає еталонну напругу, призначені для термічної компенсації напруги  $U_{оп}$ .

#### 4.4.2. Принцип дії та функціональні можливості БЛЕ ЕЗЛ

Припустімо, що на всі входи схеми (рис. 4.12)  $x_0, \dots, x_{n-1}$  подано напругу, близьку до  $-U_{ж}$ . Тоді транзистори  $VT_1 - VT_n$  будуть замкнені. Весь струм резистора  $R_{n+2}$  про-

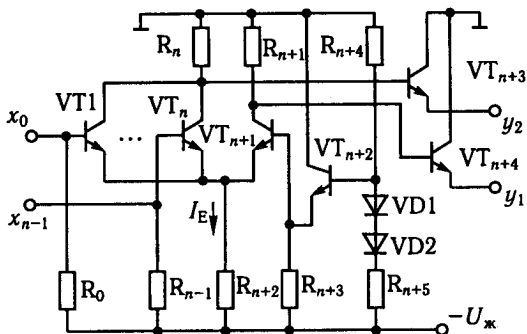


Рис. 4.12. Принципова електрична схема БЛЕ ЕЗЛ



ходить через транзистор  $VT_{n+1}$ , до виводу бази якого прикладено напругу  $U_{оп}$ . Цей транзистор підтримується в активному режимі роботи за рахунок дії глибокого послідовного негативного зворотного зв'язку за струмом. Якщо не враховувати зворотні струми колекторних переходів транзисторів  $VT_1 - VT_n$ , через резистор  $R_n$  проходить тільки базовий струм транзистора  $VT_{n+3}$  вихідного емітерного повторювача. Отже, напруга на виході близька до нульової:

$$U_{y2} = -I_{БVT_{n+3}} R_n - U_{БЕVT_{n+3}}.$$

Чисельно напруга  $U_{y2}$  приблизно дорівнює  $-0,9$  В.

Через резистор  $R_{n+1}$ , крім базового струму транзистора  $VT_{n+4}$ , проходить струм  $I_{КVT_{n+1}}$ , який приблизно дорівнює  $I_E$ . Ці струми створюють на резисторі  $R_{n+1}$  спад напруги:

$$\begin{aligned} U_{R_{n+1}} &= (I_{К_{n+1}} + I_{Б_{n+4}}) R_{n+1} = \\ &= [(I_E h_{21E}) / (h_{21E} + 1) + I_{Б_{n+4}}] R_{n+1} \approx I_E R_{n+1}. \end{aligned}$$

Ця напруга перетворюється вихідним емітерним повторювачем на транзисторі  $VT_{n+4}$  на вихідну напругу  $U_{y1}$ :

$$U_{y1} \approx -U_{БЕVT_{n+4}} - I_E R_{n+1}.$$

Чисельно напруга  $U_{y1}$  приблизно дорівнює  $-1,7$  В.

Якщо хоча б на один із входів схеми  $x_0, \dots, x_{n-1}$  подано напругу, що перевищує за рівнем  $U_{оп}$  ( $-1,3$  В), то відповідний транзистор  $VT$  перейде в активний режим роботи. Його струм дорівнюватиме струму  $I_E$ , що змінить рівні вихідної напруги:

$$\begin{aligned} U_{y2} &= -U_{БЕVT_{n+3}} - I_E R_n, \\ U_{y1} &= -I_{БVT_{n+4}} R_{n+1} - U_{БЕVT_{n+4}}. \end{aligned}$$

Із викладеного випливає, що розглянута схема реалізує за виходом  $y_2$  операцію АБО—НЕ, а за виходом  $y_1$  — операцію АБО:

$$\begin{aligned} y_1 &= (x_0 + x_1 + \dots + x_{n-1}), \\ y_2 &= \overline{(x_0 + x_1 + \dots + x_{n-1})}. \end{aligned}$$

Резистори  $R_0 - R_{n-1}$  увімкнені між базами транзисторів  $VT_1 - VT_n$  і виводом  $-U_{ж}$ ; вони забезпечують замкнений стан цих транзисторів за відсутності вхідного сигналу. Це дає змогу

не турбуватися про підключення невикористаних входів ІС до виводів джерела живлення.

Особливістю схмотехнічної побудови елементів ЕЗЛ є використання для підключення загальної шини власне перемикача струму і вихідних емітерних повторювачів різних виводів ІС. Споживаний струм, що проходить у цих колах, має якісно різний характер. Як було зазначено раніше, принцип роботи перемикача струму полягає у споживанні постійного струму, оскільки його робота пов'язана з перерозподілом струму емітерного резистора  $R_E$ .

Емітерні повторювачі споживають імпульсний струм. До того ж для поліпшення частотних властивостей опори резисторів, що підключають до виводів  $y_1$  і  $y_2$  ІС, вибирають дуже малими ( $R_{зоб} = 75... 100$  Ом). Тому спільне живлення цих кіл через малу величину логічного перепаду може призводити до помилкового спрацьовування сусідніх елементів, тобто до появи перебоїв під час оброблення інформації (внутрішніх завод). Поділ кіл живлення дає змогу усунути цей недолік.

Роздільне живлення перемикачів струму і вихідних емітерних повторювачів дає змогу додатково вирішити завдання зниження потужності, що розсіюється в реальній апаратурі. Через те що вихідна напруга елемента лежить у діапазоні  $-0,9...-1,7$ В, то для живлення зовнішніх резисторів можна використати напругу, що не перевищує 2В. Таке рішення при малих опорах  $R_{зоб}$  дає змогу значно зменшити втрати потужності.

Розглянуті функціональні можливості БЛЕ ЕЗЛ можуть бути істотно розширені простими схмотехнічними прийомами. Для цього зазвичай використовують два прийоми:

- спільне вмикання виходів кількох елементів на загальне навантаження;
- багатоярусне вмикання перемикачів струму.

Перший прийом використовує властивість емітерних повторювачів підтримувати високий рівень вихідної напруги, якщо хоча б один з паралельно з'єднаних транзисторів увімкнений (рис. 4.13). Логічні операції, реалізовані при об'єднанні виходів двох елементів з двома входами, що працюють зі змінними  $x_1, x_0$  та  $y_1, y_0$ , наведено в табл. 4.3.

Другий прийом ґрунтується на послідовному (багатоярусно-

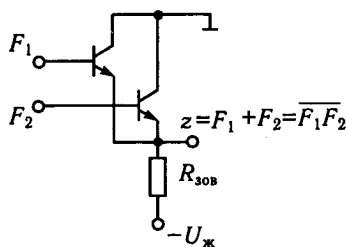


Рис. 4.13. Спільне вмикання виходів кількох ЛЕ ЕЗЛ

Таблиця 4.3. Логічні операції, виконувані БЛЕ ЕЗЛ при об'єднанні їх виходів

Тип з'єднання	Вихідні сигнали	Тип виконуваної операції
Інверсні виходи	$z = \frac{(x_1 + x_0) + (y_1 + y_0)}{(x_1 + x_0)(y_1 + y_0)} =$	НЕ
Прямі виходи	$z = x_1 + x_0 + y_1 + y_0$	АБО

му) увімкненні перемикачів струму, що дає змогу реалізувати складніші логічні функції.

Ідея побудови багатоярусних перемикачів полягає у використанні як навантажувального елемента транзистора нижнього ярусу додаткового перемикача струму, що утворить наступний ярус схеми. При цьому для проходження струму через перемикачі струму вищого ярусу мають бути увімкнені відповідні транзистори нижчого ярусу схеми.

З наведеного вище можна зробити висновок, що особливістю схем ЕЗЛ є широке використання схемотехнічних рішень для одержання в ІС різних логічних функцій. При цьому сама схемотехніка є функціонально гнучкою. Це дає змогу ефективніше, тобто при більш простих, ніж у ТТЛ, схемотехнічних витратах реалізувати складні функції алгебри логіки. Цю властивість широко застосовують при розробленні ВІС на основі базових матричних кристалів.

#### 4.4.3. Способи підвищення швидкодії

Інерційності, зумовленої часом розсмоктування носіїв біполярного транзистора, у БЛЕ ЕЗЛ немає, тому підвищення швидкодії може бути досягнуто тільки зменшенням вхідної і сумарної ємності колекторного вузла схеми. Цей спосіб реалізований у так званих елементах  $E^2$ ЗЛ. Ідея їх побудови полягає у відмовленні від застосування повторювачів за емітером у вихідному колі елемента і перенесенні їх у його вхідне коло. При цьому ємність навантаження повторювача за емітером, тобто власне вхідна ємність перемикача струму, при перерахуванні в його вхідне коло зменшується в  $h_{21E}$  разів ( $C_{вх} = C_n / h_{21E}$ ). Елемент такого типу має зменшену енергію перемикачання.

Іншим способом підвищення швидкодії є зменшення рівня логічного перепаду і напруги живлення. Цей спосіб використаний при розробленні ЕЗЛ для режиму малого сигналу (МЕЗЛ).

Таблиця 4.4. Основні параметри БЛЕ ЕЗЛ

Тип елемента	Серія	$t_{\text{зт порівн' нс}}$	$P_{\text{потр, мВт}}$	$U_{\text{пер, мВ}}$	$U_{\text{л, В}}$	$U_{\text{ж, В}}$
ЕЗЛ	500...1500	2	25	130...160	0,8	5,2
Е <sup>2</sup> ЗЛ	—	0,5...0,8	5	130...160	0,6	5,2
МЕЗЛ	—	0,5...0,8	5	40...50	0,4	2...3

Однак через те що при цьому сильно спадає заводостійкість БЛЕ, це рішення застосовують тільки при розробленні СВІС. При цьому вхідні і вихідні сигнали самої ІС містяться на стандартному рівні ТТЛ. Типові характеристики БЛЕ ЕЗЛ різних типів наведено в табл. 4.4.

## 4.5. БЛЕ на МДН-транзисторах

### 4.5.1. Особливості використання МДН-транзистора

Поширенню МДН-схемотехніки сприяли такі її особливості: більш проста технологія виготовлення (коротший технологічний цикл виготовлення), що зумовлює підвищення відсотка виходу роботоздатних виробів;

менші геометричні розміри приладу і більш прості схемотехнічні рішення, що при однаковій з біполярною ІС площі кристала дає змогу розмістити на ньому складнішу за виконуваними функціями схему чи при однаковій функціональній складності одержати меншу площу кристала, що також підвищує вихід роботоздатних виробів (менший вплив дефектів вихідного напівпровідника).

Разом з тим при розробленні ІС МДН ураховують такі особливості цього класу приладів:

1) МДН-транзистор має гірші перемикальні властивості порівняно з біполярним транзистором. Це виявляється в більшому вихідному опорі і, отже, у більшій залишковій напрузі у ввімкненому стані;

2) залишкова напруга на ввімкненому МДН-транзисторі значно залежить від керуючої напруги. Стосовно до логічних схем це означає сильну залежність напруги логічного «0» від напруги логічної «1». Послабити цю залежність можна зменшенням абсолютного струму стоку у ввімкненому стані, що потребує використання в перемикачі на МДН-транзисторі високого навантаження;

3) необхідність застосування власного навантаження з високим опором при фіксованій ємності (вхідної ємності аналогіч-

ного елемента) збільшує постійну часу, що визначає тривалість фронту і спад вихідної напруги ЛЕ. Це призводить до спаду його швидкодії;

4) через особливості, розглянуті вище (нестабільність вихідних логічних рівнів), для забезпечення достатньої завадостійкості ЛЕ на МДН-транзисторах мають працювати при великих значеннях логічного перепаду. Це також сприяє спаду швидкодії елемента.

Слід зазначити, що необхідність застосування навантаження з високим опором має і позитивну властивість, що виявляється в зменшенні потужності, яка розсіюється в перемикачі на МДН-транзисторі.

Схемотехнічні рішення, використовувані при побудові ІС МДН, спрямовані на усунення розглянутих вище недоліків елементарного перемикача. Тому при побудові ІС схема перемикача з навантажувальним резистором не використовується. Широкого поширення дістала схема перемикача з навантажувальним МДН-транзистором, що забезпечує збільшення струму перезарядження ємності навантаження, а отже, і швидкодії перемикача. Це додатково дає змогу спростити технологію виготовлення ІС, через те що зі схеми вилучають всі пасивні елементи (резистори) і її будують тільки на однотипних елементах — МДН-транзисторах.

Залежно від типу використовуваного транзистора розрізняють ІС *n*-МОН- і *p*-МОН-типів. Розглянемо побудову БЛЕ з використанням *n*-МОН-транзисторів. На рис. 4.14, *a*, *б* зображено принципові електричні схеми БЛЕ з двома входами, що реалізують операції  $2I - HE$  та  $2ABO - HE$ .

Обидві схеми містять по три транзистори, з яких VT1 виконує роль активного навантаження, а VT2 і VT3 є власне тран-

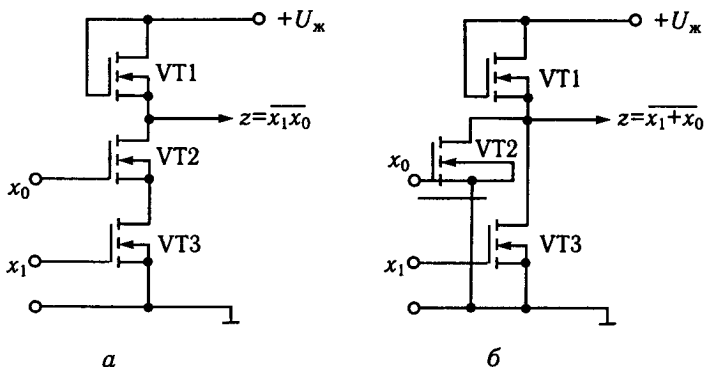


Рис. 4.14. Принципові електричні схеми БЛЕ на МДП-транзисторах: *a* —  $2I - HE$ ; *б* —  $2ABO - HE$

зисторними перемикачами, що реалізують логічні операції. На рис. 4.14, *a* транзистори VT2 і VT3 увімкнені послідовно. Тому для появи на виході схеми низької напруги на затвори обох транзисторів слід подати високу напругу, достатню для проходження струму активного навантаження. На рис. 4.14, *б* транзистори VT2 і VT3 увімкнені паралельно. Тому при подаванні на затвор кожного з них високої напруги на виході буде сформована напруга низького рівня.

Збільшення числа початкових змінних елемента потребує збільшення кількості послідовно або паралельно увімкнених транзисторів.

Тому, використовуючи наведений принцип з мінімальними схемотехнічними витратами, можна легко побудувати логічний елемент із потрібним числом входів.

#### 4.5.2. Схемотехніка БЛЕ КМОН-типу

Збільшення швидкодії ІС МДН потребує збільшення струмів перезарядження ємності навантаження. Однак це обмежується зростанням споживаної потужності і збільшенням нестабільності вихідних логічних рівнів. Подолати зазначене протиріччя можна або технологічно, створюючи транзистори з меншою вхідною ємністю, або схемотехнічним шляхом, застосовуючи схему перемикача на транзисторах з каналами різного типу (комплементарні транзистори). Ці перемикачі, з одного боку, дають змогу значно збільшити струми перезарядження ємності навантаження, а з другого — максимально зменшити потужність, що розсіюється в елементі. Нагадаємо, що перемикач на комплементарних транзисторах у разі правильного вибору параметрів вхідних у нього елементів у статичному режимі роботи споживає незначну потужність від джерела живлення.

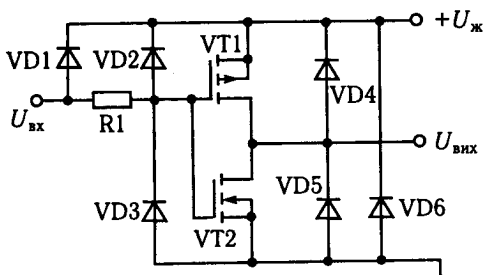


Рис. 4.15. Принципова електрична схема транзисторного перемикача ІС КМОН

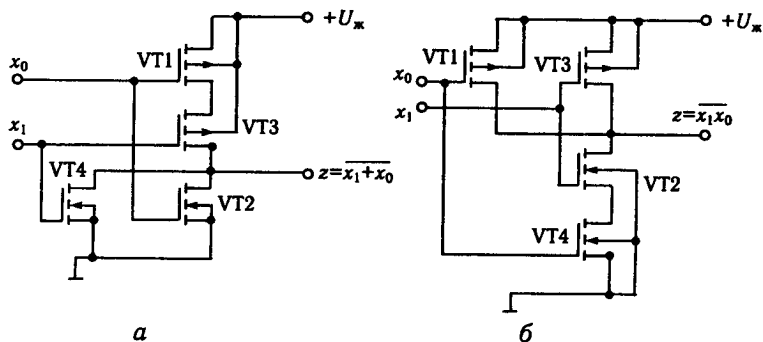


Рис. 4.16. Принципові електричні схеми БЛЕ КМОН-типу:  
 а – 2I-HE; б – 2АБО-HE

Споживана елементом потужність у статичному режимі тотожна потужності, що віддається ним у навантаження. Через те що навантаженням елемента є входні кола аналогічних елементів, що мають суто ємнісний характер, то потужність від джерела живлення витрачається тільки в динамічному режимі на перезарядження цієї ємності.

На рис. 4.15 наведено принципову електричну схему транзисторного перемикача, використовуваного в ІС КМОН. Її можна поділити на три частини: вхідний діодно-резисторний обмежувач напруги; власне перемикач на КМОН-транзисторах; вихідне діодне коло. Вхідний опір транзисторів, використовуваних у схемі перемикача, досягає значень до  $10^{12}$  Ом. При товщині ізоляції між затвором і напівпровідником 50...70 мкм його власна пробивна напруга становить 150...200 В. Це потребує введення в ЛЕ спеціальної схеми захисту від статичної електрики, що може потрапити на його вхід у процесі збереження чи монтажу. Роль цієї схеми виконує вхідний діодно-резисторний обмежувач на елементах VD1, VD2, VD3 і R1. Ця схема обмежує напругу на вході транзисторного перемикача в діапазоні від  $U_{ж} = -0,7$  В до  $U_{ж} = +0,7$  В.

Елементи вихідного діодного кола VD4, VD5, VD6, утворені відповідними областями самого транзисторного перемикача, не є обов'язковими. Наявність цих діодів накладає додаткові обмеження на використання ЛЕ. Завжди має виконуватися нерівність

$$|U_{вх} - U_{вих}| < U_{ж}$$

Інакше діоди вхідного обмежувача і вихідного кола можуть відкриватися, що спричинює шунтування кола живлення елемента. Останнє може бути причиною його пробую. Тому напруга живлення на КМОН-схемі завжди має подаватися

Таблиця 4.5. Основні параметри БЛЕ КМОН

$U_{\text{вих min}}^1$ , В	$U_{\text{вих min}}^0$ , В	$t_{\text{зт порівн}}$ , нс	$F_{\text{max}}$ , МГц	$I_{\text{сп}}$ , мкА	$U_{\text{ж}}$ , В	$K_{\text{роз}}$	$C_{\text{вх}}$ , пФ
8	0,3	30( $C_{\text{н}}=15$ пФ) 100( $C_{\text{н}}=100$ пФ)	1	0,1	3...15 (9)	50	5

до вмикання і зніматися після вимкнення вхідного інформаційного сигналу.

Схемотехнічно БЛЕ КМОН-типу повторюють схеми елементів  $n$ -МОН- і  $p$ -МОН-типів. Відмінність полягає в тому, що завжди використовують пари транзисторів. При цьому якщо для реалізації заданої логічної функції транзистори з каналом  $n$ -типу вмикають послідовно, то парні їм транзистори  $p$ -типу — паралельно, і навпаки. На рис. 4.16 зображено принципові електричні схеми, що реалізують логічні операції 2І—НЕ і 2АБО—НЕ. Для спрощення на схемах не показані елементи вхідних і вихідних кіл перемикача.

До особливостей схем БЛЕ належить також відсутність додаткового навантажувального транзистора. Його роль виконує один із транзисторів перемикача.

Аналіз схем дає змогу дійти важливого практичного висновку про те, що аналогічно БЛЕ ТТЛ для БЛЕ КМОН паралельне вмикання кількох їхніх виходів заборонено.

Найважливіші параметри БЛЕ КМОН наведено у табл. 4.5.

Слід також зазначити, що КМОН-елементи мають високу завадостійкість — до 40 % напруги живлення.

## 4.6. БЛЕ інтегрально-інжекційної логіки

Для підвищення технологічності виготовлення при розробленні ІС потрібно застосовувати схемотехнічні рішення, що використовують тільки однотипні елементи, наприклад транзистори. Цей шлях, як було показано раніше, реалізований у ІС МДП, що поряд з іншими перевагами зумовлює їх поширення. Проте, як уже зазначалося, перемикач на біполярних транзисторах на сьогодні має кращі як перемикальні, так і частотні властивості. Це є передумовою до постійного пошуку нових схемотехнічних рішень для реалізації біполярних ІС. Так, майже одночасно розробили елементи інтегральної інжекційної логіки ( $I^2L$ ) фірми Philips і ІВМ. Відповідну принципову електричну схему БЛЕ  $I^2L$  наведено на рис. 4.17.



Особливостями елементів  $I^2L$  є такі:

— відсутність резисторів, що значно спрощує технологію виробництва ІС;

— використання принципу живлення за струмом, за яким в ІС задається не напруга, а струм, який безпосередньо інжектується в область напівпровідника, що утворює структуру одного з транзисторів;

— просторове сполучення в кристалі напівпровідника областей, що функціонально належать різним транзисторам. При цьому структура розташовується як по горизонталі, так і по вертикалі. Це дає змогу відмовитися від застосування спеціальних рішень для вилучення областей, що належать різним елементам, як потрібно робити в елементах ТТЛ і ЕЗЛ;

— мале значення логічного перепаду, що дає змогу максимально збільшити швидкодію елемента.

У наведеній схемі (рис. 4.17) багатоколекторний транзистор VT2 виконує функцію інвертування вхідного сигналу, а транзистор VT1 — генератора (інжектора) базового струму транзистора VT2. До особливостей елемента належить і постійність струму інжектора у всіх режимах роботи елемента. Струм інжектора задає резистор R, який виконують загальним на групу елементів.

Особливістю елемента  $I^2L$  є можливість змінювати струм інжектора в значних межах, а також його швидкодію. Реально струм інжектора може змінюватися від 1 нА до 1 мА, тобто на 6 порядків. Оскільки для заданої схемотехніки енергія перемикання елемента — величина постійна, у таких самих межах може змінюватися і швидкодія елемента.

Принцип дії схеми  $I^2L$  такий. Припустімо, зовнішнього сигналу, що відповідає сигналу логічної «1», на вході елемента (база транзистора VT2) немає. У цьому випадку струм інжектора, проходячи в базу транзистора VT2, насичує його. На його колекторах, а отже, і на вихідних виводах елемента наявна напруга низького рівня, яка дорівнює напрузі насичення транзистора VT2. Реально це 0,1...0,2В.

Якщо база транзистора VT2 безпосередньо чи через насичений транзистор підключена до загальної шини, то транзистор VT2 вимкнений, тому що струм інжектора замикається на загальну шину, минаючи його емітерний перехід. У цьому випадку напруга на його колекторах визначається зовнішніми колами. При послідовному вмиканні кількох інверторів ця

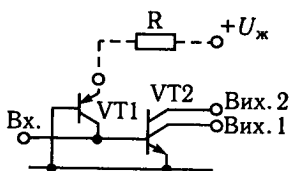


Рис. 4.17. Принципова електрична схема БЛЕ  $I^2L$

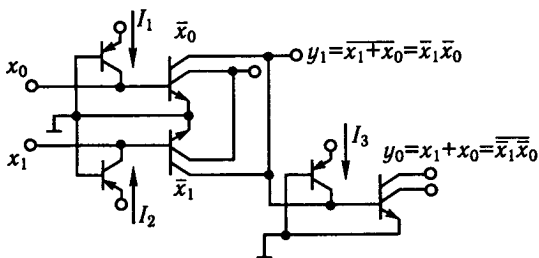


Рис. 4.18. Реалізація логічних операцій 2І–НЕ і 2АБО–НЕ на БЛЕ  $I^2L$

напруга дорівнює напрузі емітерного переходу наступного транзистора. Отже, для БЛЕ  $I^2L$  справедливі такі співвідношення:  $U^0 = 0,1 \dots 0,2$  В,  $U^1 = 0,6 \dots 0,7$  В. Із цих співвідношень випливає, що логічний перепад для БЛЕ  $I^2L$  становить  $0,4 \dots 0,6$  В.

У разі використання наведеної схеми можна реалізувати основні логічні операції І–НЕ і АБО–НЕ. На рис. 4.18 зображено логічну схему, побудовану на трьох інверторах  $I^2L$ .

Особливістю елементів  $I^2L$  є можливість паралельного вмикання кількох їхніх виходів. Із наведеної схеми випливає, що при паралельному вмиканні кількох виходів у загальній точці щодо початкових змінних реалізується логічна операція АБО–НЕ. Щодо вихідних сигналів елементів реалізується логічна операція І. Отже, якщо непотрібний гальванічний поділ між вхідними і вихідними сигналами, то логічна операція І виконується без будь-яких додаткових схемотехнічних витрат простим об'єднанням відповідних виходів БЛЕ. Після інвертування результату виконаної операції АБО–НЕ додатковим елементом щодо початкових змінних реалізується логічна операція АБО, а щодо вихідних сигналів перших елементів – операція І–НЕ.

БЛЕ  $I^2L$  дає змогу максимально уніфікувати структуру ІС, знизивши площу її кристала, і або зменшити її споживання, або підвищити швидкодію. Типовий час затримки поширення БЛЕ  $I^2L$  при струмі інжектора  $0,1$  мкА становить  $10$  нс. При цьому енергія перемикавання для цього елемента на кілька порядків менша, ніж для елемента ТТЛ.

Через невелику завадостійкість, зумовлену малим логічним перепадом, БЛЕ  $I^2L$  використовують лише у складі ВІС і СВІС; як окремі ІС малого ступеня інтеграції їх не розробляють. При цьому вхідні і вихідні кола ІС, виконаних за

технологією  $I^2L$ , виконують сумісними за логічними рівняннями із сигналами ТТЛ.

### Контрольні запитання і завдання

1. Що спільного та які відмінності потенціального й імпульсного способів подання логічним «0» і логічною «1»?
2. Зобразіть амплітудну (передавальну) характеристику ЛЕ інвертора.
3. Чим визначається зона імпульсної завадостійкості ЛЕ?
4. Наведіть динамічні параметри ЛЕ.
5. Назвіть основні схематичні рішення, застосовувані при створенні базових ЛЕ різних типів; порівняйте їх за технічними параметрами.
6. Наведіть схемні різновиди елементів ТТЛ. Яке їх призначення?
7. Чим пояснюється значне поширення елементів ТТЛ-типу?
8. Чому рівні напруг  $U^0$  та  $U^1$  ТТЛ-елементів стандартні у цифрових пристроях?
9. У чому полягає особливість структури багатосмітерного транзистора в елементах ТТЛ-типу?
10. Назвіть основні статичні та динамічні параметри і характеристики елементів ТТЛ-типу.
11. Перелічіть варіанти модифікацій елементів ТТЛ-типу і цілі, для яких вони розроблені.
12. Яке призначення діодів і транзисторів Шоттки в схемах БЛЕ ТТЛШ?
13. Чим пояснюється висока швидкодія елементів ЕЗЛ-типу?
14. Які основні частини можна виділити в схемі базового елемента ЕЗЛ-типу?
15. Зобразіть схему перемикача струму як основи базового ЛЕ ЕЗЛ. Як можна розширити функції базового ЛЕ ЕЗЛ?
16. Які схематичні способи підвищення швидкодії базового ЛЕ ЕЗЛ?
17. Проаналізуйте статичні характеристики елементів ЕЗЛ-типу.
18. Яка схема є базовою для логічних елементів МДН-типу? Назвіть варіанти її виконання.
19. У чому полягають переваги елементів КМДН-типу?
20. Які особливості елементів  $I^2L$ -типу?
21. Наведіть схему базового ЛЕ  $I^2L$ .
22. Проаналізуйте логічні елементи за основними класифікаційними ознаками.

### 5.1. Етапи побудови логічної схеми

Якщо досвід побудови (синтезу) логічних схем у розробника невеликий, то можна рекомендувати йому таку послідовність дій.

**Етап 1.** Укладання таблиці істинності. Найскладніший, але дуже поширений на практиці спосіб завдання схеми — це пояснення її роботи на понятійному рівні у вигляді набору фраз звичайної мови. Складність етапу пов'язана з тим, що завдання описується неформальними термінами, які допускають неоднозначне його тлумачення. Основна мета етапу — формалізація завдання, у процесі якого потрібно проаналізувати значення функції для кожної комбінації значень аргументів. Результат етапу — таблиця істинності. Це вже завдання, неоднозначне тлумачення якого неможливе. Тільки якщо таблиця через значне число змінних виявляється занадто громіздкою або якщо функція проста і зміст її абсолютно зрозумілий, можна починати безпосередньо з написання аналітичної формули.

**Етап 2.** Якщо функція визначена не на всіх наборах аргументів, то потрібно ліквідувати неоднозначність таблиці. У разі малого числа невизначених значень краще розглянути кілька варіантів. Якщо число умовних значень або самих аргументів велике, то, можливо, доведеться повністю довизначити функцію всіма нулями або всіма одиницями — так, щоб у результаті зменшити число членів ДДНФ прямої функції або її інверсії.

**Етап 3.** За цілком визначеною таблицею скласти ДДНФ. Якщо розглядається кілька варіантів або якщо є сподівання, що інверсія функції реалізуватиметься краще, то в подальшій роботі братимуть участь кілька варіантів ДДНФ.

**Етап 4.** Мінімізувати ДДНФ будь-якими доступними методами. На цьому етапі іноді потрібна рішучість, щоб припинити пошук кращого варіанта (якого, можливо, і не існує).

**Етап 5.** Реалізувати знайдені диз'юнктивні форми на логічному базисі заданої серії елементів. Спробувати варіанти реалізації на  $I-АБО-НЕ$  і на  $I-НЕ, АБО-НЕ$ .

**Етап 6.** Оцінити властивості двоїстості логічної схеми з урахуванням зміни числа входних і вихідних інверторів.

**Етап 7.** Спробувати знайти таку декомпозицію функції, щоб кожен фрагмент отриманого розкладання залежав від меншого числа аргументів, ніж початкова функція. Спробувати виконати це різними способами.

**Етап 8.** Вибрати з отриманих на етапах 5, 6, 7 варіантів найпридатніший з погляду поставленої мети.

## 5.2. Синтез логічних пристроїв у заданому базисі ЛЕ

При побудові логічних пристроїв звичайно не користуються функціонально повною системою ЛЕ, яку реалізують усі три основні логічні операції:  $I, АБО$  і  $НЕ$ . На практиці з метою скорочення номенклатури елементів користуються функціонально повною системою елементів, яка містить тільки два елементи, що виконують операції  $I-НЕ$  і  $АБО-НЕ$ , або навіть тільки один із цих елементів, причому число входів цих елементів зазвичай задано. Через це питання синтезу логічних пристроїв у заданому базисі ЛЕ мають неабияке практичне значення.

Перед тим як перейти безпосередньо до питань синтезу логічних пристроїв у заданому базисі ЛЕ, укладемо таблицю (табл. 5.1), в яку для зручності зведемо можливі форми подання вихідних сигналів елементів  $2I-НЕ$  і  $2АБО-НЕ$  за умови, що на їхні входи подані логічні змінні  $x_1$  та  $x_0$ .

На основі цієї таблиці кожен функцію алгебри логіки (ФАЛ) можна записати в базисі ЛЕ. При цьому використовують два технічних прийоми: подвійне інвертування вихідного виразу або його частини та застосування теорем де Морґана.

Якщо потрібно звести ФАЛ до базису ЛЕ  $I-НЕ$ , то за допомогою зазначених прийомів функцію можна звести до виду, що містить тільки операції логічного множення й інверсії. Далі її переписують через умовні позначки операції  $I-НЕ$ .

Таблиця 5.1. Форма запису основних логічних операцій

Елемент	Умовне позначення операції	Форма подання вихідного сигналу
$2I-НЕ$ (штрих Шеффера)	$x_1   x_0$	$\overline{x_1 x_0}; \overline{x_1 + x_0}$
$2АБО-НЕ$ (стрілка Пірса)	$x_1 \downarrow x_0$	$\overline{x_1 + x_0}; \overline{x_1 x_0}$

Аналогічно роблять при зведенні ФАЛ до базису ЛЕ АБО – НЕ. У цьому випадку у виразі залишають тільки операції логічного додавання й інверсії.

**Приклад.** Задана ФАЛ  $z(x) = x_3x_0 + (\overline{x_3x_2x_0})(\overline{x_2} + x_1)$ . Звести до базисів ЛЕ І – НЕ і АБО – НЕ.

Базис ЛЕ І – НЕ:

$$\begin{aligned} z(x) &= \overline{\overline{x_3x_0 + (\overline{x_3x_2x_0})(\overline{x_2} + x_1)}} = \overline{x_3x_0(\overline{x_3x_2x_0})(\overline{x_2} + x_1)} = \\ &= \overline{x_3x_0 \cdot \overline{x_3x_2x_0} \cdot \overline{x_2}x_1} = (x_3 | x_0) | ((\overline{x_3} | x_2 | \overline{x_0}) | (x_2 | \overline{x_1})). \end{aligned}$$

Базис ЛЕ АБО – НЕ:

$$\begin{aligned} z(x) &= \overline{x_3x_0} + (\overline{x_3x_2x_0})(\overline{x_2} + x_1) = \overline{x_3} + x_0 + \overline{x_3x_2x_0} + \overline{x_2} + x_1 = \\ &= \overline{x_3} + x_0 + x_3 + x_2 + x_0 + \overline{x_2} + x_1 = \\ &= (\overline{x_3} \downarrow x_0) \downarrow ((x_3 \downarrow x_2 \downarrow x_0) \downarrow (\overline{x_2} \downarrow x_1)). \end{aligned}$$

### 5.3. Особливості побудови логічних пристроїв на реальній елементній базі

Як уже зазначалося, звичайно задано не тільки тип ЛЕ, а й число його входів. Це означає, що задано число початкових змінних, над якими виконується логічна операція. При цьому зазвичай реальне число входів заданих логічних елементів не відповідає числу змінних в отриманих після відповідного перетворення виразах. Виникає одна з таких ситуацій:

- число входів ЛЕ більше, ніж число змінних, які входять у реалізовану з їхньою допомогою ФАЛ;
- число входів ЛЕ менше, ніж число змінних, які входять у реалізовану з їхньою допомогою ФАЛ.

Розглянемо деякі прийоми, використовувані для розв'язання зазначених суперечностей.

**Число входів ЛЕ більше за необхідне.** Для розгляду цього випадку введемо поняття активного і пасивного логічних рівнів.

*Активним* логічним рівнем називають таке значення початкової змінної, яке однозначно визначає вихідний сигнал ЛЕ.

Для з'ясування того, які логічні сигнали для елементів І – НЕ і АБО – НЕ є активними, розглянемо таблицю істинності (табл. 5.2) для цих елементів за умови дії на їхніх входах двох логічних сигналів істинності.

Таблиця 5.2. Узагальнена таблиця істинності основних логічних операцій

$x_1$	$x_2$	$x_1 x_2$	$x_1 + x_2$	$\frac{x_1   x_2}{x_1 x_2}$	$\frac{x_1 \downarrow x_2}{x_1 + x_2}$
0	0	0	0	1	1
0	1	0	1	1	0
1	0	0	1	1	0
1	1	1	1	0	0

З табл. 5.2 видно, що для елемента І–НЕ активним логічним рівнем є сигнал логічного «0», тому що наявність цього сигналу хоча б на одному вході цього елемента однозначно визначає одержання на виході сигналу логічної «1». Отже, сигнал логічної «1» для цього елемента є пасивним.

За аналогією зі сказаним для елемента АБО–НЕ активним є сигнал логічної «1», що однозначно визначає появу на виході сигналу логічного «0»:

$$\text{І–НЕ} \rightarrow \begin{cases} 0 - \text{активний,} \\ 1 - \text{пасивний;} \end{cases} \quad \text{АБО–НЕ} \rightarrow \begin{cases} 1 - \text{активний,} \\ 0 - \text{пасивний.} \end{cases}$$

Слід зазначити, що для логічного елемента з  $n$ -входами не має значення, скільки пасивних і активних рівнів є на його входах. Важливий факт наявності або відсутності на входах хоча б одного активного логічного рівня.

Зі сказаного випливає, що зменшити фактичне число входів ЛЕ можна, подаючи на входи, які не використовуються, сигнали пасивних логічних констант: «0» — для елементів АБО–НЕ, «1» — для елементів І–НЕ.

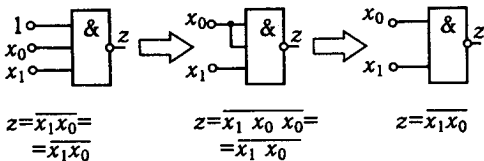
Інший прийом зменшення фактичного числа входів ЛЕ ґрунтується на використанні теореми, відповідно до якої  $x + x = x$  і  $x \cdot x = x$ , тому на кілька входів ЛЕ можна подавати ту саму логічну змінну (рис. 5.1).

Наслідком цього є два практичних висновки.

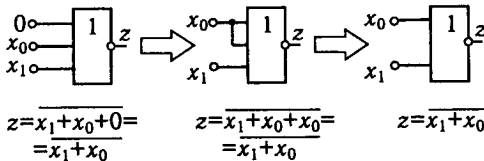
1. Якщо на всі входи  $n$ -входового елемента І–НЕ або АБО–НЕ подати той самий логічний сигнал, то щодо цього сигналу елемент перетворюється на інвертор (рис. 5.2).

2. Якщо на  $n-1$  вхід  $n$ -входового елемента І–НЕ або АБО–НЕ подати пасивні логічні сигнали, то відносно  $n$ -го входу елемент перетворюється на інвертор (рис. 5.2).

**Число входів ЛЕ менше за необхідне.** Ця ситуація складніша, ніж та, що розглянута раніше. Наведемо два типових розв'язання.



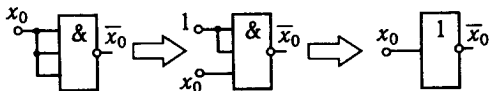
a



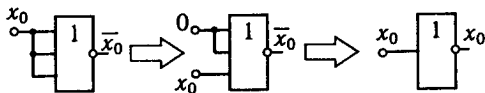
б

Рис. 5.1. Зменшення фактичного числа входів елементів:

a – І-НЕ; б – АБО-НЕ



a



б

Рис. 5.2. Перетворення елементів на інвертори:

a – ЗІ-НЕ; б – ЗАБО-НЕ

1. Члени вихідної МДНФ містять загальні логічні змінні. У цьому випадку загальні для кількох елементарних добутоків змінні можна подати у вигляді загальних множників і винести за дужку.

**Приклад 1.** Звести ФАЛ

$z(x) = x_3 x_0 + \overline{x_3 x_2 x_1} + x_2 x_1 \overline{x_0}$  до базису ЛЕ 2І-НЕ.

$$\begin{aligned}
 z(x) &= x_3 x_0 + \overline{x_3 x_2 x_1} + x_2 x_1 \overline{x_0} = x_3 x_0 + \overline{\overline{x_3 x_2 + x_2 x_0}} = \\
 &= x_3 x_0 + \overline{\overline{x_3 x_2 x_2 x_0}} = \overline{\overline{x_3 x_0 + x_1((\overline{x_3} | x_2) | (x_2 | \overline{x_0}))}} = \\
 &= \overline{\overline{x_3 x_0 x_1(x_3 | x_2) | (x_2 | x_0)}} = (x_3 | x_0) | (x_1 | ((\overline{x_3} | x_2) | (x_2 | \overline{x_0}))) = \\
 &= (x_3 | x_0) | (x_1 | (((\overline{x_3} | 1) | (x_2 | 1)) | (x_2 | (x_0 | 1))))).
 \end{aligned}$$



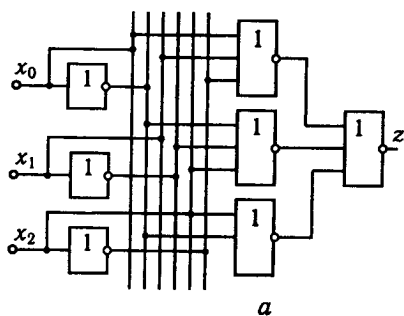
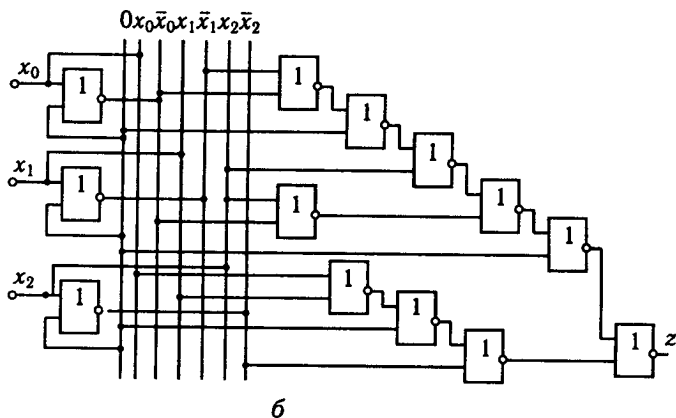


Рис. 5.3. Логічні схеми пристроїв, побудованих за скінченим (а) і перетвореним (б) виразами



2. Члени вихідної МДНФ не містять спільних логічних змінних.

У цьому випадку можна скористатися однією з таких тотожностей:

$$x_2 | x_1 | x_0 = x_2 | \overline{(x_1 | x_0)}, \quad x_2 \downarrow x_1 \downarrow x_0 = x_2 \downarrow \overline{(x_1 \downarrow x_0)}.$$

Наведені тотожності справедливі для будь-якого числа початкових змінних. Так, для чотирьох змінних дістанемо

$$\begin{aligned} x_3 | x_2 | x_1 | x_0 &= x_3 | \overline{(x_2 | x_1 | x_0)} = x_3 | \overline{(x_2 | x_1 | x_0)} = \\ &= \overline{(x_3 | x_2)} | \overline{(x_1 | x_0)}, \quad x_3 \downarrow x_2 \downarrow x_1 \downarrow x_0 = x_3 \downarrow \overline{(x_2 \downarrow x_1 \downarrow x_0)} = \\ &= x_3 \downarrow \overline{\overline{(x_2 \downarrow (x_1 \downarrow x_0))}} = \overline{(x_3 \downarrow x_2)} \downarrow \overline{(x_1 \downarrow x_0)}. \end{aligned}$$

**Приклад 2.** Звести ФАЛ

$z(x) = (\overline{x_2} + x_1 + x_0)(x_2 + \overline{x_0})(x_2 + \overline{x_1} + \overline{x_0})$  до базису елементів 2АБО-НЕ.

Двічі виконаємо інвертування ФАЛ:

$$\begin{aligned}
 z(x) &= \overline{\overline{(x_2 + x_1 + x_0)}(x_2 + \overline{x_0})(x_2 + \overline{x_1} + \overline{x_0})} = \\
 &= \overline{(x_2 + x_1 + x_0) + (x_2 + \overline{x_0}) + (x_2 + \overline{x_1} + \overline{x_0})} = \\
 &= (\overline{x_2} \downarrow x_1 \downarrow x_0) \downarrow (x_2 \downarrow \overline{x_0})(x_2 \downarrow \overline{x_1} \downarrow \overline{x_0}) = \\
 &= (\overline{x_2} \downarrow \overline{(x_1 \downarrow x_0)}) \downarrow (x_2 \downarrow \overline{x_0}) \downarrow (x_2 \downarrow \overline{(\overline{x_1} \downarrow \overline{x_0})}).
 \end{aligned}$$

На рис. 5.3 наведено логічні схеми пристроїв, побудованих за скінченим  $z = (\overline{x_2} + x_1 + x_0)(x_2 + \overline{x_0})(x_2 + \overline{x_1} + \overline{x_0})$  і перетвореним  $z = (\overline{x_2} \downarrow \overline{(x_1 \downarrow x_0)}) \downarrow (x_2 \downarrow \overline{x_0}) \downarrow (x_2 \downarrow \overline{x_1} \downarrow \overline{x_0})$  виразами. Порівнюючи ці схеми, можна дійти висновку, що зменшення числа входів, використовуваних ЛЕ, призводить до збільшення їхньої кількості і, отже, ускладнює реалізацію пристрою.

## 5.4. Логічні елементи для реалізації складних функцій

Під час розроблення складних логічних пристроїв доводиться послідовно виконувати однотипні операції типу І—АБО—НЕ над різним числом змінних. Для спрощення технічної реалізації і зменшення числа зовнішніх з'єднань, що веде до підвищення надійності пристрою, у серіях ІС містяться елементи, які виконують подібні послідовності логічних операцій. Як приклад на рис. 5.4 наведено деякі з них.

Досить часто під час розроблення цифрових пристроїв використовують операцію «сума за модулем два», тому подамо її визначення та основні властивості. Операцію «сума за модулем два» (виключне АБО, логічна нерівнозначність) позначають символом  $\oplus$  і визначають із співвідношення

$$x \oplus y = \overline{xy} \vee x\overline{y} = (\overline{x} \vee \overline{y})(x \vee y).$$

Операція «сума за модулем два» комутативна, асоціативна і дистрибутивна щодо операції кон'юнкції, тобто

$$x \oplus y = y \oplus x;$$

$$x \oplus (y \oplus z) = (x \oplus y) \oplus z;$$

$$x(y \oplus z) = xy \oplus xz.$$

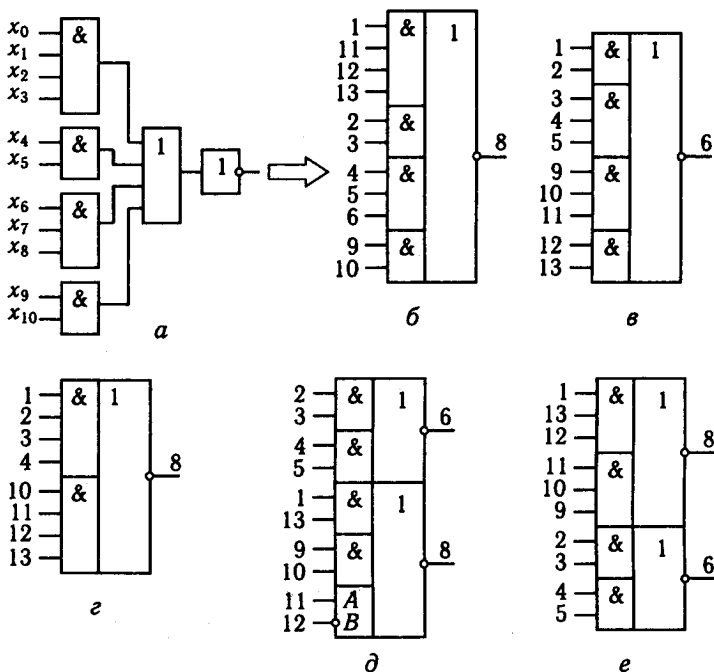


Рис. 5.4. Елементи логічних операцій:

*a* – логічна схема 4–2–3–2I–4АБО–НЕ; *б* – її умовне графічне позначення (К531ЛР9П); *в* – логічний елемент 2–3–3–2I–4АБО–НЕ (К155ЛР13); *г* – логічний елемент 2–4I–4АБО–НЕ (К155ЛР4); *д* – два логічних елементи 2–2I–2АБО–НЕ, один із розширенням за АБО (К155ЛР1); *е* – два логічних елементи 4–2–3–2I–4АБО–НЕ (К155ЛР11)

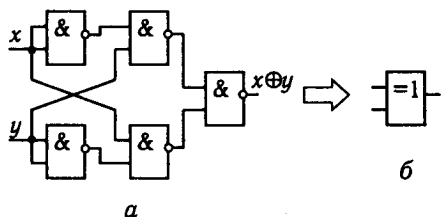


Рис. 5.5. Технічна реалізація ЛЕ:

*a* – структурна схема реалізації операції виключне АБО; *б* – її умовне позначення

Для операції «сума за модулем два» справедливі такі тождества:

$$x \oplus 0 = x; \quad x \oplus 1 = \bar{x}; \quad x \oplus x = 0; \quad x \oplus \bar{x} = 1;$$

$$\overline{x \oplus y} = \bar{x}\bar{y} \vee xy = (\bar{x} \vee y)(x \vee \bar{y}) = \bar{x} \oplus y = x \oplus \bar{y}.$$

Операцію  $\overline{x \oplus y}$  називають операцією виключне АБО–НЕ.

Логічні елементи, що виконують операції виключне АБО і виключне АБО — НЕ, завжди мають тільки два входи, тобто операції завжди виконують тільки над двома змінними.

Технічну реалізацію логічного елемента виключне АБО в базисі І — НЕ наведено на рис. 5.5.

## 5.5. Мультиплексори і демультиплексори

Мультиплексором називається комбінаційна схема (КС), що має  $m + 2^m$  входів і один вихід, де  $m$  — число адресних входів;  $2^m$  — число інформаційних входів мультиплексора. Входи мультиплексора поділяють на дві групи: інформаційні і керуючі (адресні). Адреси подаються за двійковим кодом і їм присвоюється номер  $j$ . Кожній адресі з номером  $j$  відповідає свій інформаційний вхід  $A_j$ , сигнал з якого надходить на вихід. Традиційне використання мультиплексорів полягає у керованому передаванні даних від кількох вхідних каналів в один вихідний канал. Кожний із вхідних каналів по черзі підключають до вихідного під керуванням адресного сигналу. Мультиплексор виконує функцію

$$f = \bigvee_{j=0}^{2^m-1} A_j K_j(v), \quad (5.1)$$

де  $v = (x_1, \dots, x_p)$ ,  $x_p$  — адресні сигнали;  $p = 1, 2, \dots, m$ ;  $A_j$  — вхідні інформаційні сигнали мультиплексора.

Принципову схему 4-канального мультиплексора, що має два адресних входи  $x_1$  і  $x_2$ , зображено на рис. 5.6.

Випускаються серії мікросхем, до яких входять мультиплексори, що мають число адресних входів  $m = 2, 3$  і  $4$ , причому при числі адресних входів  $m = 2$  виготовляють здвоєні 4-канальні ( $2^m = 4$ ) мультиплексори, число вхідних інформаційних сигналів яких  $2^m + 2^m = 8$  (ці мультиплексори мають два виходи, а адреса з номером  $j$  керує двома вхідними інформаційними сигналами  $A_j$  і  $B_j$ ). Умовне графічне позначення здвоєного 4-канального мультиплексора зі стробуванням наведено на рис. 5.7 (мікросхема 155КП2).

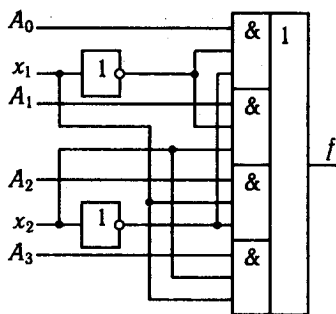


Рис. 5.6. 4-Канальний мультиплексор

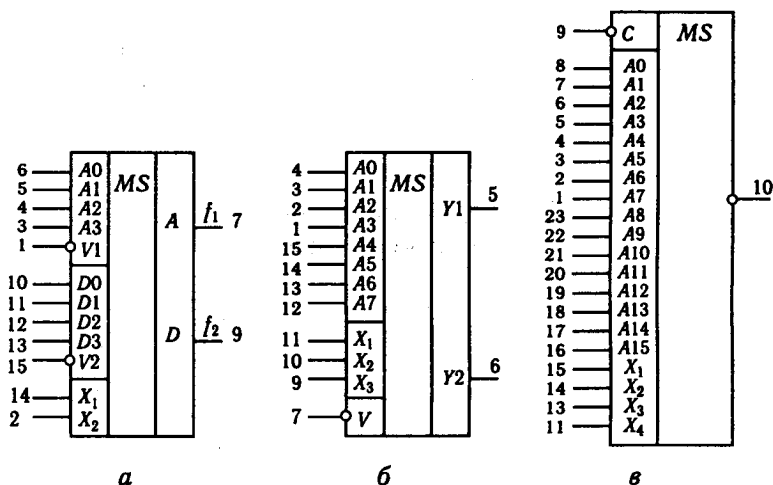


Рис. 5.7. Схеми мультиплексорів:

*a* – здвоєний селектор-мультиплексор 4–1 К155КП2; *б* – селектор-мультиплексор на 8 каналів К155КП7; *в* – те саме, на 16 каналів К155КП1

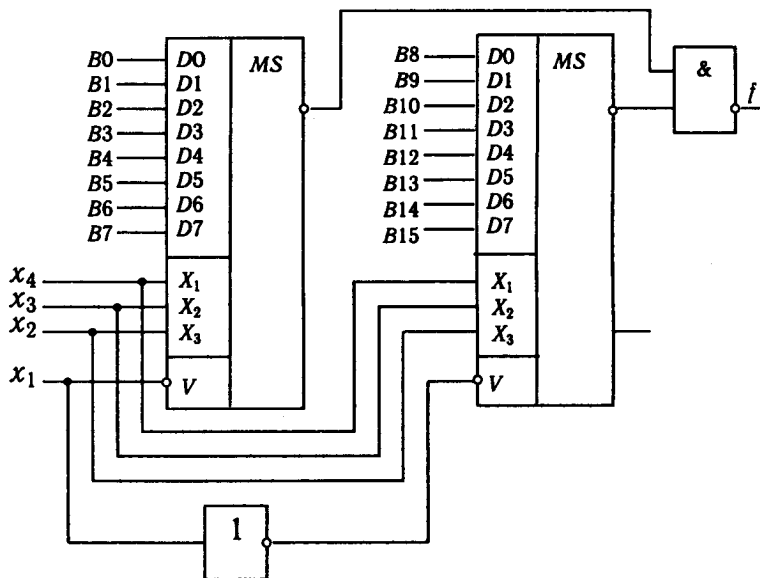


Рис. 5.8. 16-Канальний мультиплексор, побудований на двох 8-канальних селекторах-мультиплексорах К155КП7

Цей мультиплексор виконує функції:

$$f_1 = V_1 \bigvee_{j=0}^3 A_j K_j(v); \quad f_2 = V_2 \bigvee_{j=0}^3 D_j K_j(v),$$

де  $v = (x_1, x_2)$ ;  $\bar{V}_1$  і  $\bar{V}_2$  — входи стробування. Входи стробування використовують для побудови комутаторів з  $k2^m$  інформаційними входами ( $k = 2, 3, 4, \dots$ ) на основі  $2^m$ -каналних мультиплексорів. На рис. 5.8 зображено 16-каналний комутатор, виконаний на двох 8-каналних селекторах-мультиплексорах (мікросхеми 155КП7). Цей комутатор виконує функцію

$$f = \bigvee_{j=0}^{15} D_j K_j(v), \text{ де } v = (x_1, x_2, x_3, x_4). \text{ Вхід стробування } \bar{V} \text{ використаний як додатковий адресний вхід.}$$

Мікросхема К155КП1 (рис. 5.7, *в*) є 16-каналним мультиплексором зі стробуванням (селектор-мультиплексор). З двох мікросхем К155КП1 за зазначеним принципом можна виконати 32-каналний мультиплексор. Для одержання 64-каналного мультиплексора використовують чотири мікросхеми К155КП1 і ЛЕ I—HE, що має чотири входи, а керування входами  $\bar{V}$  виконують інверсним унітарним 4-розрядним кодом, для чого слід застосовувати 4-каналний дешифратор-демультиплексор К155ИД4 у режимі дешифратора.

Мультиплексори можна виконувати на основі двонапрямлених аналогових перемикачів. Такі мультиплексори випускають у серіях ІС зі структурою КМОН, наприклад К564КП1 — здвоєний 4-каналний мультиплексор та К564КП2 — 8-каналний мультиплексор. У цих мультиплексорах при значенні сигналу стробування  $V = 1$  установлюється високий вихідний імпеданс, що дає змогу при побудові комутаторів з числом інформаційних входів  $k2^m$ , де  $k = 2, 3, \dots, 16$ , об'єднувати

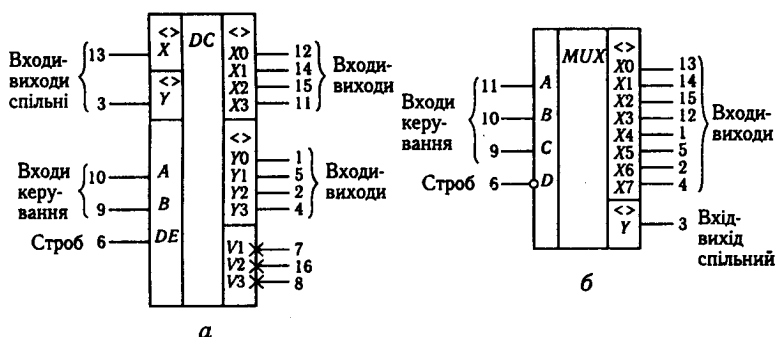


Рис. 5.9. Здвоєний 4-каналний мультиплексор К564КП1 (а) та 8-каналний мультиплексор К564КП2 (б)

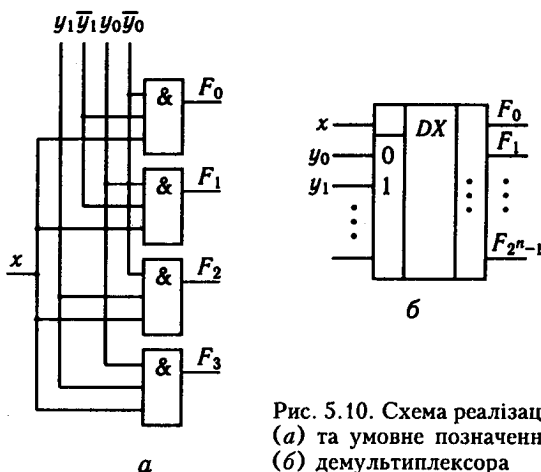


Рис. 5.10. Схема реалізації (а) та умовне позначення (б) демультиплексора

виходи мультимплексорів за допомогою монтажного АБО (схема 16-канального комутатора подібна до схеми рис. 5.9, за винятком того, що немає елемента І–НЕ і мультимплексори мають з'єднані разом прямі виходи).

Демультиплексори виконують функцію, обернену мультимплексорам, тобто роблять комутацію одного інформаційного вхідного сигналу на  $2^m$  виходів, де  $m$  – число адресних входів.

Побудову демультиплексора для комутації одного інформаційного вхідного сигналу на 4 виходи ( $1 \rightarrow 4$ ) на елементах І наведено на рис. 5.10. Роботу демультиплексора можна описати логічними виразами

$$f_i = xm_i; \quad i = 0, 2^n - 1,$$

де  $m_i$  – мінтерми змінних.

Умовно демультиплексор позначають літерами  $DХ$ . Стосовно до мультимплексорів і демультиплексорів використовують також термін *селектори даних*.

## 5.6. Синтез комбінаційних схем на мультимплексорах

Крім основного призначення (комутації сигналів) мультимплексори можна використовувати для побудови постійних запам'ятовувальних пристроїв (ПЗП) обсягом  $2^m \times 1$  біт ( $m$  – число адресних входів) і для синтезу КС, що виконують будь-яку функцію  $f(v)$ . При використанні мультимплексорів як ПЗП на інформаційні входи надходять незмінні в часі сигнали

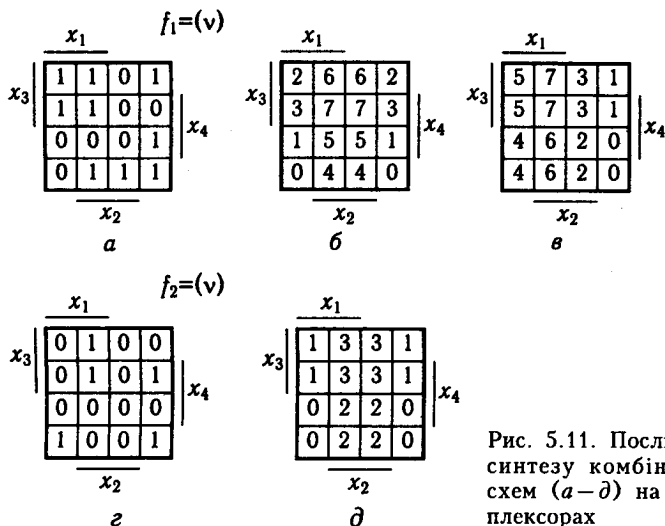


Рис. 5.11. Послідовність синтезу комбінаційних схем (а–д) на мультиплексорах

0 та 1. Зчитування цих сигналів виконується через подавання відповідних сигналів на адресні входи. У цьому випадку мультиплексор реалізує деяку функцію, подану в досконалій диз'юнктивній нормальній формі (ДДНФ). Дійсно, якщо у виразі (5.1) взяти  $A_j = a_j = 0$  і 1, то мультиплексор виконуватиме функцію

$$f(v) = \bigvee_{j=0}^{2^m-1} a_j K_j(v), \quad (5.2)$$

де  $v = (x_1, \dots, x_m)$ .

Співвідношення є ДДНФ функції  $f(v)$ .

Розглянемо методику синтезу КС на мультиплексорах. Нехай потрібно реалізувати функцію  $f_1(v)$ , задану діаграмою Вейча (рис. 5.11, а). Мінімальна нормальна форма (МНФ) цієї функції у базисі І–НЕ має вигляд

$$\overline{\overline{\overline{\overline{x_1 x_3 x_2 x_3 x_4 x_1 x_2 x_3 x_1 x_2 x_3}}}}} \quad (5.3)$$

Для реалізації цієї функції на 8-канальному мультиплексорі адресу визначатимемо числом  $j = e_2 e_3 e_4$  ( $x = e_p = 0$  або 1,  $p = 2, 3, 4$ ). Нумерацію клітин діаграми Вейча числами  $j$  показано на рис. 5.11, б. Кожній адресі  $j = 0, 1, \dots, 7$  відповідає свій інформаційний вхід  $A_j$ . Необхідно знайти мінімальну форму восьми функцій  $A_j = f_j(x_1)$ . Це можна виконати за допомогою діаграми Вейча на рис. 5.11, а, з огляду на те, що числа  $j$  поділили її на вісім частин, тобто на вісім діаграм Вейча для



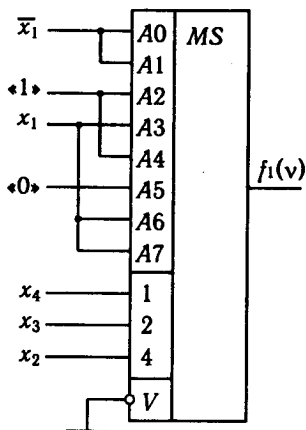


Рис. 5.12. Комбінаційна схема на 8-каналному мультиплексорі

одній змінній  $x_1$ , які складаються з двох клітин. З рис. 5.11, а, б випливає, що

$$A_0 = \bar{x}_1; A_1 = \bar{x}_1; A_2 = 1; A_3 = x_1; A_4 = 1; A_5 = 0; A_6 = x_1; A_7 = x_1.$$

Схему, яка реалізує функцію  $f_1(v)$ , наведено на рис. 5.12 (мультиплексор 564КП2).

Основною задачею при синтезі КС на мультиплексорах є оптимальний вибір змінних, які подаються на його адресні входи, тому що складність функцій  $A_j$ , а отже, і КС у загальному випадку залежить від зробленого вибору. В розглянутому прикладі на інформаційні входи  $A_j$  мають подаватися функції однієї змінної  $x_p$  ( $p = \text{const}$ ): 0,

1,  $\bar{x}_p$ ,  $x_p$ , тому що три з чотирьох змінних подаються на адресні входи. Критерієм оптимальності вибору адресних змінних у цьому випадку може бути кількість функцій  $A_j$ , яка дорівнює 0 і 1, тому що такі інформаційні входи не будуть навантажувати кола, які формують сигнали  $\bar{x}_p$  та  $x_p$ .

Правило вибору адресних змінних можна встановити на основі розгляду МДНФ реалізованої функції. Очевидно, що для найраціональнішого використання адресних входів на них слід подавати ті змінні, від яких найбільше залежить МДНФ функції. Так, якщо в МДНФ функції яка-небудь змінна  $x_p$  взагалі не входить, то не треба використовувати її як адресну змінну, тому що відповідний адресний вхід не буде мати ніякого логічного навантаження. Через це як адресні змінні потрібно використовувати ті змінні  $x_p$ , що входять у МДНФ найбільше число разів як з інверсією  $\bar{x}_p$ , так і без неї  $x_p$ . З рис. 5.11, а випливає, що МДНФ функції  $f_1(v)$  має два подання:

$$\begin{aligned} f_1(v) &= x_1 x_3 \vee x_2 \bar{x}_3 \bar{x}_4 \vee \bar{x}_1 \bar{x}_2 \bar{x}_3 \vee \bar{x}_1 \bar{x}_2 \bar{x}_4; \\ f_1'(v) &= x_1 x_3 \vee x_2 \bar{x}_3 \bar{x}_4 \vee \bar{x}_1 \bar{x}_2 \bar{x}_3 \vee \bar{x}_1 x_3 \bar{x}_4. \end{aligned} \quad (5.4)$$

Змінна  $x_4$  в обох поданих МДНФ входить найменше число разів стосовно до інших змінних, тому як адресні змінні слід вибрати змінні  $x_1$ ,  $x_2$  і  $x_3$ . На рис. 5.11, а показано нумерацію клітин діаграми Вейча числами  $j = e_1 e_2 e_3$  ( $x_p = e_p = 0$  або

1,  $p = 1, 2, 3$ ), що поділяють діаграму Вейча на вісім частин іншим способом, ніж це наведено на рис. 5.11, б. З рис. 5.11, а, в випливає, що

$$\begin{aligned} A_0 &= 1; & A_1 &= \bar{x}_4; & A_2 &= \bar{x}_4; \\ A_3 &= 0; & A_4 &= 0; & A_5 &= 0; \\ A_6 &= \bar{x}_4; & A_7 &= 1. \end{aligned}$$

У цьому випадку п'ять функцій  $A_j$  дорівнюють 0 і 1, у той час як у попередньому прикладі тільки три функції дорівнювали 0 і 1.

Розглянемо спільну мінімізацію двох функцій  $f_1(v)$  та  $f_2(v)$ , заданих діаграмами Вейча на рис. 5.11, а, г, на здвоєних 4-канальних мультиплексорах. З рис. 5.11, г випливає, що МДНФ функції

$$f_2(v) = x_1 x_2 x_3 \vee \bar{x}_2 \bar{x}_3 \bar{x}_4 \vee \bar{x}_1 \bar{x}_2 x_3 x_4. \quad (5.5)$$

У цьому прикладі основною задачею є також оптимальний вибір двох змінних, які подаються на адресні входи. Через те що ці входи керують обома частинами здвоєного 4-канального мультиплексора, то потрібно відшукати ті дві змінні, які сумарно входять у МДНФ функцій  $f_1(v)$  та  $f_2(v)$  найбільше число разів. З наведених МДНФ функцій  $f_1(v)$  та  $f_2(v)$  випливає, що такими змінними є змінні  $x_2$  та  $x_3$ .

На рис. 5.11, д показано нумерацію клітин діаграми Вейча числами  $j = e_2 e_3$  ( $x_p = e_p = 0$  або 1,  $p = 2, 3$ ), що поділяє діаграму Вейча для чотирьох змінних на чотири частини (на чотири діаграми Вейча для двох змінних  $x_1$  і  $x_4$ ).

Зробивши мінімізацію функцій  $A_i = f(x_1, x_4)$  для функції  $f_1(v)$  і  $B_i = \varphi(x_1, x_4)$  для функції  $f_2(v)$ , дістанемо

$$\begin{aligned} A_0 &= \bar{x}_1; & A_1 &= \bar{x}_1 x_4; & A_2 &= \bar{x}_4; & A_3 &= x_1; \\ B_0 &= \bar{x}_4; & B_1 &= \bar{x}_1 x_4; & B_2 &= 0; & B_3 &= x_1. \end{aligned}$$

Відповідну цим функціям схему зображено на рис. 5.13.

Мультиплексори можна використовувати для перетворення паралельного коду, який подається на інформаційні входи, у послідовний, який знімається з виходу, якщо адреси задавати лічильником, стан якого змінюється тактовим сигналом.

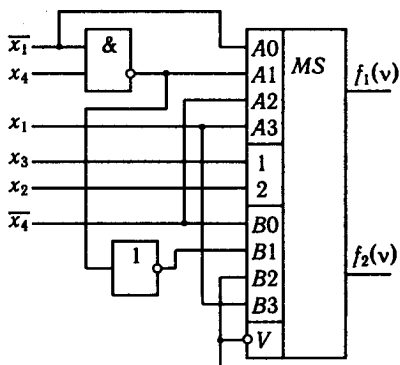


Рис. 5.13. Комбінаційна схема на здвоєному 4-канальному мультиплексорі

## 5.7. Дешифратори, дешифратори-демультиплексори і шифратори

Дешифратори і шифратори належать до числа перетворювачів кодів. З поняттям шифрування пов'язане уявлення про стиск даних, з поняттям дешифрування — обернене перетворення.

В умовних позначеннях дешифраторів і шифраторів використовують літери *DC* і *CD* (відповідно від слів *decoder* і *coder*).

*Повним дешифратором* називають КС, що має  $n$  входів,  $2^n$  виходів і реалізує на кожному виході функцію, що є мінтермом  $n$  змінних  $F_i(v)$ , де  $v = (x_1, \dots, x_n)$ ;  $x_s$  — вхідні сигнали ( $s = 1, 2, \dots, n$ );  $i = 0, 1, 2, \dots, 2^n - 1$ . У повному дешифраторі кожній комбінації значень вхідних сигналів відповідає сигнал, який дорівнює 1, тільки на одному виході. Інакше кажучи, залежно від вхідного коду на виході збуджується одне з кіл. На рис. 5.14, *a* зображено принципову схему дешифратора, що має два входи  $x_1$  і  $x_2$  та реалізує чотири мінтерми  $F_0$ ,  $F_1$ ,  $F_2$  і  $F_3$  (дешифратор  $2 \times 4$ ). Умовне графічне позначення цього дешифратора наведено на рис. 5.14, *б*. У лівому полі зазначені ваги вхідних сигналів  $x_1$  і  $x_2$ , комбінації значень яких розглядають як двійкові числа. Кожному вхідному двійковому числу відповідає сигнал, який дорівнює 1 тільки на виході, номер якого, зазначений у правому полі, збігається з двійковим числом.

*Дешифратори* можуть бути *неповними*, які реалізують  $m < 2^n$  мінтермів. Такі дешифратори використовують, наприклад, для перетворення двійково-десятькового коду на код, призначений для керування десятковим індикатором (дешифратори  $4 \times 10$ ). На рис. 5.15 наведено умовне графічне позначення дешифратора  $4 \times 10$  (наприклад, мікросхеми К155ИД1). Мікросхема 155ИД1 призначена для керування високовольтним десятковим індикатором (лампами з холодним катодом із системою цифр від 0 до 9).

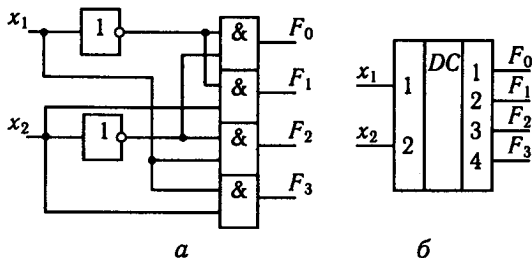


Рис. 5.14. Дешифратор  $2 \times 4$ :  
*a* — принципова схема; *б* — умовне графічне позначення

Дешифратори є перетворювачами кодів, що виконують перетворення двійкового і двійково-десятькового кодів на унітарний код. Унітарний код двійкового  $n$ -розрядного числа подається  $2^n$  розрядами, тільки один з розрядів якого дорівнює 1.

Із наведеного випливає, що дешифратор реалізує окремий випадок демультіплексора. Отже, схему дешифратора можна дістати зі схеми демультіплексора при вимкненні з неї інформаційного входу та використанні адресних входів як інформаційних. Ця схема є одноступінчастою.

Під час розроблення ІС набуло поширення кілька логічних структур дешифратора. Їх основна відмінність між собою полягає у швидкодії та числі використовуваних елементарних ЛЕ.

Найбільш швидкодійним і разом з тим найскладнішим є одноступінчастий, або паралельний, дешифратор. Якщо для реалізації оброблення одного вхідного логічного сигналу потрібна деяка умовна одиниця апаратних засобів, число одиниць цих апаратних засобів для  $n$ -розрядного дешифратора визначають за виразом  $N = n \cdot 2^n$ .

Якщо під час проектування основною вимогою є простота схемного рішення, застосовують інші структури дешифраторів, наприклад дешифратори пірамідальної структури, багатоступінчасті дешифратори. Проте спрощення структури досягається за рахунок спадання швидкодії.

Ідея побудови пірамідального дешифратора заснована на тому, що для одержання дешифратора  $n$ -розрядного коду потрібно двічі повторити всі комбінації  $n$ -розрядного коду відповідно зі значеннями  $(n + 1)$ -го розряду 0 і 1. Схематичну реалізацію цього принципу на прикладі перетворення 3-розрядного вхідного коду зображено на рис. 5.16, де штрихпунктирною лінією виділено схему паралельного 2-розрядного дешифратора. За числом необхідних елементарних ЛЕ цей дешифратор простіший від одноступінчастого. Число умовних апаратних одиниць, необхідних для реалізації цього принципу  $n$ -розрядного дешифратора,

$$N = 2 \cdot 2^n + (n - 1)2^{n-1}. \quad (5.6)$$

При великих розрядностях вхідного коду зазначений принцип можна використовувати кілька разів. Якщо потрібно ще

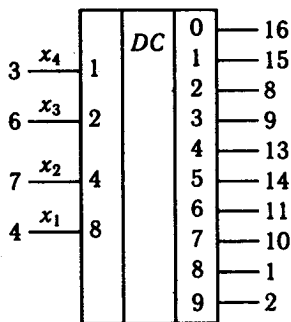


Рис. 5.15. Дешифратор 4×10 (мікросхема К155ИД1)

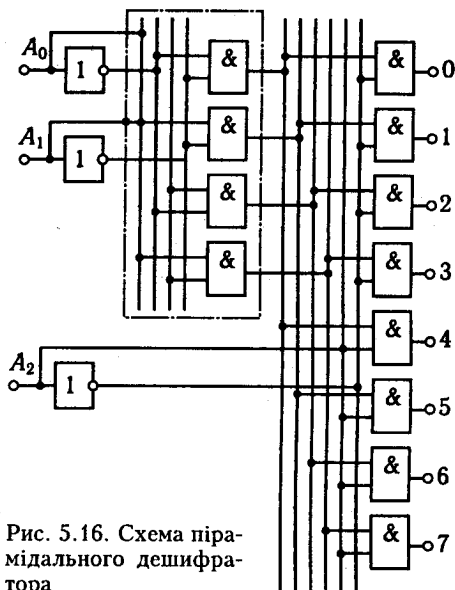


Рис. 5.16. Схема пірамідального дешифратора

більше спростити схему дешифратора, використовують багатоступінчасті структури. Ідея їх побудови подібна до ідеї побудови пірамідальних дешифраторів. Реалізацію цього принципу на прикладі дешифратора 4-розрядного коду показано на рис. 5.17. За цим способом для побудови дешифратора потрібно  $N = 2 \cdot 2^n + 2(n/2)2^{n/2}$  умовних одиниць апаратних засобів.

Переваги багатоступінчастих структур виявляються у разі збільшення розрядності вхідного коду. Значного поширення вони набули при побудові мікросхем пам'яті. Так, при побудові дешифратора 20-розрядного вхідного коду (використовують при побудові ІС пам'яті обсягом 1 Мбайт) паралельний дешифратор потребує  $2,097 \cdot 10^7$  умовних апаратних одиниць. При одноразовому використанні принципу побудови пірамідального дешифратора буде потрібно  $1,20 \cdot 10^7$ , а при одноразовому використанні принципу багатоступінчастого дешифратора —  $2,118 \cdot 10^6$  умовних апаратних одиниць.

У дешифраторах часто передбачається операція стробування, що дає змогу виробляти вихідні сигнали тільки у визначених інтервалах часу. Стробування може здійснюватися введенням додаткового входу паралельно інформаційним (рис. 5.18, а) у кожний елемент дешифратора або блокуванням усіх елементів через одне з вхідних кіл (рис. 5.18, б).

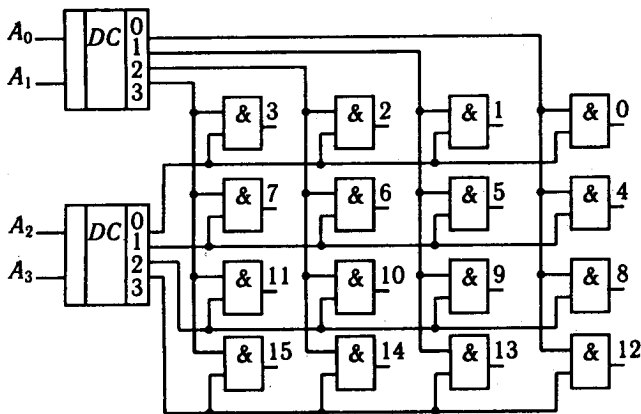


Рис. 5.17. Схема багатоступінчастого дешифратора

В останньому випадку при нульовому значенні сигналу стробування штучно формуються нулі в колах прямого й інверсного значень змінної, що забезпечує наявність хоча б одного нуля в числі вхідних величин для кожного елемента дешифратора. При цьому усі виходи зводять до нульових значень, тому що будь-яка змінна в прямому чи інверсному вигляді надходить на всі елементи дешифратора. При одиничному значенні сигналу стробування відновлюється нормальне коло передавання змінної на входи дешифратора.

Описані варіанти можна назвати стробуванням за виходом і стробуванням за входом.

Час установлення вихідного сигналу

$$t_y = \max(t_3^{10}, t_3^{01}),$$

тому що при зміні стану дешифратора на одному з виходів сигнал виникає, а на другому — зникає.

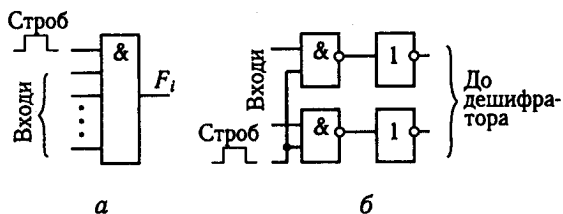


Рис. 5.18. Способи стробування дешифратора:

а — введення додаткового входу; б — блокування вхідних кіл

При стробуванні за виходом затримка відносно початку сигналу дозволу становить  $t_y = t_3^{01}$ , а при стробуванні за входом

$$t_y = 2t_3 + t_3^{01}.$$

Навантаження дешифратора на джерело сигналів обчислюють з урахуванням того, що кожна змінна є на вході кожного елемента в прямому або інверсному вигляді, причому обидва використовуються однаковою мірою. Отже, до джерел сигналів буде підключене число входів  $K_p = 2^{n-1}$ .

Одноступінчастий дешифратор — найбільш швидкодійний, але його реалізація при значній розрядності вхідного слова ускладнена, оскільки потребує застосування логічних елементів з великим числом входів ( $n + 1$  для варіантів зі стробуванням за виходом) і супроводжується значним навантаженням на джерела вхідних сигналів. Зазвичай одноступінчасті дешифратори розробляють на невелике число входів, що зумовлено можливостями елементів застосованої серії мікросхем.

Можливість виконання дешифраторів в одному корпусі ІС обмежується великим числом зовнішніх виводів, основну частину яких становлять інформаційні виходи. Дешифратор на п'ять входів має не менш як 40 зовнішніх виводів (5 входів, 32 виходи, вхід стробування, кола живлення і загального виводу), якщо інверсії аргументів виконано усередині схеми дешифратора.

З появою дешифраторів з малим числом розрядів у вигляді СІС виникло питання щодо застосування їх як засобів побудови дешифраторів більшої розрядності, що дає економію апаратурних витрат. Будь-який потрібний дешифратор можна побудувати за пірамідальною структурою. При цьому вхідне слово поділяють на поля, розрядність яких відповідає числу входів наявних СІС дешифраторів, а потім із СІС будують пірамідальну структуру.

У серіях ТТЛ є дешифратори на три входи (К555ИД7), здвоєні дешифратори на два входи (К155ИД4), спеціальні дешифратори для пристроїв індикації тощо. Дешифратори на три входи є у серіях 100 і К500 і под.

Схема дешифрування шестирозрядного слова на дешифраторах з трьома входами із стробуванням (рис. 5.19) складається з дев'яти однакових ІС. Загальне стробування здійснюється за входом С першого дешифратора (при  $C = 0$  на усіх виходах першого дешифратора виробляються нульові сигнали, тому пулі будуть і на всіх виходах дешифраторів другого ярусу). На входи першого дешифратора подано три

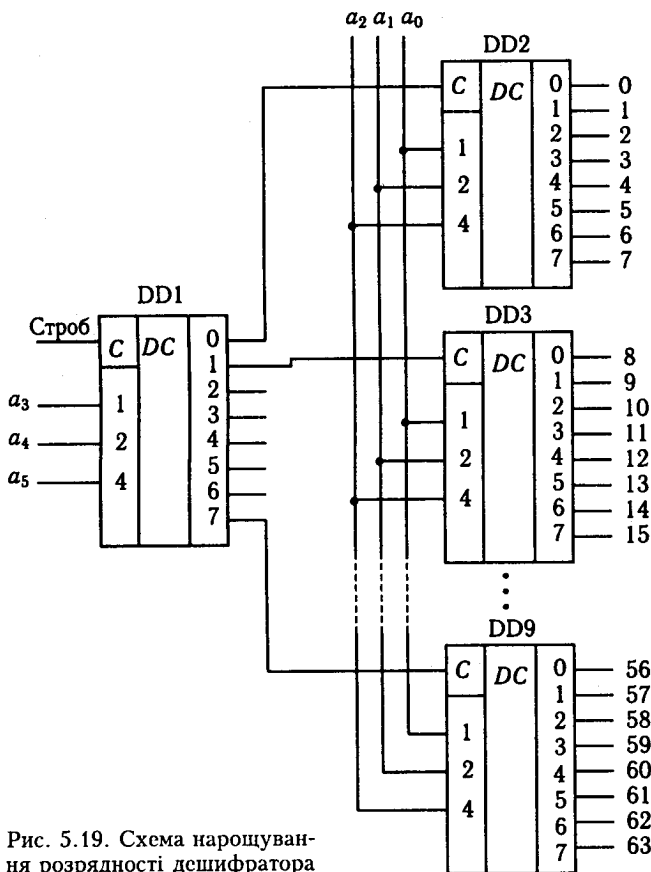


Рис. 5.19. Схема нарощування розрядності дешифратора

старших розряди вхідного слова, значення яких при  $C = 1$  визначає номер збудженої шини на виході, що відмикає один із дешифраторів другого ярусу за його входом стробування. Вибраний у такий спосіб дешифратор розшифровує три молодших розряди слова. Наприклад, для дешифрування слова  $111011 = 59$  маємо на виході дешифратора першого ярусу код 111, що збуджує його сьомий вихід і відмикає  $DC$  9. На вході дешифратора  $DC$  9 діє код 011, тому одиниця з'явиться на його третьому виході, тобто на 59 виході, що і потрібно.

У неповних дешифраторах частина вхідних наборів є неробочою (не використовується). Цю обставину можна розглядати як можливість спрощення дешифратора — неробочим наборам можна надати будь-яке значення виходів.



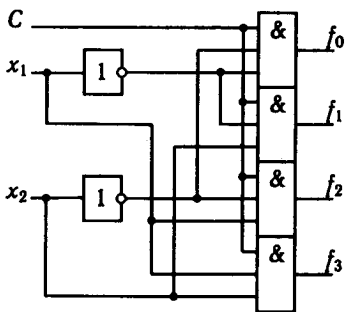
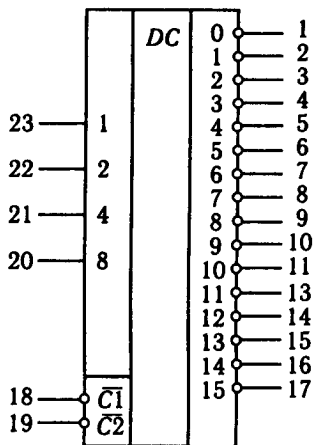


Рис. 5.20. 4-Канальний дешифратор-демультиплексор

Рис. 5.21. 16-Канальний дешифратор-демультиплексор К155ИДЗ



На основі повних дешифраторів будують дешифратори-демультиплексори, що виконують функції  $f_i = CK_i(v)$ , де  $v = (x_1, \dots, x_n)$ ;  $i = 0, 1, 2, \dots, 2^n - 1$ , тобто використовується додатковий вхід  $C$ , сигнал з якого подається на всі ЛЕ І повного дешифратора (рис. 5.20).

Мікросхема К155ИДЗ є дешифратором-демультиплексором (рис. 5.21), що виконує функції

$$f_i = \overline{C_1 C_2} K_i(x_1, x_2, x_3, x_4), \quad (5.7)$$

де  $i = 0, 1, 2, \dots, 15$ , тобто цей дешифратор-демультиплексор є комутатором, що передає сигнал  $\overline{C_1} \overline{C_2}$  на один із 16 виходів залежно від значень сигналів на чотирьох адресних входах 1, 2, 4 і 8. При  $\overline{C_1} = \overline{C_2} \equiv 0$  мікросхема К155ИДЗ виконує функції дешифратора  $4 \times 16$  з інверсними виходами. У лівому полі (рис. 5.21) зазначені ваги вхідних сигналів  $x_p$  ( $p = 1, 2, 3, 4$ ), комбінації значень яких розглядають як двійкові числа. При  $\overline{C_1} = \overline{C_2} \equiv 0$  кожному початковому двійковому числу відповідає сигнал 0 тільки на виході, номер якого, зазначений у правому полі, збігається з двійковим числом.

Використання двох додаткових входів  $\overline{C_1}$  і  $\overline{C_2}$  дає змогу досить просто побудувати 32-канальний дешифратор-демультиплексор і 64-канальний дешифратор з інверсними виходами (дешифратор  $6 \times 64$ ). На рис. 5.22 зображено схему 32-канального дешифратора-демультиплексора, побудованого на основі двох 16-канальних дешифраторів-демультиплексорів (мікросхеми К155ИДЗ). У цій схемі входи  $\overline{C_2}$  використову-

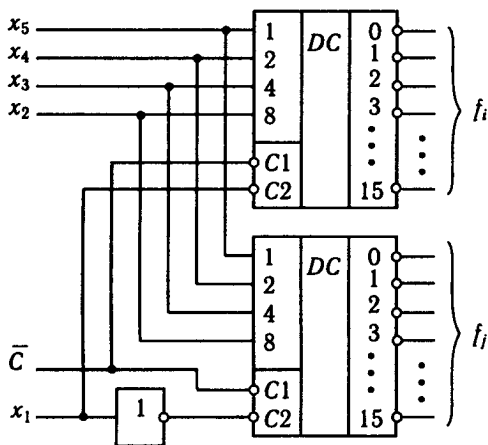


Рис. 5.22. 32-Канальний дешифратор-демультиплексор, побудований на мікросхемах К155ИД3

ють як п'ятий адресний вхід, що має вагу 16, а на вхід  $\bar{C}_1$  подається комотований на 32 виходи сигнал  $\bar{C}$ , тобто схема виконує функції

$$f_i = \overline{CK_i(v)} \quad (5.8)$$

і

$$f_j = f_{i+16} = \overline{CK_{i+16}(v)}, \quad (5.9)$$

де  $v = (x_1, x_2, x_3, x_4, x_5)$ ;  $i = 0, 1, 2, \dots, 15$ .

При  $\bar{C} \equiv 0$  ця схема є дешифратором  $5 \times 32$  з інверсними виходами. Для побудови дешифратора  $6 \times 64$  слід використовувати чотири мікросхеми К155ИД3, у яких усі додаткові входи  $\bar{C}_1$  і  $\bar{C}_2$  мають бути адресними входами (на входи  $\bar{C}_1$  і  $\bar{C}_2$  кожної мікросхеми треба подати одну з чотирьох комбінацій із прямих та інверсних сигналів  $\bar{C}_1$  і  $\bar{C}_2$ , причому всі чотири комбінації мають бути використані).

У вигляді мікросхем виготовляють також здвоєні 4-канальні дешифратори-демультиплексори, наприклад мікросхема К155ИД4 (рис. 5.23, а). Ця мікросхема виконує функції  $f_i = \overline{C_1 C_2 K_i(v)}$  та  $\varphi_i = \overline{W_1 W_2 K_i(v)}$ , де  $v = (x_1, x_2)$ ;  $i = 0, 1, 2, 3$ . При  $\bar{C}_1 = \bar{W}_1 = \bar{W}_2 \equiv 0$  і  $C_2 \equiv 0$  це здвоєний дешифратор  $2 \times 4$  з інверсними виходами. Якщо  $\bar{C}_1 = \bar{W}_1 = \bar{C}$  і  $C_2 = \bar{W}_2 = x_1$ , де входи  $C_2$  та  $\bar{W}_2$  використовують як третій адресний вхід, то це буде 8-канальний дешифратор-демуль-

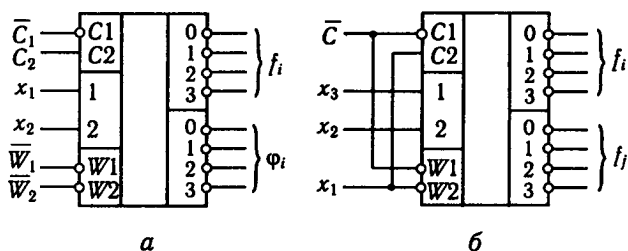


Рис. 5.23. Здвоєний 4-канальний дешифратор-демультиплексор К155ИД4 (а) та 8-канальний дешифратор-демультиплексор, побудований на мікросхемах К155ИД4 (б)

типлексор (рис. 5.23, б), який виконує функції  $f_i = \overline{CK_i(v)}$  і  $f_j = f_{i+4} = \overline{CK_{i+4}(v)}$ , де  $v = (x_1, x_2, x_3)$ ;  $i = 0, 1, 2, 3$ . При  $\bar{C} \equiv 0$  ця схема є дешифратором  $3 \times 8$  з інверсними виходами.

Шифратори виконують функцію, обернену дешифраторам, тобто перетворюють унітарний код на двійковий або двійково-десятковий.

Двійкові шифратори перетворюють код «1 з N» на двійковий код, тобто виконують мікрооперацію, обернену мікрооперації дешифраторів. У разі порушення одного з входних кіл шифратора на його виходах формується слово, що відображає номер збудженого кола. Повний двійковий шифратор має  $2^n$  входів і  $n$  виходів. Одне з основних застосувань шифратора — введення даних із клавіатури, за яким натискання клавіші з десятковою цифрою має приводити до передавання в пристрій двійкового коду цієї цифри (тетради двійково-десятькового коду). В цьому випадку потрібний неповний шифратор 10—4, на прикладі якого розглянемо принципи побудови шифраторів. Функціонування шифратора наведено в табл. 5.3.

Таблиця 5.3. Таблиця істинності функціонування шифратора

Збуджений вхід	Вихід				Збуджений вхід	Вихід			
	$a_3$	$a_2$	$a_1$	$a_0$		$a_3$	$a_2$	$a_1$	$a_0$
$F_0$	0	0	0	0	$F_5$	0	1	0	1
$F_1$	0	0	0	1	$F_6$	0	1	1	0
$F_2$	0	0	1	0	$F_7$	0	1	1	1
$F_3$	0	0	1	1	$F_8$	1	0	0	0
$F_4$	0	1	0	0	$F_9$	1	0	0	1

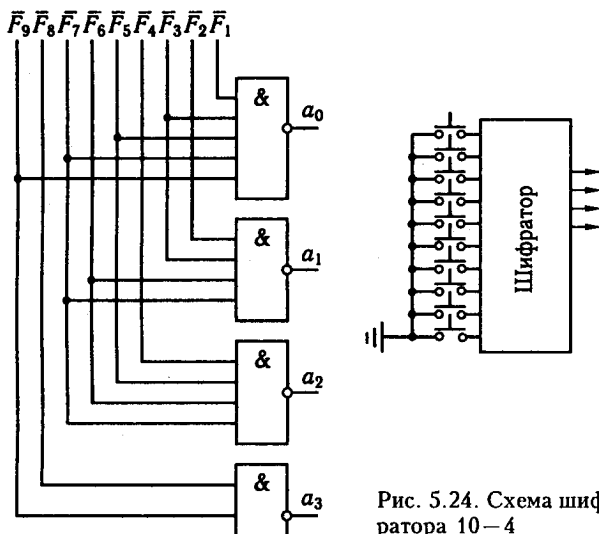


Рис. 5.24. Схема шифратора 10–4

З таблиці випливає, що

$$a_0 = F_1 \vee F_3 \vee F_5 \vee F_7 \vee F_9; \quad a_1 = F_2 \vee F_3 \vee F_6 \vee F_7;$$

$$a_2 = F_4 \vee F_5 \vee F_6 \vee F_7; \quad a_3 = F_8 \vee F_9.$$

Для реалізації шифратора на елементах ТТЛ, які часто застосовують у периферійних пристроях, слід виразити здобуті співвідношення через операцію І–НЕ. Тоді

$$a_0 = \overline{F_1 F_3 F_5 F_7 F_9}; \quad a_1 = \overline{F_2 F_3 F_6 F_7}; \quad a_2 = \overline{F_4 F_5 F_6 F_7}; \quad a_3 = \overline{F_8 F_9}.$$

На підставі цих виразів будують шифратор, наведений на рис. 5.24.

## 5.8. Суматори

*Суматором* називають комбінаційний логічний пристрій, призначений для виконання операції арифметичного додавання чисел, поданих у вигляді двійкових кодів.

Суматори є одним із основних вузлів арифметико-логічного пристрою. Термін «суматор» охоплює широкий спектр пристроїв, починаючи з найпростіших логічних схем і закінчуючи складними цифровими вузлами. Спільним для всіх цих пристроїв є арифметичне додавання чисел, поданих у двій-

ковій формі. Класифікацію суматорів можна виконувати за різними ознаками.

За числом виводів розрізняють півсуматори, одно- та багаторозрядні суматори.

*Півсуматором* називають пристрій, призначений для додавання двох однорозрядних кодів, який має два входи, два виходи та який формує із вхідних сигналів сигнали суми, сигнали перенесення у старший розряд.

*Однорозрядним суматором* називають пристрій, призначений для додавання двох однорозрядних кодів, який має три входи, два виходи та який формує із сигналів вхідних доданків і сигналу перенесення з молодших розрядів сигнали суми та сигнали перенесення у старший розряд.

*Багаторозрядним суматором* називають пристрій, призначений для додавання двох багаторозрядних кодів, який формує на виході код суми і сигнал перенесення у випадку, якщо результат додавання не може бути поданий кодом, розрядність якого збігається з розрядністю кодів доданків.

Багаторозрядні суматори поділяють на послідовні та паралельні. Послідовний суматор виконує додавання чисел порозрядно, починаючи з молодшого розряду. В паралельних суматорах усі розряди вхідних кодів підсумовуються одночасно.

За способом стробування (тактування) розрізняють синхронні й асинхронні суматори. У *синхронних суматорах* час виконання операції арифметичного підсумовування двох кодів не залежить від виду кодів і завжди залишається сталим. У *асинхронних суматорах* час виконання операції залежить від виду кодів доданків. Тому після завершення виконання підсумовування потрібно виробляти спеціальний сигнал завершення операції.

Залежно від використовуваної системи числення розрізняють двійкові, двійково-десяткові та інші типи суматорів.

Дістанемо функції, що описують операції арифметичного додавання двох 1-розрядних двійкових кодів  $x_1$  і  $x_0$ . Алгоритм її виконання пояснюється

Таблиця 5.4. Таблиця істинності додавання 1-розрядних двійкових кодів

$x_1$	$x_0$	$s$	$p$
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

таблицею істинності (табл. 5.4). У стовпці  $s$  наведено значення результату додавання (суми), а у стовпці  $p$  — отримане при цьому значення перенесення у старший розряд. Потрібно звернути увагу на відмінності результатів, здобутих при арифметичному і логічному додаван-

нях. При логічному додаванні в останньому рядку стовпця  $s$  було б наявне значення 1. Відмінності результатів цих операцій не дають змоги застосувати для арифметичного підсумовування елемент АБО, а потребує розроблення спеціалізованого пристрою.

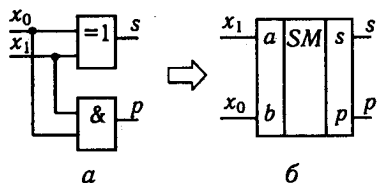


Рис. 5.25. Півсуматор (а) та його умовне позначення (б)

Значення сигналу перенесення, яке дорівнює 1 в останньому рядку табл. 5.4, свідчить про те, що результат, здобутий під час виконання операції арифметичного додавання, у цьому випадку не може бути поданий двійковим кодом, розрядність якого дорівнює розрядності слів доданків. Для подання результату потрібне слово, що має на один розряд більше, ніж коди доданків.

Використовуючи наведену таблицю, можна записати систему функцій алгебри логіки, що описують алгоритм операції арифметичного додавання:

$$s = \bar{x}_1 x_0 + x_1 \bar{x}_0 = x_1 \oplus x_0;$$

$$p = x_1 x_0. \quad (5.10)$$

Для її технічної реалізації потрібні логічні елементи І та виключне АБО (рис. 5.25).

Розглянемо способи виконання арифметичних операцій додавання та віднімання за допомогою КС тільки для цілих двійкових чисел, що значно полегшує виклад методики їхнього синтезу. Цілі додатні  $n$ -розрядні двійкові числа позначимо через  $X = (x_n, \dots, x_1)$  і  $Y = (y_n, \dots, y_1)$ , де  $x_n$  та  $y_n$  — старші розряди, а числа будь-якого знака — такими самими літерами зі штрихом. Тоді матимемо:  $X' = \pm X$ ,  $Y' = \pm Y$ ,  $|X'| = X$ ,  $|Y'| = Y$ .

КС, що виконують операції додавання та віднімання чисел, називають *комбінаційними суматорами*, тому що  $X - Y = X + (-Y)$ .

Операція додавання додатних двійкових чисел визначається такими правилами двійкової арифметики.

1. Значення перенесення  $z_{p+1}$  у  $(p + 1)$ -й розряд дорівнює 1, якщо дві або три величини з  $x_p$ ,  $y_p$  і  $z_p$  дорівнюють 1, де  $x_p$  і  $y_p$  — розряди чисел  $X$  і  $Y$ ;  $z_p$  — перенесення з  $(p - 1)$ -го розряду;

2. Значення  $p$ -го розряду  $s_p$  суми чисел  $X$  і  $Y$  дорівнює 1, якщо непарне число величин  $x_p$ ,  $y_p$  і  $z_p$  дорівнює 1.

Таблиця 5.5. Таблиця істинності 1-розрядного двійкового суматора

$i$	$x_p$	$y_p$	$z_p$	$s_p$	$z_{p+1}$	$i$	$x_p$	$y_p$	$z_p$	$s_p$	$z_{p+1}$
0	0	0	0	0	0	4	1	0	0	1	0
1	0	0	1	1	0	5	1	0	1	0	1
2	0	1	0	1	0	6	1	1	0	0	1
3	0	1	1	0	1	7	1	1	1	1	1

Для наочності пояснимо ці правила прикладом. Нехай потрібно скласти  $X' = 25$  та  $Y' = 29$ .

6 5 4 3 2 1 — номери розрядів,

32 16 8 4 2 1 — ваги розрядів,

+0 1 1 0 0 1  $\sim X = 25$

+0 1 1 1 0 1  $\sim Y = 29$

1 1 0 0 1 0  $\sim Z$  — перенесення,

1 1 0 1 1 0  $\sim S = 54$  — сума.

Значення перенесення в перший розряд завжди дорівнює 0, тобто  $z \equiv 0$ . Якщо при додаванні розрядна сітка не переповнюється, то перенесення у старший  $(n + 1)$ -й розряд немає ( $z_{n+1} = 0$ ). У загальному випадку потрібно виконувати додавання і віднімання як додатних, так і від'ємних чисел.

Таблицю істинності (табл. 5.5), що описує закон функціонування 1-розрядного двійкового суматора, укладають за сформульованим вище правилом додавання додатних чисел.

З діаграми Вейча для функцій  $s_p$  і  $z_{p+1}$  (рис. 5.26) випливає, що

$$\left. \begin{aligned} s_p &= x_p \oplus y_p \oplus z_p, \\ z_{p+1} &= x_p y_p \vee x_p z_p \vee y_p z_p, \\ z_{p+1} &= \overline{x_p y_p \cdot x_p z_p \cdot y_p z_p}. \end{aligned} \right\} (5.11)$$

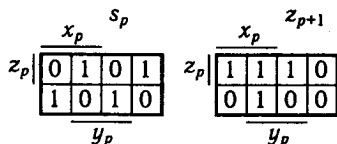


Рис. 5.26. Синтез 1-розрядного двійкового суматора

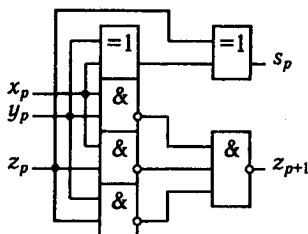


Рис. 5.27. Схема 1-розрядного двійкового суматора

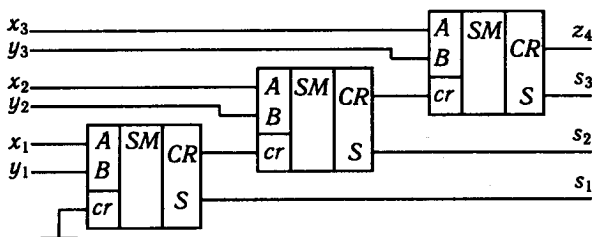


Рис. 5.28. Схема 3-розрядного двійкового суматора

На рис. 5.27 показано КС, виконану відповідно до отриманих форм функцій  $s_p$  і  $z_{p+1}$ .

Для додавання двох  $n$ -розрядних чисел  $X$  і  $Y$  потрібно використовувати  $n$  1-розрядних суматорів. На рис. 5.28 зображено схему суматора для 3-розрядних чисел  $X(x_3, x_2, x_1)$  і  $Y(y_3, y_2, y_1)$ . Нині у вигляді мікросхем випускають 1- (К155ИМ1), 2- (К155ИМ2) та 4-розрядні (К155ИМ3, К564ИМ1) двійкові суматори.

## 5.9. Десяткові суматори

Десяткові суматори застосовують у тих випадках, якщо числа  $X'$  і  $Y'$  подані в десятковій системі числення і небажано перетворювати десяткові числа на двійкові. У цьому випадку можна використовувати незалежне перетворення кожної десяткової цифри на код із залишком 3. Це простіше виконати, ніж перетворення всього десяткового числа на двійковий код.

Для подання будь-якої десяткової цифри 0, 1, ..., 9 досить використовувати чотири символи із комбінацій 0 і 1. На практиці широко застосовують 4-розрядний код 8-4-2-1 (двійково-десятковий код). Числа 8, 4, 2 і 1 є вагами розрядів. Отже, запис десяткової цифри в коді 8-4-2-1 збігається із записом двійкових чисел від 0 до 9 (наприклад, 0101 - 5), а  $n$ -розрядне десяткове число подається за допомогою тетрад, кожна з яких складається з чотирьох двійкових розрядів (наприклад, 283 - 0010.1000.0011). Таке подання десяткових чисел вважатимемо вихідним.

Код 8-4-2-1 незручний для виконання арифметичних операцій, зокрема через складність виявлення перенесення в наступну тетраду, якщо  $X_p + Y_p \geq 10$  ( $X_p$  і  $Y_p$  -  $p$ -розряди десяткових чисел  $X$  і  $Y$ ). Код 8-4-2-1 для числа  $X_p + 3$  називають кодом із залишком 3 числа  $X_p$  і позначають через  $\{X_p\}$ . Для додавання 4-розрядних кодів  $\{X_p\}$  і  $\{Y_p\}$  можна



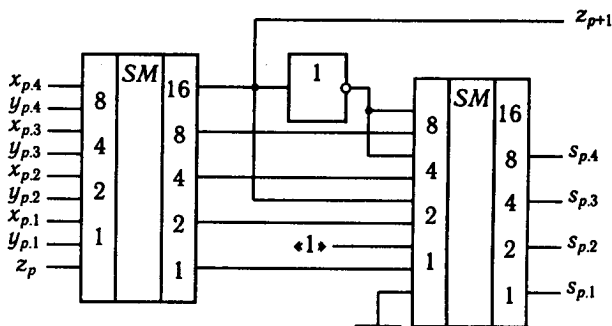


Рис. 5.29. Схема 1-розрядного десяткового суматора для чисел, поданих у коді із залишком 3

використовувати 4-розрядні двійкові суматори. Розглянемо особливості додавання додатних чисел  $X_p$  і  $Y_p$  у коді із залишком 3.

Якщо  $X_p + Y_p \geq 10$ , то  $\{X_p\} + \{Y_p\} = X_p + 3 + Y_p + 3 \geq 16$  і на виході двійкового суматора відбувається перенесення у наступний двійковий розряд, а залишок суми дорівнюватиме  $\{X_p\} + \{Y_p\} - 16$ , тоді як він має дорівнювати  $\{X_p + Y_p - 10\} = X_p + Y_p - 10 + 3 = \{X_p\} + \{Y_p\} - 16 + 3$ . Тому до залишку суми  $\{X_p\} + \{Y_p\} - 16$  слід додати число 3.

Якщо  $X_p + Y_p < 10$ , то  $\{X_p\} + \{Y_p\} < 16$  і на виході двійкового суматора перенесення немає, а сума  $\{X_p\} + \{Y_p\} = \{X_p + Y_p\} + 3$ . Тому із суми  $\{X_p\} + \{Y_p\}$  потрібно відняти число 3, щоб дістати величину  $\{X_p + Y_p\}$ , яка є кодом із залишком 3 суми  $X_p + Y_p$ . Віднімання будь-якого числа еквівалентне додаванню з його доповненням до  $2^n$ , тому замість віднімання числа 3 можна додати число  $2^4 - 3 = 13 = (1\ 1\ 0\ 1)$ .

Отже, якщо перенесення відбувається, то до залишку суми потрібно додати число 3, а якщо його немає, то до суми треба додати число 13. На рис. 5.29 показано схему 1-розрядного суматора для чисел, поданих у коді із залишком 3.

На вхід лівого двійкового суматора подаються коди розрядів чисел із залишком 3  $\{X_p\} = (x_{p,4}, x_{p,3}, x_{p,2}, x_{p,1})$ ,  $\{Y_p\} = (y_{p,4}, y_{p,3}, y_{p,2}, y_{p,1})$  і перенесення з попереднього

десятькового розряду  $z_p$ . Цей суматор обчислює суму  $\{X_p\} + \{Y_p\}$ . Якщо перенесення у наступний десятковий розряд  $z_{p+1} = 0$ , то на правий суматор подається число  $(1\ 1\ 0\ 1) = 13$ , а якщо  $z_{p+1} = 1$ , то подається число  $(0\ 0\ 1\ 1) = 3$ . На виході цього суматора значення суми  $\{S_p\} = (s_{p,4}, s_{p,3}, s_{p,2}, s_{p,1})$  розрядів  $X_p$  і  $Y_p$  подані в кодї із залишком 3 з урахуванням перенесення.

Отже, 1-розрядний суматор для чисел, поданих у кодї із залишком 3, описується співвідношеннями:

$$z_{p+1} = \begin{cases} 0, & \text{якщо } \{X_p\} + \{Y_p\} + z_p < 16, \\ 1, & \text{якщо } \{X_p\} + \{Y_p\} + z_p \geq 16, \end{cases} \quad (5.12)$$

$$\{S_p\} = \begin{cases} \{X_p\} + \{Y_p\} + z_p + 13, & \text{якщо } z_{p+1} = 0, \\ \{X_p\} + \{Y_p\} + z_p + 3, & \text{якщо } z_{p+1} = 1, \end{cases} \quad (5.13)$$

де  $z_{p+1}$  — перенесення у наступний десятковий розряд;  $\{S_p\}$  — значення  $p$ -го розряду суми чисел  $X$  та  $Y$ ;  $z_p = 0$  або 1 — перенесення з попереднього десяткового розряду (перенесення з попередньої тетради). Додаток чисел 3 і 13 називають *корекцією суми*. Потрібно враховувати, що перенесення, яке відбувається при корекції, не передається в наступну тетраду. За допомогою послідовного з'єднання  $n$  1-розрядних суматорів (рис. 5.29) можна дістати  $n$ -розрядний суматор. Для переведення коду із залишком 3 у код 8—4—2—1 слід з коду із залишком 3 порозрядно відняти число 3, що еквівалентно додатку числа 13.

Розглянемо приклад, що пояснює роботу суматора для чисел, поданих у кодї із залишком 3. Нехай потрібно скласти два числа  $X = 326$  і  $Y = 475$  ( $S = X + Y = 801$ ).

Усі операції щодо перетворення числа описуються схемою:

$$\begin{array}{r} 0010. \ 0101. \ 0111 \sim X = 257 \text{ (код 8-4-2-1),} \\ + 0011. \ 0011. \ 0011 \text{ — внесення додатка 3,} \\ \hline \end{array}$$

$$\begin{array}{r} 0101. \ 1000. \ 1010 \sim \{X\}, \\ 0110. \ 0100. \ 1000 \sim Y = 648, \\ + 0011. \ 0011. \ 0011 \text{ — внесення додатка 3,} \\ \hline \end{array}$$

$$\begin{array}{r} 1001. \ 0111. \ 1011 \sim \{Y\}, \\ 0110. \ 1000. \ 0100 \sim \{Y\}, \\ + 0000. \ 0000. \ 0001 \sim 1, \\ \hline \end{array}$$

$$\begin{array}{r}
0110. \quad 1000. \quad 0101 \sim \{\bar{Y}\} + 1, \\
1.0110. \quad 1000. \quad 0101 \sim \{Y\}_D, \\
+ 0.0101. \quad 1000. \quad 1010 \sim \{X\}_D, \\
\hline
0 \quad 1 \quad 0 \\
1. \quad 1100. \quad 0000. \quad 1111 \sim \{X\}_D + \{Y\}_D, \\
+ 0. \quad 1101. \quad 0011. \quad 1101 \sim \text{корекція}, \\
\hline
1. \quad 1001. \quad 0011. \quad 1100 \sim \{S\}_D.
\end{array}$$

Перетворимо  $\{S\}$  на значення, подане в прямому коді 8-4-2-1, за схемою:

$$\begin{array}{r}
1. \quad 1001. \quad 0011. \quad 1100 \sim \{S\}_D, \\
1. \quad 0110. \quad 1100. \quad 0011 \sim \{S\} \\
+ 0. \quad 0000. \quad 0000. \quad 0001 \sim +1, \\
\hline
1. \quad 0110. \quad 1100. \quad 0100 \sim \{\bar{S}\}_D + 1, \\
+ 0. \quad 1101. \quad 1101. \quad 1101 \sim \text{переведення у код 8-4-2-1}, \\
\hline
1. \quad 0011. \quad 1001. \quad 0001 \sim 391 \text{ (код 8-4-2-1)}.
\end{array}$$

Тут усі операції виконуються за допомогою ЛЕ «виключне АБО» та двійкових 4-розрядних суматорів. Тому 1-розрядні десяткові суматори, зображені на рис. 5.29, можна використовувати як для додавання, так і для віднімання  $n$ -розрядних двійкових чисел, якщо вони подані в додатковому коді із залишком 3.

Зазначимо, що іноді виникає необхідність використання шісткової системи числення (наприклад, під час побудови багатоканальних таймерів на основі оперативних запам'ятовувальних пристроїв). У цьому випадку додавання і віднімання найпростіше виконувати в додатковому 3-розрядному двійковому (4-2-1) коді із залишком 1 або в додатковому 4-розрядному двійковому (8-4-2-1) коді із залишком 5. Ці коди мають ті самі властивості, що і додатковий код із залишком 3 для десяткової системи числення. Доповнення  $W$  числа  $X$  у шістковій системі числення визначається співвідношенням  $W = 6^n - X$ , де  $X$  —  $n$ -розрядне шісткове число.

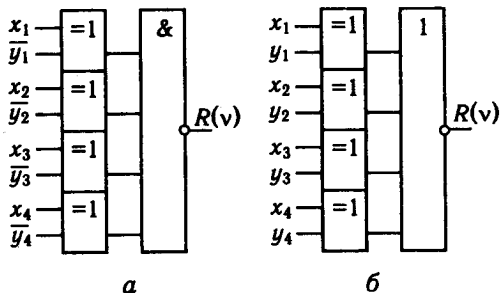
## 5.10. Компаратори

*Цифровим компаратором* називають комбінаційний логічний пристрій, призначений для порівняння чисел, поданих у двійковому коді.

Компаратори виконують мікрооперацію визначення відносин між двома словами. Число входів компаратора визначається розрядністю порівнюваних кодів.

Рис. 5.30. Схема рівнозначності 4-розрядних кодів:

а — з використанням ЛЕ І; б — з використанням ЛЕ АБО



Основними відносинами можна вважати «дорівнює» і «більше», інші відносини можна визначити через основні. Так, ознаку нерівності слів можна одержати як заперечення ознаки рівності ( $F_{A \neq B} = \overline{F_{A=B}}$ ), відношення «менше» — шляхом зміни місцями аргументів у функції  $F_{A > B}$  ( $F_{A > B} = F_{B > A}$ ), а нестрогі нерівності — за формулами:

$$F_{A \geq B} = F_{A=B} \vee F_{A > B} = \overline{F_{B > A}};$$

$$F_{A \leq B} = F_{A=B} \vee F_{A < B} = \overline{F_{A > B}}.$$

Відносини широко використовують як логічні умови в мікропрограмах, а також у пристроях контролю та діагностики ЕОМ.

Пристрої порівняння на рівність будують на основі порозрядних операцій над однойменними розрядами обох слів. Ознака  $r$  рівності розрядів має значення 1, якщо в обох розрядах містяться або одиниці, або нулі, тобто

$$r = xy \vee \overline{xy} = \overline{x\overline{y}} \vee \overline{\overline{x}y} = x \oplus y = \overline{x \oplus y} = x \oplus \overline{y}.$$

Ознака рівності слів  $R$  набуває значення 1, якщо всі розряди рівні між собою, тобто

$$R = r_{n-1} r_{n-2} \dots r_0.$$

Комбінаційна схема, що реалізує функцію  $R(v)$ , де  $v = (x_1, \dots, x_n, y_1, \dots, y_n)$ , яка дорівнює 1 тільки при  $x_p = y_p$  для всіх  $p = 1, 2, \dots, n$ , називається *схемою рівнозначності кодів*. Розряди  $x_p$  і  $y_p$  рівні між собою тільки в тому випадку, якщо  $x_p \oplus \overline{y_p} = 1$ , тому функція

$$R(v) = \prod_{p=1}^n (x_p \oplus \overline{y_p}) = \overline{\bigvee_{p=1}^n (x_p \oplus y_p)} \quad (5.14)$$

набуває значення 1 тільки у разі попарної рівності всіх однойменних розрядів кодів. На рис. 5.30 зображено дві схеми,

що реалізують функцію  $R(v)$  і побудовані для  $n = 4$  на підставі здобутого виразу.

Розглянемо побудову схеми порівняння двійкових чисел. Нехай задано два  $n$ -розрядних числа  $X$  і  $Y$ . Введемо для них символічні позначення:  $X = (x_n, \dots, x_1)$ ,  $Y = (y_n, \dots, y_1)$ , де  $x_n$  та  $y_n$  — старші розряди. Співвідношення між числами  $X$  і  $Y$  описуються функціями:  $F(X > Y)$  та  $F(X = Y)$ , або  $F(X < Y)$  та  $F(X = Y)$ .

Співвідношення між числами в позиційних системах числення, у яких вага будь-якого старшого розряду більша за вагу будь-якого молодшого розряду, досить просто можна встановити через послідовне порівняння їх однойменних розрядів. Числа можна порівнювати, починаючи як з молодшого, так і зі старшого розряду. Перший варіант порівняння чисел кращий, оскільки допускає нарощування їх розрядності (від молодших розрядів до старших).

Для опису схем порівняння двійкових чисел уведемо в розгляд функції:

$$f_n = f_n(X, Y) = \begin{cases} 0, & \text{якщо } X \geq Y, \\ 1, & \text{якщо } X < Y, \end{cases} \quad (5.15)$$

$$\varphi_n = \varphi_n(X, Y) = \begin{cases} 0, & \text{якщо } X \neq Y, \\ 1, & \text{якщо } X = Y, \end{cases}$$

де  $X = (x_n, \dots, x_1)$ ;  $Y = (y_n, \dots, y_1)$ ;  $x_n$  і  $y_n$  — старші розряди. Числа порівнюють, починаючи з молодшого розряду. З наведених співвідношень випливає, що  $f_n \varphi_n = 0$ .

Табл. 5.6 задає функції  $f_1$  і  $\varphi_1$  для 1-розрядних двійкових чисел  $X$  та  $Y$  ( $n = 1$ ). З цієї таблиці випливає, що функції

$$f_1 = \bar{x}_1 y_1, \quad \varphi_1 = \bar{x}_1 \oplus y_1. \quad (5.16)$$

Нехай тепер маємо функції  $f_1$  і  $\varphi_1$  для молодших розрядів  $x_1$  і  $y_1$ , а числа 2-розрядні, тобто  $X = (x_2, x_1)$ , а  $Y = (y_2, y_1)$ . Укладемо таблицю істинності для функцій  $f_2$  і  $\varphi_2$ , аргументами яких є величини  $f_1$ ,  $\varphi_1$ ,  $x_2$  і  $y_2$  (табл. 5.7).

У рядках з номерами  $i = 12, 13, 14, 15$  значення функцій не визначені, тому що функції  $f_1$  і  $\varphi_1$  не можуть одночасно дорів-

Таблиця 5.6. Таблиця істинності для функцій  $f_1$  і  $\varphi_1$

$x_1$	$y_1$	$f_1$	$\varphi_1$	$x_1$	$y_1$	$f_1$	$\varphi_1$
0	0	0	1	1	0	0	0
0	1	1	0	1	1	0	1

Таблиця 5.7. Таблиця істинності для функцій  $f_2$  і  $\varphi_2$

$i$	$f_1$	$\varphi_1$	$x_2$	$y_2$	$f_2$	$\varphi_2$	$i$	$f_1$	$\varphi_1$	$x_2$	$y_2$	$f_2$	$\varphi_2$
0	0	0	0	0	0	0	8	1	0	0	0	1	0
1	0	0	0	1	1	0	9	1	0	0	1	1	0
2	0	0	1	0	0	0	10	1	0	1	0	0	0
3	0	0	1	1	0	0	11	1	0	1	1	1	0
4	0	1	0	0	0	1	12	1	1	0	0	-	-
5	0	1	0	1	1	0	13	1	1	0	1	-	-
6	0	1	1	0	0	0	14	1	1	1	0	-	-
7	0	1	1	1	0	1	15	1	1	1	1	-	-

нювати 1 ( $f_n \varphi_n \equiv 0$ ). Функція  $f_2 = 1$ , якщо  $x_2 < y_2$  (старший розряд числа  $X$  менший, ніж старший розряд числа  $Y$ ), а також якщо  $f_1 = 1$  і  $x_2 = y_2$ . Функція  $\varphi_2 = 1$ , тільки якщо  $\varphi_1 = 1$  і  $x_2 = y_2$ . З діаграм Вейча (рис. 5.31), побудованих за табл. 5.7, випливає, що

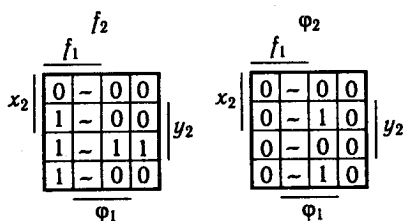


Рис. 5.31. Синтез схеми порівняння двійкових чисел

$$f_2 = \bar{x}_2 y_2 \vee f_1 (\bar{x}_2 \oplus y_2); \quad \varphi_2 = \varphi_1 (\bar{x}_2 \oplus y_2) \quad (5.17)$$

(функцію  $f_2$  подано не в мінімальній формі).

Якщо тепер укласти таблицю істинності для функцій  $f_3$  і  $\varphi_3$ , аргументами яких є величини  $f_2$ ,  $\varphi_2$ ,  $x_3$  і  $y_3$ , то вона матиме такий самий вигляд, що і табл. 5.4, а отже,

$$f_3 = \bar{x}_3 y_3 \vee f_2 (\bar{x}_3 \oplus y_3), \quad \varphi_3 = \varphi_2 (\bar{x}_3 \oplus y_3). \quad (5.18)$$

З наведених співвідношень [(5.16) – (5.18)] випливає загальна рекурентна формула

$$\begin{aligned} f_n &= \bar{x}_n y_n \vee f_{n-1} (\bar{x}_n \oplus y_n), \\ \varphi_n &= \varphi_{n-1} (\bar{x}_n \oplus y_n), \end{aligned} \quad (5.19)$$

в який потрібно задати значення  $f_0$  і  $\varphi_0$ , які дорівнюють 0 або 1. Із загальної рекурентної формули випливає, що

$$\begin{aligned} f_1 &= \bar{x}_1 y_1 \vee f_0 (\bar{x}_1 \oplus y_1), \quad \varphi_1 = \varphi_0 (\bar{x}_1 \oplus y_1), \\ \varphi_n &= \varphi_0 \prod_{p=1}^n (\bar{x}_p \oplus y_p). \end{aligned} \quad (5.20)$$

Оскільки значення загальної функції залежать не тільки від значень чисел  $X$  та  $Y$ , а й від значень  $f_0$  і  $\varphi_0$ , то для них доцільно впровадити позначення:

$$f_n = f_n(X, Y / f_0), \quad \varphi_n = \varphi_n(X, Y / \varphi_0).$$

Уведемо в розгляд також функцію

$$g_n(X, Y / f_0, \varphi_0) = \overline{f_n(X, Y / f_0) \varphi_n(X, Y / \varphi_0)}. \quad (5.21)$$

Якщо у співвідношення (5.20) підставити значення  $f_0 = 0$ ,  $\varphi_0 = 1$  і  $n = 1$ , то дістанемо співвідношення  $f_1(X, Y / 0) = \bar{x}_1 y_1$ ,  $\varphi_1(X, Y / 1) = \bar{x}_1 \oplus y_1$ , тому

$$f_n(X, Y / 0) = F(X < Y), \quad \varphi_n(X, Y / 1) = F(X = Y), \\ g_n(X, Y / 0, 1) = F(X > Y).$$

Підставивши у вираз (5.20) значення  $f_0 = \varphi_0 = 1$  і  $n = 1$ , дістанемо

$$f_1(X, Y / 1) = \bar{x}_1 y_1 \vee \bar{x}_1 \oplus y_1 = f_1(X, Y / 0) \vee \varphi_1(X, Y / 1).$$

Зі співвідношень (5.17) випливає, що

$$f_2(X, Y / 1) = \bar{x}_2 y_2 \vee [f_1(X, Y / 0) \vee \varphi_1(X, Y / 1)] (\bar{x}_2 \oplus y_2) = \\ = f_2(X, Y / 0) \vee \varphi_2(X, Y / 1),$$

тому  $f_n(X, Y / 1) = f_n(X, Y / 0) \vee \varphi_n(X, Y / 1) = F(X \leq Y)$ ,

$$g_n(X, Y / 1, 1) = F(X > Y).$$

При  $\varphi_0 = 0$  функція  $\varphi_n(X, Y / 0) \equiv 0$ , тому

$$g_n(X, Y / f_0, 0) = \overline{f_n(X, Y / f_0)} = \begin{cases} F(X \geq Y), & \text{якщо } f_0 = 0, \\ F(X > Y), & \text{якщо } f_0 = 1. \end{cases}$$

Отже, є такі співвідношення:

$$f_n(X, Y / f_0) = \begin{cases} F(X < Y), & \text{якщо } f_0 = 0, \\ F(X \leq Y), & \text{якщо } f_0 = 1, \end{cases} \\ \varphi_n(X, Y / \varphi_0) = \begin{cases} 0, & \text{якщо } \varphi_0 = 0, \\ F(X = Y), & \text{якщо } \varphi_0 = 1, \end{cases} \quad (5.22)$$

$$g_n(X, Y / f_0, \varphi_0) = \begin{cases} F(X \geq Y), & \text{якщо } f_0 = \varphi_0 = 0, \\ F(X > Y), & \text{якщо } f_0 \vee \varphi_0 = 1. \end{cases}$$

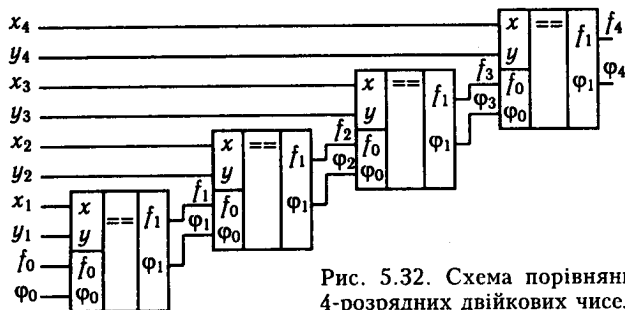


Рис. 5.32. Схема порівняння 4-розрядних двійкових чисел

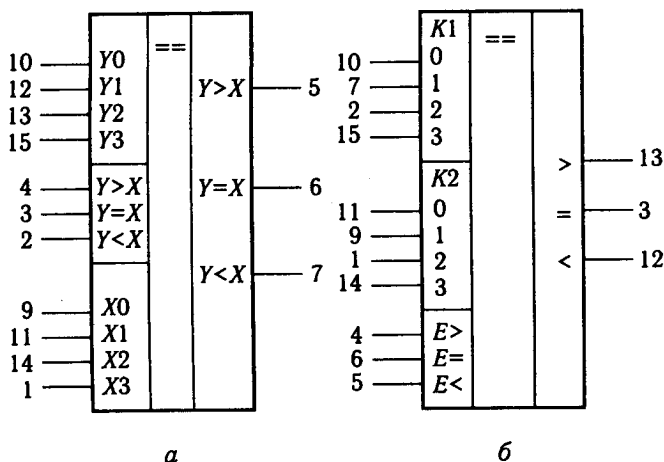


Рис. 5.33. Схеми порівняння двійкових чисел:  
 а – K555СП1; б – K564ИП2

На рис. 5.32 наведено КС, що реалізує функції  $f_4(X, Y / f_0)$  і  $\phi_4(X, Y / \phi_0)$ , де кожен елемент виконує елементарні функції  $f_1$  та  $\phi_1$ . Недоліком цієї КС є низька швидкодія, тому що сигнали  $x_1$  і  $y_1$ , які відповідають молодшим розрядам порівнюваних чисел, послідовно проходять через усі елементи, що мають кінцеву швидкодію. Перевагою цієї КС є простота реалізації функцій  $f_1$  і  $\phi_1$ .

З наведених виразів (5.22) видно, що сукупність  $f_n$ ,  $\phi_n$  та  $g_n$  дає змогу реалізувати всі співвідношення між порівнюваними двійковими числами. Схеми порівняння двійкових чисел випускають у вигляді мікросхем (рис. 5.33).

Мікросхема K564ИП2 виконує функції  $f_n(X, Y / f_0)$ ,  $\phi_n(X, Y / \phi_0)$  і  $Vg_n(X, Y / f_0, \phi_0)$ . Ця система функцій від-



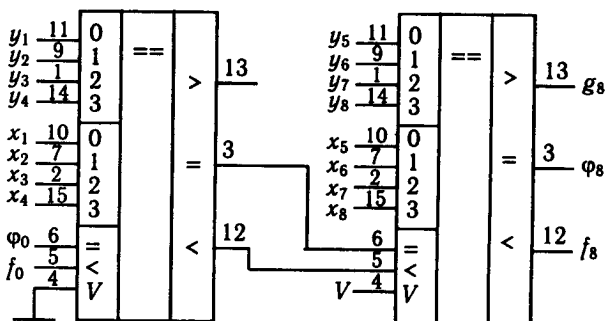


Рис. 5.34. Схема порівняння 8-розрядних двійкових чисел

різняється від наведеної системи функцій тільки введенням сигналу  $V$  для дозволу і заборони порівнянь вигляду  $F(X \geq Y)$  при  $f_0 = \phi_0 = 0$  та  $F(X > Y)$  при  $f_0 \vee \phi_0 = 1$ .

Схему порівняння 8-розрядних двійкових чисел, яку виконано на двох мікросхемах К564ИП2, зображено на рис. 5.34. У такий самий спосіб можна побудувати схему порівняння  $4k$ -розрядних чисел ( $k = 3, 4, 5, \dots$ ). Стробування функції здійснюється подаванням сигналу  $V$  на вхід  $V$  останньої мікросхеми. На всі інші мікросхеми можна подати сигнал  $V = 0$  або 1.

Наявність входів  $f_0$ ,  $\phi_0$  і  $V$  дає змогу здійснити мікропрограму керування процесом порівняння чисел. Мікросхеми К564ИП2 можна використовувати також для порівняння двійково-десяткових чисел.

## 5.11. Перетворювачі двійково-десятькового коду на двійковий код

Перетворювачі кодів використовують для шифрування і дешифрування цифрової інформації; вони мають  $n$  входів і  $k$  виходів. Співвідношення між числами  $n$  і  $k$  можуть бути такими:  $n = k$ ,  $n > k$  і  $n < k$ . Перетворювачі кодів поділяють на два типи: з неваговим перетворенням кодів; з ваговим перетворенням кодів.

Прикладом перетворювачів першого типу є поширені перетворювачі двійково-десятькового коду на код індикатора із семи сегментів десятикових цифр. Перетворювачі другого типу використовують зазвичай для перетворення числової інформації.

Для побудови перетворювача двійково-десятькового на двійковий код потрібно спроектувати деякий елементарний перетворювач кодів і установити правила з'єднання таких перетворювачів для одержання схеми, що дасть змогу перетворювати багаторозрядні двійково-десятькові числа на двійкові числа. Перетворення двійково-десятькового коду на двійковий виконують за допомогою операції зсуву числа убік молодших розрядів і корекції числа, одержуваного після зсуву. Зсув двійкового числа на один розряд у бік молодших розрядів, тобто на один розряд праворуч, еквівалентний діленню числа на два без урахування молодшого розряду, який втрачається або надходить в інший зсувний регістр. При зсуві двійково-десятькового числа на один розряд праворуч одержуване число не дорівнює скінченному, діленому на два. Щоб унаслідок зсуву утворювалося таке число, потрібно корегувати результат зсуву (табл. 5.8).

Якщо в старший розряд тетради, що має множник  $10^j$ , надходить одиниця, то вона здобуває вагу  $8 \cdot 10^j$ . До зсуву ця одиниця мала вагу  $10^{j+1}$ , тому для одержання при зсуві ділення на два їй потрібно приписати вагу  $2^{-1} \cdot 10^{j+1}$ . Із цього випливає, що слід скорегувати на число  $8 \cdot 10^j - 2^{-1} \cdot 10^{j+1}$ , тобто відняти число  $3 \cdot 10^j$ . Якщо в старший розряд якої-небудь тетради надходить нуль, то корекцію робити не потрібно. З табл. 5.8 видно, що після зсуву числа 9653 та відповідної корекції дійсно виходить число 4826, що відрізняється від  $9653 \cdot 2^{-1}$  на одиницю, що є молодшим розрядом молодшої тетради двійково-десятькового коду і молодшим розрядом двійкового коду.

Таблиця 5.8. Корекція результатів зсуву

Десятькове число	9				6				5				3				Молодший розряд
Вага	$10^3$				$10^2$				$10^1$				$10^0$				
	8	4	2	1	8	4	2	1	8	4	2	1	8	4	2	1	
Двійково-десятькове число	1	0	0	1	0	1	1	0	0	1	0	1	0	0	1	1	
Зсув	0	1	0	0	1	0	1	1	0	0	1	0	1	0	0	1	1
Корекція	0	0	0	0	0	0	1	1	0	0	0	0	0	0	1	1	
Двійково-десятькове число	0	1	0	0	1	0	0	0	0	0	1	0	0	1	1	0	1
Десятькове число	4				8				2				6				

Якщо зробити ще один зсув і корекцію, то буде здобуте число 2413, а молодший розряд молодшої тетради числа 4826 дасть другий розряд двійкового числа, тому що молодші розряди двійково-десятькового і двійкового чисел завжди збігаються. Якщо двійково-десятькове число складається з  $m$  тетрад, то перетворення двійково-десятькового числа на двійкове утворюється за допомогою  $4m$  зсувів з відповідними корекціями при кожному зсуві. Командою для виконання корекції є надходження одиниць у старші розряди тетрад. Ці операції можна виконати також за допомогою КС.

Нехай КС має чотири входи і чотири виходи. Операція зсуву реалізується подаванням на три входи КС трьох старших розрядів  $j$ -ї тетради та на четвертий вхід — першого розряду  $(j+1)$ -ї тетради. Установимо, які двійкові 4-розрядні числа  $X = (x_4, x_3, x_2, x_1)$  можуть надходити на вхід перетворювача коду. Ці числа визначають, виходячи з мінімального  $A_{\min} = (0, 0, 0, 0)$  та максимального  $A_{\max} = (1, 0, 0, 1)$  чисел  $j$ -ї тетради і надходження або ненадходження одиниці ( $b_1 = 1$ ) з молодшого розряду  $(j + 1)$ -ї тетради:

1) якщо  $b_1 = 0$ , то  $X_{\min} = (0, 0, 0, 0) = 0$ ,  $X_{\max} = (0, 1, 0, 0) = 4$ ;

2) якщо  $b_1 = 1$ , то  $X_{\min} = (1, 0, 0, 0) = 8$ ,  $X_{\max} = (1, 1, 0, 0) = 12$ .

Отже, перетворювач коду має виконувати функцію (з урахуванням корекції — вирахування числа 3 при  $b_1 = 1$ )

$$Y = f(X) = \begin{cases} X, & \text{якщо } 0 \leq X \leq 4, \\ X - 3, & \text{якщо } 8 \leq X \leq 12, \end{cases} \quad (5.23)$$

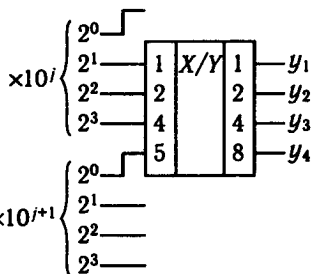
де  $Y$  — двійкове число, здобуте на виході перетворювача коду.

Числа  $X = 5, \dots, 7, 13, \dots, 15$  не можуть надходити на вхід перетворювача.

На рис. 5.35 зображено умовне графічне позначення розглянутого перетворювача коду. У лівому та правому додаткових полях зазначено ваги, з якими сприймаються і видаються вхідні і вихідні сигнали. Вага старшого вхідного розряду відповідно до співвідношення (5.23) на три менша, ніж вага вихідного старшого розряду. Надалі на схемах множники  $10^j$  враховуватимемо на основному полі перетворювачів кодів.

Правило побудови перетворювача двійково-десятькового коду на двійковий пояснимо на прикладі перетворювача 3-розрядного двійково-десятькового числа на двійковий код (рис. 5.35). Через те що наймолодший розряд двійково-десятькового коду збігається з молодшим розрядом двійкового

Рис. 5.35. Умовне графічне позначення елементарного перетворювача двійково-десятькового коду на двійковий із чотирма входами і чотирма виходами



коду, то цей розряд не перетворюється, тобто подається з входу на вихід. Наступні за старшинством розряди подаються зі зсувом на входи двох перетворювачів кодів (здійснюється зсув на один розряд).

Інший зсув на один розряд здійснюється за допомогою наступних двох перетворювачів кодів і т. д. Правила складання перетворювача двійково-десятькового коду на двійковий можна сформулювати в такий спосіб:

1) ваги розрядів вхідних сигналів усіх перетворювачів кодів мають бути у співвідношенні 1 : 2 : 4 : 5;

2) через те що кожен перетворювач кодів перетворить тільки один двійково-десятьковий розряд на двійковий (вага 5 змінюється на вагу 8), то перетворювач двійково-десятькового коду на двійковий повинен мати пірамідальну структуру;

3) піраміда будується з перетворювачів коду доти, доки не будуть отримані вихідні сигнали з усіма вагами  $2^p$ , де  $p = 0, 1, 2, \dots$ , за умови, що здобує двійкове число не менше за скінченне двійково-десятькове число.

На рис. 5.36 цифрами 0 і 1, зазначеними на входах і виходах перетворювачів кодів, показано перетворення десятичного числа 853, поданого в двійково-десятьковому коді, на двійковий код.

Зробимо синтез перетворювача кодів, що задається співвідношенням (5.23), якому відповідає таблиця істинності перетворювача кодів (табл. 5.9).

Склавши діаграми Вейча для функцій  $y_1, \dots, y_4$ , дістанемо:

$$y_1 = x_1 \oplus x_4; \quad y_2 = x_2 \oplus x_1 x_4;$$

$$y_3 = x_3 \bar{x}_4 \vee x_1 \bar{x}_2 x_4 \vee \bar{x}_1 \bar{x}_3 x_4;$$

$$y_4 = x_3 x_4 \vee x_1 x_2 x_4.$$

Зі співвідношення (5.23) можна зробити висновок, що економічнішу схему перетворювача коду можна дістати на основі суматора. Дійсно, якщо значення  $x_4 = 1$ , то від числа  $X = (x_4, x_3, x_2, x_1)$  потрібно відняти число 3, що еквіва-

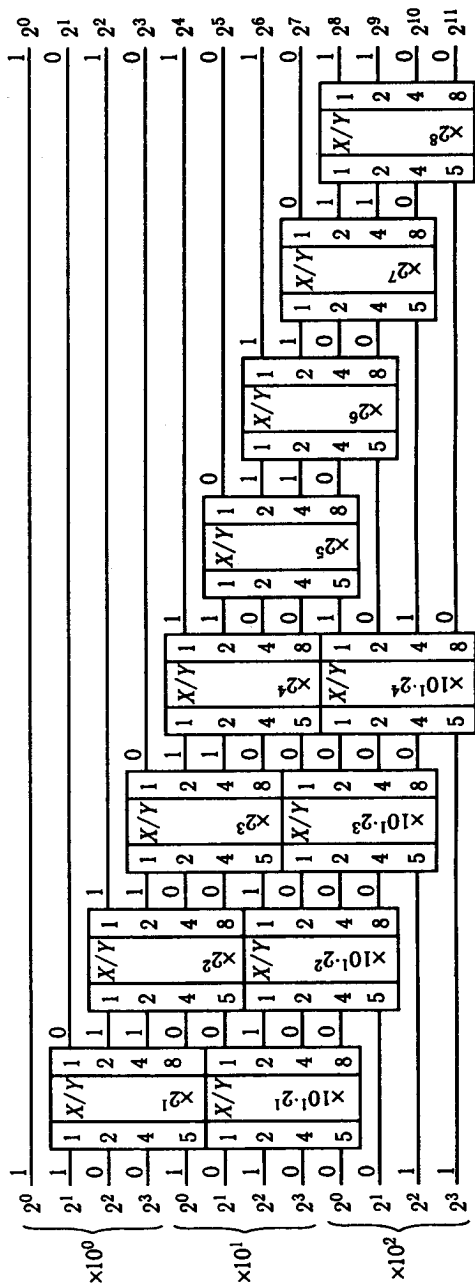


Рис. 5.36. Схема перетворювача 3-розрядного двійково-десятькового коду на двійковий код

Таблиця 5.9. Таблиця істинності перетворювача кодів

$i$	$x_4$	$x_3$	$x_2$	$x_1$	$y_4$	$y_3$	$y_2$	$y_1$
0	0	0	0	0	0	0	0	0
1	0	0	0	1	0	0	0	1
2	0	0	1	0	0	0	1	0
3	0	0	1	1	0	0	1	1
4	0	1	0	0	0	1	0	0
8	1	0	0	0	0	1	0	1
9	1	0	0	1	0	1	1	0
10	1	0	1	0	0	1	1	1
11	1	0	1	1	1	0	0	0
12	1	1	0	0	1	0	0	1

лентно додаванню числа  $X = (0, x_3, x_2, x_1)$  з доповненням числа 3 до  $2^3$ , тобто додаванню з числом 5. Схему цього перетворювача коду, виконану на суматорі, зображено на рис. 5.37.

Перевагою комбінаційних перетворювачів двійково-десятькового коду на двійковий є малий час перетворення, що зумовлено тільки сумарною затримкою в максимальному числі послідовно ввімкнених перетворювачів кодів. У перетворювачах двійково-десятькового коду на двійковий, виконаний на зсувних регістрах, час перетворення дорівнює  $4mT_T$ , де  $m$  — число тетрад;  $T_T$  — період тактових сигналів. Мінімальне значення  $T_T$  визначається швидкодією елементів пам'яті (ЕП), на яких виконаний зсувний регістр. Швидкодія ЕП такого самого порядку, як швидкодія перетворювача кодів. Недоліком цього перетворювача є відносна складність схеми.

Економічнішу схему перетворювача двійково-десятькового коду на двійковий можна дістати на основі перетворювачів кодів, що мають по п'ять вхідних і вихідних сигналів, які виконують перетворення не одного, а двох двійково-десятькових розрядів на двійкові. Умовне графічне позначення таких перетворювачів кодів зображено на рис. 5.38, а (сигнали з вагами 5 і 10 перетворюються на сигнали з вагами 8 і 16). Такі перетворювачі випускають, наприклад, у вигляді мікросхеми К155ПР6 (рис. 5.38, б). Цю мікросхему виконано як постійний запам'ятовувальний пристрій (ПЗП)  $32 \times 8$  біт, що вико-

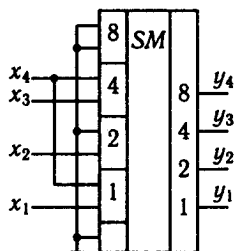


Рис. 5.37. Схема елементарного перетворювача двійково-десятькового коду на двійковий код

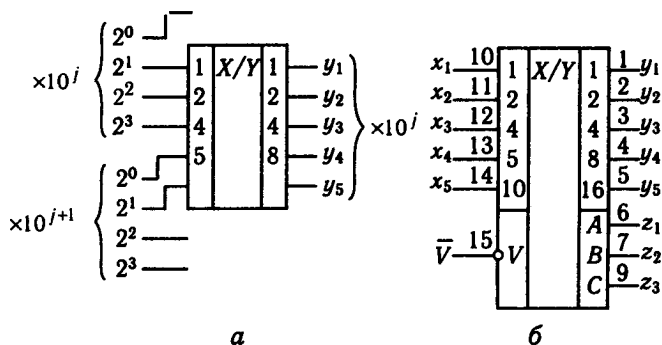


Рис. 5.38. Умовне позначення елементарного перетворювача двійково-десятькового коду на двійковий код:  
**a** – з п'ятьма входами та п'ятьма виходами; **b** – мікросхема K155ПР6, яка виконує функції перетворювача

нує функцію

$$Y = \begin{cases} X, & \text{якщо } 0 \leq X \leq 4, \\ X - 3, & \text{якщо } 8 \leq X \leq 12, \\ X - 6, & \text{якщо } 16 \leq X \leq 20, \\ X - 9, & \text{якщо } 24 \leq X \leq 28, \end{cases}$$

де  $X = (x_5, x_4, x_3, x_2, x_1)$ ;  $Y = (y_5, y_4, y_3, y_2, y_1)$ .

Значення  $X = 5, 6, 7; 13, 14, 15; 21, 22, 23; 29, 30, 31$  не можуть з'являтися на входах перетворювача коду. Значення вхідних сигналів  $x_p$  ( $p = 1, \dots, 5$ ) задають адресу ПЗП, за якого відбувається зчитування вихідних сигналів  $y_p$ . Правила складання схеми перетворювача двійково-десятькового коду на двійковий з використанням цих перетворювачів ідентичні наведеним раніше. На рис. 5.39 зображено схему перетворювача 4-розрядного двійково-десятькового коду на двійковий код, складену за цими правилами. На схемі цифрами 0 і 1 показано перетворення десяткового числа 9999 на двійкове число.

Мікросхема K155ПР6 має вхід стробування  $V$ : при  $V = 0$  здійснюється зчитування інформації, записаної в ПЗП, а при  $V = 1$  усі вихідні сигнали набувають значення, яке дорівнює 1. Крім того, ця мікросхема має ще два застосування у разі використання виходів  $A(z_1)$ ,  $B(z_2)$  і  $C(z_3)$ :

1) при  $x_5 = 0$  здійснюється перетворення двійково-десятькового числа  $X = (x_4, x_3, x_2, x_1)$  на додаток  $W_1$  до числа 9 за правилом:  $W_1 = 9 - X = (z_3, z_2, x_2, z_1)$ ;

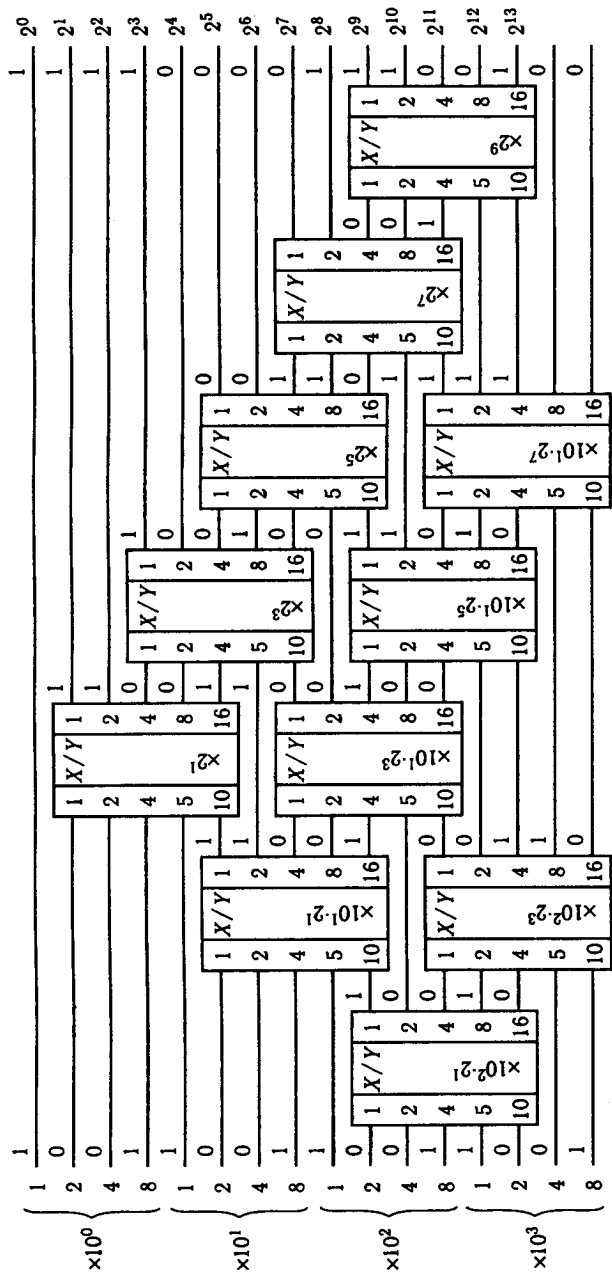


Рис. 5.39. Схема перетворювача 4-розрядного двійково-десяткового коду на двійковий код на мікросхемах К155ПР6



2) при  $x_5 = 1$  — перетворення двійково-десятькового числа  $X = (x_4, x_3, x_2, x_1)$  на додаток  $W_2$  до числа 10 за правилом:

$$W_2 = (z_3, z_2, z_1, x_1) = \begin{cases} 10 - X, & \text{якщо } 1 \leq X \leq 9, \\ 0, & \text{якщо } X = 0. \end{cases}$$

## 5.12. Перетворювачі двійкового коду на двійково-десятьковий код

Якщо уявити собі передавання інформації на схемах, зображених на рис. 5.36 і 5.39, у зворотному напрямку, то одержимо перетворювачі двійкового коду на двійково-десятьковий код. Із цього випливає, що як елементарні перетворювачі кодів можна використовувати перетворювачі, зображені на рис. 5.37 і 5.38, після виконання взаємної заміни відповідних ваг, зазначених на додаткових полях (рис. 5.40, а, б).

Розглянемо перетворювач, що має чотири входи і чотири виходи (рис. 5.40, а). Він має виконувати функцію, обернену функції (5.23), тобто при  $X \geq 5$  треба додавати числа  $X = (x_4, x_3, x_2, x_1)$  з числом 3. Отже, цей перетворювач виконує функцію

$$Y = \begin{cases} X, & \text{якщо } 0 \leq X \leq 4, \\ X + 3, & \text{якщо } 5 \leq X \leq 9. \end{cases} \quad (5.24)$$

Правила складання перетворювача двійкового коду на двійково-десятьковий код такі:

1) ваги розрядів вхідних сигналів усіх перетворювачів кодів мають бути у співвідношенні 1 : 2 : 4 : 8;

2) через те що кожен перетворювач кодів перетворить тільки один двійковий розряд на двійково-десятьковий розряд (вага 8 змінюється на вагу 5), то перетворювач двійкового коду на двійково-десятьковий код повинен мати пірамідальну структуру;

3) побудова піраміди продовжується доти, доки не будуть отримані ваги  $10^j 2^1$ , де  $j = 0, 1, 2, \dots$  (за винятком старшого десяткового розряду);

4) на перетворювачі не можна подавати двійкові числа, що перевищують суму ваг вихідних сигналів  $5 + 4 + 2 + 1 = 12$ .

Останнє правило стосується перетворювачів, які складають нижній ряд схеми перетворювача двійкового коду на двійково-десятьковий код (рис. 5.41). За цими правилами скла-

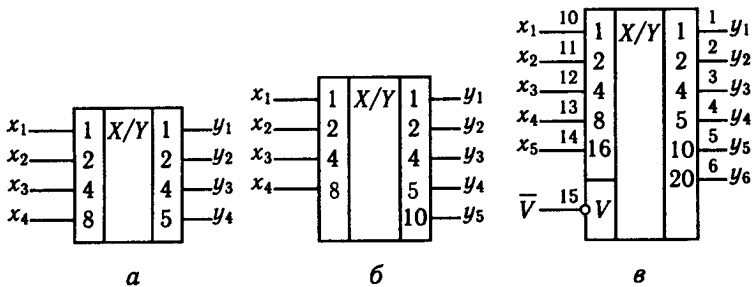


Рис. 5.40. Умовне позначення елементарних перетворювачів двійкового коду на двійково-десятиковий код:

*a* — з чотирма входами та чотирма виходами; *б* — з чотирма входами та п'ятьма виходами; *в* — з п'ятьма входами та шістьма виходами на мікросхемах К155ПР7

дають схему перетворювача для будь-якого  $n$ -розрядного двійкового числа.

Зробимо синтез перетворювача [див. співвідношення (5.24)], умовне графічне позначення якого зображено на рис. 5.40, *a*.

Для цього за функцією (5.24) укладемо таблицю істинності перетворювача (табл. 5.10).

Склавши діаграми Вейча (рис. 5.42), дістанемо:

$$y_1 = \bar{x}_1 x_4 \vee x_1 \bar{x}_3 \bar{x}_4 \vee \bar{x}_1 x_2 x_3 = x_1 \oplus y_4;$$

$$y_2 = x_1 x_2 \vee \bar{x}_1 x_4 \vee x_2 \bar{x}_3;$$

$$y_3 = x_1 x_4 \vee \bar{x}_1 \bar{x}_2 x_3;$$

$$y_4 = x_4 \vee x_1 x_3 \vee x_2 x_3.$$

Оскільки в інтегральному вигляді випускають мікросхеми середнього ступеня інтеграції (двійкові суматори і мультиплексори), що виконують складніші перемикальні функції, ніж логічні елементи І — НЕ (АБО — НЕ), то слід розглянути синтез перетворювача [див. співвідношення (5.24)] на двійкових суматорах і мультиплексорах. Через те що при  $5 \leq X \leq 9$  функція  $Y = X + 3$ , то необхідність операції підсумовування з числом 3 можна установити за допомогою суматора, що обчислює суму  $X + 11$ , оскільки при  $X \geq 5$  виникає перенесення  $P_4 = 1$ , а при  $X < 5$  — перенесення  $P_4 = 0$ . Тоді, використавши другий двійковий суматор (див. рис. 5.40), можна реалізувати функцію (5.24). Дійсно, при  $P_4 = 0$  другий двійковий суматор обчислює суму  $(X + 11) + 5 = 16 + X$ . Оскільки

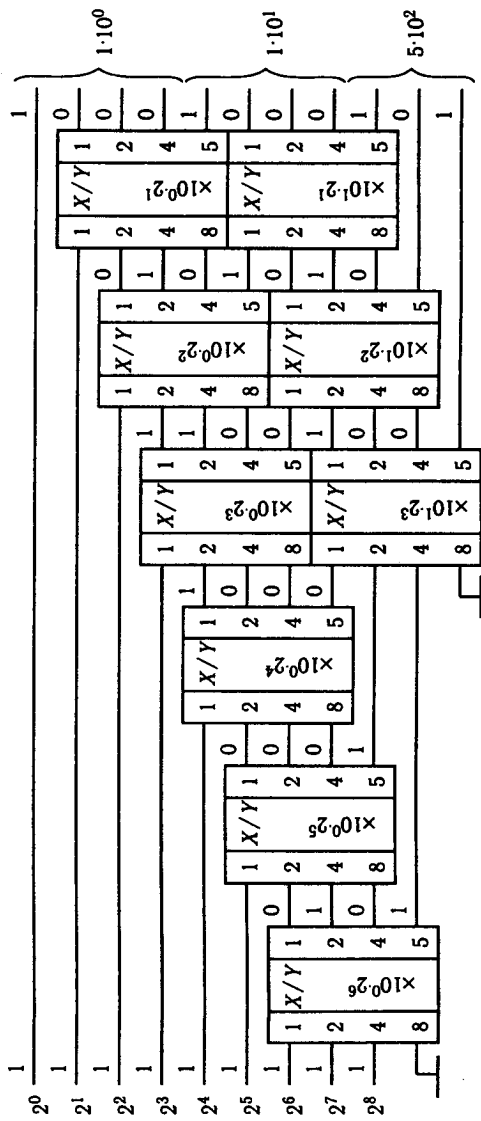


Рис. 5.41. Схема перетворювача 8-розрядного коду двійкового числа на двійково-десятковий код, виконана на елементарних перетворювачах з чотирма входами та чотирма виходами

Таблиця 5.10. Таблиця істинності перетворювача

$x_4$	$x_3$	$x_2$	$x_1$	$y_4$	$y_3$	$y_2$	$y_1$
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	0
0	0	1	1	0	0	1	1
0	1	0	0	0	1	0	0
0	1	0	1	1	0	0	0
0	1	1	0	1	0	0	1
0	1	1	1	1	0	1	0
1	0	0	0	1	0	1	1
1	0	0	1	1	1	0	0

ки виходами схеми є виходи другого суматора  $S_1, \dots, S_4$ , то число 16, що з'являється на виході  $P_4$ , зникає. Якщо  $P_4 = 1$ , то другий двійковий суматор обчислює суму  $(X + 11) + 8 = X + 19 = 16 + (X + 3)$ . Отже, схема на рис. 5.43 дійсно виконує функцію (5.24).

Зробимо синтез цього самого перетворювача на здвоєних 4-канальних мультиплексах.

Для цього застосуємо методику синтезу, відповідно до якої складність одержаної в результаті синтезу КС залежить від вибору змінних, які використовують як адресні змінні мульти-

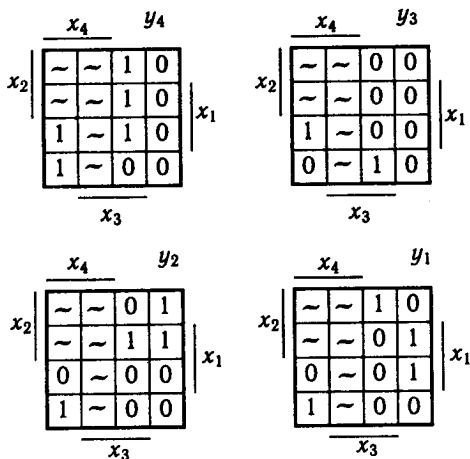


Рис. 5.42. Синтез елементарного перетворювача двійкового коду на двійково-десятьковий з чотирма входами та чотирма виходами

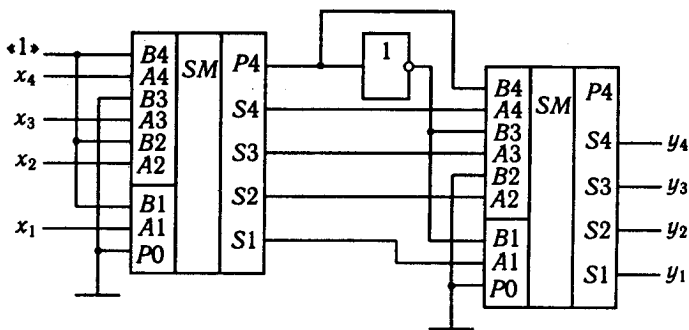


Рис. 5.43. Схе́ма елементарного перетворювача двійкового коду на двійково-десятьковий код з чотирма входами та чотирма виходами, виконана на 4-розрядних суматорах

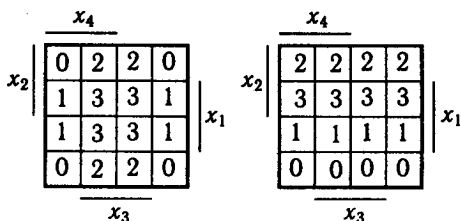


Рис. 5.44. Синтез елементарного перетворювача двійкового коду на двійково-десятьковий код із чотирма входами та чотирма виходами на мультиплексах

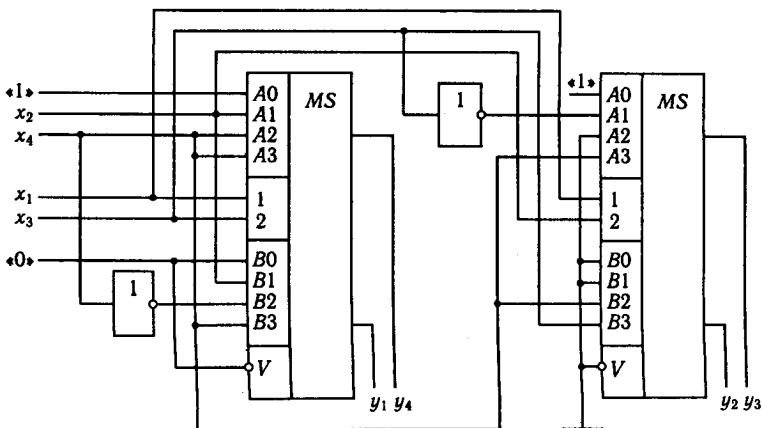


Рис. 5.45. Схе́ма елементарного перетворювача на двох здвоєних 4-каналних мультиплексах 564КП1

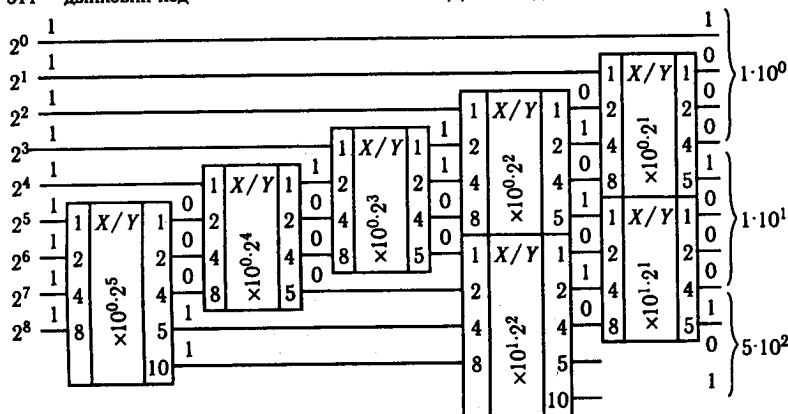


Рис. 5.46. Схема перетворювача 8-розрядного двійкового коду на двійково-десятковий код на елементарних перетворювачах з чотирма входами та п'ятьма виходами

плексора. Якщо за адресні змінні для функцій  $y_1$  і  $y_4$  використовувати змінні  $x_1$  і  $x_3$ , а для функцій  $y_2$  і  $y_3$  – змінні  $x_1$  і  $x_2$ , то буде отримана найекономічніша КС.

Для мультиплексорів, що реалізують функції:  $y_1$  і  $y_4$  (рис. 5.42 і 5.44) –  $A_0 = 1$ ,  $A_1 = x_2$ ,  $A_2 = A_3 = x_4$ ,  $B_0 = 0$ ,  $B_1 = x_2$ ,  $B_2 = \bar{x}_4$ ,  $B_3 = x_4$ ;  $y_2$  і  $y_3$  (рис. 5.45) –  $A_0 = 1$ ;  $A_1 = \bar{x}_3$ ,  $A_2 = 0$ ,  $A_3 = x_4$ ,  $B_0 = B_1 = 0$ ,  $B_2 = x_4$ ,  $B_3 = x_3$ .

Недоліком розглянутих перетворювачів кодів (див. рис. 5.40, а) є те, що сума ваг вхідних сигналів ( $8 + 4 + 2 + 1 = 15$ ) більша, ніж сума ваг вихідних ( $5 + 4 + 2 + 1 = 12$ ), що зумовлює необхідність подавання сигналу 0 на деякі перетворювачі (див. рис. 5.41). На рис. 5.40, б зображено елементарний перетворювач кодів, що має чотири входи і п'ять виходів, сума ваг вихідних сигналів якого ( $10 + 5 + 4 + 2 + 1 = 22$ ) більша, ніж сума ваг вхідних сигналів ( $8 + 4 + 2 + 1 = 15$ ). Такий перетворювач дає змогу зменшити число мікросхем, які використовують для побудови перетворювача двійкового коду на двійково-десятковий код (рис. 5.46), оскільки на значення двійкових чисел, поданих на входи елементарних перетворювачів, зняті обмеження.

Перетворювач кодів, що має п'ять входів і шість виходів ( $V$  – додатковий вхід стробування), зображено на рис. 5.40, в. Такий перетворювач випускають у серії 155 мікросхем (мікросхема К155ПР7 у вигляді ПЗП). Зрозуміло, що чим більше

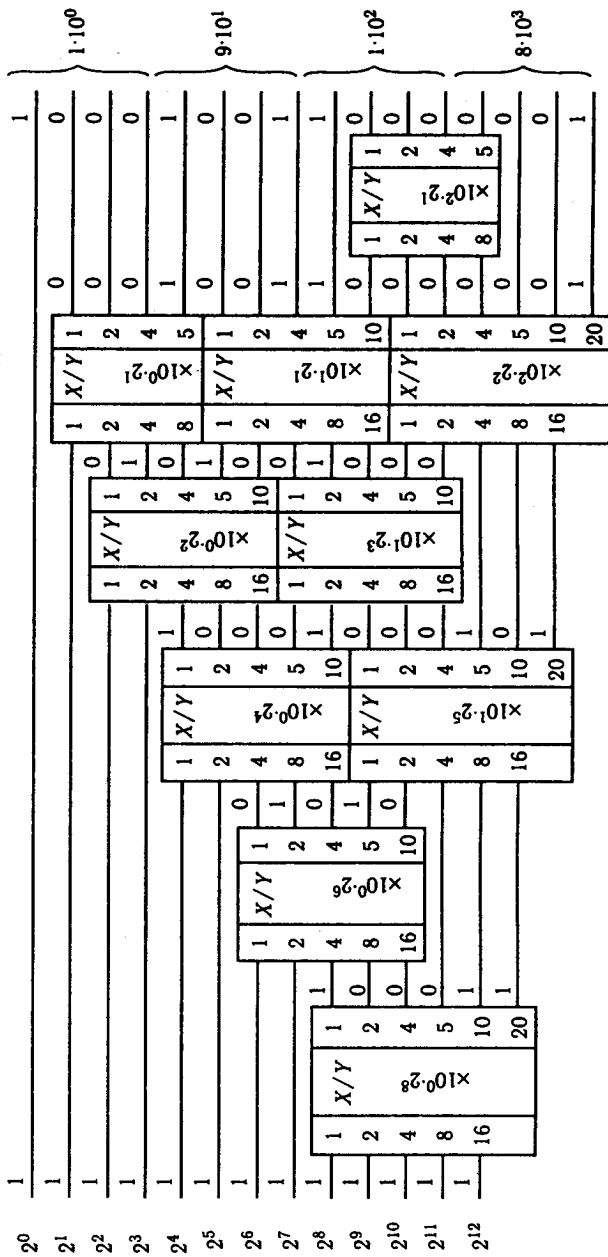


Рис. 5.47. Схема перетворювача 12-розрядного двійкового коду на двійково-десятковий код на мікросхемах К155ПР7

двійкових розрядів перетвориться на двійково-десяткові розряди, тим простіше буде схема перетворювача багаторозрядного двійкового коду на багаторозрядний двійково-десятковий код.

Схему перетворювача 12-розрядного двійкового коду на двійково-десятковий код, виконану на основі мікросхем К155ПР7, наведено на рис. 5.47.

Правила складання схеми цього перетворювача такі самі, як і схеми перетворювача, зображеного на рис. 5.46.

У такий самий спосіб можна скласти схему перетворювача для будь-якого  $n$ -розрядного двійкового коду.

### 5.13. Взаємне перетворення двійкового коду і коду Грея

Запишемо  $n$ -розрядне число  $X$ , задане у двійковій системі числення, у символічній формі:  $X = (x_n, \dots, x_p, \dots, x_1)$ , де  $x_p$  — значення розрядів числа;  $x_1$  — молодший розряд. Будь-яке число  $X$  можна подати й у непозиційній системі числення, виконавши деяке взаємно однозначне перетворення  $A(X)$ . На практиці широко застосовують спеціальне перетворення  $A(X)$ , у результаті якого одержують код Грея: кодові комбінації  $A(X)$  і  $A(X + 1)$  відрізняються значенням тільки одного розряду, причому комбінації  $A(0)$  і  $A(2^n - 1)$  також відрізняються значенням одного розряду. Код Грея використовують у перетворювачах аналогових фізичних сигналів на цифрові сигнали з похибкою, що не перевищує значення молодшого розряду двійкового числа  $X$ . Одержання коду Грея з двійкових чисел  $X$  засновано на перетворенні  $A(X) = (\alpha_n, \dots, \alpha_p, \alpha_1)$ ,

$$\alpha_p = \begin{cases} x_p \oplus x_{p+1}, & \text{якщо } p = 1, 2, \dots, n-1, \\ x_n, & \text{якщо } p = n. \end{cases} \quad (5.25)$$

Перетворення  $A(X)$  для 4-розрядних двійкових чисел  $X = (x_4, x_3, x_2, x_1)$  паведено в табл. 5.11, а відповідну цьому перетворенню схему — на рис. 5.48, а.

Перетворення коду Грея на двійковий одержують безпосередньо зі співвідношення (5.25) на підставі властивостей операції «сума за модулем два»:

$$x_p = \begin{cases} \alpha_p \oplus \alpha_{p+1}, & \text{якщо } p = 1, 2, \dots, n-1, \\ \alpha_p, & \text{якщо } p = n. \end{cases}$$



Таблиця 5.11. Таблиця істинності перетворення

$x_4$	$x_3$	$x_2$	$x_1$	$\alpha_4$	$\alpha_3$	$\alpha_2$	$\alpha_1$
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	1
0	0	1	1	0	0	1	0
0	1	0	0	0	1	1	0
0	1	0	1	0	1	1	1
0	1	1	0	0	1	0	1
0	1	1	1	0	1	0	0
1	0	0	0	1	1	0	0
1	0	0	1	1	1	0	1
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	0
1	1	0	0	1	0	1	0
1	1	0	1	1	0	1	1
1	1	1	0	1	0	0	1
1	1	1	1	1	0	0	0

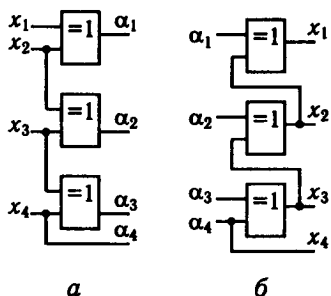


Рис. 5.48. Схема перетворення двійкового 4-розрядного коду:  
 а — на код Грея; б — на двійковий код

Схему, що виконує ці перетворення, зображено на рис. 5.48, б.

### Контрольні запитання і завдання

1. Назвіть етапи побудови логічної схеми.
2. Що таке функціонально повна система та базис ЛЕ?
3. У чому особливість синтезу логічних пристроїв на базі ЛЕ з числом входів більших за необхідне; менших за необхідне?
4. Синтезуйте схему для реалізації функції  $F = x_1 + x_2 + x_1 + x_2$  на елементах І–НЕ.
5. Які призначення і структурна схема мультиплексора; демультиплексора?
6. Які призначення та структурні схеми одноступінчастого, пірамідального і багаступінчастого дешифраторів?
7. Накресліть схему двійково-десятькового дешифратора.
8. Які призначення та логічна схема шифратора?

9. Накресліть структурну схему пристрою введення інформації з клавіатури.
10. Запишіть ФАЛ, що реалізує арифметичне підсумовування 1-розрядних двійкових кодів.
11. Чим відрізняється півсуматор від 1-розрядного суматора?
12. Поясніть принцип роботи двійково-десятькового суматора.
13. Які призначення й умовне графічне зображення перетворювача кодів?
14. Які призначення і логічна схема цифрового компаратора?
15. Цілком визначена булева функція від чотирьох змінних задана десятковими робочими наборами  $F(x) = (5, 6, 7, 8, 9, 10, 11)$ . Знайти мінімальну форму цієї функції, використовуючи метод Карно–Вейча, і синтезувати комбінаційну схему на логічних елементах 2АБО–НЕ.

## ТРИГЕРНІ ЕЛЕМЕНТИ ЦИФРОВИХ ПРИБОРІВ

**6.1. Основні поняття.  
Класифікація тригерів  
та їх загальні характеристики**

Більшість цифрових пристроїв поєднують функції перероблення та збереження інформації. В арифметичних і логічних пристроях для збереження інформації найчастіше використовують *тригери* — пристрої з двома стійкими станами виходу, які містять елементарну запам'ятовувальну комірку і схему керування. Схема керування перетворює інформацію, яка надходить, на комбінацію сигналів, що діють безпосередньо на входи елементарної запам'ятовувальної комірки.

Тригери широко використовуються у формівниках імпульсів, генераторах одиничних сигналів, для побудови подільників частоти, лічильників, перерахункових пристроїв, регістрів, суматорів, у пристроях керування і т. д.

У більшості серій інтегральних елементів містяться тригери різних типів, у тому числі універсальні. Нижче розглянуто лише пайпростіші, проте найпоширеніші типи тригерів із наведеними практичними прикладами їх використання.

У ряді випадків потрібні нові властивості тригерів, для чого розробляють довільний тригерний елемент. У цьому розділі наведено методологію розроблення тригерних елементів на основі канонічного методу синтезу.

Канонічний метод структурного синтезу стосовно до тригерів дає змогу звести задачу синтезу до задачі структурного синтезу комбінаційних схем. Результатом канонічного методу структурного синтезу є система логічних рівнянь, що виражає залежність вихідних сигналів тригерів і функцій збудження елементарних запам'ятовувальних комірок від сигналів на вході тригера і сигналів із виходів елементарних запам'ятовувальних комірок.

Узагальнену схему тригерного пристрою (надалі — просто тригера) можна подати у вигляді, наведеному на рис. 6.1, де  $x_1, \dots, x_n$  — інформаційні входи;  $C_1, \dots, C_m$  — входи синхронізації, або тактові входи;  $V_1, \dots, V_k$  — керуючі входи;

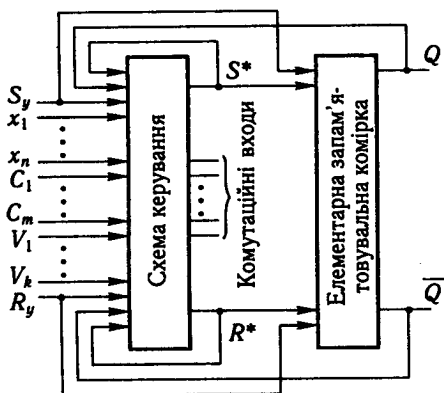


Рис. 6.1. Узагальнена схема тригерного пристрою

$S_y$ ,  $R_y$  — встановлювальні входи;  $S^*$ ,  $R^*$  — інформаційні входи елементарної запам'ятовувальної комірки;  $Q$ ,  $\bar{Q}$  — виходи.

Комутаційні входи використовують для зовнішніх з'єднань у програмувальних універсальних тригерах. У реальних схемах тригерів деяких входних сигналів і зв'язків, зображених на рис. 6.1, може не бути, а в найпростіших тригерах може не бути схеми керування.

Для інформаційних входів використовують такі позначення:  $S$  (*Set* — установка) — вхід для роздільного установлення тригера в стан «1» ( $Q = 1$ ,  $\bar{Q} = 0$ );  $R$  (*Reset* — скидання) — вхід для роздільного установлення тригера в стан «0» ( $Q = 0$ ,  $\bar{Q} = 1$ );  $T$  (*Toggle* — релаксатор) — лічильний вхід тригера;  $J$  (*Jerk* — раптове вмикання) — вхід для роздільного установлення тригера в стан «1» в універсальному  $JK$ -тригері;  $K$  (*Kill* — раптове вимкнення) — вхід для роздільного установлення тригера в стан «0» в універсальному  $JK$ -тригері;  $D$  (*Delay* — затримка, *Drive* — передавання) — інформаційний вхід для установлення тригера в стан «0» або «1»;  $V$  (*Valve* — клапан, вентиль) — керувальний вхід для дозволу приймання інформаційних, або тактових, сигналів; тактовий вхід  $C$  (*Clock* — первинне джерело сигналів синхронізації) дає змогу схемі керування записувати інформацію у тригер.

За способом організації логічних зв'язків розрізняють тригери з роздільним установленням у стан «0» і «1» ( $RS$ -тригери); з лічильним входом ( $T$ -тригери); універсальні з роздільним установленням у стан «0» і «1» ( $JK$ -тригери); із прийманням інформації з одного входу

(*D*-тригери); універсальні з керованим прийманням інформації з одного входу (*DV*-тригери); комбіновані (наприклад, *RST*-, *JKRS*-, *DRS*-тригери); зі складною вхідною логікою.

За способом запису інформації тригери поділяють на несинхронізовані (асинхронні, нетактові) і синхронізовані (синхронні, тактові).

За способом синхронізації розрізняють тригери синхронні зі статичним керуванням записом та синхронні з динамічним керуванням записом.

У синхронних тригерах зі статичним керуванням записом тактовий імпульс починає впливати тільки тоді, коли його рівень або зростає до рівня «1», або зменшується до рівня «0» залежно від елементної бази, на якій виконується тригер. Тригери, стан яких змінюється в інтервалі дії рівнів «1» або «0» тактового імпульсу, називають тригерами, що спрацьовують за рівнем, а тригери, стан яких змінюється після закінчення дії рівнів «1» або «0» тактового імпульсу, називають тригерами із внутрішньою затримкою. Інформаційні сигнали впливають на тригер лише протягом дії тактового імпульсу.

У синхронних тригерах з динамічним керуванням записом інформація надходить у момент зміни амплітуди тактового імпульсу у визначеному напрямку, тобто під час наростання спаду або його фронту.

За кількістю інформаційних входів тригери можуть бути з одним, двома та з багатьма входами. Найбільш поширені тригери з одним та двома входами. Слід розрізнити кількість інформаційних входів з кількістю фактичних входів, на які надходять інформаційні сигнали, тому що реально діючий інформаційний вхід у структурі тригера може бути кон'юнкцією, диз'юнкцією або будь-якою функцією кількох логічних змінних, що діють на інформаційних входах, наприклад  $J = J_1 J_2 J_3$ ;  $K = K_1 K_2 K_3$ .

За кількістю тактових входів розрізняють тригери одно-, дво- та багатотактні. Іноді двотактними вважають двоступінчасті тригери (*MS*-схеми), однак треба враховувати, що основне призначення останніх — одержання ефекту часової затримки інформаційних сигналів у структурі тригера, якщо такий ефект неможливо реалізувати з використанням фізичних методів, наприклад за допомогою накопичення зарядів.

За видом вихідних сигналів тригери поділяють на статичні і динамічні. Статичні тригери — тригери, в яких вихідні сигнали в стійких станах залишаються незмінними в часі. Динамічні тригери — тригери, в яких вихідні сигнали в стійких станах змінюються в часі.

За способом запам'ятовування інформації тригери можуть бути з логічною і фізичною організацією пам'яті. Перші виконують на логічних елементах І, АБО, НЕ, І—НЕ, АБО—НЕ, І—АБО—НЕ і т. д., а другі є елементами запам'ятовувальних пристроїв, у яких використовують нелінійні властивості матеріалів або нелінійні вольт-амперні характеристики компонентів.

За способом збереження інформації розрізняють тригери з активним збереженням інформації (вихідний інформаційний сигнал діє постійно); з пасивним збереженням інформації (вихідний інформаційний сигнал можна отримати тільки за допомогою спеціального опитувального сигналу).

За організацією структури тригери поділяють на прямі і дуальні (інверсні їм тригери), з незмінною структурою і програмувальні.

Поділ на прямі і дуальні тригери відносний, а їхня взаємна інверсія відображає, наприклад для тригера з двома входами, таке: стан тригера при комбінаціях вхідних сигналів 00 і 11 в інверсному тригері змінюється на протилежний, а при комбінаціях 10 і 01 залишається незмінним. Тригер, розроблений для позитивної логіки, буде дуальним самому собі при негативній логіці. При позитивній логіці тригер, виконаний у базисі І—НЕ, буде дуальним тригеру, що має ту саму структуру, але виконаному в базисі АБО—НЕ, і т. ін.

Оскільки тригери в цифрових пристроях взаємодіють з іншими елементами схеми, крім функціонального призначення необхідно знати їх *схемотехнічні параметри*. До цих параметрів належать параметри логічних елементів, на яких виконаний тригер:  $K_{об}$  — коефіцієнт об'єднання на вході;  $K_{роз}$  — коефіцієнт розгалуження на виході; рівні «0» і «1», вхідні і вихідні струми тощо.

На відміну від логічних елементів параметрами тригера є такі: *дозволений час тригера*  $t_{доз}$  — найменший інтервал часу між вхідними сигналами мінімальної тривалості, які спричинюють безперебійне перемикання тригера. Очевидно, що  $t_{доз}$  залежить від того, який зміст вкладають у поняття «безперебійне перемикання тригера». Вважають, що тригер перемикається безперебійно, якщо будь-яке значення вихідного сигналу, зумовлене правилами роботи, має тривалість не меншу за середній час затримки поширення  $\tau_{зт.п.ср}$  одного логічного елемента схеми;

*максимальна частота перемикання тригера*

$$f_{\max} \approx 1 / 2\pi t_{\text{доз}}. \quad (6.1)$$

Оскільки, як зазначено вище, вихідні сигнали тригера при впливі вхідних сигналів з частотою  $f_{\max}$  мають тривалість  $\tau_{\text{зт.п.сп}}$ , то, з огляду на тривалість фронтів наростання і спадання, можна дійти висновку, що ці вихідні сигнали є недостатніми для надійного передавання інформації у логічні кола, через те що рівні «1» і «0» у цьому випадку не фіксуватимуться. Для забезпечення їх фіксування частоту  $f_{\max}$  зменшують у 1,5 раза і вважають її робочою, тобто

$$f_{\text{роб}} = f_{\max} / 1,5 \quad (6.2)$$

(параметр  $f_{\text{роб}}$  указують у паспорті або ТУ для найгірших умов роботи);

*мінімальна тривалість вхідного сигналу*

$$t_i = \sum_{i=1}^k \tau_{\text{зт.п.сп}}, \quad (6.3)$$

де  $k$  — кількість елементів у колі від входу інформаційного або тактового сигналу до входу елемента, на якому замикається тригерне коло зворотного зв'язку;

*час затримки перемикання тригера*

$$t_{\text{зт.пер}} = \sum_{i=1}^l \tau_{\text{зт.п.сп}}, \quad (6.4)$$

де  $l$  — кількість елементів у колі від входу інформаційного або тактового сигналу до виходу елемента, на якому підтверджується стан тригера.

З визначення  $t_i$  та  $t_{\text{зт.пер}}$  випливає

$$l = k + 1. \quad (6.5)$$

Одиниця у формулі (6.5) характеризує затримку поширення одного з логічних елементів, на яких виконується елементарна запам'ятовувальна комірка тригера.

Сукупність параметрів  $f_{\text{роб}}$ ,  $t_i$  і  $t_{\text{зт.пер}}$  визначає швидкість тригерів та швидкодію цифрових пристроїв, побудованих на їхній основі.

Тригери є елементарними послідовними автоматами та характеризуються:

*числом інформаційних входів* не більшим ніж 3 (більшість реалізованих схем тригерів має не більш як 2 входи);

*числом внутрішніх станів* для споживача інформації з тригера, яке дорівнює 2, чому відповідає одна внутрішня змінна, яку позначають  $Q$ ;

числом скінченних змінних  $y$  не більшим ніж 1, причому значення  $y$  збігається зі значенням  $Q$ ; як правило, у тригерах поряд зі значенням  $Q$  виходить інверсна змінна  $\bar{Q}$ ;

функцією переходів або зв'язку внутрішніх змінних для моменту часу  $t$  зі значеннями початкових і скінченних змінних для моменту часу  $t + 1$ , які називають *характеристичними рівняннями*

$$Q_{t+1} = f(x_t, Q_t), \quad (6.6)$$

що є повними, тобто тригери мають повну систему переходів. Дійсно, для всіх тригерів є стани входів, під впливом яких відбуваються зміни стану тригерів усіх чотирьох видів:  $0 \rightarrow 0$ ,  $0 \rightarrow 1$ ,  $1 \rightarrow 0$ ,  $1 \rightarrow 1$ . Надалі переходи позначатимемо у вигляді двозначного числа, наприклад у вигляді 01.

Запис  $x_t$  у формулі (6.6) означає, що сигнал  $x$  набуває будь-якого конкретного значення 0 або 1 у момент часу  $t$  і зберігає його до моменту часу  $t + 1$ . Запис  $Q_{t+1}$  означає, що вихідний сигнал набуває будь-якого значення відразу після закінчення моменту часу  $t + 1$  і зберігає його до моменту часу  $t + 2$ . Іноді визначають  $x_t$  і  $Q_t$  як значення змінних до надходження інформаційного (тактового) сигналу, а  $x_{t+1}$ ,  $Q_{t+1}$  — після надходження інформаційного (тактового) сигналу.

Оскільки сигнали на виходах  $Q$  і  $\bar{Q}$  взаємно обернені, стан тригера визначений, якщо задане значення одного з вихідних сигналів, наприклад на його прямому виході  $Q$ . Стан  $Q = 1$ ,  $\bar{Q} = 0$  називають *одиничним*, а  $Q = 0$ ;  $\bar{Q} = 1$  — нульовим. За деяких комбінацій вхідних сигналів виникають стани  $Q = \bar{Q} = 1$  або  $Q = \bar{Q} = 0$ . Після закінчення дії таких комбінацій стан 00 або 11 зберігатися не може і тригер перейде або в стан 10, або в стан 01. Комбінацію вхідних сигналів, після закінчення якої стан тригера невизначено, тобто з однаковою ймовірністю може бути одиничним або нульовим, називають *забороненою комбінацією*. У цьому випадку значення сигналів на виходах  $Q$  і  $\bar{Q}$  фіктивні (невизначені).

Отже, тригер може мати п'ять логічних станів на виході  $(0, 1, Q, \bar{Q}, \times)$ , що означає таке:

«0» — тригер постійно перебуває в нульовому стані незалежно від зміни сигналів на його вході;

«1» — тригер постійно перебуває в одиничному стані незалежно від зміни сигналів на його вході;

$Q$  — стан тригера не змінюється при зміні вхідних сигналів, причому може бути або  $Q = 0$ , або  $Q = 1$ ;



$\bar{Q}$  — стан тригера змінюється на протилежний при зміні вхідних сигналів, причому може бути зміна стану «1» на стан «0» або навпаки;

$\times$  — фіктивний (невизначений) стан тригера.

Число теоретично можливих типів тригерів з  $x$  інформаційними входами дорівнює  $5^{2^x}$ ; тут 5 — кількість можливих станів на виході тригера,  $2^x$  — кількість наборів, що містять усі початкові змінні  $x$ . При  $x = 1$  маємо 25, а при  $x = 2$  — 625 типів тригерів, однак частина з них тривіальна, беззмістовна або тригери дуальні. Технічно реалізованих тригерів з одним інформаційним входом тільки 2, із двома інформаційними входами — 24. Найбільш поширені тригери з двома входами, але синтезовано тільки 8 їхніх типів, серед яких 3 — універсальні. Інші технічно реалізовані тригери з двома входами, серед яких є 10 універсальних, можуть набувати практичного застосування в майбутньому.

Правила функціонування тригерів можна задати:

1) словесним описом;

2) у вигляді таблиці переходів тригера, тобто таблиці інформаційних значень вхідних сигналів, внутрішніх станів і вихідних сигналів тригера;

3) у вигляді характеристичних рівнянь логічних функцій типу  $Q_{t+1} = f(Q_t, x_t)$ , де  $t = 1, 2, \dots, m$ ;

4) у вигляді графа, що складається з вершин, число яких відповідає можливим станам тригера з урахуванням внутрішніх станів елементів пам'яті, і спрямованих гілок, що починаються і закінчуються на вершинах; при цьому на гілках вказується набір вхідних сигналів, які зумовлюють перехід тригера з одного стану в інший або підтверджують цей стан;

5) у формі мікропрограмованого автомата (в теорії скінченних автоматів).

## 6.2. Асинхронний *RS*-тригер і його різновиди

*RS*-Тригер — з двома входами, який при подаванні активного сигналу на *S*-вхід і неактивного сигналу на *R*-вхід установлюється в одиничний стан; при подаванні активного сигналу на *R*-вхід і неактивного сигналу на *S*-вхід установлюється в нульовий стан; одночасне подавання двох активних сигналів на *S*- і *R*-вхід заборонено; якщо така ситуація виникає, то стан тригера вважають невизначеним.

Різновиди *RS*-тригера такі:

1. *S*-тригер — з двома входами, що працює як *RS*-тригер; при одночасному подаванні двох активних сигналів на входах тригер устанавлюється в одиничний стан.

2. *R*-тригер — з двома входами, що працює як *RS*-тригер; при одночасному подаванні двох активних сигналів на входах тригер устанавлюється в нульовий стан.

3. *E*-тригер (*Exclusive* — особливий) — з двома входами, що працює як *RS*-тригер; при одночасному подаванні двох активних сигналів на входах тригер зберігає попереднє значення.

Опис функціонування *RS*-тригера можна подати й у вигляді таблиці переходів. Якщо за активний сигнал на *R*- і *S*-входах взяти рівень «1», то одержимо табл. 6.1.

У стовпці «Номер набору» записується десяткове число — еквівалент двійкового коду, поданого змінними *R*, *S* і  $Q_t$ . Змінна *R* вважається старшим розрядом двійкового коду. З табл. 6.1 видно, що *RS*-тригер зберігає один зі стійких станів незалежно від багаторазової зміни інформаційного сигналу на одному вході при нульовому значенні інформаційного сигналу на іншому вході. Це властивість блокування — основна функціональна властивість *RS*-тригера, і саме вона робить його елементарною запам'ятовувальною коміркою.

У стовпці  $Q_{t+1}$  записуються значення скінченної змінної *Q* у момент часу  $t + 1$ . Якщо  $Q_{t+1} = Q_t$ , то такий стан тригера стійкий і в стовпці  $Q_{t+1}$  записується в дужках; якщо  $Q_{t+1} \neq Q_t$ , то стан тригера нестійкий і в стовпці  $Q_{t+1}$  записується без дужок. Для останньої ситуації можливі два випадки:

- 1) тригер у разі однакового набору початкових змінних переходить у стійкий стан (перехід позначений стрілкою);
- 2) тригер у разі однакового набору початкових змінних буде постійно змінювати свій стан, тобто перебуватиме в автоколивальному режимі. Останнє свідчить про те, що тригер цієї структури не може керуватися потенційними сигналами.

Таблиця 6.1. Таблиця переходів *RS*-тригера

Номер набору	<i>R</i>	<i>S</i>	$Q_t$	$Q_{t+1}$	$\bar{Q}_{t+1}$
0	0	0	0	(0)	1
1	0	0	1	(1)	0
2	0	1	0	(1)	0
3	0	1	1	(1)↓	0
4	1	0	0	(0)↑	1
5	1	0	1	0	1
6	1	1	0	×	×
7	1	1	1	×	×

	$S$	$Q_{t+1}$		
$R$	$\times$	$\times$	$0$	$0$
	$1$	$1$	$1$	$0$
	$Q$			

	$S$	$\bar{Q}_{t+1}$		
$R$	$\times$	$\times$	$1$	$1$
	$0$	$0$	$0$	$1$
	$Q$			

З позицій схемотехніки точки із сигналами  $Q_t$  і  $Q_{t+1}$  — одна і та сама точка схеми. Вихідний сигнал тригера після зміни вхідних сигналів устанавлюється не раніше, ніж через час затримки перемикавання.

Рис. 6.2. Карти Карно для  $RS$ -тригера

Тригер перебуватиме в стійкому стані, якщо через час  $t_{зт.пер}$  після зміни вхідних сигналів він не змінить свій стан. Тригер перебуватиме в нестійкому стані, якщо через час  $t_{зт.пер}$  після зміни вхідних сигналів змінить свій стан на протилежний.

З табл. 6.1 випливає, що при всіх наборах початкових змінних  $R, S$  тригер має стійкі стани, причому передбачається, що набір змінних  $RS = 11$  у разі нормальної роботи  $RS$ -тригера не виникає, тому значення  $Q_{t+1}$  при цьому наборі не викликає інтересу і позначене знаком  $\times$ . Відсутність нестійких станів у  $RS$ -тригера свідчить про те, що його характеристичне рівняння цілком відображає структуру потенційно керovanого тригера.

Визначимо характеристичне рівняння  $RS$ -тригера. Подамо рівняння (6.6) у досконалій диз'юнктивній нормальній формі (ДДНФ) і мінімізуємо останню за допомогою найпростішого і наочного методу для функцій невеликого числа змінних — методу карт Карно. ДДНФ утворюється як логічна сума конститuent 1 для наборів, на яких функція набирає одиничного значення, причому символ будь-якої змінної у деякій конститuentі 1 беруть зі знаком «мінус», якщо значення змінної в розглянутому наборі становить 0.

Якщо функція на деяких наборах має невизначене значення  $\times$ , то її повністю визначають. Процес повного визначення полягає в довільному завданні значень функції, які дорівнюють 0 або 1. Його виконують так, щоб результуюча мінімальна ДНФ функції була найпростішою з урахуванням можливості повного визначення функції одиницями. Нанесемо функцію (6.6) на карту Карно (рис. 6.2).

Характеристичне рівняння  $RS$ -тригера одержимо у вигляді

$$Q_{t+1} = S + \bar{R}Q_t. \quad (6.7)$$

Наявність забороненої комбінації інформаційних сигналів  $RS = 11$  запишемо так:

$$RS = 0. \quad (6.8)$$

Вибравши як елементну базу базис АБО—НЕ, перетворимо формулу (6.7), використовуючи закон заперечення і правило де Моргана, до вигляду

$$\bar{Q}_{t+1} = \overline{S + R + \bar{Q}_t}. \quad (6.9)$$

З табл. 6.1 та рис. 6.2 можна одержати вираз для  $\bar{Q}_{t+1}$ :

$$\bar{Q}_{t+1} = R + \bar{S}\bar{Q}_t. \quad (6.10)$$

Вираз (6.10) перетворимо на вигляд

$$Q_{t+1} = \overline{R + \bar{S} + \bar{Q}_t}. \quad (6.11)$$

З формул (6.9) і (6.11) випливає, що  $RS$ -тригер є послідовним з'єднанням двох елементів АБО—НЕ, які замкнені самі на себе (рис. 6.3, а).

Вибравши як елементну базу базис І—НЕ, перетворимо вирази (6.7) і (6.8), використовуючи правило де Моргана:

$$Q_{t+1} = \overline{\bar{S}\bar{R}\bar{Q}_t}, \quad \bar{R} + \bar{S} = 1. \quad (6.12)$$

З формули (6.12) видно, що  $RS$ -тригер (точніше,  $\bar{R}\bar{S}$ -тригер) є послідовним з'єднанням двох елементів І—НЕ, які замкнені самі на себе (рис. 6.3, з).  $RS$ - і  $\bar{R}\bar{S}$ -тригери дuality.

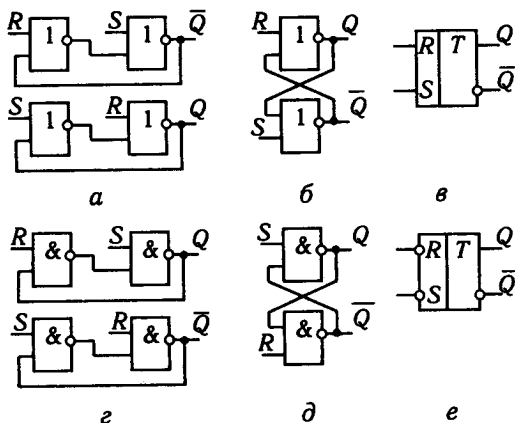


Рис. 6.3. Схеми  $RS$ -тригера в базисі АБО—НЕ (а, б) і в базисі І—НЕ (г, д) та їх умовні позначення (е, ф)

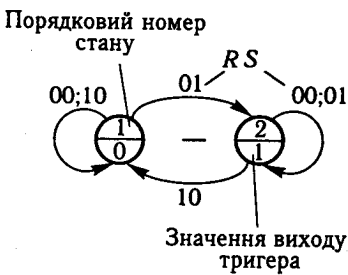


Рис. 6.4. Граф асинхронного RS-тригера

Закон функціонування RS-тригера на рис. 6.4 поданий у вигляді графа. Вершини графа позначають кружками, усередині яких записують стани тригерів (іноді крім цифр усередині кружків або поряд з ними записують символічне позначення станів), а дуги графа (напрявлені ребра) — лініями, що починають в якій-небудь вершині і закінчують у тій самій вершині (у цьому випадку дугу називають петлею) або в будь-якій іншій вершині. Дуги і петлі характеризують переходи тригера, які він здійснює під впливом вхідних сигналів, причому поряд з дугою або петлею записують комбінації вхідних сигналів (іноді комбінації вхідних сигналів записують у вигляді символічного позначення). Відсутність на графі комбінації вхідних сигналів  $RS = 11$  означає, що вона заборонена.

За допомогою характеристичних рівнянь (6.7), (6.11), (6.12) можна визначити стан тригера  $Q_{t+1}$ , у який він перейде в момент часу  $t + 1$ , якщо відомі комбінації вхідних сигналів і стан тригера  $Q_t$  у попередній момент часу  $t$ . Під час синтезу послідовних схем (складних тригерів, лічильників, регістрів) треба розв'язати обернену задачу: визначити комбінацію вхідних сигналів при необхідному переході з одного стану в інший. Результатом розв'язання цієї задачі буде одержання характеристичної таблиці. Для RS-тригера в базисі АБО—НЕ це табл. 6.2, а в базисі І—НЕ — табл. 6.3.

Характеристичну таблицю можна отримати з таблиці переходів, характеристичного рівняння або графа.

Нехай закон функціонування RS-тригера заданий таблицею переходів (див. табл. 6.1). Потрібно визначити комбінації

Таблиця 6.2. Характеристична таблиця для RS-тригера в базисі АБО—НЕ

Перехід $Q_t \rightarrow Q_{t+1}$	$R^*$	$S^*$
00	×	0
01	0	1
10	1	0
11	0	×

Таблиця 6.3. Характеристична таблиця для RS-тригера в базисі І—НЕ

Перехід $Q_t \rightarrow Q_{t+1}$	$R^*$	$S^*$
00	×	1
01	1	0
10	0	1
11	1	×

вхідних сигналів, за яких тригер зробить перехід 00. Тригер цей перехід здійснює в рядках, що відповідають наборам з номерами 0 та 4. При наборі номера 0  $R = 0$ ,  $S = 0$ , а при наборі номера 4  $R = 1$ ,  $S = 0$ ; отже, для того щоб  $RS$ -тригер здійснив потрібний перехід, на вхід  $S$  слід подати 0, а на вхід  $R$  — або 0, або 1 (див. перший рядок табл. 6.2). Аналогічно визначають значення  $R$  і  $S$  при переходах 01, 10 та 11.

Нехай закон функціонування  $RS$ -тригера заданий характеристичним рівнянням (6.7). Потрібно визначити комбінації вхідних сигналів, за яких тригер робить перехід 01. Після підстановки у формулу (6.7) значень  $Q_t = 0$  і  $Q_{t+1} = 1$  дістанемо рівність  $1 = S + \bar{R}0$ , що стає тотожністю при комбінаціях  $RS = 01$  або  $11$ , однак, з огляду на те що комбінація  $11$  заборонена, перехід 01 може здійснюватися тільки при  $R = 0$  і  $S = 1$  (див. другий рядок табл. 6.2). Аналогічно визначають значення  $R$  і  $S$  при переходах 00, 10 і 11.

Нехай закон функціонування  $RS$ -тригера заданий графом (рис. 6.4). Потрібно визначити комбінації вхідних сигналів, за яких тригер робить перехід 11. Поряд з петлею у вершині зі станом «1» записані дві комбінації  $RS$ : 00 і 01; це означає, що на вхід  $R$  треба подати 0, а на вхід  $S$  — або 0, або 1 (див. четвертий рядок табл. 6.2). Аналогічно визначають значення  $R$  і  $S$  при переходах 00, 01 та 10.

Оцінимо основні характеристики швидкодії асинхронного  $RS$ -тригера (рис. 6.5). Припустимо, що тригер спочатку перебуває в стані «0», а вхідні сигнали мають значення  $R = S = 0$  (ці цифри є першими ліворуч розрядами кодів, рис. 6.5, а).

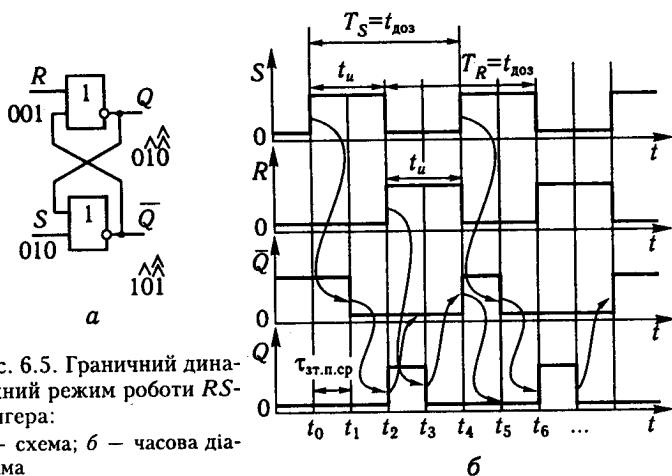


Рис. 6.5. Граничний динамічний режим роботи  $RS$ -тригера:

а — схема; б — часова діаграма

При перемиканні тригера в одиничний стан  $S = 1, R = 0$  (ці цифри є другими ліворуч розрядами кодів, рис. 6.5, *a*). Нове значення нульового сигналу встановлюють із затримкою щодо сигналу  $S$  на час  $\tau_{\text{зт.п.сп}}$ . Це позначено ковпачком над другим ліворуч розрядом коду, записаного біля виходу  $\bar{Q}$ . Сигнал 0 на виході  $Q$  спричинює поява нового значення 1 на виході  $Q$ . Сигнал на виході  $Q$  затриманий щодо сигналу на виході  $\bar{Q}$  на час  $\tau_{\text{зт.п.сп}}$ , а щодо вхідного сигналу  $S$  — на час  $2\tau_{\text{зт.п.сп}}$  (передбачено, що середні затримки поширення сигналу обох елементів АБО — НЕ однакові). Останню обставину позначено двома ковпачками над другим ліворуч розрядом коду, записаного біля виходу  $Q$ . Так само позначено на рис. 6.5, *a* етапи перемикання тригера з одиничного стану в нульове (треті ліворуч розряди кодів). Відлік затримок у цьому випадку проводиться щодо сигналу на вході  $R$ , який спричинив перемикання тригера.

На часовій діаграмі рис. 6.5, *b* наведено граничний динамічний режим роботи  $RS$ -тригера. Передбачено, що елементи АБО — НЕ є ідеальними елементами затримки на час  $\tau_{\text{зт.п.сп}}$  та не спотворюють фронти вхідних і вихідних сигналів. Нехай до моменту часу  $t_0$  тригер перебував у стані «0», а  $R = S = 0$ . У момент часу  $t_0$  сигнал  $S$  змінив своє значення з 0 на 1. У момент часу  $t_1 = t_0 + \tau_{\text{зт.п.сп}}$  вихідний сигнал змінився з 1 на 0. Нульові сигнали, що діють на вході  $R$  і на виході в момент часу  $t_2 = t_1 + \tau_{\text{зт.п.сп}}$ , забезпечать появу сигналу 1 на виході  $Q$ . У цей самий момент можна зняти сигнал 1 із входу  $S$ , а сигнал 1 з виходу  $Q$  підтвердить сигнал на виході  $\bar{Q}$  у момент часу

$$t_3 = t_2 + \tau_{\text{зт.п.сп}}$$

Тоді з урахуванням поданого вище визначення безперебійного перемикання тригера можна записати

$$t_u = 2\tau_{\text{зт.п.сп}}; t_{\text{зт.пер}} = 3\tau_{\text{зт.п.сп}} \quad (6.13)$$

З часової діаграми випливає, що

$$t_{\text{доз}} = T_S = T_R = 4\tau_{\text{зт.п.сп}} \quad (6.14)$$

Асинхронний  $S$ -тригер функціонує відповідно до табл. 6.4, де  $S_R$  — вхід, що відповідає входу  $R$ , а  $S_S$  — вхід, що відповідає входу  $S$   $RS$ -тригера. Відмітна риса  $S$ -тригера полягає у тому, що при активних вхідних сигналах  $S_R = S_S$  він встановлюється у стан «1». На рис. 6.6 закон функціонування  $S$ -тригера поданий у вигляді графа.

Таблиця 6.4. Таблиця функціонування асинхронного  $S$ -тригера

Набір	$S_R$	$S_S$	$Q_t$	$Q_{t+1}$	$R^*$	$S^*$
0	0	0	0	(0)	×	0
1	0	0	1	(1)	0	×
2	0	1	0	1	0	1
3	0	1	1	(1)	0	×
4	1	0	0	(0)	×	0
5	1	0	1	0	1	0
6	1	1	0	1	0	1
7	1	1	1	(1)	0	×

З табл. 6.4 видно, що при всіх наборах початкових змінних  $S_R$  і  $S_S$  тригер має стійкі стани; отже, характеристичне рівняння відображає структуру керуваного потенціалом тригера, причому він містить тільки одну елементарну запам'ятовувальну комірку у вигляді  $RS$ -тригера.

З карти Карно, зображеної на рис. 6.7, випливає, що

$$Q_{t+1} = S_S + \bar{S}_R Q_t. \quad (6.15)$$

Вираз (6.15) збігається з виразом (6.7), причому обмежень (6.8) немає.

Вираз (6.15) можна перетворити, якщо в карті Карно (рис. 6.7) використати додатковий контур:

$$\begin{aligned} Q_{t+1} &= S_S + S_S Q_t + \bar{S}_R Q_t = S_S + (S_S + \bar{S}_R) Q_t = \\ &= S_S + \overline{S_S + \bar{S}_R + \bar{Q}_t}. \end{aligned} \quad (6.16)$$

Звідси

$$\bar{Q}_{t+1} = \overline{S_S + S_S + \bar{S}_R + \bar{Q}_t}. \quad (6.17)$$

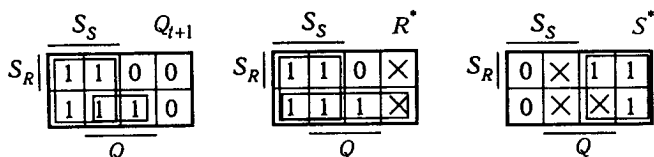


Рис. 6.7. Карти Карно для  $S$ -тригера



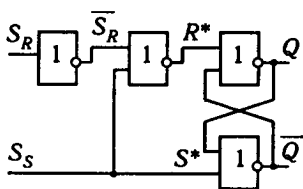


Рис. 6.8. Схема  $S$ -тригера в базисі АБО–НЕ

ної комірки. За комірку розглянемо  $RS$ -тригер, виконаний у базисі АБО–НЕ. У цьому випадку  $R^*$  і  $S^*$  – функції змінних  $S_R$ ,  $S_S$  та  $Q$ .

Доповнимо табл. 6.4 для моменту  $t + 1$  стовпцями  $R^*$  і  $S^*$  та внесемо в ці стовпці значення  $R^*$ ,  $S^*$ , які забезпечують необхідний перехід  $Q_t Q_{t+1}$ , скориставшись табл. 6.2. Наприклад, на нульовому наборі  $S$ -тригер здійснює перехід  $00$ , тоді з табл. 6.2 випливає, що в рядку з нульовим набором у стовпці  $R^*$  треба записати  $x$ , у стовпці  $S^*$  –  $0$  і т. д. З рис. 6.7 випливає, що

$$R^* = S_R \bar{S}_S, \quad (6.18)$$

$$S^* = S_S. \quad (6.19)$$

Вважатимемо, що  $S$ -тригер цілком виконується в базисі АБО–НЕ. Тоді за правилом де Моргана з формули (6.18) знайдемо

$$R^* = \overline{\bar{S}_R + S_S}. \quad (6.20)$$

Отже, вирази (6.19) і (6.20) відображають структуру  $S$ -тригера, зображену на рис. 6.8.

Іноді  $S$ -тригер називають  $RS$ -тригером із пріоритетним  $S$ -входом.

Структуру  $R$ - і  $E$ -тригерів можна одержати за методикою, наведеною для  $S$ -тригера. Аналогічно можна проаналізувати й основні характеристики швидкодії цих тригерів.

### 6.3. Асинхронні тригери з одним входом

Асинхронний  $D$ -тригер функціонує відповідно до табл. 6.5 (базис АБО–НЕ).

Закон функціонування  $D$ -тригера на рис. 6.9 поданий у вигляді графа.

Таблиця 6.5. Таблиця функціонування асинхронного  $D$ -тригера

Набір	$D$	$Q_t$	$Q_{t+1}$	$R^*$	$S^*$
0	0	0	(0)	$\times$	0
1	0	1	0	1	0
2	1	0	1	0	1
3	1	1	(1)	0	$\times$

За аналогією з розглянутим вище  $S$ -тригером маємо (рис. 6.10):

$$Q_{t+1} = D; \quad (6.21)$$

$$R^* = \bar{D}; \quad (6.22)$$

$$S^* = D. \quad (6.23)$$

Два останніх вирази визначають структуру тригера, здобути на основі узагальненої схеми тригерного пристрою, однак з виразу (6.21) випливає, що отримана схема (рис. 6.11) є тривіальною, виродженою, оскільки  $D$ -тригер можна дістати з одного повторювача або двох послідовно ввімкнених інверторів, якщо потрібне парафазне подання вихідних сигналів. Схему, зображену на рис. 6.12, іноді називають  $RS$ -тригером із примусовим парафазним установленням.

Асинхронний  $T$ -тригер (лічильний тригер) функціонує відповідно до табл. 6.6 (базис АБО-НЕ).

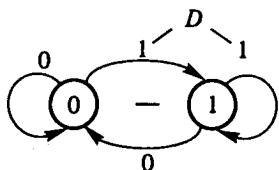


Рис. 6.9. Граф асинхронного  $D$ -тригера

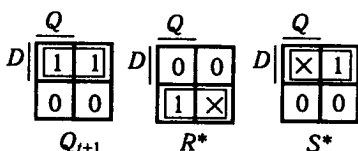


Рис. 6.10. Карти Карно для  $D$ -тригера

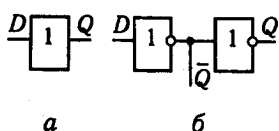


Рис. 6.11. Тривіальна реалізація схеми  $D$ -тригера з однофазним (а) та парафазним (б) виходами

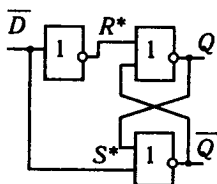


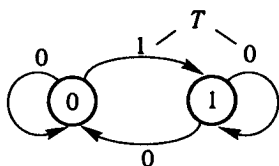
Рис. 6.12. Схема  $D$ -тригера в базисі АБО-НЕ

Таблиця 6.6. Таблиця функціонування асинхронного  $T$ -тригера

Набір	$T$	$Q_t$	$Q_{t+1}$	$R^*$	$S^*$
0	0	0	(0)	×	0
1	0	1	(1)	0	×
2	1	0	1	0	1
3	1	1	0	1	0

Закон функціонування  $T$ -тригера на рис. 6.13 поданий у вигляді графа.

З табл. 6.6 видно, що при  $T = 1$  тригер має нестійкий стан, тобто перебуває в автоколивальному режимі. З цього випливає, що асинхронний  $T$ -тригер з імпульсним керуванням не може бути реалізований на одній елементарній запам'ятовувальній комірці. Аналіз роботи  $T$ -тригера з імпульсним керуванням викликає інтерес, через те що при  $T = 0$  тригер має стійкі стани. За аналогією з розглянутим вище  $S$ -тригером з рис. 6.14 впливає:



$$Q_{t+1} = T\bar{Q}_t + \bar{T}Q_t; \quad (6.24)$$

$$R^* = TQ_t = \overline{\bar{T} + \bar{Q}_t}; \quad (6.25)$$

$$S^* = T\bar{Q}_t = \overline{\bar{T} + Q_t}. \quad (6.26)$$

Рис. 6.13. Граф асинхронного  $T$ -тригера з імпульсним керуванням

Якщо схему виконано в базисі АБО – НЕ, а тригер керується перепадами 10 на вході  $T$ , дістанемо схему, зображену на рис. 6.15.

Якщо проаналізувати часові діаграми, то можна дійти висновку, що для усталеної роботи  $T$ -тригера необхідно, щоб  $t_i \geq 2\tau_{зт.п.ср}$ , а для запобігання режиму генерації потрібно, щоб  $t_i \leq 3\tau_{зт.п.ср}$ .

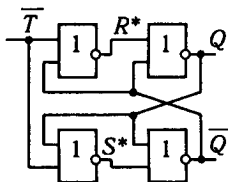
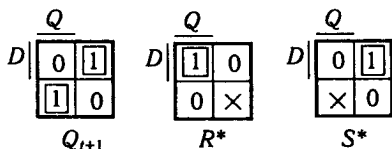


Рис. 6.14. Карти Карно для  $T$ -тригера з імпульсним керуванням

Рис. 6.15. Схема  $T$ -тригера з імпульсним керуванням в базисі АБО – НЕ

Труднощі забезпечення настільки жорстких вимог в інтегральній схемотехніці, елементи якої мають значний розкид затримок поширення, виключають реалізацію асинхронного  $T$ -тригера за цією схемою.

## 6.4. Синхронні тригери

Фактично синхронні (тактові) тригери можна розглядати як особливий тип асинхронних тригерів, у яких існують певні обмеження на можливість дії інформаційних сигналів, що дає змогу істотно спростити їх синтез і аналіз. У синхронних тригерах допускається змінювати інформаційні сигнали тільки протягом періодів, коли тактові імпульси блокують вхідні ланцюги і запобігають зміні стану тригера (передбачено, що синхронний тригер має змінювати свій стан під впливом тактового імпульсу). Важлива перевага синхронних тригерів — маскування ефектів затримок, зумовлених затримками поширення логічних елементів та лінії передавання інформації. Остання обставина дає змогу вважати, що логічні елементи та лінії мають нульову затримку, а виходи і стани тригера можна розглядати тільки у фіксовані моменти часу. Ці припущення істотно спрощують аналіз і синтез будь-яких синхронних пристроїв.

Синхронний  $RS$ -тригер функціонує відповідно до табл. 6.7.

Таблиця 6.7. Таблиця функціонування синхронного  $RS$ -тригера

Набір	$C$	$R$	$S$	$Q_t$	$Q_{t+1}$	$R^*$	$S^*$
0	0	0	0	0	0	×	1
1	0	0	0	1	1	1	×
2	0	0	1	0	0	×	1
3	0	0	1	1	1	1	×
4	0	1	0	0	0	×	1
5	0	1	0	1	1	1	×
6	0	1	1	0	0	×	1
7	0	1	1	1	1	1	×
8	1	0	0	0	0	×	1
9	1	0	0	1	1	1	×
10	1	0	1	0	0	1	0
11	1	0	1	1	1	1	×
12	1	1	0	0	0	×	1
13	1	1	0	1	1	0	1
14	1	1	1	0	0	×	×
15	1	1	1	1	1	×	×

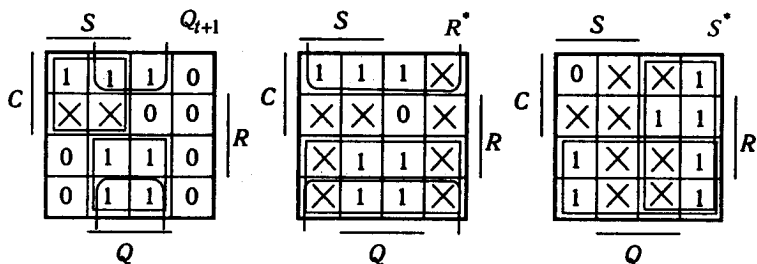


Рис. 6.16. Карти Карно для тактового  $RS$ -тригера

Припустимо, що синхронний  $RS$ -тригер має бути виконаний у базисі І–НЕ.

З табл. 6.7 видно, що цей тригер зберігає свій стан при  $C = 0$  і працює як асинхронний  $RS$ -тригер при  $C = 1$ .

З карти Карно (рис. 6.16)

$$Q_{t+1} = SC + \bar{R}Q_t + Q_t\bar{C}, \quad (6.27)$$

звідки при  $C = 1$  дістанемо (6.7), а при  $C = 0$   $Q_{t+1} = Q_t$ ;

$$R^* = \bar{R} + \bar{C} = \overline{RC}; \quad (6.28)$$

$$S^* = \bar{S} + \bar{C} = \overline{SC}. \quad (6.29)$$

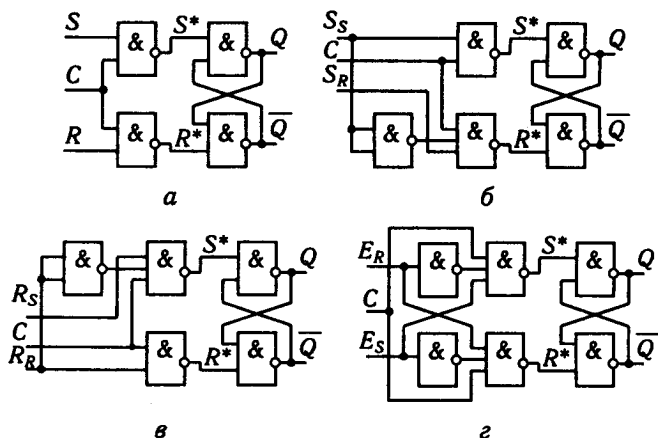


Рис. 6.17. Схеми (а–г) тактових тригерів

Таблиця 6.8. Таблиця функціонування синхронного  $D$ -тригера

Набір	$C$	$D$	$Q_t$	$Q_{t+1}$	$R^*$	$S^*$
0	0	0	0	0	×	1
1	0	0	1	1	1	×
2	0	1	0	0	×	1
3	0	1	1	1	1	×
4	1	0	0	0	×	1
5	1	0	1	0	0	1
6	1	1	0	1	1	0
7	1	1	1	1	1	×

Вирази (6.28) та (6.29) визначають структуру тактованого рівнем «1»  $RS$ -тригера, наведену на рис. 6.17, *a*. Синхронний  $RS$ -тригер, так само як і асинхронний  $RS$ -тригер, має заборонену комбінацію  $RS = 11$ . Його схему широко використовують при побудові регістрів.

Тактовані рівнем «1»  $R$ -,  $S$ - та  $E$ -тригери при  $C = 0$  зберігають свій стан, а при  $C = 1$  працюють так само, як відповідно асинхронні  $R$ -,  $S$ - та  $E$ -тригери. Синтез цих тригерів аналогічний синтезу синхронного  $RS$ -тригера. Схеми цих тригерів зображено відповідно на рис. 6.17, *b–z*.

Тактові  $R$ -,  $S$ - і  $E$ -тригери використовують у пристроях керування різних цифрових систем.

Синхронний  $D$ -тригер функціонує відповідно до табл. 6.8. При  $C = 0$  він зберігає свій стан, а при  $C = 1$  працює як асинхронний  $D$ -тригер.

З карти Карно (рис. 6.18)

$$Q_{t+1} = DC + Q_t\bar{C}, \quad (6.30)$$

звідки при  $C = 1$  дістанемо вираз (6.21), а при  $C = 0$  — вираз  $Q_{t+1} = Q_t$ .

Якщо вхід  $D$  з'єднати з виходом  $Q$  тригера, то вираз для  $Q_{t+1} = Q_t$  збігається з (6.24), тобто при  $D = \bar{Q}$   $D$ -тригер працює як лічильний тригер, однак, оскільки схема містить

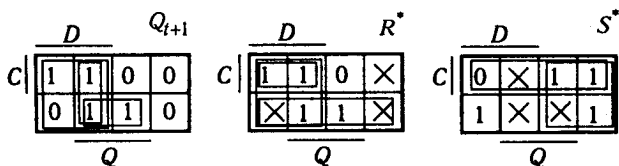


Рис. 6.18. Карти Карно для тактового  $D$ -тригера

тільки одну запам'ятовувальну комірку, лічильний тригер на базі цього  $D$ -тригера може керуватися тільки імпульсом. Через це у такому режимі схему не використовують. З карт Карно (рис. 6.18)

$$R^* = D + \bar{C} = \overline{\bar{D}C}; \quad (6.31)$$

$$S^* = \bar{D} + \bar{C} = \overline{DC}. \quad (6.32)$$

Щоб вилучити інвертор, необхідний для одержання змінної  $\bar{D}$ , вираз для  $R^*$  запишемо у вигляді

$$R^* = DC + \bar{C}. \quad (6.33)$$

Згідно з формулою (6.32) остаточно дістанемо

$$R^* = \bar{S}^* + \bar{C} = \overline{S^*C}. \quad (6.34)$$

Вирази (6.32) і (6.34) відображають структуру тактового  $D$ -тригера, зображеного на рис. 6.19. Цю схему використовують для побудови регістрів і в пристроях керування.

У цифрових пристроях використовують  $RS$ -,  $RST$ -,  $DV$ -,  $D$ - та  $JK$ -тригери як основні типи тригерів, причому найпростіші тригери виконують на базових вентильних елементах (якщо їх немає в складі серії логічних елементів). Найчастіше використовують універсальні  $D$ - і  $JK$ -тригери, які належать до складу серій К133, К155, К555.

Універсальні тригери можуть працювати в різних режимах і як різні типи тригерів. Позначення універсальних тригерів зображено на рис. 6.20. Характеристичні таблиці універсальних тригерів використовують при синтезі довільних цифрових пристроїв.

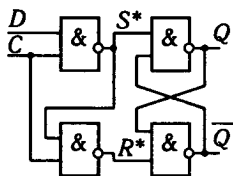


Рис. 6.19. Схема тактового  $D$ -тригера в базисі І–НЕ

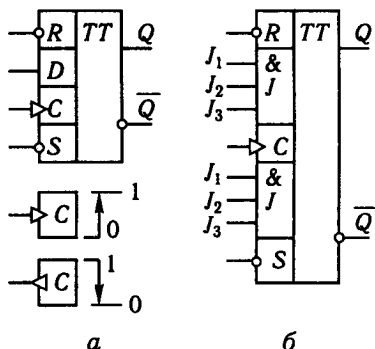


Рис. 6.20. Умовні позначення універсальних  $D$ - (а) та  $JK$ -тригерів (б)

Табл. 6.9 — це характеристична таблиця універсального  $D$ -тригера, що працює в синхронному режимі. Універсальний  $D$ -тригер може працювати як асинхронний  $RS$ -тригер при використанні встановлювальних входів  $R$  і  $S$ , причому в цьому випадку на інформаційному і тактовому входах можуть діяти будь-які рівні «0» або «1».

Таблиця 6.9. Характеристична таблиця універсального  $D$ -тригера, що працює в синхронному режимі

$Q_t \rightarrow Q_{t+1}$	$D$	$C$
00	0	1
01	1	
10	0	
11	1	0

Табл. 6.10 — характеристична таблиця універсального  $JK$ -тригера, що працює в асинхронному режимі. У цьому режимі сигнал на тактовому вході  $C$  має постійний рівень «1». Ефективні сигнали  $J$  і  $K$  дорівнюють 1, якщо на відповідних входах має місце перехід 10, і дорівнюють 0 при переходах 01, 00, 11.

Табл. 6.11 — характеристична таблиця універсального  $JK$ -тригера, що працює в синхронному режимі. У цьому режимі сигнали на входах  $J$  і  $K$  діють як рівні «0» і «1», а спрацювання тригера здійснюється за переходом 10 на тактовому вході  $C$ .

Наявність кон'юнкцій  $J = J_1 J_2 J_3$  і  $K = K_1 K_2 K_3$  в універсальних  $JK$ -тригерах не тільки дає змогу будувати різні типи тригерів (табл. 6.12), а й істотно спрощує структуру довільних цифрових пристроїв (наприклад, лічильників, регістрів), а також будувати так звані беззвентильні лічильники, тобто вимірювальні пристрої з похідним модулем рахунку тільки з використанням мікросхем  $JK$ -тригерів без яких-небудь додаткових логічних елементів. Універсальні  $D$ - і  $JK$ -тригери широко використовують при побудові лічильників, регістрів, суматорів, пристроїв керування, розподільників імпульсів, різних цифрових автоматів, при синтезі довільних тригерних структур тощо.

Таблиця 6.10. Характеристична таблиця універсального  $JK$ -тригера, що працює в асинхронному режимі

Таблиця 6.11. Характеристична таблиця універсального  $JK$ -тригера, що працює в синхронному режимі

$Q_t \rightarrow Q_{t+1}$	$J$	$K$	$C$
00	0	×	1
01	1	×	1
10	×	1	1
11	×	0	1

$Q_t \rightarrow Q_{t+1}$	$J$	$K$	$C$
00	0	×	1
01	1	×	
10	×	1	
11	×	0	0



Таблиця 6.12. Характеристична таблиця різних типів універсального JK-тригера

Тип тригера	Функції входів універсального JK-тригера																	
	Асинхронний режим								Синхронний режим									
	R	J <sub>1</sub>	J <sub>2</sub>	J <sub>3</sub>	C	K <sub>1</sub>	K <sub>2</sub>	K <sub>3</sub>	S	R	J <sub>1</sub>	J <sub>2</sub>	J <sub>3</sub>	C	K <sub>1</sub>	K <sub>2</sub>	K <sub>3</sub>	S
$\bar{R}\bar{S}$	$\bar{R}$	x	x	x	x	x	x	x	$\bar{S}$									
RS, JK	1	S; J			1	R; K			1									
RST									1	S	T	R						1
JK									1	J	C	K						1
D	1	D			1	$\bar{D}$			1	1	D	C	$\bar{D}$					1
DV	1	D	V	1	$\bar{D}$	V	1	1	1	D	V	C	$\bar{D}$	V	1			
DV <sub>1</sub> , V <sub>2</sub>	1	D	V <sub>1</sub>	V <sub>2</sub>	1	$\bar{D}$	V <sub>1</sub>	V <sub>2</sub>	1	1	D	V <sub>1</sub>	V <sub>2</sub>	C	$\bar{D}$	V <sub>1</sub>	V <sub>2</sub>	1
T	1	T			1	T			1	1	1	T	1					1
TV	1	T	V	1	T	V	1	1	1	1	V	T	1	V	1			

## 6.5. Синтез довільних тригерних структур на універсальних D- та JK-тригерах

**Приклад 1.** Розробити тактований переходом 01 тригер з двома входами, що функціонує відповідно до табл. 6.13 на базі універсального D-тригера.

Структуру синтезованого тригера в загальному вигляді зображено на рис. 6.21, а. Задача синтезу полягає в побудові комбінаційної схеми, яка виробляє сигнал  $y = D$ , що забезпечує необхідний закон функціонування.

З таблиці переходів (табл. 6.14) випливає, що  $y = D = Q_{t+1}$ .

З карти Карно (рис. 6.21, б)

$$y = D = x_2Q + x_1\bar{Q}. \quad (6.35)$$

Таблиця 6.13. Характеристична таблиця тригера з двома входами на базі універсального D-тригера

$x_1$	$x_2$	Q	Набір	$x_1$	$x_2$	$Q_t$	$Q_{t+1}$	$y = D$
0	0	0	0	0	0	0	0	0
0	1	$Q_t$	1	0	0	1	0	0
1	0	$Q_t$	2	0	1	0	0	0
1	1	1	3	0	1	1	1	1

Таблиця 6.14. Таблиця переходів тригера з двома входами на базі універсального *D*-тригера

$x_1$	$x_2$	$Q$	Набір	$x_1$	$x_2$	$Q_t$	$Q_{t+1}$	$y = D$
0	0	0	4	1	0	0	1	1
0	1	$Q_t$	5	1	0	1	0	0
1	0	$Q_t$	6	1	1	0	1	1
1	1	1	7	1	1	1	1	1

Остаточну схему тригера зображено на рис. 6.21, в.

**Приклад 2.** Розробити синхронний тригер з двома входами, що функціонує відповідно до табл. 6.15 на базі універсального *JK*-тригера. Порядок синтезу можна з'ясувати з табл. 6.16 та рис. 6.22.

Таблиця 6.15. Характеристична таблиця синхронного тригера з двома входами на базі універсального *JK*-тригера

$x_1$	$x_2$	$Q$	Набір	$x_1$	$x_2$	$Q_t$	$Q_{t+1}$	$J$	$K$
0	0	0	0	0	0	0	0	0	×
0	1	$Q_t$	1	0	0	1	0	×	1
1	0	$Q_t$	2	0	1	0	0	0	×
1	1	0	3	0	1	1	1	×	1

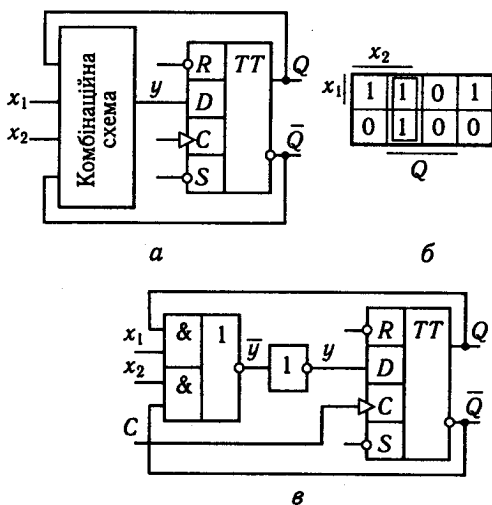


Рис. 6.21. Синтез довільного тригерного пристрою на базі універсального *D*-тригера:

а – структура тригера; б – карта Карно для сигналу  $y$ ;  
в – остаточна схема тригера

Таблиця 6.16. Порядок синтезу синхронного тригера з двома входами на базі універсального  $JK$ -тригера

$x_1$	$x_2$	$Q$	Набір	$x_1$	$x_2$	$Q_t$	$Q_{t+1}$	$J$	$K$
0	0	0	4	1	0	0	1	1	×
0	1	$Q_t$	5	1	0	1	0	×	1
1	0	$Q_t$	6	1	1	0	1	0	×
1	1	0	7	1	1	1	1	×	1

З карти Карно (рис. 6.22, б, в)

$$J = x_1 \bar{x}_2, \quad (6.36)$$

$$K = x_1 + \bar{x}_2 = \overline{\bar{x}_1 x_2}. \quad (6.37)$$

Остаточну схему тригера зображено на рис. 6.22, г.

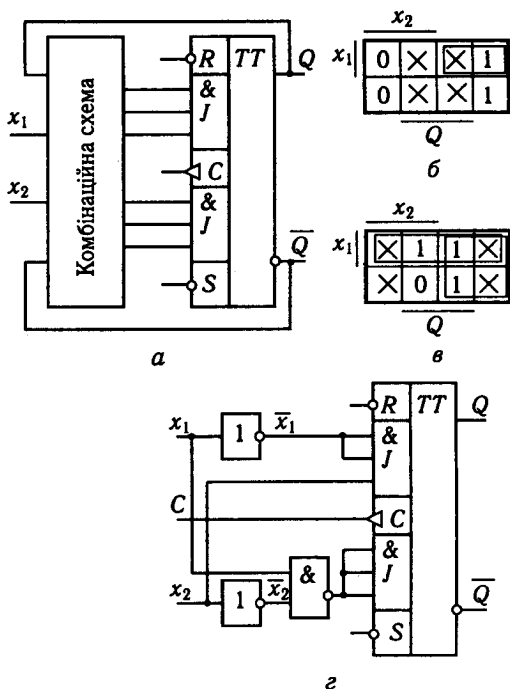


Рис. 6.22. Синтез довільного тригерного пристрою на базі універсального  $JK$ -тригера:

$a$  – структура тригера;  $b$  – карта Карно для операції  $J$ ;  $c$  – карта Карно для операції  $K$ ;  $г$  – остаточна схема тригера

## 6.6. Приклади використання тригерів

Стартстопний пристрій у пристроях керування — сукупність будь-якого різновиду  $RS$ -тригера і керованого ним вентиля. На рис. 6.23, *а*, *б* наведено найпростішу реалізацію стартстопного пристрою на трьох вентилях з двома входами і часову діаграму його роботи. Зазначимо, що конкретну реалізацію розглянутих схем передбачено виконувати на елементах серій К133 та К155. Тривалість  $\tau_1$  і  $\tau_2$  стартстопних імпульсів має бути достатньої для спрацьовування  $RS$ -тригера й одночасно менша за інтервал часу між стартстопними імпульсами, для того щоб виключити можливість появи на входах забороненої комбінації.

Якщо стартстопне керування формується за допомогою контактних перемикачів типу реле, кнопок тощо, то для поліпшення динамічних властивостей тригера і підвищення його завадостійкості «вільні» виводи мікросхем слід зафіксувати на рівнях «0» та «1». Прикладом може бути схема, зображена на рис. 6.23, *в*. У цій схемі  $R_1$  і  $R_2$  вибирають зі співвідношення

$$R_1 = R_2 \leq U_{\text{вх}}^0 / I_{\text{вх}}^0. \quad (6.38)$$

Під час використання цієї схеми потрібно враховувати таке. Якщо сигнал «Старт» є одночасно сигналом устанавлення нуля (див. фрагмент схеми, що виконаний пунктиром), то схема неприйнятна. Після короткочасного замикання контактів «Старт» у колі устанавлення у стан «0» має бути рівень «1», а в цій схемі  $U_{\text{вих}}^0 + R_1 I_{\text{вих}}^0$ , де  $U_{\text{вих}}^0$  — напруга на виході;  $R_1 I_{\text{вих}}^0$  — спад напруги на резисторі від струму верхнього вентиля  $RS$ -тригера. Ця сума сприймається в колі устанавлення у стан «0» як рівень «0», що блокує роботу елементів, для яких призначене коло встановлення у стан «0».

Зазначений недолік не можна усунути заміною резисторів  $R_1$  і  $R_2$  на резистори з високим опором, тому що схема буде практично не захищеною від завод. Як правило, цю схему використовують як генератор одиничних імпульсів (рис. 6.23, *г*), що усуває деренчання контактів перемикача.

До переваг схем, зображених на рис. 6.23, *в*, *г*, належить те, що резистори  $R_1$  і  $R_2$  не споживають потужності від джерела при розімкнених контактах (точніше, ця потужність мізерно мала). Недолік, зазначений для схеми на рис. 6.23, *в*, усунутий у схемі на рис. 6.23, *д*, однак якщо за цією схемою виконувати генератор одиничних імпульсів, то резистор, у нор-

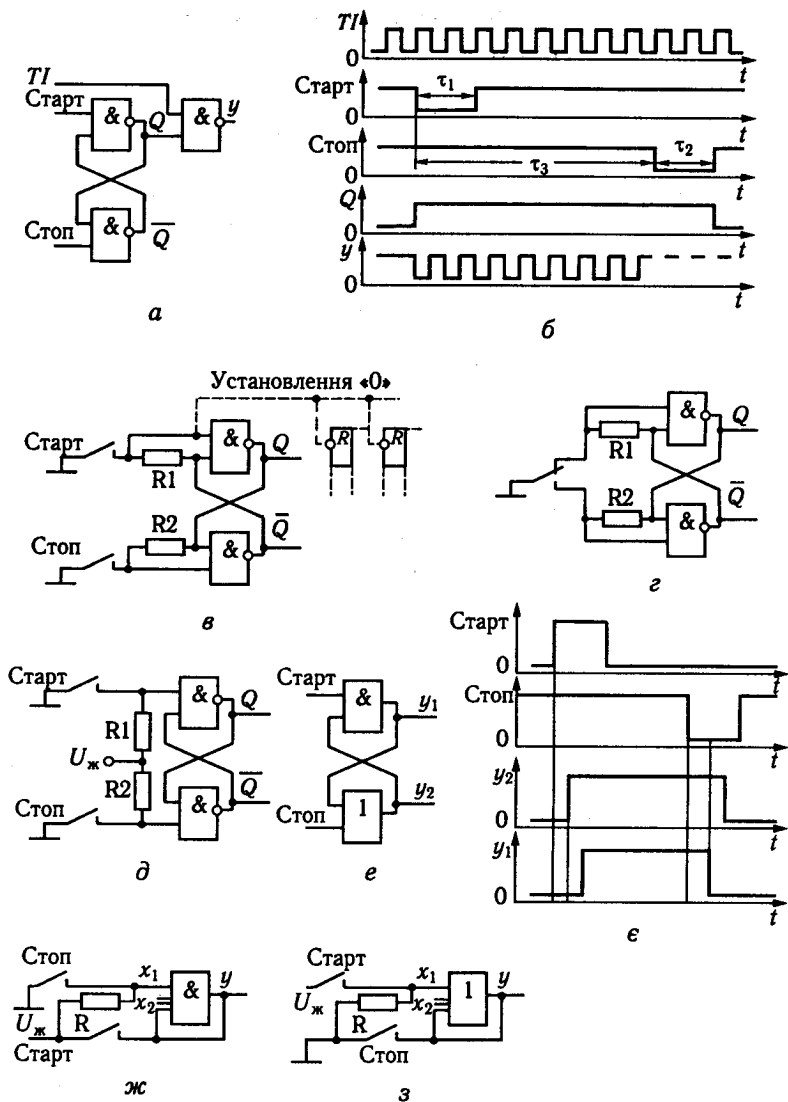


Рис. 6.23. Варіанти схем старто-стопних пристроїв з імпульсним керуванням:

*a* — базова схема; *в*–*е*, *ж*, *з* — реалізація структури RS-тригера; *б*, *є* — відповідні часові діаграми роботи схем *a* та *е*

мальному стані замкнений на землю, буде споживати значну потужність від джерела живлення.

Можлива реалізація  $RS$ -тригера на одному вентилі  $I$  та одному вентилі АБО (рис. 6.23, *е*). У цього тригера на відміну від нормальних схем виходи не додаткові і керування на входах здійснюється перепадами різної полярності.

Як впливає з діаграми рис. 6.23, *е*, на якій враховані затримки поширення вентилів, сигнал на виході  $y_1$  цілком лежить усередині інтервалу часу, що відповідає тривалості сигналу  $y_2$ . Неважко переконатися, що на парах елементів  $I-HE$ , АБО- $HE$ ; АБО,  $I-HE$  не можна реалізувати тригерну структуру з використанням двох перехресних кіл зв'язку.

Реалізацію  $RS$ -тригера на одному вентилі  $I$  або одному вентилі АБО наведено на рис. 6.23, *ж*, *з*. Припустимо, що керування схемою здійснюється контактами, які замикаються. На вході  $x_1$  забезпечується рівень «1» через резистор  $R$  від джерела живлення; якщо короткочасно замкнути контакт «Старт», то на виході встановиться рівень «1» і буде утримуватися, тому що  $x_2 = y$ . Короткочасне замикання контакту «Стоп» забезпечує появу «0» на виході й утримання його на вході  $x_2 = y$ .

Схеми рис. 6.23, *ж*, *з* можна реалізувати тільки на вентилях, виконаних за структурою  $I = I-HE-HE$ , АБО = АБО- $-HE-HE$ , тобто з використанням пари елементів для одержання  $RS$ -тригера:  $I-HE$ ,  $HE$ ; АБО- $HE$ ,  $HE$ , але з одним перехресним зв'язком, хоча зовні вони виявляються як елементи  $I$ , АБО. Логічні операції  $I$  та АБО можна реалізувати монтажним способом. Схеми рис. 6.23, *ж*, *з* мають незвичайну властивість — між сигналом на одному з входів і сигналом на виході немає вентиляльної затримки; однак у тригера є недолік — сигнал на одному з входів обов'язково збігається із сигналом на виході; при реалізації конкретної схеми її функціонування має забезпечуватися з передбаченням заходів захисту вентилів при одночасній дії сигналів «Старт» і «Стоп».

В усіх схемах на рис. 6.23 керування  $RS$ -тригерами здійснюється імпульсними сигналами для усунення заборонених комбінацій на їхніх входах. Однак іноді потрібно забезпечити комбіноване керування: на одному вході — імпульсне, а на іншому — перепадом потенціалів, причому будь-яке значення потенціалів, а також їхній протилежний перепад не повинні впливати на схему. Приклади схем, що задовольняють ці вимоги, наведено на рис. 6.24. Різними комбінаціями встановлювальних, інформаційних і тактових входів кількість схем можна істотно збільшити.

Розглянемо роботу схеми рис. 6.24, *а*. Припустимо, що вихідний стан тригера — «0», а на входах  $R$  і  $S$  — «1» (рис. 6.24, *б*).

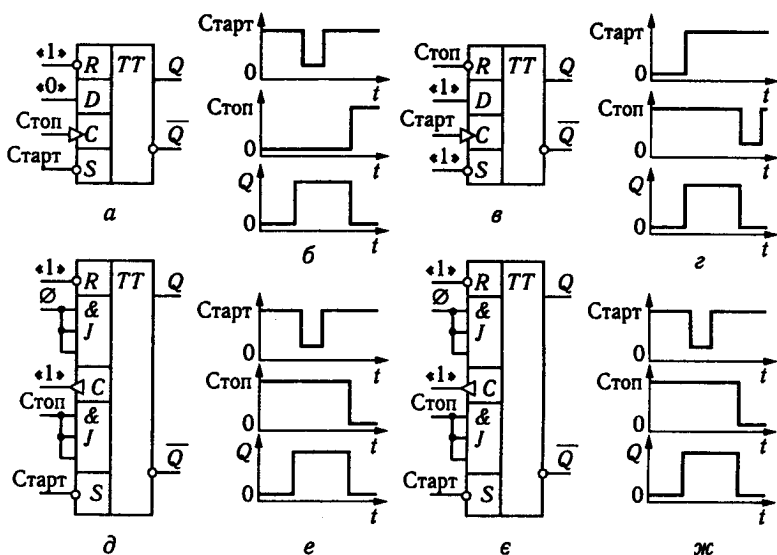


Рис. 6.24. Варіанти схем стартстопних пристроїв з комбінованим керуванням:

*a, в* — на *D*-тригері відповідно при  $D = 0$  та  $D = 1$ ; *б, з* — відповідні часові діаграми роботи схем *a* та *в*; *д, е* — схеми на *JK*-тригері відповідно в асинхронному та тактовому режимах; *е, ж* — відповідні часові діаграми роботи схем *д* та *е*

Через те що на вході *D* постійно є рівень «0», переходи 01 підтверджують нульовий стан. Тригер можна встановити в стан «1» тільки імпульсним сигналом «Старт», а в стан «0» тригер перейде з приходом першого переходу 01 на вході «Стоп». Роботу інших схем розглядають аналогічно.

На рис. 6.25 наведено варіанти стартстопних пристроїв з керуванням переходами на обох входах.

**Пристрої виділення і стробування (тактування) переходів 10 та 01.** У цифрових пристроях різного призначення часто виникає задача виділення переходів 10 і 01 асинхронних сигналів, що виникають у довільний момент часу, з одночасним прив'язуванням виділених переходів до моменту часу, зумовленого тактовими імпульсами. Приклади таких схем зображено на рис. 6.26. Розглянемо роботу схеми, наведеної на рис. 6.26, *a*. Завдання, що вирішує ця схема, можна сформулювати так: розробити цифровий пристрій, який виділяє перехід 10 асинхронного сигналу *x* та розміщує цей перехід у момент часу, що відповідає першому переходу 01 тактових імпульсів і виникає відразу після появи переходу 10 сигналу *x*, причо-

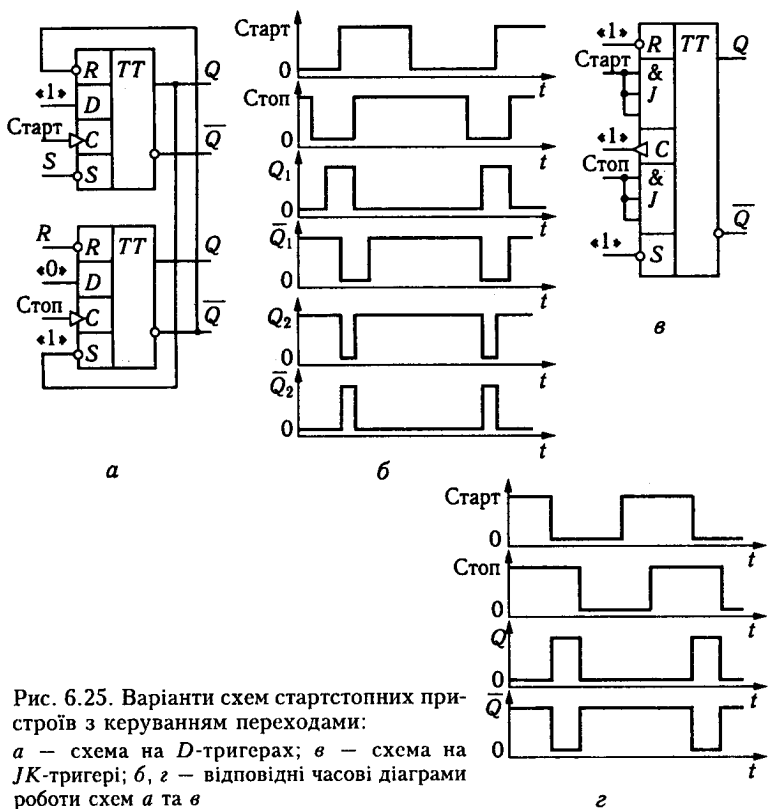


Рис. 6.25. Варіанти схем стартстопних пристроїв з керуванням переходами:  
*a* — схема на *D*-тригерах; *в* — схема на *JK*-тригері; *б*, *г* — відповідні часові діаграми роботи схем *a* та *в*

му тривалість вихідного сигналу цифрового пристрою має дорівнювати тривалості тактового імпульсу.

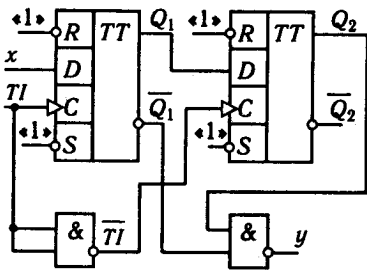
Подано сигнал  $x$  на вхід  $D$  першого  $D$ -тригера; тоді кожен перехід 01 сигналу  $T1$  переводить тригер у стан  $Q_1 = x$ . Вихід  $Q_1$  з'єднаємо з входом  $D$  другого  $D$ -тригера; тоді кожен перехід 01 сигналу переводить тригер у стан  $Q_2 = Q_1 = x$  зі зсувом на половину періоду тактових імпульсів (при шпаруватості 2). З часової діаграми (рис. 6.26, *б*) впливає, що вихідний сигнал  $y$  має вигляд

$$y = \overline{Q_1 Q_2}. \quad (6.39)$$

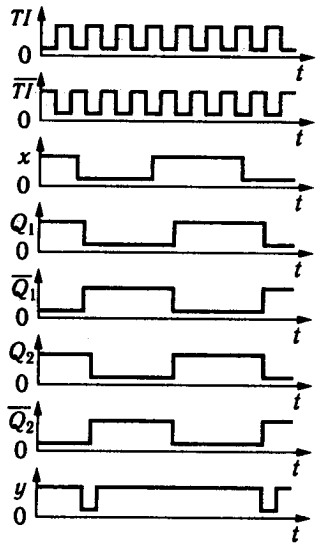
Зазначимо, що отриманий пристрій ніяк не реагує на перехід 01 сигналу  $x$ .

Роботу схеми, зображеної на рис. 6.26, *в*, що виділяє перехід 01 сигналу  $x$  та виконана на універсальних  $JK$ -тригерах, розглядають аналогічно.

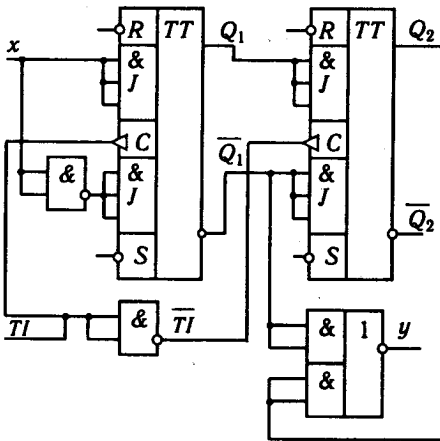




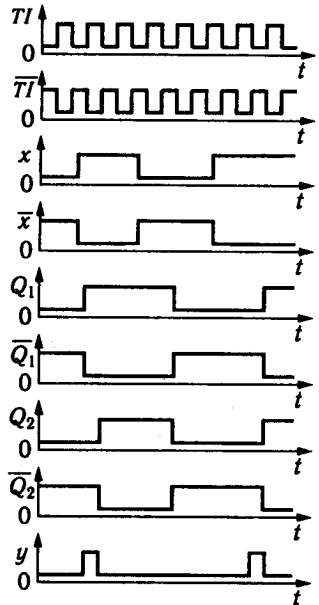
*a*



*б*



*в*



*г*

Рис. 6.26. Схеми пристроїв виділення і стробування переходів 10 та 01:  
*a* – 10 на *D*-тригерах; *б*, *г* – відповідні часові діаграми роботи схем *a* та *в*; *в* – 01 на *JK*-тригерах

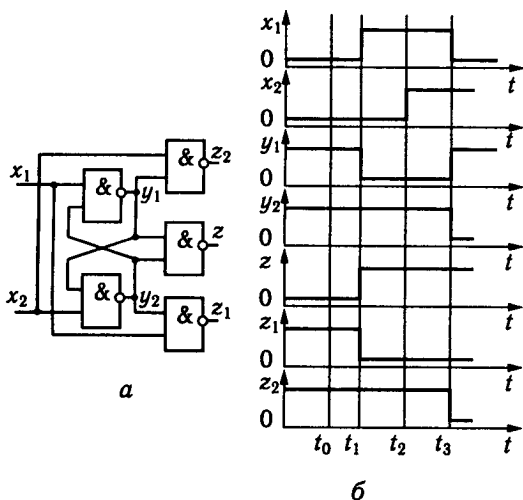


Рис. 6.27. Схема пристрою виділення сигналів за-  
питу (а) та часова діаграма його роботи (б)

**Пристрій виділення сигналу запиту.** У розглянутих вище схемах *RS*-тригерів не допускалася заборонена комбінація на входах. Однак, якщо не враховувати це правило, можна порівняно просто вирішити досить складні завдання з оброблення цифрових сигналів. Розглянемо пристрій виділення сигналів запиту переривання, зображений на рис. 6.27, а. Сигнали запиту переривання  $x_1$  і  $x_2$  надходять асинхронно й обробляються послідовно без пріоритету. Необхідно сформулювати сигнал  $z$  наявності запиту та сигнали  $z_1$  і  $z_2$ , які вказують на те, що сигнал запиту обробляється. Передбачено, що наявність запиту ( $x_1$  або  $x_2$ ) кодується рівнем «1», а відсутність запиту — рівнем «0».

Нехай у довільний момент часу  $t_0$   $x_1 = x_2 = 0$  (рис. 6.27, б), тобто немає жодного запиту. Комбінація  $x_1x_2 = 00$  є забороненою для *RS*-тригера, тому  $y_1 = y_2 = 1$  (тригер виродився в два незалежних інвертори),  $z = 0$  (немає запиту),  $z_1z_2 = 11$  (немає запиту).

Припустімо, в момент часу  $t_1$  виник запит на вході  $x_1$ ; у цьому випадку *RS*-тригер устанавлюється в стан  $y_1 = 0$ ,  $y_2 = 1$ , сигнал  $z = 1$  (є запит), а  $z_1z_2 = 01$  (запит на вході  $x_1$ ). Якщо тепер у момент часу  $t_2$  виникне запит  $x_2$ , то він нічого не змінить у схемі, тому що *RS*-тригер перейде в режим збереження інформації доти, доки не зніметься запит  $x_1$ . Якщо у момент часу  $t_3$  знятий запит  $x_1$ , але був запит  $x_2$ , то в цьому

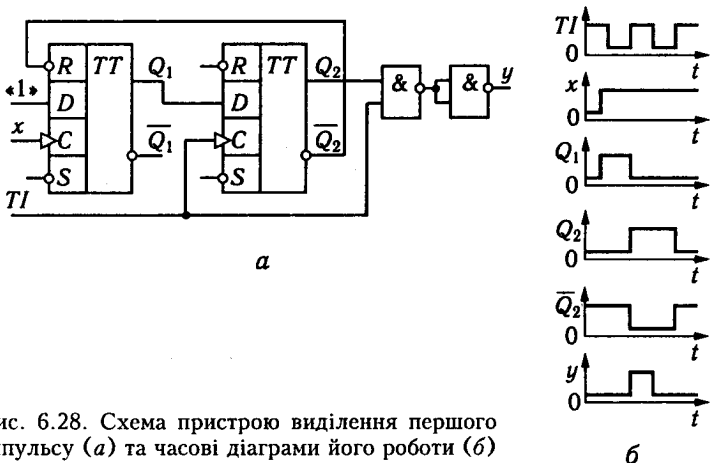


Рис. 6.28. Схема пристрою виділення першого імпульсу (а) та часові діаграми його роботи (б)

випадку тригер перейде в стан  $y_1 = 1$ ,  $y = 0$ , сигнал  $z = 1$  (є запит), а  $z_1 z_2 = 10$  (запит на вході  $x_2$ ). Якщо знову виникне запит на вході  $x_1$ , то він нічого не змінить у схемі, тому що  $RS$ -тригер перебуває в режимі збереження інформації.

Цей принцип побудови схеми можна поширити на число входів більше ніж два. Уведенням елементів затримки на входах  $RS$ -тригера (або високостабільної схеми, якщо число входів більше ніж два) можна забезпечити пріоритет за швидкістю з одночасною появою сигналів запиту.

**Пристрій виділення першого імпульсу** потрібний при розробленні тактових генераторів одиничних імпульсів, пристроїв виділення переходів і т. ін.

Розглянемо схему, зображену на рис. 6.28, а, яка призначена для виділення одного тактового імпульсу після переходу 01 керуючого сигналу  $x$ .

На вході  $D$  першого тригера діє постійний рівень «1», на вході  $C$  другого тригера — безупинна послідовність  $TI$ . У вихідному стані обидва тригери перебувають у стані «0». Поява переходу 01 на вході  $x$  відразу встановлює перший тригер у стан «1» (рис. 6.28, б), а перший після цього перехід 01 на вході  $C$  другого тригера встановлює другий тригер у стан «1», оскільки  $D = Q_1$ ; при цьому з виходу  $Q_2$  рівень «0» устанавлює перший тригер на асинхронному вході  $R$  у стан «0» і утримує в ньому доти, доки другий тригер перебуває в стані «1». Наступний перехід 01  $TI$  устанавить у стан «0» і другий тригер, тобто схема повернеться до початкового стану. Як впливає з часової діаграми, зображеної на

рис. 6.28, б, тривалість сигналу на виході  $Q_2$  дорівнює періоду  $TI$ , а тривалість вихідного сигналу  $y$  – тривалості тактового імпульсу.

### Контрольні запитання і завдання

1. Що таке тригерні пристрої (тригери)? Назвіть галузі їх застосування.
2. Наведіть класифікацію тригерів за визначальними ознаками.
3. Якими параметрами і характеристиками визначається робота тригера в статичному та динамічному режимах?
4. Якими способами можна описати закон функціонування тригера?
5. Перелічіть різновиди  $RS$ -тригера.
6. Чим принципово відрізняється робота схеми  $T$ -тригера від роботи  $RS$ -тригера?
7. Побудуйте  $T$ -тригер на елементах Пірса.
8. Що таке лічильний тригер? Що таке рахунковий режим роботи універсального тригера?
9. Що таке  $JK$ -тригер?
10. Що таке синхронні тригери?
11. Опишіть роботу універсального  $JK$ -тригера в асинхронному і синхронному режимах.
12. Як здійснюється синтез довільних тригерних структур на базі універсальних тригерів?
13. Наведіть приклади використання тригерів.

### 7.1. Регістри зсуву

На рис. 7.1 зображено цифровий автомат, що складається з  $m$  послідовно з'єднаних  $D$ -тригерів, функції збудження яких мають вигляд

$$D_1 = x, D_r = Q_{r-1}, r = 2, 3, \dots, m. \quad (7.1)$$

Зі співвідношення (7.1) випливає, що інформація, яка зберігається у деякому такті в тригері  $Q_{r-1}$ , передається в наступному такті в тригер  $Q_r$ , тобто відбувається зсув інформації від тригера до тригера. Такі автомати називають *регістрами зсуву*. Їх використовують для зсуву  $m$ -розрядних чисел в одному напрямку (значення вхідного сигналу  $x$ , що відповідає деякому такту, з'являється на виході регістра зсуву  $Q_m$  через  $m$  тактів).

Якщо  $Q_m$  — старший розряд, то відбувається зсув убік або ліворуч старших розрядів. Якщо  $Q_m$  вважати молодшим розрядом, то відбудеться зсув убік або праворуч молодших розрядів. Крім основного призначення (зсув чисел) регістри зсуву використовують і для зсуву нечислової інформації (наприклад, у разі побудови з них лічильників).

На рис. 7.2 зображено 8-розрядний регістр зсуву, виконаний на мікросхемі К564ІР2, що є здвоєним 4-розрядним регістром зсуву. Асинхронні входи  $R'$  призначені для установлення регістра зсуву у стані «0». Цей регістр зсуву можна використовувати для перетворення послідовного коду на паралельний (зчитування в цьому випадку проводиться з восьми виходів регістра за допомогою схем І після введення в нього 8-розрядного коду).

Регістр зсуву можна виконати і з  $RS$ -тригерів. Дійсно, підставивши у функцію переходів (7.1) значення  $S = D$  і  $R = \bar{D}$  ( $R = \bar{S}$ ), дістанемо функцію переходів  $Q^+ = D$ , тобто функції збудження  $S_r$  і  $R_r$  регістра зсуву, виконаного на

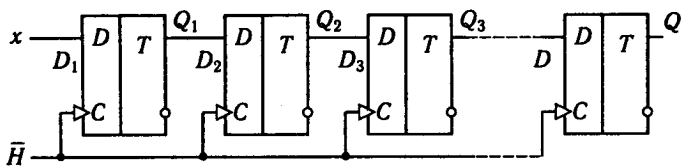


Рис. 7.1. Регістр зсуву

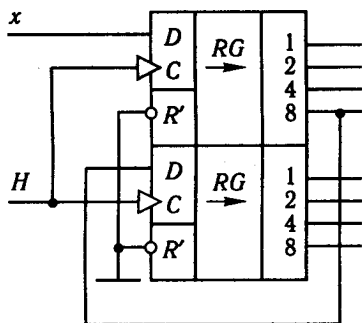


Рис. 7.2. 8-Розрядний регістр зсуву, виконаний на мікросхемі К564ІР2

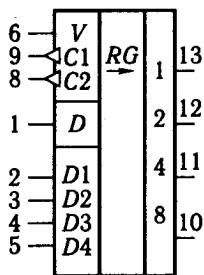


Рис. 7.3. Регістр зсуву з синхронним паралельним записом К155ІР1

*RS*-тригерах, на підставі функції (7.1) можна подати у такому вигляді:

$$S_1 = x, S_r = Q_{r-1}, R_1 = \bar{x}, R_r = \bar{Q}_{r-1}, r = 2, 3, \dots, m,$$

або  $S_1 = x, S_r = Q_{r-1}, r = 2, 3, \dots, m, R_r = \bar{S}_r, r = 1, 2, \dots, m.$

Часто потрібні більш складні регістри зсуву: з паралельним синхронним записом інформації, реверсивні, реверсивні з паралельним синхронним записом інформації. Такі регістри називають *універсальними*.

Мікросхема К155ІР1 — це 4-розрядний регістр зсуву із синхронним записом інформації (рис. 7.3), виконаний на основі чотирьох *RS*-тригерів. Функції збудження  $S_r$  і  $R_r$  цих тригерів мають вигляд:

$$S_1 = D_1 V \vee D \bar{V},$$

$$S_r = D_r V \vee Q_{r-1} \bar{V}, r = 2, 3, 4, \quad (7.2)$$

а  $R_r = \bar{S}_r$ , де  $r = 1, 2, 3, 4$ . Вхід  $D$  є входом послідовного введення інформації. Через  $H_r$  позначатимемо сигнал, який надходить на тактовий вхід  $r$ -го тригера навіть у тому випадку, якщо  $H_r$  не залежить від  $r$ . Залежно від внутрішньої

структури тригерів впливати на них можуть сигнали  $dH_r$ , або  $d\bar{H}_r$ . У цьому випадку  $H_r = VC_2 \vee \bar{V}C_1$  та

$$dH_r = \bar{V}\bar{V}^*dC_1 \vee VV^*dC_2 \vee C_1^*\bar{C}_2d\bar{V} \vee \bar{C}_1C_2^*dV. \quad (7.3)$$

З цього співвідношення випливає, що на тригери можуть впливати сигнали  $dC_1$ ,  $dC_2$ ,  $d\bar{V}$  і  $dV$ .

Через те що сигнал  $V$  входить у функції збудження (7.2), то його зміни не повинні впливати на тригери. З виразу (7.3) випливає, що для цього сигнал  $V$  має змінюватися тільки при значеннях  $C_1 = C_2 = 0$  або  $C_1 = C_2 = 1$ . У цьому випадку

$$dH_r = \bar{V}\bar{V}^*dC_1 \vee VV^*dC_2 \quad (7.4)$$

(тут, наприклад, множник  $VV^*$  означає, що сигнал  $V$  не повинен змінюватися з 0 на 1 при  $dC_2 = 1$ ).

З виразів (7.2) і (7.3) випливає, що при  $V = 0$  функції збудження  $S_1 = D$ ,  $S_r = Q_{r-1}$  та сигнал  $dH_r = dC_1$ , тобто схема працює як регістр зсуву за від'ємним перепадом (з 1 на 0) сигналу  $C_1$ , а при  $V = 1$  функції збудження  $S_r = D_r$  і сигнал  $dH_r = dC_2$ , тобто схема працює в режимі синхронного запису в регістр значень сигналів  $D_r$  за від'ємним перепадом сигналу  $C_2$ . Якщо у формулі (7.4) взяти  $C_1 = C_2 = C$ , то дістанемо, що сигнал  $dH_r = dC$ , тобто залежно від значення сигналу  $V$  буде вироблятися запис або зсув за від'ємним перепадом того самого сигналу  $C$ .

З виразів (7.2) і (7.3) випливає, що при  $V = C_2$  функції збудження  $S_1 = D_1C_2 \vee D\bar{C}_2$ ,  $S_r = D_rC_2 \vee Q_{r-1}C_2$  і сигнал  $dH_r = \bar{C}_2dC_1 \vee \bar{C}_1dC_2$ , тобто при  $C_1 = 0$  відбувається запис інформації у регістр за від'ємним перепадом сигналу  $C_2$ , а при  $C_2 = 0$  — зсув її за від'ємним перепадом сигналу  $C_1$ . На підставі формул (7.2) і (7.3) легко переконатися, що при  $V = C_1$  можливий тільки запис інформації за від'ємним перепадом сигналу  $C_1$  при значенні сигналу  $C_2 = 1$ .

Якщо в регістрі зсуву (див. рис. 7.1) змінити напрямок зсуву інформації, то функції збудження  $D$ -тригерів визначатимуться співвідношеннями

$$D_r = Q_{r+1}, \quad r = 1, 2, \dots, m-1, \quad D_m = y. \quad (7.5)$$

Якщо функції збудження (7.1) і (7.5) об'єднати в такий спосіб:

$$\left. \begin{aligned} D_1 &= Q_2V \vee x\bar{V}, \quad D_r = Q_{r+1}V \vee Q_{r-1}\bar{V}, \\ r &= 2, 3, \dots, m-1, \quad D_m = yV \vee Q_{m-1}\bar{V}, \end{aligned} \right\} \quad (7.6)$$

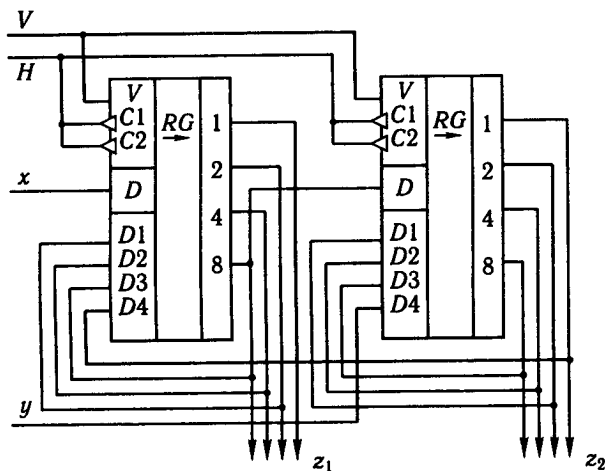


Рис. 7.4. 8-Розрядний реверсивний регістр зсуву на двох мікросхемах К155ІР1

то дістанемо реверсивний регістр зсуву (при  $V = 0$  — зсув ліворуч, а при  $V = 1$  — праворуч). На мікросхемах К155ІР1 можна виконати реверсивний регістр зсуву, якщо для зсуву праворуч використовувати входи  $D_r$ , призначені для паралельного синхронного запису інформації. Ця можливість впливає з порівняння співвідношень (7.2) і (7.6). На рис. 7.4 зображено 8-розрядний реверсивний регістр зсуву, виконаний на двох мікросхемах К155ІР1. Можливості рівнозбіжного запису в цьому регістрі немає. Для зсуву ліворуч можна було б використовувати тактовий вхід С1, а для зсуву праворуч — тактовий вхід С2. З виходів  $z_1$  і  $z_2$  знімається послідовний код при зсуві праворуч і ліворуч.

Мікросхема К155ІР13 є 8-розрядним реверсивним регістром зсуву з паралельним синхронним записом інформації (рис. 7.5) на основі RS-тригерів.

Функції збудження  $S_r$  і  $R_r$  цих тригерів описуються виразами:

$$\left. \begin{aligned} S_1 &= Q_2 \bar{V}_1 \vee D_R \bar{V}_2 \vee D_1 V_1 V_2; \\ S_r &= Q_{r+1} \bar{V}_1 \vee Q_{r-1} \bar{V}_2 \vee D_r V_1 V_2, \quad r = 2, 3, \dots, 7; \\ S_8 &= D_L \bar{V}_1 \vee Q_7 \bar{V}_2 \vee D_8 V_1 V_2, \quad R_r = \bar{S}_r, \quad r = 1, 2, \dots, 8, \end{aligned} \right\} \quad (7.7)$$

де  $D_R$  і  $D_L$  — вхідні сигнали у разі послідовного введення інформації при зсувах ліворуч і праворуч. Імпульсний так-



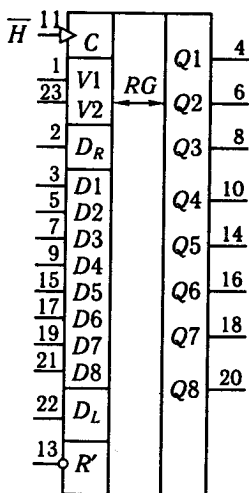


Рис. 7.5. 8-Розрядний реверсивний реєстр зсуву з синхронним паралельним записом K155IP13

товий сигнал  $dH_r$ , що впливає на тригери, визначається співвідношенням

$$dH_r = d[(V_1 \vee V_2) \bar{C}] = (V_1 \vee V_2)^* d\bar{C} \vee \bar{C}^* d(V_1 \vee V_2). \quad (7.8)$$

З цього співвідношення випливає, що сигнали  $V_1$  і  $V_2$  не повинні змінюватися при значенні сигналу  $C = 0$ , тому що вони входять у функції збудження (7.7), а зсув і запис інформації відбуваються за додатним перепадом (з 0 на 1) сигналу  $C$  при  $V_1 \vee V_2 = 1$ . З виразів (7.7) випливає, що при  $V_1 = 0$  і  $V_2 = 1$  відбувається зсув інформації праворуч, при  $V_1 = 1$  і  $V_2 = 0$  — ліворуч, а при  $V_1 = V_2 = 1$  — запис інформації у реєстр. Реєстр має асинхронний потенційний вхід  $R'$  для встановлення нульового стану реєстра.

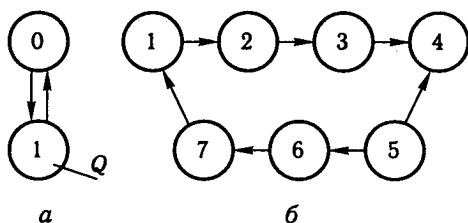
## 7.2. Лічильники за mod $M$

Будь-який лічильник можна виконати у вигляді синхронного, асинхронного потенційного або асинхронного імпульсного автомата. Асинхронні потенційні лічильники через їхню складність використовувати недоцільно. Асинхронні імпульсні лічильники можна виконати із синхронних лічильників за допомогою деяких перетворень. Розглянемо в основному синхронні лічильники та лічильники змішаного типу (синхронні лічильники з асинхронним потенційним установленням деякого внутрішнього стану).

Синхронним лічильником за mod  $M$  називають цифровий синхронний автомат без входів, що має  $M$  різних внутрішніх станів, які циклічно змінюються під впливом змін тактового сигналу  $H$  з 1 на 0 (чи з 0 на 1). На відміну від реверсивних лічильників і лічильників зі змінним коефіцієнтом перерахування лічильники за mod  $M$  не мають вхідних сигналів  $x$ , які керують переходами між внутрішніми станами.

Один із  $M$  внутрішніх станів лічильника вибирають як початковий. Оскільки внутрішні стани лічильника змінюються циклічно, то після  $M$  змін тактового сигналу з 1 на 0 (або з 0

Рис. 7.6. Графи переходів лічильників за mod 2 (а) та mod 7 (б)



на 1) лічильник повертається в початковий стан, що свідчить про його переповнення. Якщо лічильник перебував у початковому стані і тактовий сигнал  $H$  змінився  $N$  разів, то при  $N > M$  за кінцевим станом лічильника можна визначити лише залишок від розподілу числа  $N$  на  $M$ , тобто рахунок здійснюють за модулем  $M$ . Число  $M$  називають *коефіцієнтом перерахування лічильника*. Найпростішим є лічильник за mod 2, що становить собою  $T$ -тригер при  $T \equiv 1$ . Дійсно, при  $T = 1$  наступний стан тригера  $Q^+ = Q \oplus dH$ , а при  $dH = 1$  стан  $Q^+ = \bar{Q}$ , тобто стан тригера 0 і 1 циклічно змінюється при кожній зміні тактового сигналу  $H$  з 1 на 0. Граф переходів лічильника за mod 2 зображено на рис. 7.6, а.

На рис. 7.6, б наведено граф переходів лічильника за mod 7, внутрішні стани якого позначено цифрами від 1 до 7. Для одержання семи різних внутрішніх станів потрібно використати не менше ніж три тригери.

Спосіб кодування внутрішніх станів лічильника може бути довільним (важливо тільки, щоб усі внутрішні стани були різні). У загальному випадку від вибраного способу кодування внутрішніх станів автомата залежить його складність. Закодуємо внутрішні стани лічильника значеннями вихідних сигналів трьох тригерів  $Q_1$ ,  $Q_2$  і  $Q_3$ , як це зображено на рис. 7.7.

На підставі рис. 7.7 можна укласти таблицю істинності (табл. 7.1) і діаграми Вейча для функцій  $Q_3^+$ ,  $Q_2^+$ ,  $Q_1^+$  (рис. 7.8). Для синтезу лічильників, як і будь-яких цифрових автоматів, можна використовувати тригери типів:  $D$ ,  $T$  та  $JK$ . Складність автомата в загальному випадку залежить від використаних типів тригерів. Слід мати на увазі, що в одному автоматі можна вико-

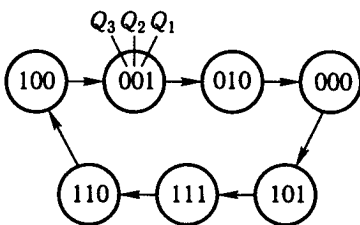


Рис. 7.7. Граф переходів лічильника за mod 7

Таблиця 7.1. Таблиця істинності лічильника за mod 7

$i$	$Q_3$	$Q_2$	$Q_1$	$Q_3^+$	$Q_2^+$	$Q_1^+$
4	1	0	0	0	0	1
1	0	0	1	0	1	0
2	0	1	0	0	0	0
0	0	0	0	1	0	1
5	1	0	1	1	1	1
7	1	1	1	1	1	0
6	1	1	0	1	0	0

ристовувати тригери різних типів. Зробимо синтез лічильника за mod 7 із тригерів типів  $D$ ,  $T$  та  $JK$ . Для цього потрібно знайти їх функції збудження  $D_r$ ,  $T_r$ ,  $J_r$  і  $K_r$  ( $r = 1, 2, 3$ ).

З функції переходів  $D$ -тригера (7.7) випливає, що функції збудження

$$D_r = Q_r^+, \quad (7.9)$$

тому функції збудження тригерів лічильника за mod 7 знаходять за діаграмами Вейча (рис. 7.8):

$$D_1 = \bar{Q}_1\bar{Q}_2 \vee \bar{Q}_2Q_3, \quad D_2 = Q_1,$$

$$D_3 = Q_2Q_3 \vee Q_1Q_3 \vee \bar{Q}_1\bar{Q}_2\bar{Q}_3.$$

З функції переходів  $T$ -тригера і властивостей операції «сума за модулем два» випливає, що функції збудження  $T_r = Q_r^+ \oplus Q_r$ , тобто

$$T_r = \begin{cases} Q_r^+, & \text{якщо } Q_r = 0, \\ \bar{Q}_r^+, & \text{якщо } Q_r = 1. \end{cases} \quad (7.10)$$

За цим співвідношенням заповнюють діаграми Вейча для функцій збудження  $T_1$ ,  $T_2$  і  $T_3$  (рис. 7.9) — у половину діаграми Вейча, позначену  $Q_r$ , заносять значення  $\bar{Q}_r^+$ , а в іншу

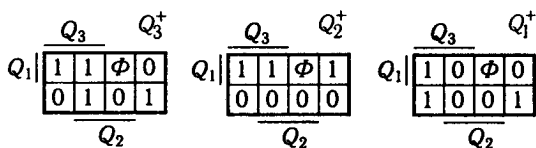


Рис. 7.8. Діаграма Вейча для функції переходів лічильника за mod 7

	$Q_3$		$T_3$	
$Q_1$	0	0	$\Phi$	0
	1	0	0	1
	$Q_2$			

	$Q_3$		$T_2$	
$Q_1$	1	0	$\Phi$	1
	0	1	1	0
	$Q_2$			

	$Q_3$		$T_1$	
$Q_1$	0	1	$\Phi$	1
	1	0	0	1
	$Q_2$			

Рис. 7.9. Синтез лічильника за mod 7 на  $T$ -тригерах

половину — значення  $Q_r^+$  з діаграм Вейча для функцій  $Q_r^+$  (див. рис. 7.8).

З рис. 7.9 випливає, що функції збудження  $T$ -тригерів лічильника за mod 7

$$T_1 = Q_1 \oplus \bar{Q}_2 \vee \bar{Q}_2 \bar{Q}_3, \quad T_2 = Q_1 \oplus Q_2, \quad T_3 = \bar{Q}_1 \bar{Q}_2.$$

З функції переходів  $JK$ -тригера випливає, що  $Q_r^+ = \bar{Q}_r J_r \vee Q_r \bar{K}_r$  — логічне рівняння з двома невідомими  $J_r$  і  $K_r$ , які потрібно розв'язати щодо цих невідомих. Через те що для функцій збудження  $J_r$  і  $K_r$  необхідно складати тільки діаграми Вейча, то для функцій  $Q_r^+$  можна скористатися таким методом. Нехай  $Q_r = 0$ , тоді  $Q_r^+ = \bar{0} J_r \vee 0 \bar{K}_r$ . З останнього рівняння випливає, що  $J_r = Q_r^+$ , а  $K_r = \Phi$  — довільні значення. Нехай тепер  $Q_r = 1$ , тоді  $Q_r^+ = \bar{1} J_r \vee 1 \bar{K}_r$ . З цього рівняння випливає, що  $J_r = \Phi$ , а  $K_r = \bar{Q}_r^+$ .

Об'єднавши обидва розв'язки при  $Q_r = 0$  і  $Q_r = 1$ , дістанемо

$$J_r = \bar{Q}_r Q_r^+ \vee \Phi Q_r, \quad K_r = Q_r Q_r^+ \vee \Phi \bar{Q}_r.$$

Дійсно, з цих виразів випливає, що

$$J_r = \begin{cases} Q_r^+, & \text{якщо } Q_r = 0, \\ \Phi, & \text{якщо } Q_r = 1, \end{cases} \quad K_r = \begin{cases} \bar{Q}_r^+, & \text{якщо } Q_r = 1, \\ \Phi, & \text{якщо } Q_r = 0. \end{cases} \quad (7.11)$$

Діаграми Вейча для функцій збудження  $J_r$  і  $K_r$  (рис. 7.10) заповнюються за аналогією із заповненням діаграм Вейча для функцій збудження  $T_r$ .

З рис. 7.10 випливає, що функції збудження  $JK$ -тригерів лічильника за mod 7:

$$J_1 = \bar{Q}_2, \quad K_1 = Q_2 \vee \bar{Q}_3, \quad J_2 = Q_1,$$

$$K_2 = \bar{Q}_1, \quad J_3 = K_3 = \bar{Q}_1 \bar{Q}_2.$$

Побудуємо принципову схему лічильника за функціями збудження  $D_1$ ,  $D_2$  і  $T_3$ . Для цього перетворимо функцію

$Q_3$ $J_3$ $Q_1$   <table border="1" style="display: inline-table; border-collapse: collapse;"><tr><td><math>\Phi</math></td><td><math>\Phi</math></td><td><math>\Phi</math></td><td>0</td></tr><tr><td><math>\Phi</math></td><td><math>\Phi</math></td><td>0</td><td>1</td></tr></table> $Q_2$	$\Phi$	$\Phi$	$\Phi$	0	$\Phi$	$\Phi$	0	1	$Q_3$ $J_2$ $Q_1$   <table border="1" style="display: inline-table; border-collapse: collapse;"><tr><td>1</td><td><math>\Phi</math></td><td><math>\Phi</math></td><td>1</td></tr><tr><td>0</td><td><math>\Phi</math></td><td><math>\Phi</math></td><td>0</td></tr></table> $Q_2$	1	$\Phi$	$\Phi$	1	0	$\Phi$	$\Phi$	0	$Q_3$ $J_1$ $Q_1$   <table border="1" style="display: inline-table; border-collapse: collapse;"><tr><td><math>\Phi</math></td><td><math>\Phi</math></td><td><math>\Phi</math></td><td><math>\Phi</math></td></tr><tr><td>1</td><td>0</td><td>0</td><td>1</td></tr></table> $Q_2$	$\Phi$	$\Phi$	$\Phi$	$\Phi$	1	0	0	1
$\Phi$	$\Phi$	$\Phi$	0																							
$\Phi$	$\Phi$	0	1																							
1	$\Phi$	$\Phi$	1																							
0	$\Phi$	$\Phi$	0																							
$\Phi$	$\Phi$	$\Phi$	$\Phi$																							
1	0	0	1																							
$Q_3$ $K_3$ $Q_1$   <table border="1" style="display: inline-table; border-collapse: collapse;"><tr><td>0</td><td>0</td><td><math>\Phi</math></td><td><math>\Phi</math></td></tr><tr><td>1</td><td>0</td><td><math>\Phi</math></td><td><math>\Phi</math></td></tr></table> $Q_2$	0	0	$\Phi$	$\Phi$	1	0	$\Phi$	$\Phi$	$Q_3$ $K_2$ $Q_1$   <table border="1" style="display: inline-table; border-collapse: collapse;"><tr><td><math>\Phi</math></td><td>0</td><td><math>\Phi</math></td><td><math>\Phi</math></td></tr><tr><td><math>\Phi</math></td><td>1</td><td>1</td><td><math>\Phi</math></td></tr></table> $Q_2$	$\Phi$	0	$\Phi$	$\Phi$	$\Phi$	1	1	$\Phi$	$Q_3$ $K_1$ $Q_1$   <table border="1" style="display: inline-table; border-collapse: collapse;"><tr><td>0</td><td>1</td><td><math>\Phi</math></td><td>1</td></tr><tr><td><math>\Phi</math></td><td><math>\Phi</math></td><td><math>\Phi</math></td><td><math>\Phi</math></td></tr></table> $Q_2$	0	1	$\Phi$	1	$\Phi$	$\Phi$	$\Phi$	$\Phi$
0	0	$\Phi$	$\Phi$																							
1	0	$\Phi$	$\Phi$																							
$\Phi$	0	$\Phi$	$\Phi$																							
$\Phi$	1	1	$\Phi$																							
0	1	$\Phi$	1																							
$\Phi$	$\Phi$	$\Phi$	$\Phi$																							

Рис. 7.10. Синтез лічильника за mod 7 на  $JK$ -тригерах

збудження  $D_1$  до вигляду:  $\bar{D}_1 = \overline{Q_2 Q_1 Q_3}$ . Якщо замість прямого входу  $D$  використати інверсний вхід, то виходи тригера  $Q$  і  $\bar{Q}$  поміняються місцями. На рис. 7.11 зображено принципову схему лічильника за mod 7, виконану на мікросхемах серії К155 відповідно до отриманих функцій збудження  $\bar{D}_1$ ,  $D_2$  і  $T$  (якщо на вхід елемента серії К155 не надходить ніякого сигналу, то це еквівалентно надходженню на цей вхід сигналу 1). Слід мати на увазі, що при зміні функції збудження  $D$  на  $\bar{D}$  асинхронні потенційні входи  $R'$  і  $S'$  також поміняються місцями.

Побудуємо принципову схему лічильника за mod 7, використовуючи функції збудження  $J_1$ ,  $K_1$ ,  $D_2$ ,  $J_3$  і  $K_3$  на мікросхемах серії К155 (рис. 7.12). Оскільки  $JK$ -тригери спрацьовують при значенні сигналу  $dH = 1$ , а  $D$ -тригер – при значенні сигналу  $d\bar{H} = 1$ , то моменти спрацьовування тригерів необхідно погоджувати за допомогою логічного елемента НЕ.

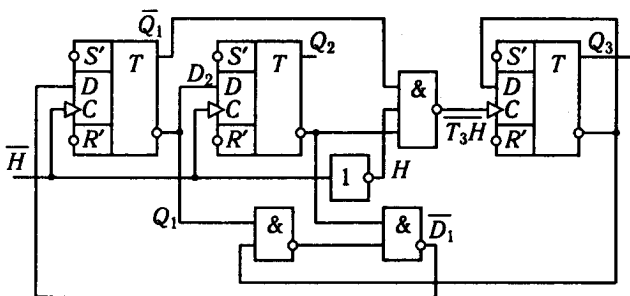


Рис. 7.11. Схема лічильника за mod 7 на  $D$ - і  $T$ -тригерах

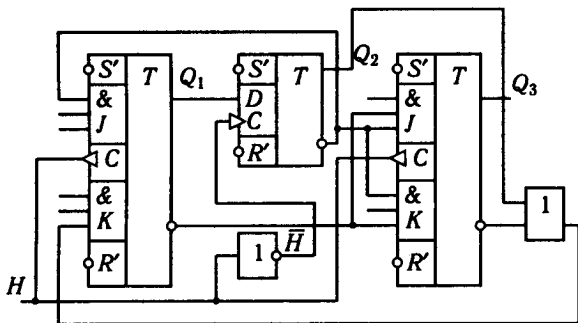


Рис. 7.12. Схема лічильника за mod 7 на  $D$ - та  $JK$ -тригерах

Під час проектування цифрових пристроїв особливе значення мають двійкові та двійково-десяткові лічильники, кодування внутрішніх станів яких виконано за допомогою двійкових і двійково-десяткових чисел. Двійковий лічильник, побудований з  $m$  тригерів, має  $2^m$  внутрішніх станів, тобто є лічильником за mod  $2^m$ . Кодування внутрішніх станів двійково-десяткових лічильників виконується кодом 8-4-2-1, тобто ці лічильники синтезуються з чотирьох тригерів і є лічильниками за mod 10.

На рис. 7.13 наведено граф переходів двійкового лічильника за mod  $2^3$ . Зробимо синтез цього лічильника на  $T$ -тригерах. Уклавши за графом переходів таблицю істинності (табл. 7.2), а потім діаграми Вейча для функцій  $Q_i^+$  і  $T^r$  (рис. 7.14),

На рис. 7.13 наведено граф переходів двійкового лічильника за mod  $2^3$ . Зробимо синтез цього лічильника на  $T$ -тригерах. Уклавши за графом переходів таблицю істинності (табл. 7.2), а потім діаграми Вейча для функцій  $Q_i^+$  і  $T^r$  (рис. 7.14),

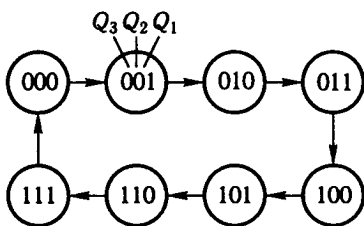


Рис. 7.13. Граф переходів двійкового лічильника за mod 8

Таблиця 7.2. Таблиця істинності двійкового лічильника за mod 8

$i$	$Q_3$	$Q_2$	$Q_1$	$Q_3^+$	$Q_2^+$	$Q_1^+$
0	0	0	0	0	0	1
1	0	0	1	0	1	0
2	0	1	0	0	1	1
3	0	1	1	1	0	0
4	1	0	0	1	0	1
5	1	0	1	1	1	0
6	1	1	0	1	1	1
7	1	1	1	0	0	0

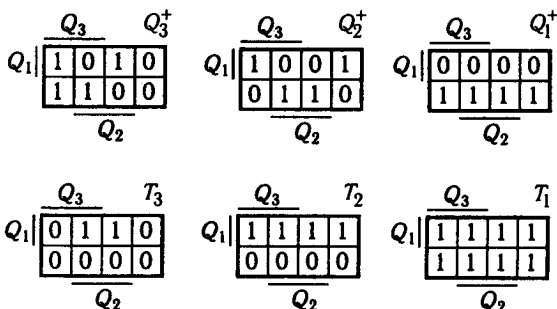


Рис. 7.14. Синтез двійкового лічильника за mod 8 на  $T$ -тригерах

можна дістати

$$T_1 = 1, \quad T_2 = Q_1, \quad T_3 = Q_1 Q_2. \quad (7.12)$$

Якщо зробити синтез лічильника за mod  $2^4$ , то функції збудження  $T$ -тригерів матимуть вигляд:

$$\begin{aligned} T_1 &= 1, \quad T_2 = Q_1, \quad T_3 = Q_1 Q_2, \\ T_4 &= Q_1 Q_2 Q_3. \end{aligned} \quad (7.13)$$

Порівнявши вирази (7.12) і (7.13), можна зазначити, що функції збудження перших трьох тригерів не змінилися. З цього можна дійти висновку, що функції збудження лічильника за mod  $2^m$  описуються виразами

$$T_1 = 1, \quad T_r = \prod_{j=1}^{r-1} Q_j, \quad r = 2, 3, \dots, m. \quad (7.14)$$

Відповідно до цих функцій збудження виконаний 6-рядний двійковий лічильник на мікросхемі K155ИЕ8.

Виразам (7.14) можна надати вигляду

$$T_1 = 1, \quad T_r = Q_{r-1} \prod_{j=1}^{r-2} Q_j = Q_{r-1} T_{r-1}, \quad r = 2, 3, \dots, m. \quad (7.15)$$

Схема двійкового лічильника, що відповідає цим функціям збудження, значно простіша, ніж схема лічильника, що відповідає функціям збудження (7.14), однак швидкодія менша через послідовне вмикання логічного елемента І (максимально допустиме значення частоти тактового сигналу  $H$  буде менше). На рис. 7.15 показано частину двійкового лічильника, виконану відповідно до функцій збудження (7.15).

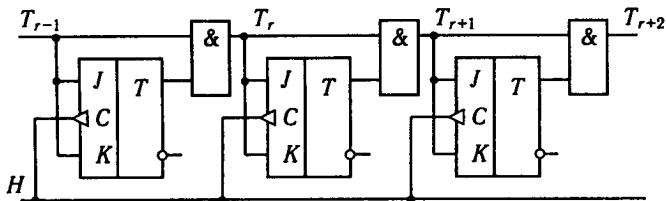
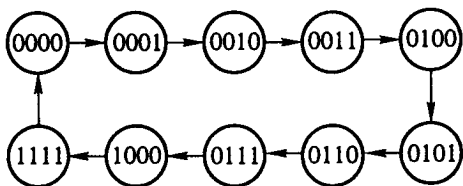


Рис. 7.15. Схема двійкового лічильника за mod  $2^m$

Рис. 7.16. Граф переходів двійково-десятього лічильника за mod 10



На рис. 7.16 наведено граф переходів двійково-десятього лічильника за mod 10. Якщо за цим графом переходів зробити синтез синхронного лічильника на  $JK$ - та  $T$ -тригерах, то можна дістати:

$$J_1 = K_1 = 1, J_2 = Q_1 \bar{Q}_4, K_2 = Q_1,$$

$$K_3 = J_3 = Q_1 Q_2, J_4 = Q_1 Q_2 Q_3, K_4 = Q_1, \quad (7.16)$$

$$T_1 = 1, T_2 = Q_1 \bar{Q}_4, T_3 = Q_1 Q_2, T_4 = Q_1 Q_4 \vee Q_1 Q_2 Q_3.$$

За отриманими функціями збудження можна побудувати принципові схеми двійково-десятього лічильників. На рис. 7.17 зображено схему такого лічильника, виконану на  $JK$ -тригерах (мікросхеми К155ТВ1; входи, що не використовуються, не зображені).

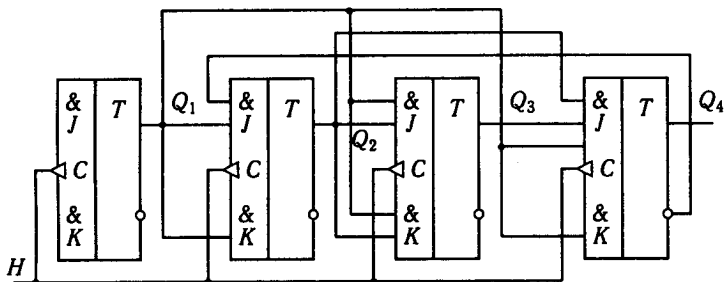


Рис. 7.17. Схема двійково-десятього лічильника на  $JK$ -тригерах



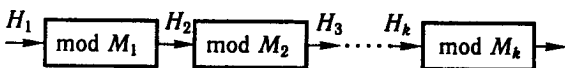


Рис. 7.18. Структурна схема асинхронного лічильника

Звичайно лічильники за  $\text{mod } M$  виконують так, що в них є тригер (або ЛЕ), вихідний сигнал якого змінюється з 1 на 0 (або з 0 на 1) тільки в момент повернення лічильника в початковий (нульовий) стан. Цей сигнал свідчить про переповнення лічильника при надходженні на його вхід  $M$  імпульсів ( $dH = 1$ ) і може бути використаний як вхідний сигнал іншого лічильника. Лічильники за  $\text{mod } M_j$  ( $j = 1, 2, \dots, k$ ) можна з'єднувати послідовно (рис. 7.18) для одержання лічильників за  $\text{mod } (M_1 M_2 \dots M_k)$ . Якщо послідовно з'єднати  $m$  лічильників за  $\text{mod } 2$ , то вийде двійковий лічильник за  $\text{mod } 2^m$ . У такий спосіб виконаний лічильник за  $\text{mod } 2^3$  на мікросхемі К155ІЕ5 (у цій мікросхемі є ще лічильник за  $\text{mod } 2$ , що дає змогу одержати лічильник за  $\text{mod } 2^4$ ). Ця мікросхема — 4-розрядний двійковий лічильник, виконаний на двоступінчастих  $JK$ -тригерах (рис. 7.19). Лічильник має два лічильних входи  $C1, C2$  і два входи установлення нуля  $R01, R02$ . Вхід  $Q1$  внутрішньо не з'єднаний з іншими тригерами схеми. Це дає можливість використовувати схему в двох незалежних режимах роботи:

- як 4-розрядний двійковий лічильник, коли вхідні лічильні імпульси надходять на вхід  $C1$ . Виводи здійснюють операцію розподілу на 2, 4, 8 і 16;

- як 3-розрядний двійковий лічильник, коли вхідні лічильні імпульси надходять на вхід  $C2$ . Перший тригер, не з'єднаний з іншими тригерами схеми, можна використовувати як елемент для функції розподілу на два. Встановлювальні входи

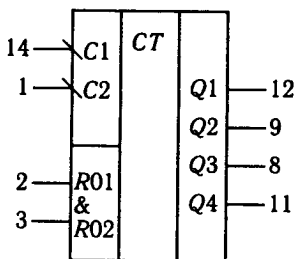


Рис. 7.19. Умовне позначення лічильника К155ІЕ5

мікросхеми забезпечують припинення лічення і повертають усі чотири тригери в стан низького рівня, якщо на входи  $R01$  та  $R02$  одночасно надходить високий рівень напруги. При операції лічення на одному із входів установлення  $R01$  або  $R02$  має бути потенціал низького рівня.

Хоча кожний лічильник за  $\text{mod } M_j$  є синхронним, однак лічильник за  $\text{mod } (M_1 M_2 \dots M_k)$  буде вже асинхронним, тому що немає єдиного тактового сигналу для всього лі-

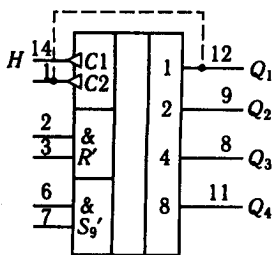


Рис. 7.20. Двійково-десятиковий лічильник на мікро-схемі К155ІЕ2

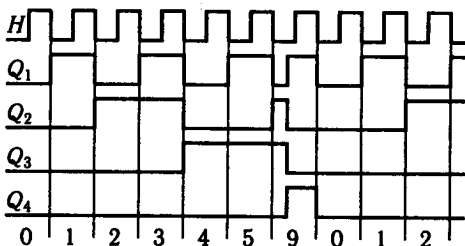


Рис. 7.21. Часові діаграми двійково-десятикового лічильника за mod 10

чильника (у кожному лічильнику за mod  $M_j$  використовується свій тактовий сигнал  $H_j$ ). Недоліком таких лічильників є їх послідовне спрацювання, що спричинює запізнювання спрацювання останнього лічильника щодо тактового сигналу першого.

Мікросхема К155ІЕ2 (рис. 7.20) містить лічильник за mod 2 і лічильник за mod 5, послідовне з'єднання яких (пунктир на рис. 7.20) дає двійково-десятиковий лічильник (код 8—4—2—1). Лічильник за mod 5 виконаний у вигляді асинхронного імпульсного лічильника. Лічильник має асинхронні потенційні входи  $R'$  і  $S'_9$  для встановлення стану «0» (0000) і «9» (1001).

Часові діаграми вихідних сигналів лічильника за mod 10 зображено на рис. 7.21.

Використовуючи асинхронні входи  $R'$  і  $S'_9$ , на основі мікросхеми К155ІЕ2 можна зробити лічильники за mod  $M$ , де  $M < 10$ . На рис. 7.22 показано лічильник за mod 7, робота якого пояснюється графом переходів (рис. 7.23) та часовими діаграмами (рис. 7.24). Як

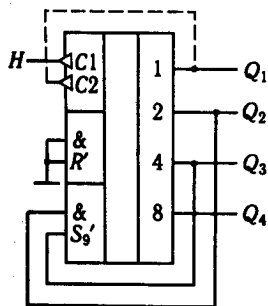


Рис. 7.22. Лічильник за mod 7 з асинхронними потенційними зворотними зв'язками

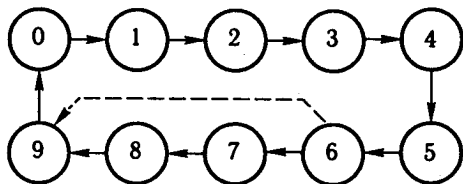


Рис. 7.23. Граф переходів лічильника за mod 7 з асинхронними потенційними зворотними зв'язками

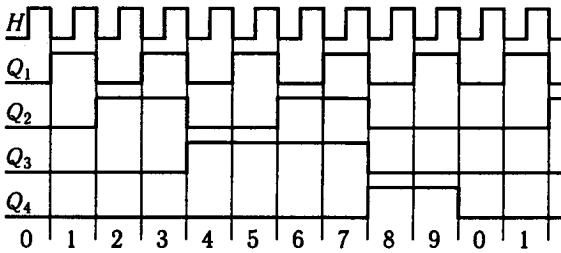


Рис. 7.24. Часові діаграми лічильника за mod 7 з асинхронними потенційними зворотними зв'язками

тільки лічильник установиться в стан «6» (0110), на виходах  $Q_2$  і  $Q_3$  з'являться значення сигналів 1, що на входах  $S'_9$  переведуть лічильник у стан «9» (1001) — пунктир на рис. 7.23. Тривалість перебування лічильника в стані «6» визначається швидкодією тригерів  $Q_2$  і  $Q_3$ , що на входах  $S'_9$  установлюються в стан «0».

Недоліком цього способу побудови лічильників є критичність їхньої роботи — у разі великого розкиду часу спрацьовування тригерів деякі з них можуть не встановитися в необхідний стан. Якщо зворотні зв'язки (рис. 7.22) завести на входи  $R'$ , а не на  $S'_9$ , то вийде лічильник за mod 6. Аналогічно можна дістати й інші коефіцієнти перерахування.

Мікросхема К564ІЕ10 є здвоєним лічильником за mod 16, в якому тригери спрацьовують за сигналом  $d(\bar{C}_1 C_2) = \bar{C}_1^* d C_2 \vee \vee C_2^* d \bar{C}_1 = 1$  (якщо  $C_2 = 1$ , то лічильник запускається додатними перепадами сигналу  $C_1$ , а якщо  $C_1 = 0$ , то від'ємними перепадами сигналу  $C_2$ ).

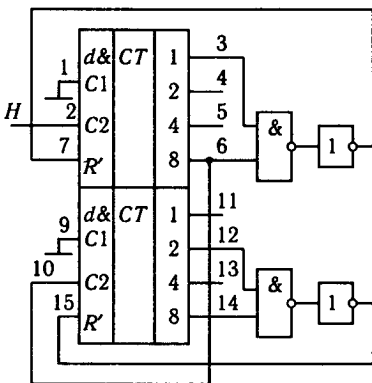


Рис. 7.25. Лічильник за mod  $10^2$

На рис. 7.25 зображено лічильник за mod  $10^2$ , виконаний на основі цієї мікросхеми з використанням асинхронного встановлення лічильника в нульовий стан на вході  $R'$ .

Надійність роботи цього лічильника досить висока, тому що ЛЕ І—НЕ та НЕ вносять запізнювання в коло асинхронного зворотного зв'язку.

Нині у вигляді мікросхем випускають лічильники різного призначення.

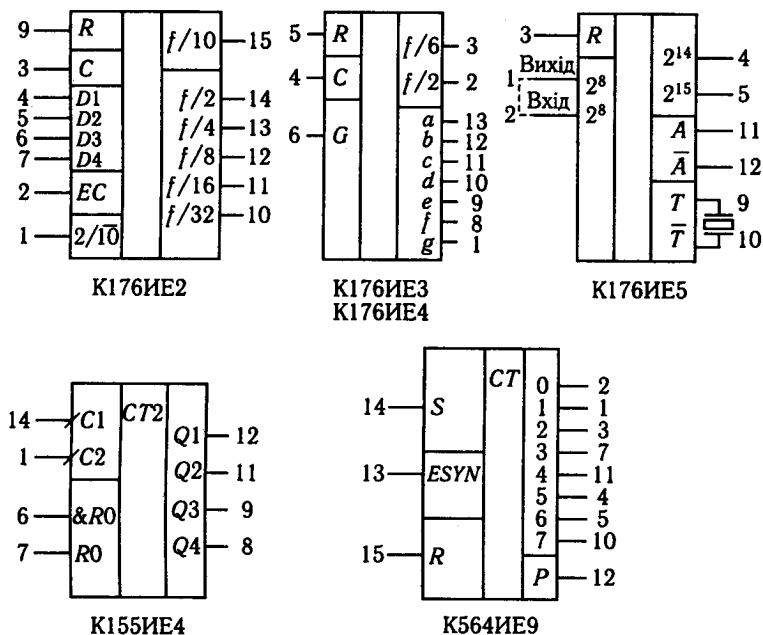


Рис. 7.26. Умовні позначення лічильників

Лічильник K176IE2 (рис. 7.26) може працювати і як двійковий, і як десятковий. Він має п'ять двійкових входів і один десятковий. На входах  $D1 - D4$  у нього можна записати попередні дані. На вхід  $R$  лічильника надходить сигнал асинхронного скидання, а на  $C$  — тактова частота. Якщо на вході  $2/10$  є високий рівень, то лічильник працює як двійковий, якщо низький — як десятковий і на виводі  $f/10$  виникають імпульси з частотою  $f/10$ . Високий рівень на вході  $EC$  дозволяє лічення.

Мікросхеми K176IE3 і K176IE4 (рис. 7.26) — це лічильники відповідно за  $\text{mod } 6$  (або за  $\text{mod } 2$ ) та  $\text{mod } 10$  з дешифратором для семисегментного індикатора. На вхід  $C$  надходить тактова частота, на  $R$  — асинхронний сигнал скидання з активним високим рівнем. На вхід  $G$  надходить імпульсна послідовність з частотою 32 або 64 кГц, необхідна для роботи електролюмінесцентних або рідинно-кристалічних індикаторів.

Мікросхема K155IE4 є лічильником — дільником на 12 (для побудови дільника на 12 потрібно замкнути виводи 2 і 6). Якщо хоча б на одному з входів  $R0$  або  $\&R0$  є високий рівень, відбувається лічення.

Мікросхема К176ИЕ5 — це лічильник — генератор секундних імпульсів. Безпосередньо до виводів  $T$  і  $\bar{T}$  підключають кварцовий резонатор на 32 768 Гц чи 16 384 Гц або надходить частота із зовнішнього генератора імпульсів. При цьому на буферних виходах  $A$  і  $\bar{A}$  сформована і посилена послідовність, а на виходах 1, 4 та 5 тактова частота розділена відповідно на  $2^8$ ,  $2^{14}$ ,  $2^{15}$ . Для того щоб сигнал надійшов на вихідний дільник, необхідно подати його з виводу 1 на вивід 2 мікросхеми. На вхід  $R$  подають асинхронний сигнал скидання з активним високим рівнем.

Мікросхема К564ИЕ9 містить лічильник за mod 8 і повний дешифратор із прямими виходами.

### 7.3. Лічильники на регістрах зсуву

Для побудови лічильників на регістрах зсуву потрібно використовувати спеціальне кодування їх внутрішніх станів. Якщо на вхід  $x$  (див. рис. 7.1) подати деяку періодичну послідовність символів 0 і 1, то внутрішні стани регістра зсуву (комбінації значень сигналів  $Q_r$ ) будуть також періодично повторюватися, тобто регістр зсуву буде лічильником за mod  $M$ , якщо зазначена періодична послідовність сформована самим регістром зсуву. З цього випливає, що кодування внутрішніх станів, наприклад лічильника за mod 5, може бути задане схемою  $\leftarrow \overset{Q_3}{0} \overset{Q_2}{0} \overset{Q_1}{0} 11.00011$ .

Просуваючи через регістр, що складається з трьох тригерів  $Q_1$ ,  $Q_2$  та  $Q_3$ , певну періодичну послідовність символів 0 і 1, дістанемо п'ять різних кодових комбінацій (внутрішніх станів): 000, 001, 011, 110, 100. При подальшому зсуві виходять ті самі кодові комбінації, тому що послідовність символів 0 і 1 періодична.

На рис. 7.27 зображено граф переходів лічильника за mod 5 з отриманим способом кодування внутрішніх станів. Склавши за графом переходів діаграму Вейча для функції  $Q_1^+$  (рис. 7.28), дістанемо  $D_1 = \bar{Q}_2 \bar{Q}_3$ . Діаграму Вейча можна скласти за графом переходів без укладання таблиці істинності. Наприклад, розглянемо перехід між внутрішніми станами 000 і 001. Стан 000 є вихідним ( $Q_3 = 0$ ,  $Q_2 = 0$ ,  $Q_1 = 0$ ), тому відповідне йому двійкове число визначає номер клітини в діаграмі Вейча  $i = 0$ . Стан 001 для цього переходу є наступним, тому функції  $Q_3^+ = 0$ ,  $Q_2^+ = 0$ ,  $Q_1^+ = 1$ . З цього випливає, що в клітину діаграми Вейча для функції  $Q_1^+$  з номером  $i = 0$  слід

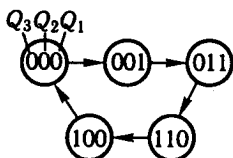


Рис. 7.27. Граф переходів лічильника за mod 5

	$Q_2$	$Q_1^+$
$Q_1$	$\Phi$	$\Phi$
	0	1
	0	0
	$\Phi$	1
	$Q_3$	

Рис. 7.28. Синтез лічильника за mod 5 на регістрі зсуву

записати значення функції  $Q_1^+ = 1$ . У такий спосіб записують усі п'ять значень функції  $Q_1^+ = 1$ . У клітини, що залишилися незаповненими, записують довільні значення  $\Phi$ , тому що три внутрішні стани не використовуються.

Функції збудження  $D_2 = Q_1$  і  $D_3 = Q_2$  (на підставі використаного методу кодування внутрішніх станів), у чому легко переконатися, склавши діаграми Вейча для функцій  $Q_2^+$  та  $Q_3^+$ . Якщо під час побудови принципової схеми використовувати функцію збудження  $\bar{D}_1 = \overline{Q_2 Q_3}$ , то дістанемо схему, зображену на рис. 7.29.

У разі кодування внутрішніх станів лічильників за допомогою періодичної послідовності символів 0 і 1 слід дотримуватися таких правил:

1) число символів  $M$  в одному періоді послідовності визначає коефіцієнт перерахування лічильника;

2) мінімальне число тригерів  $m$  знаходять з умови одержання при зсуві періодичної послідовності символів 0 і 1  $M$  різних кодових комбінацій.

Виконаємо синтез лічильника за mod 8, заданого періодичною кодовою послідовністю 00001111.00001111. Якщо взяти три тригери ( $2^3 = 8$ ), то при зсуві будуть отримані внутрішні стани 000, 000, 001, 011, 111, 111, 110 та 100, серед яких є однакові. Отже, потрібно збільшити число тригерів. Якщо взяти чотири тригери, то кодування внутрішніх станів буде визна-

чатися схемою:  $\leftarrow \begin{matrix} Q_4 & Q_3 & Q_2 & Q_1 \\ 0 & 0 & 0 & 0 \end{matrix} 1111.00001111$ . У цьому випад-

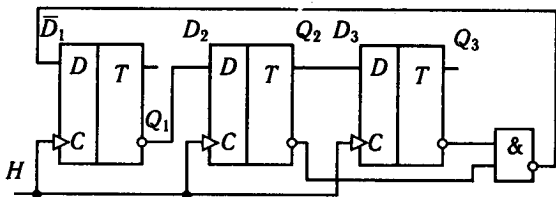


Рис. 7.29. Схема за mod 5 на регістрі зсуву

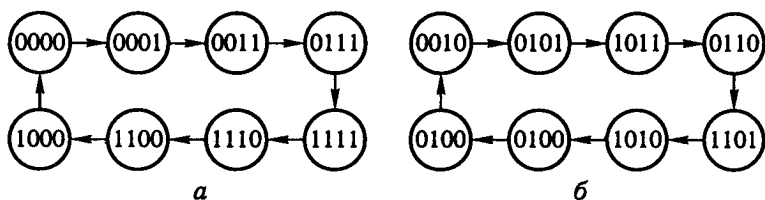


Рис. 7.30. Графи переходів (а, б) лічильника за mod 8, виконаного на регістрі зсуву

ку всі вісім внутрішніх станів будуть різними. Граф переходів, що відповідає цьому кодуванню внутрішніх станів, зображено на рис. 7.30, а. Склавши діаграму Вейча для функції  $Q_1^+$  (рис. 7.31), дістанемо  $D_1 = Q_1^+ = \bar{Q}_4$ .

Лічильник за mod 8, складений з чотирьох тригерів, має вісім станів, які не використовуються. Треба перевірити, як він буде поводитися, якщо випадково (у момент увімкнення чи при збоях) потрапить в один з цих станів. Припустимо, що лічильник перебував у стані 0010 ( $Q_4 = 0$ ,  $Q_3 = 0$ ,  $Q_2 = 1$ ,  $Q_1 = 0$ ). Тоді функції збудження  $D_r$  набувають значення:

$$D_1 = \bar{Q}_4 = \bar{0} = 1, \quad D_2 = Q_1 = 0,$$

$$D_3 = Q_2 = 1, \quad D_4 = Q_3 = 0.$$

Отже, наступний внутрішній стан буде 0101 ( $Q_4^+ = D_4 = 0$ ,  $Q_3^+ = D_3 = 1$ ,  $Q_2^+ = D_2 = 0$ ,  $Q_1^+ = D_1 = 1$ ). Проаналізувавши перехід лічильника для інших внутрішніх станів, які не використовуються, можна переконатися, що він функціонуватиме відповідно до графа переходів, наведеного на рис. 7.30, б, тобто лічильник за mod 8 має кодування внутрішніх станів, яке не відповідає заданому. Щоб уникнути цього явища, потрібно або примусово встановити лічильник в один із використовуваних станів (наприклад, у нульове) після його переходу за будь-якими причинами в стан, що не використовується, або змінити функцію збудження першого тригера так, щоб він автоматично переходив у використовуваний стан. Наприклад, якщо, використавши інший спосіб повного визначення функції  $Q_1^+$  (рис. 7.31), реалізувати функцію збудження  $D_1$  у вигляді

	$Q_4$	$Q_1^+$	
$Q_2$	$\Phi$	0	$\Phi$ $\Phi$
	$\Phi$	0	1 1
	$\Phi$	$\Phi$	$\Phi$ 1
	0	0	$\Phi$ 1
	$Q_3$		$Q_1$

Рис. 7.31. Синтез лічильника за mod 8 на регістрі зсуву

$$D_1 = \bar{Q}_4 \vee Q_1 \bar{Q}_3 = \overline{Q_4 Q_1 Q_3}, \quad (7.17)$$

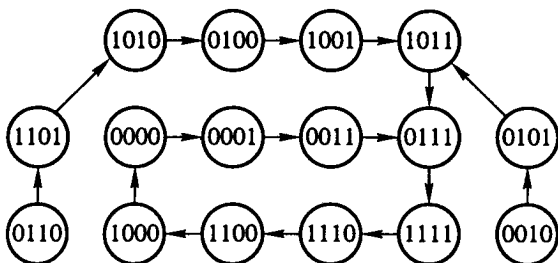


Рис. 7.32. Повний граф переходів лічильника за mod 8 на регістрі зсуву, який автоматично виходить із внутрішніх станів, що не використовуються

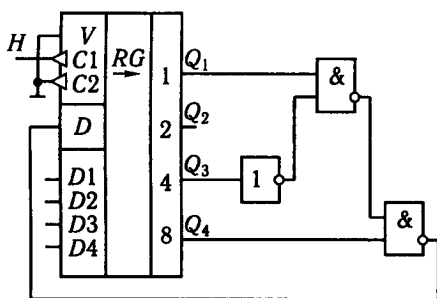


Рис. 7.33. Схема лічильника за mod 8 на регістрі зсуву

то лічильник буде самостійно виходити з усіх станів, що не використовуються (рис. 7.32), у чому можна перекоонатися, проаналізувавши перехід за викладеною раніше методикою.

Принципову схему лічильника за mod 8, виконану відповідно до функції збудження  $D_1$  (7.17), зображено на рис. 7.33, а часові діаграми, що пояснюють його роботу, — на рис. 7.34 (регістр зсуву виконаний на мікросхемі K155IP1).

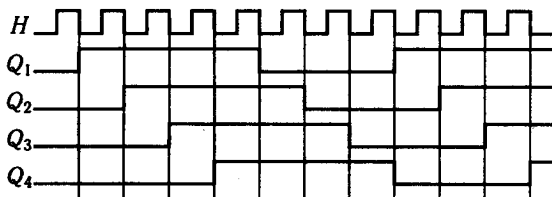


Рис. 7.34. Часові діаграми лічильника за mod 8 на регістрі зсуву



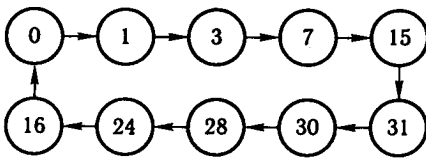


Рис. 7.35. Граф переходів лічильника за mod 10 на регістрі зсуву

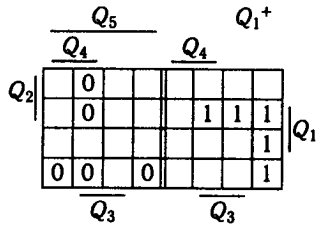


Рис. 7.36. Синтез лічильника за mod 10 на регістрі зсуву

Виконаємо синтез лічильника за mod 10, кодування внутрішніх станів якого задається періодичною кодовою послідовністю 0000011111.0000011111.

У цьому випадку для одержання десяти різних внутрішніх станів потрібно використати п'ять тригерів; тоді лічильник функціонуватиме відповідно до графа переходів, зображеного на рис. 7.35 (замість кодів внутрішніх станів зазначені відповідні їм десяткові цифри, тобто для одержання кодів внутрішніх станів десяткові числа потрібно перевести в двійкові).

Склавши за графом переходів діаграму Вейча для функції  $Q_1^+$  (рис. 7.36), можна дістати мінімальну форму  $D_1 = \bar{Q}_5$ . Якщо проаналізувати перехід лічильника для станів, що не використовуються, то можна одержати граф переходів, наведений на рис. 7.37. Залежно від того, в якому з цих станів перебуває лічильник, він може функціонувати як лічильник за mod 10 при кодуванні внутрішніх станів, які не відповіда-

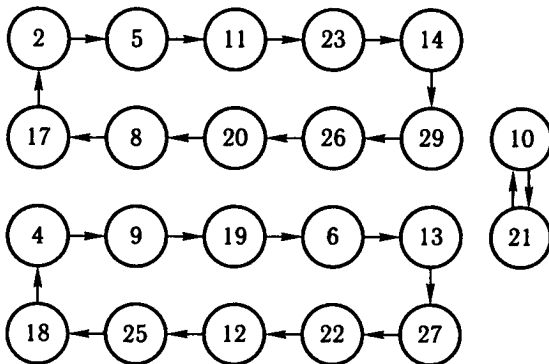


Рис. 7.37. Граф переходів лічильника за mod 10 на регістрі зсуву для невикористаних станів

Таблиця 7.3. Функції збудження  $D_1$  для деяких лічильників за mod  $M$

$M$	Кодова послідовність	$m$	$D_1$	$J_1$	$K_1$
3	001	2	$\bar{Q}_1\bar{Q}_2$	$\bar{Q}_2$	1
4	0011	2	$\bar{Q}_2$	$\bar{Q}_2$	$Q_2$
5	00011	3	$\bar{Q}_2\bar{Q}_3$	$\bar{Q}_3$	$Q_2$
6	000111	3	$\bar{Q}_3 \vee Q_1\bar{Q}_2$	$\bar{Q}_3$	$Q_2Q_3$
7	0000111	4	$\bar{Q}_3\bar{Q}_4$	$\bar{Q}_4$	$Q_2$
8	00001111	4	$\bar{Q}_4 \vee Q_1\bar{Q}_3$	$\bar{Q}_4$	$Q_3Q_4$
10	0000011111	5	$\bar{Q}_5 \vee Q_1\bar{Q}_4$	$\bar{Q}_5$	$Q_4Q_5$

ють заданому, або навіть як лічильник за mod 2. Змінивши функцію першого тригера на  $D_1 = \bar{Q}_5 \vee Q_1\bar{Q}_4 = \overline{Q_5Q_1Q_4}$ , можна переконатися, що лічильник самостійно вийде зі станів, які не використовуються.

У табл. 7.3 наведено функції збудження  $D_1$  для деяких лічильників за mod  $M$ , виконаних на регістрах зсуву, а також функції збудження  $J_1$  і  $K_1$ , якщо як тригер  $Q_1$  використані JK-тригери.

Лічильники часто використовують у генераторах кодових послідовностей. Як приклад розглянемо синтез генератора коду Баркера, який має 11 символів: + + + - - - + - - + -. Якщо задати лічильник періодичною кодовою послідовністю 11100010010.11100010010, то внутрішні стани всіх тригерів змінюватимуться відповідно до коду Баркера, тобто виходом генератора може бути вихід будь-якого тригера. Для одержання 11 різних внутрішніх станів потрібно використати 5 тригерів. Тоді генератор коду Баркера задаватиметься графом переходів, зображеним на рис. 7.38. Виконавши синтез автомата, дістанемо

$$J_1 = \overline{Q_2Q_5} \cdot \overline{Q_3Q_5}, \quad K_1 = \overline{Q_2Q_5} \cdot \overline{Q_3Q_5}.$$

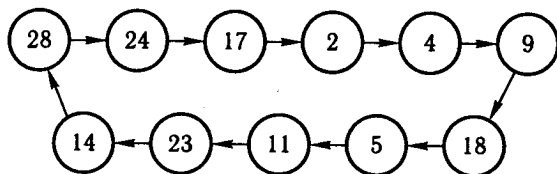


Рис. 7.38. Граф переходів генератора коду Баркера, який має 11 символів

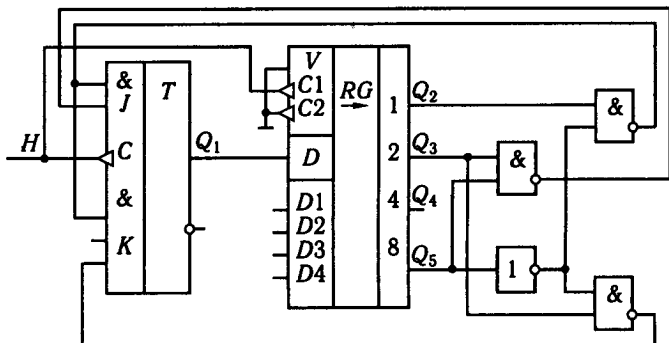


Рис. 7.39. Схема генератора коду Баркера, який має 11 символів

Принципову схему генератора наведено на рис. 7.39. На виходах  $Q_1, Q_2, \dots, Q_5$  є 5 зсунених один щодо одного послідовностей символів коду Баркера.

## 7.4. Реверсивні лічильники

Реверсивні синхронні лічильники мають один інформаційний вхід, на який надходить сигнал  $x$ , що задає напрямок лічення (додавання чи віднімання) числа змін тактового сигналу з 1 на 0 (або з 0 на 1). Надалі вважатимемо, що при  $x = 0$  виконується додавання, а при  $x = 1$  — віднімання. Найбільший практичний інтерес становлять двійкові і двійково-десяткові (код 8–4–2–1) реверсивні лічильники.

Граф переходів 3-розрядного реверсивного лічильника зображено на рис. 7.40. Гілки цього графа позначено значення-

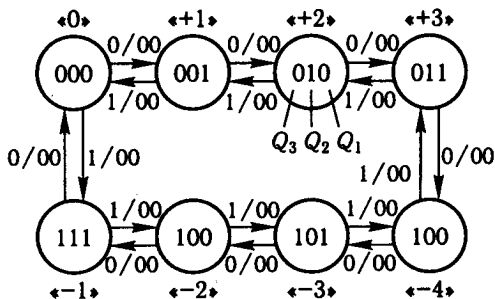


Рис. 7.40. Граф переходів 3-розрядного двійкового реверсивного лічильника

ми сигналів  $x/z_1z_2$ , де  $x$  — вхідний інформаційний сигнал;  $z_1$  — вихідний сигнал, що свідчить про додатне переповнення лічильника;  $z_2$  — вихідний сигнал, що свідчить про від'ємне переповнення лічильника.

Поряд з вузлами зазначене число полічених лічильником з урахуванням знака значень сигналів  $dH = 1$  (лічильник переповняється при переході зі стану 011 у стан 100 — додатне переповнення та при переході зі стану 100 у стан 011 — від'ємне). Можна помітити, що реверсивний двійковий лічильник підраховує значення сигналів  $dH = 1$  у додатковому коді. Значення сигналу  $Q_3$  визначає знак числа ( $Q_3 = 0$  — додатне число,  $Q_3 = 1$  — від'ємне).

Уклавши за графом переходів (рис. 7.40) таблицю істинності (табл. 7.4) для функцій  $Q_r^+$  ( $r = 1, 2, 3$ ),  $z_1$  і  $z_2$  та склавши діаграми Вейча для функцій  $Q_r^+$  і функцій збудження  $T_r$ ,  $T$ -тригерів (рис. 7.41), дістанемо

$$T_1 = 1, \quad T_2 = \bar{x}Q_1 \vee x\bar{Q}_1, \quad T_3 = x\bar{Q}_1Q_2 \vee x\bar{Q}_1\bar{Q}_2. \quad (7.18)$$

З табл. 7.4 випливає, що

$$z_1 = \bar{x}Q_1Q_2\bar{Q}_3, \quad z_2 = x\bar{Q}_1\bar{Q}_2Q_3. \quad (7.19)$$

Якщо у виразах (7.19) сигнал  $Q_3$  замінити на інверсний  $\bar{Q}_3$ , то вийдуть функції  $P$  і  $W$ , які є перенесенням у наступний

Таблиця 7.4. Таблиця істинності для функцій  $Q_r^+$

$i$	$x$	$Q_3$	$Q_2$	$Q_1$	$Q_3^+$	$Q_2^+$	$Q_1^+$	$z_1$	$z_2$
0	0	0	0	0	0	0	1	0	0
1	0	0	0	1	0	1	0	0	0
2	0	0	1	0	0	1	1	0	0
3	0	0	1	1	1	0	0	1	0
4	0	1	0	0	1	0	1	0	0
5	0	1	0	1	1	1	0	0	0
6	0	1	1	0	1	1	1	0	0
7	0	1	1	1	0	0	0	0	0
8	1	0	0	0	1	1	1	0	0
9	1	0	0	1	0	0	0	0	0
10	1	0	1	0	0	0	1	0	0
11	1	0	1	1	0	1	0	0	0
12	1	1	0	0	0	1	1	0	1
13	1	1	0	1	1	0	0	0	0
14	1	1	1	0	1	0	1	0	0
15	1	1	1	1	1	1	0	0	0

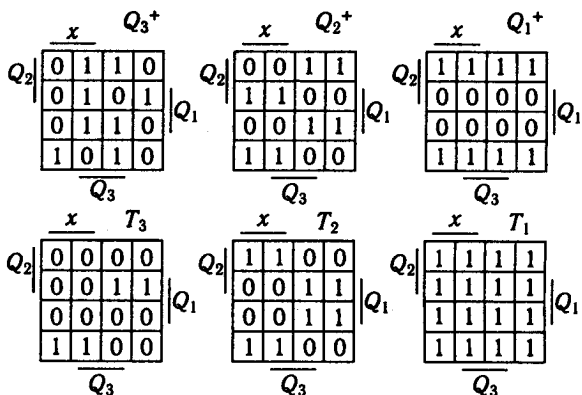


Рис. 7.41. Синтез двійкового реверсивного лічильника

двійковий розряд та позицію перенесення з наступного двійкового розряду:  $P = \bar{x}Q_1Q_2Q_3$ ,  $W = x\bar{Q}_1\bar{Q}_2\bar{Q}_3$ . Сигнали  $P$  і  $W$  використовують для послідовного вмикання двійкових реверсивних лічильників з метою збільшення їхньої розрядності.

Якщо виконати синтез двійкового реверсивного лічильника, який має  $2^4$  внутрішніх станів, то функції збудження  $T_r$  ( $r = 1, 2, 3, 4$ ) і функції виходу лічильника  $z_1$  та  $z_2$  матимуть вигляд:

$$\left. \begin{aligned} T_1 &= 1; T_2 = \bar{x}Q_1 \vee x\bar{Q}_1; T_3 = \bar{x}Q_1Q_2 \vee x\bar{Q}_1\bar{Q}_2; \\ T_4 &= \bar{x}Q_1Q_2Q_3 \vee x\bar{Q}_1\bar{Q}_2\bar{Q}_3; z_1 = \bar{x}Q_1Q_2Q_3\bar{Q}_4; z_2 = x\bar{Q}_1\bar{Q}_2\bar{Q}_3Q_4. \end{aligned} \right\} \quad (7.20)$$

Порівнявши вирази (7.20) з (7.18) і (7.19), можна дійти висновку: якщо двійковий реверсивний лічильник складається з  $m$   $T$ -тригерів, то функції збудження  $T_r$  і функції  $z_1$  та  $z_2$  визначатимуться за співвідношеннями:

$$\begin{aligned} T_1 &= 1; T_r = \bar{x} \prod_{j=1}^{r-1} Q_j \vee x \prod_{j=1}^{r-1} \bar{Q}_j; \quad r = 2, 3, \dots, m; \\ z_1 &= \bar{x} \bar{Q}_m \prod_{j=1}^{m-1} Q_j; \quad z_2 = x Q_m \prod_{j=1}^{m-1} \bar{Q}_j, \end{aligned} \quad (7.21)$$

де  $Q_m$  — сигнал, що визначає значення знакового розряду.

Функції збудження  $T$ -тригерів (7.21) можна перетворити так:  $T_1 = 1$ ,  $T_r = \bar{x}Q_{r-1} \vee x\bar{Q}_{r-1}$ ,  $r = 2, 3, \dots, m$ . Отрима-

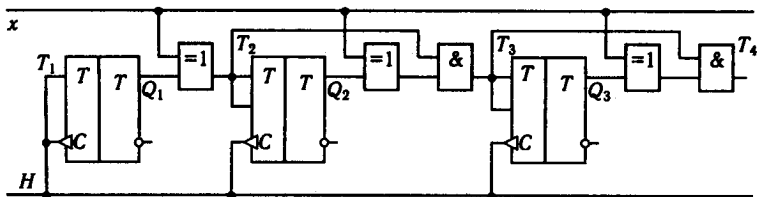


Рис. 7.42. Схема двійкового 3-розрядного реверсивного лічильника

ні функції збудження можна подати також у вигляді:  $T_1 = 1$ ,  $T_r = (x \oplus Q_{r-1})T_{r-1}$ .

На рис. 7.42 зображено схему 3-розрядного двійкового реверсивного лічильника, виконану на підставі останніх виразів з  $T$ -тригерів. У разі збільшення числа розрядів лічильника структура кожного розряду буде такою самою, як і структура третього розряду.

З виразів (7.21) випливає, що

$$T_1 H = H = H_1 \vee H_2, \quad T_r H = H_1 \prod_{j=1}^{r-1} Q_j \vee H_2 \prod_{j=1}^{r-1} \bar{Q}_j,$$

де  $H_1 = \bar{x}H$ ,  $H_2 = xH$  та  $H_1 H_2 = 0$ , тобто у двійковому реверсивному лічильнику можна використовувати два тактових сигнали  $H_1$  і  $H_2$ , що в сукупності із сигналами перенесення  $P$  і позики перенесення  $W$  дає змогу збільшувати розрядність лічильника. Так, мікросхема К155ІЕ7 є 4-розрядним двійковим реверсивним лічильником, що виконаний за цим принципом. На рис. 7.43 зображено схему 8-розрядного двійкового реверсивного лічильника, побудованого за двома мікросхемами К155ІЕ7 ( $Q_8$  — знаковий розряд).

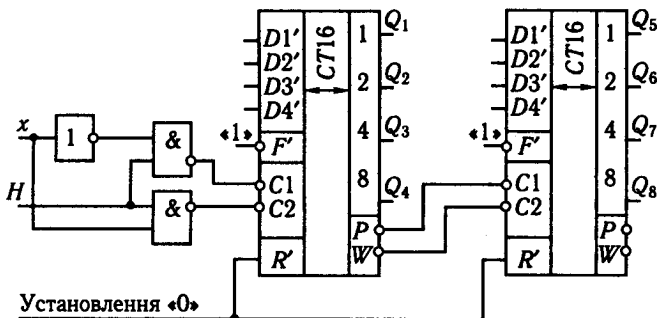


Рис. 7.43. Схема 8-розрядного двійкового реверсивного лічильника на мікросхемах К155ІЕ7

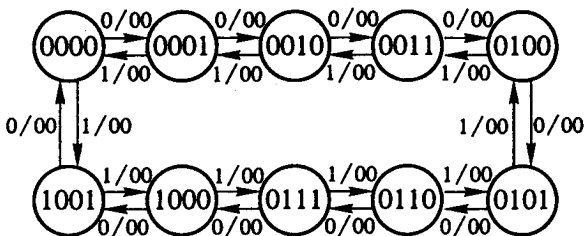


Рис. 7.44. Граф переходів реверсивного двійково-десятькового лічильника

$T$ -тригери мікросхеми К155ИЕ7 також мають асинхронні потенційні входи  $D'_r$  ( $r = 1, 2, 3, 4$ ) та  $F'$ , які використовують для запису будь-якого числа від 0 до 15, а також асинхронний потенційний вхід  $R'$  для встановлення стану «0» лічильника. Тригери на входах  $D'_r$  і  $F'$  — це  $D'$ -,  $F'$ -тригери. Сигнали перенесення  $P$  і позики перенесення  $W$  описуються виразами:  $P = H_1 Q_1 Q_2 Q_3 Q_4$ ,  $W = H_2 \bar{Q}_1 \bar{Q}_2 \bar{Q}_3 \bar{Q}_4$  та використовуються для запуску наступного лічильника.

Розглянемо тепер принцип побудови двійково-десятькового реверсивного лічильника, граф переходів якого зображено на рис. 7.44 (гілки графа переходів позначено сигналами  $x/PW$ , де  $x$  — сигнал, що задає напрямок лічення;  $P$  — перенесення у наступну декаду;  $W$  — позика перенесення з наступної декади). Якщо за графом переходів виконати синтез лічильника з  $T$ -тригерів, то функції збудження  $T_r$  і функції  $P$  та  $W$  з урахуванням тактового сигналу  $H$  матимуть вигляд:

$$T_1 = H = H_1 \vee H_2, \quad T_2 = H_1 Q_1 \bar{Q}_4 \vee H_2 \bar{Q}_1 (Q_2 \vee Q_3 \vee Q_4),$$

$$T_3 = H_1 Q_1 Q_2 \vee H_2 \bar{Q}_1 \bar{Q}_2 (Q_2 \vee Q_3 \vee Q_4),$$

$$T_4 = H_1 (Q_1 Q_4 \vee Q_1 Q_2 Q_3) \vee H_2 \bar{Q}_1 \bar{Q}_2 \bar{Q}_3,$$

$$P = H_1 Q_1 Q_4, \quad W = H_2 \bar{Q}_1 \bar{Q}_2 \bar{Q}_3 \bar{Q}_4,$$

де  $H_1 = \bar{x}H$ ,  $H_2 = xH$ .

Мікросхема К155ИЕ6 є реверсивним двійково-десятьковим лічильником, що виконаний на підставі цих функцій (як і в реверсивному двійковому лічильнику тут є також асинхронні потенційні входи  $D'_r$ ,  $F'$  і  $R'$ , де  $r = 1, 2, 3, 4$ ).

На рис. 7.45 зображено схему реверсивного лічильника, що складається з двох десяткових розрядів і знакового тригера, виконаного на  $D$ -тригері. Тактові сигнали  $\bar{H}_1$  і  $\bar{H}_2$  можуть бути сформовані так, як показано на рис. 7.43.

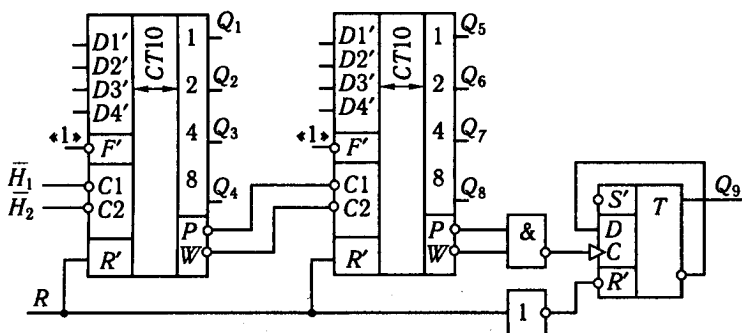


Рис. 7.45. Схема реверсивного двійково-десятькового лічильника на мікросхемах К155ІЕ6

Якщо лічильник працює без переповнення (максимальні додатне та від'ємне числа дорівнюють  $+99$  і  $-100$ ), то значення сигналу  $Q_9 = 0$  вказує на додатне число, а  $Q_9 = 1$  — на від'ємне, записане в лічильнику. Модуль від'ємного числа (при  $Q_9 = 1$ ) визначається як доповнення числа, записаного в двох десяткових розрядах, до числа  $10^2$ . Для одержання модуля від'ємних чисел можна використати мікросхеми К155ПР6.

Наявність у мікросхем К155ІЕ6 та К155ІЕ7 входів  $D_r'$  і  $F'$  для рівнозбіжного запису коду дає змогу використовувати їх у режимі програмувальних лічильників. На рис. 7.46 зображено схему лічильника за  $\text{mod } M$ , коефіцієнт перерахування якого визначається співвідношенням

$$M = a + 2b + 4c + 8d + 10(e + 2f + 4g + 8h)$$

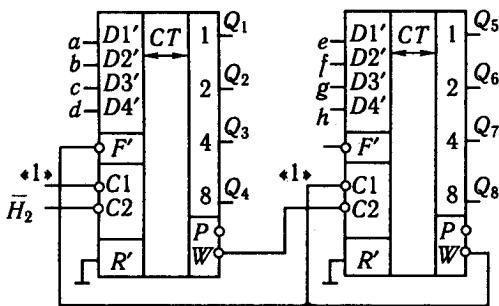


Рис. 7.46. Схема лічильника з програмованим коефіцієнтом перерахування



у разі використання мікросхем К155ИЕ6 та співвідношенням

$$M = a \cdot 2^0 + b \cdot 2^1 + c \cdot 2^2 + d \cdot 2^3 + e \cdot 2^4 + f \cdot 2^5 + g \cdot 2^6 + h \cdot 2^7$$

у разі використання мікросхем К155ИЕ7 (лічильники працюють у режимі віднімання). Числа, записані в двійково-десяткові лічильники, не повинні перевищувати число 9.

## 7.5. Лічильники зі змінним коефіцієнтом перерахування і цифрові фазообертачі

Лічильники з трьома коефіцієнтами перерахування  $M_1$ ,  $M_2$  і  $M_3$  використовують для побудови цифрових фазообертачів, що є виконавчим органом цифрових систем слідування, а також в імітаторах сигналів для завдання швидкості руху об'єктів. У лічильника з трьома коефіцієнтами перерахування має бути два входи, на які надходять керуючі сигнали  $x_1$  та  $x_2$ , що перемикають лічильник з одного коефіцієнта перерахування на інший. Виконаємо синтез такого лічильника на регістрі зсуву за умови, що потрібно одержати лічильник за mod 4 при  $x_1 = 1$  і  $x_2 = 0$ , лічильник за mod 5 при  $x_1 = 0$  та  $x_2 = \Phi$  і лічильник за mod 6 при  $x_1 = x_2 = 1$ .

На рис. 7.47 зображено граф переходів 3-розрядного регістра (у вузлах зазначено десяткові числа, які відповідають двійковим, записаним у регістрі, а гілки підписані значеннями вхідного сигналу регістра  $x$ ). За графом переходів вибираємо порядок зміни внутрішніх станів при різних коефіцієнтах перерахування: 1)  $0 \rightarrow 1 \rightarrow 2 \rightarrow 4 \rightarrow 0$  при  $M_1 = 4$ ; 2)  $0 \rightarrow 1 \rightarrow 3 \rightarrow 6 \rightarrow 4 \rightarrow 0$  при  $M_2 = 5$ ; 3)  $0 \rightarrow 1 \rightarrow 3 \rightarrow 7 \rightarrow 6 \rightarrow 4 \rightarrow$

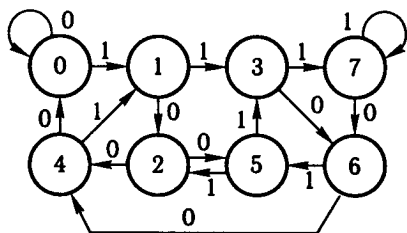


Рис. 7.47. Граф переходів 3-розрядного регістра зсуву

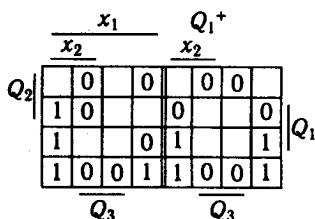


Рис. 7.48. Синтез лічильника з трьома коефіцієнтами перерахування на регістрі зсуву

Таблиця 7.5. Таблиця істинності  $Q_1^+$ 

$M_k$	$X_1$	$X_2$	$Q_3$	$Q_2$	$Q_1$	$Q_3^+$	$Q_2^+$	$Q_1^+$
5	0	Ф	0	0	0	0	0	1
	0	Ф	0	0	1	0	1	1
	0	Ф	0	1	1	1	1	0
	0	Ф	1	1	0	1	0	0
	0	Ф	1	0	0	0	0	0
4	1	0	0	0	0	0	0	1
	1	0	0	0	1	0	1	0
	1	0	0	1	0	1	0	0
	1	0	1	0	0	0	0	0
6	1	1	0	0	0	0	0	1
	1	1	0	0	1	0	1	1
	1	1	0	1	1	1	1	1
	1	1	1	1	1	1	1	0
	1	1	1	1	0	1	0	0
	1	1	1	0	0	0	0	0

→ 0 при  $M_3 = 6$ . На підставі вибраних послідовностей укладаємо таблицю істинності (табл. 7.5) і складаємо діаграму Вейча для функції  $Q_1^+$  (рис. 7.48), з якої випливає, що

$$Q_1^+ = \bar{Q}_1 \bar{Q}_2 \bar{Q}_3 \vee \bar{x}_1 Q_1 \bar{Q}_2 \vee x_1 x_2 Q_1 \bar{Q}_3.$$

З функції переходів JK-тригера випливає, що при  $Q_1 = 0$  виходить функція збудження  $J_1$ , а при  $Q_1 = 1$  — функція збудження  $\bar{K}_1$ , тому з останнього виразу

$$J_1 = \bar{Q}_2 \bar{Q}_3, \quad K_1 = \bar{x}_1 \bar{Q}_2 \cdot \overline{x_1 x_2 \bar{Q}_3}.$$

У разі використання лічильників зі змінним коефіцієнтом перерахування цифрових фазообертачів слід прив'язати тимчасове положення сигналу  $x_1$  до тактового сигналу  $H$ , причому тривалість сигналу  $x_1 = 1$  має бути  $T_H M_k$ , де  $T_H$  — період тактового сигналу,  $M_k = 4$  і  $6$ . На рис. 7.49 наведено схему цифрового фазообертача зі схемою тимчасового прив'язування, яку виконано на D-тригерах  $Q_4$  і  $Q_5$ . Коефіцієнт перерахування лічильника змінюється за командою  $\overline{dy}_1 = 1$ , а сигнал  $x_1 = Q_5$ . Роботу схеми пояснюють часові діаграми, зображені на рис. 7.50 (сигнал  $x_2 = 1$ , що відповідає коефіцієнту перерахування  $M_3 = 6$  при  $x_1 = 1$ ).

Вихідний сигнал цифрового фазообертача  $Q_3$  надходить далі на тактовий вхід лічильника за mod  $M$ . При значенні

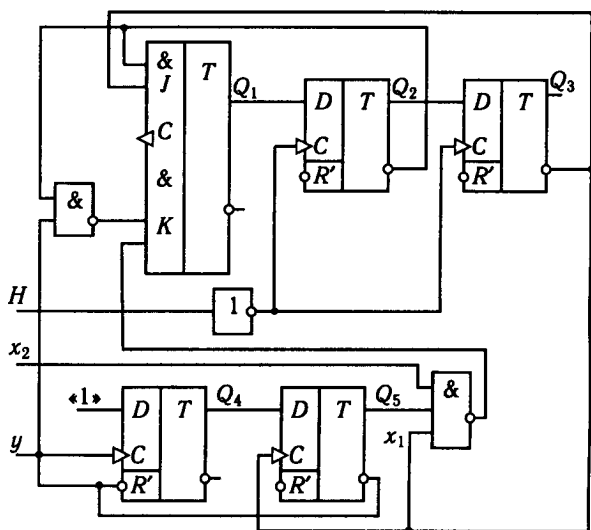


Рис. 7.49. Цифровий фазообертач

сигналу  $x_1 = 0$  період вихідного сигналу лічильника за mod  $M$  буде

$$T_0 = M_2 M T_H = 5 M T_H.$$

Якщо за  $M$  циклів сигнал  $y$  зміниться з 0 на 1  $m$  разів, то залежно від значення сигналу  $x_2 = \text{const}$  період вихідного сигналу лічильника за mod  $M$   $T = (5M \pm m)T_H = T_0 \pm mT_H$ , тобто положення моменту зміни з 1 на 0 вихідного сигналу лічильника за mod  $M$  зміниться на  $\pm mT_H$ . Чим вища частота

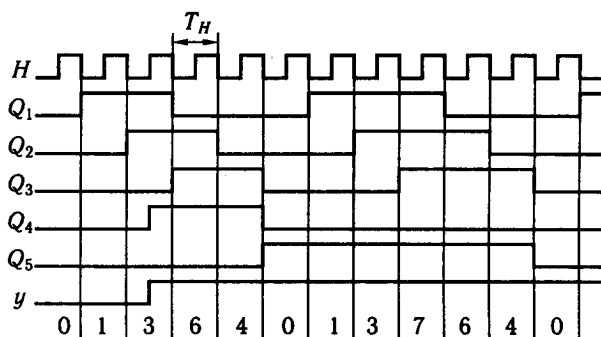


Рис. 7.50. Часові діаграми роботи цифрового фазообертача

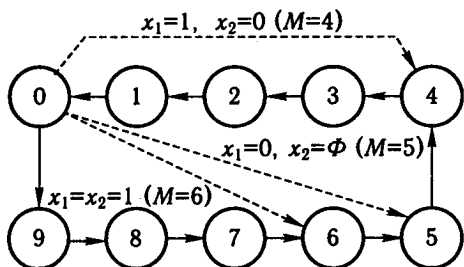


Рис. 7.51. Граф переходів цифрового фазообертача на мікросхемі К155ИЕ6

тактового сигналу  $H$ , тим вища інструментальна точність цифрового фазообертача (зазвичай величина періоду  $T_H = 100 \dots 200$  нс). Якщо сигнал  $y$  змінюється з 0 на 1 з частотою  $f$  (Гц), то швидкість переміщення фронтів вихідного сигналу лічильника за mod  $M$  щодо сигналу з періодом  $T_0$   $V = \pm T_H f$  (мкс/с).

Цифровий фазообертач можна побудувати на двійково-десятьковому і двійковому реверсивних лічильниках у режимі програмування коефіцієнта перерахування.

На рис. 7.51 зображено граф переходів двійково-десятькового лічильника в режимі програмування коефіцієнтів перерахування  $M_k = 4, 5$  і 6.

З графа переходів випливає, що для одержання коефіцієнтів перерахування за допомогою сигналу  $W$  потрібно записувати в лічильник числа 4, 5 і 6. На підставі цього укладають таблицю істинності (табл. 7.6) для функцій  $a, b, c$  і  $d$  (див. рис. 7.46), з якої випливає, що

$$a = \bar{x}_1, \quad b = x_1 x_2, \quad c = 1, \quad d = 0.$$

Схему цифрового фазообертача зі схемою часового прив'язування відповідно до отриманих функцій наведено на рис. 7.52. Часові діаграми, що пояснюють роботу цього фазообертача, зображено на рис. 7.53,  $a$  — для  $M_2 = 5$ , рис. 7.53,

Таблиця 7.6. Таблиця істинності для функцій  $a, b, c$  і  $d$

$x_1$	$x_2$	$d$	$c$	$b$	$a$	$M_k$
0	0	0	1	0	1	5
0	1	0	1	0	1	5
1	0	0	1	0	0	4
1	1	0	1	1	0	6

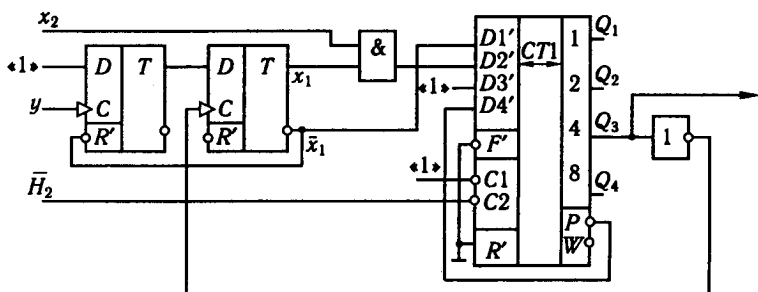


Рис. 7.52. Схема цифрового фазообертача на мікросхемі К155ІЕ6

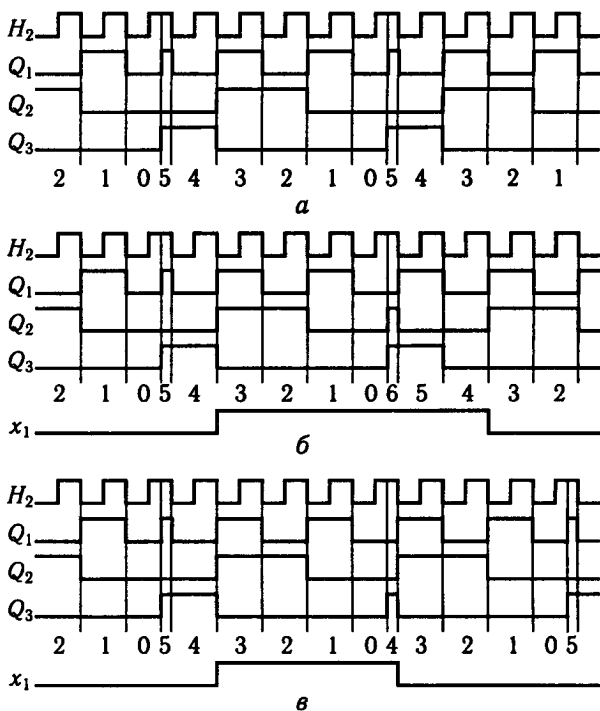


Рис. 7.53. Часові діаграми (а–в) роботи цифрового фазообертача на мікросхемі К155ІЕ6

б — для  $M_3 = 6$  і рис. 7.53, в — для  $M_1 = 4$ . Слід мати на увазі, що швидкість цього фазообертача нижча за швидкість фазообертача, виконаного у вигляді синхронного автомата (з рис. 7.53 видно, що лічильник спрацьовує як за від'ємним, так і за додатним перепадами тактового сигналу  $H_2$ ).

## 7.6. Послідовні двійкові суматори та цифрові інтегратори

Розглянемо послідовний двійковий суматор, що має додавати два числа, які надходять на його входи, починаючи з молодших розрядів. Числа вводять у суматор послідовно, розряд за розрядом, синхронно з тактовим сигналом. Суматор у кожному такті має обчислювати значення розряду суми при надходженні на його входи відповідних розрядів доданків з урахуванням перенесення з попереднього розряду. При цьому в суматорі має запам'ятовуватися (затримуватися на один такт) одиниця перенесення в наступний розряд. Відповідно до цього словесного опису синхронний автомат, що виконує функції двійкового суматора, має два входи, на які надходять сигнали (двійкові розряди)  $x$  та  $y$ , один вихід  $z$  і один елемент пам'яті (тригер)  $Q$  для запам'ятовування перенесення у наступний розряд.

На підставі законів двійкової арифметики укладають таблицю істинності (табл. 7.7) та складають діаграми Вейча для функцій  $z$ ,  $Q^+$ ,  $J$  і  $K$  (рис. 7.54), з яких випливає, що

$$D = xy \vee xQ \vee yQ, \quad z = x \oplus y \oplus Q, \quad J = xy, \quad K = \overline{xy}.$$

На рис. 7.55 зображено схему послідовного двійкового суматора на  $JK$ -тригері (мікросхема К155ТВ1).

Послідовні двійкові суматори часто використовують у цифрових системах, що слідкують за астатизмом другого порядку для реалізації інтегратора. У цьому випадку потрібно фіксувати переповнення розрядної сітки інтегратора з урахуванням знака переповнення. Сигнали додатного  $z_1$  і від'ємного  $z_2$  переповнень інтегратора використовують у цифрових системах слідкування як команди, за якими відпрацьовуються

Таблиця 7.7. Таблиця істинності для функцій  $z$ ,  $Q^+$ ,  $J$  і  $K$

$x$	$y$	$Q$	$Q^+$	$z$
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

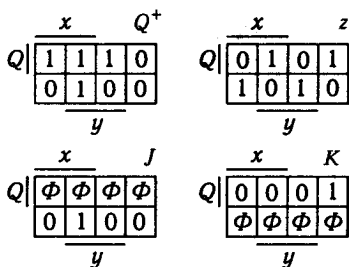


Рис. 7.54. Синтез послідовного двійкового суматора

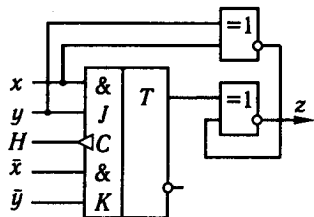


Рис. 7.55. Схема послідовного двійкового суматора

неузгодженості в той чи інший бік за допомогою цифрового фазообертача.

Числа  $X'$  і  $Y'$  будь-якого знака в послідовних двійкових суматорах підсумовуються в додатковому коді. Найпростішу структурну схему інтегратора зображено на рис. 7.56 (ЗГ — задавальний генератор).

Синхронізатор С, що є подільником частоти зі схемою формування тактового сигналу  $H$  та сигналу  $\omega$ , тимчасове положення якого визначає момент надходження на послідовний двійковий суматор (ПДС) знакових розрядів чисел  $X'$  і  $Y'$  з регістрів зсуву Рг  $X$  і Рг  $Y$ , керує роботою інтегратора. Регістр Рг  $X$  має входи для паралельного запису числа  $X'$ . Якщо числа  $X'$  і  $Y'$   $n$ -розрядні, то тактовий сигнал  $H$  є групою з  $n$  імпульсів, що надходять з деяким періодом  $T \geq nT_H$ , де  $T_H$  — період тактового сигналу  $H$  у середині групи. Значення  $T$  задає передавальний коефіцієнт інтегратора.

Укладемо таблицю істинності (табл. 7.8), що визначає закон функціонування ПДС. Значення функцій  $Q^+$  (перенесення) і  $z_3$  (сума) при  $\omega = 0$  мають збігатися з відповідними значеннями функцій  $Q^+$  та  $z$  у табл. 7.7, оскільки при цьому виконується додавання розрядів чисел з урахуванням перенесення до появи знакових розрядів. У цьому випадку функція

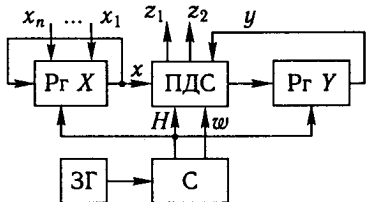


Рис. 7.56. Структурна схема цифрового інтегратора

$$z_3 = x \oplus y \oplus Q. \quad (7.22)$$

Переповнення розрядної сітки можна знайти тільки після додавання чисел  $X'$  і  $Y'$ , тому при  $\omega = 0$  значення функцій  $z_1 = z_2 = 0$ .

Таблиця 7.8. Таблиця істинності функціонування ПДС

$w$	$x$	$y$	$Q$	$Q^+$	$z_1$	$z_2$	$z_3$
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	0	1
0	0	1	1	1	0	0	0
0	1	0	0	0	0	0	1
0	1	0	1	1	0	0	0
0	1	1	0	1	0	0	0
0	1	1	1	1	0	0	1
1	0	0	0	0	0	0	0
1	0	0	1	0	1	0	0
1	0	1	0	0	0	0	1
1	0	1	1	0	0	0	0
1	1	0	0	0	0	0	1
1	1	0	1	0	0	0	0
1	1	1	0	0	0	1	1
1	1	1	1	0	0	0	1

Перенесення зі знакового розряду не повинно бути, оскільки у протилежному випадку він надійшов би в перший розряд при наступному циклі додавання; тому при значенні сигналу  $w = 1$  слід вважати, що функція  $Q^+ = 0$ . Розрядна сітка може переповнитися тільки тоді, коли додаються числа однакового знака, тобто якщо  $x = y$  при  $w = 1$ . Переповнення розрядної сітки інтегратора можна фіксувати в моменти часу, коли відбувається зміна знака додавання чисел  $X'$  та  $Y'$  на протилежний знак. Підставивши значення  $x = y$  у вираз (7.22), дістанемо, що функція  $z_3 = Q$ . Тому якщо  $x = y = 0$  (числа  $X'$  і  $Y'$  додатні), а  $Q = 1$ , то відбувається додатне переповнення розрядної сітки, тобто значення функції  $z_1 = 1$ . Якщо  $x = y = 1$ , а  $Q = 0$  (числа  $X'$  і  $Y'$  від'ємні), то відбувається від'ємне переповнення розрядної сітки, тобто значення функції  $z_2 = 1$ .

Для відновлення знака додавання при переповненні розрядної сітки функцію  $z_3$  при значенні сигналу  $w = 1$  слід визначити за співвідношенням  $z_3 = x \oplus y \oplus Q \oplus z_1 \oplus z_2$ . Склавши за табл. 7.8 діаграми Вейча, можна дістати:

$$\bar{D} = \overline{w \vee y \vee Q \cdot xyQ}; \quad \bar{z}_1 = \overline{wx y \vee Q};$$

$$\bar{z}_2 = \overline{wyx \vee Q}; \quad z_3 = \bar{x} \oplus y \oplus \bar{Q} \oplus \bar{z}_1 z_2.$$



У цьому поданні функцій не потрібно одержувати інверсні сигнали  $\bar{y}$  та  $\bar{x}$ . За отриманими функціями можна побудувати схему ПДС.

На підставі рис. 7.56 можна зрозуміти: якщо число  $X' = \text{const}$ , то значення числа  $Y'$  з надходженням кожної групи тактового сигналу  $H$ , який складається з  $n$  імпульсів, змінюватиметься відповідно до деякої лінійної функції. У загальному випадку цифровий інтегратор до моменту переповнення розрядної сітки описується функцією

$$Y' = Y'_0 + \sum_{k=1}^m X'(kT),$$

де  $Y'_0$  — початкове значення, записане в Рг  $Y$ . При надходженні груп тактового сигналу  $H$  паралельний запис у Рг  $X$  не проводиться.

## 7.7. Послідовна схема рівнозначності кодів

На послідовну схему рівнозначності кодів (ПСРК) розряди кодів  $(x_n, \dots, x_1)$  і  $(y_n, \dots, y_1)$  надходять послідовно розряд за розрядом синхронно з тактовим сигналом  $H$ . ПСРК має містити принаймні один тригер для запам'ятовування результату порівняння попередніх розрядів. Вважатимемо, що у початковому стані вихідний сигнал тригера  $Q = 0$ , а положення останніх порівнюваних розрядів задається значенням сигналу  $w = 1$ . Задамо алгоритм роботи синхронного автомата у такий спосіб:

1) автомат перебуває у стані  $Q = 0$  доти, доки значення розрядів  $x$  та  $y$  кодів збігаються;

2) перша розбіжність значень розрядів  $x$  та  $y$  кодів переводить автомат у стан  $Q = 1$ , і в цьому стані автомат залишається до закінчення надходження розрядів кодів;

3) рішення про рівнозначність ( $z = 1$ ) або нерівнозначність ( $z = 0$ ) порівнюваних кодів приймається при надходженні останніх розрядів кодів (якщо при надходженні останніх розрядів кодів автомат перебуватиме у стані  $Q = 0$  і значення останніх розрядів збігаються, то вихідний сигнал  $z = 1$ );

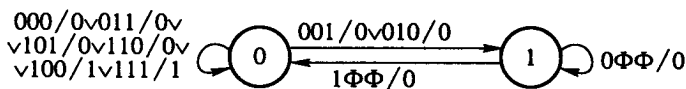


Рис. 7.57. Граф переходів послідовної схеми рівнозначності кодів

Таблиця 7.9. Таблиця істинності для функцій  $Q^+$  та  $z$

$w$	$x$	$y$	$Q$	$Q^+$	$z$
0	0	0	0	0	0
0	0	0	1	1	0
0	0	1	0	1	0
0	0	1	1	1	0
0	1	0	0	1	0
0	1	0	1	1	0
0	1	1	0	0	0
0	1	1	1	1	0
1	0	0	0	0	1
1	0	0	1	0	0
1	0	1	0	0	0
1	0	1	1	0	0
1	1	0	0	0	0
1	1	0	1	0	0
1	1	1	0	0	1
1	1	1	1	0	0

4) після надходження останніх розрядів чисел автомат має повертатися у початковий стан  $Q = 0$ .

На підставі цього словесного опису закону функціонування ПСРК складають граф переходів (рис. 7.57; гілки підписані значеннями сигналів  $wxy/z$ ), далі укладають таблицю істинності (табл. 7.9), а потім — діаграми Вейча (рис. 7.58) для функцій  $Q^+$  та  $z$ . З діаграм Вейча випливає, що  $\bar{D} = \bar{Q}^+ = \overline{\bar{w}Q(x \oplus y)}$ ,  $z = \bar{w} \vee \overline{\bar{Q}(x \oplus y)}$ .

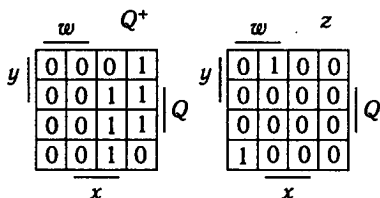


Рис. 7.58. Синтез послідовної схеми рівнозначності кодів

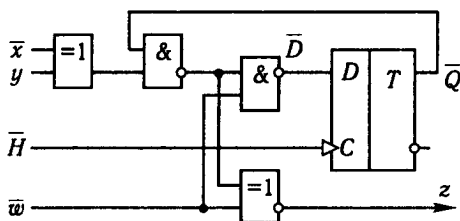


Рис. 7.59. Послідовна схема рівнозначності кодів

На рис. 7.59 зображено схему автомата, виконану відповідно до отриманих форм функцій. Така схема у разі великого числа порівнюваних розрядів простіша за комбінаційну схему рівнозначності кодів, що розглянуто раніше. Проте істотним недоліком ПСРК є значний час виконання операції порівняння кодів ( $n$  тактів, де  $n$  — число розрядів кодів). Зазначений зв'язок між простотою схеми та тривалістю виконання операції над багаторозрядними кодами (числами) справедливий для будь-яких послідовних і комбінаційних схем, що виконують ті самі функції.

## 7.8. Послідовна схема порівняння двійкових чисел

Припустимо, що порівнювані двійкові числа  $X = (X_n, \dots, X_i)$  та  $Y = (y_n, \dots, y_i)$  надходять на схему послідовно розряд за розрядом, починаючи з молодшого розряду, синхронно з тактовим сигналом  $H$ . Потрібно реалізувати функції:

$$z_1 = \begin{cases} 0, & X \neq Y, \\ 1, & X = Y, \end{cases} \quad z_2 = \begin{cases} 0, & X \leq Y, \\ 1, & X > Y, \end{cases} \quad z_3 = \begin{cases} 0, & X \geq Y, \\ 1, & X < Y. \end{cases}$$

Синхронний автомат, що реалізує їх, має містити два тригери для запам'ятовування результату порівняння попередніх розрядів. Крім того, у початковому стані вихідні сигнали тригерів  $Q_1 = Q_2 = 0$ , а положення останніх порівнюваних розрядів задається значенням сигналу  $w = 1$ .

Алгоритм роботи автомата можна описати в такий спосіб:

1) автомат перебуває у стані  $Q_1 = Q_2 = 0$  доти, доки значення розрядів  $x$  та  $y$  двійкових чисел  $X$  і  $Y$  збігаються;

2) автомат переходить у стан  $Q_1 = 1, Q_2 = 0$  при  $x > y$  і в стан  $Q_1 = 0, Q_2 = 1$  при  $x < y$ ;

3) рішення про значення функцій  $z_1, z_2$  та  $z_3$  приймається при надходженні останніх розрядів чисел (якщо, наприклад, при надходженні останніх розрядів чисел автомат перебуватиме у стані  $Q_1 = 1, Q_2 = 0$  та виконується співвідношення  $x \geq y$ , то вихідні сигнали набувають значення  $z_1 = 0, z_2 = 1$  і  $z_3 = 0$ );

4) після надходження останніх розрядів чисел автомат має повертатися у початковий стан  $Q_1 = Q_2 = 0$ .

На підставі цього словесного опису закону функціонування автомата складають граф переходів (рис. 7.60; гілки підписані значеннями сигналів  $wxy / z_1z_2z_3$ ), а далі укладають таблицю істинності (табл. 7.10).

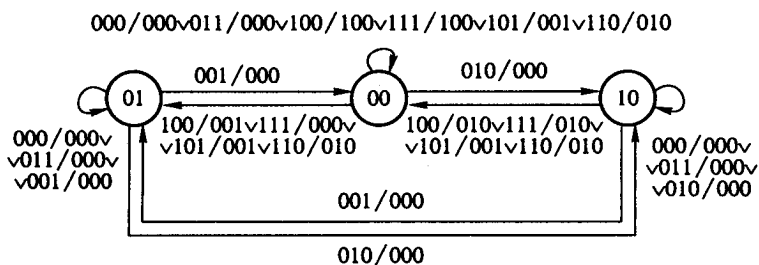


Рис. 7.60. Граф переходів послідовної схеми порівняння двійкових чисел

Стан автомата  $Q_1 = Q_2 = 1$  не може виникнути в процесі роботи, тому відповідні цьому стану рядки не включені в табл. 7.10. Якщо за цією таблицею скласти діаграми Вейча для функцій  $Q_1^+$ ,  $Q_2^+$ ,  $z_1$ ,  $z_2$ ,  $z_3$ , то при використанні  $JK$ -тригерів можна дістати:

$$J_1 = \bar{w}x\bar{y}, \quad K_1 = w \vee \bar{x}y, \quad J_2 = \bar{w}\bar{x}y,$$

$$K_2 = w \vee x\bar{y}, \quad z_1 = w\bar{Q}_1\bar{Q}_2(\bar{x} \oplus y),$$

$$z_2 = w(x\bar{y} \vee xQ_1 \vee \bar{y}Q_1), \quad z_3 = w(\bar{x}y \vee \bar{x}Q_2 \vee yQ_2).$$

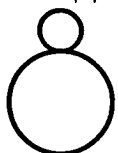
Зрозуміло, що кожену з функцій  $z_1$ ,  $z_2$  або  $z_3$  можна виразити через дві інші. Наприклад, функція  $z_1 = \bar{z}_2\bar{z}_3w$ . На підставі отриманих функцій можна побудувати принципову схему автомата.

Таблиця 7.10. Таблиця істинності

w	x	y	Q <sub>1</sub>	Q <sub>2</sub>	Q <sub>1</sub> <sup>+</sup>	Q <sub>2</sub> <sup>+</sup>	z <sub>1</sub>	z <sub>2</sub>	z <sub>3</sub>	w	x	y	Q <sub>1</sub>	Q <sub>2</sub>	Q <sub>1</sub> <sup>+</sup>	Q <sub>2</sub> <sup>+</sup>	z <sub>1</sub>	z <sub>2</sub>	z <sub>3</sub>
0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	1	0	0
0	0	0	0	1	0	1	0	0	0	1	0	0	0	1	0	0	0	0	1
0	0	0	1	0	1	0	0	0	0	1	0	0	1	0	0	0	0	1	0
0	0	1	0	0	0	1	0	0	0	1	0	1	0	0	0	0	0	0	1
0	0	1	0	1	0	1	0	0	0	1	0	1	0	1	0	0	0	0	1
0	0	1	1	0	0	1	0	0	0	1	0	1	1	0	0	0	0	0	1
0	1	0	0	0	1	0	0	0	0	1	1	0	0	0	0	0	0	1	0
0	1	0	0	1	1	0	0	0	0	1	1	0	0	1	0	0	0	1	0
0	1	0	1	0	1	0	0	0	0	1	1	0	1	0	0	0	0	1	0
0	1	1	0	0	0	0	0	0	0	1	1	1	0	0	0	0	1	0	0
0	1	1	0	1	0	1	0	0	0	1	1	1	0	1	0	0	0	0	1
0	1	1	1	0	1	0	0	0	0	1	1	1	1	0	0	0	0	1	0

## Контрольні запитання і завдання

1. Що таке регістр зсуву та які операції можна виконувати за допомогою регістрів?
2. За якими ознаками можна класифікувати регістри?
3. Наведіть основні параметри й ознаки класифікації лічильників.
4. Яким чином досягається підвищення швидкодії лічильників?
5. Поясніть принципи роботи реверсивного лічильника.
6. Як здійснюється попереднє устанавлення лічильників?
7. Поясніть принципи роботи лічильника зі змінним коефіцієнтом перерахування.
8. Поясніть принципи роботи послідовного двійкового суматора.
9. У чому основна відмінність багаторозрядних суматорів паралельної та послідовної дії?
10. Накресліть структурну схему цифрового інтегратора.
11. Поясніть роботу послідовної схеми рівнозначності кодів.



Значну частину сучасного цифрового пристрою складають блоки керування, обміну інформацією, індикацій, контролю, діагностики тощо. У цих блоках використовують схеми, що виконують різні спеціальні функції (перетворення рівнів, генерування різних сигналів, формування часових параметрів сигналів). Вимоги до спеціальних елементів дуже різноманітні і, як правило, визначаються конкретним розробленням, тому їхній рівень інтеграції і номенклатура значно нижчі, ніж аналогічні параметри для логічних елементів.

Важливою умовою під час розроблення спеціальних елементів є сумісність їх за входом і виходом з логічними елементами, на основі яких проектують цифровий пристрій. Тому основну увагу приділяють реалізації зазначених вище спеціальних елементів на базі стандартних логічних елементів.

### 8.1. Логічні розширники

Логічні розширники — спеціальні елементи цифрових пристроїв, призначені для збільшення кількості логічних входів у логічних елементах, розширення класу реалізованих цими елементами логічних функцій і побудови нетипових схем. Оскільки перші дві функції основні, розширники розробляють у складі кожної конкретної серії на основі базової схеми або її частини.

Через те що в елементах ТТЛ-типу операція І реалізується за допомогою багатомітерного транзистора, то збільшити кількість відповідних входів зовнішнім мон-

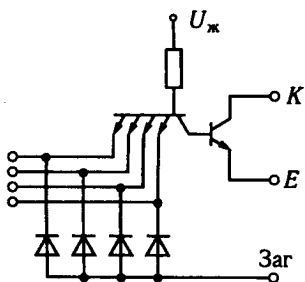


Рис. 8.1. Схема розширника за АБО на чотири входи для елемента ТТЛ-типу

тажем неможливо. В елементах ТТЛ-типу розширники призначені для розширення класу реалізованих функцій, тобто для реалізації функції АБО (рис. 8.1). Виводи *K* і *E* розширника з'єднуються з відповідними виводами *K* і *E* базових логічних елементів.

На рис. 8.2 наведено нетипове застосування розширника для одержання логічного елемента І—НЕ з підвищеною заводозахисністю. Останнє в цій схемі забезпечується збільшенням граничної напруги елемента за рахунок увімкнення резистора *R2*. Резистори *R1* і *R2* обмежують струм бази транзистора *VT2*, а резистор *R3* забезпечує на виході типове значення  $U^1 = 3,6$  В. Резистори *R1* і *R2* розраховують для кожного конкретного застосування схеми з урахуванням необхідного  $K_{роз}$  цієї схеми.

Розширення логічних можливостей базових вентилів забезпечується різною їх комбінацією. На рис. 8.3 зображено схе-

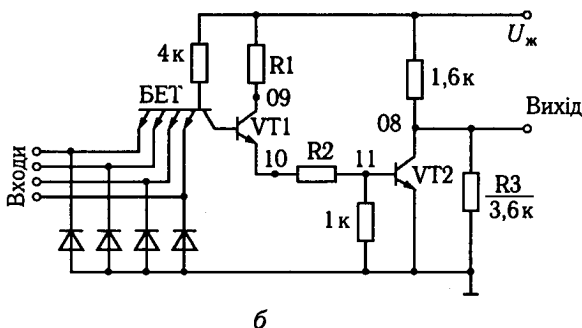
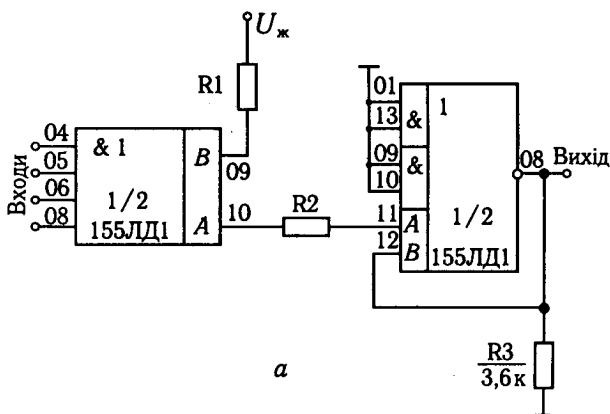


Рис. 8.2. Функціональна (а) та принципова (б) схеми з підвищеною заводозахисністю на елементах ТТЛ-типу

му елемента ТТЛ-типу з трьома стійкими станами, яка виконана на елементі 155ЛР4, що має входи для підключення розширників, та елементі 155ЛА7 з відкритим колектором.

Типовий розширник за АБО для елементів ЕЗЛ-типу наведено на рис. 8.4, а. Якщо розширник має окремий вивід підкладки, то його слід приєднати до точки з найменшим потенціалом, для того щоб діоди колектор—підкладка були закриті. Через те що в більшості серій елементів ЕЗЛ-типу виходи вільні і підключаються до вбудованих опорів зовнішнім монтажем, то можливе застосуван-

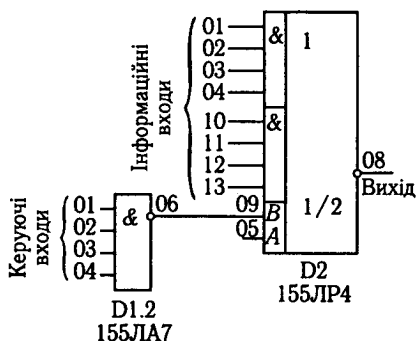


Рис. 8.3. Схема елемента ТТЛ-типу з трьома стійкими станами

Через те що в більшості серій елементів ЕЗЛ-типу виходи вільні і підключаються до вбудованих опорів зовнішнім монтажем, то можливе застосуван-

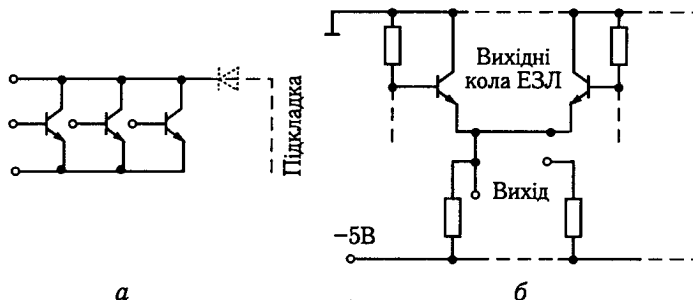


Рис. 8.4. Розширення логічних можливостей елементів ЕЗЛ-типу за допомогою розширника (а) та «монтажного АБО» (б)

ня «монтажного АБО», схему реалізації якого зображено на рис. 8.4, б. У цьому випадку всі емітери вихідних кіл поєднують і підключають до одного з резисторів у будь-якому елементі ЕЗЛ-типу, а інші резистори не використовують.

## 8.2. Перетворювачі рівнів

Крім частин керуючої системи, добре реалізованих засобами на основі типових комплектів ВІС мікропроцесора, у типовій апаратурі керуючої системи є значна кількість засобів сполучення з об'єктом керування, індикації, документування і под.



У більшості керуючих систем широко використовують усю номенклатуру радіоелектронних елементів: дискретні (транзистори, діоди, резистори, конденсатори, котушки індуктивності), інтегральні (ІС, СІС, ВІС, набори компонентів), конструктивні встановлювальні деталі (клавіатура, кнопки, індикатори, тумблери).

**Перетворювачами рівнів** (адаптерами, драйверами, трансляторами) називають спеціальні елементи цифрових пристроїв, призначені для забезпечення сумісності логічних рівнів різних сімей цифрових елементів. Нині логічні рівні, подані електричними сигналами ТТЛ-елементів, та їхні навантажувальні характеристики є фактично стандартними для цифрових пристроїв, мікропроцесорів, мікро-ЕОМ тощо незалежно від їх технології і схемотехніки елементної бази.

Крім забезпечення сумісності рівнів сигналів перетворювачі рівнів мають задовольняти спеціальні вимоги, наприклад такі, як збереження перетворювачем граничного рівня керуючого елемента, рівнів струмів, способу кодування двійкових змінних (чи навпаки, зміна способу кодування); забезпечення заданих вимог щодо навантажувальної спроможності і параметрів швидкодії; необхідність виконання логічних операцій перетворювачем рівня; забезпечення парафазних виходів і т. ін.

Більшість інтегральних схем з високим рівнем інтеграції виконано на основі  $p$ -,  $n$ - або КМДН-технології, тоді як схеми малого і середнього рівнів інтеграції — на основі ТТЛ-, ЕЗЛ- і КМДН-технології. Є значне число схем інших типів, тому розглянути всі варіанти перетворювачів рівня неможливо. Сформулюємо деякі загальні правила їх побудови для більшості випадків:

перетворювачі рівнів проектують для конкретних схем з обов'язковим урахуванням вихідних характеристик і параметрів керуючого елемента і вхідних характеристик і параметрів керованого елемента;

перепад логічних рівнів керуючого елемента має бути достатнім для надійного функціонування перетворювачів рівнів;

перетворювач рівнів має забезпечувати потрібні динамічні параметри з урахуванням ємнісних і активних навантажень.

У складі схем малого і середнього ступеня інтеграції ТТЛ-, ЕЗЛ- і КМДН-типу є спеціально розроблені перетворювачі рівнів. Це перетворювачі ЕЗЛ — ТТЛ К500ПУ125; перетворювач ТТЛ — ЕЗЛ К500ПУ124; перетворювачі КМДН — ТТЛ,

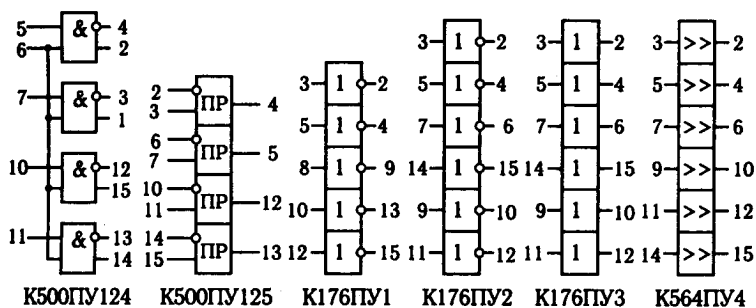


Рис. 8.5. Перетворювачі рівнів

176ПУ1, 176ПУ2, 176ПУ3, 564ПУ4, 564ЛН1, 564ЛН2; перетворювачі ТТЛ – КМДЛ 133ЛН3, 133ЛН5 і т. ін. (рис. 8.5).

Якщо потрібно розробити спеціальний перетворювач рівнів, можна використати одну з таких схем: подільники напруги; фіксатори рівнів; переміщувачі рівнів; перемикальні транзисторні схеми; схеми, що працюють на принципі перемикання струму; перемикачі на оптоелектронних приладах; трансформаторні схеми.

На рис. 8.6, а наведено приклад стикування КМДН-схем, що працюють при високому рівні напруги джерела живлення, із КМДН-схемами, що працюють з низьким рівнем напруги джерела живлення. Тут можна рекомендувати  $R_1 = 20$  кОм,  $R_2 = 20$  кОм. Для поліпшення динамічних властивостей перетворювача рівнів використовують компенсовані подільники.

Більш складну схему подільника зображено на рис. 8.6, б, де наведено схему перетворювача рівня КМДН – ТТЛ для

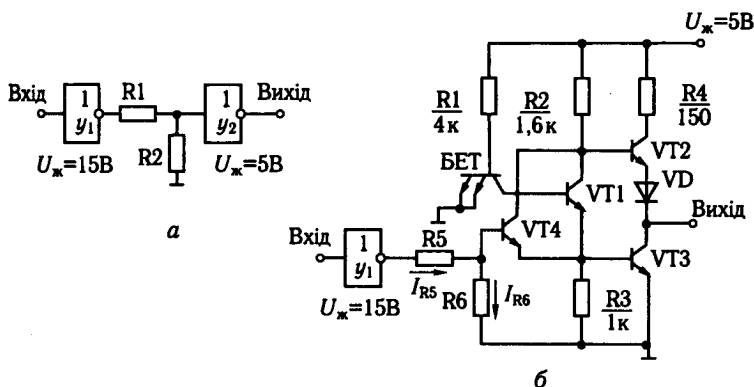


Рис. 8.6. Приклади схем перетворення високого рівня на низький для схем КМДН-типу (а) та ТТЛ-типу (б)

випадку, коли КМДН-схеми живляться напругами більшими ніж 5 В. «Активним» елементом перетворювача рівнів у цій схемі є будь-яка ТТЛ-схема, що має входи розширення за АБО. Інформаційні входи ТТЛ-схеми заземлюються, у результаті чого транзистор VT1 завжди закритий. Зовнішній транзистор VT4 приєднується до розширювальних входів ТТЛ-схеми. Керування транзистором VT4 здійснює подільник R5, R6, підключений до виходу керуючої КМДН-схеми  $y_1$ . Якщо на виході  $y_1$  низький потенціал, транзистор VT4 закритий і на виході формується рівень «1» ТТЛ-схем. Якщо на виході  $y_1$  високий потенціал, транзистори VT4 і VT3 насичені і на виході формується рівень «0» ТТЛ-схем. Розглянемо порядок розрахунку величин  $R_5$  і  $R_6$  для типової ТТЛ-схеми серії 155, що забезпечує коефіцієнт розгалуження на виході, який дорівнює 10:

$$\begin{aligned} I_{K_{нас}VT4} &= (U_{ж} - U_{КЕнасVT4} - U_{БЕнасVT3})/R_2 = \\ &= (5 - 0,3 - 0,7)/1,6 \approx 2,5 \text{ мА}. \end{aligned} \quad (8.1)$$

Взявши для VT4  $\beta = 30$  і  $K_{нас} = 1,5$ , визначимо

$$I_{БнасVT4} = I_{K_{нас}VT4} \cdot K_{нас}/\beta = 2,5 \cdot 1,5/30 \approx 0,13. \quad (8.2)$$

Струм через резистор R6

$$I_{R6} = (U_{БЕнасVT4} + U_{БЕнасVT3})/R_6. \quad (8.3)$$

Взявши числове значення  $I_{R6} \leq I_{БнасVT4}$ , визначимо величину  $R_6$ . При  $I_{R6} = I_{БнасVT4}$  дістанемо  $R_6 = 10$  кОм.

Визначимо струм через резистор R5:

$$I_{R5} = I_{R6} + I_{БнасVT4} \approx 0,26 \text{ мА}. \quad (8.4)$$

За вихідними характеристиками КМДН-схеми  $y_1$  визначимо  $U_{вих}^1$  при струмі, який дорівнює  $I_{R5}$ . Обчислимо  $R_5$  за співвідношенням

$$\begin{aligned} R_5 &= (U_{вих}^1 - U_{БЕнасVT4} - U_{БЕнасVT3})/I_{R5} = \\ &= (14,9 - 0,7 - 0,7)/0,26 \approx 51 \text{ кОм}. \end{aligned} \quad (8.5)$$

Для поліпшення динамічних властивостей розглянутого перетворювача рівнів потрібно або зменшити величини  $R_5$  і  $R_6$ , або застосувати компенсований подільник.

Перемикальні транзисторні схеми як перетворювачі рівнів використовують у тому випадку, коли потрібно узгодити схе-

ми, напруги живлення в яких різного знака у разі значного логічного перепаду в кожній зі схем.

Розглянемо приклад, якщо потрібно забезпечити керування виконавчим пристроєм, що спрацьовує від напруги  $27 \text{ В} \pm \pm 1,0 \%$  та має вхідний опір  $R_{\text{вх}} = 1 \text{ кОм} \pm 10 \%$  при керуванні від елементів ТТЛ-типу серії 155.

Одну зі схем такого перетворювача рівнів зображено на рис. 8.7, а. Це перемикальна схема з комбінацією транзисторів  $n-p-n$ -і  $p-n-p$ -типів. Припустімо, що обидва транзистори кремнієві. Схема працює у такий спосіб. При рівні «0» на виході керуючого елемента ТТЛ-типу транзистори закриті, через вхідний опір виконавчого пристрою проходить приблизно нульовий струм (колекторний струм закритого транзистора VT2). При рівні «1» на виході елемента обидва транзистори насичені і на вхідному опорі виконавчого пристрою (ВП) буде напруга приблизно  $U_{\text{ж}}$ . Для струму  $I_{\text{н}} = I_{\text{Кнас2}}$  можна записати

$$I_{\text{н}} = I_{\text{Кнас2}} = (U_{\text{ж}} - U_{\text{КЕнас2}}) / R_{\text{вхВП}}. \quad (8.6)$$

Якщо вважати, що  $U_{\text{КЕнас2}} \approx 0,3 \text{ В}$ , то з виразу (8.6) знайдемо  $I_{\text{н}} = I_{\text{Кнас2}} = 33 \text{ мА}$  (для найгіршого випадку, тобто  $U_{\text{ж}} = U_{\text{жmax}}$   $R_{\text{вхВП}} = R_{\text{вхВПmin}}$ ). Нехай у транзисторі VT2 мінімальне значення коефіцієнта підсилення за струмом  $\beta_{\text{min}} = 20$ , тоді, взявши коефіцієнт насичення транзистора VT2 таким, що дорівнює 1,5, знайдемо значення струму бази:

$$I_{\text{Бнас2}} = I_{\text{Кнас2}} K_{\text{нас}} / \beta_{\text{min}} \approx 2,5 \text{ мА}. \quad (8.7)$$

Значення струму  $I_{\text{R3}}$  через резистор R3, який шунтує перехід база-емітер транзистора VT2 та утримує цей транзистор у закритому стані (коли на виході керуючого елемента ТТЛ-типу рівень «0»), вибирають у межах 5...20 % від струму бази насиченого транзистора VT2. Нехай  $I_{\text{R3}} = 0,1 \cdot I_{\text{Бнас2}} = 0,25 \text{ мА}$ . Оскільки транзистор VT2 насичений, то між выводами бази й емітера діє напруга  $U_{\text{БЕнас2}}$ . Іноді цю величину вказують у довідниках для визначеного режиму, якщо ні, то можна орієнтовно взяти величину 0,7...1,0 В. Взявши  $U_{\text{БЕнас2}} = 0,75 \text{ В}$ , знайдемо опір:

$$R_3 = U_{\text{БЕнас2}} / I_{\text{R3}} = U_{\text{БЕнас2}} / (0,1 \cdot I_{\text{Бнас2}}) = 3 \text{ кОм}. \quad (8.8)$$

Очевидно, що  $I_{\text{Кнас1}} = I_{\text{Бнас2}} + I_{\text{R3}} = 2,75 \text{ мА}$ . Оскільки транзистор VT1 насичений, то можна визначити опір  $R_4$  зі

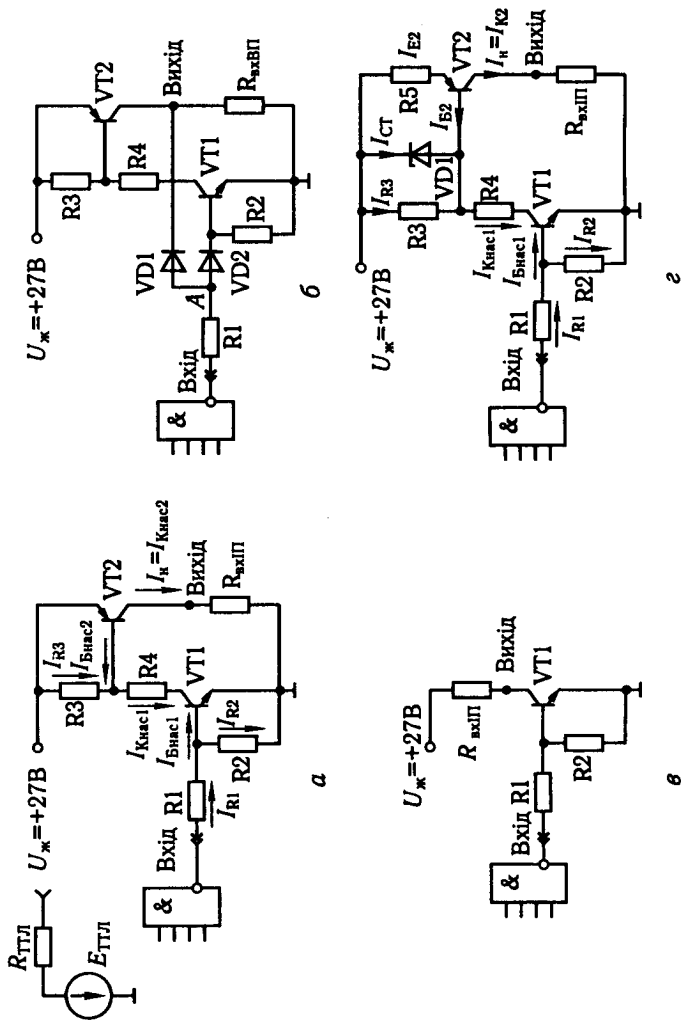


Рис. 8.7. Схеми (а–г) перетворювачів рівнів елементів ТТЛ-типу на високий рівень

співвідношення

$$R_4 = (U_{ж\max} - U_{БЕнас2} - U_{КЕнас1}) / I_{Кнас1} \approx 10 \text{ кОм.} \quad (8.9)$$

Значення  $R_4$  округлюють до найближчого меншого стандартного номіналу. Взявши для транзистора VT1  $\beta_{\min} = 20$  і  $K_{нас} = 1,5$ , визначимо струм бази насиченого транзистора VT1:

$$I_{Бнас1} = I_{Кнас1} K_{нас} / \beta_{\min} \approx 0,2 \text{ мА.} \quad (8.10)$$

Взявши  $I_{R2} = 0,1 \cdot I_{Бнас1} = 0,02 \text{ мА}$ , а  $U_{БЕнас1} \approx 0,7 \text{ В}$ , знайдемо опір:

$$R_2 = U_{БЕнас1} / I_{R2} = U_{БЕнас1} / (0,1 I_{Бнас1}) = 35 \text{ кОм.} \quad (8.11)$$

Оскільки значення  $R_2$  досить велике, потрібно перевірити умову надійного замикання транзистора VT1 при вимкненому керуючому елементі (за припущенням, що зв'язок здійснюється через рознімне з'єднання). Ця умова записується у вигляді

$$R_2 I_{КБ0} < U_{БЕ0}, \quad (8.12)$$

де  $I_{КБ0}$  — зворотний тепловий струм колекторного переходу при максимальній температурі;  $U_{БЕ0}$  — напруга на переході база—емітер, за якого транзистор починає відкриватися, також при максимальній температурі.

Зазначимо, що числове значення  $U_{БЕ0}$  залежить від  $I_{Кнас}$  і відповідає такому значенню  $U_{БЕ}$ , за якого  $I_{К} = 0,01 \cdot I_{Кнас}$ .

Нехай  $I_{КБ0} = 1 \text{ мкА}$  при  $20 \text{ }^\circ\text{С}$ , тоді  $I_{КБ0} \approx 1 \cdot 2 \frac{50 - 20}{10} \approx 8 \text{ мкА}$

при  $T = 50 \text{ }^\circ\text{С}$  і  $R_2 I_{КБ0} = 0,28 \text{ В}$ . За такого значення напруги на переході база—емітер транзистор VT1 надійно закритий, однак у цій схемі й у схемах, аналогічних їй, доцільно брати опір  $R_2 \leq 10 \text{ кОм}$ , якщо дозволяє керуючий елемент.

Зупинимось на значенні  $R_2 \leq 10 \text{ кОм}$ . Уточнивши значення  $I_{R2} = U_{БЕнас1} / R_2 = 0,07 \text{ мА}$ , дістанемо  $I_{R1} = I_{Бнас1} + I_{R2} = 0,27 \text{ мА}$ . Замінивши вихідне коло закритого елемента ТТЛ-типу еквівалентною ЕРС  $E_{ТТЛ} = 3,6 \text{ В}$  із вихідним опором  $R_{ТТЛ} = 150 \text{ Ом}$ , обчислимо

$$R_1 = (E_{ТТЛ} - U_{БЕнас1}) / I_{R1} - R_{ТТЛ} \approx 10 \text{ кОм.} \quad (8.13)$$

Напруга на виході керуючого елемента  $E_{\text{ТТЛ}} - I_{R1}R_{\text{ТТЛ}} \approx 3,55 \text{ В}$ . Це свідчить про те, що керуючий ТТЛ-елемент може працювати не тільки на перетворювач рівня, а й на інші елементи ТТЛ-типу.

Розглянемо обмеження на величину  $R_2$ , пов'язану з керуючим елементом. При  $R_2 = 100 \text{ Ом}$  забезпечується надійний закритий стан транзистора VT1 [див. формулу (8.12)], однак струм  $I_{R2}$  зростає до 7 мА, а струм  $I_{R1}$  — до 7,2 мА. Щоб забезпечити насичений режим транзистора VT1, опір  $R_1$  має дорівнювати 390 Ом. Напруга на виході керуючого елемента визначиться як  $E_{\text{ТТЛ}} - I_{R1}R_{\text{ТТЛ}} \approx 2,5 \text{ В}$  і, як бачимо, знаходиться майже на межі допустимого значення  $U_{\text{вих}}^1$ . Це свідчить про те, що керуючий елемент не зможе працювати на інші елементи ТТЛ-типу при надмірно малих опорах  $R_2$  (і, як наслідок,  $R_1$ ).

Істотним недоліком схеми, зображеної на рис. 8.7, а, є можливість виходу її з ладу при випадковому замиканні виходу на землю за наявності рівня «1» на виході керуючого елемента ТТЛ-типу. Можливий захист такого перетворювача за допомогою двох діодів (рис. 8.7, б). У нормально працюючій схемі діод VD1 завжди закритий і ніяк не впливає на роботу. Якщо вихід схеми замикається на землю, то діод VD1 фіксує потенціал точки А при високому потенціалі на виході елемента ТТЛ-типу на рівні приблизно 0,7 В. Цього недостатньо для відкриття транзистора VT1, для чого треба забезпечити рівень у точці А 1,4 В, а отже, транзистори VT1 і VT2 закриваються. Вони перебувають у цьому стані, доки вихід замкнений на землю. Під час розрахунку цієї схеми вираз (8.13) треба замінити так:

$$R_1 = (E_{\text{ТТЛ}} - U_{\text{БЕнас1}} - U_{\text{VD2}}) / I_{R1} - R_{\text{ТТЛ}}. \quad (8.14)$$

Якщо не потрібно прив'язувати вхід виконавчого пристрою до землі, то перетворювач рівня можна виконати на одному транзисторі (рис. 8.7, в). Істотний недолік цієї схеми — можливість виходу її з ладу при випадковому замиканні виходу на  $U_{\text{ж}}$  при рівні «1» на виході керуючого елемента. Захист цієї схеми забезпечується вмиканням між вихідною клемою і колектором транзистора VT1 максимально можливого опору, за якого забезпечується надійне спрацьовування виконавчого пристрою.

У деяких випадках виконавчий пристрій спрацьовує від заданого значення струму за значного розкиду вхідних опорів. У цьому разі перетворювач рівнів виконують за схемою, зображеною на рис. 8.7, г. При рівні «0» на виході керуючого

елемента ТТЛ-типу транзистори VT1 і VT2 закриті і струм навантаження дорівнює нулю. При рівні «1» на виході керуючого елемента ТТЛ-типу транзистор VT1 насичений. Потенціал бази транзистора VT2 фіксується щодо рівня  $U_{ж}$  стабілітроном і за наявності постійного резистора R5 у колі емітера транзистора VT2. Останній працює в активному режимі як генератор струму, значення якого не залежить від опору навантаження.

Нехай потрібно забезпечити струм навантаження 100 мА. Оцінимо діапазон зміни опору навантаження. Припустимо, що діод VD1 — це стабілітрон з пробивною напругою 5,6 В. Розглянемо основні співвідношення в схемі, якщо на вході є рівень «1». Виберемо  $R_3 = 5,6 \text{ кОм}$ , тоді  $I_{R3} = 1 \text{ мА}$ . Нехай  $\beta_{\min}$  транзистора VT2 дорівнює 20, тоді

$$I_{B2} = I_{K2} / \beta_{\min} = 5 \text{ мА}. \quad (8.15)$$

У формулі (8.15) немає  $I_{Kнас}$ , оскільки транзистор VT2 працює в активному режимі, а не в режимі насичення. Для забезпечення задовільної роботи стабілітрона струм через нього має проходити в діапазоні  $I_{ст \min} - I_{ст \max}$  (наприклад, 3...25 мА). Нехай  $I_{ст} = 5 \text{ мА}$ , тоді

$$I_{Kнас1} = I_{R3} + I_{ст} + I_{B2} = 11 \text{ мА}. \quad (8.16)$$

Опори

$$R_4 = (U_{ж} - U_{ст} - U_{КЕнас1}) / I_{Kнас1} \approx 1,8 \text{ кОм}; \quad (8.17)$$

$$\begin{aligned} R_5 &= (U_{ст} - U_{BEVT2}) / I_{E2} = \\ &= (U_{ст} - U_{BEVT2}) \alpha / I_{K2}, \end{aligned} \quad (8.18)$$

де  $\alpha = \beta / (1 + \beta)$  — коефіцієнт передавання за струмом у схемі зі спільною базою.

Взявши  $U_{BEVT2} = 0,7 \text{ В}$  або визначивши цю величину з початкової характеристики, що наведена в довіднику (вважаємо всі транзистори кремнієвими), за виразом (8.18) дістанемо  $R_5 \approx 47 \text{ Ом}$ . З огляду на розкид номіналів  $U_{ст}$  і  $U_{BEVT2}$ , резистор R5 доцільно виконати у вигляді послідовно ввімкнених постійного і змінного резисторів, виставляючи останнім задане значення струму  $I_{K2}$ .

Розрахунок номіналів резисторів R1 і R2 виконують так само, як для рис. 8.7, а.

Оцінимо можливі значення опорів навантаження  $R_{вхВП}$ . Принципово мінімальне значення може дорівнювати нулю,



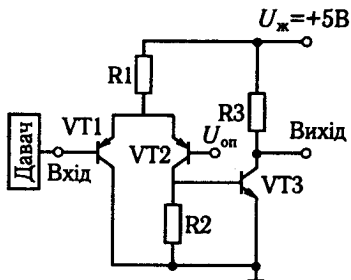


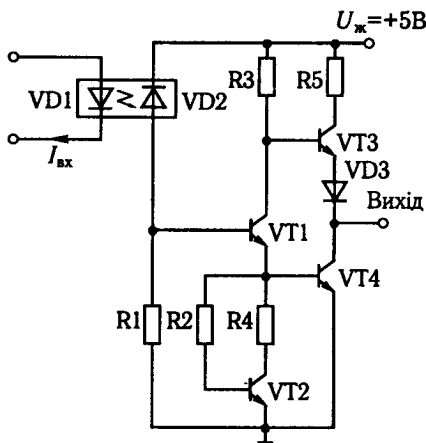
Рис. 8.8. Схема перетворювача рівнів на принципі перемикання струму

якщо не накладаються обмеження на допустиму потужність розсіювання транзистора VT2. Оцінимо цю потужність у схемі, зневажаючи потужністю, що виділяється на емітерному переході транзистора VT2. При  $R_{\text{вхВП}} = 0$  маємо

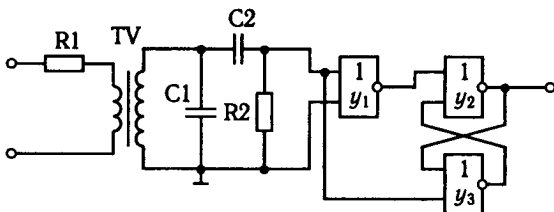
$$U_{\text{БКВТ2}} = U_{\text{жmax}} - U_{\text{ст}} \approx 24 \text{ В}$$

$$P_{\text{VT2}} = U_{\text{БКВТ2}} I_{\text{К2}} = 2,4 \text{ Вт.}$$

Нехай за технічними умовами  $P_{\text{VT2дод}} = 1 \text{ Вт}$ . Ця потужність виділяється на транзисторі при  $U_{\text{БКВТ2}} = 10 \text{ В}$ ; отже, на навантаженні напруга має бути не менш як 14 В, тобто мінімальний опір  $R_{\text{вхВП}}$  становить 140 Ом. Очевидно, що у разі збільшення опору навантаження напруга на колекторному переході зменшуватиметься



а



б

Рис. 8.9. Схема перетворювача рівнів струму на рівні схеми ТТЛ-типу (а) та трансформаторного перетворювача рівнів (б)

і за певного опору навантаження транзистор увійде в насичення. Враховуючи, що транзистор VT2 як генератор струму має працювати в активному режимі і при максимальній величині опору навантаження, візьмемо за границю насичення транзистора VT2 умову  $U_B = U_K$ , тобто теоретичну границю насичення. Тоді на навантаженні буде спадати напруга  $U_{ж\min} - U_{ст} \approx 18,7 \text{ В}$  і, отже, максимальний опір  $R_{вхВП}$  має бути не більш як 187 Ом. Отже, без радіатора на транзисторі VT2  $R_{вхВП}$  може змінюватися тільки в діапазоні 140...187 Ом, а з радіатором — 0...187 Ом.

Схеми, що працюють на принципі перемикання струму, використовують як перетворювачі рівнів у тих випадках, коли логічний перепад становитиме частки вольтів (рис. 8.8).

Оптоелектронні перемикачі і трансформатори використовують для гальванічної розв'язки електричних кіл при одночасному перетворенні рівнів. На рис. 8.9, а зображено схему перетворювачів рівнів струму на рівні схеми ТТЛ-типу, на рис. 8.9, б — трансформаторного перетворювача рівнів.

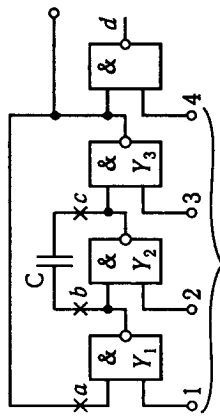
### 8.3. Генератори та одновібратори

**Генератори** — спеціальні елементи цифрових пристроїв, призначені для формування послідовності електричних сигналів різної форми. Послідовність сигналів може бути регулярною або з перериваннями, зокрема зі зміною параметрів і форми електричних сигналів. Генератори забезпечують роботу цифрового пристрою в часі за законом, зумовленим внутрішньою структурою пристрою, і характеризуються частотою сигналу, стабільністю частоти, можливістю керування частотою, формою сигналу, шпаруватістю, видом послідовності сигналу і под. Таким чином, генератори за структурою можуть змінюватися від найпростішого автоколивального мультівібратора до складного цифрового пристрою.

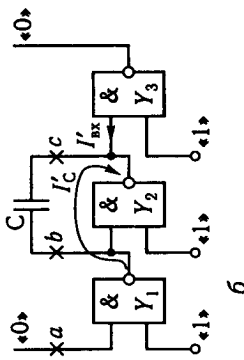
На рис. 8.10, а наведено схему генератора, в якому конденсатор С забезпечує час затримки, необхідний для створення позитивного зворотного зв'язку, і від його ємності залежить частота генерації. Звичайно розробники визначають необхідну ємність С методом спроб і помилок.

Проаналізуємо роботу конкретної схеми, яка виконана на мікросхемах серії К155 при  $C = 0,47 \text{ мкФ}$ , що дасть змогу прискорити вибір потрібної величини С.

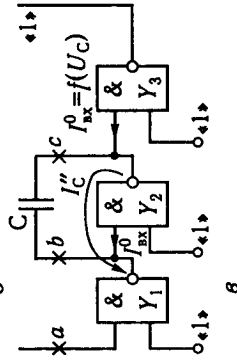
Генератор виконаний на трьох вентилях  $Y_1 - Y_3$ . Вентиль  $Y_4$  використовують для поліпшення форми вихідного сигнала.



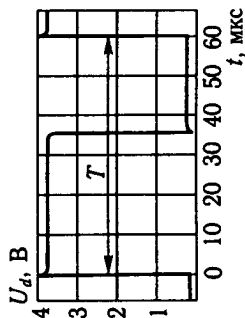
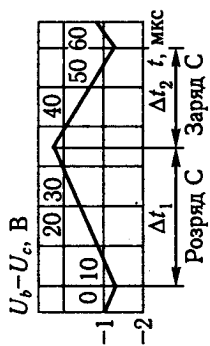
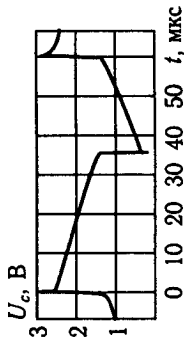
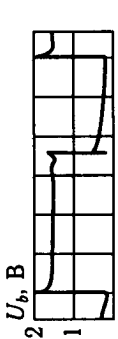
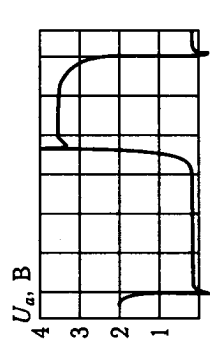
Входи



а



б



в

Рис. 8.10. Схема генератора на трьох елементах I—HE серії К155 ( $C = 0,47$  мкФ):  
 а — схема генератора; б, в — процеси заряду і розряду і заряду конденсатора; г — часові діаграми

лу; він може керуватися входом 4. При роботі генератора на входи 1–3 потрібно подати рівень «1» (при подаванні на кожний з цих трьох входів рівня «0» генерація зривається і на виході  $d$  фіксується постійний логічний рівень). Якщо рівень «0» подається на входи 1 або 3, то на виході  $d$  установлюється рівень «0»; якщо рівень «0» подається на вхід 2, то на виході  $d$  – рівень «1».

На рис. 8.10, б, в наведено процеси розряду і заряду конденсатора  $C$ , а на рис. 8.10, г – часові діаграми роботи схеми.

Зі схеми на рис. 8.10, б видно, що розрядний струм  $I'_C$  забезпечується вихідним колом вентиля  $Y_1$  і сприймається вихідним колом вентиля  $Y_2$  (впливом малого струму  $I'_{\text{вх}}$  вентиля  $Y_3$  зневажаємо). У процесі розряду конденсатора  $C$  установлюється певний режим, за якого вихідний струм закритого вентиля  $Y_1$  дорівнює вихідному струму відкритого вентиля  $Y_2$ , причому  $U_{\text{вих}Y_1} = U_{\text{вих}Y_2} = U_B$ . Цей режим роботи встановлюється при  $U_B \approx 1,5$  В,  $I_{\text{вих}Y_1} \approx 19$  мА. Робота вентиля  $Y_2$  за такого струму забезпечується відповідним розподілом струму, що проходить через резистор у колі БЕТ між вхідним колом і колом колектора.

Величина  $U_B \approx 1,5$  В підтверджується реальною часовою діаграмою (рис. 8.10, г). Перевіримо, чи правильний висновок про струм  $I_{\text{вих}Y_1} \approx 19$  мА. З рис. 8.10, г випливає, що на етапі розряду конденсатора (мкФ) напруга на ньому змінюється на величину  $\Delta U_C \approx 1,3$  В за час  $\Delta t_1 \approx 35$  мкс майже за лінійним законом, тобто розряд здійснюється постійним струмом

$$I'_C = C\Delta U_C / \Delta t_1 = 17,5 \text{ мА.} \quad (8.19)$$

Збіг значень  $I_{\text{вих}Y_1}$  і  $I'_C$  з урахуванням розкиду параметрів елементів ТТЛ-типу і допуску на номінал конденсатора (у мкФ) свідчить про правильність здійсненого аналізу роботи схеми. Отже, тривалість  $\Delta t_1$  (мкс) складової періоду коливань генератора можна оцінити з формули

$$\Delta t_1 = C\Delta U_C / I'_C \approx 72C. \quad (8.20)$$

Співвідношення (8.20) отримане з виразу (8.19), оскільки при зміні величини  $C$  рівні струмів і напруг не змінюються, а змінюється тільки тривалість  $\Delta t_1$ .

З рис. 8.10, в випливає, що зарядний струм  $I'_C$  забезпечується вихідним колом вентиля  $Y_2$  і вхідним колом вентиля  $Y_3$ , а сприймається цей струм вихідним колом вентиля  $Y_1$ . Оцінимо значення цього струму. Відразу після початку заряду конденсатора  $C$  потенціал  $U_C \approx 0,2$  В, тому з початкових

характеристик впливає, що струм  $I_{\text{вих}Y_2} \approx 28 \text{ мА}$  (майже струм короткого замикання), а струм  $I_C^*(0) = I_{\text{вих}Y_2} + I_{\text{вх}Y_3}^0 \approx 30 \text{ мА}$ . На кінці заряду конденсатора  $C$  потенціал  $U_B = U_{\text{пор}} \approx 1,4 \text{ В}$ , тому з початкових характеристик впливає, що  $I_{\text{вих}Y_2} \approx 20 \text{ мА}$ , а струм  $I_C^* \approx I_{\text{вих}Y_2} \approx 20 \text{ мА}$ , оскільки  $U_C = U_{\text{пор}} I_{\text{вх}Y_3}^0 = 0$ .

Для спрощення аналізу візьмемо, що в процесі заряду конденсатора  $C$  зарядний струм постійний і дорівнює  $25 \text{ мА}$ , тоді для складової  $\Delta t_2$  періоду коливань генератора можна записати

$$\Delta t_2 = C \Delta U_C / I_C^* \approx 52 \text{ нс}. \quad (8.21)$$

Підставивши числове значення  $C = 0,47 \cdot 10^{-6} \text{ Ф}$ , дістанемо  $\Delta t_2 = 24,4 \text{ нс}$ . Ця тривалість складової періоду коливань генератора добре збігається з реальною тривалістю  $\Delta t_2 = 25 \text{ нс}$ , визначеною експериментально (рис. 8.10, з).

Отже, для генератора, зібраного за схемою на рис. 8.10, а на елементах ТТЛ-типу серій К133 і К155, частоту генерації (мГц) можна визначити з формули

$$f = 1/T = 1/(\Delta t_1 + \Delta t_2) = 1/(124C). \quad (8.22)$$

Проаналізуємо здобуті результати. Перевага цієї схеми — її простота, тому що потрібен лише один зовнішній компонент — конденсатор  $C$ . Недоліки схеми такі:

1) шпаруватість цього генератора не дорівнює 2 (неістотний недолік);

2) вентилі  $Y_1$  і  $Y_2$  безупинно працюють практично в критичному режимі (істотний недолік, через який забороняється використовувати цю схему в апаратурі, що працює у складних умовах експлуатації);

3) у жодній точці схеми, за винятком точки  $a$ , немає добре сформованого сигналу, чітко фіксуючого напруги  $U_0$  і  $U_1$ , що задовольняють вимоги технічних умов.

Усі зазначені недоліки можна порівняно просто усунути за схемою на рис. 8.11, а шляхом вмикання на вихід «критичних» вентилів  $Y_1$  і  $Y_2$  резисторів  $R$  (не обов'язково однакових). Для забезпечення умов генерації ці резистори слід вибирати такої величини, щоб для ізолюваного вентиля при заземленому резисторі на його вході забезпечувався рівень, менший ніж  $U_{\text{пор}}$  для найгірших умов експлуатації. Порівнюючи часові діаграми на рис. 8.10, з і 8.11, б, можна дійти висновку, що підбором резисторів  $R$  неважко забезпечити шпа-

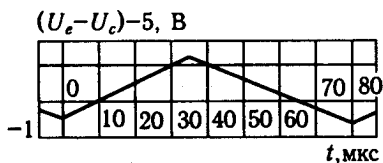
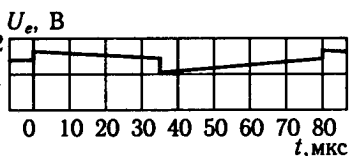
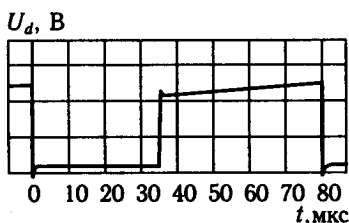
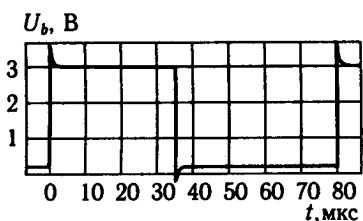
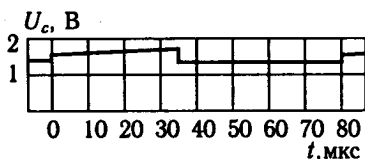
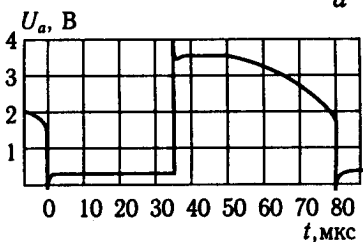
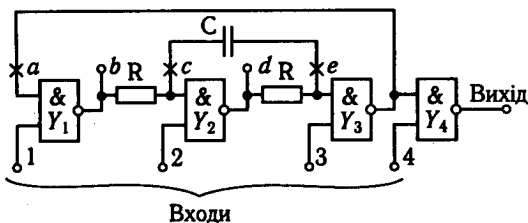


Рис. 8.11. Схема генератора на трьох вентилях І-НЕ серії 155, що працює у полегшеному режимі ( $R = 300 \text{ Ом}$ ;  $C = 0,47 \text{ мкФ}$ ):  
 а – схема генератора;  
 б – часові діаграми

руватість, яка дорівнює 2. Для схеми з номіналами, зазначеними на рис. 8.11, а, струми заряду і розряду конденсатора  $C$  знижені приблизно в п'ять разів; у точках  $b$  і  $d$  схеми формуються сигнали, що добре фіксують рівні  $U_0$  і  $U_1$ .

Роботу схеми на рис. 8.11, а аналізують аналогічно роботі схеми на рис. 8.10.

Часто в цифрових пристроях необхідний генератор з частотою, що перебудовується. Один із варіантів схеми такого генератора на типових елементах ТТЛ-типу зображено на рис. 8.12.

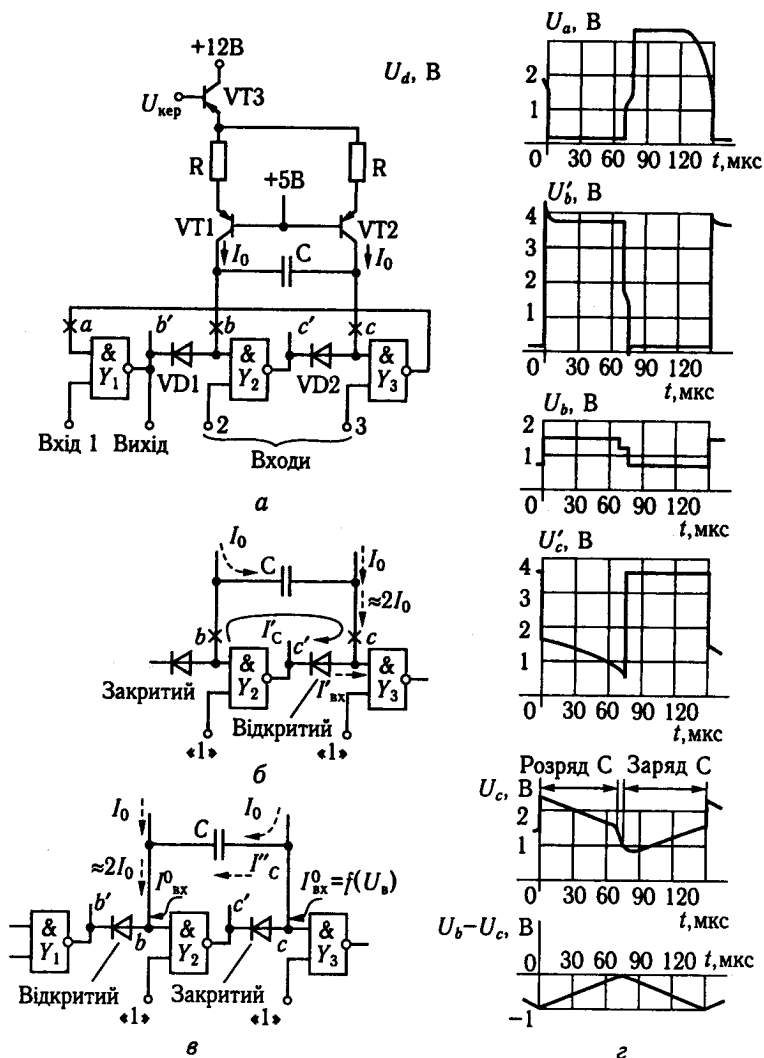


Рис. 8.12. Схема керованого генератора на трьох вентилях I—NE ( $C = 68 \text{ нФ}$ ):

$a$  — схема генератора;  $b$ ,  $в$  — процеси розряду і заряду конденсатора;  $г$  — часові діаграми

Проаналізуємо роботу схеми на рис. 8.12, *а*. У схемі використовують два германієвих діоди, щоб не спотворювати сильне значення напруги  $U^0$ . При надходженні сигналу високого рівня діоди розривають коло між виходами логічних схем і зарядним конденсатором. Керування частотою генерації здійснюється керованим генератором струму, виконаним на транзисторах VT1 — VT3 і резисторах R. Потенціали баз транзисторів VT1 і VT2 фіксуються на рівні +5 В, що забезпечує нормальний активний режим транзисторів VT1 і VT2 у діапазоні регулювання.

На рис. 8.12, *б, в* показано процеси розряду і заряду конденсатора С, а на рис. 8.12, *г* — часові діаграми роботи схеми при  $I_0 = 0$ . У процесі розряду конденсатора С діод VD1 закритий, а діод VD2 відкритий. При  $I_0 = 0$  розрядний струм  $I'_C$  забезпечується вентилям  $Y_2$ , що працює у певному режимі, за якого вхідний струм вентиля дорівнює вихідному струму. З аналізу початкової характеристики і часових діаграм (рис. 8.12, *г*) роботи реальної схеми випливає, що  $I'_C \approx 0,8$  мА. За наявності струмів  $I_0$  конденсатор розряджається струмом, який дорівнює  $I'_C + I_0$ , а вхідне коло вентиля  $Y_2$  сприймає струм  $I'_C + 2 I_0$ . Вважаючи, що для вентиля  $Y_2$   $I_{\text{вих max}} = 20$  мА, перекопуємося, що час розряду конденсатора можна зменшити приблизно в  $I_0/I'_C \approx 12,5$  раз. У процесі заряду конденсатора С діод VD1 відкрито, а діод VD2 закрито. При  $I_0 = 0$  зарядний струм  $I''_C$  забезпечується вхідним колом вентиля  $Y_3$  і сприймається вихідним колом вентиля  $Y_1$ .

З аналізу початкової характеристики і часових діаграм (рис. 8.12, *г*) роботи реальної схеми випливає, що  $I''_C \approx 0,8$  мА. За наявності струмів  $I_0$  конденсатор заряджається струмом  $I''_C + I_0$ , а вихідне коло вентиля  $Y_1$  сприймає струм  $I''_C + I_{\text{вх}Y_2}^0 + 2 I_0$ .

Вважаючи, що для вентиля  $Y_1$  струм  $I_{\text{вих max}} = 20$  мА, перекопуємося, що і час заряду конденсатора С можна зменшити приблизно в 12,5 раз. Вважаючи, що транзистори VT1 — VT3 кремнієві, а  $R = 470$  Ом, одержимо, що для зміни струму  $I_0$  від 0 до 10 мА необхідно змінювати  $U_{\text{кер}}$  від 6,2 до 11,9 В. Зі збільшенням струму  $I_0$  частота генерації зростає.

На рис. 8.13, *а, б* наведено варіанти генераторів, виконаних на двох вентилях I — HE серії K155, а на рис. 8.13, *в, г* — часові діаграми при  $R = 300$  Ом,  $C = 0,47$  мкФ. В обох схемах величина опору R має задовольняти вимоги, розглянуті при аналізі схеми на рис. 8.11, *а*.

При аналізі роботи схеми на рис. 8.12 було встановлено, що керований генератор, виконаний на елементах ТТЛ-типу,



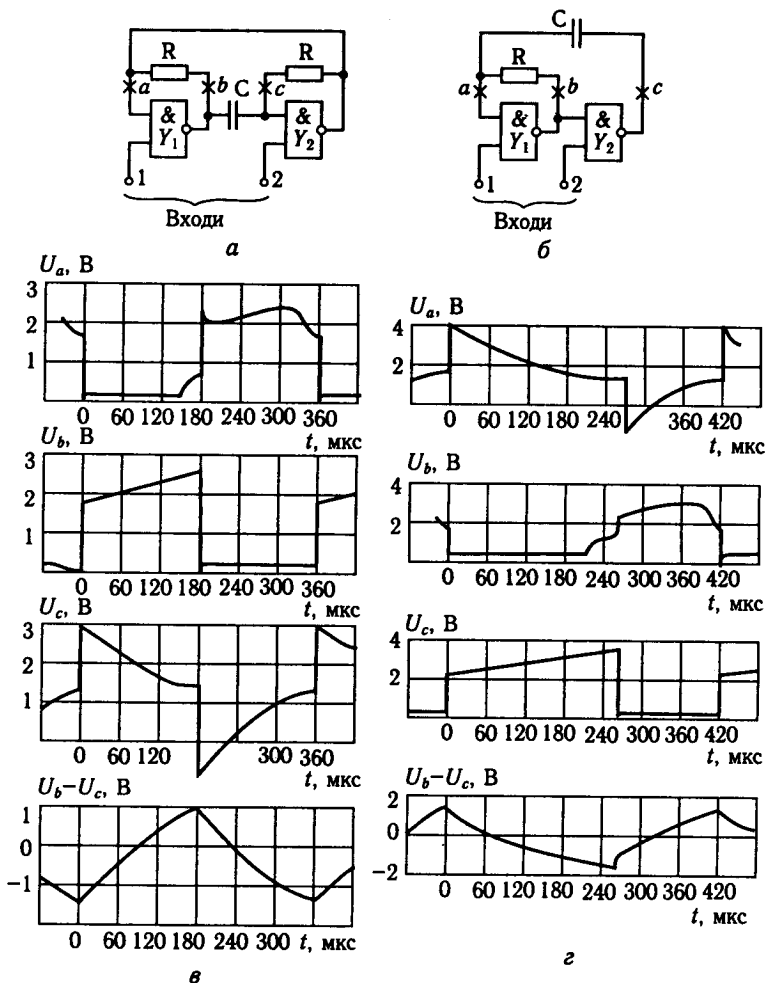


Рис. 8.13. Схеми генераторів на двох вентилях І–НЕ (а, б) та часові діаграми їх роботи (в, г) ( $R = 300 \text{ Ом}$ ;  $C = 0,47 \text{ мкФ}$ )

дає змогу змінювати частоту в 10 разів. Якщо діапазон зміни частоти має бути значно більшим, необхідно використовувати інші схеми генератора. Одну з таких схем зображено на рис. 8.14. Схема генератора побудована на базі мультівібратора з емітерним зв'язком, у якій транзистори  $VT_1$  і  $VT_2$  утворюють підсилювальний каскад з позитивним зворотним зв'язком. У будь-який момент часу насичений транзистор  $VT_1$

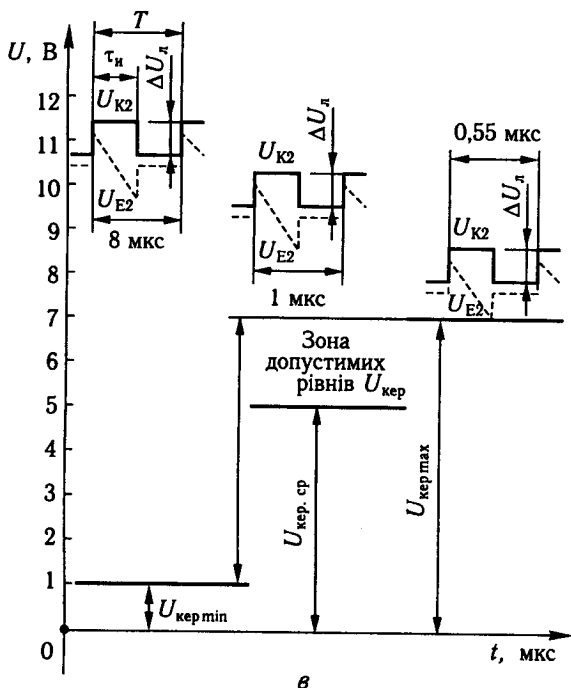
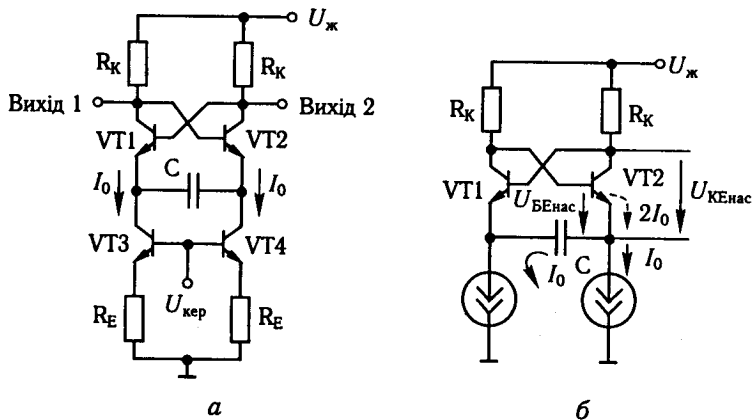


Рис. 8.14. Схема керованого генератора на базі мультиплексора з емітерним зв'язком:

*a* – принципова схема; *б* – розрахункова схема; *в* – часові діаграми роботи у допустимій зоні рівнів  $U_{кер}$

або VT2 і конденсатор С поперемінно то заряджається, то розряджається постійним струмом  $I_0$ , що визначається керуванням джерелом струму на транзисторах VT3 і VT4.

Проаналізуємо роботу схеми на рис. 8.14. Розглянемо процеси, що відбуваються в схемі на рис. 8.14, б відразу після насичення транзистора VT2. Позитивний потенціал на конденсаторі С, що існував перед моментом перемикавання, надійно закриває транзистор VT1, і конденсатор починає розряджати постійним струмом  $I_0$ . Як тільки потенціал емітера транзистора VT1 чи лівої обкладки конденсатора С стає  $U_{K2} - U_{BEнас}$ , транзистор VT1 стрибком входить у стан насичення, а транзистор VT2 закривається. Далі відбувається аналогічний процес.

З рис. 8.14, в видно, що логічний перепад на виходах генератора  $U_{BEнас} - U_{KEнас} \approx 0,6 \text{ В}$  і не залежить від величин  $R_K$  і  $I_0$ , а конденсатор С змінює свій потенціал на величину  $2U_{BE} \approx 1,2 \text{ В}$ . Через те що конденсатор перезаряджається постійним струмом  $I_0$ , то

$$\tau_i = \Delta U_C C / I_0 = 2U_{BE} C / I_0 \quad (8.23)$$

і, отже,

$$f = 1/T = 1/(2\tau_i) = I_0 / (4U_{BE} C). \quad (8.24)$$

Якщо знехтувати незначною залежністю  $U_{BE}$  від  $I_0$ , то можна вважати, що частота генерації строго лінійно залежить від струму  $I_0$ . Умови нормальної роботи схеми такі: 1) насичений режим роботи транзисторів VT1 і VT2, що забезпечує незмінність логічного перепаду на виходах; 2) активний режим роботи транзисторів VT2 і VT4, що забезпечує постійність струмів  $I_0$ .

Першу умову запишемо у вигляді виразу, що визначає технічне насичення транзисторів VT1 і VT2:

$$U_B - U_K = 0,6 \text{ В}, \quad (8.25)$$

де

$$U_B = U_{ж} - R_K I_B = U_{ж} - R_K (1 - \alpha) 2I_0; \quad (8.26)$$

$$U_K = U_{ж} - R_K I_K = U_{ж} - 2R_K \alpha I_0. \quad (8.27)$$

Підставивши вирази (8.26) і (8.27) у (8.25), дістанемо мінімальне значення струму, за якого транзистори VT1 і VT2 ще працюють у режимі насичення:

$$I_{0 \min} = 0,6 / [2R_K (2\alpha - 1)] \approx 0,3 / R_K. \quad (8.28)$$

Оскільки

$$I_0 = (U_{\text{кер}} - U_{\text{БЕ}})\alpha/R_E, \quad (8.29)$$

то з формул (8.28) і (8.29) випливає, що

$$\begin{aligned} U_{\text{кер min}} &= 0,6R_E/[2\alpha(2\alpha - 1)R_K] + U_{\text{БЕ}} \approx \\ &\approx 0,3/R_K + U_{\text{БЕ}}. \end{aligned} \quad (8.30)$$

Другу умову запишемо у вигляді виразу, що визначає теоретичне насичення транзисторів VT3 і VT4. Тут вибрано теоретичне, а не технічне насичення з міркувань надійної роботи генератора. У першій умові технічне насичення відображає суть справи. Як видно з рис. 8.14, в, мінімальний потенціал колекторів VT3 і VT4 визначається як різниця потенціалу емітера насиченого транзистора VT1 або VT2 і напруги  $U_{\text{БЕ}}$ . Використовуючи теорему про вузлову напругу, можна записати

$$\begin{aligned} U_K &= \frac{(U_{\text{ж}} - U_{\text{КЕнас}})/R_K + (U_{\text{ж}} - U_{\text{БЕнас}})/R_K - 2I_0}{1/R_K + 1/R_K} - U_{\text{БЕ}} = \\ &= \frac{(2U_{\text{ж}} - U_{\text{КЕнас}} - U_{\text{БЕнас}})/R_K - [2(U_{\text{кер}} - U_{\text{БЕ}})\alpha]R_E}{2/R_K} - U_{\text{БЕ}}. \end{aligned} \quad (8.31)$$

На теоретичній границі насичення виконується умова  $U_{\text{КЗ}} = U_{\text{БЗ}}$ ; тоді, підставивши у формулу (8.31) замість  $U_K$  і  $U_{\text{кер}}$  значення  $U_{\text{кер max}}$  і взявши  $U_{\text{БЕ}}$  у всіх транзисторів однаковими, дістанемо

$$\begin{aligned} U_{\text{кер max}} &= (2U_{\text{ж}} - U_{\text{КЕнас}} - U_{\text{БЕнас}}) \frac{R_E}{2(R_E + \alpha R_K)} - \\ &- U_{\text{БЕ}} \frac{R_E - \alpha R_K}{R_E + \alpha R_K}, \end{aligned} \quad (8.32)$$

а для максимального струму  $I_0$

$$I_{0 \text{ max}} = \frac{(2U_{\text{ж}} - U_{\text{КЕнас}} - U_{\text{БЕнас}})\alpha}{2(R_E + \alpha R_K)} - \frac{2U_{\text{БЕ}}\alpha}{R_E + \alpha R_K}. \quad (8.33)$$

Динамічний діапазон зміни частоти  $K_{\text{зм}}$  визначимо як відношення максимального і мінімального струмів  $I_0$ , вважаючи у виразі (8.33)  $\alpha \approx 1$ :

$$K_{\text{зм}} = \frac{I_{0 \text{ max}}}{I_{0 \text{ min}}} \approx \frac{(2U_{\text{ж}} - U_{\text{КЕнас}} - U_{\text{БЕнас}})R_K}{0,6(R_E + R_K)} - \frac{2U_{\text{БЕ}}R_K}{0,3(R_E + R_K)}. \quad (8.34)$$

Зазначимо, що співмножники 0,6 і 0,3 у знаменниках формули (8.34) виражають у вольтах.

Граничне значення  $K_{зм}$  при  $U_{ж} \gg U_{КЕнас}$ ,  $U_{БЕнас}$ ,  $U_{БЕнас}$  і  $R_{К} \gg R_{Е}$  можна оцінити за співвідношенням

$$K_{зм.гр} \approx U_{ж} / 0,3. \quad (8.35)$$

При  $U_{ж} = 12$  В дістанемо  $K_{зм.гр} \approx 40$ . Фактично вдається реалізувати  $K_{зм.гр} \approx 30 \dots 32$ .

Істотний недолік розглянутої схеми — у процесі регулювання значно змінюється потенціал на виходах, а логічний перепад малий (лише 0,6 В). Однак через те що виходи 1 і 2 інверсні, цей недолік можна усунути, використовуючи швидкодійний компаратор, виконаний, наприклад, на операційному підсилювачі. Необхідно тільки звернути увагу на допустимий рівень синфазної складової на вході компаратора.

Зазначений недолік можна усунути також використанням замість резисторів  $R_{К}$  діодів, увімкнених у прямому напрямку. Це забезпечує, по-перше, активний режим роботи транзисторів VT1 і VT2 і, як наслідок, поліпшення частотних властивостей генератора; по-друге, забезпечує прив'язування вихідних сигналів до рівня  $U_{ж}$ ; по-третє, істотно збільшує коефіцієнт перекриття за частотою, оскільки транзистори VT1 і VT2 працюватимуть в активному режимі у великому діапазоні зміни струмів. Однак у схемі з діодами значно зменшується рівень логічного перепаду на виходах.

Оцінимо цей рівень. Через те що транзистори VT1 і VT2 працюють в активному режимі, через діод у колі колектора відкритого транзистора проходить струм  $I_{VD.К} = 2\alpha I_0$ , а через діод у колі бази того самого транзистора — струм  $I_{VD.Б} = (1 - \alpha) 2I_0$ .

Нехай вольт-амперна характеристика діодів у прямому вмиканні визначається виразом (при  $r_{VD} \approx 0$ )

$$U_{VD} = U_{VD}^* + m \cdot \phi_T \cdot \ln(I_{VD}/I_{VD}^*). \quad (8.36)$$

Підставивши у цей вираз значення струму  $I_{VD.К}$  і  $I_{VD.Б}$  і взявши різницю відповідних напруг, дістанемо

$$\begin{aligned} \Delta U_{л} &= U_{VD.К} - U_{VD.Б} = m \cdot \phi_T \cdot \ln \frac{I_{VD.К}}{I_{VD.Б}} = \\ &= m \cdot \phi_T \cdot \ln \frac{\alpha}{1 - \alpha} = m \cdot \phi_T \cdot \ln \beta. \end{aligned} \quad (8.37)$$

Якщо  $m \cdot \phi_T = 0,03$  В, а  $\beta = 50$ , то  $\Delta U_{л} \approx 0,15$  В. І в цьому випадку  $\Delta U_{л}$  не залежить від величини струму  $I_0$ . Усклад-

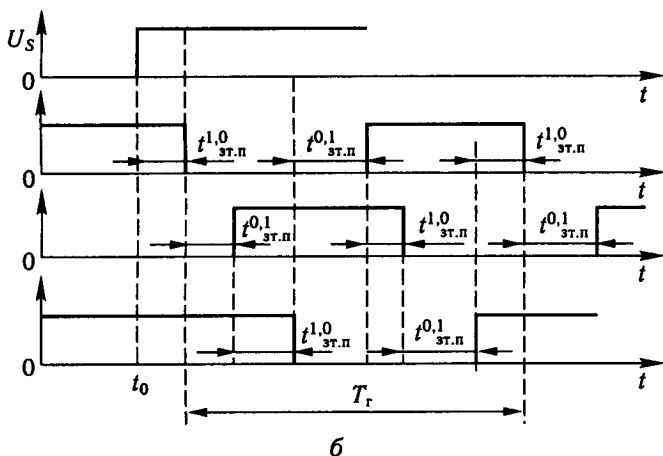
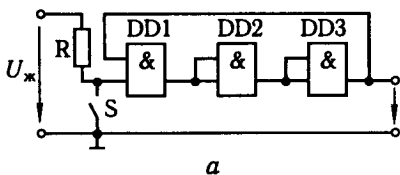


Рис. 8.15. Швидкодійний автогенератор (а) та часові діаграми (б)

нення, пов'язані з низьким рівнем  $\Delta U_{л}$  у схемі з діодами так само, як і в схемі з резисторами, можна усунути використанням компаратора.

За необхідності побудови генераторів, частота яких порівнянна з граничною частотою БЕ, застосовують схеми, принцип дії яких заснований на використанні власних інерційних властивостей ЛЕ. У таких схемах немає зовнішніх елементів, що задають час, і частота вихідних коливань визначається часом затримки поширення імпульсу  $t_{зт.п}$  ЛЕ. Подібні схеми складаються з  $N$  послідовно ввімкнених ЛЕ, охоплених колом одиничного негативного зворотного зв'язку (рис. 8.15, а). Число послідовно ввімкнених елементів має бути непарним.

Період коливань у таких схемах визначають за формулою

$$T_r = N(t_{зт.п}^{1,0} + t_{зт.п}^{0,1}).$$

Роботу схеми пояснимо за допомогою часових діаграм, наведених на рис. 8.15, б. У вихідному стані перемикач  $S$  замкнений і схема перебуває у стійкому стані, за якого вихідні напруги всіх непарних елементів дорівнюють  $U^1$ , а парних  $U^0$ .

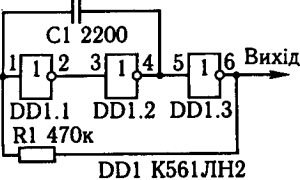
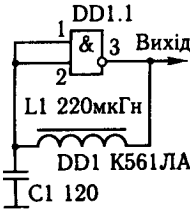
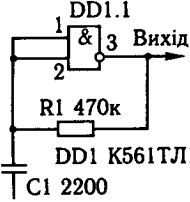
Розмикання у момент  $t_0$  перемикача S рівнозначне подаванню на вхід першого ЛЕ двох одиничних вхідних сигналів. Тому через час  $t_{зт.п}^{1,0}$  відбудеться зміна його вихідної напруги. Сигнал  $U^0$  з виходу DD1 потрапляє на вхід другого ЛЕ, що, у свою чергу, через часовий інтервал  $t_{зт.п}^{0,1}$  змінить і його вихідну напругу з  $U^0$  до  $U^1$ , і т. д. Перемикання елементів відбуватиметься послідовно один за одним.

Частота коливань такого генератора для ІС серії 555 лежить у діапазоні десятків мегагерц.

У табл. 8.1 наведено кілька схемних рішень генератора прямокутних імпульсів, побудованого на різних мікросхемах серії К561. Для кожного генератора визначено формулу, що дає змогу обчислювати значення частоти генератора залежно від номіналів елементів (частота — у герцах, опір — в омах, ємність — у фарадах, індуктивність — у генрі; для RC-гене-

Таблиця 8.1. Варіанти схемних рішень генератора прямокутних імпульсів

Схема	Експериментальна формула	Нижня межа $R_1$ , кОм	Найвища частота генерації, мГц	Шпаруватість вихідних імпульсів
	$F = \frac{0,52}{R_1 C_1}$	1	2	2
	$F = \frac{0,44}{R_1 C_1}$	1	2	2
	$F = \frac{0,48}{R_1 C_1}$	0,56	2	>2

Схема	Експериментальна формула	Нижня межа $R_1$ , кОм	Найвища частота генерації, МГц	Шпаруватість вихідних імпульсів
	$F = \frac{0,54}{R_1 C_1}$	0,56	2	<2
	$F = \frac{1}{2\pi\sqrt{L_1 C_1}}$	-	1,3	<2
	$F = \frac{1,78}{R_1 C_1}$	1	1	>2

раторів: частота — у кілогерцах, опір — у кілоомах, ємність — у мікрофарадах; для  $LC$ -генераторів: частота — у мегагерцах, ємність — у нанофарадах, індуктивність — у мілігенрі). Усі розрахункові формули і характеристики розглянутих генераторів отримані в результаті експериментів з конкретними зразками мікросхем.

Для зменшення габаритів потрібно будувати генератор на відносно високу частоту з наступним її діленням багаторозрядними лічильниками К176ІЕ5, К176ІЕ12, К176ІЕ18, К561ІЕ16, КР1561ІЕ20. Особливо придатні для цього перші три з них, тому що містять необхідні для побудови генератора елементи. На рис. 8.16 зображено схему генератора на мікросхемі К176ІЕ5. Генератор зібраний на логічних елементах DD1.1 і DD1.2. Один з виходів генератора усередині мікросхеми підключений до подільника частоти на 512 DD1.3.



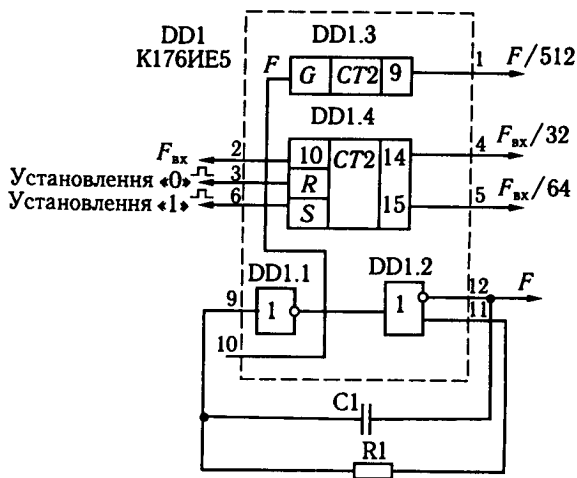


Рис. 8.16. Схема генератора на мікросхемі K176IE5

Мікросхема містить ще один лічильник DD1.4, що може поділяти вхідну частоту на 32 і 64. Його вхід може бути підключений або до виходу генератора, або до виходу лічильника DD1.3. У другому випадку частота на виході 15 буде в 32 768 разів менша, ніж частота генератора. Лічильник DD1.4, крім традиційного входу R установлення в стан «0», має ще і вхід S установлення в стан «1».

Схему RC-генератора на мікросхемі K176IE12 зображено на рис. 8.17. Максимальний коефіцієнт розподілу лічильника DD1.3 дорівнює 32 768. Він має виходи, частота імпульсів на яких менша, ніж частота генератора у 32, 256, 16 384 і 32 768 разів.

Лічильник DD1.4 мікросхеми має коефіцієнт розподілу, який дорівнює 60. Його вхід 3 може бути підключений як до виходу генератора, так і до будь-якого виходу першого лічильника. При підключенні його до виходу S1 частота імпульсів на виході M буде в 1 966 080 разів менша, ніж частота генератора.

Стабільність частоти вихідних коливань для розглянутих типів генераторів досить низька. Це пояснюється як значним технологічним розкидом, так і великою залежністю від зовнішніх дестабілізуювальних факторів, зокрема температури, параметрів самих ЛЕ і зовнішніх кіл, що задають час. З цих причин сумарне відхилення частоти від необхідного значення може досягати 10 % і більше.

Інколи при синхронізації роботи складних цифрових пристроїв потрібна дуже висока стабільність частоти генера-

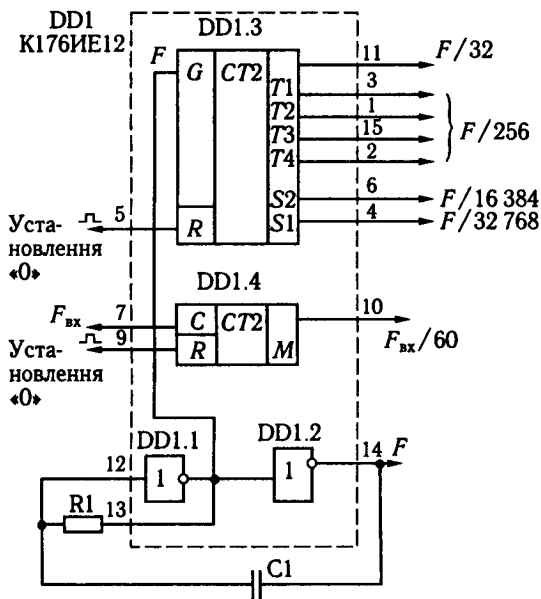


Рис. 8.17. Схема генератора на мікросхемі K176IE12

тора. Відносна її зміна не повинна перевищувати 0,001 % і менше.

На практиці існує багато способів стабілізації частоти вихідної напруги генераторів. Проте найпростішим і найефективнішим з них є застосування кварцової стабілізації. Сутність цього способу полягає в тому, що за елемент, який задає час у генераторі, використовують кварцовий резонатор. Типову схему такого генератора, побудованого на основі мультівібратора, зображено на рис. 8.18.

Розглянемо призначення окремих елементів схеми. Частота вихідної напруги визначається параметрами кварцового резонатора  $G$ . Резистор  $R$  вибирають з умови надійного виникнення коливань. Зміною ємності конденсатора можна в незначному ступені підстроювати частоту вихідних коливань. Логічний елемент DD3 є буферним і призначений для поліпшення форми вихідних коливань.

У генераторах, виконаних на типових логічних вентилях і розглянутих вище, використовували два чи три вен-

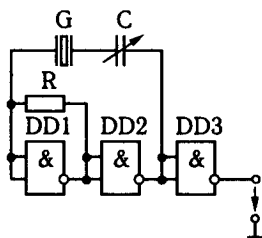


Рис. 8.18. Принципова електрична схема кварцового автогенератора

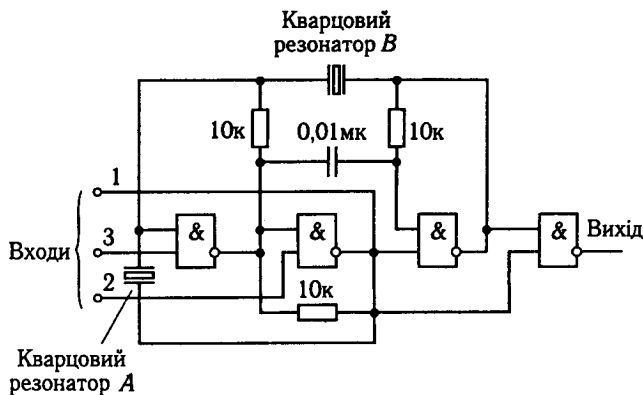


Рис. 8.19. Схема двочастотного генератора

тилі, причому в кожному вентилі використовували для створення власне генератора тільки один інформаційний вхід. Якщо використовувати другі входи і четвертий вентиль поширеної інтегральної схеми, функціональні можливості генератора можна істотно розширити. Реалізація таких можливостей ілюструється схемою, наведеною на рис. 8.19. Ця схема може працювати в трьох режимах. При рівні «0» на вході 1 схема генерує на частоті кварцового резонатора А; при рівні «0» на вході 2 схема генерує на частоті кварцового резонатора В; при рівні «0» на вході 3 схема блокується. Генератор формує прямокутні імпульси з коефіцієнтом заповнення приблизно 40 відсотків, що сумісні з рівнями ТТЛ.

У генераторі застосовують малопотужні елементи ТТЛ-типу, що дає змогу одержувати вихідні імпульси з частотою не більше ніж 1...10 МГц. Цей генератор складається з двох ідентичних схем, кожен з яких виконано за схемою, наведеною на рис. 8.13, а, в.

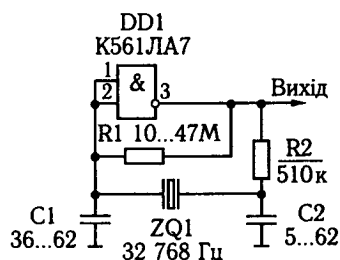


Рис. 8.20. Генератор із кварцовим резонатором на мікросхемі КМОН

Хоча стабільність частоти RC-генераторів на мікросхемах КМОН досить висока (особливо порівняно з генераторами на мікросхемах ТТЛ), але часто потрібна ще більш висока стабільність. У цих випадках застосовують генератори з кварцовим резонатором на більш високу частоту з наступним її діленням до необхідного значення (рис. 8.20). Такий варіант забезпечить не тільки ви-

соку стабільність частоти, а й виключить необхідність у підстроювальних елементах.

**Одновібратором** називають пристрій, що виробляє вихідний імпульс за одиничним перепадом вхідного сигналу. Тривалість вихідного імпульсу визначається постійною часу  $RC$  вбудованих або зовнішніх компонентів і не залежить від часових обмежень, що накладаються системними тактовими імпульсами.

У складі деяких серій сучасних інтегральних мікросхем є одновібратори двох типів: без повторного запуску і з повторним запуском. На рис. 8.21 зображено функціональну схему одновібратора без повторного запуску К155АГ1, на рис. 8.22

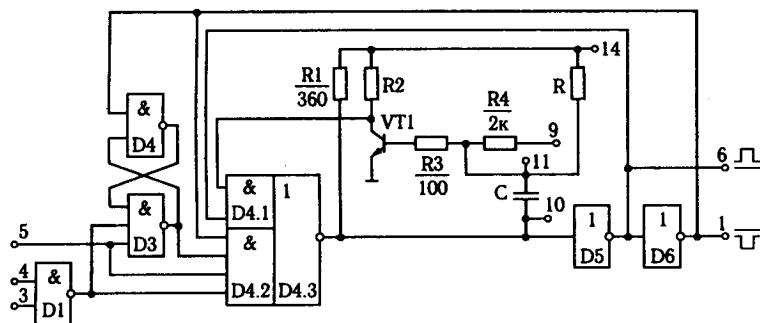


Рис. 8.21. Функціональна схема одновібратора К155АГ1

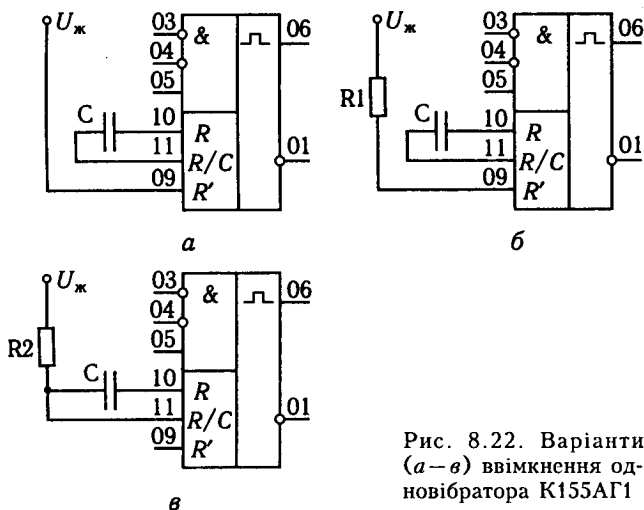


Рис. 8.22. Варіанти (а–в) ввімкнення одновібратора К155АГ1

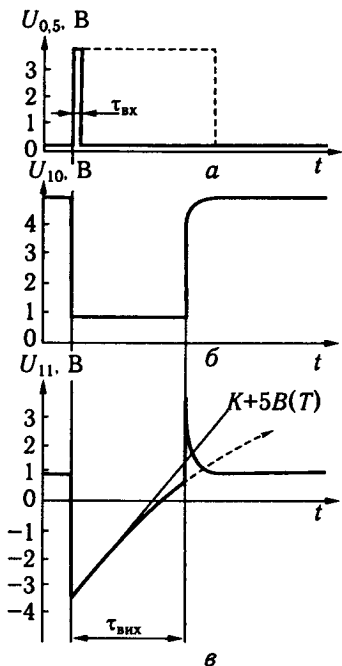


Рис. 8.23. Часові діаграми (а – в), що пояснюють процес формування вихідного імпульсу

наведено варіанти ввімкнення зовнішніх компонентів  $R$  і  $C$  для цієї мікросхеми, а на рис. 8.23 – часові діаграми, що пояснюють процес формування вихідного імпульсу.

Варіанти запуску цього одно-вібратора наведено в табл. 8.2. За будь-яких комбінацій статичних сигналів на входах 3, 4 і 5 одновібратор перебуває у стабільному стані, за якого  $Q = 0$ ,  $\bar{Q} = 1$ .

Розглянемо обмеження, що накладаються на зовнішні компоненти  $R$  і  $C$ .  $R_{\min}$  знизу обмежується максимально допустимим струмом бази транзистора VT1. У технічних умовах зазначено  $R_{\min} = 1,4$  кОм, що відповідає струму бази  $I_{BVT1}$  приблизно 2,7 мА.  $R_{\max}$  зверху обмежується вимогою забезпечення насиченого режиму транзистора VT1. У технічних умовах зазначено, що  $R_{\max} = 30$  кОм. Ємність конденсатора  $C$  має бути менше чи

дорівнювати 1000 мкФ, причому допускається застосування електролітичних конденсаторів. Полярність увімкнення останніх: вивід «+» – на контакт 11 мікросхеми (див. рис. 8.22), а вивід «-» – на контакт 10. Значення  $C = 10 \dots 1000$  мкФ слід застосовувати тільки в тих випадках, коли до стабільності

Таблиця 8.2. Варіанти запуску K155AF1

Входи			Виходи	
3	4	5	6	1
0	X	f	□	□
X	0	f		
1	1	1		
1	1	1		
Одновременний перехід	1	1		

вихідних імпульсів немає особливих вимог. Перед запуском напруга  $U_{11}$  на контакті 11 становить  $U_{\text{БЕнас}} + I_{\text{Бнас}} R_3 = 0,8 - 1,1 \text{ В}$ .

На рис. 8.23, *в* зображено рівень  $U_{11} = 0,95 \text{ В}$ . З надходженням сигналу запуску, тривалість якого має бути не менша ніж 50 нс, на виході елемента D4.3 (див. рис. 8.21) формується рівень  $U_{10} = 0,85 \text{ В}$ . Ця величина зумовлена тим, що елемент D4.3 виконано з пенасиченим вихідним каскадом. Негативний перепад  $-4,15 \text{ В}$  у точці 10 через конденсатор С передається в точку 11, внаслідок чого відразу після запуску в точці 11 формується рівень  $0,95 - 4,15 = -3,2 \text{ В}$ . Ця напруга встановлює транзистор VT1 у режим відсічення. Рівень «1» з колектора VT1 і з виводу 06 мікросхеми надходить на входи елемента D4.1 і підтверджує рівень «0» на виході D4.3 доти, доки закритий транзистор VT1; тим самим блокується можливість повторного запуску одновібратора протягом часу формування вихідного імпульсу, оскільки змінювання станів входів елемента D4.2 не впливає на рівень «0» на виході елемента D4.3.

Потенціал у точці 11 починає змінюватися від рівня  $-3,2 \text{ В}$ , наближаючись до значення  $U_{\text{ж}}$  з постійною часу  $T = RC$ . Однак як тільки потенціал у точці 11 становитиме приблизно  $0,75 \text{ В}$ , транзистор VT1 відкривається і рівень «0» на колекторі VT1 забезпечує формування логічної «1» на виході D4.3. Таким чином, тривалість  $\tau_{\text{вих}}$  вихідного імпульсу можна визначити за загальною формулою, де  $U_1 = -3,2 \text{ В}$ ;  $U_2 = +0,75 \text{ В}$ ;  $U_{\infty} = +5 \text{ В}$ :

$$\begin{aligned} \tau_{\text{вих}} &= T \cdot \ln \frac{U_{\infty} - U_1}{U_{\infty} - U_2} = \\ &= RC \cdot \ln \frac{5 + 3,2}{5 - 0,75} = 0,66RC \approx RC \cdot \ln 2. \end{aligned} \quad (8.38)$$

Значення  $R$  у формулі (8.38) визначається одним з варіантів увімкнення зовнішніх компонентів, зображених на рис. 8.22. На рис. 8.22, *а* як резистор  $R$  використовують вбудований резистор  $R_4$ , тобто  $R = R_4 = 2 \text{ кОм}$ . На рис. 8.22, *б* як резистор  $R$  використовують зовнішній резистор  $R_1$ , увімкнений послідовно з вбудованим резистором  $R_4 = 2 \text{ кОм}$ , тобто  $R = R_1 + R_4$ . Очевидно, що з урахуванням сформульованих вище обмежень для цього варіанта дістанемо  $R_{1\text{min}} = 0$  і  $R_{1\text{max}} = 28 \text{ кОм}$ . На рис. 8.22, *в* як резистор  $R$  використовують зовнішній резистор  $R_2$ , тобто  $R = R_2$ . У цьому випадку контакт 09 мікросхеми залишається вільним, а  $R_{2\text{min}} = 1,4 \text{ кОм}$  і  $R_{2\text{max}} = 30 \text{ кОм}$ . Зазначимо також, що в усіх трьох варіан-

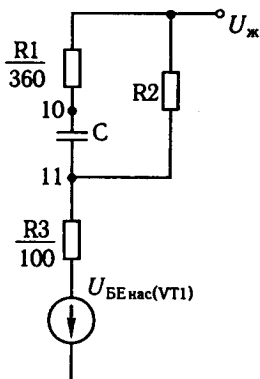


Рис. 8.24. Еквівалентна схема розряду конденсатора

тах може не бути зовнішнього конденсатора  $C$ . У цьому випадку його роль виконує паразитна ємність і реалізується імпульс мінімальної тривалості. У разі використання вбудованого резистора  $R_4$  її величина становить 30...40 нс.

Позитивний стрибок на виході елемента  $D_{4.3}$  спочатку становить близько 3 В через низький динамічний опір навантаження, зумовленого в основному резистором  $R_3$ . У процесі заряду конденсатора  $C$  напруга в точці 10 швидко досягає рівня 4,3 В, після досягнення якого транзистор вихідного каскаду елемента  $D_{4.3}$  закривається і конденсатор  $C$  починає перезаряджатися за схемою, наведеною на рис. 8.24.

Позитивний стрибок на виході елемента  $D_{4.3}$  спричинює позитивний перепад у точці 11 приблизно до рівня 3,6 В. Отже, у схемі на рис. 8.24 напруга в точці 10 змінюється від +4,3 до +5 В, а в точці 11 — від +3,6 до +0,95 В із постійною часу  $T = (R_1 + R_3)C$ . Впливом опору  $R_2$  можна знехтувати, оскільки  $R_2 \gg R_3$  і  $R_1$ .

Припустимо, що перехідний процес закінчується через час  $(3...6)T$ . Визначимо час відновлення одновібратора:

$$t_{\text{відн}} = (3...6)T = (3...6)460C = (1,4...2,8)C. \quad (8.39)$$

У формулі (8.39) коефіцієнт (1,4...2,8) виражають у кОм,  $C$  — пФ,  $t_{\text{відн}}$  — нс.

Запущений одновібратор нечутливий до тривалості вхідного сигналу. Розглянемо запуск одновібратора позитивним перепадом на вході 05. Зазначимо, що вихід елемента  $D_1$  еквівалентний входу 05. Нечутливість одновібратора до тривалості вхідного сигналу забезпечується наявністю  $RS$ -тригера, виконаного на елементах  $D_2$  і  $D_3$ . Напруги порогів увімкнення і вимкнення цього тригера становлять відповідно приблизно 1,55 і 1,35 В, тобто він має властивість тригера Шмітта. Це забезпечує можливість запуску одновібратора на вході 05 сигналом з пологим фронтом.

Початкового стану одновібратор набирає в тому випадку, коли на виході елемента  $D_{4.3}$  буде сформований рівень «1», що забезпечується хоча б одним рівнем «0» на вході елемента  $D_{4.1}$  і хоча б одним рівнем «0» на вході елемента  $D_{4.2}$ . Рівень «0» на одному з входів елемента  $D_{4.1}$  забезпечується

насиченим транзистором VT1, а потім на іншому вході виходом 06 одновібратора. Рівень «0» на одному з входів елемента D4.2 забезпечується або вхідним сигналом на контакті 05, якщо  $\tau_{вх} < \tau_{вих}$ , або виходом RS-тригера, якщо  $\tau_{вх} > \tau_{вих}$ .

Вхід 05 можна використовувати як вхід дозволу, якщо запуск здійснюється на вході 03 або 04, тому що при рівні «0» на вході 05 одновібратор не запускається. Рівень «0» на вході 03 блокує запуск на вході 04 (і навпаки) навіть за наявності рівня «1» на вході 05.

Входи 03 і 04 можна використовувати як входи дозволу, якщо запуск здійснюється на вході 05, тому що при двох рівнях «1» на входах 03 і 04 одновібратор не запускається.

Вираз (8.38) для  $\tau_{вих}$  в явному вигляді визначає залежність  $\tau_{вих}$  від  $U_{ж}$ . Цей самий вираз дає змогу визначити вплив на  $\tau_{вих}$  температури зовнішнього середовища. Зміна температури зовнішнього середовища спричинює зміну рівнів «1» і порога відкривання транзистора VT1. З інженерної точки зору цей одновібратор формує імпульс з високою стабільністю тривалості.

Мікросхема K155AG1 належить до багатофункціональних пристроїв. За відсутності зовнішніх компонентів R і C одновібратор можна використовувати як різницевий перетворювач, як генератор імпульсів або для скидання ініціалізації цифрового автомата. При послідовному з'єднанні одновібраторів із запуском наступного від попереднього можна побудувати розподільник імпульсів з довільним співвідношенням довжини вихідних сигналів. Два одновібратори із взаємним запуском утворюють генератор, шпаруватість вихідного сигналу якого можна змінювати в широких межах.

Стабільність тривалості вихідного сигналу можна підвищити, якщо зовнішній резистор R замінити активним генератором струму  $I = 0,14 \dots 2,7$  мА. Застосовуючи керований генератор струму, можна побудувати широтно-імпульсний модулятор з коефіцієнтом перекриття довжини до 20.

Потрібно враховувати, що контакти для підключення R і C чутливі до впливу зовнішніх завад. Для зменшення завад доцільно розміщати R і C як можна ближче до відповідних контактів, а також використовувати конденсатор розв'язки 0,1...10 мкФ безпосередньо між виводами живлення.

Одновібратор з повторним запуском, наприклад мікросхема K155AG3, відрізняється від розглянутого раніше тим, що реагує на перепади запуску, навіть під час формування вихідного імпульсу. У цьому випадку на прямому виході залишається сигнал високого рівня і залишатиметься як завгодно довго, якщо час між перепадами запуску буде меншим, ніж тривалість вихідного сигналу, реалізованого від одиничного



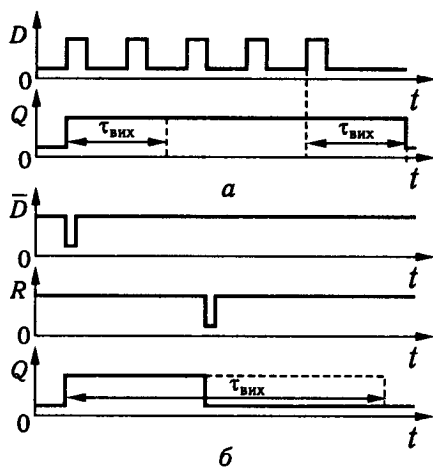


Рис. 8.25. Часові діаграми (а, б) для ІС К155АГЗ

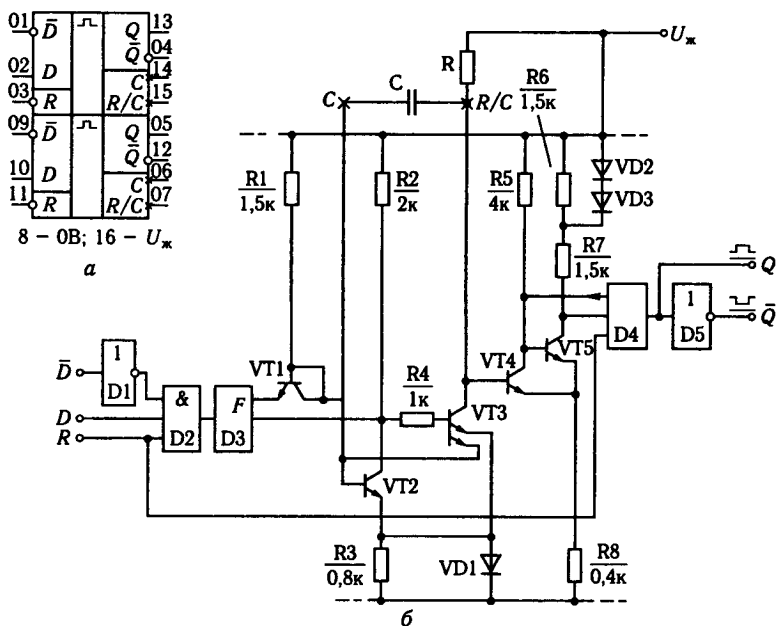


Рис. 8.26. Позначення (а) та функціональна схема ІС К155АГЗ (б)

Таблиця 8.3. Варіанти запуску K155АГЗ

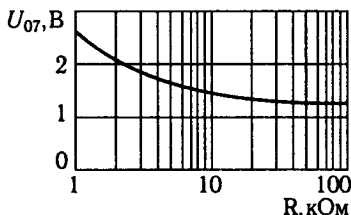
Входи			Виходи	
$\overline{D}$	$D$	$R$	$Q$	$\overline{Q}$
1	1	1	1	1
0	1	1		
0	1	1		
X	X	0	0	1
X	X	1	Скидання	

перепаду запуску, з урахуванням часу відновлення одновібратора (рис. 8.25, а). Іншою відмінністю є те, що цей одновібратор можна повернути у вихідний стан у будь-який момент часу сигналом скидання (рис. 8.25, б).

Позначення і функціональну схему ІС K155АГЗ зображено на рис. 8.26. Основними частинами схеми є формівник вузького імпульсу D3, внутрішні і зовнішні компоненти, що забезпечують формування тривалості вихідного імпульсу, тригер Шмітта, виконаний на транзисторах VT4 і VT5, логічні елементи й інвертори, що забезпечують стандартні рівні схем TTL-типу. Область гістерезису тригера Шмітта обмежена рівнями напруги 1,1 і 1,9 В на базі транзистора VT4 та контакту 07.

Запуск одновібратора здійснюється негативним перепадом на вході  $\overline{D}$  при  $\overline{D} = 1$  і  $R = 1$ , або позитивним перепадом на вході  $D$  при  $\overline{D} = 0$  і  $R = 1$  (табл. 8.3), або позитивним перепадом на вході  $R$  при  $\overline{D} = 0$  і  $D = 1$ .

За будь-яких комбінацій статичних сигналів на входах  $\overline{D}$ ,  $D$  і  $R$  одновібратор перебуває у стабільному стані, за яким  $Q = 0$ ,  $\overline{Q} = 1$ . Зовнішні компоненти  $R$  і  $C$  визначають тривалість вихідного імпульсу. Обмежень на величину ємності конденсатора  $C$  не накладається. Можливість підключення електролітичного конденсатора розглянуто нижче. Величина  $R = R_{\min}$  визначається вимогою, щоб напруга на базі транзистора VT4 не перевищувала рівня 1,9 В, інакше тригер Шмітта не буде перемикатися. Залежність напруги на базі транзистора VT4 наведено на рис. 8.27, з якого видно, що опір

Рис. 8.27. Залежність напруги  $U_{07}$  від опору  $R$

$R$  має бути більшим ніж 3 кОм. З огляду на фактори розкиду і вплив зовнішнього середовища, у технічних умовах указують  $R_{\min} = 5$  кОм.

Величина  $R = R_{\max}$  визначається виходячи з вимоги утримання тригера Шмітта у стані: VT4 — відкритий, VT5 — закритий. У технічних умовах указують  $R_{\max} = 25$  кОм. З рис. 8.27 видно, що в стабільному стані одновібратора напруга на виводі 07 при  $5 \text{ кОм} \leq R \leq 25 \text{ кОм}$  лежить у діапазоні 1,7...1,4 В. На часових діаграмах, наведених на рис. 8.28, ця напруга відповідає рівню 1,6 В. Перед надходженням перепаду запуску напруга на контакті 06 визначається сумою напруг, зсунутих у прямому напрямку діода VD1, і переходу БЕ транзистора VT2. Струм через них забезпечується резистором  $R_1 = 1,5$  кОм. Ця сума становить 1,6 В. Таким чином, напруга на зовнішньому конденсаторі С перед запуском близька до нуля.

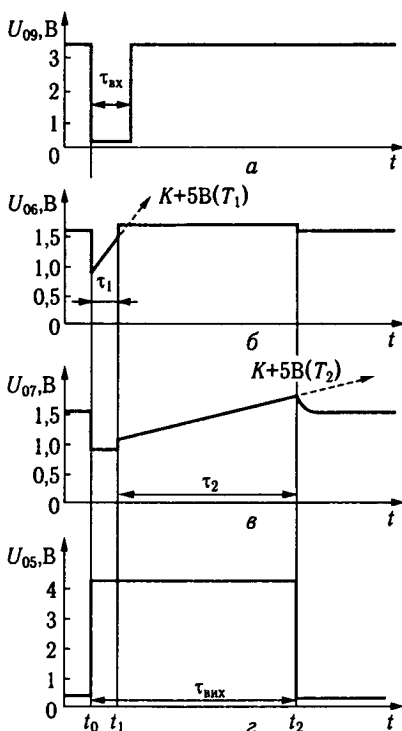


Рис. 8.28. Часові діаграми (а–г) при формуванні вихідного імпульсу на виводах 09, 06, 07, 05 мікросхеми

Процес формування вихідного імпульсу містить у собі два етапи. Перший етап починається при надходженні на вхід одновібратора перепаду запуску. Формівник D3 вузького (близько десятків нс) імпульсу забезпечує рівень «0» на базі транзистора VT2 і закриває його, внаслідок чого відкривається транзистор VT3, причому напруга на його колекторі стрибком зменшується до рівня  $\sim 0,9$  В ( $U_{VD1} + U_{КЕнасVT3}$ ), а тригер Шмітта забезпечує формування на прямому виході одновібратора рівня «1». Через те що напруга на конденсаторі С перед запуском близька до нуля, негативний перепад з 1,6 до 0,9 В на контакті 07 передається на вивід 06, знижуючи напругу на останньому до 0,9 В і підтверджуючи тим самим закритий стан транзистора VT2 і відкритий VT3.

На контактi 07 напруга фіксується на рівні 0,9 В, а напруга на контактi 06 починає зростати за рахунок заряду конденсатора С через резистор R1 і наближається до рівня  $U_{ж}$  з постійною часу  $T_1 = R_1 C$ . Перехід база — емітер транзистора VT1 закритий. Як тільки напруга на контактi 06 досягне значення 1,5 В, зумовленого сумою напруг на переході БЕ транзистора VT2 і кола з паралельно ввімкнених R3 і VD1, транзистор VT2 відкривається, а VT3 закривається, причому в цей самий момент часу до опору  $R_1$  через конденсатор С підключається зовнішній резистор R, завдяки чому на контактах 06 і 07 спостерігається позитивний стрибок на величину приблизно 0,2 В. На цьому закінчується перший етап формування вихідного імпульсу, причому потенціали на контактах 06 і 07 дорівнюють відповідно 1,7 і 1,1 В. Тривалість  $\tau_1$  першого етапу формування вихідного імпульсу можна визначити за загальною формулою

$$\tau_1 = T_1 \ln \frac{U_\infty - U_1}{U_\infty - U_2} = R_1 C \ln \frac{5 - 0,9}{5 - 1,5} \approx 0,24 C, \quad (8.40)$$

де  $U_\infty = U_{ж} = 5$  В;  $U_1 = 0,9$  В;  $U_2 = 1,5$  В. У формулі (8.40) і далі  $\tau_1$  — у нс, С — у пФ.

З аналізу першого етапу впливає, що повторний перепад запуску на вході одновібратора, поданий через час менший за  $\tau_1$ , не впливає на процеси цього етапу. Таким чином, у режимі повторного запуску мінімальна тривалість між перепадами запуску визначається за формулою (8.40).

Другий етап формування тривалості вихідного імпульсу починається при фіксованій напрузі 1,7 В на контактi 06, напрузі 1,1 В на контактi 07 (при закритих транзисторах VT3 і VT4). На цьому етапі напруга на контактi 07 починає зростати за рахунок заряду конденсатора С через зовнішній резистор R і наближається до рівня  $U_{ж}$  з постійною часу  $T_2 = RC$ . Як тільки напруга на контактi 07 досягне рівня 1,9 В, тригер Шмітта перемикається в стан: VT4 — відкритий, VT5 — закритий; на прямому виході одновібратора формується рівень «0». На цьому закінчується формування вихідного імпульсу одновібратора. Тривалість  $\tau_2$  другого етапу можна визначити за загальною формулою

$$\tau_2 = T_2 \ln \frac{U_\infty - U_1}{U_\infty - U_2} = RC \ln \frac{5 - 1,1}{5 - 1,9} = 0,23 RC, \quad (8.41)$$

де  $U_\infty = U_{ж} = 5$  В;  $U_1 = 1,1$  В;  $U_2 = 1,9$  В.

Тривалість вихідного імпульсу

$$\tau_{вих} = \tau_1 + \tau_2 = 0,24 C + 0,23 RC \approx 0,23 RC(1 + 1/R). \quad (8.42)$$

Завершальним процесом є відновлення одновібратора до вихідних потенціалів на зовнішніх контактах 06 і 07. Напряга на контакті 07 починає зменшуватися від рівня 1,9 В до рівня 1,6 В із постійною часу  $T_3 = R_{\text{екв}} C$ , де

$$1/R_{\text{екв}} = 1/R + 1/R_5 + 1/R_8. \quad (8.43)$$

Орієнтовно можна вважати, що  $R_{\text{екв}} = R_8$ .

Припустімо, що перехідний процес завершується через час  $t = (3 \dots 6)T_3$ . Можна визначити час відновлення одновібратора

$$t_{\text{відн}} = (3 \dots 6)T_3 = (3 \dots 6)0,4\text{с} = (1,2 \dots 2,4)\text{с}. \quad (8.44)$$

Необхідно зазначити, що у разі повторного запуску тривалість першого етапу  $\tau_1$  залежить від моменту надходження

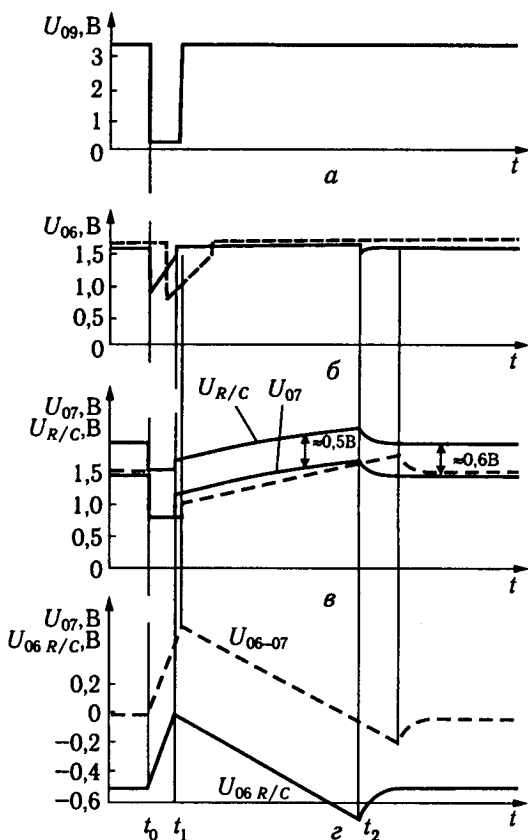


Рис. 8.29. Часові діаграми (а–г) при формуванні вихідного імпульсу із зовнішнім діодом

другого перепаду запуску. Якщо другий перепад запуску надходить відразу після закінчення першого етапу від першого перепаду запуску, то тривалість першого етапу від другого перепаду запуску дорівнює нулю. Якщо другий перепад запуску надходить через час  $\tau_1 + \tau_2 = \tau_{\text{вих}}$ , то тривалість першого етапу від другого перепаду запуску дорівнює 0,31 с. З метою зменшення впливу складової  $\tau_1$  на тривалість вихідного імпульсу одновібратора рекомендується використовувати  $R = R_{\text{max}}$ .

Зазначимо, що формули (8.40) – (8.44) отримані під час аналізу формування вихідного імпульсу одновібратора від одиничного перепаду запуску.

Аналіз часових діаграм на рис. 8.28 підтверджує, що напруга  $U_{06-07}$  між контактами 06 і 07 у процесі формування вихідного імпульсу змінює знак (див. також рис. 8.29, з). Це не дає змоги підключати як зовнішній компонент електролітичний конденсатор. У тому випадку, коли потрібно одержати імпульс великої тривалості, а до стабільності її не висувають жорстких вимог, слід використовувати електролітичні конденсатори через малі габарити. Зсув напруги на конденсаторі С можна забезпечити ввімкненням напівпровідникового діода між загальною точкою R і С та контактом 07, як зображено на рис. 8.30. У цій схемі можна використовувати електролітичні конденсатори на напругу не нижчу ніж 1 В. Позитивний вивід конденсатора треба з'єднати з контактом 07 одновібратора, а негативний — з контактом 06.

Процеси формування вихідного імпульсу в цьому випадку якісно відбуваються аналогічно розглянутим вище (див. рис. 8.29), а тривалість  $\tau_{\text{вих}}$  приблизно на 15 % менша, якщо використовувати кремнієвий діод.

Входи  $\bar{D}$  і  $D$  одновібратора можна використовувати як входи взаємного дозволу, що впливає з табл. 8.3.

Вирази (8.40) і (8.41) можна використовувати для аналізу впливу напруги живлення і температури зовнішнього середовища на  $\tau_{\text{вих}}$ .

Наявність двох одновібраторів в одному корпусі мікросхеми К155АГ3, можливість використання режиму повторного запуску і входу скидання забезпечують значні функціональні можливості порівняно з мікросхемою 155АГ1.

Одновібратори можна виконувати і на основі логічних елементів. На рис. 8.31 зображено одну зі схем одновібратора, виконану на елементах ТТЛ-типу і двох дискретних компонентах (конденсаторі С та резисторі R). Діод VD у струк-

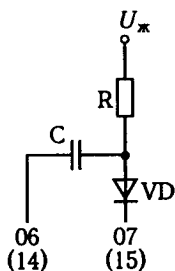


Рис. 8.30. Варіант підключення зовнішніх компонентів

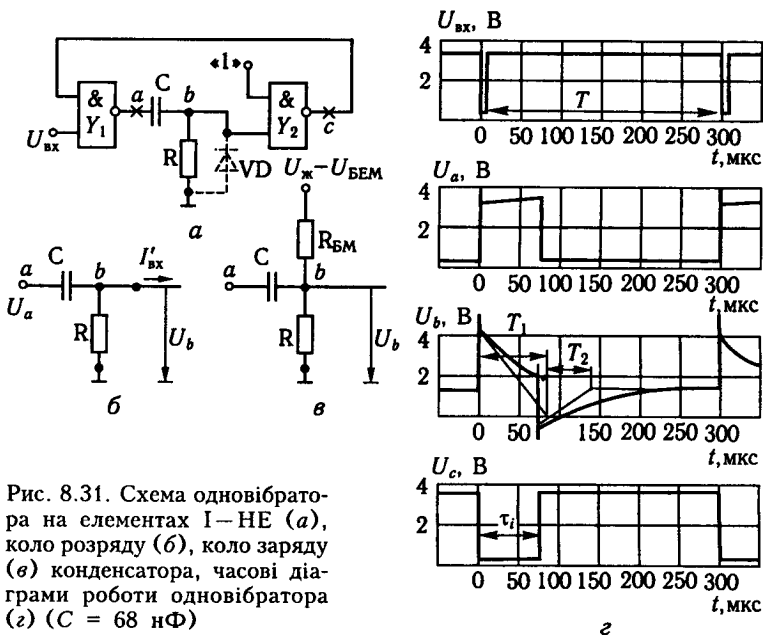


Рис. 8.31. Схема одновібратора на елементах І–НЕ (а), коло розряду (б), коло заряду (в) конденсатора, часові діаграми роботи одновібратора (г) ( $C = 68$  нФ)

турі елементів ТТЛ-типу виділений, щоб підкреслити його роль у формуванні часових інтервалів. Аналіз схеми проведемо для випадку, коли тривалість фронтів значно менша за тривалість  $\tau_i$  вихідного імпульсу. Опір резистора  $R$  вибирають таким, щоб в усталеному режимі на виході вентиля  $Y_2$  підтримувався рівень  $U^1$ .

Оскільки резистор  $R$  є навантаженням для вентиля  $Y_1$ , його опір не може бути меншим за величину, за якою рівень  $U^1$  вентиля  $Y_1$  знижується до допустимої величини  $U_{\min}^1$  (наприклад, 2,4 В для елементів ТТЛ-типу).

Проаналізуємо роботу схеми на рис. 8.31, а. Візьмемо  $R = 1,2$  кОм, при цьому в усталеному режимі  $U_b = 0,8$  В. Розглянемо випадки, коли входні сигнали надходять на одновібратор через час, що перевищує тривалість перехідних процесів. Оскільки заряд і розряд конденсатора  $C$  здійснюються через резистор  $R$  при  $R = 1,2$  кОм, струми через конденсатор  $C$  не перевищують 3...4 мА, тому для подальшого спрощення аналізу припустимо, що потенціал у точці  $a$  схеми змінюється від рівня  $U^0 \approx 0,1$  В до рівня  $U^1 \approx 3,4$  В.

При надходженні негативного перепаду напруги на вхід схеми потенціал у точці  $a$  стрибком збільшиться на величину

$\Delta U = U^1 - U^0 \approx 3,3 \text{ В}$  (рис. 8.31, з) і передається в точку  $b$ , внаслідок чого потенціал цієї точки зростає приблизно до рівня  $4,1 \text{ В}$ , а потім швидко знизиться до рівня  $3,6 \text{ В}$ . Це забезпечує активний режим роботи транзистора на виході вентиля  $Y_1$ . Потім конденсатор  $C$  починає розряджатися (рис. 8.31, б) з постійною часу  $T_1 = RC \approx 82 \text{ мкс}$  від рівня приблизно  $3,6 \text{ В}$  до рівня  $U_\infty = -RI_{\text{вх}}^i \approx -0,05 \text{ В}$ . Однак як тільки потенціал у точці  $b$  досягне рівня  $U_{\text{пор}} \approx 1,4 \text{ В}$ , вентиль  $Y_2$  відкриється. Тривалість вихідного імпульсу

$$\tau_i = T_1 \ln \frac{U_\infty - U_1}{U_\infty - U_2} \approx 76 \text{ мкс}. \quad (8.45)$$

Через час  $\tau_i$  потенціал у точці  $b$  зменшиться до значення  $U_{\text{пор}} \approx 1,4 \text{ В}$ , а оскільки негативний перепад напруги  $\Delta U \approx 3,3 \text{ В}$  у точці  $a$  передається в точку  $b$ , то відразу в точці  $b$  формується потенціал  $U_{\text{пор}} - \Delta U \approx 1,9 \text{ В}$ , однак діод  $VD$ , який є у структурі елемента, миттєво зафіксує рівень приблизно  $-0,7 \text{ В}$ , починаючи з якого конденсатор  $C$  заряджається до рівня  $0,8 \text{ В}$  з постійною часу  $T_2 = (R_{\text{БМ}} \parallel R)C \approx 66 \text{ мкс}$ .

Тривалість вихідного імпульсу не залежить від періоду вхідних імпульсів, якщо виконується умова

$$(T - \tau_i) > 3T_2. \quad (8.46)$$

Це свідчить про те, що позитивний перепад напруги в точці  $b$  відраховується від постійного рівня  $+0,8 \text{ В}$ .

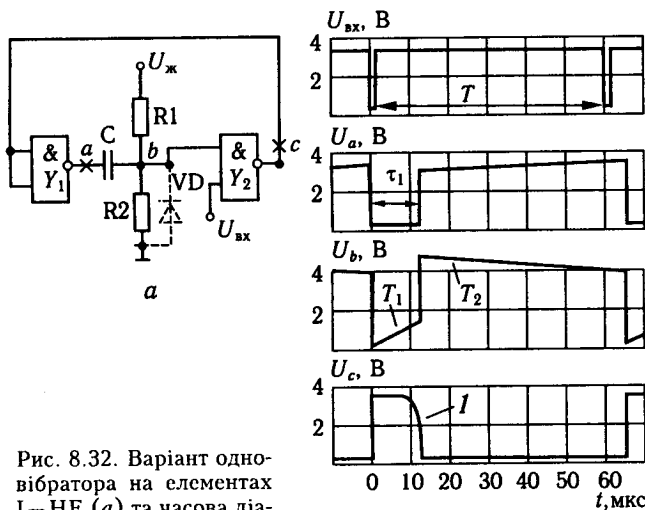


Рис. 8.32. Варіант одно-  
вібратора на елементах  
І—НЕ (а) та часова діа-  
грама його роботи (б)



Якщо умова (8.46) не виконується, то перепад напруги відраховуватиметься від рівня, меншого ніж 0,8 В, що приводить до зменшення  $\tau_i$ .

Інший варіант одновібратора наведено на рис. 8.32. На відміну від попередньої схеми клапан  $Y_2$  в усталеному режимі відкритий. Потенціал у точці  $b$  схеми має бути більшим ніж  $U_{\min}^1 \approx 2,4$  В, але не більшим ніж  $\Delta U_{\text{л}} + U_{\text{пор}}$ , причому  $\Delta U_{\text{л}}$  і  $U_{\text{пор}}$  слід брати для найгіршого випадку, тому що інакше в точці  $b$  схеми не зможе бути сформований рівень, менший за  $U_{\text{пор}}$ , а, отже, клапан  $Y_2$  не зможе бути закритий. Аналіз схеми виконують аналогічно.

Використання всіх чотирьох клапанів поширеної інтегральної схеми дає змогу істотно збільшити функціональні можливості одновібратора.

## 8.4. Різницеві перетворювачі і детектори подій (фронтів)

**Різницеві перетворювачі (РП)** — спеціальні елементи цифрових пристроїв, призначені для вироблення вихідного сигналу, що інформує про зміну значення вхідного сигналу. На виході РП формуються імпульсні сигнали у вигляді короткочасної появи напруги  $U^0$  або  $U^1$  за заздалегідь визначеними переходами сигналу на вході. Тривалість вихідного імпульсу РП залежить від параметрів вхідного сигналу і компонентів РП. Якщо РП виконують на логічних елементах, він крім інформаційного може мати додаткові функціональні входи, які дають змогу враховувати додаткові умови формування вихідного імпульсу, що значно спрощує структури цифрових пристроїв, скорочуючи кількість логічних елементів.

Через те що на вході РП можуть існувати два види переходу вхідного сигналу, а на виході можуть бути сформовані напруги  $U^0$  і  $U^1$ , то можлива побудова чотирьох основних схем РП. Варіанти таких схем на логічних елементах наведено на рис. 8.33.

Якщо припустити, що всі логічні елементи мають ту саму середню затримку поширення сигналу  $\tau_{\text{зт.п.ср}}$ , то тривалість вихідного й імпульсного сигналу всіх РП буде  $\tau_i = 3 \tau_{\text{зт.п.ср}}$ . У деяких випадках таке значення  $\tau_i$  недостатнє, тому в РП використовують лінії затримки або  $RC$ -кола. На рис. 8.34 зображено варіант схеми РП на логічних клапанах з використанням  $RC$ -кола.

Проаналізуємо роботу схеми на рис. 8.31. Резистор  $R$  вибирають з умови, щоб при відкритому клапані  $Y_1$  у точці  $b$

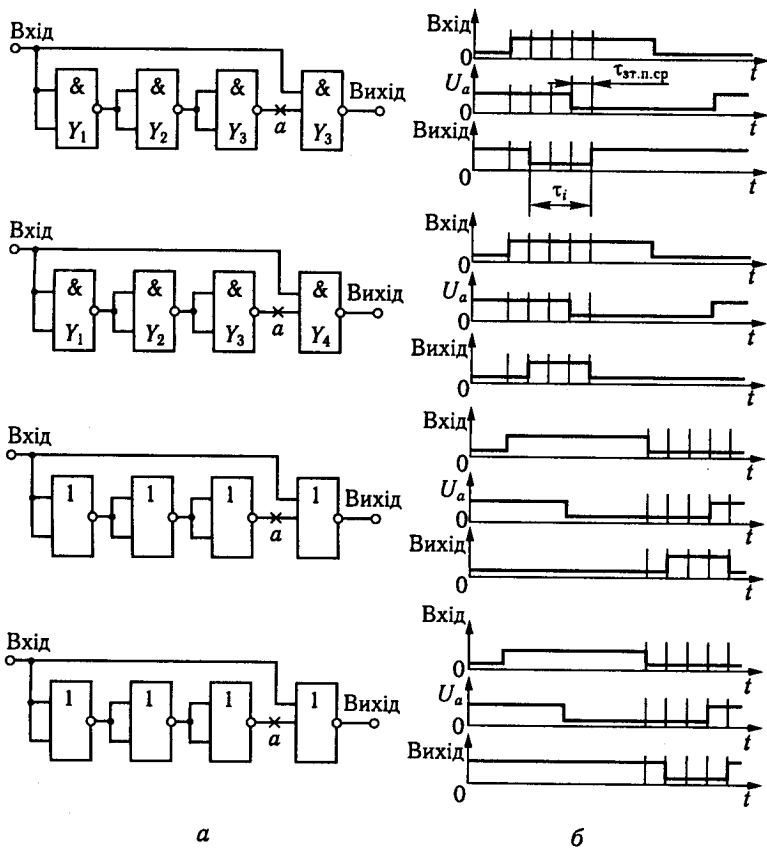


Рис. 8.33. Варіанти схем різницевих перетворювачів на логічних елементах (а) та часові діаграми їх роботи (б)

схеми забезпечувалася напруга  $U^0 \leq 0,45$  В. Звичайно  $R = 270$  Ом, а  $U^0 \approx 0,3$  В. Проаналізуємо роботу схеми для випадку, коли до моменту надходження фронтів вхідного сигналу всі перехідні процеси в ній завершені. До появи позитивного перепаду на вході конденсатор С заряджений до рівня 3,6 В. Відразу після появи позитивного перепаду на виході в точці *a* потенціал фіксується на рівні  $U^0 \approx 0,5 \dots 0,1$  В і конденсатор С починає розряджатися в еквівалентній схемі (рис. 8.34, б) від рівня 3,6 В до рівня  $U^0 - R I_{\text{вх}}^1 \approx U^0$  з постійною часу  $T_1 = RC = 0,9$  мкс. Схема, зображена на рис. 8.31, б, працює доти, доки потенціал  $U_b$  не досягне граничного рівня  $U_{\text{нор}} \approx 1,4$  В. Тривалість  $\tau_i$  вихідного імпульсу

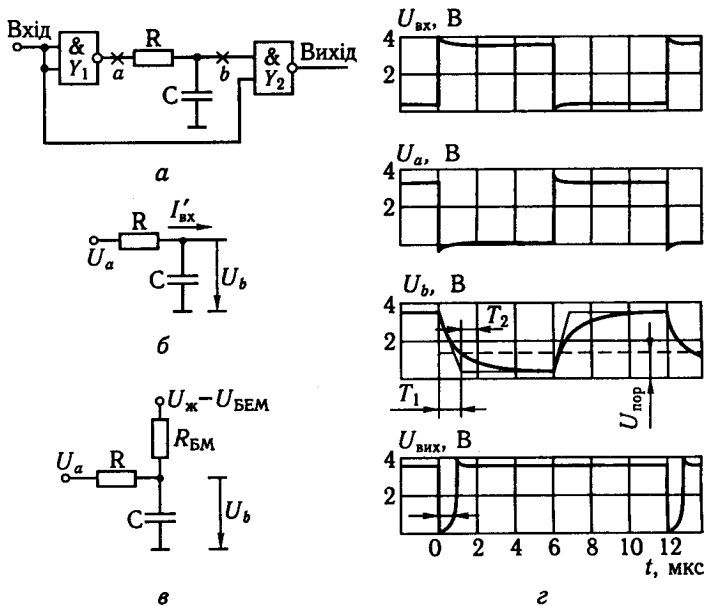


Рис. 8.34. Схеми типова (а), розрахункова (б, в) різницевого перетворювача з RC-колом та часові діаграми його роботи (г) ( $C = 3,3$  нФ)

можна обчислити за загальною формулою

$$\tau_i = T_1 \ln \frac{U_\infty - U_1}{U_\infty - U_2} \approx 1 \text{ мкс.} \quad (8.47)$$

Після досягнення потенціалом  $U_b$  рівня  $U_{\text{пор}}$  еквівалентна схема розряду конденсатора  $C$  набирає вигляду, зображеного на рис. 8.34, в. У цій схемі конденсатор  $C$  розряджається від рівня  $U_{\text{пор}}$  до рівня  $U_\infty$ :

$$U_\infty \approx U^0 + (U_{\text{ж}} - U_{\text{БЕМ}} - U^0)R / (R + R_{\text{БМ}}) \approx 0,3 \text{ В} \quad (8.48)$$

з постійною часу  $T_2 = (R \parallel R_{\text{БМ}})C \approx 0,85$  мкс.

З появою негативного перепаду на вході схеми потенціал точки  $a$  стрибком збільшується до рівня

$$U_a = E_{\text{ТТЛ}}R / (R + R_{\text{ТТЛ}}) \approx 3,0 \text{ В,} \quad (8.49)$$

де  $E_{\text{ТТЛ}} \approx 3,6$  В — еквівалентна ЕРС на виході закритого елемента ТТЛ-типу;  $R_{\text{ТТЛ}} \approx 50$  Ом — вихідний опір закритого елемента ТТЛ-типу.

Потім потенціал  $U_a$  змінюється від 3,0 до 3,6 В, а  $U_b$  — від 0,3 до 3,6 В з постійною часу  $T_3 = (R + R_{\text{ТТЛ}})C \approx 1,05$  мкс.

Більш точний аналіз підтверджує, що і заряд конденсатора відбувається в два етапи:

1) якщо зарядний струм перевищує приблизно 5 мА, вихідне коло закритого елемента ТТЛ-типу має бути подане у вигляді  $E_{\text{ТТЛ1}} \approx 4$  В,  $R_{\text{ТТЛ1}} \approx 130$  Ом;

2) якщо струм заряду стає меншим ніж 5 мА, вихідне коло закритого елемента ТТЛ-типу має бути подано у вигляді  $E_{\text{ТТЛ2}} \approx 3,6$  В,  $R_{\text{ТТЛ2}} \approx 50$  Ом.

Цю обставину потрібно враховувати, якщо РП використовують для виділення й отримання негативного перепаду на його вході.

РП використовують для побудови детекторів подій, організації імпульсного керування в  $RS$ -тригерах, що усуває на їх входах заборонені комбінації сигналів, а також в інших типах тригерів; під час проектування послідовних структур; для вироблення імпульсних сигналів або запуску одновібраторів встановлювальних сигналів для лічильників, регістрів і под.; у разі побудови реверсивних лічильників і регістрів тощо. Усе це дає змогу зараховувати РП до багатофункціональних елементів, і саме з цієї причини в деяких сучасних серіях елементів РП використовують у вигляді інтегральних схем.

У схемі на рис. 8.35 інтегрального РП 134ХЛ2 використано два транзистори: транзистор VT1 виконує операцію кон'юнкції вхідних змінних  $x_1 - x_3$ , а транзистор VT2 — операції заборони та інверсії; вхід С тактовий.

Необхідний час затримки сигналів, потрібний для формування вихідного імпульсу, забезпечується відповідною черговістю перемикання транзисторів, що задається різними рівнями напруги, які надходять на їх бази. На базу транзистора VT1 через резистор R2 надходить напруга, яка приблизно дорівнює 2 В, що зумовлено наявністю відкритих діодів VD1 — VD3, а на базу транзистора VT2 через резистор R3 — напруга  $U_{\text{ж}} = 5$  В. Як видно з часової діаграми роботи схеми, остання формує негативний імпульс з негативного перепаду напруги на тактовому вході. Наявність трьох входів  $x$ , а також входу А значно розширює логічні можливості РП.

**Детектори подій (фронтів).** Подія в цифрових пристроях — зміна логічного стану в будь-якому колі, тобто позитивні чи негативні перепади (фронти). Детектор фронтів має формувати імпульси з фронтів будь-якої полярності. Схему детектора фронтів на елементах І—НЕ наведено на рис. 8.36. Принцип дії схеми заснований на використанні затримки по-

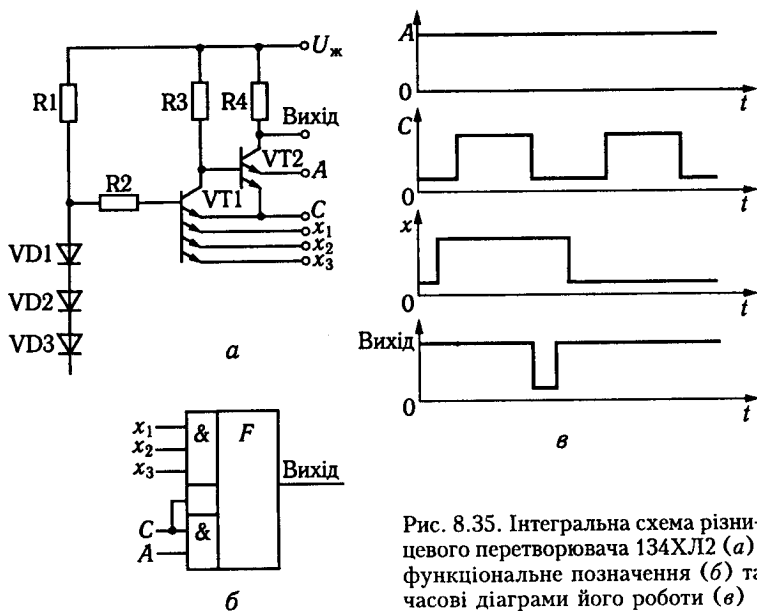


Рис. 8.35. Інтегральна схема різницевого перетворювача 134ХЛ2 (а), функціональне позначення (б) та часові діаграми його роботи (в)

ширення сигналу. На рис. 8.36, б для спрощення розгляду імпульси зображено з ідеальними фронтами.

При рівні «0» на вході РП (і на першому вході вентиля  $Y_{2-1}$ ) на виході вентиля  $Y_{2-1}$  є рівень «1». На другому вході вентиля  $Y_{2-1}$  діє рівень «1» з виходу вентиля  $Y_{1-3}$ .

Якщо вхідний рівень набуває значення 1, на виході вентиля  $Y_{2-1}$  рівень «0» з'являється через відрізок часу, який дорівнює часу затримки поширення сигналу в одному вентилі  $\tau_{зт.п.ср}$ .

Тим часом вхідний сигнал, проходячи через вентиля  $Y_{1-1}$  —  $Y_{1-3}$ , зменшує потенціал на виході вентиля  $Y_{1-3}$  через інтервал часу, що дорівнює  $3\tau_{зт.п.ср}$ . При цьому на виході вентиля  $Y_{2-1}$  формується негативний імпульс із тривалістю  $3\tau_{зт.п.ср}$ . Таким чином, використовуючи чотири вентиля, можна формувати імпульси з позитивних фронтів вхідного сигналу. Додавши вентиля  $Y_{1-4}$  і  $Y_{2-2}$ , можна одержати негативні імпульси з негативних фронтів вхідного сигналу. На виході вентиля  $Y_{2-3}$  будуть позитивні імпульси від обох фронтів вхідного сигналу. За необхідності мати інверсний вихідний сигнал додається ще один вентиль  $Y_{2-4}$ . Зазначимо, що тривалість вихідних імпульсів розглянутого детектора фронтів дорівнює  $3\tau_{зт.п.ср}$ . У колі у передній фронт вихідних імпульсів відстає від позитивного фронту вхідних імпульсів на дві за-

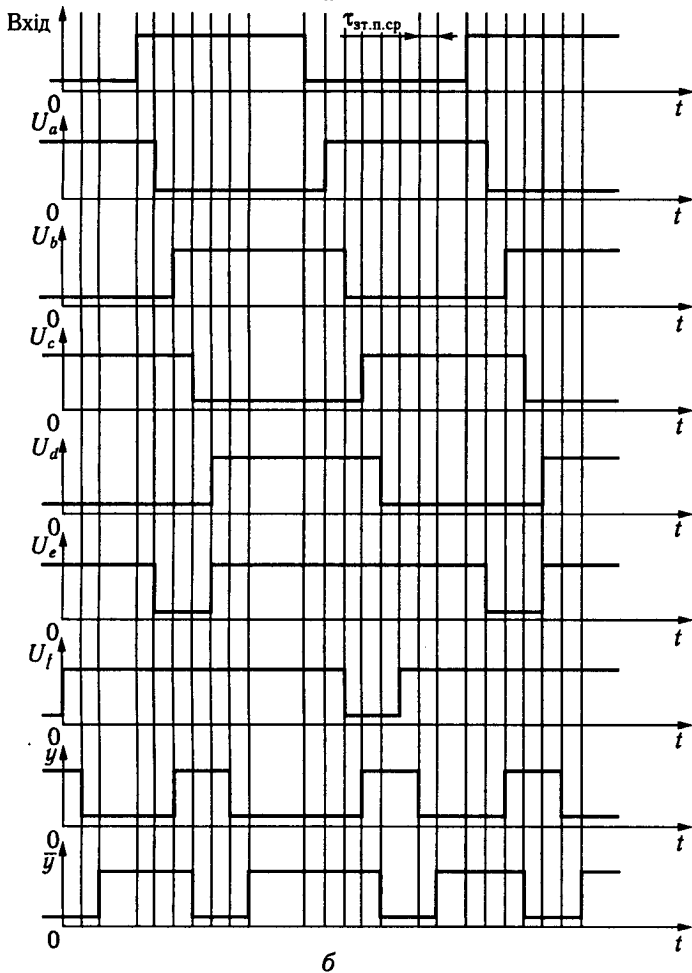
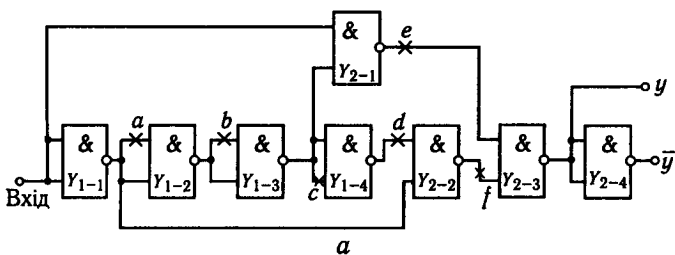


Рис. 8.36. Схема детектора фронтов на элементах I-HE (а) та часові діаграми його роботи (б)

тримки поширення, від негативного фронту вхідних імпульсів — на три затримки поширення, а в колі  $\bar{y}$  — відповідно на три і чотири затримки поширення.

Розглянуту схему можна використовувати в лічильниках подій і як схему подвоєння частоти в цифрових системах. Детектор подій може бути зібраний і на інших логічних елементах чи на їх комбінаціях.

## 8.5. Інтегральні таймери

**Таймером** називають електронний пристрій, призначений для формування імпульсних сигналів з регульованими тривалістю і шпаруватістю. Це можуть бути і відповідні вузли цифрових пристроїв, і спеціалізовані ІС, які використовують для розроблення різних пристроїв, що задають час.

Усі існуючі на сьогодні таймери можна поділити на два класи: однокатні; багатокатні з вбудованим лічильником.

**Однокатні таймери** призначені для формування часових інтервалів тривалістю від одиниць мікросекунди до одиниць години. Вони становлять собою комбінацію аналогової частини (компаратора) з цифровою послідовною схемою. Можливий варіант структурної схеми такого пристрою наведено на рис. 8.37.

Тривалість формованого таким пристроєм часового інтервалу визначається параметрами зовнішнього  $RC$ -кола. За активним значенням сигналу  $U_{зап}$   $RS$ -тригер устанавлюється в одиничний стан, що приводить до розмикання перемикача  $S1$ . Починається заряд конденсатора  $C$  зовнішнього кола, який задає час. У момент, коли напруга на конденсаторі досягає рівня опорної напруги  $U_{оп}$ , відбувається спрацьовування компаратора  $DA1$ , і його вихідний сигнал скидає  $RS$ -тригер. Перемикач  $S$  при цьому замикається, і конденсатор  $C$  розряджається.

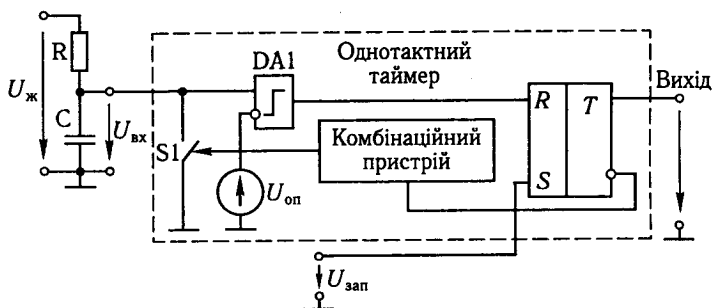


Рис. 8.37. Структурна схема однокатного таймера



Рис. 8.38. Структурна схема багатотактного таймера

Однотактний таймер, побудований за описаною схемою, може формувати на виході тільки одиничні імпульси. Для забезпечення можливості формування послідовності імпульсів схему пристрою потрібно доповнити другим компаратором.

**Багатотактні таймери** з вбудованими лічильниками розроблені для формування імпульсів наднизької частоти з тривалістю імпульсу до кількох десятків годин. Їх можна поділити на дві підгрупи:

програмувальні таймери, в яких часовий інтервал задається програмним способом. У найпростішому випадку це здійснюється установленням на виводах лічильника зовнішніх перемичок;

спеціалізовані таймери, лічильник яких має жорстко заданий коефіцієнт перерахування.

Структурна схема багатотактного таймера (рис. 8.38) звичайно містить однотактний таймер і двійковий лічильник, спільну роботу яких формує додатковий логічний блок. У багатотактному таймері фактично відбувається множення постійної часу зовнішнього  $RC$ -кола на модуль лічильника  $СТ$ . Під час падходження сигналу запуску  $U_{зап}$  вмикається мультивібратор, виконаний на однотактному таймері. Його вихідні імпульси надходять на вхід лічильника. На виводах останнього може бути сформовано кілька послідовностей імпульсів з періодом від  $T_i$  до  $(2N - 1)T_i$ , де  $T_i$  — період імпульсів, що знімаються з виходу однотактного таймера;  $N$  — кількість тригерів у лічильнику  $СТ$ .

Схеми, що використовують однотактний таймер, розглянемо на прикладі ІС типу 1006ВІ1, що серійно випускається промисловістю. Ця схема є аналогом широко використовуваного за рубежом ІС однотактного таймера 555. За кількістю галузей застосування ця ІС може конкурувати навіть зі стандартними операційними підсилювачами. Функціональну схему таймера 1006ВІ1 наведено на рис. 8.39.



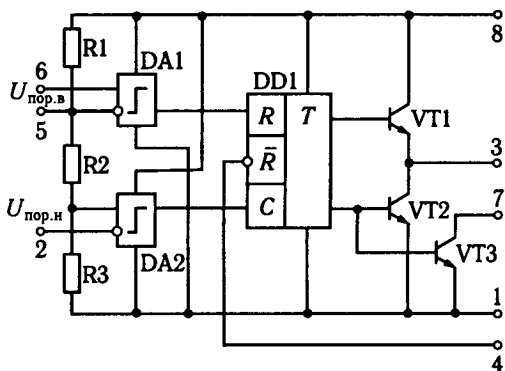


Рис. 8.39. Функціональна схема таймера 1006ВИ1

Таймер містить два компаратори (DA1 — компаратор верхнього рівня і DA2 — компаратор нижнього рівня) з фіксованими за допомогою подільника напруги на резисторах R<sub>1</sub>, R<sub>2</sub> і R<sub>3</sub> порогами спрацьовування. Оскільки виконується умова  $R_1 = R_2 = R_3$ , то пороги спрацьовування компараторів верхнього  $U_{\text{пор.в}}$  і нижнього  $U_{\text{пор.н}}$  рівнів визначаються виразами  $U_{\text{пор.в}} = 2U_{\text{ж}} / 3$ ,  $U_{\text{пор.н}} = U_{\text{ж}} / 3$ .

Виходи компараторів керують станом асинхронного RS-тригера (DD1), який формує керуючі напруги на вході двотактного підсилювача потужності на транзисторах VT1 і VT2. Крім цього, RS-тригер додатково обладнаний другим інверсним асинхронним входом скидання. Сигнал з інверсного виходу тригера використовується для керування розрядним транзистором VT3. Залежність вихідного сигналу таймера від комбінації його входних сигналів пояснюється табл. 8.4.

Описана комбінація аналогових і цифрових пристроїв дає змогу будувати широкий спектр різних схем формівників імпульсів. Розглянемо деякі з них.

Таблиця 8.4. Режим роботи таймера

$U_{\text{ск}}$	$U_{\text{пор.н}}$	$U_{\text{пор.в}}$	$U_{\text{вих}}$	VT3
0	×	×	0	Насичений
1	$< U_{\text{ж}} / 3$	$< 2U_{\text{ж}} / 3$	1	Замкнений
1	$> U_{\text{ж}} / 3$	$> 2U_{\text{ж}} / 3$	0	Насичений
1	$> U_{\text{ж}} / 3$	$< 2U_{\text{ж}} / 3$	Вихідний сигнал визначається попереднім значенням $U_{\text{пор.н}}$ та $U_{\text{пор.в}}$	

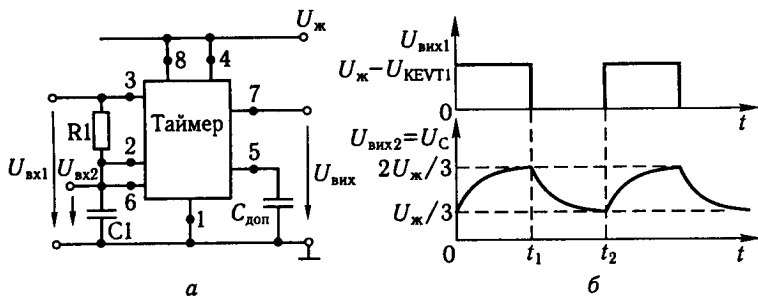


Рис. 8.40. Мультивібратор на основі ІС таймера (а) та часові діаграми його роботи (б)

Існує багато схем автоколивальних мультивібраторів, виконаних на основі ІС таймера. Розглянемо найпростішу з них, що потребує для побудови тільки  $RC$ -кола (рис. 8.40).

Принцип роботи мультивібратора заснований на властивості таймера зберігати значення свого вихідного сигналу, якщо напруга на об'єднаних входних виводах його компараторів верхнього і нижнього рівнів лежить між порогами спрацювання:  $U_{ж} / 3 < U_C(t) < 2U_{ж} / 3$ .

Розглянемо роботу цієї схеми. Припустимо, що вихідна напруга на виході таймера може набувати тільки двох значень:  $U_{вих} = U_{ж}$  і  $U_{вих} = 0$ , а також, що в початковий момент часу  $t_0$   $U_C(t_0) \leq U_{ж} / 3$  і на виході (вивід 3) ІС установилася висока напруга, яка дорівнює  $U_{ж}$ . Напруга конденсатора під дією цієї напруги почне збільшуватися й у момент  $t_1$  досягне значення  $2U_{ж} / 3$ .

При цьому відбудеться спрацювання компаратора верхнього рівня DA1 таймера (див. рис. 8.39), що своєю вихідною напругою скине тригер DD1. Вихідна напруга таймера зменшиться до  $U_{вих} = 0$ , і конденсатор почне розряджатися. У момент  $t_2$  його напруга зменшиться до значення  $U_C(t_2) = U_{ж} / 3$  і процес повториться. Часові діаграми, що пояснюють роботу мультивібратора, зображено на рис. 8.40, б.

Для розрахунку тривалості інтервалів роботи схеми можна використовувати схему заміщення, для якої матимемо:

а) інтервал  $t_1 - t_0$  :  $U_{екв} = U_{ж}$ ,

$$U_C(0) = U_{ж} / 3, \quad U_C(t) = 2U_{ж} / 3;$$

б) інтервал  $t_2 - t_1$  :  $U_{екв} = 0$ ,

$$U_C(0) = 2U_{ж} / 3, \quad U_C(t) = U_{ж} / 3.$$

$$t_1 - t_0 = t_2 - t_1 = R_1 C_1 \ln 2 \approx 0,7 R_1 C_1;$$

$$T_r = 2 R_1 C_1 \ln 2 \approx 1,4 R_1 C_1; \quad q = 2.$$

Під час роботи мультивібратора на конденсаторі  $C$  зовнішнього кола формується трикутна напруга, причому її розмах дорівнює  $U_{ж} / 3$ . З виводу 7 ІС таймера теж може бути знята прямокутна напруга. Для цього, оскільки цей вивід з'єднаний з колектором транзистора VT3 (див. рис. 8.39), слід використовувати додаткові елементи, наприклад резистор, підключений до шини живлення. Якщо в розглянутій схемі мультивібратора до об'єднаних входів компараторів додатково підключити і колектор транзистора VT3 (вивід 7 ІС), дістанемо ще одну схему автоколивального мультивібратора (рис. 8.41, *a*). Однак на відміну від попередньої схеми, на її виході формуватиметься прямокутна напруга зі шпаруватістю  $q \ll 2$ . Це пояснюється тим, що в момент  $t_1$  відбувається майже миттєвий розряд конденсатора  $C$  через насичений розрядний транзистор VT3 таймера. Теоретично розряд конденсатора має закінчуватися за умови  $U_C = U_{ж} / 3$ . Однак через малу швидкодію компаратора і тригера, а також невелику постійну часу розряду конденсатор практично встигає розрядитися до нуля. Тому тривалість періоду повторення вихідних імпульсів досить точно можна виразити так:

$$T_r \approx t_2 - t_0 \approx t_1 - t_0 = RC \ln 3 \approx 1,1 RC. \quad (8.50)$$

Часові діаграми, що пояснюють описану роботу мультивібратора, зображено на рис. 8.41, *б*.

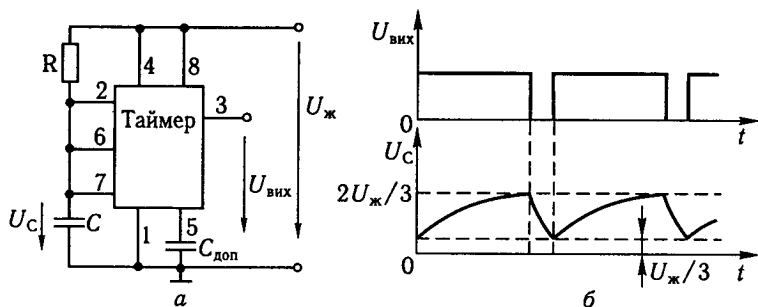


Рис. 8.41. Мультивібратор з великою шпаруватістю на основі ІС 1006ВИ1 (*a*) та часові діаграми (*б*) його роботи

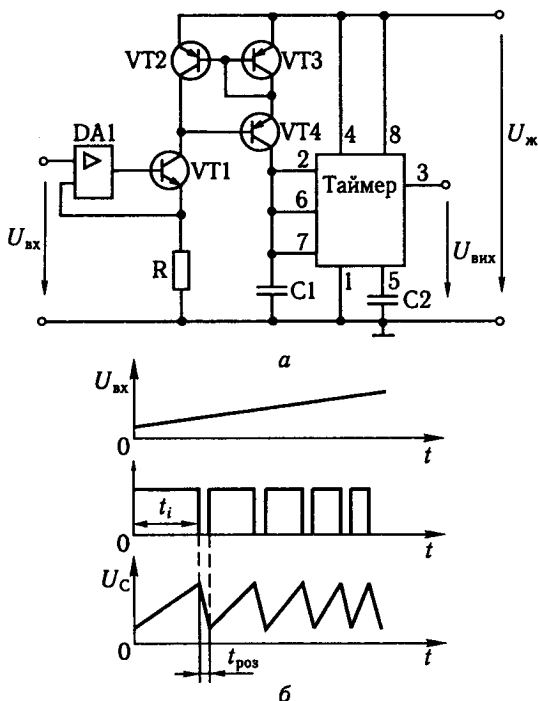


Рис. 8.42. Перетворювач «напруга – частота» (а) та часові діаграми його роботи (б)

На основі розглянутого мультивібратора можна побудувати схему перетворювача «напруга – частота». Основа побудови такого пристрою – заміна резистора  $RC$ -кола керуванним генератором струму, причому цей струм має бути прямо пропорційним входній напрузі. Варіант побудови такої схеми наведено на рис. 8.42, а. На рис. 8.42, б зображено часові діаграми, що пояснюють роботу цього перетворювача.

У цій схемі операційний підсилювач DA1 разом із транзистором VT1 і резистором R утворюють схему перетворювача «напруга – струм». Цей струм утворюється схемою струмового дзеркала на транзисторах VT2, VT3 і VT4 у колі заряду конденсатора. Через те що на інтервалі заряду конденсатора C1 струм залишається постійним, його напруга змінюється за лінійним законом  $U_C = I_C t / C_1 = U_{вх} t / (R_1 C_1)$ .

Визначаючи  $U_C(0) = 0$  і зважаючи на те, що заряд конденсатора закінчується при  $U_C = 2U_{ж} / 3$ , дістанемо

$$t_i = 2U_{ж} R_1 C_1 / 3U_{вх}. \quad (8.51)$$

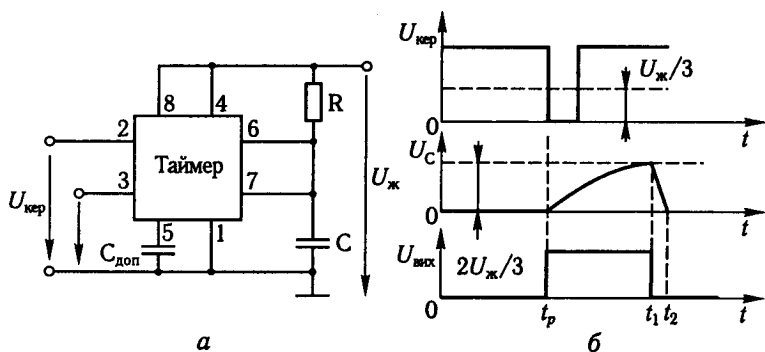


Рис. 8.43. Чекальний мультивібратор на ІС 1006ВИ1 (а) та часова діаграма його роботи (б)

Якщо  $t_i \gg t_{роз}$ , можна вважати, що вираз (8.51) справедливий і для періоду повторення вихідної напруги пристрою.

Наведена схема має досить високу лінійність характеристики. Основні похибки, що виникають на краях діапазону зміни вихідної частоти, зумовлені:

на низькій частоті — впливом вхідного струму компаратора таймера за умови, що  $I_{вх}$  порівняємо з  $I_{квТ4}$ ;

на високій частоті — впливом інтервалу розряду конденсатора, тривалість якого постійна і не залежить від амплітуди вхідної напруги.

Схему автоколивального мультивібратора на рис. 8.41, а можна перевести в режим очікування. Для цього потрібно вхід нижнього компаратора  $U_{пор.н}$  (див. рис. 8.39) відокремити від  $RC$ -кола і використовувати його як керуючий. В усталеному режимі напруга на керуючому вході має перевищувати  $U_{ж}/3$ .

Запуск одновібратора здійснюється подаванням на вхід напруги низького рівня, меншого ніж  $U_{ж}/3$ .

На рис. 8.43, а зображено отриману після описаних змін схему чекального мультивібратора, а на рис. 8.43, б — часові діаграми, що пояснюють його роботу.

У вихідному стані  $RS$ -тригер таймера скинутий. Унаслідок цього конденсатор кола, що задає час, розряджений, і на виході пристрою є напруга, яка за рівнем близька до нульової. Цей стан є стійким, оскільки якщо з якої-небудь причини він буде порушений і тригер сформує на прямому виході сигнал логічної «1», то закриється транзистор  $VT3$  і конденсатор  $C1$  почне заряджатися. При  $U_C = 2U_{ж}/3$  компаратор верхнього рівня таймера своїм вихідним сигналом скине

тригер. Транзистор VT3 увімкнеться, і напруга на конденсаторі зменшиться до нульового рівня. Однак оскільки на виході компаратора нижнього рівня напруга перевищує  $U_{ж} / 3$ , останній не спрацює і тригер залишиться в скинутому стані.

У разі короткочасного зниження напруги на керуючому вході нижче за рівень  $U_{ж} / 3$  компаратор нижнього рівня встановить тригер DD1, який вимкне транзистор VT3 і увімкне транзистор VT1. На виході таймера встановиться квазістійкий стан, за якого його вихідний сигнал збільшиться практично до напруги живлення. Це супроводжуватиметься зарядом конденсатора С. При виконанні умови  $U_C = 2U_{ж} / 3$  компаратор верхнього рівня скине тригер і схема повернеться в стійкий стан.

Через те що цей алгоритм роботи пристрою аналогічний алгоритму одного періоду роботи автоколивального мультивібратора, то тривалість вихідного імпульсу розглянутого одновібратора можна визначити за формулою (8.47).

Очевидно, що для нормальної роботи одновібратора потрібно, по-перше, щоб тривалість імпульсу запуску була більша, ніж сума часів спрацьовування компаратора і тригера, але менша, ніж тривалість його вихідного імпульсу, і, по-друге, пауза між надходженнями двох сусідніх імпульсів запуску має бути достатньою для повного розряду конденсатора RC-кола.

На основі описаного одновібратора можна побудувати схему широтно-імпульсного модулятора. Для цього в схемі перетворювача напруги на частоту (див. рис. 8.42, а) автоколивального мультивібратора слід перетворити на одновібратор, на керуючий вхід якого потрібно подати послідовність імпульсів запуску постійної частоти.

### Контрольні запитання і завдання

1. Які елементи цифрових пристроїв належать до спеціальних?
2. Що таке логічні розширники?
3. Які схеми використовують під час побудови перетворювачів рівнів?
4. Наведіть приклади генераторів, реалізованих на дискретних інтегральних схемах.
5. Де використовують генератори зі змінюваною частотою?
6. Що таке одновібратор? Накресліть практичні схеми одновібраторів.
7. Які переваги має одновібратор з повторним запуском?
8. Як будують схему швидкодійного автогенератора?
9. Як здійснюється стабілізація частоти вихідної напруги автогенератора?
10. Що таке різницеві перетворювачі?
11. Що таке детектори подій (фронтів)?
12. Які призначення та структурна схема одно- та багатотактного таймера?



## НАПІВПРОВІДНИКОВІ ОПЕРАТИВНІ ЗАПАМ'ЯТОВУВАЛЬНІ ПРИСТРОЇ

Для короткочасного збереження невеликих об'ємів кодів слів звичайно використовують регістри. За необхідності тривалого збереження або збереження великих об'ємів інформації застосовують запам'ятовувальні пристрої (ЗП), виконані на спеціалізованих ІС. Застосування ЗП, що використовують ІС, дає змогу максимально спростити апаратну частину електронних пристроїв.

За виконуваними функціями ЗП можна класифікувати так: оперативні запам'ятовувальні пристрої (ОЗП) і постійні запам'ятовувальні пристрої (ПЗП).

До оперативних належать ЗП, що використовують для збереження інформації, одержуваної в процесі роботи пристрою, і забезпечують порівняння часу їх зчитування та запису.

Оперативні ЗП можуть бути як статичними, так і динамічними. У статичних ОЗП записана інформація постійно зберігається у виділеному для неї місці і не руйнується при її зчитуванні. Руйнування інформації можливе тільки у разі її примусового стирання або вимкнення напруги джерела живлення.

У динамічних ОЗП інформація постійно циркулює в масиві, відведеному для її збереження. При цьому зчитування інформації супроводжується її руйнуванням. Для збереження інформації її потрібно перезаписати заново.

Для позначення на принципових електричних схемах ІС ОЗП використовують скорочення *RAM* (random access memory).

### 9.1. Мікросхеми статичних ОЗП

Типовий варіант структурної побудови мікросхеми статичного ОЗП наведено на рис. 9.1. Для прикладу вибрана порівняно нескладна мікросхема пам'яті K561PY2 (564PY2) з

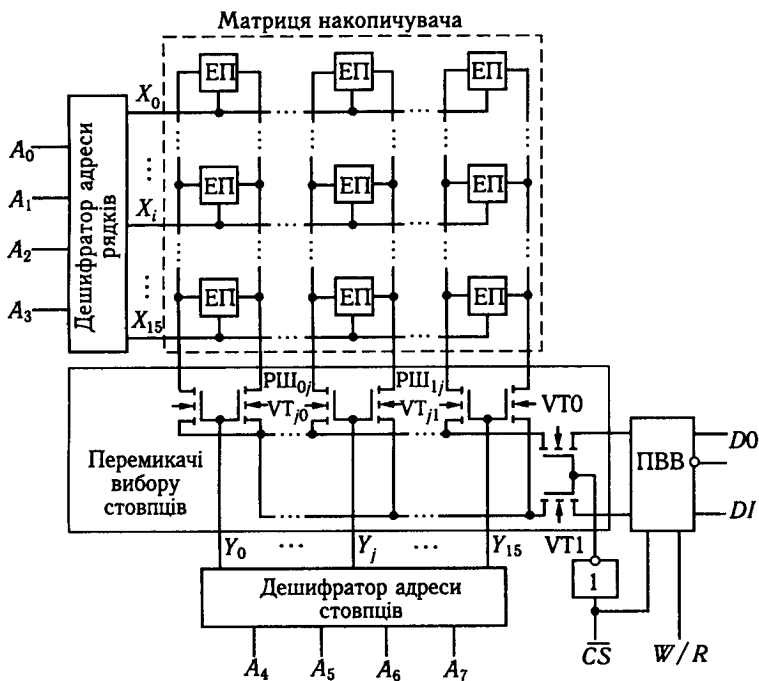


Рис. 9.1. Структура мікросхеми статичного ОЗП з 1-розрядною організацією

ємністю 256 біт. Структурна схема вміщує виконані на єдиному кристалі силіцію матрицю накопичувача, дешифратори коду адреси рядків  $A_0 - A_3$  ( $A_0$  — молодший розряд) і стовпців  $A_4 - A_7$ , перемикачі вибору стовпців і пристрій введення-виведення (ПВБ). Режимом мікросхеми керують сигнали  $\overline{CS}$  (вибір мікросхеми) і  $W/R$  (запис — зчитування).

Матриця накопичувача містить 256 елементів пам'яті (ЕП), розташованих на перетинаннях 16 рядків і 16 стовпців. Кожен ЕП становить собою статичний тригер, що може бути реалізований на основі біполярних або МДН-транзисторів. Це залежить від технології виготовлення мікросхем. У цьому випадку мікросхема 561PY2 виготовлена за КМДН-технологією, тому її основу становить тригер (рис. 9.2) на МДН-транзисторах комплементарного типу, що мають канали різного типу провідності: VT1, VT2 — канали  $n$ -типу, VT3, VT4 — канали  $p$ -типу. У тригера два парафазних сполучених входи-виходи. Перемикальними транзисторами VT5, VT6 тригер з'єднаний з розрядними шинами  $PШ_1$ ,  $PШ_0$ , по яких підводиться



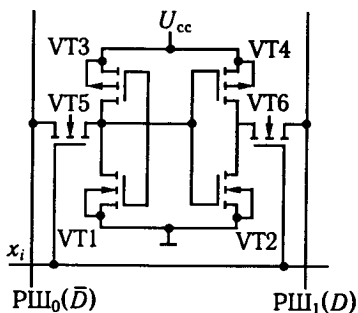


Рис. 9.2. Статичний елемент пам'яті

до тригера при записі і відводиться від нього при зчитуванні інформація в парафазній формі подання:  $PШ_1 = D$ ,  $PШ_0 = \bar{D}$ . Перемикальні транзистори затворами з'єднані з адресною шиною (рядком). У разі порушення рядка сигналом вибірки  $X = 1$ , що знімає з виходу дешифратора адреси рядків, перемикальні транзистори відкриваються і підключають входи-виходи тригера до розрядних шин.

За відсутності сигналу вибірки рядка, тобто при  $X = 0$ , перемикальні транзистори закриті і тригер ізольований від розрядних шин. У такий спосіб реалізують у матриці режим звертання до ЕП для запису або зчитування інформації та режим збереження інформації.

Для збереження інформації в тригері потрібне джерело живлення, тобто тригер розглянутого типу є енергетично залежним. За наявності живлення тригер здатний зберігати свій стан як завгодно довго. В один із двох станів, у яких може перебувати тригер, його приводять сигнали, що надходять по розрядних шинах у режимі запису: при  $D = 1$  ( $PШ_1 = 1$ ,  $PШ_0 = 0$ ) VT1, VT4 відкриті, VT2, VT3 – закриті, при  $D = 0$  ( $PШ_1 = 0$ ,  $PШ_0 = 1$ ) транзистори свої стани змінюють на протилежні. У режимі зчитування РШ перебувають у високоомному стані і приймають потенціали плечей тригера, передаючи їх потім через пристрій введення-виведення (ПВВ) на вихід мікросхеми  $D0$ ,  $\bar{D}0$ . При цьому інформація, що зберігається в тригері, не руйнується.

Особливість КМДН-тригерів полягає в тому, що в режимі збереження вони споживають незначну потужність від джерела живлення, оскільки в будь-якому стані тригера в тій чи іншій його половині один транзистор, верхній або нижній, закритий. У режимі звертання, коли перемикаються елементи матриці, дешифратори й інші функціональні вузли мікросхеми, рівень її енергоспоживання зростає на два-три порядки.

Для звертання до мікросхеми для запису 0 або 1 слід підвести цю інформацію до входу  $DI$ , подати код адреси  $A\{A_0 - A_7\}$ , сигнал дозволу  $\overline{CS}$  і сигнал  $W/R$ , що відповідає режиму запису. При зазначених сигналах збуджується заданий рядок  $x_i$ , вибраний дешифратором коду адреси рядків, і в результаті цього відкривається доступ по розрядних шинах до усіх ЕП

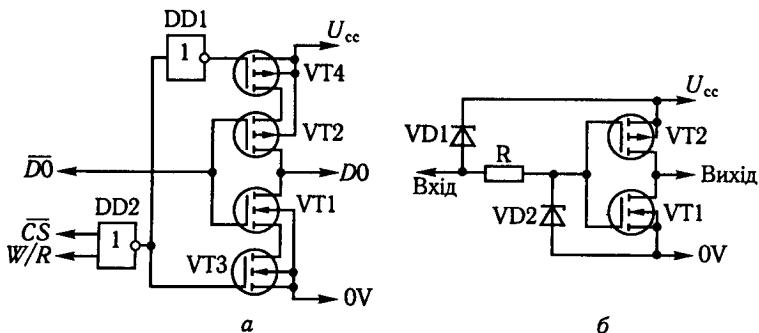


Рис. 9.3. Інвертори на КМДН-транзисторах:

*a* – з виходом на три стани; *б* – із захисним колом на вході

цього рядка. Одночасно збуджується один з виходів  $Y_j$  дешифратора коду адреси стовпців  $i$ , відкриваючи відповідні транзистори  $VT_{j0}$ ,  $VT_{j1}$  у блоці перемикачів вибору стовпця, комутує вибраний стовпець на ПВВ. Доступ до розрядних шин цього стовпця з боку ПВВ забезпечує сигнал  $CS = 1$ , що відкриває перемикачі  $VT0$  і  $VT1$ . Налаштування ПВВ на приймання сигналу з входу  $DI$  здійснює сигнал  $W/R = 1$ .

Звертання до мікросхеми для зчитування відбувається аналогічно, але при значенні сигналу  $W/R = 0$ .

У більшості мікросхем пам'яті ПВВ містить вихідний перемикальний підсилювач-формівник, здатний набирати три стани: два функціональних, відповідних 0 або 1, і один високоомний (третій) стан. У третьому стані вихід практично вимкнений від приймача інформації, наприклад інформаційної шини. Приклад такого елемента наведено на рис. 9.3, *a*. Елемент становить собою інвертор на транзисторах  $VT1$ ,  $VT2$ , доповнений двома перемикальними транзисторами  $VT3$ ,  $VT4$ , що забезпечують реалізацію третього стану виходу. Станом перемикачів керує сигнал  $V$ : при  $V = 0$  обидва перемикачі замкнені і вихід перебуває у високоомному стані, при  $V = 1$  перемикачі розімкнені і схема виконує свої функції інвертора, передаючи на вихід  $D0$  мікросхеми інформацію, яка зчитана з вибраного ЕП. Сигнал  $V$  формує внутрішня схема, додаючи йому значення, зумовленого сигналами  $CS$  і  $W/R$ : якщо розглянутий вихід реалізований у мікросхемі, то  $V = CS + W/R$ . За наявності ще одного стробувального вихідного сигналу  $OE = 0$ , як у мікросхемі КР537РУ8, умова керування виходом запишеться у вигляді

$$V = \overline{CS + W/R + OE}, \text{ або } V = CS \cdot \overline{W/R} \cdot OE.$$

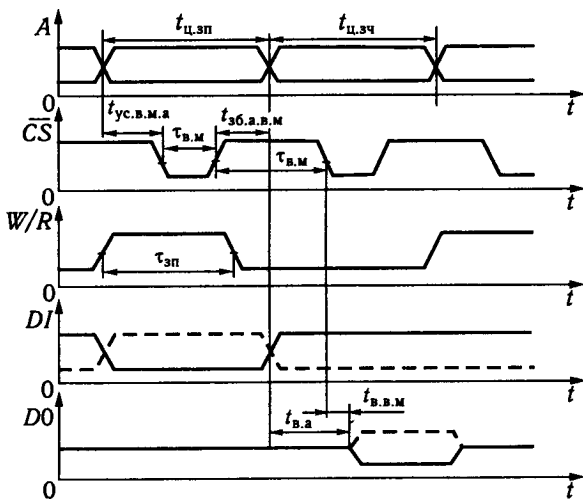


Рис. 9.4. Часові діаграми мікросхеми статичного ОЗП

Наявність у мікросхемі виходу на три стани дає змогу з'єднувати інформаційні вхід і вихід для підключення їх до єдиної інформаційної шини.

Роботу мікросхеми статичного ОЗП у динамічному режимі ілюструють часові діаграми, зображені на рис. 9.4. Діаграми визначають послідовність подавання адресних і керуючих сигналів у процесі запису і зчитування, а також часові інтервали між різними сигналами і тривалостями сигналів: час циклу запису – зчитування ( $t_{ц.зп(зч)}$ ), тривалість сигналів  $\overline{CS}$  вибору мікросхеми  $\tau_{в.м}$  і паузи між ними  $\tau_{в.м}$ , час установлення сигналу  $\overline{CS}$  щодо адреси  $t_{ус.в.м.а}$ , час збереження адреси після сигналу  $\overline{CS}$   $t_{зб.а.в.м}$ , час вибірки адреси  $t_{в.а}$  чи час вибору мікросхеми  $t_{в.м}$  тощо.

Слід звернути увагу на вимогу до форми сигналів керування  $\overline{CS}$  і  $W/R$ . В асинхронних статичних ОЗП ці сигнали можуть бути подані у формі рівнів напруги, що відповідають 0 або 1 залежно від режиму, а в тактових – у формі імпульсу, причому вимога імпульсного подання належить звичайно до сигналу  $\overline{CS}$ .

Мікросхема K561PY2, часові діаграми якої зображено на рис. 9.4, належить до групи тактових. До цієї самої групи належать мікросхеми серії K537, деякі мікросхеми серії K132 і т. д. Багато мікросхем статичних ОЗП є асинхронними. Для них значну частину часових параметрів, що характеризують тривалості керуючих сигналів і їхні часові зсуви, не регламентовано.

Треба враховувати також, за якого значення сигналу виконується ініційована ним функція: наприклад, запис інформації у мікросхему К561РУ2 відбувається при сигналі  $W/R = 1$  (див. рис. 9.4), а зчитування — при  $W/R = 0$ , для мікросхеми серії К537 та інших серій потрібні обернені значення сигналу  $W/R$  під час виконання цих самих функцій:  $\overline{W}/R = 0$  — при записі,  $\overline{W}/R = 1$  — при зчитуванні. Вказівка на активне значення сигналу містить його позначення: якщо є знак інверсії, то активним значенням є 0, якщо ні, то 1.

Розглянута структурна схема (див. рис. 9.1) є прикладом реалізації статичних ОЗП з 1-розрядною організацією. Цей тип мікросхем має перевагу в сучасній номенклатурі мікросхем пам'яті (табл. 9.1). Разом з тим дістають поширення мікросхеми статичних ОЗП з багаторозрядною словниковою організацією. Принцип побудови таких мікросхем розглянемо на прикладі мікросхеми КР537РУ8, що має інформаційну ємність  $2K \times 8$  біт (рис. 9.5). Вона вміщує матрицю накопичувача з  $128 \times 128$  ЕП, реєстри і дешифратори коду адреси рядків і стовпців, підсилювачі запису — зчитування, пристрій керування і пристрій введення-виведення. Як ЕП застосовують тригер на КМДН-транзисторах (див. рис. 9.2).

Накопичувач поділений на вісім секцій по  $128 \times 16$  ЕП у кожній. Чотири молодших розряди коду адреси  $A_0 - A_3$

Таблиця 9.1. Характеристика серій мікросхем статичних ОЗП

Серія	Ємність, біт	$t_{ц.зп(зч)}$ , нс	$U_{ж}$ , В	$P_{сп}$ , Вт	Технологія
К500	$16 \times 4, 64 \times 4$	40	-5,2	0,6...1,1	ЕЗЛ
К1500	$1K \times 1, 4K \times 1$				
К541	$64 \times 4, 1K \times 1$	9...45	-4,5	0,6...1,1	ЕЗЛ
	$4K \times 1, 16K \times 1$				
К132	$4K \times 1, 1K \times 4$	100...170	5	0,3...0,5	ПЛ-ТТЛ
	$8K \times 1, 16K \times 1$				
К537	$1K \times 1, 1K \times 4$	55...85	5	0,4...0,9	n-МДН
	$4K \times 1, 16K \times 1$				
К134	$1K \times 1, 4K \times 1$	110...500	5	0,02...0,2	КМДН
	$2K \times 8, 1K \times 4$				
К185	$1K \times 1$	1000	5	0,6	ПЛ-ТТЛ
	$64 \times 1, 1K \times 1$				
К581	$256 \times 1$	300...500	5	0,4	ПЛ-ТТЛ
	$2K \times 8, 4K \times 4$				
К155	$120...200$	45...90	5	0,4	КМДН
	$256 \times 1, 1K \times 1$				
К561	$256 \times 1$	800	6...12	0,15	ТТЛ-ЕЗЛ
К176	$256 \times 1$	900	9	0,02	КМДН
К565	$1K \times 1$	450	5	0,4	n-МДН

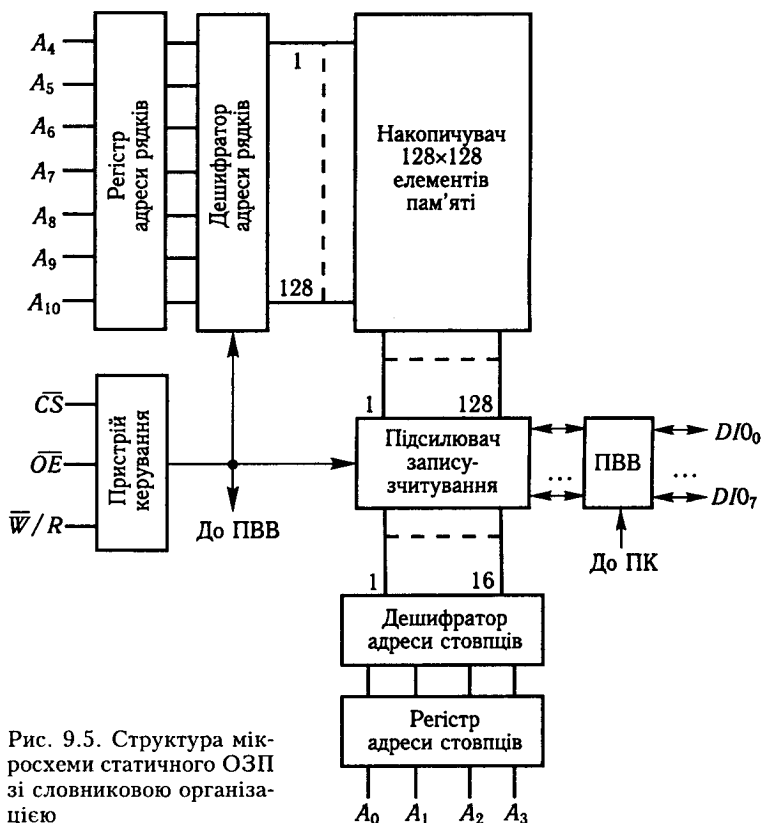


Рис. 9.5. Структура мікросхеми статичного ОЗП зі словниковою організацією

вибирають по одному стовпцю в кожній секції і комутують їх з ПВВ. Керування пристроєм введення-виведення здійснюють сигнали  $\overline{CS}$ ,  $\overline{OE}$  і  $\overline{W/R}$ , попередньо оброблені пристроєм керування. Відповідно до табл. 9.2 залежно від значень керуючих сигналів мікросхема може працювати в одному з трьох

Таблиця 9.2. Таблиця істинності

$\overline{CS}$	$W/R$	$A_0 - A_7$	$DI$	$DO$	Режим роботи
1	X	X	X	Z	Збереження
0	1	A	0	Z	Запис
0	1	A	0	Z	Запис
0	0	A	X	D, $\overline{D}$	Зчитування

Примітка. X – довільний стан (0 або 1); Z – високоомний стан; D – дані

режимів: запису, зчитування і збереження. У режимі запису інформація 8-розрядним кодом через ПВВ і підсилювачі запису — зчитування надходить у вибрану комірку пам'яті. При зчитуванні інформація з вибраної комірки пам'яті надходить на ПВВ і через нього — на виходи. Сигнал дозволу виходу  $\overline{OE}$  дає змогу в режимі зчитування забороняти виведення інформації: при  $\overline{OE} = 1$  входи — виходи набирають третього стану, тому інформації на виходах немає.

У режимі збереження споживана мікросхемами від джерела живлення потужність знижується більше ніж у 1000 разів.

Номенклатура мікросхем статичних ОЗП досить різноманітна (див. табл. 9.1). Це серії найбільш швидкодійних мікросхем пам'яті, виконаних за технологіями ЕЗЛ (K500, K1500), *n*-МДН (K132), ТТЛ (K155), з часом циклу звертання від 9 до 90 нс, і серії КМДН-мікросхем з порівняно невеликою швидкодією  $t_{ц.зп(зч)} = 100 \dots 800$  нс, але істотно меншим рівнем споживаної потужності: K537, K581, K561, K176. Ця особливість КМДН-мікросхем зумовлює їх перспективність для застосування в пристроях з істотно обмеженим енергоресурсом, а також для побудови енергонезалежних ОЗП.

Найбільш розвинений функціональний склад із серій КМДН-мікросхем має серія K537 (див. табл. 9.1). Докладніші відомості про неї наведено в табл. 9.3.

Функціональний ряд серії вміщує більш як 15 типів мікросхем, що відрізняються інформаційною ємністю (від 1024 до 16 384 біт), організацією (однорозрядна і байтова), швидкодією (більше ніж у 5 разів), рівнем споживаної потужності. Є відмінності й у системі керуючих сигналів, і в конструктивному оформленні.

Загальними властивостями мікросхем серії K537 є: єдина напруга живлення 5 В, ТТЛ-рівні входних і вихідних сигналів, вихід із трьох станів, висока завадостійкість, допустима значна ємність навантаження (200 пФ і більше), невелике енергоспоживання, причому при збереженні майже на три порядки менше, ніж при звертанні, здатність зберігати записану інформацію у разі зниження до 2...3 В напруги живлення.

Цю здатність КМДН-мікросхем усіх серій широко використовують для надання пристроям пам'яті властивості енергетичної залежності, тобто властивості зберігати інформацію при перебоях і вимкненні живлення. З цією метою в блоці статичного ОЗП до виводів живлення мікросхем через перемикач, наприклад напівпровідниковий діод, підключають низьковольтне буферне джерело живлення з напругою 2...3 В. За нормального режиму живлення діод закритий, а у разі вимкнан-

Таблиця 9.3. Динамічні параметри мікросхем серії K537 у діапазоні температур  $-10\dots+70^\circ\text{C}$ , нс

Тип мікро-схеми	$t_{ц.зп(зч)}$ , не менше	$t_{в.в.м'}$ , не більше	$t_{ус.в.м.а'}$ , не менше	$\tau_{в.м'}$ , не менше	$\bar{\tau}_{в.м'}$ , не менше	$t_{зб.а.в.м'}$ , не менше
РУ1А	1300	900	200	900	400	200
РУ1Б	2000	1400	300	1400	600	300
РУ1В	4000	2800	600	2800	1200	600
РУ2А	500	390	20	390	110	90
РУ2Б	670	560	20	560	—	90
РУ3А	290	300	40	230	60	20
РУ3Б	210	200	40	150	60	20
РУ6А	340	220	20	220	120	100
РУ6Б	530	400	20	400	130	110
РУ8А	350	200	70	220	130	60
РУ8Б	530	400	70	400	130	60
РУ9А	400	220	20	220	180	160
РУ9Б	580	400	20	400	180	160
РУ10	180	170	—	300	—	—
РУ13	200	200	—	—	—	—
РУ14А	110	110	25	70	—	25
РУ14Б	180	180	35	130	—	25

Примітка. Мікросхеми КР537РУ13, К537РУ14 А, Б асинхронні, інші — тактові.

ня основного живлення діод відкривається і підключає до мікросхем буферне джерело напруги. У цей час слід забезпечити ізоляцію накопичувача по інформаційних колах значенням рівня заборони на вході  $CS$ , щоб не зіпсувати інформацію, яка зберігається. Для збільшення часу збереження інформації в аварійному режимі потрібно знижувати струм споживання мікросхем, підвищувати ємність низьковольтних малогабаритних елементів живлення і зменшувати струм їх саморозряду. Наприклад, розрахунковий час збереження інформації мікросхемою КР537РУ3А при роботі від гальванічного елемента СЦ-32 (1,57В, 110 мА · ч) з урахуванням саморозряду елемента становить тисячі годин.

У пристроях пам'яті на мікросхемах серії K537 для зниження споживаної потужності треба передбачити можливість автоматичного перемикання живлення мікросхем у режимі збереження з основного джерела 5 В на малопотужне буферне джерело напруги, що забезпечує живлення тільки мікросхем ОЗП на рівні, достатньому для збереження інформації. Для мікросхем К537РУ1, КР537РУ8 допускається знижувати напругу до 3 В, для мікросхем КР537РУ6, К537РУ9 — до 3,3 В, для мікросхем КР537РУ4, КР537РУ13, К537РУ14 — до 2,2 В.

Найменшу потужність від низьковольтного джерела живлення споживають мікросхеми КР537РУ3А (11 мкВт), КР537РУ6А (115 мкВт), К537РУ13 і К537РУ14 (100 мкВт).

Мікросхеми на МДН-транзисторах будь-якого типу чутливі до впливу статичної електрики через високий вхідний опір. Навіть короточасне підвищення вхідної напруги з недопустимо високим рівнем може спричинити електричний пробій тонкого шару підзатворного діелектрика. Для захисту від шкідливого впливу перенапруги усі входи мікросхем захищають діодно-резистивними колами, вбудованими усередину кристала (див. рис. 9.3, б). Захисні кола побудовані за схемою послідовного з'єднання двох діодів VD1, VD2 і резистора R обмеження струму. Від впливу високого позитивного потенціалу на вході захищає діод VD1, що під час відкривання фіксує вхідну напругу на рівні напруги живлення. Високий негативний потенціал відкриває діод VD2, що обмежує його безпечним для мікросхеми рівнем.

Для багатьох типів КМДН-мікросхем, зокрема для мікросхем серії К537, існує небезпека теплового пробою  $p-n$ -переходів у кристалі через тиристорний ефект.

Сутність цього явища полягає в тому, що у разі підвищення напруги в шині живлення до 11...12 В через стрибки струму при ввімкненні і впливу індуктивностей шин, а також у разі перевищення вхідним сигналом напруги живлення усередині кристала активізуються паразитні біполярні  $p-n-p-n$ -структури і через наявність позитивного зворотного зв'язку по колах струмів витоку може виникнути ефект некерованого наростання струму стоку, близький за механізмом до аналогічного явища в тиристорах у момент їх перемикання. Оскільки в КМДН-структурах немає струмообмежувальних резисторів навантаження, то наростання струму призводить до розвитку теплового пробою в кристалі і, як наслідок, до несправності мікросхеми.

З підвищенням рівня інтеграції мікросхем небезпека виникнення в них тиристорного ефекту зростає. У деяких типах мікросхем розглянутий ефект практично не спостерігається, зокрема в мікросхемах серій К561, 564, у деяких мікросхемах серії К537, наприклад КР537РУ6. У структурах цих мікросхем сформовані так звані охоронні кільця шунтування паразитних транзисторів, які усувають тиристорний ефект. Для тих мікросхем, у яких захисту немає, слід передбачати конструктивні заходи попередження тиристорного ефекту: знижувати індуктивність шин живлення, не допускати близького розташування з потужнострумівими мікросхемами тощо.

При застосуванні мікросхем пам'яті, виготовлених за КМДН-технологією, зокрема мікросхем серії К537, потрібно дотри-



муватися порядку ввімкнення живлення і подавання вхідних сигналів: спочатку слід увімкнути напругу живлення. У разі вимикання блока ОЗП треба зняти вхідні сигнали (адресні, керуючі й інформаційні) і потім вимкнути джерело напруги живлення. Потрібно забезпечити також виконання умови, за якою напруга сигналів не повинна перевищувати напруги живлення мікросхеми.

Мікросхеми серії K537 працюють у режимах запису, зчитування і збереження. Значення сигналів у цих режимах наведено в табл. 9.4 для мікросхеми K537PY1, у табл. 9.5 — для мікросхем KP537PY2, KP537PY3, KP537PY6, K537PY14, у табл. 9.6 — для мікросхем KP537PY8, K537PY9, KP537PY10 і в табл. 9.7 — для мікросхеми KP537PY13.

Порівняння динамічних параметрів мікросхем показує, що в серії K537 найбільшу швидкодію мають мікросхеми KP537PY10 і K537PY14. Мікросхеми K537PY14 і KP537PY13 є асинхронними. Усі мікросхеми серії K537 є тактовими: у

Таблиця 9.4. Таблиця істинності KP537PY1

CS	W/R	$A_0 - A_9$	DI	D0	Режим роботи
0	X	X	X	Z	Збереження
1	1	A	0	1	Запис 0
1	1	A	1	0	Запис 1
1	0	A	X	$\bar{D}$	Зчитування

Таблиця 9.5. Таблиця істинності KP537PY2(PY3, PY6, PY14)

$\overline{CS}$	$\overline{W/R}$	A	DI	D0	Режим роботи
1	X	X	X	Z	Збереження
0	0	A	1	Z	Запис 1
0	0	A	0	Z	Запис 0
0	1	A	X	D	Зчитування

Таблиця 9.6. Таблиця істинності KP537PY8 (PY9, PY10)

$\overline{CS}$	$\overline{OE}$	$\overline{W/R}$	$A_0 - A_{10}$	$DI_{0-7}$	Режим роботи
1	X	X	X	Z	Збереження
0	X	0	A	0	Запис 0
0	X	0	A	1	Запис 1
0	1	1	A	Z	Зчитування без видачі
0	0	1	A	$D_0 - D_7$	Зчитування

Таблиця 9.7. Таблиця істинності КР537РУ13

$\overline{CS}$	$\overline{W} / R$	$A_0 - A_9$	$DI0_0 - DI0_3$	Режим роботи
1	X	X	Z	Збереження
0	0	A	0	Запис 0
0	0	A	1	Запис 1
0	1	A	$D_0 - D_3$	Зчитування

режимах запису і зчитування сигнал  $\overline{CS}$  слід подавати імпульсом, а сигнал  $\overline{W} / R$  може мати форму рівня чи напруги імпульсу, як зображено на часових діаграмах на рис. 9.6.

У режимі зчитування інформація на виході надходить через час  $t_{в.в.м}$  після негативного перепаду сигналу  $\overline{CS}$  (рис. 9.6, б). Час вибірки адреси складатиметься з  $t_{в.в.м}$  і  $t_{ус.в.м.а}$ , значення яких наведено в табл. 9.3.

Мікросхеми КР537РУ8 і КР537РУ10 мають додатковий керуючий сигнал  $\overline{OE}$  (дозвіл виходу): при подаванні цього сигналу одночасно із сигналом  $\overline{CS}$  відлік часу появи сигналу ведеться від негативного перепаду сигналу  $\overline{CS} = \overline{OE}$ . Існує можливість стробування вихідної інформації сигналом  $\overline{OE}$ , який надходить з деякою затримкою щодо сигналу  $\overline{CS}$ . У цьому випадку при  $\overline{OE} = 1$ , тобто до моменту подавання цього сигналу, виходи перебувають у третьому стані навіть при  $\overline{CS} = 0$  (див. табл. 9.6). Тільки в момент надходження сигналу  $\overline{OE}$  виходи переходять у функціональний стан: через час  $t_{в.ОЕ}$  на виходи над-

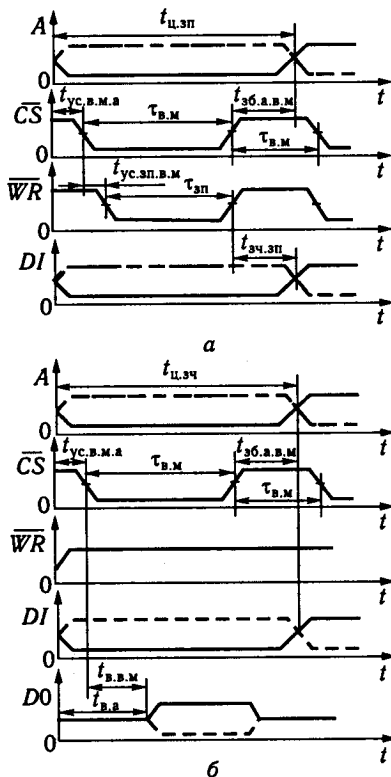


Рис. 9.6. Часові діаграми мікросхеми КР537РУ2 у режимах запису (а) та зчитування (б)

ходить інформація, що зчитується. У цьому режимі час вибірки адреси визначають за співвідношеннями:  $t_{в.а} = t_{уc.OE.а} + t_{в.OE}$ , або  $t_{в.а} = t_{уc.в.м.а} + t_{уc.OE.в.м} + t_{в.OE}$ . Зазначимо, що  $t_{уc.OE.в.м}$  не регламентують, його значення встановлюють виходячи з умов роботи мікросхеми у складі пристрою.

Мікросхема КМ581РУ5 Б, В, Г також виконана за КМДН-технологією. Це статичне асинхронне ОЗП ємністю  $2K \times 8$  біт. Таблиця істинності відповідає табл. 9.6. Електричні характеристики мікросхеми наведено в табл. 9.2. Мікросхема диференційована по групах Б, В, Г за значеннями тимчасових параметрів: час циклу запису (зчитування) становить 120 нс (Б), 150 нс (В), 200 нс (Г), тобто мікросхеми групи Б мають найбільшу швидкодію. Вихідний струм становить 4 мА. Вихід побудований за схемою з трьома станами.

Серія К132 складається з мікросхем статичних ОЗП високої швидкодії: час циклу звертання для більшості мікросхем лежить у діапазоні 55...85 нс (див. табл. 9.1). Мікросхеми виконані за  $n$ -канальною МДН-технологією і відрізняються різноманітністю щодо структурних і схемотехнічних рішень, електричних параметрів, конструкцій корпусу.

У мікросхемах серії К132 є низка загальних властивостей, важливих для їх практичного використання: єдина напруга живлення 5 В, для ТТЛ вхідні і вихідні рівні напруг 0 і 1 (вхідні — відповідно не більше ніж 0,8 В, не менше ніж 2 В, вихідні — не більше ніж 0,4 В, не менше ніж 2,4 В); наявність виходів з трьома станами, єдина система сигналів керування ( $\overline{CS}$ ,  $\overline{W} / R$ ); здатність працювати на велике ємнісне навантаження (від 100 до 600 пФ для різних типів мікросхем); можливість зниження рівня енергоспоживання під час переходу в режим збереження в 3—5 разів, а в деяких мікросхемах — до 20 разів.

За своєю структурою мікросхеми серії К132 близькі до мікросхем розглянутих серій К561, К537: вони складаються з накопичувача матричного типу, регістрів і дешифраторів коду адреси, пристрою введення-виведення, блока перемикачів вибору рядків і стовпців. У реалізації зазначених елементів структурної схеми також є багато загальних вирішень. Зокрема, усі входи — адресні, керуючі, інформаційні — мають підсилювачі, побудовані за схемою (рис. 9.7, а) інвертора на двох транзисторах VT1, VT2 із захистом у вигляді резистивно-транзисторного кола R, VT3. Запобіжний транзистор VT3 своїм  $p-n$ -переходом стік — підкладка захищає вхід транзистора VT1 від дії статичної електрики і від різких стрибків напруг на входах своєю вихідною ємністю, що разом з резистором утворює інтегрувальне коло.

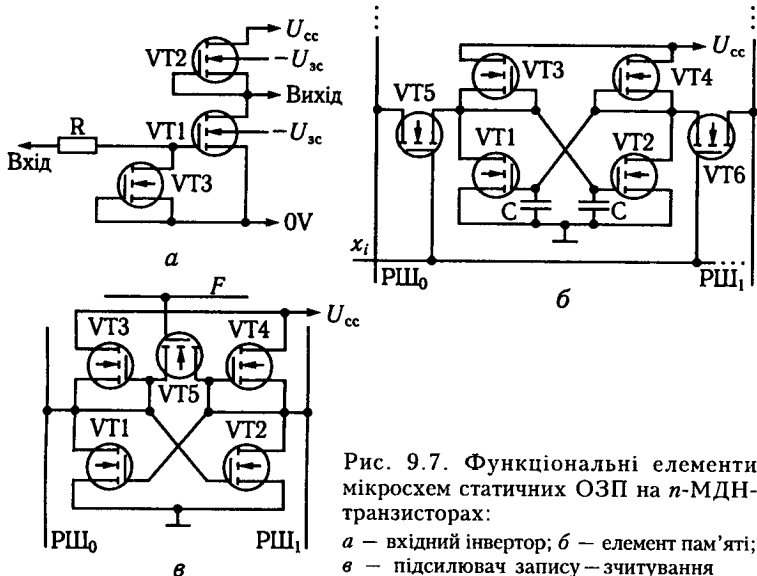


Рис. 9.7. Функціональні елементи мікросхем статичних ОЗП на  $n$ -МДН-транзисторах:

$a$  – вхідний інвертор;  $б$  – елемент пам'яті;  $в$  – підсилювач запису – зчитування

Вхідні підсилювачі-формівники мають високу швидкодію, що забезпечено вибором режиму роботи транзистора VT2 і напругою зсуву підкладки  $U_{zc} = -2,7$  В. Транзистор VT2, що має вбудований канал  $n$ -типу, нормально відкритий і під час вмикання VT1 переходить у режим генератора струму, заряджаючи за короткий термін вихідну ємність. У разі ввімкнення VT1 ємність також швидко розряджається через низькоомний канал відкритого транзистора VT1.

Напругу негативного зсуву  $p$ -підкладки формує вбудований у кристал перетворювач з напруги живлення мікросхеми 5 В. Ця напруга зменшує поріг увімкнення транзисторів і знижує рівень струмів витоку усередині кристала.

Як ЕП застосовують статичний тригер (рис. 9.7, б) на чотирьох транзисторах VT1 – VT4 і двох перемикальних транзисторах VT5, VT6, затвори яких з'єднані з адресною шиною, а стоки – з розрядними шинами. При  $x_i = 1$  перемикальні транзистори відкриваються і підключають тригер до розрядних шин. Під час запису розрядні шини передають свій потенціал вузловим ємностям С і забезпечують перемикання тригера в стан, що відповідає записуваній інформації. Цей процес описано при розгляді роботи КМДН-тригера (див. рис. 9.2). Аналогічне звертання до ЕП відбувається і при зчитуванні, тільки тепер свій потенціал передає тригер високоомним розрядним шинам.

Відмітною рисою структури мікросхем пам'яті  $n$ -МДН-типу, зокрема мікросхем серії K132, є наявність у кожному стовпці підсилювача запису — зчитування тригерного типу (рис. 9.7, *в*). Підсилювач керується внутрішнім сигналом  $F$ : при його надходженні транзистор VT5 відкривається і зрівнює потенціали двох входів-виходів тригера. У цьому і полягає підготовка підсилювача до приймання інформації. При зчитуванні інформації з вибраного ЕП на розрядних шинах  $RШ_0$ ,  $RШ_1$  створюється асиметрія потенціалів, що впливає на стан плечей підсилювача, підключеного до цих розрядних шин. У момент зняття сигналу  $F$ , коли транзистор VT5 закривається, внесена розрядними шинами асиметрія потенціалів визначить стан, у який перейде тригер-підсилювач. У результаті слабкий інформаційний сигнал, отриманий з виходу ЕП, буде посилений і переданий у пристрій введення-виведення. Підсилювач складений із транзисторів, що відрізняються від транзисторів ЕП більш високим рівнем струмів.

Одночасно з посиленням сигналу, що зчитується, тригер-підсилювач запобігає можливості руйнування інформації у вибраному ЕП, тому що забезпечує відновлення (регенерацію) заряду вузлових ємностей тригера ЕП.

У деяких мікросхемах, наприклад у КР132РУ6, К132РУ10, ЕП виконано на тригері, в якому замість навантажувальних транзисторів сформовані високомні (до  $10^9$  Ом) резистори. За такою технологією вдається забезпечити більш високий рівень інтеграції і, отже, збільшення інформаційної ємності мікросхеми пам'яті. Крім того, знижується споживана мікросхемою потужність у режимі збереження.

Застосування високоомних резисторів у схемі тригера виявилось можливим завдяки удосконаленню  $n$ -канальної технології і зниженню на цій основі паразитних струмів витоку в структурі кристала до значень пікоампер. Вихідні каскади мікросхем побудовані за схемою інверторів із трьома станами, що формують ТТЛ-рівні.

Мікросхеми серії K132 працюють у режимах запису, зчитування і збереження. Таблиці істинності всіх мікросхем серії K132, крім КМ132РУ8, відповідають табл. 9.5. Таблиця істинності мікросхеми КМ132РУ8 (див. табл. 9.7) має відмінності, зумовлені тим, що в цій мікросхемі входи і виходи з'єднані. Мікросхема КР132РУ6 має додатково до зазначених режимів зчитування — модифікація — запис. Відмітні риси цього режиму виявляються в динаміці роботи мікросхеми.

У процесі реалізації цих режимів потрібно враховувати вимоги до форми подання сигналу керування: сигналу дозволу вибору мікросхеми  $\overline{CS}$  і сигналу режиму звертання  $\overline{W} / R$ . За цією ознакою мікросхеми статичних ОЗП поділяють на

асинхронні і тактові. Мікросхеми КР132РУ4А, Б, КМ132РУ5А, Б і КР132РУ6А, Б є тактовими (КМ132РУ5А, Б — тільки в режимі запису), інші мікросхеми цієї серії — асинхронні. Часові діаграми для тактових мікросхем аналогічні діаграмам на рис. 9.6. Зазначимо, що при записі і зчитуванні інформації в тактових мікросхемах сигнал  $\overline{CS}$  або  $\overline{W}/R$  подається імпульсом. При схемотехнічній реалізації часових діаграм сигналів мікросхеми слід урахувувати значення часових параметрів, основні з яких наведено в табл. 9.8. У мікросхемі КР132РУ4 і КР132РУ6 адресні, керуючі й інформаційні сигнали фіксуються на вхідних підсилювачах-тригерах за негативним перепадом сигналу  $\overline{CS}$ . Тому для цих мікросхем треба забезпечити необхідний час утримання зазначених сигналів щодо сигналу  $\overline{CS}$  для їх «захоплення» вхідними тригерами. Після фіксації сигнали можуть набувати довільних значень, наприклад значень для наступного циклу звертання.

У мікросхемах асинхронних ОЗП сигнали  $\overline{CS}$  і  $\overline{W}/R$  можна подавати за допомогою рівня «0» або «1». У такому випадку часові процеси в мікросхемі визначають адресні сигнали. В асинхронних мікросхемах керуючі сигнали можна подавати й імпульсами. Тоді треба брати до уваги вимоги до їх мінімальної тривалості (табл. 9.8).

Таблиця 9.8. Динамічні параметри мікросхем серій К132, КР132 (у діапазоні температур  $-10...+70^{\circ}\text{C}$ ), нс

Тип мікросхеми	$t_{ц.зп(зч)}$	$t_{в.а}$	$t_{збДІ.зп}$	$\tau_{зп}$	$\tau_{в.м}$	$t_{у.а.в.м}$	$P_{сп}$ , Вт
РУ2А	650	650	100	400	—	—	0,4
РУ2Б	950	950	100	400	—	—	0,44
РУ3А	75	75	10	55	—	—	0,66
РУ3Б	75	125	10	55	—	—	0,55
РУ4А	55	33	—	—	33	5	0,47
РУ4Б	100	70	—	—	70	5	0,47
РУ5А	85	85	10	55	70	—	0,9
РУ5Б	120	120	10	60	105	—	0,9
РУ6А	75	45	10	25	45	25	0,44
РУ6Б	120	70	10	40	70	40	0,44
РУ8А	70	70	5	—	55	—	0,8
РУ8Б	120	120	5	—	55	—	0,8
РУ10	70	55	—	—	—	—	0,42

Примітка. Мікросхеми КМ132РУ5А, Б; КР132РУ4 А, Б; КР132РУ6 А, Б — тактові, інші — асинхронні.

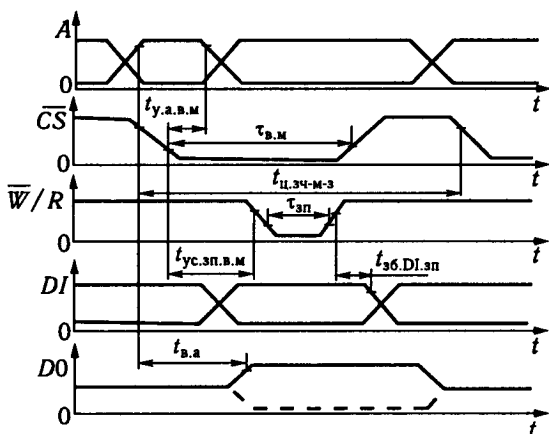


Рис. 9.8. Часові діаграми мікросхеми статичного ОЗП у режимі зчитування – модифікація – запис

Режим зчитування – модифікація – запис з'єднує два режими і забезпечує зчитування інформації з вибраного ЕП і запис у цього самого ЕП нової інформації в одному циклі (рис. 9.8). Час циклу звертання до мікросхеми в цьому режимі більший. Збільшується і число часових параметрів, які враховуються.

Для забезпечення максимальної швидкодії мікросхем потрібно адресні сигнали і сигнали керування формувати з тривалістю фронту 2 нс.

У режимі збереження в багатьох мікросхемах серії K132 спостерігається зниження в 3–5 разів струму споживання. У мікросхемах K132PY6 і KM132PY8 можливе багаторазове (більше ніж у 10 разів) зниження споживаної потужності за рахунок вимкання напруги живлення, але збереження її рівня 5 В на виводі CS. У цьому режимі через вхід CS здійснюється живлення тільки накопичувача і формівника напруги зсуву підкладки, інші функціональні вузли мікросхеми перебувають у вимкненому стані.

Серії K155, K134, K541, K185, K500, K1500 містять мікросхеми, виготовлені методами біполярної технології. Серед цих методів найчастіше застосовують ТТЛ-технології, переважно ТТЛШ (серії K531, K1531, K1533), ЕЗЛ-технології (серії K500, K1500), технології ПЛ-ТТЛ (K185, K134, K541), ТТЛ із ЕЗЛ (K155) тощо. Ці технології відрізняються схемотехнічними рішеннями, прийнятими для мікросхем статичних ОЗП. Поєднує ці технології те, що основним активним компонентом схем є біполярний транзистор і, отже, в основі лежить технологія виготовлення біполярних структур з різними фізико-техніч-

ними властивостями: класичних  $n-p-n$  або  $p-n-p$ -транзисторів, транзисторів із увімкненням діодів Шоттки паралельно колекторному переходу (транзисторів Шоттки), тиристорів, транзисторів з інжекційним живленням і под.

Серія K541 має у своєму складі мікросхеми статичних ОЗП ємністю  $4K \times 1$ ,  $8K \times 1$ ,  $16K \times 1$ ,  $1K \times 4$  асинхронного типу середньої швидкодії (див. табл. 9.1). Мікросхеми серії мають напругу живлення 5 В, вхідні і вихідні рівні ТТЛ-типу, вихід на три стани, характеризуються високим рівнем енергоспоживання порівняно з мікросхемами серії K132, причому не мають властивості знижувати рівень споживаної потужності в режимі збереження.

У структурі мікросхем є усі функціональні вузли типового варіанта її побудови (рис. 9.9). Як елемент пам'яті використаний статичний тригер на чотирьох транзисторах, два з яких, VT3 і VT4, є інжекторами транзисторів VT2 і VT1 відповідно. Двохемітерними транзисторами керують сигнали адресної шини  $x_i$  і розрядних шин  $PШ_0$ ,  $PШ_1$ . При  $x_i = 0$  тригер перебуває в режимі збереження, тому що при цьому фіксується стан плечей тригера. При  $x_i = 1$  обидва переходи емітера, підключені до адресної шини, закриваються і стан тригера залежить від потенціалів розрядних шин: при низькому потенціалі шин у режимі зчитування в одну з них проходить струм (саме в ту, з боку якої транзистор відкритий).

При запису по шинах у формі парафазного сигналу  $PШ_1 = D$ ,  $PШ_1 = \bar{D}$  до плечей тригера підводиться інформація. Асиметрія в потенціалах шин спричинює перемикання тригера в стан, зумовлений потенціалами шин: наприклад, при  $PШ_1 = 0$ ,  $PШ_0 = 1$  (запис 0) відкриється VT2, через нього в шину проходить струм інжектора VT4, а транзистор VT1 закриється. При записі 1 стан транзисторів зміниться на протилежний.

Вихідні і вхідні кола виконані на елементах ТТЛ, оскільки функціональні вузли з низьким порогом типу ІЛ мають низьку завадостійкість і, крім того, не узгоджені за рівнями напруги з елементами інших типів логіки. Варіант вихідного каскаду з трьома станами (рис. 9.9, в) виконаний за схемою ТТЛ складного інвертора з додатковими елементами VD1, VD2, VT2, потрібними для забезпечення третього стану виходу. Керуючий сигнал  $V$  залежить від зовнішніх сигналів  $CS$  і  $W/R$ , впливає на вхід транзистора VT2, закриває його при  $V = 0$  або відкриває при  $V = 1$ . У третьому стані вихід є при  $V = 1$ , коли шунтування відкритим транзистором VT2 входів спричинює закривання транзисторів VT5 і VT3, а отже, і VT4.

Мікросхеми серії K541 працюють у режимах збереження, запису і зчитування. Умови реалізації цих режимів наведено



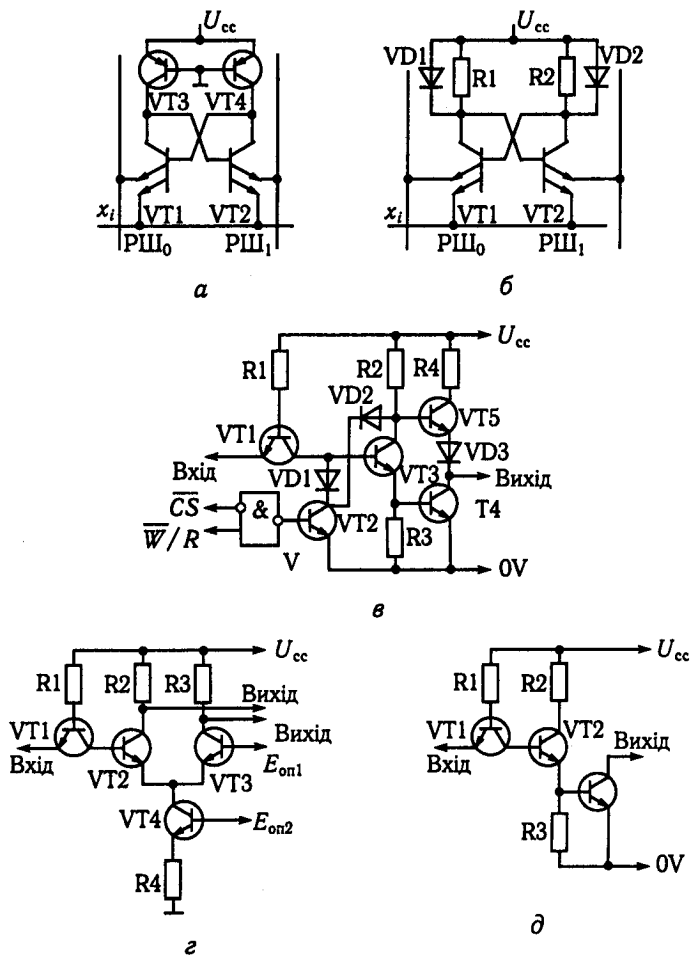


Рис. 9.9. Функціональні елементи мікросхем статичних ОЗП на біполярних транзисторах:

*a* – елемент пам'яті ПЛ; *б* – елемент пам'яті ТТЛ; *в* – інвертор з виходом на три стани; *г* – вхідний формівник ТТЛ–ЕЗЛ; *д* – інвертор з відкритим колекторним виходом

в табл. 9.9. Відповідно до умови режиму зчитування  $\overline{CS} = 0$ ,  $\overline{W/R} = 1$  керуючий сигнал має бути сформований виходячи зі співвідношення:  $V = \overline{CS} \cdot \overline{W/R}$ , або  $\overline{CS} + W/R$ .

За аналогічною схемою, але без VD1, VD2, VT2, побудовані і вхідні підсилювачі-формівники. Для підвищення швидкодії вхідні підсилювачі виконують і за схемою ТТЛ–ЕЗЛ

(рис. 9.9, з). Перевага цієї схеми полягає в тому, що вона в максимальному ступені реалізує швидкодію транзисторів за рахунок обмеження їх насичення і перемикання струмом емітера, який не залежить від вхідного впливу.

Мікросхеми серії К541 належать до групи асинхронних: сигнали  $\overline{CS}$  і  $\overline{W}/R$  можна подавати як рівнем, так і імпульсом. Параметри мікросхем наведено в табл. 9.9.

Мікросхеми ОЗП серій К134, К155, К185 мають багато спільного з розглянутими. Усі вони належать до типу асинхронних статичних ОЗП, тому досить прості в застосуванні. Основні характеристики цих мікросхем наведено в табл. 9.1.

Мікросхема К155РУ7 ємністю 1К × 1 біт асинхронна, має підвищену швидкодію: її час циклу звертання становить 45 нс. Це досягнуто застосуванням у структурі мікросхеми елементів ТТЛ і ЕЗЛ, зокрема елементом пам'яті є статичний тригер на двохемітерних транзисторах (рис. 9.9, б) з нелінійним навантаженням, а вхідні і вихідні каскади виконані, як зображено на рис. 9.9, з. Таблиця істинності, динаміка роботи цієї мікросхеми аналогічні мікросхемам серії К541.

Мікросхема К134РУ6 ємністю 1К × 1 біт отримана за ПЛ—ТТЛ-технологією. Її особливість полягає в тому, що вихід побудований за схемою з відкритим колектором (рис. 9.9, д). Наявність такого виходу не дає змоги поєднувати інформаційні входи і виходи. При з'єднанні кількох мікросхем на виходах можна використовувати схему «монтажного АБО» з підключенням до точки з'єднання джерела живлення через зовнішній струмообмежувальний резистор. Для розрахунку його опору слід урахувувати насамперед значення вихідного струму в стані логічного «0», який становить 16 мА. Характеристики мікросхем наведено в табл. 9.1. При збереженні споживана потужність знижується вдвічі.

Таблиця 9.9. Параметри мікросхем серій К541, КР541 (при температурі 25 °С), нс

Тип мікросхеми	Ємність, біт	$t_{ц.зп(зч)}$ , не більше	$t_{в.а}$ , не більше	$t_{ус.зп.а}$ , не менше	$t_{зб.а.зп}$ , не більше	$\tau_{зп}$ , не більше	$t_{у.в.м.зп}$ , не більше
РУ1	4К × 1	155	120	45	50	60	90
РУ1А	4К × 1	130	70	30	50	50	90
РУ2	1К × 4	140	120	50	30	60	60
РУ2А	1К × 4	140	90	50	30	60	60
РУ3	16К × 1	170	150	60	50	60	90
РУ3А	16К × 1	150	100	60	30	60	90
РУ31	8К × 1	170	150	60	50	60	90
РУ31А	8К × 1	150	100	60	30	60	90

Мікросхема K185PY5 ємністю  $1\text{K} \times 1$  біт має ті самі особливості, що й K134PY6, але вона більш швидкодійна. Серія розвивається, про що свідчать мікросхеми K185PY10 ємністю  $16\text{K} \times 1$  біт з часом циклу 50 нс.

Мікросхеми серій K500, K1500 мають найбільшу швидкодію, що зумовлено використанням для їх виготовлення ЕЗЛ-технології. Мікросхеми належать до групи асинхронних. Час циклу звертання в діапазоні робочих температур має значення від 9 нс для мікросхеми K1500PY073 і 15 нс для K1500PY480 до 40...45 нс для K500PY470, K1500PY470, K500PY415. Мікросхеми пам'яті зазначених серій мають електричні характеристики, несумісні з характеристиками мікросхем інших серій, що виключає їх спільне застосування. Для них характерний порівняно високий рівень енергоспоживання при невеликій інформаційній ємності (див. табл. 9.1). Причому рівень споживаної потужності не змінюється при переході від режиму звертання до режиму збереження.

Вихід у більшості мікросхем побудований за схемою з відкритим емітером. Такий вихід можна безпосередньо підключати до інформаційної шини або навантажувати його зовнішнім резистором 50 Ом, з'єднаним із джерелом напруги  $-2$  В. Мікросхеми пам'яті ЕЗЛ-серії призначені в основному для застосування у швидкодійній апаратурі як реєстри процесора (мікросхеми з організацією  $16 \times 4$ ,  $64 \times 8$ ), буферна пам'ять (мікросхеми з організацією  $256 \times 1$ ,  $256 \times 4$ ,  $1\text{K} \times 1$ ,  $4\text{K} \times 1$ ,  $1\text{K} \times 4$ ).

## 9.2. Мікросхеми динамічних ОЗП

У мікросхемах пам'яті динамічного типу функції ЕП виконує електричний конденсатор, утворений усередині МДН-структури. Інформація надходить у вигляді заряду: наявність заряду на конденсаторі відповідає логічному «0», відсутність — логічній «1». Оскільки час збереження конденсатором заряду обмежений, передбачають періодичне відновлення (регенерацію) записаної інформації. У цьому полягає одна з відмітних рис динамічних ОЗП. Крім того, для них потрібна синхронізація, що забезпечує необхідну послідовність вмикань і вимикань функціональних вузлів.

Для виготовлення мікросхем динамічних ОЗП в основному застосовують  $n$ -МДН-технологію, що дає змогу підвищувати швидкодію і рівень інтеграції мікросхем, забезпечувати малі струми витоку і за цей рахунок збільшувати час збереження заряду на запам'ятовувальному конденсаторі.

Мікросхеми динамічних ОЗП виробництва СНД подані в основному серією K565. Серія складається з мікросхем, що від-

Таблиця 9.10. Характеристики мікросхем динамічних ОЗП

Тип мікросхеми	Ємність, біт	$t_{ц.зп(зч)нс}$	$U_{ж}, В$	$P_{сп}, мВт$	
				звертання	зберігання
КР565РУ1А, Б	4К × 1	500, 900	12; ±5	400	20
К565РУ3А – Г	16К × 1	510..370	12; ±5	460	40
К565РУ5Б – Д	64К × 1	230...460	5	250...160	21
К565РУ5Д1, Д2	32К × 1	460	5	160	21
К565РУ5Д3	16К × 1	460	5	160	21
К565РУ5Д4	16К × 1	460	5	160	21
К565РУ6Б – Д	16К × 1	230...460	5	150...120	20
К565РУ7В – Г	256К × 1	340...410	5	350	35

різняються не тільки своїми характеристиками, а й використаними в них структурними рішеннями. Характеристики мікросхем динамічних ОЗП серії К565 наведено в табл. 9.10.

Розглянемо типовий варіант реалізації динамічного ОЗП на прикладі мікросхеми К565РУ3 інформаційною ємністю 16К × 1 біт. До її структурної схеми (рис. 9.10) належать виконані в одному силіцієвому кристалі матриця накопичувача, що містить 16 384 елементів пам'яті, розташованих на перетинаннях 128 рядків і 128 стовпців, 128 підсилювачів зчитування і регенерації, дешифратори рядків і стовпців, пристрій керування, пристрій введення-виведення та мультиплексний регістр адреси.

Матриця накопичувача поділена на дві частини по 64 × 64 ЕП у кожній. Між ними розміщені підсилювачі так, що кожен стовпець складається з двох секцій, підключених до різних плечей підсилювача (рис. 9.11).

Елемент пам'яті побудований за схемою з одним транзистором і вміщує конденсатор  $C_{ij}$  і транзистор  $VT_{ij}$ . Транзистор виконує функції перемикача: при сигналі на адресній шині рядка  $x_i = 1$  він відкривається і з'єднує конденсатор  $C_{ij}$  з  $j$ -розрядною шиною. Попередньо в паузах між звертаннями до накопичувача ємності півшин  $C_{шА}$  і  $C_{шВ}$  заряджає джерело напруги  $U_0$  через відкриті перемикальні транзистори  $VT_5$  і  $VT_6$ . При звертанні до накопичувача ці транзистори закриваються й ізолюють півшини  $A_j$  і  $B_j$  від джерела напруги  $U_0$ . Запам'ятовувальний конденсатор  $C_{ij}$  вибраного ЕП підключається через відкритий транзистор  $VT_{ij}$  до півшини  $A_j$  і змінює її потенціал. Ця зміна незначна, тому що ємність запам'ятовувального конденсатора набагато менша за ємність шини і становить 0,1...0,2 пФ. Тому для індикації малої зміни потенціалу шини при зчитуванні інфор-

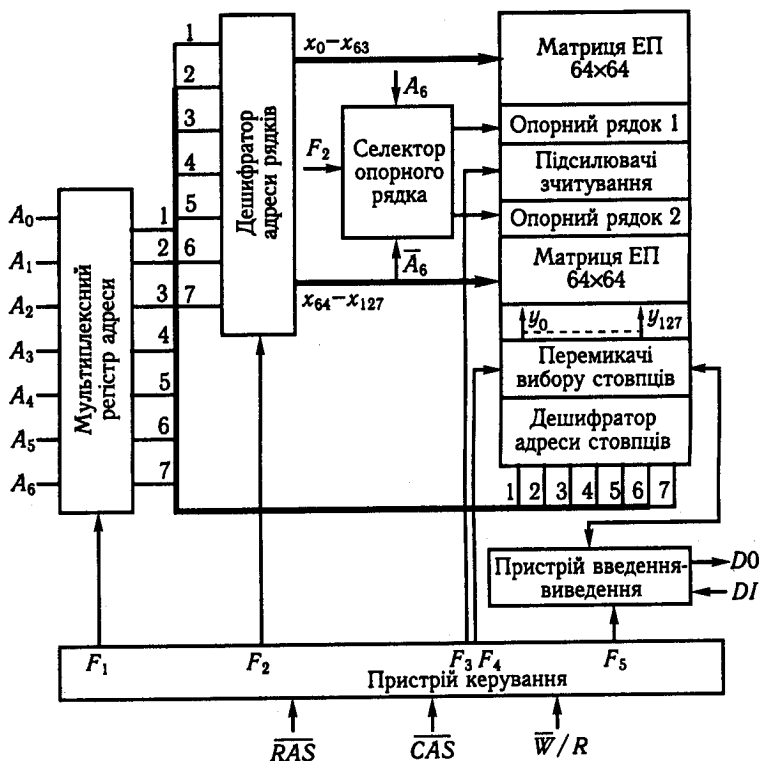


Рис. 9.10. Структура мікросхеми динамічного ОЗП

мації застосований високочутливий диференціальний підсилювач тригерного типу на транзисторах VT1 – VT4, увімкнений у середину РШ, як це зображено на рис. 9.11.

Крім масиву ЕП та підсилювачів, матриця має у своїй структурі опорні елементи (ЕО) – по одному елементу в кожній півшині. Ці елементи в кожній половині матриці становлять опорний рядок (ОР). Опорний елемент побудований аналогічно запам'ятовувальному. Він призначений для підтримування опорної напруги  $U_0$ , з якою підсилювач порівнює потенціал півшини з вибраним ЕП та реагує на одержану різницю потенціалів при порівнянні позитивного і негативного знака залежно від рівня зчитування. Ця операція відбувається так: якщо вибрано для звертання рядок верхньої півматриці  $x_i$ , то сигнал  $A_6$  старшого розряду коду адреси рядка комутує в селекторі опорного рядка коло через перемикальний транзистор VT12 для сигналу  $F_2$  до  $OP_2$ , розташованого в нижній півматриці.

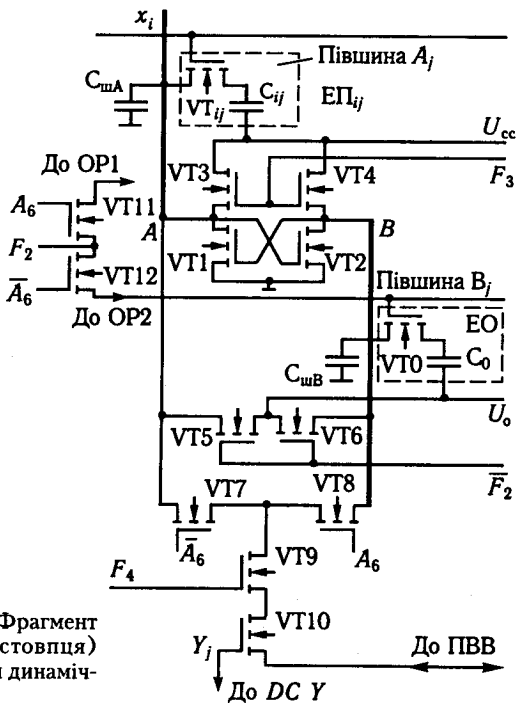


Рис. 9.11. Фрагмент розряду (стовпця) мікросхеми динамічного ОЗП

Таким чином, у кожному із 128 стовпців до підсилювача з різних сторін увімкнені ЕП та ЕО. Оскільки потенціал півшини з ЕП відрізняється від опорного, то в опорі транзисторів різних плечей підсилювача-тригера виникає асиметрія, що при ввімкненні кола його живлення сигналом  $F_3$  спричинює перекидання тригера за переважним рівнем. У результаті на виходах-входах  $A$  та  $B$  тригера формуються повні рівні «1» і «0». Той із сигналів, який відображає зчитану інформацію, у нашому прикладі на рис. 9.11 — сигнал із плеча  $A$ , комутується на вхід пристрою виведення через перемикальні транзистори  $VT_7$ ,  $VT_9$  і  $VT_{10}$ , які відкриваються сигналами  $\bar{A}_6$ ,  $F_4$  і  $Y_j$ . Очевидно, зчитаним може бути тільки один сигнал з вибраного дешифратором стовпця:  $Y_j = 1$ . В інших стовпцях перемикачі  $VT_{10}$  замкнені. Сигнал  $F_4$  залежить від наявності сигналу  $\bar{CAS}$ : за відсутності останнього він не формується і перемикач  $VT_9$  замкнений.

Сигнал на вході-виході  $A$  тригера-підсилювача виконує також функцію відновлення рівня заряду запам'ятовувального конденсатора  $C_{ij}$ , тобто функцію регенерації інформації,

причому ця операція відбувається у всіх ЕП вибраного рядка одночасно.

Отже, під час кожного звертання до матриці для зчитування інформації автоматично здійснюється регенерація інформації у всіх ЕП, що належать вибраному рядку.

Для адресації 16К елементів пам'яті потрібний 14-розрядний код, а в розглянутій мікросхеми тільки сім адресних входів. З метою зменшення числа необхідних виводів корпусу в мікросхемах динамічних ОЗП код адреси вводять так: спочатку сім молодших розрядів  $A_0 - A_6$ , супроводжуючи їх сигналом стробування  $\overline{RAS}$ , потім сім старших розрядів  $A_7 - A_{13}$  із сигналом стробування  $\overline{CAS}$ . Усередині мікросхеми коди адреси рядків і стовпців фіксуються на адресному регістрі, потім дешифруються і здійснюють вибірку адресної ЕП.

Для формування внутрішніх сигналів  $F_1 - F_4$ , керуючих увімкненням і вимиканням у визначеній послідовності функціональних вузлів мікросхеми, у її структурі передбачений пристрій керування, для якого входними є сигнали  $\overline{RAS}$ ,  $\overline{CAS}$ ,  $\overline{W} / R$ .

Пристрій введення-виведення забезпечує виведення одного біта інформації  $D_0$  у режимі зчитування і введення одного біта інформації  $D_1$  з її фіксацією за допомогою тригера-засувки в режимі запису. В усіх режимах, крім режиму зчитування, вихід набирає високоомного (третього) положення. Наявність у виходу високоомного стану дає змогу поєднувати інформаційні вхід і вихід при підключенні мікросхеми до загальної інформаційної шини.

За входами і виходом мікросхеми серії К565 сумісні з ТТЛ-мікросхемами, що означає відповідність їх входних і вихідних сигналів ТТЛ-рівням.

Значення вихідних струмів у нормальному режимі експлуатації не перевищують 4 мА, а в граничному режимі можуть досягати 30 мА.

Мікросхеми динамічних ОЗП працюють у таких режимах: запису, зчитування, зчитування — модифікації — запису, сторінкового запису, сторінкового зчитування, регенерації.

Зазначені режими й умови їх реалізації стосовно до мікросхеми К565РУЗ відображено в табл. 9.11, але аналогічно відбуваються процеси й у мікросхемах інших типів цієї серії.

Щоб звернутися до мікросхеми для запису і зчитування інформації, слід подати (рис. 9.12, а) код адреси рядків  $A_0 - A_6$ , одночасно з ним або з будь-якою (не нормується) затримкою сигнал  $\overline{RAS}$ , потім з нормованою затримкою на час утримання адреси рядків щодо сигналу  $\overline{RAS}$  треба пода-

Таблиця 9.11. Таблиця істинності мікросхем серії K565

$\overline{RAS}$	$\overline{CAS}$	$\overline{W}/R$	A	DI	D0	Режим роботи
1	1	X	X	X	Z	Зберігання
1	0	X	X	X	Z	Зберігання
0	1	X	A	X	Z	Регенерація
0	0	0	A	0	Z	Запис 0
0	0	0	A	1	Z	Запис 1
0	0	1	A	X	D	Зчитування

ти код адреси стовпців і через час установалення  $t_{yc.a.CAS}$  — сигнал  $\overline{CAS}$ . До моменту подавання коду адреси стовпців на вхід DI подають записуваний біт інформації, який сигналом  $\overline{W}/R$  за наявності  $\overline{CAS} = 0$  фіксується на вхідному тригері-засувці. Сигнал запису  $\overline{W}/R$  можна подати за допомогою рівня або імпульсу. В останньому випадку він повинний мати тривалість не меншу, ніж визначеного параметром  $\tau_{WR}$  значення. Якщо сигнал запису поданий рівнем, то фіксацію DI тригером-засувкою робить негативний перепад сигналу  $\overline{CAS}$  (за наявності  $\overline{RAS} = 0$ ). Після закінчення запису має бути витримана пауза  $\tau_{RAS}$ , яка дорівнює інтервалу між сигналами  $\overline{RAS}$ , для відновлення стану внутрішніх кіл мікросхеми.

В аналогічному порядку мають бути подані адресні і керуючі сигнали при зчитуванні інформації (рис. 9.12, б). Сигнал  $\overline{W}/R = 1$  можна подати за допомогою рівнів або імпульсів. Час появи вихідного сигналу можна відраховувати від моменту надходження сигналів адреси  $t_{в.а}$  або сигналів керування, час вибірки сигналу  $\overline{RAS} - t_{в.RAS}$ , час вибірки сигналу  $\overline{CAS} - t_{в.CAS}$ . Під час оцінювання мікросхеми за цими параметрами слід мати на увазі, що вони взаємозалежні, і тому досить знати один з них. Більш інформативним є параметр  $t_{в.CAS}$ , оскільки інформацію виводить з мікросхеми сигнал  $\overline{CAS}$  за наявності сигналу зчитування  $\overline{W}/R = 1$ . З рис. 9.12, б випливає:  $t_{в.RAS} = t_{в.CAS} + t_{yc.CAS.RAS}$ .

Для оцінювання швидкодії мікросхеми пам'яті слід ураховувати час циклу запису (зчитування):  $t_{ц.зп}$ ,  $t_{ц.зч}$ . Інші часові параметри потрібні для забезпечення безпомилкового функціонування мікросхем у складі електронної апаратури. Перелік часових параметрів динамічних ОЗП охоплює десятки найменувань. Усю різноманітність цих параметрів можна систематизувати, об'єднавши їх у такі групи:

1) параметри, що характеризують тривалості сигналів і інтервалів між сигналами, наприклад сигналу A:  $\tau_A$ ,  $\overline{\tau}_A$ ;



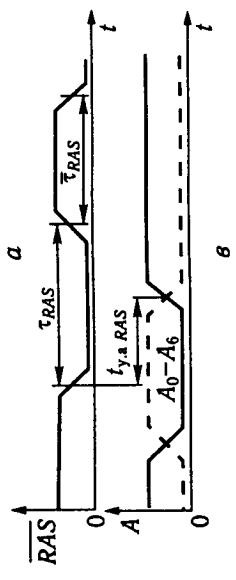
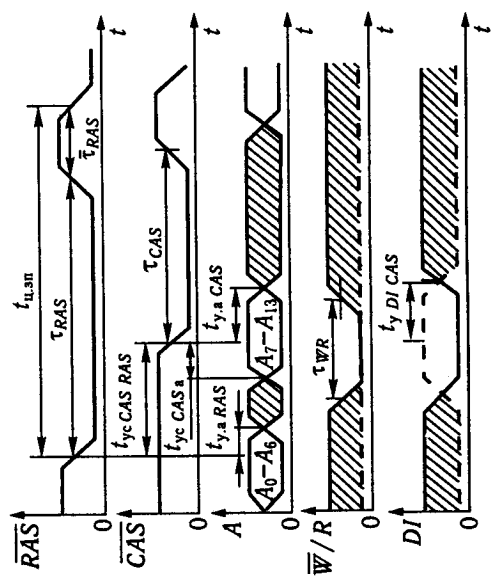
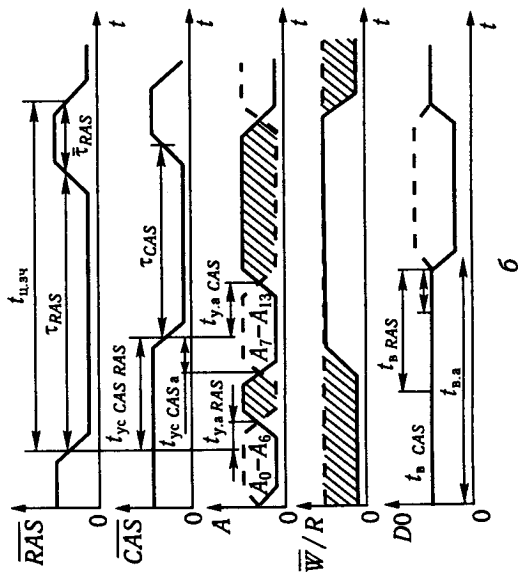


Рис. 9.12. Часові діаграми мікросхеми K565PU3 в режимах запису (а), зчитування (б), регенерації (в)

2) параметри, що характеризують взаємний зсув сигналів, наприклад сигналів  $A$  і  $B$ :

$t_{yc.B.A}$  — час установлення сигналу  $B$  відносно  $A$ ;

$t_{y.B.A}$  — час утримання сигналу  $B$  відносно  $A$ ;

$t_{зб.A.B}$  — час збереження сигналу  $A$  відносно  $B$ ;

3) час циклу  $t_{ц}$  — інтервал часу між початками (закінченнями) сигналів на одному з керуючих входів, наприклад  $A$ , протягом якого мікросхема виконує одну функцію, наприклад запис  $t_{ц.зп}$  або зчитування  $t_{ц.зч}$ ;

4) час вибірки  $t_{в}$  — інтервал часу між подаванням на вхід мікросхеми заданого сигналу, наприклад  $A$ , і одержанням на виході даних.

Для мікросхем динамічних ОЗП введено ще один параметр — період регенерації  $T_{рег}$ , що визначає максимальний інтервал часу між двома звертаннями за кожною адресою для відновлення збереженої інформації.

Часові діаграми мікросхем динамічних ОЗП мають істотні відмінності (рис. 9.13). Вже була зазначена характерна риса мікросхем динамічних ОЗП — приймати код адреси двома частинами. У цьому випадку спочатку вводять 7-розрядний код адреси рядків  $A_0 - A_6$ , супроводжуючи його сигналом  $\overline{RAS}$ , потім до цих же адресних входів підводять сигнали адреси стовпців  $A_7 - A_{13}$ , супроводжуючи їх сигналом  $\overline{CAS}$ . Параметром  $t_{ycCASRAS}$  установлюють взаємний зсув за часом зазначених сигналів.

Для забезпечення надійного запису сигналів адреси у внутрішніх регістрах слід утримати ці сигнали певний час відносно сигналів стробування  $\overline{RAS}(t_{y.aRAS})$  і  $\overline{CAS}(t_{y.aCAS})$ .

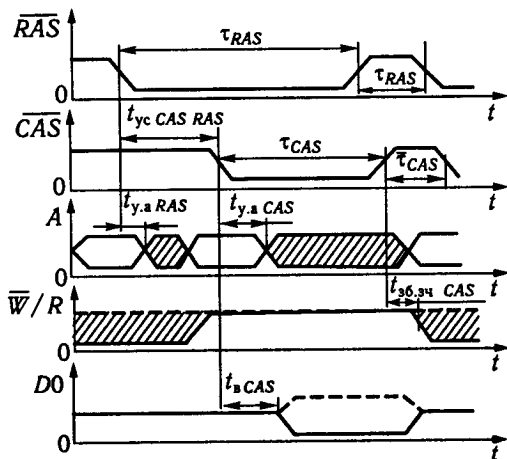


Рис. 9.13. Часові діаграми динамічного ОЗП у режимі зчитування

Сигнал  $\overline{W} / R = 1$  при зчитуванні слід подавати до сигналу  $CAS$  або одночасно з ним. Після закінчення зчитування цей сигнал знімають через час  $t_{36.3ч.CAS}$ .

Час, потрібний для виконання мікросхемою функції зчитування інформації за заданою адресою з урахуванням тривалості відновлення стану внутрішніх кіл  $\tau_{RAS}$ , визначає значення параметра  $t_{ц.зч}$ .

У табл. 9.12 наведено основні параметри, які досить повно відображають динаміку роботи мікросхем динамічних ОЗП серії K565. Параметри наведено на часових діаграмах рис. 9.12 (штрихуванням позначено часові інтервали, що не фіксуються за тривалістю, де сигнали можуть мати довільні значення 0 або 1).

Для забезпечення надійного збереження записаної в накопичувачі інформації реалізують режим примусової регенерації. Регенерація інформації в кожному ЕП має здійснюватися не рідше ніж через 2 мс (для K565PY5Д и KP565PY6Д через 1 мс). Як уже зазначалося, регенерація автоматично виконується для всіх ЕП вибраного рядка при звертанні до матриці для запису чи зчитування інформації.

Таблиця 9.12. Динамічні параметри мікросхем серії K565

Параметр, нс	K565PY3			K565PY5,6				K565PY7	
	А, Б	В	Г	Б	В	Г	Д	В	Г
$t_{ц.зп(зч)}$	510	410	370	230	280	360	460	340	410
$t_{ц.зч-м-зп}$	670	520	420	310	380	460	600	410	490
$t_{ц.зп(зч)*}$	370	275	225	150	180	250	320	120	140
$\tau_{RAS}$	300	250	200	120	150	200	250	150	200
$\overline{\tau}_{RAS}$	200	150	120	100	120	150	200	180	200
$\tau_{CAS}$	220	165	135	70	90	120	150	75	100
$t_{ycCASRAS}$	100	85	65	30	35	55	75	50	60
$t_{y.aRAS}$	60	45	25	15	20	40	60	20	25
$t_{ycCASa}$	20	10	10	0	0	0	0	—	—
$t_{y.aCAS}$	100	75	55	25	35	45	60	—	—
$\tau_{WR}$	120	75	55	35	45	80	120	40	65
$t_{yDICAS}$	100	75	55	45	55	80	120	55	70
$\tau_{CAS}^*$	140	100	80	70	80	120	160	60	70
$\tau_{вCAS}$	200	165	135	70	90	120	150	50	60
$T_{per}, \text{ мс}$	2	2	2	2	2	2	1	8	8

Примітка. \*У сторінковому режимі.

Час, протягом якого потрібно звернутися до рядка для регенерації, визначає параметр «період регенерації»  $T_{\text{рег}}$ .

Оскільки звертання до різних рядків відбувається з різними за тривалістю інтервалами часу, розраховувати тільки на автоматичну регенерацію не можна.

Цикл регенерації складається з  $m$  звертань до матриці, де  $m$  — число рядків шляхом відбору адрес рядків за допомогою зовнішнього лічильника циклів звертань. Звертання до матриці для регенерації можна організувати за кожним з режимів: запису, зчитування, зчитування — модифікації — запису, а також за спеціальним режимом регенерації — сигналом  $\overline{RAS}$ .

Режим роботи зчитування — модифікація — запис полягає в зчитуванні інформації про наступний запис у тому самому ЕП. У часових діаграмах сигналів для цього режиму поєднані діаграми для зчитування (рис. 9.12, б) і запису (рис. 9.12, а) інформації: при незмінних сигналах  $\overline{RAS}$  і  $\overline{CAS}$  режим зчитування змінює режим запису даних за тією самою адресою. Модифікація режиму полягає в зміні сигналу зчитування на сигнал запису й у підведенні до входу  $DI$  записуваної інформації. Час циклу в цьому режимі звертання більший, ніж в інших (див. табл. 9.12). В усіх зазначених режимах регенерація здійснюється природно як операція, що супроводжує процес звертання до мікросхеми.

У разі організації примусової регенерації найдоцільнішим і зручнішим для реалізації є режим регенерації сигналом  $\overline{RAS}$  (рис. 9.12, в), за якого здійснюють відбір адрес у супроводі сигналу стробування  $\overline{RAS}$  при  $\overline{CAS} = 1$ .

У мікросхемі K565PY1 режим регенерації здійснюють за циклом зчитування чи зчитування — модифікація — запис з виконанням умови  $\overline{CS} = 1$ , за якою доступ до мікросхеми за входом і виходом закритий. Вихід перебуває у високоомному стані.

У розрахунок часу регенерації потрібно брати час циклу при вибраному режимі регенерації, помноживши його на число рядків. Наприклад, на регенерацію інформації в ЕП одного рядка мікросхеми K565PY5Б у режимі зчитування — модифікація — запис потрібно (див. табл. 9.12) 310 нс, тоді для регенерації ЕП усіх 256 рядків буде потрібно 80 мкс, що становить 4 % робочого часу мікросхеми. У режимі регенерації тільки сигналом  $\overline{RAS}$  загальний час регенерації зменшується до 61,5 мкс, що становить 3 % часу функціонування мікросхеми.

Сторінкові режими запису і зчитування реалізують звертанням до мікросхеми за адресою рядка з вибіркою ЕП цього

рядка зміною адреси стовпців. У цих режимах значно зменшується час циклу запису (зчитування) (табл. 9.12), оскільки при незмінних сигналах  $\overline{RAS} = 0$  і коду адреси рядка використана частина повного циклу запису (зчитування), що належить до адресації стовпців.

До складу серії K565 належать мікросхеми з інформаційною ємністю 4К, 16К, 64К и 256К. Мікросхеми K565PY1 і K565PY3 мають потребу в трьох джерелах живлення. У процесі застосування цих мікросхем слід урахувувати вимоги ввімкнення і вимикання джерел живлення: першим підключають джерело 5 В, а вимикають останнім. Ця вимога зумовлена тим, що напруга 5 В подається на підкладку (кристал) і якщо її не підключити першою, то під впливом, навіть короткочасним, напруг двох інших джерел з напругою 5 і 12 В може відбутися в кристалі тепловий пробій і пошкодитися мікросхема.

Після подавання напруги живлення мікросхеми K565PY1, K565PY3 переходять у нормальний режим функціонування через 8 робочих циклів, мікросхема K565PY5 — після паузи 2 мс і наступних 16 робочих циклів; мікросхема KP565PY6 — після паузи 2 мс і наступних 8—16 робочих циклів у кожному з режимів.

Мікросхеми K565PY5 і KP565PY6 мають одне джерело живлення 5 В і однакові електричні параметри, але різну інформаційну ємність.

Мікросхема KP565PY6 сумісна з мікросхемою K565PY3 за статичними параметрами, має ту саму інформаційну ємність і розгалуження виводів у корпусі, але відрізняється кращими значеннями тимчасових параметрів, споживаної потужності і наявністю одного джерела живлення 5 В. Тому застосування мікросхеми KP565PY6 доцільніше.

Кожен тип мікросхем серії K565 має підтипи (номінали типів), що відрізняються тимчасовими параметрами, а мікросхеми K565PY5 і інформаційною ємністю, що розширює функціональний ряд мікросхем динамічних ОЗП. За режимами роботи мікросхеми серії K565 цілком сумісні, що забезпечує можливість переходу від мікросхем пам'яті невеликої інформаційної ємності, наприклад від KP565PY6, до мікросхем K565PY5 та K565PY7.

Подальший розвиток мікросхем динамічних ОЗП пов'язаний з підвищенням рівня інтеграції й, отже, інформаційної ємності, а також з опануванням структур, у яких пристрій динамічної пам'яті з'єднаний на одному кристалі з пристроєм регенерації. Такий динамічний ОЗП для користувача має характеристики статичного ОЗП, і тому його називають

*квaziстатичним*. Елементи таких вбудованих систем регенерації уже є в сучасних мікросхемах динамічних ОЗП, зокрема в K565PY7. Істотною відмітною рисою цієї мікросхеми є збільшений до 8 мс період регенерації і наявність у неї вбудованого в кристал лічильника адреси рядків, що дає змогу застосовувати режим автоматичної регенерації. У цьому режимі регенерація здійснюється за 512 циклів зміни тільки сигналу  $\overline{RAS}$  при активному стані сигналу  $\overline{CAS}$ . Відбір адрес рядків автоматично виконує внутрішній лічильник. Це спрощує пристрій керування мікросхемою.

### 9.3. Застосування мікросхем ОЗП

Для реалізації оперативної пам'яті широко застосовують мікросхеми статичних і динамічних ОЗП: перші — для ОЗП порівняно невеликої ємності, другі — для ОЗП ємністю більше ніж 10 Кбайт, оскільки вони в більшому ступені задовольняють вимоги щодо габаритів, енергоспоживання і вартості запам'ятовувальних пристроїв.

Мікросхеми статичних ОЗП простіші в застосуванні, тому в багатьох випадках їм віддають перевагу.

Мікросхеми пам'яті для побудови ОЗП мікро-ЕОМ або мікропроцесорного контролера вибирають виходячи з таких даних: необхідна інформаційна ємність і організація пам'яті, швидкодія (час циклу звертання для запису або зчитування), тип магістралі (інтерфейсу), характеристики ліній магістралі (навантажувальна здатність за струмом і ємністю, вимоги до пристроїв введення-виведення вузлів, що підключаються, тощо), вимоги до енергоспоживання, потреба у забезпеченні енергетичної незалежності, умови експлуатації, конструктивні вимоги.

Блок ОЗП у загальному випадку включає модуль ОЗП, складений з мікросхем пам'яті, контролер ОЗП (пристрій керування), буферні або магістральні регістри, приймально-передавальні пристрої, шинні формівники, що забезпечують з'єднання за навантаженням модуля ОЗП із шинами адреси і даних.

Значний вплив на схему і характеристики контролера і пристроїв з'єднання справляє тип інтерфейсу в певній мікропроцесорній системі.

Фізичний інтерфейс є уніфікованою магістраллю з функціонально об'єднаними лініями, по яких передають коди адреси (шина адреси — ША), дані (шина даних — ШД), сигнали керування (шина керування — ШК), а також електроживлення. Прикладом можуть бути інтерфейси таких типів: ІК1 (для

пристроїв на мікропроцесорі K580BM80), I41 (для пристроїв на основі 16-розрядного мікропроцесора K1810BM86, зокрема для мікро-ЕОМ сім'ї CM1810), МПІ (для сім'ї 16-розрядних мікро-ЕОМ «Електроніка-60», «Електроніка НЦ-80» і ДВК, «Електроніка 35»).

Під час розроблення ОЗП одною з типових є задача об'єднання мікросхем пам'яті в модуль. Спосіб розв'язання цієї задачі ілюструє рис. 9.14, на якому зображено блок ОЗП ємністю 8 Кбайт, побудований на мікросхемах K537PY14 з можливістю його розширення до 32 Кбайт. Кожна мікросхема має організацію з одним розрядом  $4 \text{ К} \times 1 \text{ біт}$ . Для нарощування розрядності слів до байта приєднують вісім мікросхем DD1—DD8 у субмодуль шляхом з'єднання всіх одноіменних виводів, крім інформаційних. Аналогічно побудовано субмодуль DD9—DD16.

Для нарощування числа слів з'єднують всі одноіменні виводи мікросхем субмодулів DD1—DD8 і DD9—DD16, крім виводів для сигналів вибору мікросхем  $\overline{CS1}$ ,  $\overline{CS2}$ . Ці виводи підключають до виходів дешифратора DD17, призначення якого полягає у виборі субмодуля. Ці виходи адресуються старшими розрядами коду адреси  $A_{14}A_{13}A_{12}$ . У розглянутому прикладі задіяні два виходи DD17, на яких сигнали з рівнем логічного «0» надходять при вхідних кодах 000 і 001. У першому випадку відкритий доступ до субмодуля DD1—DD8, у другому — до субмодуля DD9—DD16. Очевидно, що решта шість виходів DD17 дають змогу збільшувати ємність ОЗП ще на шість аналогічних субмодулів, тобто до 32 Кбайт, або використовується частина виходів для підключення до них модулів ПЗУ.

Таку організацію пам'яті, як на рис. 9.14, називають *сторінковою*, а субмодуль — *сторінкою*. Слід мати на увазі можливість зміни адреси сторінок, тобто її положення в адресному просторі, підключенням виводу  $\overline{CS}$  до потрібного виходу дешифратора DD17.

Старший розряд коду адреси  $A_{15}$  використовується для поділу адресного простору ємністю 64 Кбайт на дві рівні частини. При  $A_{15} = 0$  дешифратор DD17, маючи на керуючому вході VI сигнал дозволу з рівнем логічного «0», забезпечує формування на своїх виходах сигналів вибору сторінок. При  $A_{15} = 1$  дешифратор DD17 блокований, на його виходах рівні набувають значення логічної «1» і тим самим забезпечується заборона доступу до сторінок ОЗП.

Другу половину адресного простору ємністю до 32 Кбайт можна використовувати для адресації пристроїв введення-

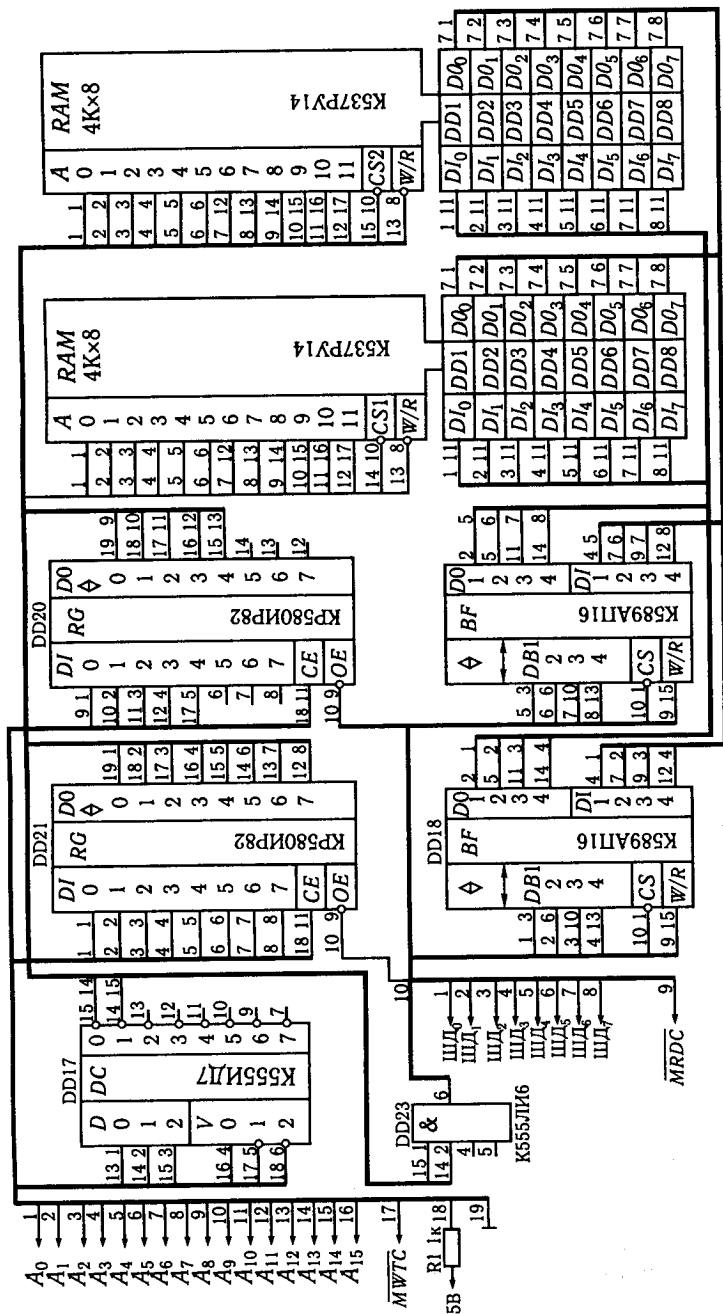


Рис. 9.14. Блок статичного ОЗП на мікросхемах пам'яті з роздільними лініями ввєдєння-вивєдєння даних



виведення. За необхідності істотного збільшення ємності пам'яті використовують чотири старших розряди коду адреси  $A_{12} - A_{15}$ . У такому випадку можна застосовувати дешифратор К555ИДЗ, який має 16 виходів, що дасть змогу одержати модуль пам'яті ємністю до 64 Кбайт.

Регістри DD20, DD21 виконують функції буферів адресної шини. Буфери шин потрібні для підвищення їх навантажувальної здатності за струмом і ємністю. Наприклад, лінії ША мікропроцесора КР580ВМ80А мають допустимі значення струму до 1,8 мА і ємності до 100 пФ. Через те що значення ємності кожного адресного входу мікросхем пам'яті серії К537 становить 5...10 пФ, дістанемо у схемі на рис. 9.14 ємнісне навантаження кожної лінії ША більше ніж 100 пФ. Таким чином, є необхідність увімкнення буфера.

Застосування регістрів КР580ИР82 як буферів збільшує навантажувальну здатність ліній ША до 32 мА і 300 пФ. Один з розрядів регістра DD20 (виводи 5, 15) використаний як буфер лінії сигналу  $\overline{MWTCS}$ , який керує режимом запису — зчитування мікросхем ОЗП.

Запис інформації у регістр КР580ИР82 здійснюють за стробом, який подається на вхід  $CE$  (вивід 11), або за наявності на цьому вході постійного рівня логічної «1». Зчитування інформації можливе за наявності на вході  $OE$  (вивід 9) сигналу з рівнем логічного «0». При  $\overline{OE} = 1$  виходи набирають третього стану. Значення сигналу дозволу  $\overline{OE}$  формує логічний елемент DD23 у разі надходження хоча б на один з його входів сигналу з рівнем логічного «0». Отже, при звертанні до модуля ОЗП, якщо один із сигналів вибору  $\overline{CS1}$  або сторінки  $\overline{CS2}$  дорівнює 0, на виході DD3 формується сигнал з рівнем «0», який відкриває для читання регістри DD20, DD21. При збільшенні числа сторінок потрібно задіяти додаткові входи DD23.

Для буфера ША можна використовувати також мікросхеми магістральних приймачів-передавачів і шинних формівників.

З'єднання модуля ОЗП із шиною даних реалізовано на мікросхемах шинних формівників К589АП16 (DD18, DD19). Мікросхема зазначеного виду має 4-розрядні вхідний і вихідний канали  $DI_1 - DI_4$ ,  $DO_1 - DO_4$ , 4-розрядний двонапрямлений канал  $DB_1 - DB_4$ . Передавання інформації забезпечується при сигналі з рівнем логічного «0» на вході  $CS$ . За наявності на вході  $CS$  сигналу з рівнем логічної «1» усі виходи переходять у третій стан. Сигнал  $\overline{CS}$  знімається з виходу DD23.

Напрямок передавання інформації залежить від сигналу  $\overline{MRDC}$ , який подається на вхід  $W/R$ : при 0 інформація передається з входів  $DI$  на виходи  $DB$ , при 1 — із входів  $DB$  на виходи  $D0$ . Отже, при  $\overline{MRDC} = 0$  інформація з виходів мікросхем ОЗП надходить у шину даних, при  $\overline{MRDC} = 1$  — із шини даних на входи мікросхем ОЗП.

Для буфера шини даних можна використовувати також мікросхеми шишних формівників інших серій, наприклад K555АП6, магістральні приймачі-передавачі K580BA86, K580BA87 (з інверсними виходами), K588BA1.

Інший варіант побудови блока статичного ОЗП ємністю 8 Кбайт наведено на рис. 9.15. Блок включає два субмодулі (сторінки) пам'яті DD1 — DD8 і DD9 — DD16 по 4 Кбайт кожний, буфер шини адреси DD20, DD21, буфер шини даних DD18, програмувальний адресний пристрій DD17 і логічні елементи DD19 для формування сигналів вибору сторінок.

Субмодулі побудовані так само, як на рис. 9.14, за винятком того, що в кожній мікросхемі інформаційні вхід  $DI$  і вихід  $D0$  з'єднані і виведені на одну лінію ШД. Крім цього, тут застосовані мікросхеми тактових статичних ОЗП K537PY3, які потребують при кожному звертанні до них подавання імпульсного сигналу на вхід  $CS$ . Перехід таких мікросхем з режиму збереження в активний режим запису або зчитування здійснюється перемиканням сигналу  $\overline{CS}$  зі стану «1» у стан «0». Після закінчення операції запису або зчитування для підготовки до наступного циклу потрібно встановити сигнал  $\overline{CS}$  у стан «1».

Для забезпечення імпульсних сигналів  $\overline{CS1}$  і  $\overline{CS2}$  у схемі блока ОЗП передбачено стробування елементів DD19.1 і DD19.2 імпульсом, що формує вузол DD22.1, DD22.2 при імпульсному впливі на його входи сигналів  $\overline{MWTC}$  при записі і  $\overline{MRDC}$  при зчитуванні інформації.

Для вибору однієї з двох сторінок ОЗП використано розряд  $A_{12}$  коду адреси: при 0 вибирається сторінка DD1 — DD8, при 1 — сторінка DD9 — DD16.

Буфер ШД реалізований на мікросхемі DD18 магістрального приймача-передавача (МПП) KP580BA86, що є 8-розрядним двонаправленим формівником та забезпечує струм навантаження до 32 мА, ємність 300 пФ. Мікросхема має двонаправлений канал  $A$ , який підключається до магістралі, і двонаправлений канал  $Y$ , який підключається до ОЗП.

Виходи обох каналів мають три стани. Канали керуються сигналами напрямку передавання даних  $W/R$  і вимкнен-

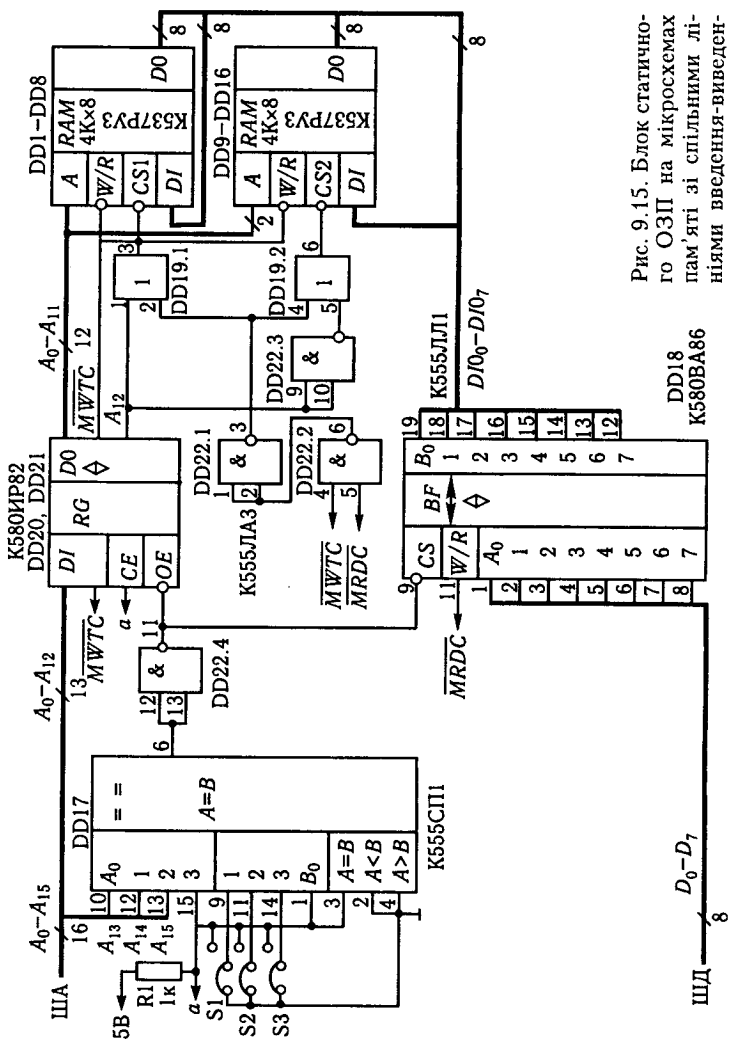


Рис. 9.15. Блок статичного ОЗП на мікросхемах пам'яті зі спільними лініями введення-виведення даних

DD18  
K580BA86

ня  $\overline{CS}$ . Передавання інформації дозволено при  $\overline{CS} = 0$ , причому якщо  $W/R = 1$ , то напрямок передавання — від каналу  $A$  до каналу  $B$ , якщо  $W/R = 0$ , то передавання здійснюється від  $B$  до  $A$ . При  $\overline{CS} = 1$  виходи каналів переходять у третій стан. Затримка передавання інформації мікросхемою МПП становить 30 нс. У розглянутому варіанті інформаційні входи і виходи мікросхем ОЗП з'єднані однією 8-розрядною шиною так, що, наприклад, до однієї лінії підключають  $DI_0$  і  $DO_0$  обох субмодулів, утворюючи лінію  $DI0_0$ . Перемикання напрямку передавання DD18 здійснює сигнал  $\overline{MRDC}$ . Так само можна використовувати сигнал  $DBIN$  з виходу мікропроцесора KP580BM80A, попередньо інвертувавши його.

Особливістю розглянутого блока ОЗП є застосування програмувального адресного пристрою DD17. Він становить собою схему порівняння двох 3-розрядних кодів. Опорний код  $B_2B_1B_0$ , який встановлюється перемичками S1–S3, є адресою цього блока ОЗП. При збігу коду із шини адреси  $A_{15} - A_{13}$  з опорним кодом схема порівняння формує сигнал дозволу для регістрів DD20, DD21 і магістрального приймача-передавача DD18. За цим сигналом код адреси  $A_{11} - A_0$  надходить на адресні входи модуля ОЗП, а його інформаційні входи і виходи комутуються на шину даних. За відсутності сигналу дозволу на вході DD17 модуль ОЗП вимкнений від шини адреси і шини даних.

Для побудови блоків оперативної пам'яті динамічного типу застосовують мікросхеми динамічних ОЗП.

Ці мікросхеми мають деякі особливості, що істотно відрізняють їх від мікросхем статичних ОЗП: мультиплексування адресного коду, складніші часові діаграми сигналів керування, регенерація збереженої інформації, значна неузгодженість входів і виходів із ТТЛ-лініями за опором і можливість появи завад, до яких динамічні мікросхеми дуже чутливі.

Зазначені особливості мікросхем пам'яті значно впливають на структурні і схемотехнічні рішення під час побудови динамічних ОЗП, а також на режими їх роботи. Як і для статичних ОЗП, задача реалізації динамічних ОЗП багатоваріантна. Тому способи її розв'язання розглянемо на деяких прикладах, звернувши увагу на застосування мікросхем пам'яті і режими керування їх роботою.

На рис. 9.16 наведено структурну схему блока динамічного ОЗП ємністю 64 Кбайт для 8-розрядних мікропроцесорних пристроїв, реалізованих на комплекті ВІС K580. Варіанти реалізації функціональних вузлів наведено на рис. 9.17 і 9.18.

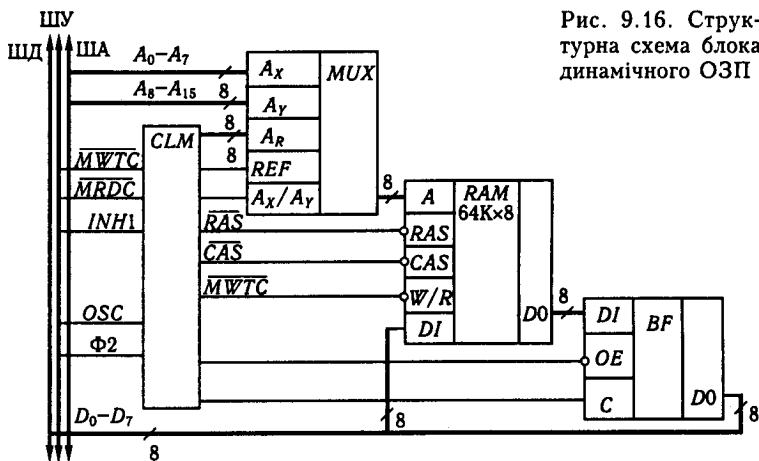


Рис. 9.16. Структурна схема блока динамічного ОЗП

Модуль пам'яті (рис. 9.17) DD1 – DD8 побудований на мікросхемах K565PY5 шляхом з'єднання їх однойменних виводів, крім інформаційних. Сигнали  $\overline{RAS}$  і  $\overline{CAS}$  формує контролер ОЗП CLC (рис. 9.18), сигнал  $\overline{MWTC}$  із шини керування подається на вхід  $W/R$ . Для зниження ступеня неузгодженості з ТТЛ-елементами доцільно підключати всі адресні і керуючі лінії до входів мікросхем пам'яті через резистори з опором 20...30 Ом.

Буфер вихідних даних DD13 реалізований на 8-розрядному регістрі K580IP82. Він може бути побудований також на інших реєстрових мікросхемах, магістральних приймачах-передавачах, наприклад K580BA86, або багаторежимних буферних регістрах. Сигнали керування регістром виробляє контролер ОЗП. Сигнал  $\overline{OE}$  керує виходами: при 0 вони відкриті для зчитування, при 1 – переходять у третій стан, сигнал  $\overline{CE}$  керує входами: при 1 вони відкриті для запису, при 0 – заблоковані.

У розглянутому варіанті реалізації блока ОЗП буферизовані тільки до його вихідної лінії. Можливі й інші способи з'єднання модуля ОЗП із шиною даних: через буфери вхідних і вихідних інформаційних ліній, як на рис. 9.14, або через магістральний приймач-передавач типу K580BA86 зі з'єднанням інформаційних входу і виходу кожної мікросхеми, як на рис. 9.15.

Мультиплексор DD9 – DD12 забезпечує послідовне за часом введення адресного коду рядків  $A_X (A_0 - A_7)$  і стовпців  $A_Y (A_8 - A_{15})$  у модуль ОЗП. Адресні сигнали надходять на

Рис. 9.17. Блок динамічного ОЗП з мультитиплексором коду адреси

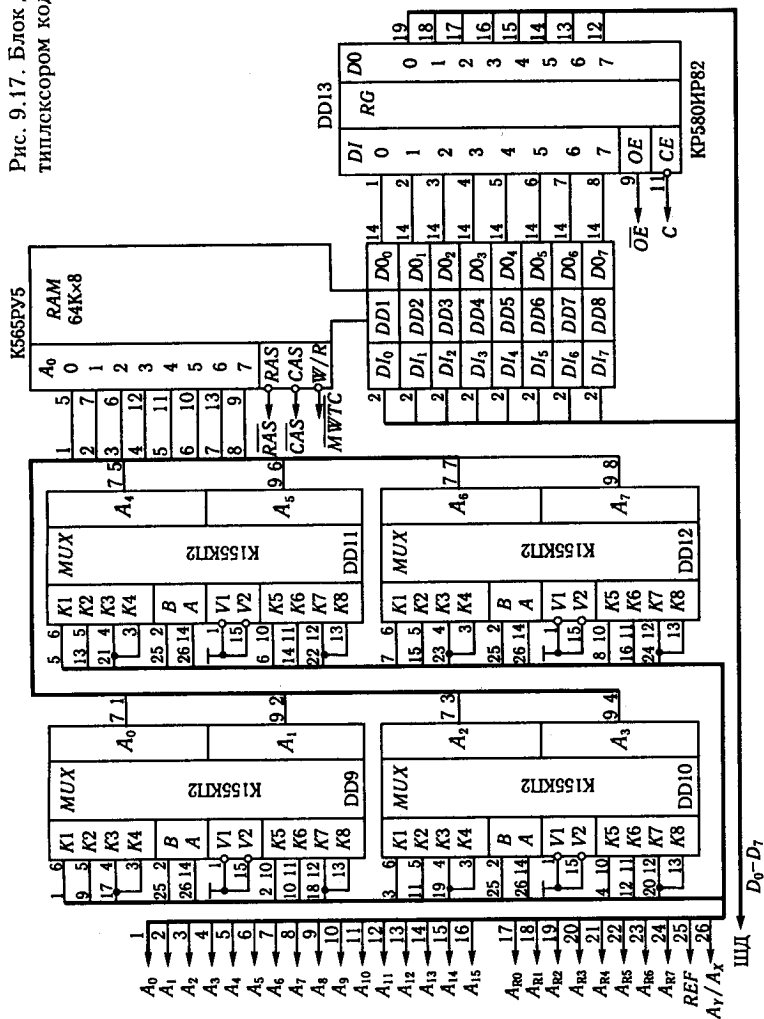
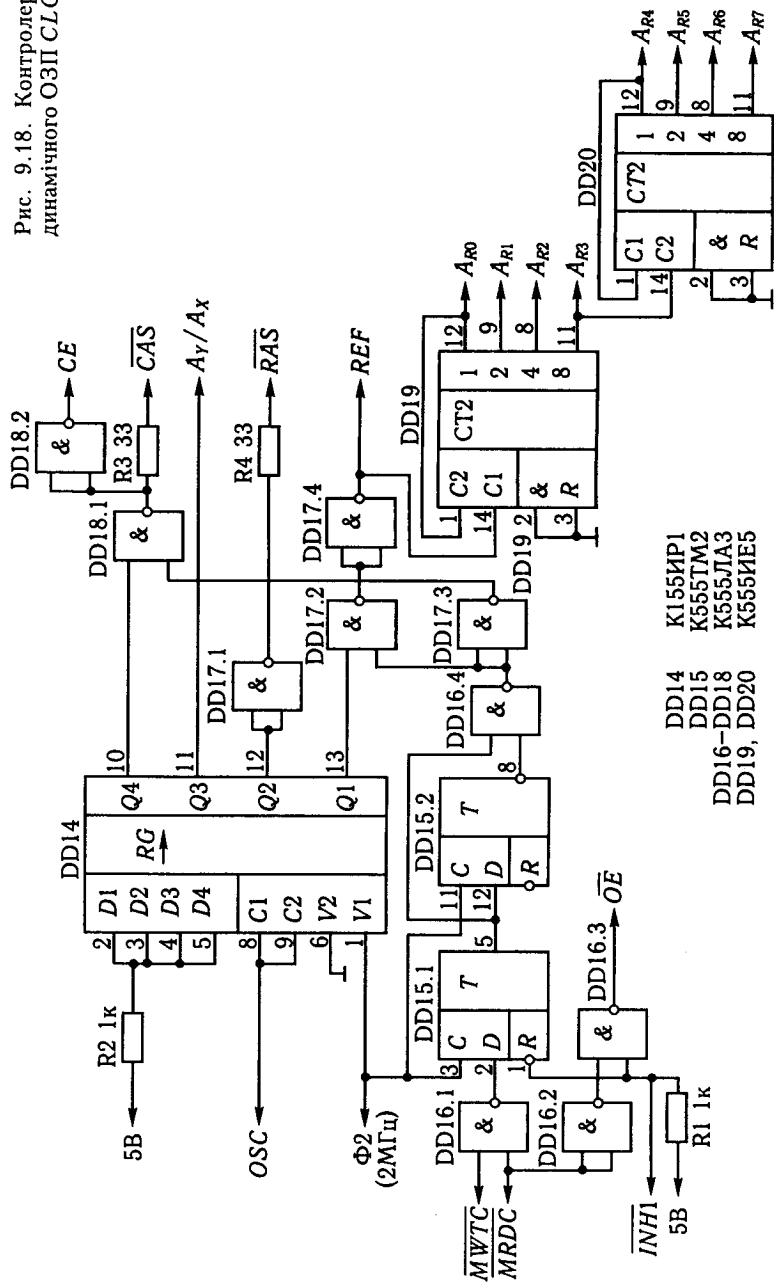


Рис. 9.18. Контролер динамічного ОЗП СЛС



входи  $K1, K2$  і  $K5, K6$  мультиплексорних мікросхем (див. рис. 9.17) і комутуються на виходи під керуванням сигналу на вході  $A(A_Y / A_X)$  за наявності на іншому керуючому вході  $B(REF)$  рівня «0». Умови комутації адресних сигналів такі: при  $A_Y / A_X = 0$  до виходів підключаються канали  $K1, K5$  і, отже, на адресні входи ОЗП надходять адреси рядків  $A_X$ , при  $A_Y / A_X = 1$  до виходів підключаються канали  $K2, K6$  і до ОЗП спрямовується код адреси стовпців  $A_Y$ .

Сигнали керування ( $REF$  — ознака режиму регенерації і  $A_Y / A_X$  — сигнал мультиплексування каналів) виробляє контролер.

У режимі регенерації  $REF = 1$  і мультиплексор комутує на виходи при зміні  $A_Y / A_X$  канали  $K3, K4$  і  $K7, K8$ . Проте через те що зазначені канали попарно з'єднані, то на результат комутації сигнал  $A_Y / A_X$  не впливає: за будь-яких його значень на виходи мультиплексора надходять адреси регенерації  $A_R$ , що виробляються лічильником DD19, DD20 контролера. Ці сигнали адресують тільки рядки, сигналів адреси стовпців у цьому режимі на адресних входах немає.

Для реалізації мультиплексора, крім K155КП2, можна використовувати мікросхеми K555КП2, K555КП12 без зміни розведення на друкованій платі.

Контролер динамічного ОЗП (рис. 9.18) має вузол DD14 — DD18 формування сигналів керування модулем ОЗП та мультиплексором адреси і вузол DD19, DD20 формування 8-рядного адресного коду регенерації  $A_{R0} - A_{R7}$ .

Часові діаграми сигналів керування, які формуються контролером, зображено на рис. 9.19. Вихідні сигнали генераторної мікросхеми KP580ГФ24 формують OSC з частотою 18 МГц

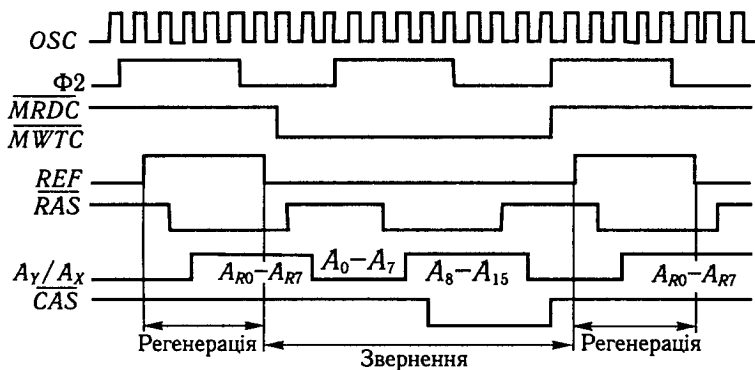


Рис. 9.19. Часові діаграми сигналів керування



і  $\Phi 2$  з періодом 0,5 мкс. Вхідними для контролера є також сигнали  $\overline{MWTC}$ ,  $\overline{MRDC}$ ,  $\overline{INH1}$ , що надходять із шини керування.

Сигнали керування мультиплексором формують регістр DD14 і схему керування режимом звертання до модуля ОЗП на елементах DD15, DD16. У разі звертання до ОЗП на виході DD16.1 з'являється 1, що по передньому фронту  $\Phi 2$  записується в DD15.1 і з'являється на виході цього тригера. Другий тригер DD15.2 зберігає свій стан «0», маючи на інверсному виході «1». Тому вихід DD16.4 переходить у стан «0» і забезпечує  $REF = 0$ , за якого мультиплексор комутує на адресні входи ОЗП адреси рядків  $A_X$  і стовпців  $A_Y$ . Введення цих адрес у мікросхему здійснюють сигнали  $\overline{RAS}$  і  $\overline{CAS}$ , які формують регістр DD14 і додаткові логічні елементи DD17.1, DD18.1 так, щоб була виконана вимога зсуву в часі сигналу  $\overline{CAS}$  відносно  $\overline{RAS}$ .

Одночасно із зазначеними сигналами в режимі звертання формуються сигнали  $CE = 1$  і  $\overline{OE} = 0$  (при  $\overline{MRDC} = 0$ ), що забезпечують обмін модуля ОЗП із шиною через буферний регістр DD13 для запису в ОЗП ( $CE = 1$ ,  $\overline{OE} = 1$  і вихід DD13 вимкнений) і зчитування з ОЗП ( $CE = 1$ ,  $\overline{OE} = 0$ ) інформації.

У кінці циклу звертання до ОЗП, як видно з рис. 9.19, контролер формує сигнал регенерації  $REF = 1$ , що через мультиплексор комутує виходи лічильника DD19, DD20 на адресні входи ОЗП й у такий спосіб забезпечує регенерацію інформації в ЕП рядка кожної мікросхеми пам'яті. Після закінчення сигналу  $REF$  лічильник адреси регенерації переходить у наступний стан і формує на своїх виходах адресу чергового рядка.

За відсутності звертання до ОЗП ( $\overline{MWTC} = 1$ ,  $\overline{MRDC} = 1$ ) або за наявності сигналу заборони  $\overline{INH1} = 0$  блок ОЗП працює тільки в режимі регенерації. З кожним тактом  $\Phi 2$  контролер формує сигнали  $\overline{RAS}$ ,  $REF$  і код адреси чергового рядка та ініціює роботу модуля пам'яті за циклом регенерації.

Процес регенерації припиняється при звертанні мікропроцесора до ОЗП, і контролер обробляє вимогу мікропроцесора. У кінці циклу звертання контролер переводить блок ОЗП у режим регенерації, продовжуючи цей процес з адреси, на якій він був перерваний.

Регенерацію, здійснювану за описаним алгоритмом, називають *прозорою*; вона непомітна для мікропроцесора і не знижує швидкості оброблення програм. Умовою для застосу-

вання цього способу є наявність часових інтервалів між двома будь-якими звертаннями мікропроцесора до ОЗП, достатніх для проведення одного циклу регенерації, тобто регенерації при звертанні до модуля ОЗП за одною адресою.

Алгоритмом роботи мікропроцесора K580BM80 передбачено, що мінімальний цикл між двома будь-якими звертаннями до пам'яті складається з трьох тактових періодів сигналу  $\Phi 2$ . При номінальній частоті генератора K580ГФ24 18 МГц тривалість такту  $\Phi 2$  становить 0,5 мкс. Якщо врахувати, що на виконання одного циклу регенерації мікросхем K565PY5 Б–Д потрібен час 230... 460 нс, то очевидна можливість реалізації в мікропроцесорних пристроях на комплекті БІС K580 способу прозорої регенерації.

За цим способом час повної регенерації ОЗП ємністю 64К слів, розрахований з урахуванням того, що для регенерації за однією адресою в системі відведений один такт  $\Phi 2$ , становить близько 200 мкс. Цей час значно менший за допустимий період регенерації мікросхем серії K565.

### Контрольні запитання і завдання

1. У чому призначення ОЗП?
2. Назвіть основні параметри ЗП.
3. Що таке елементарна запам'ятовувальна комірка?
4. Яка схемотехніка забезпечує максимальну швидкодію ЕП ОЗП?
5. Накресліть схему статичного ЕП на основі МДН-транзисторів.
6. У чому полягає принцип побудови ІС ОЗП з 1-розрядною організацією; із словниковою організацією?
7. Наведіть приклади енергонезалежних ЕП для побудови ОЗП.
8. Накресліть схему ЕП статичного ОЗУ на біполярних транзисторах, що працюють у перемикальному режимі.
9. Наведіть структуру ІС динамічного ОЗП.
10. У чому полягає особливість динамічних ОЗП? За якими типами транзисторів вони будуються і чому?
11. Зобразіть часові діаграми роботи ЕП динамічного ОЗП на МДП-приладах.
12. Порівняйте переваги та недоліки всіх ОЗП.

## 10.1. Мікросхеми маскових ПЗП

Донедавна в розпорядженні розробника цифрових електронних пристроїв була лише «жорстка» логіка. Мистецтво проектування полягало в досягненні поставленої мети за допомогою мінімального числа мікросхем, здатних виконувати лише строго визначені функції. Пристрій налагоджували й удосконалювали, перерізаючи друковані провідники та встановлюючи дротові перемички і додаткові деталі. Нерідко помилки, допущені на етапі проектування, удавалося виправити тільки за рахунок виготовлення нової друкованої плати.

Мікропроцесори ситуацію майже не змінили, адже кожний з них потребує досить складної «обв'язки» із звичайних логічних елементів. До того ж у багатьох випадках спеціалізовані цифрові пристрої розв'язують задачі ефективніше за універсальні мікропроцесори.

Революція почалася з появою мікросхем ПЗП і програмувальних логічних матриць (ПЛМ, або PLD — *programmable logical device*). Перепалюючи за допомогою спеціального програмувального пристрою передбачені в них плавкі перемички, розробник одержав можливість реалізувати в одній мікросхемі десяток будь-яких логічних функцій.

Мікросхеми ПЗП за способом програмування, тобто занесення в них інформації, поділяють на три групи: ПЗП, які однократно програмує виготовлювач за способом замовленого фотошаблону (маски), маскові ПЗП (ПЗПМ, ROM); ПЗП, які однократно програмує користувач за способом перепалювання плавких перемичок на кристалі (ППЗП, PROM); ПЗП, що багаторазово програмує користувач, ПЗП, які репрограмує користувач (РПЗП, EPROM).

Загальною властивістю всіх мікросхем ПЗП є їхня багаторозрядна (словникова) організація, режим зчитування як основний режим роботи й енергозалежність. Разом з тим у них є й істотні розходження в способі програмування, режимах

зчитування, у звертанні до них при застосуванні. Тому доцільно розглянути кожену групу мікросхем ПЗП окремо.

Мікросхеми ПЗПМ виготовляють за біполярною TTL-, TTLШ-технологіями, *n*-канальною, *p*-канальною і КМДН-технологіями. Принцип побудови в більшості мікросхем групи ПЗПМ однаковий і може бути поданий структурою мікросхем K155PE21 – K155PE24 (рис. 10.1). Основними елементами структурної схеми є: матриця елементів пам'яті, дешифратори рядків *DCX* і стовпців *DCY*, селектори (перемикачі вибору стовпців), адресний формівник, підсилювачі зчитування. Матриця складається з масиву ЕП, кожний з яких розміщений на перетинанні рядка і стовпця. Елемент пам'яті ПЗПМ є резистивною або напівпровідниковою (діодною, транзисторною) перемичкою між рядком і стовпцем. Інформацію в матрицю заносять у процесі виготовлення мікросхеми і здійснюють цю операцію в основному двома різними технологічними способами.

Мікросхеми на біполярних транзисторах програмують шляхом формування перемичок між рядками і стовпцями в тих точках матриці, куди заносять логічну «1». У тих точках матриці, де має бути логічний «0», перемичку не формують.

Матриця на рис. 10.1 містить  $32 \times 32$  ЕП. Вона складається з 32 транзисторів за числом рядків, кожний з яких має 32 емітери за числом стовпців (розрядних шин). Колектори всіх транзисторів з'єднані із шиною живлення. Бази транзисторів утворюють рядки матриці. Вони підключені до виходів дешифратора адреси рядків. Емітери або мають з'єднання з розрядною шиною («1»), або не мають («0»). Розрядні шини поділені на чотири групи по вісім шин у кожній. Кожна з

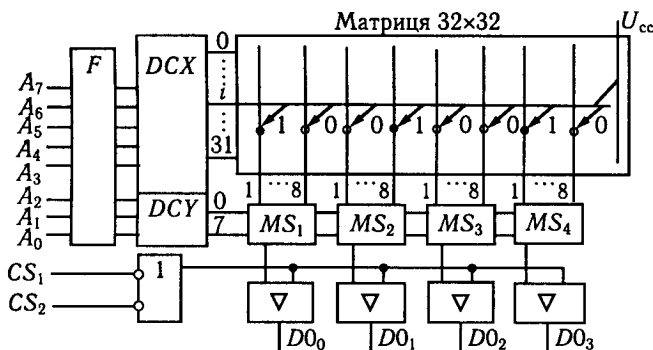


Рис. 10.1. Побудова мікросхеми маскового ПЗП на біполярних структурах

чотирьох груп шин замикається на селектор, який під керуванням сигналів з виходів дешифратора стовпців  $DCY$  вибирає з восьми шин одну і комутує її на вихід.

На виходах селекторів увімкнені підсилювачі зчитування із сигналами стробування  $\overline{CS}_1$  і  $\overline{CS}_2$ . При  $\overline{CS}_1 = \overline{CS}_2 = 0$  підсилювачі відкриті для зчитування інформації, за інших комбінацій цих сигналів — закриті і на їх виходах устанавлюються рівні «1».

Вибірку 4-розрядного слова здійснюють 8-розрядним кодом адреси, що надходить на адресний формівник  $F$ , необхідний для узгодження схем на кристалі із зовнішніми колами, і потім на входи дешифраторів рядків  $A_7 - A_3$  і стовпців  $A_2 - A_0$ . На одному з виходів кожного дешифратора формуються високі рівні напруги, які вибирають з матриці 4-розрядне слово. На вихід мікросхеми вибране слово надходить при сигналах керування, що дають змогу зчитувати  $\overline{CS}_1 = \overline{CS}_2 = 0$ .

У мікросхемах ПЗПМ, виготовлених за МДН-технологією, елементами пам'яті є МДН-транзистори з каналами  $n$ -типу,  $p$ -типу або комплементарні. Вони увімкнені на перетинаннях рядків і стовпців матриці. Програмування таких мікросхем здійснюють або за способом формування перемичок, тобто за схемою підключення транзисторів до шин стовпців, або за способом формування МДН-транзисторів із двома порогами відмикання: низьким і високим. У матрицях, які програмують за другим способом, усі транзистори з'єднані із шинами рядків і стовпців, як показано на рис. 10.2, але мають різну товщину підзатворного діелектрика і, отже, різну граничну напругу: більш низьке у транзистора  $VT_1$ , що відповідає «1», і більш високе у  $VT_2$ , що відповідає «0». При збудженні рядка  $X_j$  напругою, значення якої лежить між двома граничними напругами, транзистор  $VT_1$  буде відкритий, а  $VT_2$  залишиться в закритому стані, у результаті чого на розрядну шину  $РШ_1$  передається потенціал високого рівня, а потенціал  $РШ_2$  не змінюється. Розходження в потенціалах розрядних шин вихідні підсилювачі трансформують у стандартні рівні напруг «1» і «0» відповідно.

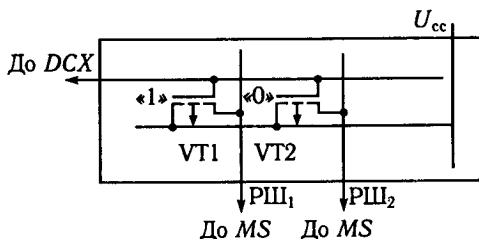


Рис. 10.2. Елементи пам'яті ПЗП на МДН-транзисторах

Програмування мікросхем ПЗПМ здійснюють однократно. Оскільки схема з'єднань або граничні напруги транзисторів не залежать від режиму роботи мікросхеми, вона має властивість енергетичної залежності. Завдяки цій властивості мікросхеми ПЗПМ широко використовують як носії постійних програм, підпрограм різного призначення, кодів фізичних констант, постійних коефіцієнтів і под. Занесену в ПЗПМ інформацію в технічній документації називають *прошиванням*.

Серед мікросхем ПЗПМ різних серій (табл. 10.1) багато мають стандартні прошивання. Наприклад, у мікросхемах ПЗПМ K155PE21 – K155PE24 записані відповідні коди літер російського PE21, латинського PE22 алфавітів, арифметичних знаків і цифр PE23, додаткових знаків PE24. У сукупності ці мікросхеми утворюють генератор символів на 96 знаків формату 7 × 5. Одна із мікросхем серії KP555PE4 містить прошивання 160 символів, що відповідають 8-розрядному коду обміну інформації КОІ 2–8 з форматом знаків 7 × 11. Про-

Таблиця 10.1. Мікросхеми маскових ПЗП

Тип мікросхеми	Ємність, біт	$t_{в.а} (t_{ц.зч})_{нс}$	$U_{ж}$ , В	$P_{сп}$ , мВт
K155PE21	256 × 4	30	5	650
K155PE22	256 × 4	30	5	650
K155PE23	256 × 4	30	5	650
K155PE24	256 × 4	30	5	650
K555PE4	2К × 8	110	5	850
K541PE1	2К × 8	150	5	1000
K596PE1	8К × 8	350	4	640
KA596PE2	64К × 16	450	5	1050
K563PE1	8К × 8	580	5	50
K563PE2	32К × 8	500	5	20
K505PE3	512 × 8	1500	5; -12	500
KP568PE1	2К × 8	600	5; 12	450
KP568PE2	8К × 8	400	5; 12	600
KP568PE3	16К × 8	800	5; 12	300
KM568PE4	8К × 8	300	5; 12	400
K568PE5	128К × 8	200	5; 12	300
K1801PE1	4К × 16	300	5	75
K1809PE1	4К × 16	300	5	275
KA1603PE1	2К × 8	410	5	50
KP1610PE1	2К × 8	500	5	300
KM1656PE1	2К × 8	80	5	925
KM1656PE2	2К × 8	80	5	925
KM1656PE3	512 × 8	60	5	775

шивання кодів алфавітно-цифрових символів містить мікросхема КМ1656РЕ2.

Значний перелік модифікацій зі стандартними прошивками має мікросхема К505РЕ3.

Дві спільно застосовувані мікросхеми К505РЕ3—002, К505РЕ3—003 містять коди літер російського і латинського алфавітів, цифр, арифметичних і додаткових знаків і використовуються як генератор 96 символів формату  $7 \times 9$  з горизонтальним розгорненням знаків. Модифікації 0059, 0060 мають ті самі призначення, але генерують знаки формату  $5 \times 7$ . Модифікації 0040—0049 містять прошивання коефіцієнтів для швидкого перетворення Фур'є. Ряд модифікацій містить прошивання функції синуса від  $0$  до  $90^\circ$  з дискретністю  $10'$  (0051, 0052), від  $0$  до  $45^\circ$  (0068, 0069) і від  $45$  до  $90^\circ$  (0070, 0071) з дискретністю  $5'$ . Модифікації 0080, 0081 містять прошивання функції  $y = x^2$  при  $x = 1 \dots 128$ .

Модифікації мікросхеми КР568РЕ2 містять стандартні прошивання символів міжнародного телеграфного коду № 2 форматів  $5 \times 7$  і  $7 \times 9$  (0001), символів російського і латинського алфавітів, кодових таблиць, цифр і арифметичних знаків (0003, 0011), функції синуса від  $0$  до  $90^\circ$  (0309), асемблеру (0303—0306), редактора текстів (0301, 0302).

Мікросхема КР568РЕ2—0001 має прошивання міжнародних телеграфних кодів № 2 і 5, а КР568РЕ3—0002 — редактора текстів для асемблеру.

Модифікації мікросхеми КР1610РЕ1—0100—КР1610РЕ1—0107 містять прошивання програмного забезпечення мікроЕОМ.

Наведені мікросхеми ПЗПМ зі стандартними прошиваннями слід розглядати як приклади: число таких мікросхем і їх модифікацій постійно зростає.

Для програмування мікросхем ПЗПМ за замовленням користувача в технічних умовах передбачена форма замовлення.

Мікросхеми ПЗПМ працюють у режимах збереження і зчитування. Для зчитування інформації потрібно подати код адреси і сигнали керування. Сигнали керування можна подавати рівнем «1», якщо вхід  $CS$  прямиий, або «0», якщо вхід інверсний.

Багато мікросхем мають кілька входів керування, звичайно зв'язаних визначеним логічним оператором. У таких мікросхемах необхідно подавати на керуючі входи визначену комбінацію сигналів, наприклад 00 або 110, щоб сформувати умову дозволу зчитування.

Основним динамічним параметром мікросхем ПЗПМ є час вибірки адреси. За необхідності стробування вихідних сиг-

налів на керуючі входи  $CS$  слід подавати імпульси після надходження коду адреси. У такому випадку в розрахунок часу зчитування треба брати час установлення сигналу  $CS$  щодо адреси і час вибору. У мікросхемі КР1610РЕ1 передбачений додатковий сигнал  $OE$  для керування виходом.

Вихідні сигнали у всіх мікросхемах ПЗПМ мають TTL-рівні. Виходи побудовані в основному за схемою з трьома станами.

Для зниження споживаної потужності деякі мікросхеми, наприклад К596РЕ1, допускають застосування режиму імпульсного живлення, за яким живлення на мікросхему подають тільки при зчитуванні інформації.

Стійка тенденція до функціонального ускладнення ВІС пам'яті виявляється й у мікросхемах ПЗПМ: у їх структуру вбудовують вузли інтерфейсу для сполучення зі стандартною магістраллю і для об'єднання мікросхем у модуль ПЗП без додаткових дешифраторів К1801РЕ1, К1809РЕ1, пристрої для самоконтролю і виправлення помилок КА596РЕ2, К563РЕ2.

Мікросхеми К1801РЕ1 і К1809РЕ1 мають багато спільного. Обидві мікросхеми призначені для роботи в складі апаратури зі стандартною системною магістраллю для мікро-ЕОМ: вбудований в їх структуру пристрій керування (контролер) дає змогу підключати мікросхеми безпосередньо до магістралі. Як мікросхеми ПЗПМ вони містять матрицю ємністю 65 384 ЕП, реєстри і дешифратори коду адреси, селектори, мають організацію  $4K \times 16$  біт. Інформацію записує на карті замовлення виготовлювач.

У структуру вбудованої також 3-розрядний реєстр із «защитим» кодом адреси мікросхеми, а також схема порівняння для вибору мікросхеми в магістралі. Наявність убудованого пристрою адресації дає змогу вмикати в магістраль до восьми мікросхем одночасно без додаткових пристроїв сполучення.

Особливістю мікросхем є сполучення адресних входів  $A_1 - A_{15}$  і виходів даних  $D_{00} - D_{015}$ . Вихідні формівники виконані за схемою на три стани. Три старших розряди коду адреси  $A_{15} - A_{13}$  призначені для вибору мікросхеми, інші розряди  $A_{12} - A_1$  — для вибірки слова, що зчитується. Дозвіл на приймання основної адреси формує схема порівняння за результатами зіставлення взятої і «защитої» адреси мікросхеми. Взята адреса фіксується на адресному реєстрі, а входи-виходи переходять у третій стан.

Система керуючих сигналів має:  $\overline{DIN}$  — дозвіл зчитування даних з ОЗУ (або  $\overline{RD}$ );  $\overline{SYNC}$  — синхронізацію обміну (або  $\overline{CE}$  — дозвіл звертання);  $\overline{CS}$  — вибір мікросхеми;  $\overline{RPLY}$  — вихідний сигнал готовності даних супроводжує



інформацію  $D0_0 - D0_{15}$ , що зчитується в магістраль. Режим збереження забезпечується сигналами  $\overline{SYNC} = 1$  або  $\overline{CS} = 1$ . У режимі зчитування час звертання до мікросхеми визначає сигнал  $\overline{SYNC} = 0$ . Крім нього надходять сигнали коду адреси на виходи  $AD0_1 - AD0_{15}$  і  $\overline{CS} = 0$ . У разі збігу адреси  $AD0_{15} - AD0_{13}$  з адресою мікросхеми у вхідний регістр надходить адреса слова, що зчитується, а виходи  $AD0_1 - AD0_{15}$  переходять у третій стан. Зчитане слово з матриці записується у вихідний регістр даних і за сигналом  $\overline{DIN} = 0$  надходить на виходи  $D0_0 - D0_{15}$  і передається в магістраль. Одноразово на виході  $\overline{RPLY}$  формується сигнал «0». Вихідні регістри повертаються у вихідний стан після зняття сигналу  $\overline{SYNC}$ .

У режимі зчитування сигнали інтерфейсу та призначення виводів мікросхем K1801PE1, K1809PE1, K573PФ3, K1809PY1 збігаються. Тому названі мікросхеми можна спільно застосовувати для побудови ЗП різної ємності і призначення для різних модифікацій мікро-ЕОМ. Сумісність мікросхем можна використовувати і на етапі налагодження програмного забезпечення керуючих і обчислювальних пристроїв: налагоджену за допомогою РПЗП K573PФ3 програму потім можна переписати («зашити») у K1809PE1 або K1801PE1.

Мікросхеми ПЗПМ КА596PE2 (64К × 16 біт) і K563PE2 (32К × 8 біт) мають убудовані схеми самоконтролю і виправлення одиничних помилок за допомогою коду Хеммінга. У разі виявлення і виправлення помилки в коді, що зчитується, на виході K1 надходить сигнал — логічна «1». Можна коректор виключити сигналом K2 = 0. У цьому режимі дані з матриці будуть проходити на вихід, минаючи схему виправлення помилок.

У структурі зазначених ПЗПМ є також додаткова матриця для тестових комбінацій та іншої інформації. Ємність додаткової матриці дорівнює 64 × 16 біт у мікросхемі КА596PE2 і 32 × 8 біт у мікросхемі K563PE2. Адресацію комірок цієї матриці здійснюють частиною розрядів адресного коду:  $A_0 - A_5$  у КА596PE2 і  $A_0 - A_4$ ,  $A_{10}$ ,  $A_{11}$  у K563PE2 за наявності сигналу дозволу, K3 = 1. За відсутності дозволу на вході K3 додаткова матриця для звертання закрита.

Убудовані в структуру ПЗПМ пристрої використовують для підвищення виходу придатних схем, добору бездефектних мікросхем при випробуваннях на вибракування, підвищення надійності функціонування ПЗП.

Зіставляючи мікросхеми серії K596, які виконані за  $n$ -канальною МДН-технологією, і K563, які виконані за КМДН-

технологією, за швидкодією й енергоспоживанням і через їх аналогію в частині функціонального ускладнення, можна зробити висновок про перевагу мікросхем КМДН і перспективність серії К563. До аналогічного висновку можна дійти, порівнявши мікросхеми КА1603РЕ1 (КМДН) і КР1610РЕ1 (*n*-МДН). Обидві зазначені мікросхеми в режимі зчитування взаємозамінні в апаратурі з мікросхемами РПЗП К573РФ2 і К573РФ5. Отже, налагоджену за допомогою К573РФ2 або К573РФ5 програму можна переписати в мікросхеми ПЗПМ і замінити ними РПЗП на друкованих платах без будь-яких перероблень розведень.

## 10.2. Мікросхеми ППЗП

Мікросхеми програмувальних ПЗП за принципом побудови і функціонування аналогічні масковим ПЗП, але мають істотну відмінність у тому, що допускають програмування на місці свого застосування користувачем. Операція програмування полягає в руйнуванні (перепалюванні) частини плавких перемичок на поверхні кристала імпульсами струму амплітудою 30...50 мА. Технічні засоби для виконання цієї операції досить прості і можуть бути побудовані самим користувачем. Ця обставина разом з низькою вартістю і доступністю мікросхем ППЗП зумовила їх значне поширення на практиці.

Мікросхеми ППЗП (табл. 10.2) здебільшого виготовляють за ТТЛШ-технологією, і серед них переважає серія К556. До функціонального складу серії належать мікросхеми ємністю до 64К біт зі словниковою 4- і 8-розрядною організацією, з часом вибірки 45...85 нс і рівнем споживаної потужності 0,6...1 Вт.

Невелика частина мікросхем ППЗП виконана за іншими технологіями: ПЛ (К541), *n*-МДН (К565), ЕСЛ (К500, К1500), КМДН (К1623). Мікросхеми серії К1623 відрізняються найнижчим рівнем енергоспоживання, але за швидкодією вони поступаються мікросхемам серії К556.

Для мікросхем ППЗП усіх серій, крім К500, К1500, К565, характерні такі властивості, як єдина напруга живлення 5 В, наявність вхідних і вихідних ТТЛ-рівнів напруги логічного «0» (0,4 В) і логічної «1» (2,4 В) і, отже, повна сумісність мікросхем, однотипні виходи: або з трьома станами, або з відкритим колектором. Мікросхеми з виходами ТТЛ потребують підключення до них зовнішніх резисторів і напруги джерела живлення.

Типовий варіант реалізації мікросхеми ППЗП наведено на рис. 10.3. Для конкретності розгляду наведено структуру мік-

Таблиця 10.2. Мікросхеми ППЗП

Тип мікросхеми	Ємність, біт	$t_{в.а.}$ , нс	$P_{сп.}$ , мВт	Початковий стан
KP556PT1	ПЛМ	70	850	—
KP556PT2	ПЛМ	80	950	—
KP556PT4	256 × 4	70	690	0
KP556PT5	512 × 8	80	1000	1
KP556PT6(PT7)	2К × 8	80	900	0
KP556PT11	256 × 4	45	650	0
KP556PT12(PT13)	1К × 4	60	740	0
KP556PT14(PT15)	2К × 4	60	740	0
KP556PT16	8К × 8	85	1000	0
KP556PT17	512 × 8	50	900	1
KP556PT18	2К × 8	60	950	0
K541PT1	256 × 4	80	400	0
K541PT2	2К × 8	100	770	0
K1608PT2	512 × 8	40	920	0
K1623PT1	2К × 8	200	—	—
K155PE3	32 × 8	70	550	0
K1500PT1416	256 × 4	20	670	1

росхеми K556PT4. У всіх основних елементах вона повторює структуру ПЗПМ (див. рис. 10.1), але має додаткові пристрої  $F_1 - F_4$  для формування струму програмування.

Матриця до програмування, тобто у вихідному стані, містить однорідний масив перемичок, що з'єднують рядки і стовпці в

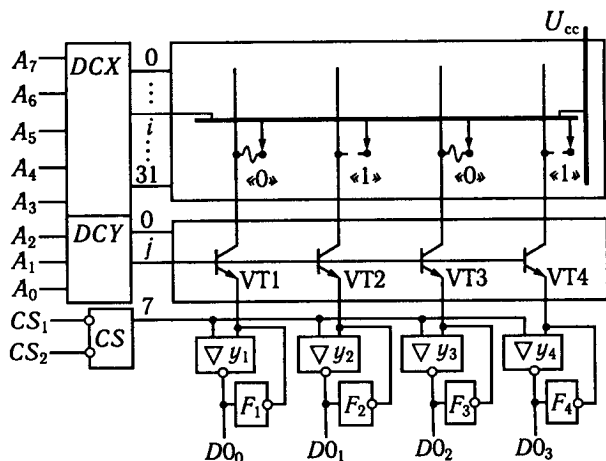


Рис. 10.3. Побудова мікросхеми ППЗП

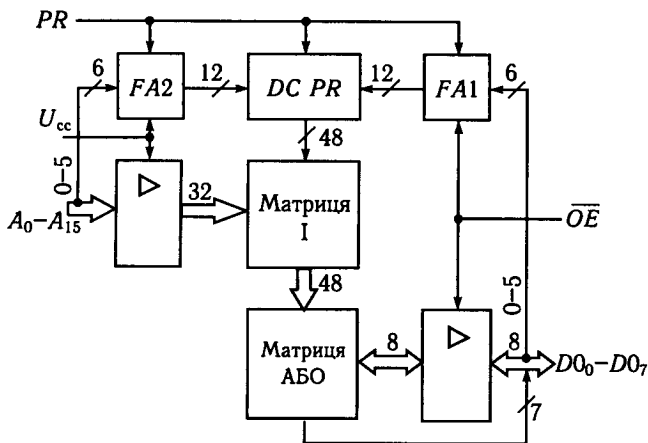


Рис. 10.4. Структура мікросхеми ПЛМ

усіх точках їх перетинань. Перемички встановлюють з ніхрому (наприклад, у мікросхемах серії К556), з полікристалічного силіцію (К541), із силіциду платини (К1608) та інших матеріалів. Перемичка в матриці виконує функцію ЕП. Наявність перемички кодується логічною «1», якщо підсилювач зчитування є повторювачем, і логічним «0», якщо підсилювач зчитування — інвертор, як на рис. 10.4. Отже, мікросхема ППЗП у вихідному стані перед програмуванням залежно від характеристики вихідного підсилювача може мати заповнення матриці або логічним «0», або логічною «1». Інформацію щодо належності мікросхем ППЗП до тієї або іншої групи за даною ознакою подано в табл. 10.2. Якщо такої інформації немає, її потрібно одержати за допомогою початкового контролю мікросхеми: встановлюючи значення керуючих сигналів дозволу, слід перебрати адреси, контролюючи при цьому стан виходів.

Програмування мікросхеми, матриця якої у вихідному стані заповнена 0, полягає в перепалюванні перемичок у тих ЕП, де мають зберігатися 1. Якщо матриця у вихідному стані заповнена 1, то перепалюють перемички в ЕП, де мають зберігатися 0.

Робота запрограмованої мікросхеми ППЗП у режимі зчитування нічим не відрізняється від роботи мікросхем ПЗПМ, розглянутих раніше. У деяких мікросхемах, зокрема КР556РТ5, КР556РТ17, є вивід для напруги програмування. У режимі зчитування цей вивід не задіяний.

Різновидом ППЗП є програмувальні перепалюванням плавких перемичок логічні матриці (ПЛМ), виконані за ТТЛШ-

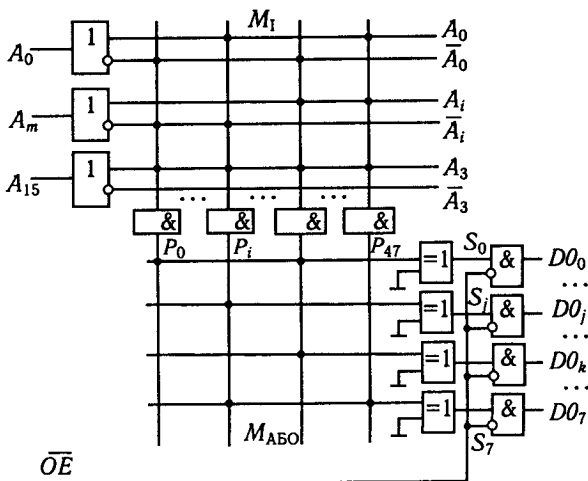


Рис. 10.5. Функціональна схема ПЛМ

технологією, K556PT1 і K556PT2, що мають ідентичні характеристики і конструктивні параметри, але відрізняються типом виходу: в першій мікросхемі вихід з відкритим колектором, у другій — на три стани. Ці мікросхеми ПЛМ мають 16 входів  $A_{15} - A_0$  для змінних, над якими ПЛМ виконує запрограмовані операції, вхід  $CS$  з нульовим рівнем дозволу, вхід  $PR$  дозволу запису, тобто програмування, і вісім виходів. Структура мікросхеми (рис. 10.4) складається з операційної частини (матриці I та АБО), вхідних і вихідних підсилювачів і програмувальної частини з адресними формівниками  $FA1$ ,  $FA2$  і дешифраторів  $DC PR$ .

В основі ПЛМ (рис. 10.5) — матриці I та АБО. Матриця I виконує операції кон'юнкції над 16 вхідними змінними та їх інверсними значеннями, що надходять на рядкові шини матриці. Необхідні логічні добутки формують на шинах стовпців шляхом перепалювання непотрібних перемичок між рядками і стовпцями (на рис. 10.5 залишені перемички позначені точками).

Число стовпців 48, отже, на виході матриці I можна одержати до 48 логічних добутків, у кожне з яких може входити до 16 змінних та їх інверсій. Матриця АБО виконує операцію диз'юнкції над логічними добутками, сформованими матрицею I. Число виходів цієї матриці 8, тому вона здатна сформува-ти до восьми логічних сум, у кожену з яких може входити до 48 логічних добутків. Таким чином, можливості ПЛМ характери-

зуються числом точок комутації (у даному прикладі 1920). Програмування матриці АБО виконується так само, як і матриці І, через перепалювання непотрібних перемичок. На виходах матриці АБО розміщені програмувальні підсилювачі, які залежно від стану перемички можуть передавати значення вихідної функції у прямій чи інверсній формі подання.

Для програмування призначені вбудовані в мікросхему вузли програмувальної частини, які збуджує сигнал дозволу *PR*. Програмування здійснюють способом, аналогічним програмуванню ППЗП, у три етапи: спочатку програмують матрицю І, потім матрицю АБО і вихідні інвертори.

Широко застосовують ПЛМ, програмувальні за способом замовленого фотошаблону на заводі-виготовлювачі. Такі ПЛМ є різновидом маскових ПЗП. Вони належать, зокрема, до складу багатьох мікропроцесорних комплектів як ПЗП мікрокоманд. На основі ПЛМ можна будувати різні цифрові пристрої як комбінаційного, так і послідовного типів.

Як зазначалося раніше, мікросхеми ППЗП споживають велику потужність від джерела живлення. Тому доцільно використовувати їх властивість працювати в режимі імпульсного живлення, якщо живлення на мікросхему подають тільки при звертанні до неї для зчитування інформації. Особливості застосування мікросхем ППЗП у цьому режимі такі. По-перше, на керуючі входи мають бути подані рівні, що дозволяють доступ до мікросхеми: якщо необхідний «0», то вивід з'єднують із загальним виводом, якщо «1» — то із шиною через резистор з опором 1 кОм; у цьому випадку функції сигналу вибору мікросхеми виконує імпульс напруги живлення. По-друге, для забезпечення режиму імпульсного живлення застосовують транзисторні перемикачі, на переходах яких падає частина напруги, тому напруга, яку подають до зовнішніх перемикачів, має бути вибрана з урахуванням вимоги мати на виводі живлення мікросхеми номінальну напругу 5 В. По-третє, через інерційність процесів комутації кола живлення час вибірки адреси мікросхеми збільшується в 2–3 рази.

У разі використання імпульсного режиму живлення середнє значення споживаного струму й, отже, рівень споживаної потужності істотно зменшуються.

### 10.3. Мікросхеми РПЗП

Характерною особливістю мікросхем РПЗП є їх здатність до багаторазового (від 100 до 10 тис.) перепрограмування самим користувачем. Ця властивість мікросхем забезпечена застосуванням ЕП із властивостями керованих перемичок,

функції яких виконують транзистори зі структурою МНОН (метал Al — нітрид силіцію  $\text{Si}_3\text{N}_4$  — оксид силіцію  $\text{SiO}_2$  — напівпровідник Si) і транзистори  $n$ -МОН із плаваючим затвором (ПЗ) з використанням механізму лавинної інжекції заряду ЛІЗМОН.

Усю номенклатуру мікросхем РПЗП можна поділити на дві групи: РПЗП із записом і стиранням електричними сигналами (група ЕС) і РПЗП із записом електричними сигналами і стиранням ультрафіолетовим випромінюванням (група УФ). Характеристики мікросхем РПЗП популярних серій наведено в табл. 10.3. Мікросхеми РПЗП-ЕС містять ЕП типу МОН (K558, K1601) і ЛІЗМОН з подвійним затвором (K573PP2, K1609PP1). Мікросхеми РПЗП-УФ мають ЕП типу ЛІЗМОН з подвійним затвором, що відрізняються від аналогічних структур у групі РПЗП-ЕС тим, що потребують для стирання УФ випромінювання.

Елемент пам'яті зі структурою МНОН є МДН-транзистором з індукованим каналом  $p$ -типу (рис. 10.6, а) або  $n$ -типу, що має двошаровий діелектрик під затвором. Верхній шар формують з нітриду силіцію, нижній — з оксиду силіцію, причому нижній шар значно тонший за верхній.

Якщо до затвору відносно підкладки прикласти імпульс напруги позитивної полярності з амплітудою 30...40 В, то під

Таблиця 10.3. Мікросхеми РПЗУ

Тип мікросхеми	Ємність, біт	$t_{в.а'}$ , мкс	$P_{сп'}$ , мВт	$U_{ж'}$ , В	$U_{пр'}$ , В	$t_{пр'}$ , с	$t_{ст'}$ , с
KP558PP1	256 × 8	5	307	5; -12	-30	1	0,005
KP558PP2	2K × 8	0,35	480	5	18	20	1
KP558PP3	8K × 8	0,64	400	5	24	40	20
KP1601PP1	1K × 4	1,8	625	5; -12	-32	20	0,2
KP1601PP3	2K × 8	1,6	850	5; -12	-36	40	0,2
KM1609PP1	2K × 8	0,35	525	5	21	24	0,012
K1609PP2	8K × 8	0,3	525	5	22	—	—
K1611PP1	8K × 8	0,3	850	5	22	—	—
K573PP2	2K × 8	0,35	620	5	22	100	0,05
K573PФ1	1K × 8	0,45	1100	±5; -12	26	300	30 хв
K573PФ2	2K × 8	0,45	580	5	25	100	30 хв
K573PФ3	4K × 16	0,45	450	5	18	40	30 хв
K573PФ4	8K × 8	0,5	700	5; 12	25	800	30 хв
K573PФ5	2K × 8	0,45	580	5	25	100	30 хв
K573PФ6	8K × 8	0,3	870	5	19	400	30 хв
K573PФ7	32K × 8	0,3	600	5	25	—	—
K573PФ9	128K × 8	0,35	550	5	25	—	—

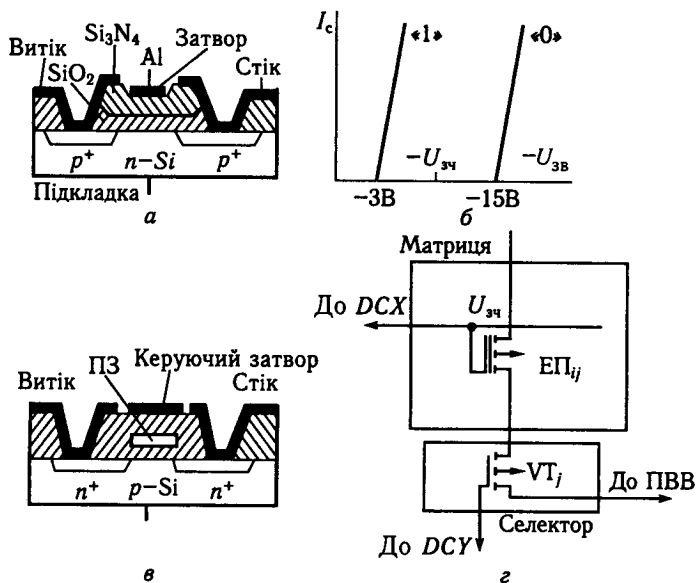


Рис. 10.6. Елементи пам'яті РПЗП:

*a* – типу МНОН; *б* – передавальна характеристика; *в* – типу ЛІЗМОН; *г* – розташування ЕП у матриці мікросхеми

дією сильного електричного поля між затвором і підкладкою електрони набувають достатньої енергії, щоб пройти тонкий діелектричний шар до межі поділу двох діелектриків. Верхній шар (нітриду силіцію) має значну товщину, тому електрони подолати його не можуть.

Накопичений на межі поділу двох діелектричних шарів заряд електронів знижує граничну напругу і зміщує передатну характеристику транзистора ліворуч (рис. 10.6, б). Цей стан ЕП відповідає логічній «1». Режим занесення заряду під затвор називають *режимом програмування*.

Логічному «0» відповідає стан транзистора без заряду електронів у діелектрику. Щоб забезпечити цей стан, на затвор подають імпульс напруги від'ємної полярності з амплітудою 30...40 В. При цьому електрони витісняються в підкладку. За відсутності заряду електронів під затвором передавальна характеристика зміщується в область високих граничних напруг. Режим витиснення заряду з підзатворного діелектрика називають *режимом стирання*.

Режим стирання і програмування можна здійснити за допомогою напруги однієї полярності: негативної для *p*-МНОН, позитивної для *n*-МНОН структур. Ця можливість заснова-



на на використанні явища лавинної інжекції електронів під затвор, що відбувається, якщо до джерела і стоку прикласти імпульс негативної напруги 30...40 В, а затвор і підкладку з'єднати з корпусом. У результаті електричного пробую переходів джерело — підкладка і стік — підкладка відбуваються лавинне розмноження електронів та інжекція деяких з них, які мають достатню кінетичну енергію («гарячих» електронів), на границю між шарами діелектриків. Для стирання потрібно подати імпульс негативної напруги на затвор. У режимі зчитування на затвор подають напругу  $U_{зч}$ , значення якої лежить між двома граничними рівнями. Якщо в ЕП записана 1, транзистор відкриється, якщо 0 — залишиться в закритому стані. Залежно від цього, як видно з рис. 10.6, *г*, у розрядній шині або буде проходити струм на вихід, або ні. Підсилювач зчитування трансформує стан шини в рівень напруги 1 або 0 на виході мікросхеми.

Мікросхеми РПЗП з ЕП на *p*-МНОН транзисторах КР558РР1, КР1601РР1, КР1601РР3 (табл. 10.3) мають порівняно низьку швидкодію, високу напругу програмування (30...40 В) і потребують двох джерел живлення.

Для поліпшення характеристик РПЗП широко застосовують технологію виготовлення ЕП на *n*-МНОН транзисторах. Такі ЕП улаштовані аналогічно розглянутим, але мають провідність підкладки *p*-типу, а джерело і стік — *n*-типу. Мікросхеми з ЕП на *n*-МНОН транзисторах КР558РР2, КР558РР3, К1611РР1 мають у три рази вищу швидкодію, знижену до 22 В напругу програмування і працюють від одного джерела живлення.

Варіант ЕП на структурі ЛІЗМОН з подвійним затвором (рис. 10.6, *а*) є *n*-МОН транзистором, у якого в однорідному підзатворному діелектрику  $\text{SiO}_2$  сформована ізольована провідна область з металу або полікристалічного силіцію. Цей затвор називають *плаваючим*.

У режимі програмування на керуючий затвор, джерело і стік подають імпульс напруги 21...25 В позитивної полярності. У зворотні зміщених *p*—*n*-переходах вишикає процес лавинного розмноження носіїв заряду та інжекція частини електронів у ПЗ. У результаті накопичення на ПЗ негативного заряду передавальна характеристика транзистора зміщується в область високої граничної напруги (праворуч), що відповідає запису 0.

Стирання записаної інформації, тобто витиснення заряду з ПЗ, у структурах ЛІЗМОН здійснюють двома способами: у РПЗП-ЕС — електричними сигналами, у РПЗП-УФ — за допомогою УФ випромінювання. У структурах зі стиранням

електричними сигналами імпульсом позитивної напруги на керуючому затворі знімають заряд електронів із ПЗ, відновлюючи низьковольтний рівень граничної напруги, що відповідає 1. У структурах з УФ випромінюванням електрони розсмоктовуються з ПЗ у підкладку через посилення теплового руху за рахунок отриманої енергії від джерела УФ випромінювання. Режим зчитування здійснюють так само, як у ЕП на структурі МНОН. У режимі збереження забезпечують відсутність напруг на електродах ЕП для того, щоб виключити розсмоктування заряду в діелектричному середовищі. Теоретичними розрахунками доведена можливість збереження заряду сотні років. На практиці цей час обмежують для одних типів мікросхем кількома тисячами годин, для інших — кількома роками; наприклад, у К573РФ6 гарантійний термін збереження інформації без живлення становить п'ять років. Отже, мікросхеми РПЗП належать до групи енергонезалежних.

Пристрій, принцип дії, режими керування роботою мікросхем РПЗП різних груп багато в чому аналогічні. Так, мікросхеми К558РР2, К1609РР1, К573РР2, К573РФ2 ємністю  $2\text{К} \times 8$  біт, що належать до різних груп РПЗП за типом елемента пам'яті, мають схожу структуру й однакове розведення виводів корпусу. Відмінність між мікросхемами груп ЕС і УФ полягає у способі реалізації режиму стирання.

Принцип побудови і режим роботи РПЗП розглянемо на прикладі мікросхеми КР1601РР3 ємністю  $2\text{К} \times 8$  біт з ЕП на р-МНОН транзисторах.

Структурна схема (рис. 10.7) містить усі елементи, потрібні для роботи мікросхеми як ПЗП: матрицю з елементами пам'яті, дешифратори коду адреси рядків і стовпців, селектор (перемикачі вибору стовпців), пристрій введення-виведення (ПВВ). Крім того, у структурі передбачені функціональні вузли, що забезпечують її роботу в режимах стирання і програмування (запису інформації) — це комутатори режимів і формівники імпульсів напруг потрібної амплітуди і тривалості із напруги програмування  $U_{PR}$ . Порівняно з мікросхемами ПЗПМ і ППЗП система керуючих сигналів доповнена сигналами програмування  $PR$  і стирання  $ER$ . Накопичувач з матричною організацією містить 128 рядків і 128 стовпців, на перетинаннях яких розміщено 16 384 елементів пам'яті. Керування накопичувачем здійснюють сьома старшими розрядами адресного коду, який після дешифрування вибирає рядок з 128 елементами пам'яті. Сигнали, зчитані з елементів вибраного рядка, надходять на входи селектора, призначення якого полягає у виборі з 128-розрядного коду на входах восьми розрядів, що далі надходять через ПВВ на виходи мікросхеми.

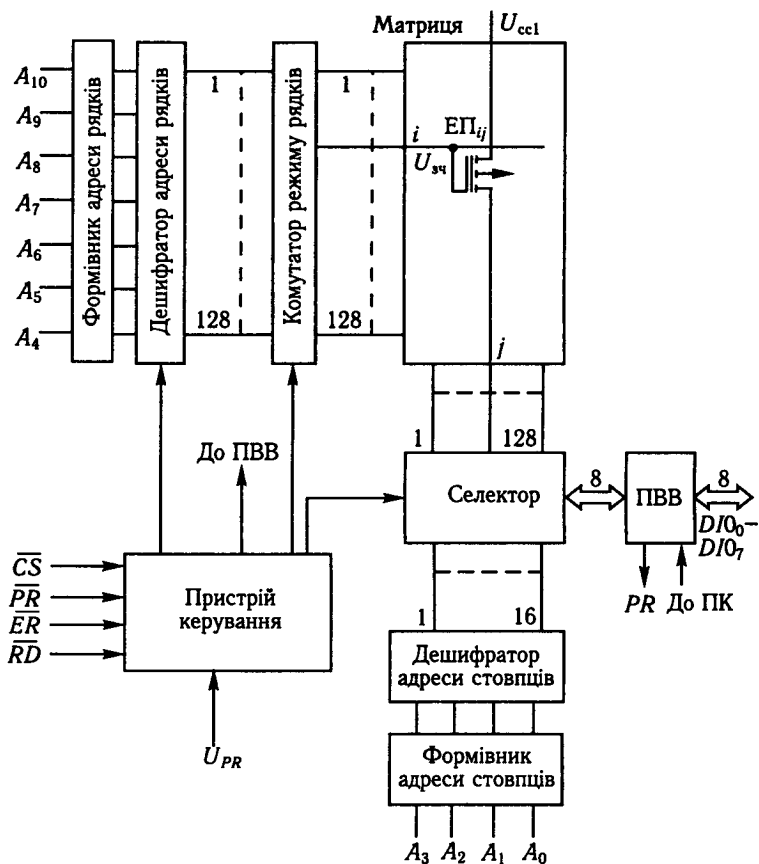


Рис. 10.7. Структура мікросхеми РПЗУ-ЕС

Селектором керують чотири молодших розряди адресного коду, які після дешифрування забезпечують вибірку одного 8-розрядного слова з 16 слів, що містяться у вибраному рядку. Пристрій керування під впливом сигналів на своїх входах забезпечує роботу мікросхеми в одному з таких режимів: збереження, зчитування, стирання, запису (програмування). Керуючі сигнали мають таке призначення:  $\overline{CS}$  — вибір мікросхеми;  $\overline{PR}$  — дозвіл режиму запису (програмування);  $U_{PR}$  — напруга програмування;  $\overline{RD}$  — сигнал зчитування;  $\overline{ER}$  — сигнал стирання інформації. Входи сигналів інверсні, тому значенням дозволу цих сигналів є 0. Багато мікросхем групи ЕС допускають вибіркове стирання за адресою. Умови реалі-

зації зазначених режимів для мікросхем РПЗП групи ЕС наведено в табл. 10.4. Розглянемо ці умови для мікросхеми КР1601РРЗ.

У режимі загального стирання на керуючі входи подають сигнали, що відповідають табл. 10.4, у тому числі напругу програмування  $U_{PR} = -36$  В. Процес стирання починається з моменту подавання імпульсу  $\overline{ER}$ , який повинний мати тривалість від 100 до 200 мс. Після закінчення стирання всі ЕП матриці переходять у стан, що відповідає логічному «0». У цьому режимі сигнали на адресних й інформаційних виводах можуть мати довільні значення.

Мікросхема КР1601РРЗ допускає порядкове стирання. Цей режим відрізняється від розглянутого значенням сигналу

Таблиця 10.4. Режими мікросхем РПЗП-ЕС

Тип мікросхеми	Сигнали керування	Стирання	Запис	Зчитування	Збереження
КР558РР2 2К × 8 n-МНОН 10 <sup>4</sup> циклів	$\overline{CS}$	1	1	0	1
	$\overline{OE}$	0	1	0	X
	$U_{PR}$ , В	18*	18*	5	5
	$\tau$ , мс	10 <sup>3</sup>	10	0,35 мкс**	—
КР558РР3 8К × 8 n-МНОН 100 циклів	$\overline{CS}$	0*	0*	0	1
	$\overline{OE}$	1	0*	0	X
	$\overline{ER}$	0	1	1	X
	$U_{PR}$ , В	18	24	0	X
	$\tau$ , мс	2 · 10 <sup>4</sup>	5***	0,35 мкс	—
КР1601РР3 2К × 8 p-МНОН 10 <sup>4</sup> циклів	$\overline{CS}$	0	0	0	1
	$\overline{RD}$	1	1	0	X
	$\overline{PR}$	1	0*	1	X
	$\overline{ER}$	0*	1	1	X
	$U_{PR}$ , В	-36	-36	-12	X
	$\tau$ , мс	200	20	0,4 мкс	—
КМ1609РР1 2К × 8 ЛІЗМОН 10 <sup>4</sup> циклів	$\overline{CS}$	0	0	0	1
	$\overline{OE}$	12 В	1	0	X
	$U_{PR}$ , В	21*	21*	5	5
	$\tau$ , мс	12	12	0,3 мкс	—
К573РР2 2К × 8 ЛІЗМОН 10 <sup>4</sup> циклів	$\overline{CS}$	0	0	0	1
	$\overline{OE}$	12 В	12 В	0	X
	$U_{PR}$ , В	22*	22*	5	5
	$\tau$ , мс	50	50	0,35 мкс	—

\* — вплив у формі імпульсу тривалістю  $\tau$ ;

\*\* — час вибору адреси;

\*\*\* — час утримання сигналу вибору мікросхеми щодо сигналу дозволу  $\overline{OE}$ .

$\overline{PR} = 0$ , наявністю на всіх інформаційних виводах сигналів з рівнем «1», а на адресних входах — сигналів адреси рядка  $A_4 - A_{10}$ , на якому слід стерти інформацію з усіх 128 ЕП. Час вибіркового стирання такий самий, як і загального.

У режимі запису (програмування) на виводи мікросхеми подають записуваний байт, код адреси, сигнали керування за табл. 10.4 і потім імпульс сигналу програмування  $\overline{PR} = 0$  на час 20 мс. Для програмування в автоматичному режимі всієї мікросхеми з числом адрес 2048 потрібно 41 с.

У режимі зчитування на вивід  $U_{PR}$  комутують напругу живлення  $-12$  В (див. табл. 10.4) для зниження споживаної потужності, подають код адреси і сигнали керування за табл. 10.4, причому сигнал зчитування  $\overline{RD}$  повинний мати імпульсну форму. Через 0,4 мкс на інформаційні виходи надходить слово, що зчитується.

Режим збереження забезпечують сигналом  $\overline{CS} = 1$ , який забороняє звертання до мікросхеми незалежно від значень сигналів на інших входах. Можливий другий варіант забезпечення режиму збереження при використанні імпульсного живлення напругою  $-12$  В. Такий режим дає змогу зменшувати споживану потужність. Якщо в паузах між звертаннями до мікросхеми вимикають напругу живлення, вона переходить у режим збереження. Керування перемикаваннями живлення доцільно здійснювати сигналом  $\overline{CS}$ .

Під час експлуатації мікросхем РПЗП потрібно забезпечити необхідний порядок увімкнення і вимкнення напруг живлення і програмування: при увімкненні спочатку подають 5 В, потім  $-12$  В і останньою — напругу програмування; при вимкненні послідовність змінюється на обернену. Можна всі три напруги вмикати і вимикати одночасно.

Перевагою мікросхем РПЗП групи ЕС є можливість перепрограмування без вилучення їх із пристрою, де вони працюють. Іншою позитивною властивістю мікросхем цієї групи є значне число циклів перепрограмування, що досягає для більшості мікросхем 10 тис. Ця властивість разом з енергетичною незалежністю дає змогу їх широко використовувати в апаратурі як вбудовані ПЗП зі змінюваною інформацією. Гарантійний термін збереження інформації при вимкненому живленні становить від 3 тис. годин до 5 років (КМ1609РР1).

Номенклатура мікросхем РПЗП може бути набагато ширшою, ніж наведена в табл. 10.4, за рахунок модифікацій базових мікросхем. Наприклад, у сім'ї мікросхем К1601РРЗ є вісім модифікацій: від РР31 до РР38, які відрізняються інформаційною ємністю (табл. 10.5) і варіантами використання ви-

водів корпусу для адресних входів та інформаційних виходів, через те що число тих і інших може відрізнятися від базової мікросхеми. Те саме можна сказати і про сім'ї мікросхем інших серій. Така різноманітність мікросхем РПЗП дає змогу розв'язувати на їх основі практично будь-які задачі щодо створення енергонезалежних ПЗП з перепрограмуванням.

Групу мікросхем РПЗП-УФ подано серією К573, що має розвинений функціональний склад, який розширюється через значну кількість модифікацій базових мікросхем (табл. 10.6).

У побудові і режимах роботи мікросхем РПЗП-УФ багато спільного з мікросхемами групи ЕС. Винятком є режим стирання, для реалізації якого потрібне джерело УФ випромінювання. Для стирання записаної інформації мікросхему вилучають з контактного пристрою, замикають усі її виводи смужкою фольги і поміщають під джерело УФ випромінювання. Стирання можна зробити, не вилучаючи мікросхему з контактного пристрою, проте тоді треба вимкнути напруги живлення і сигнали. Типовими джерелами випромінювання, які стирають, є дугові ртутні лампи і лампи з парами ртуті в кварцових балонах: ДРТ-220, ДРТ-375, ДБ-8, ДБ-60 тощо. Випромінювання проникає до напівпровідникового кристала

Таблиця 10.5. Модифікації базових мікросхем РПЗП-ЕС

Базова мікросхема	Модифікація		Використані виводи		З'єднання виводів
	Тип	Біт	Адреса	Дані	
КР558РР1	РР11	256 × 4	Всі	7, 8, 9, 10	—
КР558РР2	РР21	1К × 8	Крім 19	Всі	19 = 12
	РР22	1К × 8	Те саме	Те саме	19 = 24
	РР23	2К × 4	Всі	11, 13, 14, 16	—
	РР24	2К × 4	Те саме	10, 11, 13, 14, 16	10 = 11
КР1601РР1	РР11	512 × 4	Крім 1	Всі	1 = 4
	РР12	512 × 4	Те саме	Те саме	1 = 24
КР1601РР3	РР31	1К × 8	Крім 8	— « —	8 = 23
	РР32	1К × 8	Те саме	— « —	8 = 1
	РР33	2К × 4	Всі	4, 5, 6, 7	—
	РР34	2К × 4	Те саме	9, 10, 11, 12	—
	РР35	2К × 4	— « —	4, 5, 9, 10	—
	РР36	2К × 4	— « —	4, 5, 11, 12	—
	РР37	2К × 4	— « —	6, 7, 9, 10	—
	РР38	2К × 4	— « —	6, 7, 11, 12	—
КМ1609РР1	РР11	1К × 8	Крім 19	Всі	19 = 12
	РР12	1К × 8	Те саме	Те саме	19 = 24
К573РР2	РР21	1К × 8	Крім 19	— “ —	19 = 12
	РР22	1К × 8	Те саме	— “ —	19 = 24

Таблиця 10.6. Модифікації базових мікросхем РПЗП-УФ

Базова мікросхема	Модифікація		Використані виводи		З'єднання виводів
	Тип	Біт	Адреса	Дані	
K573PФ1	PФ13	1К × 4	Всі	10, 11, 13, 15	—
	PP14	1К × 4	Те саме	9, 10, 11, 15	—
K573PФ2	PФ21	1К × 8	Крім 19	Всі	19 = 12
	PФ22	1К × 8	Те саме	Те саме	19 = 24
K573PФ3	PФ23	2К × 4	Всі	10, 11, 13, 15	—
	PФ24	2К × 4	Те саме	9, 10, 11, 15	—
	PP31	2К × 16	Крім 17	Всі	17 = 24
	PP32	2К × 16	Те саме	Те саме	17 = 12
K573PФ4	PP33	1К × 16	Крім 17, 11	— ← —	11 = 17 = 24
	PP34	1К × 16	Те саме	— ← —	11 = 17 = 12
	PФ41	4К × 8	Крім 4	— ← —	4 = 14
	PФ42	4К × 8	Те саме	— ← —	4 = 28
	PФ43	8К × 4	Всі	13, 15, 16, 18	—
	PФ44	8К × 4	Те саме	12, 13, 15, 18	—

РПЗП через прозоре вікно в кришці корпусу. Час стирання інформації становить 30...60 хв. Відстань від корпусу до балона лампи має бути 2,5 см. Потрібно забезпечити чистоту скла кришки, оскільки у протилежному випадку стирання буде неповним.

Режими роботи мікросхем РПЗП-УФ — збереження, зчитування, запис (програмування) — забезпечують сигналами керування (табл. 10.7). У реалізації зазначених режимів істотних особливостей порівняно з мікросхемами групи ЕС немає, за винятком наявності в деяких мікросхемах (PФ2, PФ5, PФ6) режиму контролю запису, який реалізують після програмування.

Серед мікросхем серії K573 найскладніша структура і розширені функціональні можливості має мікросхема K573PФ3 ємністю 4К × 16 біт. Її відмітна риса полягає в тому, що вона пристосована для безпосередньої роботи зі стандартною магістраллю, маючи необхідні вбудовані інтерфейсні засоби забезпечення режиму обміну з нею. Крім цього, мікросхема має вбудований програмувальний адресний пристрій, що дає змогу без додаткового устаткування з'єднувати до восьми мікросхем у блок ПЗП з їх підключенням до магістралі.

Зазначені можливості мікросхеми дають змогу комплектувати її з мікросхемами ОЗП K1809PY1, ПЗП K1809PE1, K1801PE1, з якими вона цілком сумісна щодо розведення і вхідних сигналів у режимах зчитування і збереження, для створення універсальних модулів ЗП на основі стандартної магістралі.

Таблиця 10.7. Режими мікросхем РПЗП-УФ

Тип мікросхеми	Сигнали керування	Запис	Контроль запису	Зчитування	Збереження
K573PΦ1 1K × 8 100 циклів	$\overline{CS}$ $\overline{PR}$ τ, мс	12 В 26 В* 1 × 300	— — —	0 0 0,45 мкс**	1 X —
K573PΦ2(PΦ5) 2K × 8 100 циклів (PΦ2) 25 циклів (PΦ5)	$\overline{CS}$ $\overline{OE}$ $U_{PR}$ , В τ, мс	1* 1 25 2 × 10 <sup>4</sup>	0 0 25 —	0 0 5 0,35 мкс	1 X 5 —
K573PΦ3 4K × 16 10 циклів	$\overline{CS}$ $\overline{CE}$ $\overline{OE}$ $\overline{PR}$ $U_{PR}$ , В τ, мс	0* 1 1 0 18 10	0* 0 1 1 18 10	0 0 0 1 5 0,45 мкс	1 1 1 0 5 —
K573PΦ4 8K × 8 25 циклів	$\overline{CS}$ $\overline{PR}$ $U_{PR}$ , В τ, мс	0 0* 25 100	— — — —	0 1 5 0,5 мкс	1 X 5 —
K573PΦ6 8K × 8 10 <sup>4</sup> циклів	$\overline{CS}$ $\overline{OE}$ $\overline{PR}$ $U_{PR}$ , В τ, мс	0 1 0* 19 50	0 0* 1 19 —	0 0 1 5 0,3 мкс	1 X X 5 —

\* — вплив у формі імпульсу тривалістю τ;

\*\* — час вибору адреси.

Сигнали мікросхеми:

 $A_1 - A_{12}$  — код адреси комірки пам'яті; $A_{13} - A_{15}$  — код адреси мікросхеми; $DI0_0 - DI0_{15}$  — вхідні (при програмуванні) і вихідні (при зчитуванні) дані; адресні входи й інформаційні входи-виходи об'єднані; $\overline{CE}$  — дозвіл обміну (ідентичний сигналу системного інтерфейсу  $\overline{SYNC}$  — «Синхронізація»); $\overline{OE}$  — дозвіл видавання інформації ( $\overline{DIN}$ ); $\overline{CS}$  — вибір мікросхеми; сигнал керує адресним пристроєм мікросхеми; $\overline{PR}$  — програмування (запис,  $\overline{WTBT}$ ); $\overline{RPLY}$  — вихідний сигнал супроводу інформації, яка зчитується.



Значення сигналів керування в різних режимах роботи мікросхеми наведено в табл. 10.7. У процесі реалізації керування слід мати на увазі, що з'єднані адресні й інформаційні виводи працюють у мультиплексному режимі: спочатку при  $\overline{CS} = 0$  і збігу внутрішнього коду мікросхеми зі взятим  $A_{13} - A_{15}$  відбувається запис у вхідний регістр коду адреси  $A_1 - A_{12}$ , потім виводи переходять у режим приймання даних  $DI_0 - DI_{15}$  для запису або в режим виведення зчитаних даних  $D0_0 - D0_{15}$  у магістраль. Під час програмування сигнал  $\overline{CE}$  на етапі приймання адреси має значення 0, потім при прийманні даних набуває значення 1.

У режимі зчитування після фіксації адреси на вхідному регістрі виходи переходять у третій стан, а зчитана з матриці інформація розміщується на внутрішньому вихідному регістрі. На виходи вона надходить при сигналі дозволу на виході  $\overline{OE}$ .

Недоліками мікросхем РПЗП-УФ є мале число циклів програмування (від 10 до 100), що зумовлено швидким старінням діелектрика під впливом УФ випромінювання, необхідність вилучення з апаратури для стирання інформації, значний час стирання, потреба у спеціальному устаткуванні для стирання, висока чутливість до висвітлення та можливість випадкового стирання інформації. Разом з тим у мікросхемах цієї групи є й істотні переваги: порівняно висока швидкодія, різноманітність варіантів виконання за інформаційною ємністю, невисока вартість і доступність. Ці властивості мікросхем РПЗП-УФ зумовлюють їх широке застосування.

Подальший розвиток технології ПЛМ сприяв створенню програмувальних логічних інтегральних схем (ПЛІС). Реалізовані ними функції можна багаторазово змінювати, нерідко для цього навіть не потрібно вилучати мікросхему з пристрою, в якому вона працює.

Кристал ПЛІС містить значну кількість однотипних логічних елементів. З'єднують елементи в потрібному порядку за допомогою перемикачів на польових транзисторах. У кожному логічному елементі є перемикачі (мультиплексори), за допомогою яких під час програмування можна змінювати виконувані функції.

Майже всі зовнішні виводи ПЛІС є універсальними. Кожний може бути або входом, або виходом. Деякі виводи мають додаткові функції, наприклад програмування конфігурації мікросхеми, проте це не виключає їх використання як звичайного входу або виходу.

За внутрішньою структурою і способом запам'ятовування конфігурації ПЛІС фірми XILINX можна поділити на два

види: FPGA (*field programmable gate array* — матриця венти́лів, програмувальних електричним полем) і CPLD (*complex programmable logic device* — складна програмувальна логічна матриця).

До FPGA належать мікросхеми серій XC2000, XC3000, XC4000, XC5200, XC6000 і Spartan. Подібно до ОЗП, вони зберігають задану конфігурацію тільки при ввімкненому живленні і «забувають» її після вимикання. Щораз, вмикаючи живлення, таку ПЛІС потрібно програмувати заново. Програму зазвичай зберігають у встановленому на одній платі з ПЛІС завантажувальному ПЗП, який може бути послідовним 1-розрядним або звичайним 8-розрядним. Спосіб завантаження конфігурації задають логічними рівнями на керуючих входах. Процедура перезапису виконується автоматично, після чого ПЛІС переходить у робочий режим.

В одному ПЗП допускається зберігати інформацію для кількох ПЛІС. Одна з них є ведучою (*master*) і, закінчивши власне завантаження, керує записом даних у ведені (*slave*) мікросхеми. Призначення ведучої або веденої ніяк не впливає на логічні функції, які виконує ПЛІС після завантаження.

Спеціально для спільної роботи з ПЛІС фірма XILINX розробила серію однократно програмувальних послідовних ПЗП XC1700 інформаційною ємністю, достатньою для всіх ПЛІС структури FPGA, що випускає ця фірма.

До CPLD належать мікросхеми серій XC7000 і XC9500. Вони зберігають конфігурацію незалежно від наявності напруги живлення. У мікросхему XC7000 конфігурацію заносять за допомогою пристрою для програмування, а стирають УФ випромінюванням. Такі ПЛІС установлюють зазвичай у налагоджені пристрої. Для налагодження нових виробів вони незручні через тривалу (до години) процедуру очищення.

Мікросхеми серії XC9500, виконані за технологією FLASH, можна неодноразово програмувати, не вилучаючи з пристрою. Для цього в них передбачений спеціальний порт JTAG. Щоб записати вихідну конфігурацію або внести зміни, виводи цього порту через кілька буферних мікросхем з'єднують кабелем з портом LPT персонального комп'ютера.

Порт JTAG корисний не тільки для програмування. Через нього комп'ютер може одержати інформацію про логічні рівні на усіх виводах ПЛІС і в контрольних точках усередині її. Можливість організувати такий порт передбачена і в ПЛІС структури FPGA останніх серій. Виводи мікросхеми, зайняті портом JTAG, можуть бути і звичайними входами-виходами.

На рис. 10.8 схематично зображено структуру кристала мікросхеми FPGA. Його центральну частину займає матриця

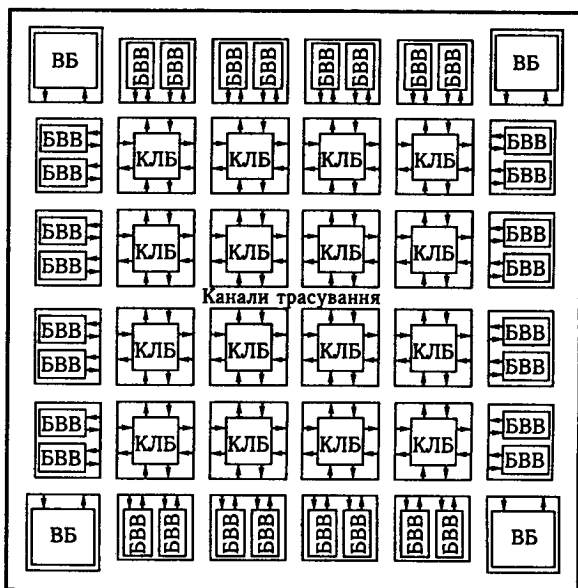


Рис. 10.8. Структура кристала мікросхеми FPGA

конфігурації логічних блоків (КЛБ), а по периметру розміщені блоки введення-виведення (БВВ), з'єднані з контактними площадками.

У табл. 10.8 наведено відомості щодо кількості КЛБ і БВВ у FPGA серії XC4000. Вентилі і тригери тут не самостійні елементи, а входять до складу зазначених блоків.

Таблиця 10.8. Відомості про структуру серії XC4000

Мікросхема	Кількість на кристалі				Довжина програми, біт
	КЛБ	БВВ	вентилів	тригерів	
XC4005	186	112	5000	616	151 910
XC4010	400	160	10 000	1120	283 376
XC4013	576	192	13 000	1536	393 580
XC4020	784	224	20 000	2016	521 832
XC4028	1024	256	28 000	2560	668 132
XC4036	1286	288	36 000	3168	832 480
XC4044	1600	320	44 000	3840	1 014 876
XC4052	1936	352	52 000	4576	1 215 320
XC4062	2304	384	62 000	5376	1 433 812
XC4085	3136	448	85 000	7182	1 924 940

Кожний із БВВ здатний бути вхідним або вихідним, а зв'язаний з ним зовнішній вивід мікросхеми — входом (IPAD), виходом (OPAD) або бути двонапрямленим (IOPAD). По кутах кристала розташовані допоміжні вузли. Вільну від логічних елементів площу займають канали трасування, де прокладена значна кількість провідників, на перетинаннях яких розміщено програмувальні перемикачі. Кожен перемикач складається із шести польових транзисторів, з'єднаних, як показано на рис. 10.9.

Задаючи відкритий або закритий стан кожного транзистора, можна з'єднати КЛБ між собою і з БВВ належним чином.

Проте така структура не завжди дає змогу реалізувати потрібну конфігурацію. У складних пристроях з великим числом довгих нерегулярних зв'язків вдається використовувати не більше ніж половину ресурсів кристала.

Схему найпростішого БВВ (він застосовується в мікросхемах серії XC5200) зображено на рис. 10.10. Контактна площадка кристала з'єднана з виходом керованого буфера DD1 і з входом буфера DD2. Передбачено можливість задати вихідний логічний рівень на вході, зв'язуючи контактну площадку із загальним проводом через резистор R1 або із шиною живлення через резистор R2. Програмувальні перемикачі S1, S2 забезпечують прямий або інверсний зв'язок БВВ із матрицею КЛБ. За допомогою перемикача S3 за необхідності інвертують вхідний сигнал. Лінія затримки U1 призначена для вирівнювання часів поширення сигналів по різних колах ПЛІС. Буфер DD1 обладнаний пристроєм програмування тривалості фронту

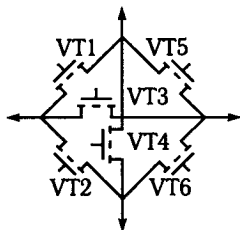


Рис. 10.9. З'єднання перемикачів на польових транзисторах

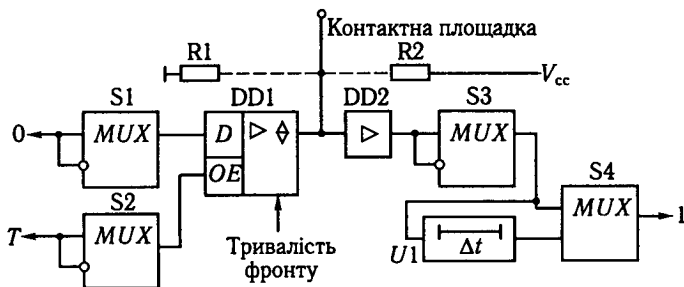


Рис. 10.10. Схема найпростішого БВВ

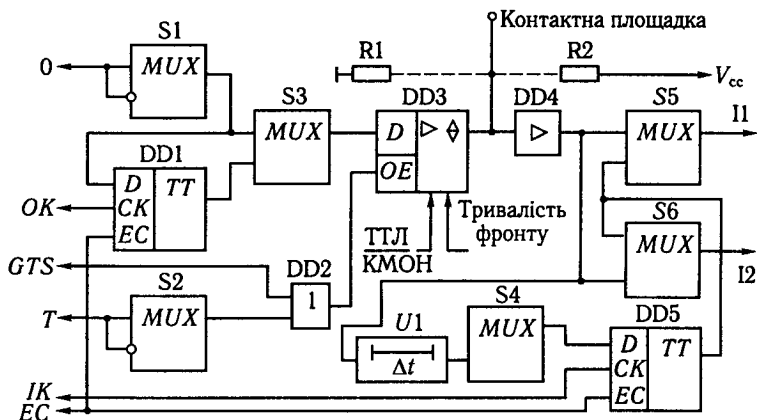


Рис. 10.11. Схема БВВ з двома *D*-тригерами

го сигналу. Пологий фронт, не знижуючи внутрішньої швидкодії ПЛІС, у разі поганого узгодження зовнішнього навантаження БВВ перешкоджає завадам.

БВВ мікросхем FPGA інших серій складніше (рис. 10.11) і додатково має два *D*-тригери, за допомогою яких можна запам'ятовувати значення входних і вихідних сигналів. У деяких випадках передбачене налаштування на логічні рівні сигналів, характерні для мікросхем структури КМОН або ТТЛ.

КЛБ мікросхеми серії XC5200 складається з чотирьох мікрокомірок, виконаних за схемою, наведеною на рис. 10.12.

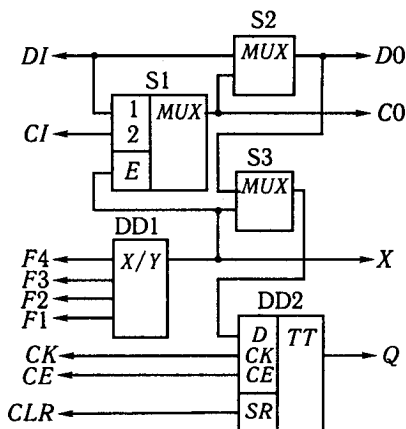


Рис. 10.12. Схема КЛБ мікросхеми серії XC5200

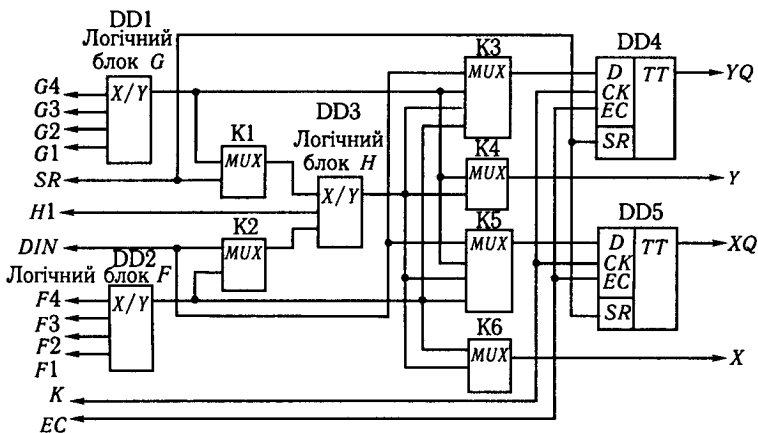


Рис. 10.13. Схема КЛБ мікросхеми серії XC3000

Кожна комірка містить генератор довільної логічної функції чотирьох змінних DD1 (ППЗУ на 16 біт) і тригер DD2. Усі чотири тригери одного КЛБ мають загальні входи сигналів асинхронного скидання (CLR), синхронізації (СК) і дозволу (CE).

До складу КЛБ мікросхем FPGA серії XC3000, XC4000 і Spartan (рис. 10.13) входять два логічних блоки (DD1, DD2) і D-тригер (DD4, DD5). Вихідні сигнали блоків DD1 і DD2 можуть бути додатково оброблені логічним блоком DD3.

Порівняно з FPGA структура CPLD більш «крупнозерниста». Розглянемо її на прикладі мікросхем серії XC9500, структурну схему яких зображено на рис. 10.14, а відомості про склад — у табл. 10.9. Зазначені там же максимальні частоти належать до 16-розрядних двійкових лічильників, реалізованих на таких ПЛІС. Лічильники з елементів інших ПЛІС здатні працювати на частотах до 350 Мгц.

Схему макрокомірки логічного блока ПЛІС серії XC9500 зображено на рис. 10.15. За допомогою програмувальної матриці I формують до п'яти логічних добутоків 36 змінних, ще два добутки можна взяти від сусідніх макрокомірок. На виході АБО елемента (DD37) утвориться логічна сума цих добутоків, що надходить на вхід перемикача S5 і тригера DD39 у прямому або інвертованому вигляді залежно від положення програмувального перемикача S1. В одному з положень останнього інверсією керує сигнал, сформований у розподільнику логічних добутоків. Тактові сигнали з інших виходів розподільника встановлюють і скидають тригер DD39. Змінюючи положення перемикачів S2—S4, ці функції можна

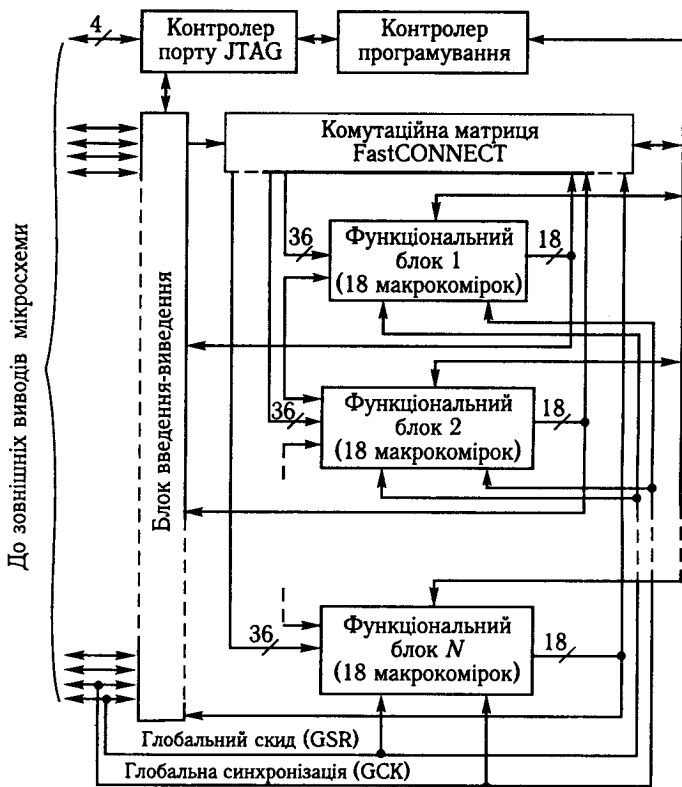


Рис. 10.14. Структура CPLD

виконувати за допомогою глобальних сигналів синхронізації і скидання, що надходять безпосередньо з виводів ПЛІС.

У складі БВВ ПЛІС серії XC9500 є тільки буфери введення-виведення, тригерів у них немає. Перевести вихід БВВ у активний стан можна за допомогою сигналу РТОЕ, що надхо-

Таблиця 10.9. Відомості про структуру серії XC9500

Мікросхема	Кількість на кристалі		Максимальна частота лічення, МГц
	макрокомірок	вентилів	
XC9536	36	800	100
XC9572	72	1600	125
XC95108	108	2400	125
XC95144	144	3200	125
XC95216	216	4800	111,1
XC95288	288	6400	111,1

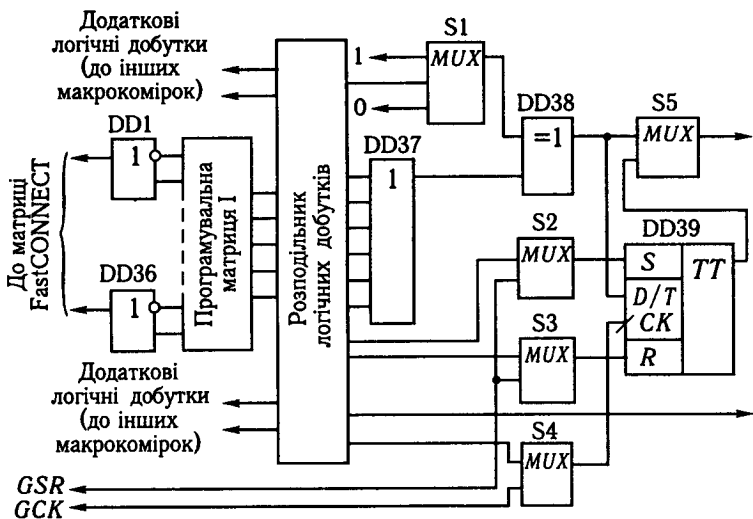


Рис. 10.15. Схема макрокомірки логічного блока ПЛІС серії XC9500

дить від макрокомірки, або одного з глобальних сигналів GOE1 – GOE4, формованих спеціальним програмувальним логічним блоком із входніх сигналів ПЛІС. Кола OUT і PTOE кожної макрокомірки ПЛІС CPLD зв'язані тільки з одним блоком введення-виведення, що, в свою чергу, з'єднаний з певним зовнішнім виводом. У FPGA такого жорсткого зв'язку немає.

З'єднання функціональних блоків між собою і з входніми колами БВВ реалізують за допомогою програмувальної комутаційної матриці, фірмову назву якої FastCONNECT можна перекласти як «швидке з'єднання». Матриця має регулярну структуру, забезпечує однакову затримку поширення всіх сигналів і гарантує трасування всіх необхідних зв'язків. Останнє дає змогу довільно розподіляти по виводах ПЛІС зовнішні кола розроблювального пристрою.

Під час проектування пристрою на ПЛІС потрібно підготувати його схему за допомогою схемного редактора, наприклад популярного ORCAD.

Мікросхеми FLASH-пам'яті розробила фірма Intel у 1988 р. Пам'ять нового типу є енергонезалежною, з електричним стиранням і перепрограмуванням.

Елементи пам'яті мікросхеми FLASH-пам'яті побудовані на одному МОП-транзисторі з плаваючим затвором, виконаним за запатентованою Intel технологією ETOX (від англ. EPROM Thin Oxide). Напівпровідникова структура цього транзистора



подібна до структури ЕП перепрограмувального ПЗП (EPROM) із стиранням інформації УФ випромінюванням. Він містить підкладку  $p$ -типу, на якій сформовані області  $n$ -стоку і витоку. Над проміжком між ними розташований керуючий затвор (КЗ), відділений від підкладки шаром оксиду  $\text{SiO}_2$ . В останньому сформована область з полісиліцію, яка виконує функції плаваючого затвора (ПЗ). У цій області може накопичуватися заряд електронів, електричне поле якого зміщує поріг відкривання транзистора. У результаті при номінальній напрузі на КЗ і за відсутності заряду в ПЗ транзистор відкритий, а за наявності заряду — закритий. Ці два стани і використовуються для запам'ятовування «1» та «0».

Завдяки використанню технології ETOX товщину шару  $\text{SiO}_2$  між ПЗ і підкладкою транзистора вдалося зменшити (порівняно з EPROM) більше ніж у три рази. Результатом цього стали дві особливості транзистора, що і дало змогу створити FLASH-пам'ять. Напруга, яку використовували у процесі запису інформації (для інжекції електронів у ПЗ), знизилася до 12 В; виникла можливість електричного стирання (вилучення заряду з ПЗ) через тунельний ефект при напрузі між стоком і КЗ 12 В. Ці особливості дали змогу забезпечити перезапис інформації у складі мікропроцесорної системи й у багато разів збільшити число перезаписів.

Для організації накопичувача інформації в мікросхемах FLASH-пам'яті ЕП розміщені у вигляді прямокутної матриці. У кожному рядку КЗ транзисторів з'єднані й утворюють шини вибору слова, стоки в кожному стовпці також з'єднані й утворюють шини вибору розряду (біта), а з'єднані джерела — шини, що підключаються до підсилювачів відтворення. Така схема з'єднань (NOR) накопичувача дуже критична до виконання стирання. Зазначимо, що під час стирання з ПЗ може бути вилучено більше електронів, ніж було забезпечено інжекцією у процесі програмування. У результаті в ПЗ з'явиться позитивний заряд, транзистор стане провідним незалежно від напруги на КЗ і відбудеться шунтування всього стовпця ЕП у матриці. Повернути таку мікросхему в роботоздатний стан уже не вдасться. Щоб уникнути цього небажаного явища, фахівці Intel розробили такі заходи, які впливають на структуру й організацію роботи мікросхем FLASH-пам'яті:

— застосування спеціальних алгоритмів запису та стирання з контролем стану і завершенням процесу за результатами контролю;

— попереднє програмування в алгоритмі стирання, за якого перед стиранням усі ЕП матриці встановлюються в стан «0»;

- включення до складу мікросхеми регістра, який зберігає ідентифікатори фірми-виготовлювача та типу мікросхеми, що дає змогу захистити елемент від помилок вибору алгоритму;
- вбудовування в мікросхеми кіл, що реалізують алгоритми стирання і запису. Це спрощує зовнішнє керування і захищає від помилок при перезапису.

Можна виділити три групи мікросхем FLASH-пам'яті:

мікросхеми першого покоління, виконані у вигляді єдиного масиву (блока) або такі, що цілком стираються (BULK-ERASE). До цієї групи належать мікросхеми 28F256, 28F512, 28F010, 28F020;

мікросхеми з поділом масиву пам'яті на блоки різного розміру і з різними рівнями захисту від випадкового стирання та запису або такі, що стираються по блоках різного розміру (BOOT-BLOCK). До них належать 28F001BX-T/V, 28F002BX-T/V(L), 28F200BX-T/V(L), 28F004BX-T/V(L), 28F400BX-T/V(L);

мікросхеми третього покоління з найбільшим розміром масиву, поділеного на блоки однакового розміру з незалежним стиранням (FLASH-FILE). Це мікросхеми 28F008SA(L), 28F016SA, 28F032SA.

Мікросхеми BULK-ERASE можна використовувати замість EPROM. Їх основна перевага — можливість електричного стирання при збереженні енергетичної незалежності. Якщо під час використання звичайних ПЗП процес модифікації «захитих» у ньому даних потребує тривалої процедури стирання, для чого мікросхему необхідно вилучити з плати і піддати УФ випромінюванню, то FLASH-пам'ять можна перепрограмувати під керуванням процесора самої системи. Якщо розроблювальний пристрій критичний до ємності пам'яті або не має джерела напруги перепрограмування, то можна використовувати зовнішній пристрій для програмування, підключивши його через технологічне рознімання. Для одержання необхідної напруги рекомендується використовувати аналоговий перетворювач напруги 5/12 В. Порівняно з EEPROM, що відрізняється ускладненою структурою ЕП і має обмеження на щільність їх розміщення на кристалі, FLASH-пам'ять, яка використовує один транзистор на один запам'ятовувальний елемент, має переваги щодо щільності та собівартості.

Мікросхеми групи BOOT-BLOCK застосовують для збереження BIOS у персональних комп'ютерах. Вони дають змогу об'єднати BIOS, який може бути поновлений безпосередньо з дискети. Особливість FLASH-пам'яті полягає в тому, що її вміст не можна стерти, якщо не подати на спеціальний вхід мікросхеми напругу програмування +12 В. Це і дає змогу

зберегти важливу інформацію від випадкового або несанкціонованого стирання. Можливість електричного перепрограмування FLASH-пам'яті істотно полегшує процес модернізації мікросхем BIOS.

Мікросхеми групи FLASH-FILE використовують для збереження даних великого обсягу в так званих FLASH-картах — альтернативі жорстким магнітним дискам. Через те що обсяги виробництва мікросхем FLASH-пам'яті незмінно зростають, у недалекому майбутньому FLASH-пам'ять замінить жорсткі магнітні диски в багатьох галузях. Наприклад, у системах, які працюють в умовах сильних механічних впливів, коли жорсткі диски не застосовуються або швидко виходять з ладу. За часом доступу FLASH-пам'ять у 125...250 разів «швидша» за жорсткий диск, однак поступається йому за інформаційною ємністю. У FLASH-карт зараз він не перевищує 40 Мбайт.

Число циклів стирання/запису мікросхем FLASH-пам'яті — не менше ніж 100 000. Для новітніх мікросхем 28F016SA і 28F032SA використовуються технологія й алгоритми стирання/запису, що дають змогу істотно поліпшити цю характеристику.

Мінімальний час зчитування байта/слова не перевищує 100 нс і більший у мікросхем, які працюють при напрузі 3,3 В.

Час запису (байт/слово) становить приблизно 9 мкс, час стирання блока (64 Кбайт) — близько 1 с. У міру вироблення ресурсу по циклах стирання/запису змінюється структура оксиду між ПЗ і напівпровідником. У результаті збільшується число циклів, потрібне для стирання/запису інформації, тому витрати часу на ці операції можуть зрости у кілька разів. Інформаційна ємність мікросхем — від 256 Кбіт до 32 Мбіт.

Напруга живлення мікросхем FLASH-пам'яті становить  $5 \text{ В} \pm 10 \%$ , стирання і програмування —  $12 \text{ В} \pm 5 \%$ . Випускаються також мікросхеми, які працюють при напрузі  $(3,3 \pm 0,3) \text{ В}$  (в умовній позначці є літера L). Для них характерна більша тривалість циклу зчитування байта. Мікросхеми 28F016SA і 28F032SA можуть працювати як при 5, так і при 3,3 В (робоча напруга встановлюється за рівнем напруги на відповідному виводі мікросхеми).

Споживаний струм істотно залежить від режиму роботи мікросхеми. За відсутності звертань вона перебуває в режимі чекання (Standby). Основна частина внутрішніх кіл у цьому випадку вимкнена, і споживаний струм значно менший, ніж в активному режимі. При стиранні і записі споживаний струм зростає (порівняно з активним режимом) переважно по колу 12 В. Елементи мікросхем, які стираються по частинах, можуть встановлюватися в режим мікроспоживання (Powerdown), за

якого струм, споживаний від джерел напруг 5 і 12 В, не перевищує частки мікроампера.

З упровадженням мікроконтролерів виникла потреба у найпростішому і дешевшому способі обмінюватися командами й іншою дискретною інформацією між контролером та керованими ним мікросхемами, які містяться на одній або кількох поряд розташованих платах.

Для передавання даних невеликого обсягу в комп'ютерах поширені багаторозрядні паралельні шини з пропускнуою здатністю, яка вимірюється багатьма мегабайтами за секунду, дорого коштують і незручні. Послідовною асинхронною шиною, подібною до RS-232, важко з'єднати більше ніж два абоненти, а для надійної синхронізації приймання і передавання потрібні кварцові резонатори. У цій ситуації фірма Philips розробила і застосувала послідовну шину Inter Integrated Circuit Bus (скорочено ІІС-bus, або I<sup>2</sup>C), яка складається з двох сигнальних ліній.

Нині шина I<sup>2</sup>C — це фактично стандарт для багатьох промислових пристроїв; її застосовують навіть у IBM-сумісних комп'ютерах. З її допомогою BIOS дізнається, наприклад, про число і конфігурацію модулів пам'яті. А в процесі пошуку і настроювання пристроїв Plug & Play системний блок комп'ютера «спілкується» з монітором за допомогою шини ACCESS Bus, подібній до I<sup>2</sup>C (її назвали інакше з патентних міркувань).

До шини I<sup>2</sup>C можна підключати до 128 (у варіанті за 10-розрядною адресою — до 1024) пристроїв. Її двонаправлені входи-виходи SCL (Serial Clock) і SDA (Serial Data) з відкритими колекторами підключають до однойменних ліній паралельно. Лінії навантажені резисторами, з'єднаними з джерелом живлення. Номінали резисторів і напругу живлення специфікацією не встановлено. Необхідно лише, щоб струм короткого замикання кожної з ліній на загальний провід не перевищував 3 мА, а ємність з урахуванням підключених абонентів — 400 пФ.

Один із пристроїв є ведучим (*master*), інші — веденими (*slave*). Перший генерує синхроімпульси SCL і керує всім обміном за шиною. Ведені тільки у відповідь на запити ведучого приймають від нього або передають йому дані.

Загальне уявлення про порядок передавання інформації дають часові діаграми, зображені на рис. 10.16. Початковий стан шини — високі логічні рівні на лініях SDA і SCL. Щоб почати сеанс обміну даними, ведучий, не змінюючи стану лінії SCL, установлює низький рівень на лінії SDA, а потім — такий самий рівень на лінії SCL. Це команда СТАРТ. Одержавши її, всі ведені мають приготуватися до приймання.

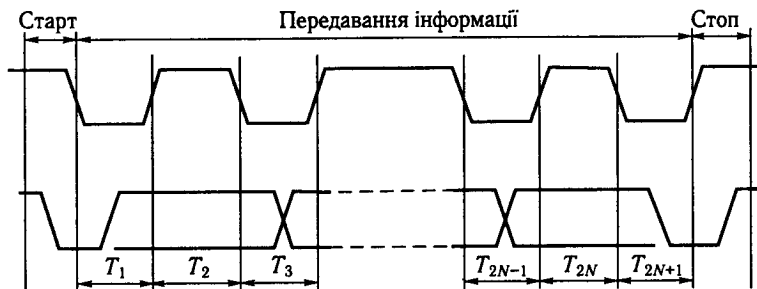


Рис. 10.16. Порядок передавання інформації шини I<sup>2</sup>C:

$T_1$ ,  $T_3$ ,  $T_{2N+1}$  – рівень SDA дозволено міняти;  $T_2$ ,  $T_{2N}$  – рівень SDA має бути стабільним

Передавання інформації – побітне. При низькому рівні SCL, підтримуваному ведучим, передавач установлює на лінії SDA рівень, що відповідає значенню переданого біта (логічна «1» – високий, «0» – низький). Потім ведучий установлює на лінії SCL високий рівень, а після закінчення часу, відведеного приймачу для прийняття інформації, знову змінює його на низький. Ця процедура повторюється для кожного переданого біта. Ведучий завершує сеанс командою СТОП – зміною низького рівня на лінії SDA на високий при такому самому рівні на лінії SCL.

В усіх ситуаціях, крім подавання команд СТАРТ і СТОП, не допускається зміна рівня на лінії SDA при високому рівні SCL. Не рекомендується й одночасна зміна стану цих ліній – часовий зсув має становити не менше ніж 0,3 (0,1) мкс. У дужках зазначені нормативи «швидкого» режиму.

Частота повторення імпульсів SCL – не більше ніж 100 (400) кГц при тривалості або імпульсу паузи не менше ніж 4,7 (1,2) мкс. Часові діаграми, зображені на рис. 10.17, показують, як відбувається передавання байта. Їй передують команда СТАРТ або розглянутий далі біт підтвердження приймання попереднього байта.

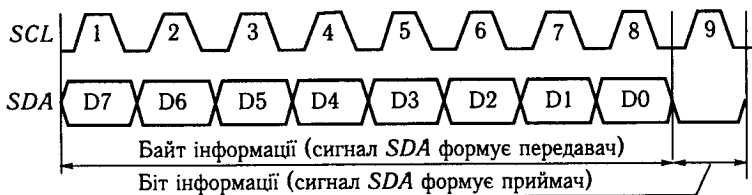


Рис 10.17. Часові діаграми передавання інформації

Першим передають старший розряд байта, останнім — молодший, після чого пристрій, що прийняв байт, підтверджує цей факт, установивши на лінії *SDA* низький рівень і підтримуючи його до закінчення генерації ведучим на лінії *SCL* дев'ятого імпульсу високого рівня. Після підтвердження приймання чергового байта починається передавання наступного або подається команда **СТОП**.

Сім старших бітів байта, обов'язково передані ведучим після команди **СТАРТ**, є адресою веденого, з яким він має намір установити зв'язок. Якщо серед підключених до шини є справний пристрій з такою адресою, він має підтвердити приймання і підготуватися до подальших дій. Усі інші ведені, не пізнавши своєї адреси, вимикаються до наступної команди **СТАРТ**.

Повний список зарезервованих за різними пристроями адрес веденої шини I<sup>2</sup>C фірма Philips тримає в таємниці, мотивуючи це тим, що в протилежному випадку неминуче «самозахоплення» вільних адрес. Відомо, що мікросхемам пам'яті виділені 8 адрес з 1010000 по 1010111, хоча деякі з них можуть бути набудовані на коди і поза цим діапазоном.

Молодший восьмий біт першого байта — ознака напрямку передавання. Якщо його значення — логічний «0» (низький рівень), інформація в даному сеансі буде записуватися/передаватися від ведучого до веденого, у протилежному випадку перший має намір читати дані, передані веденим. Процес передавання всіх наступних байтів аналогічний описаному вище, їх число за сеанс не обмежено, однак зміна напрямку передавання до завершення сеансу не передбачена.

Параметри мікросхем пам'яті з інтерфейсом I<sup>2</sup>C, які випускають фірми Atmel, Fairchild, Philips, Seiko, ST, наведено в табл. 10.10. Усі вони — ПЗП багаторазового перепрограмування з електричним стиранням і записом даних. Їх випускають у корпусах різних розмірів і конструкцій, у більшості випадків — з вісьмома штировими або планарними виводами, призначення яких незалежно від типорозміру корпусу і розміщеного в ньому кристала майже завжди однакове і відповідає наведеному на рис. 10.18, *а*. Якщо число виводів більше ніж 8, «зайві» залишають вільними. Можливі варіанти корпусів зображено на рис. 10.18, *б* і *в*.

Напруга живлення мікросхем — від 1,8...4,5 (залежно від типу і літерного індексу в позначенні) до 5,5 В. Зазвичай зі зменшенням напруги живлення знижуються споживаний струм і швидкодія. Навантажувальна здатність виходу *SDA* — 3...5 мА, вхідний струм і ємність будь-якого входу не перевищують відповідно 1 мкА і 4...8 пФ.

Входи, до яких не підключені зовнішні кола, здобувають нульовий потенціал. Нульовими слід вважати і логічні значен-

Таблиця 10.10. Параметри мікроосхем пам'яті з інтерфейсом I<sup>2</sup>C

Мікроосхема	Ємність пам'яті, біт/байт	Ложина сторінки запису, байт	Частина масиву, апаратно захищена від запису	Максимальне число мікроосхем на шині	Формат адреси веденого							Термін зберігання даних, роки	Напруга, В	Сложивання струму в режимі			Максимальна частота SCL, кГц	Час запису, мс
					D7	D6	D5	D4	D3	D2	D1			спокую, мкА	зчитуван- ня, мА	запису, мА		
AT24C01	1К/128	8	Весь	1	1	0	1	0	X	X	X	100	1,8...5,5	3...18	1	3	100...400	10
AT24C01A	1К/128	8	Те саме	8	1	0	1	0	A2	A1	A0	100	1,8...5,5	3...18	1	3	100...400	10
AT24C21	1К/128	8	← ← ←	1	1	0	1	0	X	X	X	100	2,5...5,5	4...30	1	3	100	10
M24C01	1К/128	16	← ← ←	8	1	0	1	0	A2	A1	A0	40	1,8...3,6	0,1...1	0,8...2	0,8...2	400	5...10
S-24C01D	1К/128	8	← ← ←	8	1	0	1	0	X	X	X	10	2...5,5	1	0,3...0,8	0,3...0,8	100...400	10
AT24C02	2К/256	8	← ← ←	8	1	0	1	0	A2	A1	A0	100	1,8...5,5	3...18	1	3	100...400	10
AT24C02A	2К/256	8	СП	8	1	0	1	0	A2	A1	A0	100	1,8...5,5	3...18	1	3	100...400	10
AT34C02	2К/256	16	Весь	8	1	0	1	0	A2	A1	A0	100	1,8...5,5	3...18	1	3	100...400	10
M24C02	2К/256	16	Те саме	8	1	0	1	0	A2	A1	A0	40	1,8...3,6	0,1...1	0,8...2	0,8...2	400	5...10
NM24C02U	2К/256	16	Немає	8	1	0	1	0	A2	A1	A0	40	2,7...5,5	50	1	1	100...400	15
NM24C03U	2К/256	16	СП	8	1	0	1	0	A2	A1	A0	40	2,7...5,5	50	1	1	100...400	15
PCF8522E	2К/256	4	Весь	8	1	0	1	0	A2	A1	A0	10	2,7...5,5	2	1...2	1...2	100	10...25
PCF8582E	2К/256	8	Немає	8	1	0	1	0	A2	A1	A0	40	4,5...6	10	0,2	2	100	7
S-24C02B	2К/256	8	СП	1	1	0	1	0	X	X	X	10	2...5,5	1	0,3...0,8	0,3...0,8	100	10
ST14C02C	2К/256	8	Немає	1	1	0	1	0	0	0	0	10	3...5,5	100	2	2	100	10
AT24C04	4К/512	16	Весь	4	1	0	1	0	A2	A1	B8	100	1,8...5,5	3...18	1	3	100...400	10
AT24C04A	4К/512	16	СП	4	1	0	1	0	A2	A1	B8	100	1,8...5,5	3...18	1	3	100...400	10
S-24C04B	4К/512	16	Те саме	1	1	0	1	0	X	X	B8	10	1,8...3,6	0,1...1	0,8...2	0,8...2	100...400	10

AT24C08	8K/1K	16	Немає	2	1	0	1	0	0	A2 B9	B8	100	1,8...5,5	3...18	1	3	100...400	10
AT24C08A	8K/1K	16	Весь	2	1	0	1	0	0	A2 B9	B8	100	1,8...5,5	3...18	1	3	100...400	10
M24C08	8K/1K	16	Te same	2	1	0	1	0	0	A2 B9	B8	40	1,8...3,6	0,1...1	0,8...2	0,8...2	400	5...10
AT24C16	16K/2K	16	СП	1	1	0	1	0	0	B10 B9	B8	100	2,5...5,5	3...18	1	3	100...400	10
AT24C164	16K/2K	16	Весь	8	1	A2 A1	0	0	0	B10 B9	B8	100	1,8...5,5	3...18	1	3	100...400	10
M24C16	16K/2K	16	Te same	1	1	0	1	0	0	B10 B9	B8	40	1,8...3,6	0,1...1	0,8...2	0,8...2	400	5...10
ST24C16	16K/2K	16	Немає	1	1	0	1	0	0	B10 B9	B8	40	4,5...5,5	100...300	2	2	100	10
ST24E16	16K/2K	16	Весь	8	1	0	1	0	0	A2 A1 A0	A0	40	4,5...5,5	100...300	2	2	400	10
ST24W16	16K/2K	16	Te same	1	1	0	1	0	0	B10 B9	B8	40	4,5...5,5	100...300	2	2	100	10
ST25C16	16K/2K	16	Немає	1	1	0	1	0	0	B10 B9	B8	40	2,5...5,5	5...50	1	1	100	10
ST25E16	16K/2K	16	Весь	1	1	0	1	0	0	A2 A1 A0	A0	40	2,5...5,5	5...50	1	1	400	10
ST25W16	16K/2K	16	Te same	1	1	0	1	0	0	B10 B9	B8	40	2,5...5,5	5...50	1	1	100	10
AT24C32	32K/4K	32	СЧ	8	1	0	1	0	0	A2 A1 A0	A0	100	1,8...5,5	0,1...2	1	3	100...400	10
AT24C64	64K/8K	32	Te same	8	1	0	1	0	0	A2 A1 A0	A0	40	1,8...5,5	0,1...2	1	3	100...400	10
NM24C65	64K/8K	32	СП	8	1	0	1	0	0	A2 A1 A0	A0	40	2,5...4,5	1...10	1	1	400	15
AT24CS128	128K/16K	64	Весь	4	1	0	1	0	0	A1 A0	A0	40	4,5...5,5	0,2...5	2	3	400...1000	10
M14128	128K/16K	64	Te same	1	1	0	1	0	0	0	0	40	2,5...5,5	2...20	1	2	100...400	10
AT24CS256	256K/32K	64	— ←	4	1	0	1	0	0	A1 A0	A0	40	1,8...5,5	0,2...5	2	3	400...1000	10
M14256	256K/32K	64	— ←	1	1	0	1	0	0	0	0	40	2,5...5,5	2...20	1	2	100...400	5
AT24CS512	512K/64K	128	— ←	4	1	0	1	0	0	A1 A0	A0	40	1,8...5,5	0,2...5	2	3	100...1000	10
AT24C512SC	512K/64K	128	Немає	1	1	0	1	0	0	0	0	40	2,7...5,5	0,6...8	2	3	400...1000	10

Скорочення: СП — старша половина масиву; СЧ — його старша чверть.

Мікросхеми PCF8522E, AT24CS128, M14128, AT24CS256, M14256, AT24CS12, AT24C512SC допускають до  $10^5$  циклів перезапису, PCF8582E — до  $5 \times 10^5$  циклів, інші — до  $10^6$  циклів.



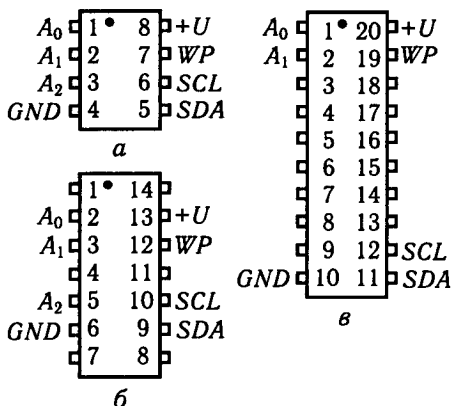


Рис. 10.18. Варіанти корпусів мікросхем

ня керуючих сигналів, що задаються цими входами. Приймачі сигналів *SDA* і *SCL* є тригерами Шмітта і оснащені фільтрами, які заглушують імпульси коротше ніж 0,1 мкс.

Хоча специфікацією шини I<sup>2</sup>C веденому надане право «гальмувати» обмін даними, примусово утримуючи на лінії *SCL* низький рівень на час, необхідний для виконання яких-небудь внутрішніх операцій, мікросхеми пам'яті цією можливістю не користуються, їх вивід *SCL* — тільки вхід на відміну від двонапрявленого *SDA*.

Логічними рівнями, поданими на входи  $A_0 - A_2$ , звичайно задають три молодших розряди адреси веденої мікросхеми шини I<sup>2</sup>C. Старші чотири розряди адреси мікросхеми пам'яті завжди містять двійкову комбінацію 1010. Виняток — мікросхема AT24C164. У неї старший розряд — завжди логічна «1», далі йдуть три, значення яких задають логічними рівнями на входах  $A_0 - A_2$ , і три старших розряди адреси комірки пам'яті. Адресні входи задіяні далеко не в усіх мікросхемах, іноді вони зовсім не передбачені. Така мікросхема відкликається на адресу з будь-якими значеннями молодших розрядів. В інших випадках у них мають на увазі логічний «0». Якщо ємність пам'яті перевищує 256 байт, відмовляються від одного або кількох входів  $A_0 - A_2$  і віддають відповідні їм розряди адреси веденого старшим бітам адреси комірки пам'яті. У табл. 10.10 такі біти позначені літерами В з цифровими індексами. Якщо і цих розрядів не вистачає, їм повертають колишнє призначення, але збільшують число байтів, відведених на передавання адреси комірок пам'яті. Іноді невикористані адресні входи застосовують для керування положенням у ма-

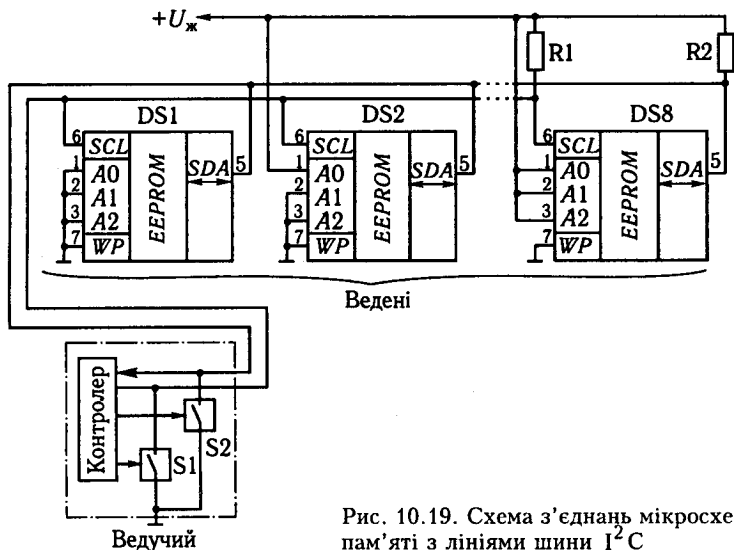


Рис. 10.19. Схема з'єднань мікросхем пам'яті з лініями шини I<sup>2</sup>C

сиві пам'яті, захищеної від випадкової або навмисної зміни даних, які там зберігаються.

Вхід WP (Write Protect) призначений для керування захистом записаних у мікросхему даних. Іноді його позначають як WC (Write Control). Якщо цей вивід залишений вільним або з'єднаний із загальним проводом, можна змінювати вміст будь-яких комірок. При високому логічному рівні весь масив або його частина захищені від стирання і запису. Останнім часом випускають мікросхеми, у яких передбачені ділянки пам'яті, запис у яких можна заблокувати й іншими способами, наприклад командами ведучого.

Логічним рівнем на вході MODE (за його наявності) переключають режими запису даних. Якщо він залишений вільним або з'єднаний із загальним проводом, діє мультибайтний режим, у протилежному випадку — сторінковий. Мікросхеми, що не мають такого входу, працюють тільки у сторінковому режимі запису.

Схему з'єднань мікросхем пам'яті з лініями шини I<sup>2</sup>C зображено на рис. 10.19. Залежно від числа діючих входів A<sub>0</sub> — A<sub>2</sub> їх може бути від однієї до восьми, причому комбінації логічних рівнів на цих входах у кожній з них мають бути різними. Через те що максимальна тривалість імпульсів на шині I<sup>2</sup>C не обмежена, перемикачами S1 і S2 можуть бути навіть такі, які комутуються вручну. Візуально визначити стан ліній дозволять світлодіоди, ввімкнені послідовно з резисторами R1 і R2.

Звичайно ведучим є мікроконтролер або спеціалізований пристрій. Перемикачами S1 і S2 є транзистори вихідних каскадів двонапрявленого порту. Кожна з ліній шини I<sup>2</sup>C займає всього один розряд подібного порту. У протилежному випадку для неї доводиться витратити по одному розряду звичайних однонаправлених портів введення-виведення, доповнюючи їх перемикачами на біполярних або польових транзисторах або логічними елементами з відкритим колектором (стоком).

Прикладом може бути адаптер для підключення пристроїв з інтерфейсом I<sup>2</sup>C до паралельного порту персонального комп'ютера. Реалізований в ньому розподіл сигналів по бітах регістрів порту LPT1 наведено в табл. 10.11, а принципову схему зображено на рис. 10.20. Залежно від типу рознімання адаптер або зв'язують з комп'ютером стандартним «приптерним» кабелем CENTRONICS, або стикують безпосередньо з розеткою LPT на системному блоці (у цьому випадку не обов'язкові елементи DD1.3, DD1.4 та резистори R1, R2: перші — замінюють перемичками, другі — вимикають). В обслуговуючій програмі наявність або відсутність інверторів у ланцюгах SDA і SCL має бути обов'язково врахована.

Розглянемо процедури «спілкування» ведучого з мікросхемами пам'яті. Насамперед він зобов'язаний сформулювати на шині команду СТАРТ, після якої послати байт з адресою веденого і встановленою ознакою запису (логічна «1» у молодшому розряді). Одержавши підтвердження приймання, він продовжує передавання, посылаючи один або два байти адреси комірки пам'яті. Приймання кожної з них має бути підтверджене веденим. Першим передається байт із старшими розрядами адреси.

Подальші дії залежать від того, чи ведучий має читати дані, що зберігаються в масиві пам'яті веденого, чи записувати їх туди. Для запису одного або кількох байтів їх досить передати відразу за адресою. Перший потрапить у задану комірку,

**Таблиця 10.11. Розподіл сигналів по бітах регістрів порту LPT1**

Біт	Значення за адресою 3F8H	
	введення	виведення
D0	A0	—
D1	A1	—
D2	A2	—
D3	WP	—
D4	—	—
D5	—	—
D6	SCL	SCL
D7	SDA	SDA

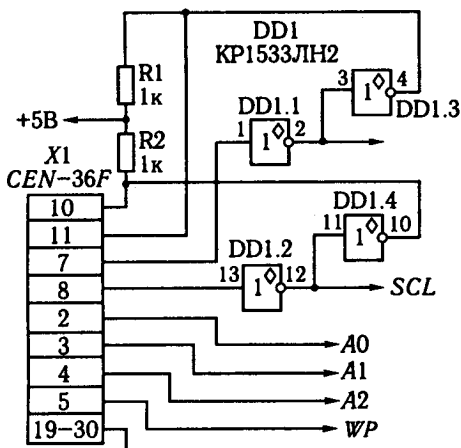


Рис. 10.20. Адаптер для підключення пристроїв з інтерфейсом I<sup>2</sup>C до паралельного порту персонального комп'ютера

після чого внутрішній контролер мікросхеми пам'яті автоматично збільшує на одиницю адресу. Тому повторювати його передавання не потрібно. Наступний байт буде напрямлений у наступну комірку і так далі до верхньої границі сторінки запису (у відповідному числі молодших розрядів адреси комірки — всі одиниці), після чого заповнення сторінки продовжиться з нижньої границі (у молодших розрядах — усі нулі). Число байтів даних, переданих за один сеанс, не обмежене, але збережуться лише останні з них у кількості, що не перевищує довжини сторінки.

Сторінковий запис значно скорочує час, потрібний для перезаписування всього масиву пам'яті або більшої його частини. Однак користуватися ним необхідно обережно, оскільки багато мікросхем, взаємозамінних за іншими параметрами, розрізняються саме довжиною сторінки запису. У відповідальних випадках рекомендується попередньо визначити її фактичну довжину. Досить послати веденому для запису свідомо більше даних, ніж може поміститися на сторінці найбільшої довжини, і перевірити, в яких комірках інформація дійсно змінилася. Крім сторінкового запису, іноді передбачається і мультібайтна, відмінність якої полягає у тому, що адреси послідовно записуваних комірок можуть розміщуватися на суміжних сторінках, перетинаючи їх границю. В одному сеансі передають дані максимум для 8, рідше — для 16 комірок, причому «перебір» заборонений.

У будь-якому випадку після передавання і підтвердження приймання всіх даних для програмування ведучий подає команду СТОП, що запускає в мікросхемі внутрішній автомат запису. Тривалість виконуваної ним процедури не залежить від числа змінюваних байтів: автомат завжди стирає і знову записує всю сторінку. Відбувається це навіть у тих випадках, коли відповідна область пам'яті захищена від запису. Дані в ній будуть стерті і повторно записані без змін. Наприклад, вимкнувши помилково живлення, захищену інформацію можна зіпсувати. Якщо дані передані в мультибайтному режимі і розміщені на різних сторінках, тривалість запису подвоюється — автомат програмує дві сторінки.

До закінчення процедури програмування мікросхема пам'яті не реагує ні на які зовнішні сигнали і протягом цього часу на повторні звертання ведучого за її адресою не відкликається. Цим користуються для визначення моменту завершення програмування.

Перед зчитуванням даних не потрібно обов'язково вказувати адресу комірки. Якщо ведучий звертається до мікросхеми пам'яті, встановивши в молодшому біті байта адреси веденого ознаку зчитування (логічна «1»), у відповідь йому буде переданий байт з комірки, що йде за тою, з якої виконувалася остання операція запису або зчитування, після чого лічильник адреси буде автоматично інкрементований. Видача веденим даних на лінію *SDA* синхронізується імпульсами *SCL*, які генерує ведучий. Він же зобов'язаний підтвердити приймання.

Продовжуючи посилати імпульси *SCL*, ведучий може поспідовно і неодноразово зчитати весь масив даних. Повернення до початку сторінки на її границі при зчитуванні не відбувається. Сигнал закінчення зчитування — відсутність підтвердження ведучим приймання останнього або єдиного байта даних і наступна за цим команда СТОП. Подавати таку команду після підтверженого приймання небезпечно, тому що в деяких ситуаціях цим можна помилково запустити автомат запису.

За необхідності адресу комірки для зчитування задають у такий спосіб. Насамперед ведучий звертається до веденого з ознакою запису і посилає йому один або два байти адреси комірки. Одержавши підтвердження, він негайно (без команди СТОП) посилає нову команду СТАРТ, а за нею — адресу веденого з ознакою зчитування і виконує описану вище процедуру. Першим йому буде переданий байт з комірки із зазначеною адресою.

Ще одну можливість прочитати дані має мікросхема AT24C21, призначена для комп'ютерних периферійних при-

строїв «Plug & Play», насамперед моніторів. У багатьох із них виводи *SDA* і *SCL* цієї або подібної до неї мікросхеми з'єднані відповідно з виводами 12 і 15 зовнішнього 15-контактного розпімання. Іноді через вивід 9 того самого розпімання на мікросхему можна подати живлення і зчитати дані, що зберігаються в ній, і навіть змінити їх, не вмикаючи монітор.

Відразу після ввімкнення живлення при високому рівні на лінії *SCL* мікросхема AT24C21 входить у режим *DDC1*. У відповідь на синхронізуючі імпульси, які надходять на вивід 7, що називають у цьому випадку *VCLK* (у моніторі він з'єднаний з виводом 14 інтерфейсу розпімання), мікросхема за бітами видає на лінію *SDA* весь вміст своєї пам'яті. Хоча підтверджувати приймання до режиму *DDC1* не потрібно, кожен дев'ятий імпульс *VCLK* — холостий, йому відповідає високий рівень на лінії *SDA*. Передавання повторюється циклічно (за молодшим бітом останнього байта йде старший першого) необмежену кількість разів.

Розібратися в цьому потоці — нелегка задача для приймача. Полегшує її те, що під час дії перших восьми імпульсів *VCLK*, після ввімкнення живлення, мікросхема аналізує стан шини *SDA*, сприймаючи їх як адресу комірки, з якої слід розпочати передавання даних після холостого дев'ятого імпульсу. Запис у мікросхему в режимі *DDC1* неможливий.

Режим *DDC2*, який в усьому збігається з  $I^2C$ , вмикають зміною високого рівня на лінії *SCL* низьким. Після цього вхід *VCLK* перетворюється на звичайний *WP* і керує захистом масиву пам'яті від запису. Повернутися в режим *DDC1* можна тільки комутацією живлення.

У деяких мікросхемах передбачена можливість програмного ввімкнення захисту частини масиву даних від запису. Одна з них — AT34C02. Крім звичайної адреси веденого, яка починається двійковою комбінацією 1010, у неї є спеціальна. Вона починається комбінацією 0110, за якою йдуть біти зі значеннями, що збігаються з логічними рівнями на входах  $A_0 - A_2$ . Якщо мікросхема підтверджує прийом цієї адреси, переданою з ознакою зчитування, то захист ще не ввімкнений. Приймання звертання за тією самою адресою з ознакою запису мікросхема підтвердить за умови, що на вивід *WP* поданий високий логічний рівень. Більше вона на цю адресу ніколи не відкликнеться, і змінити що-небудь у молодшій половині масиву пам'яті вже не вдасться. Захистом старшої половини масиву продовжує керувати вхід *WP*.

Аналогічна операція з мікросхемами AT24CS128 або AT24CS256 складніша. Вона захищає старші 256 байт маси-

ву. На входах  $A_0$  і  $A_1$  слід установити будь-які, але однакові логічні рівні, потім передати по шині послідовність:

```
СТАРТ  
10101100  
11XXXXXX  
XXXXXXXXX  
XXXXXXXXX  
СТОП
```

Числові значення бітів, позначених літерою X, не впливають на результат. Як і в попередньому випадку, ввімкнений захист неможливо вимкнути.

На закінчення — коротко про те, як привести мікросхему з інтерфейсом  $I^2C$  у початковий стан. Звичайно цю операцію автоматично виконує внутрішній контролер після ввімкнення живлення. Вона може займати досить багато часу (до 200 мс). У зв'язку з цим поспішати із записом або зчитуванням не треба, краще дати мікросхемі час виконати цю операцію. Якщо нормальна робота порушилася в результаті збою або помилкових дій ведучого, її нерідко вдається відновити, не вимикаючи живлення. Для цього досить подати на лінію  $SDA$  з боку ведучого високий рівень і сформувати дев'ять імпульсів аналогічного рівня на лінії  $SCL$ . Переконавшись, що жодний з ведених пристроїв не підтримує на лінії  $SDA$  низький рівень, можна подавати команду СТАРТ. У невизначених ситуаціях у жодному разі не можна користуватися командою СТОП, тому що це може призвести до запису випадкових даних за випадковими адресами.

### Контрольні запитання і завдання

1. У чому призначення ПЗП?
2. Як складені схеми ПЗП і на яких ЕП вони виконуються?
3. Як можна задавати 0 і 1 у матричних ПЗП?
4. У чому розходження технології виготовлення програмувальних ПЗУ з плавкими перемичками і з замиканням перемичок?
5. Як програмуються однократно програмувальні ПЗУ?
6. На яких елементах виконуються РПЗУ?
7. Поясніть принцип роботи ЕП РПЗУ.
8. Як здійснюється запис інформації в РПЗУ?
9. Назвіть цифрові схеми, що можуть належати до програмувальних логічних пристроїв.
10. Які переваги програмувальних логічних інтегральних схем (ПЛІС) порівняно зі спеціалізованими ВІС і СВІС?
11. Назвіть основні параметри і різновиди ПЛМ.
12. Які основні складові ПЛІС?
13. Чим пояснюється функціональна гнучкість ПЛІС?
14. Яким чином можливе розширення функцій, які виконують ПЛІС?

### 11.1. Перехідні процеси в логічних схемах

Затримка логічної схеми складається із затримок спрацювання логічних елементів і затримок поширення сигналів по колах зв'язку між ними. Трудомісткість урахування затримок залежить від співвідношення значень затримок самих логічних елементів і затримок у колах зв'язку. Якщо ці значення близькі, то затримки різних трактів схеми можна визначити лише після розміщення елементів на поверхні плати або кристала ВІС, коли стануть відомі фактичні довжини зв'язків. Якщо при цьому затримки деяких кіл не відповідають необхідним, то слід або переставляти елементи, або навіть вносити зміни у функціональну схему, знову трасувати зв'язки і знову визначати затримки в них. Процес стає ітераційним, тривалим. Саме в такому становищі опиняються розробники апаратури на швидких елементах ЕЗЛ, установлюваних на платах у вигляді мікросхем або кристалів, що виготовляються безпосередньо на поверхні ВІС. Складність урахування затримок — одна з причин, що перешкоджає поширенню елементів ЕЗЛ у схемах цифрової автоматики.

У цифровій автоматичі переважно використовують елементи з часом перемикавання не менше ніж 20 нс, що приблизно на порядок перевищує затримку поширення сигналу в будь-якому проводі монтажної плати типового розміру. Паразитна ємність монтажу при використанні типових плат також не настільки велика, щоб істотно змінити затримку елемента. У цих випадках затримку всередині плати і близького монтажу між платами раціонально не враховувати окремо, а включити її до складу затримки логічного елемента. Невелика втрата потенційно досяжної швидкодії компенсується через спрощення розроблення схем, оскільки затримки можуть бути враховані без будь-яких ітерацій, на етапі логічного проектування. Технічні етапи проектування — розміщення елементів і трасування зв'язків — виконуються теж тільки один раз і не



зумовлюють необхідності коректувати функціональні схеми. Отже, надалі припускатимемо, що затримки в колах зв'язку входять до складу затримок логічних елементів.

Ситуації, коли затримки в зв'язках перевищують затримки в елементах, виникають і в разі використання не дуже швидкодіючих елементів — якщо сигнали передаються між блоками на досить велику відстань. Однак частка подібних зв'язків невелика, тому їх можна виділити і врахувати затримку в кабелі.

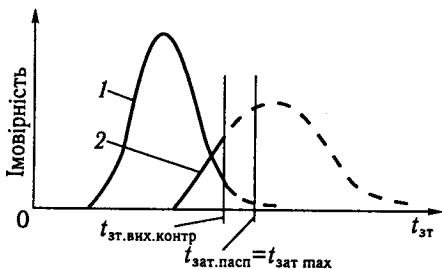
Затримки різних екземплярів елементів будь-якого визначеного типу мають технологічний розкид, що звичайно описують деяким статистичним законом. Крім того, затримка кожного конкретного елемента залежить від його температури, тривалості фронту вхідного сигналу, від того, на скільки елементів і як він навантажений, від паразитної ємності монтажу, часу з моменту випуску та інших факторів. У паспортах елементів деяких серій вплив частини цих факторів ураховується диференційовано у вигляді графіків, таблиць, залежностей, проте частіше цей вплив просто оцінюється за максимумом. При цьому паспортні значення затримок і фронтів наведено для гіршого випадку, що може статися при дотриманні зазначених у паспорті обмежень. У першому випадку вдається повніше використовувати можливості елемента, у другому — спрощується проектування.

На рис 11.1 наведено можливий вигляд кривої технологічного розкиду затримки елементів при випробуваннях на підприємстві-виробнику. Вихідний контроль відбраковує елементи, що відповідають кривій, яка зображена пунктиром, і под. Якщо правильно налагоджено виробництво і контроль, то споживач завжди має справу з елементами, затримка яких не перевищує паспортну.

Однак розробнику іноді дуже корисно знати крім максимальної ще і мінімально можливу затримку. Проте для більшості мікросхем, що серійно випускаються, значення мінімальної затримки в ТУ не зазначено й, отже, виробником не гарантується. Досвід роботи схемотехніки з цими елементами тут також марний, оскільки крива технологічного розкиду в різних виробників різна і до того ж чутлива до перебудов виробництва, що й ілюструють дві криві на рис. 11.1. Тому якщо розробник апаратури, призначеної для серійного випуску, використовує мікросхеми, у паспорті яких не передбачене мінімальне значення затримки, то він має допускати, що мінімальний час затримки дорівнює нулю. Ніяких підстав вважати, що це значення більше за нуль, у нього немає.

Рівень виходу елемента протягом відрізка часу від мінімально можливого до максимально можливого значення затрим-

Рис. 11.1. Щільність імовірності розподілу затримки елемента в умовах налагодженого виробництва 1 і в період освоєння 2



ки, коли фактичний стан виходу елемента розробнику невідомий, називають *станом невизначеності* і позначають символом  $x$ . Стан  $x$ , надходячи на входи інших логічних елементів, може залежно від типу елемента спричинювати на їх виході визначені стани «1» або «0», або також невизначені, що позначаються  $X$ . Поводження логічних елементів задається при цьому законами вже не двійкової, а одного з видів трійкової логіки.

Співвідношення, що розширюють основні функції на третю змінну  $x$ , досить очевидні:

$$\begin{aligned} \bar{x} &= X; & x \cdot 0 &= 0; & x \cdot 1 &= X; & x_1 \cdot x_2 &= X; \\ x \vee 0 &= X; & x \vee 1 &= 1; & x_1 \vee x_2 &= X; & & (11.1) \\ x \oplus 0 &= X; & x \oplus 1 &= X; & x_1 \oplus x_2 &= X, \end{aligned}$$

де  $x, x_1, x_2$  — невизначені значення сигналів на входах елементів.

Ефективним засобом аналізу перехідних процесів у схемах є часові діаграми. При їх побудові стан невизначеності зображують одним із двох способів, які наведено для елемента І (рис. 11.2, а). Зображення на рис. 11.2, б більш строгі, але менш наочні; зображення на рис. 11.2, в наочніше, але

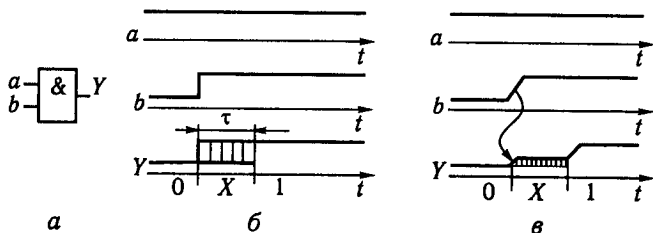


Рис. 11.2. Способи (б, в) зображення стану невизначеності логічного елемента І (а)

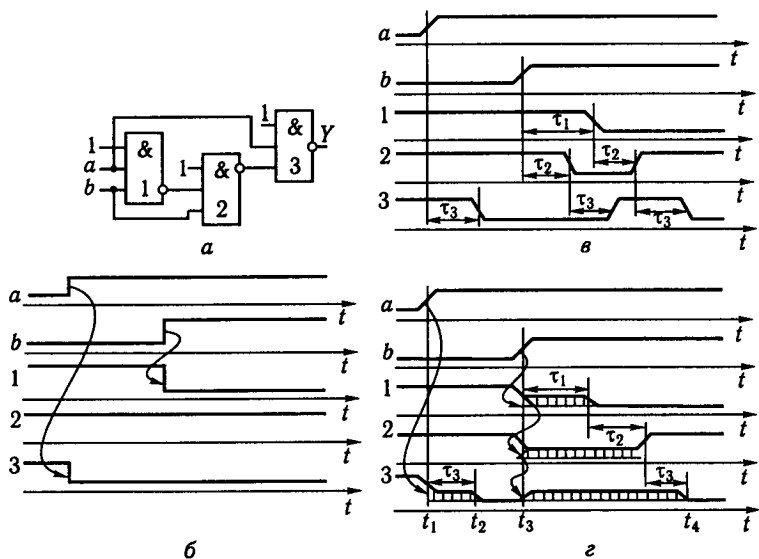


Рис. 11.3. Часові діаграми перехідних процесів:

*a* — фрагмент схеми; зображення перехідних процесів: *б* — без урахування затримок елементів; *в* — за припущенням, що всі елементи мають максимально можливі значення затримки; *г* — з урахуванням станів невизначеності елементів

Його можна сплутати зі станом високого імпедансу елемента, що має три стани виходу. Лінії зі стрілками позначають причинно-наслідкові відносини в колі перемикачів. Лінія починається на фронті, що безпосередньо спричинює перемикач розглянутого елемента і закінчується стрілкою на фронті вихідного сигналу цього елемента. Наявність таких покажчиків помітно полегшує зрозуміти роботу складних схем.

На рис. 11.3 зображено фрагмент схеми (*a*) і варіанти часових діаграм перехідних процесів. Тут і надалі для позначення вихідного сигналу елемента використовують номер самого елемента. Діаграма на рис. 11.3, *б* ігнорує перехідні процеси в елементах і схемі. Такі діаграми застосовують, коли основною метою є ілюстрація логічних і причинно-наслідкових відносин, а тривалість перехідних процесів порівняно з інтервалами між надходженням сигналів можна знехтувати.

Діаграму на рис. 11.3, *в* побудовано за припущенням, що всі елементи мають максимально можливі значення затримки. Ця діаграма наочна, тому зручна для першого знайомства з поведінням складної схеми. Проте її використовують лише для оцінювання максимальної тривалості перехідного проце-

су. Робити за такою діаграмою висновки про стани елементів під час перехідного процесу не можна: це лише окремий випадок з безлічі можливих процесів.

Діаграма рис. 11.3, *г* ураховує стани невизначеності елементів відповідно до формули (11.1). Вона досить строго моделює поведінку схеми за будь-яких комбінацій затримок, що допускаються паспортами елементів. До моменту  $t_1$  і після моменту  $t_4$  діаграми на рис. 11.3, *в* і *г* збігаються.

Швидке читання й особливо побудова часових діаграм потребують деякого тренування. Корисно самостійно побудувати кілька варіантів діаграм, хоча б змінюючи моменти надходження вхідних сигналів і співвідношення затримок елементів схеми на рис. 11.3, *а*. Побудову діаграми потрібно починати з тих елементів, для яких відомі усі вхідні сигнали, у цьому прикладі — з елемента 1. Після визначення виходу елемента 1 відомими стають усі входи елемента 2 і т. д. Якщо побудова діаграми з урахуванням стану невизначеності спричинює ускладнення, рекомендується спочатку побудувати діаграму з нульовими затримками, як на рис. 11.3, *б*. Потім слід накласти на неї діаграму з максимальними затримками, після чого інтервали станів невизначеності виділяються набагато легше.

В організаціях, що спеціалізуються на розробленні логічних схем, побудова й аналіз часових діаграм виконуються на ЕОМ за допомогою спеціальних моделювальних програм. При цьому для виявлення деяких випадків невизначеності використовують і більш складні форми зображення ситуацій під час перехідних процесів.

Введення стану невизначеності дає змогу виявити важливий, хоча і не очевидний з першого погляду ефект, що завжди потрібно враховувати. На рис. 11.4 зображено коло з двох елементів, на вхід якого надходить сигнал у вигляді одиничного імпульсу тривалістю  $T$ . У вихідного сигналу в його початку і кінці будуть зони невизначеності тривалістю  $2\tau$  кожна. В окремому випадку при  $\tau^{10} = \tau^{01} \approx 0$  на виході буде сигнал  $Y1$ , що майже повторює вхідний. Однак якщо затримки ввімкнення і вимикання однакові і максимальні, то отриманий сигнал  $Y2$  буде зсунений щодо вихідного на  $2\tau$ . У результаті може виявитися, що той самий сигнал, переданий по двох колах на два блоки пристрою, запустить їх не одночасно.

Поняття одночасності розпливається і стає відносним. Якщо затримки ввімкнення відрізняються від затримок вимикання, то сигнал буде укорочений на  $2\tau$  ( $Y3$ ) або подовжений на  $2\tau$  ( $Y4$ ). У випадку  $Y4$  укороченою виявиться пауза між послідовними імпульсами. Можуть бути і будь-які проміжні форми

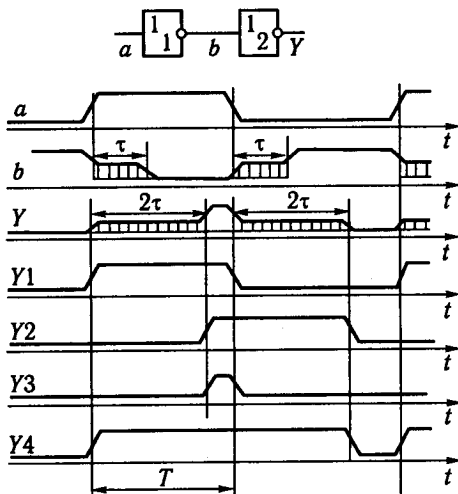


Рис. 11.4. Зміна затримки і тривалості імпульсу при проходженні його по колу елементів

розглянутих окремих випадків, причому передбачити характер ефекту заздалегідь неможливо. Якщо коло містить  $k$  елементів, то у всіх розглянутих випадках замість двійки як множник при  $\tau$  буде  $k$ . Розробник не може проігнорувати кожний з можливих ефектів, тому він змушений проектувати схему так, щоб жоден з них не спричинив збій в роботі. Якщо на виході кола потрібно одержати імпульс з мінімальною тривалістю  $T$ , то тривалість імпульсу на вході кола має бути на  $k\tau$  більше. Аналогічно потрібно забезпечувати на виході кола і мінімальну тривалість паузи, і максимальну тривалість імпульсу. Двостороннього допуску на тривалість імпульсу, більш строгого ніж  $\pm k\tau$ , вимагати не можна.

## 11.2. Гонки

У логічних схемах є ділянки, де сигнал розгалужується і утворюється два сигнали, які поширюються по двох незалежних колах елементів, а потім обидва сигнали знову зустрічаються на входах одного елемента. Подібну ситуацію зображено на рис. 11.5, *a*, де в певний момент часу два тракти виявилися прозорими для вхідного сигналу. Нехай у тракті Пар. парне число інверторів, а в тракті Непар. — непарне. Аналіз подібної схеми методами алгебри Буля без урахування затримок дасть на її виході 0 за будь-якого значення вхідного сиг-

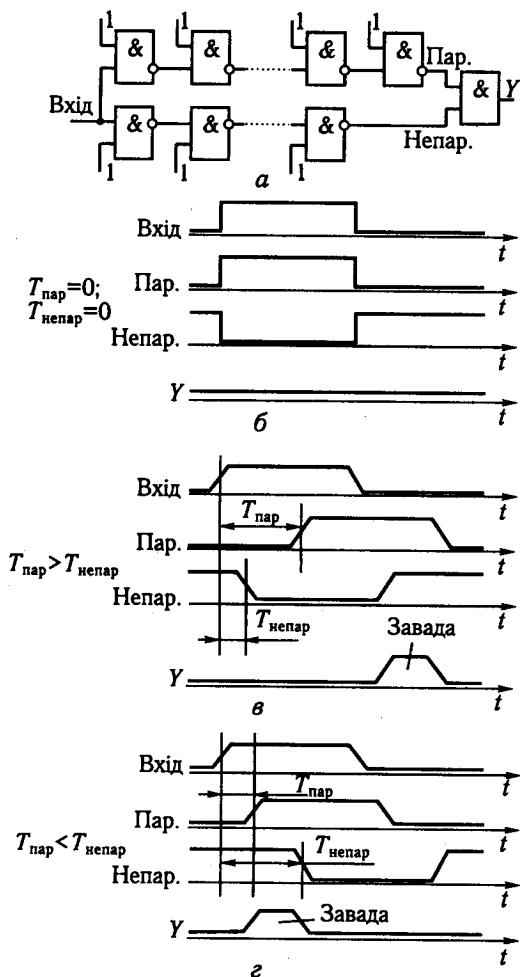


Рис. 11.5. Варіанти часових діаграм (б, в, г), що ілюструють гонки у схемі (а)

налу (рис. 11.5, б). Проте реальні елементи мають кінцеву затримку спрацьовування, і якщо позначити затримки в трактах Пар. і Непар. через  $T_{\text{пар}}$  і  $T_{\text{непар}}$ , то залежно від співвідношення цих величин виявиться один із процесів, зображених на рис. 11.5, в і г. В обох випадках у вихідному сигналі з'явиться завада, не передбачена булевими виразами. Можна перевірити, що заміна останнього елемента І на елемент АБО не ліквідує заваду, а лише інвертує її і змінить момент появи.

Істотно, що отримана завада — це не нехтовно малий сплеск напруги малої амплітуди. При досить великій різниці  $T_{\text{пар}}$  і  $T_{\text{непар}}$  завада буде мати тривалість, яка у багато разів перевищує час перемикання елемента, й амплітуду, яка дорівнює номінальному сигналу. Це вже повноцінний логічний сигнал, на який можуть реагувати наступні елементи. Якщо вихід схеми підключений до запам'ятовувального елемента (тригера), то завада може запам'ятатися і буде впливати на подальші процеси в пристрої. Якщо вихід схеми поданий як зворотний зв'язок на вхід, там виникне непередбачений сигнал, що може спричинити непередбачене повторне спрацювання цієї самої схеми.

Подібне явище називають *гонками* або *змаганнями* (*races*). Два сигнали надходять різними шляхами, і схема може реагувати на них по-різному (правильно або неправильно) залежно від того, який сигнал виграє гонку.

Основна проблема полягає в тому, що розробник зазвичай не знає, в якому тракті затримка виявиться меншою. Виготовлювач елементів гарантує лише максимальний час затримки елемента певного типу і нічого не говорить ні про конкретну затримку конкретного елемента, ні про мінімально можливий час затримки. Тому розробник логічних схем не може скористатися тим фактом, що число елементів у колі Пар., припустімо, більше, ніж у колі Непар.: при масовому виробництві схем із довільно взятих елементів знайдеться досить велике число таких вузлів, до яких у коло Пар. потраплять більш швидкі елементи, а в коло Непар. — більш повільні, і всупереч очікуваному буде виконуватися нерівність  $T_{\text{пар}} < T_{\text{непар}}$ . Навіть якщо в колі Непар. один елемент, а в колі Пар. — два, то в останню цілком можуть потрапити елементи, що мають час затримки, який у 3 рази менший, ніж має елемент кола Непар.

Спеціальний добір елементів по затримці в умовах сучасного автоматизованого масового виробництва неприпустимий, перевірка реального співвідношення затримок неприйнятна, тому що значно здорожує налагодження апаратури. Крім того, при зміні температури і старінні затримки різних елементів змінюються з різною швидкістю, і з цього приводу виготовлювач ніяких гарантій не дає. Виготовлювач елементів гарантує лише те, що затримка не вийде за межі, зазначені в ТУ на елемент.

Поширено три методи боротьби з гонками: введення тактових імпульсів, побудова протигоночних схем та врахування мінімального часу затримки. Найбільш універсальним, ефективним і тому поширеним методом боротьби з гонками є так-

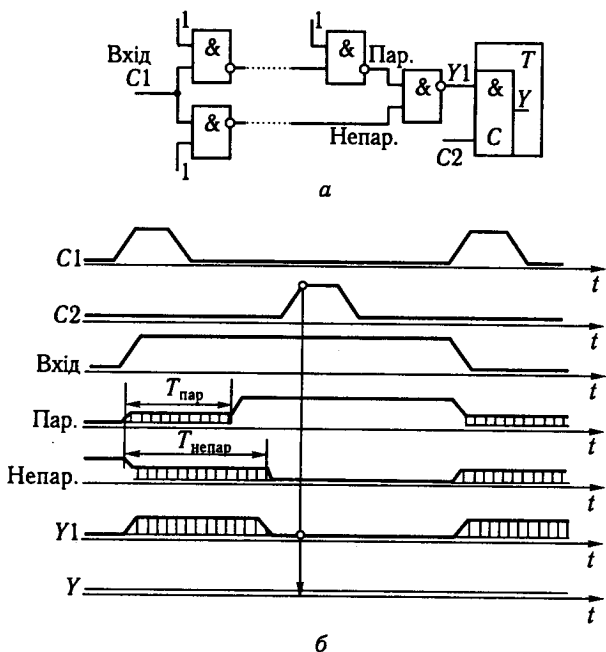


Рис. 11.6. Усунення завад, спричинених гонками, за допомогою тактових сигналів:

*a* – фрагмент схеми; *б* – часові діаграми роботи

тові сигнали. Основа методу полягає в такому. У всьому цифровому пристрої є єдина система тактових сигналів. У поширеній двотактній, або двофазній, системі синхронізації використовують дві періодичні послідовності сигналів синхронізації – сигнал *C1* і сигнал *C2*. Взаємне розташування цих сигналів у часі зображено на рис. 11.6, б.

Схему (рис. 11.6, *a*) поділено штриховою лінією на дві частини. Ліва приймає й обробляє сигнал ВХІД: її вихідний сигнал *Y1* є входним для схеми правої частини, яка запам'ятовує результат у тригері *T*.

Якщо сигнал ВХІД яким-небудь чином «прив'язаний» до однієї із серій синхронізації, наприклад до *C1*, то цей сигнал змінюватиметься тільки в момент надходження синхроімпульсів *C1*, а в проміжках між ними буде залишатися постійним. Схема в лівій частині рис. 11.6, *a* має паралельні шляхи, в ній існують гонки і можлива поява на виході *Y1* помилкових сигналів. На рис. 11.6, б цю ситуацію в загальному вигляді відображають інтервали невизначеності трак-



тів Пар. і Непар. На вхідний кон'юнктор С правої частини схеми надходить сигнал синхросерії С2. Обов'язковою умовою є такий часовий зсув С2 відносно С1, який перевищує найдовший інтервал невизначеності, тобто найбільшу затримку з усіх рівнобіжних трактів схеми. Це означає, що сигнал С2 відкриє кон'юнктор С після закінчення всіх перехідних процесів у схемі і пропустить логічно правильне, не змінене гонками стале значення функції Y1. Зазвичай кон'юнктор С вводять до складу тригера, щоб він був синхронним. Такий тригер перемикається тільки за командою сигналу синхронізації і не сприймає інформацію за його відсутності. Кон'юнктор С застосовують і без тригера — у тих випадках, якщо запам'ятовувати вихідний сигнал схеми не треба, а потрібно лише очистити його від завад, спричинених гонками. Тоді сигнал, що відкриває кон'юнктор С, називають *стробом*, а сам процес усунення (заглушення) завад — *стробуванням*.

Система синхронізації єдина для всього цифрового пристрою, й інтервал між сигналами синхронізації задається на початку розроблення. Схемотехнік, розробляючи кожен фрагмент логічної схеми, так добирає число послідовно ввімкнених у неї елементів та їх типи, щоб усі перехідні процеси в цьому фрагменті з гарантією закінчилися до моменту надходження чергового сигналу синхронізації. Перевага синхронізації як засобу боротьби з гонками полягає в тому, що розробнику не потрібно вникати в специфіку проходження перехідних процесів, у характер гоночних ситуацій, не треба знати мінімальне значення затримки тощо. Усе, що повинен знати розробник, — це максимально можливу затримку найдовшого тракту логічної схеми, а це легко обчислити за паспортними даними використовуваних елементів.

Протигоночні схеми — це схеми, побудовані так, що в них якщо і виникають, то тільки безпечні гонки, тобто такі, за яких відсутній ризик появи на виході сигналів, не передбачених логічним виразом. Прикладом безпечної гонки є гонка фронту по двох трактах, у кожному з яких міститься парне (або в кожному непарне) число інверторів і які поєднуються на виходах елементом АБО: хто б не виграв гонку, результат завжди буде правильний, зміниться лише затримка його одержання. Для уникнення небезпечних гонок можна вводити в схему додаткові зв'язки й елементи так, щоб небажані паралельні шляхи блокувалися самим вхідним сигналом ще до досягнення ним небезпечного розгалуження тракту. Є також інші прийоми, які використовують під час побудови протигоночних схем.

Корисною властивістю протигоночних схем виявляється їх здатність обробляти дані в міру надходження, асинхронно, тобто без прив'язування до тактових сигналів і пов'язаних з цим втрат часу. Однак процедура побудови таких схем дуже складна, вона потребує скрупульозного вивчення характеру проходження перехідних процесів, виявлення всіх можливих гоночних шляхів, виокремлення небезпечних змагань від безпечних і т. ін.

Якщо відомо мінімально можливий час затримки елемента, то в багатьох практичних випадках можна забезпечити відсутність гонок. Нехай у схемі на рис. 11.5, *a* глибина кола Пар. настільки більша за глибину кола Непар., що затримка в довгому колі, навіть якщо воно і складається тільки з найшвидших елементів, буде більшою за затримку сигналу в короткому колі, навіть якщо в нього потраплять тільки повільні елементи. Схема з настільки великою різницею в довжині шляхів завжди буде поводитися так, як зображено на рис. 11.5, *в*, тобто поки вхідний сигнал дорівнює одиниці, завада на виході не виникне. Заваду після вимикання вхідного сигналу можна ліквідувати введенням додаткового зв'язку для блокування. Можна, наприклад, взяти як вихідний елемент з трьома входами і на його третій вхід подати сам вхідний сигнал. У цьому випадку вихід буде замкнений відразу після перетворення вхідного сигналу на нуль.

Останнім часом зростає інтерес до ще одного методу боротьби з гонками — побудови схем, що самосинхронізуються. Робочі вузли в цьому випадку будуються непротигоночними, вони доповнюються спеціальними схемами, які виявляють факт закінчення перехідних процесів і виробляють сигнал дозволу для наступних схем, що іноді відіграє роль асинхронного сигналу синхронізації. Цей напрямок є дуже перспективним для побудови ВІС і особливо СВІС, де застосування звичайної синхронізації має деякі труднощі. Однак у схемах і мікросхемах звичайного розміру і технології цей напрямок поки не застосовують як через складність побудови такого роду схем, так і майже подвоєння їх апаратурних витрат.

Проблема гонок у цифровій схемотехніці є дуже серйозною. Можна сказати, що більшість помилок у функціональних схемах пов'язано з гонками, можливості появи яких розробник не помітив. Основна причина тут — обмеженість поля уваги людини. Під час розроблення складної схеми всю увагу приділено конструюванню головного шляху поширення сигналу; при цьому побічні шляхи випадають з поля зору, що і призводить до помилок.

Гонки у схемі, яку розробляють, потрібно шукати спеціально. Якщо є така можливість, то пайнадійнішим і простим мето-

дом є моделювання роботи схеми за допомогою спеціальних програм. У процесі пошуку гонок спочатку потрібно виявити всі непевні місця і потім методично їх досліджувати. Для цього потрібно переглядати схеми, щоб виявити всі можливі рівнобіжні шляхи поширення сигналу. Можна проаналізувати часові діаграми, в яких зони невизначеності вказують на можливість появи помилкових сигналів.

Якщо надійність роботи пристрою ґрунтується лише на статистичній правильності роботи окремих його кіл, то, коли кіл багато, що типово для цифрової техніки, навіть невелике зменшення надійності спрацьовування елементів призводить до різкого зниження надійності всього пристрою. Якщо в кожному колі допустити ймовірність завади через гонки усього в 1 %, то ймовірність роботоздатності пристрою, що містить 100 таких кіл, буде близько 37 %. Таким чином, у середньому з кожних трьох пристроїв два будуть нероботоздатні.

### 11.3. Гонки за входом

Гонки за входом виникають, коли сигнал надходить на елементи, що мають розкид за рівнем спрацьовування (рис. 11.7, а), а фронт цього сигналу надмірно пологий (рис. 11.7, б).

Якщо тривалість фронту вхідного сигналу значно більша за час спрацьовування елементів, то приблизно у середині фронту існуватиме відрізок часу, коли з погляду одного елемента вхідний сигнал уже дорівнює 1, а з погляду іншого — ще дорівнює 0. Елементи реагуватимуть на той самий сигнал як на два різних, а таку ситуацію при проектуванні схеми її алгоритмом не передбачено. У результаті схема протягом цього часу може виробити помилкові сигнали. Це явище і називають гонками за входом. Гонки за входом не спостерігаються, якщо логічну схему зібрано на елементах однієї серії мікросхем. Потенційно небезпечні з цього погляду схеми, зібрані з елементів різних серій, які мають однаковий рівень сигналів, але істотно різні часи затримок і фронтів. Гонки за входом

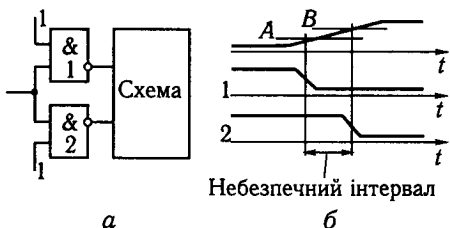


Рис. 11.7. Гонки за входом:  
а — фрагмент схеми; б — часові діаграми, що ілюструють гонки

вишикають у схемах деяких ВІС, якщо їх міжелементні зв'язки сильно розтягнуть фронти. Звичайна поява таких гонок і при прийманні зовнішніх сигналів, джерелами яких можуть бути більш повільні елементи, аж до електромеханічних, тому зовнішні сигнали мають проходити спеціальне оброблення. Небезпекою виникнення гонок за входом пояснюються обмеження на максимальну тривалість фронтів вхідних сигналів, що наведено в паспортах багатьох мікросхем.

Якщо немає можливості збільшити пологість фронту, то єдиним засобом боротьби з гонками за входом залишаються тактові сигнали, оскільки в такому пристрої вихідний сигнал схеми не використовується доти, доки в цій схемі не закінчаться абсолютно всі перехідні процеси незалежно від їх фізичної природи. Однак тактові сигнали не позбавляють від гонок за самим тактовим входом. Тому, якщо пологість фронтів сигналів синхронізації мала, то потрібно застосовувати такі синхронні тригери, в яких гонки за входом не виникають.

## 11.4. Система двофазної синхронізації

У переважній більшості цифрових пристроїв використаний синхронний принцип роботи. Розглядання систем синхронізації найпростіше розпочати з двофазної (або двотактної) синхронізації, коли для всіх схем пристрою тактові імпульси — це дві взаємно перемешовані в часі послідовності синхроімпульсів (clock pulses)  $C1$  і  $C2$  (рис. 11.8). Їх одержують від одного генератора. Якої-небудь інформації ці імпульси не мають, вони призначені тільки для вчасного прив'язування всіх процесів цифрового пристрою. Система синхронізації характеризується тривалістю тактового періоду  $T_T$ , тривалістю фазового періоду  $T_\Phi$  і тривалістю синхроімпульсу  $T_i$ . Для симетричної двофазної синхронізації  $T_T = 2T_\Phi$ . У схемі на рис. 11.8, *a* зображено основні елементи структури цифрового пристрою, типові для ідеї синхронізації. Усі логічні елементи пристрою поділені на два класи — тригери і комбінаційні схеми (КС).

Для двофазної синхронізації характерне застосування тригерів-засувок ( $D$ ,  $DV$ ). Усю сукупність тригерів, які синхронізовані імпульсами  $C1$ , можна розглядати як один великий макрореєстр-засувку, позначений на рис. 11.8, *a* як  $MRGI$ . Те, що  $MRGI$  містить у собі безліч самостійних реєстрів, які мають свої власні імена і не мають між собою значеннєвого зв'язку, не істотно. Важливо лише, що всі вони спрацю-

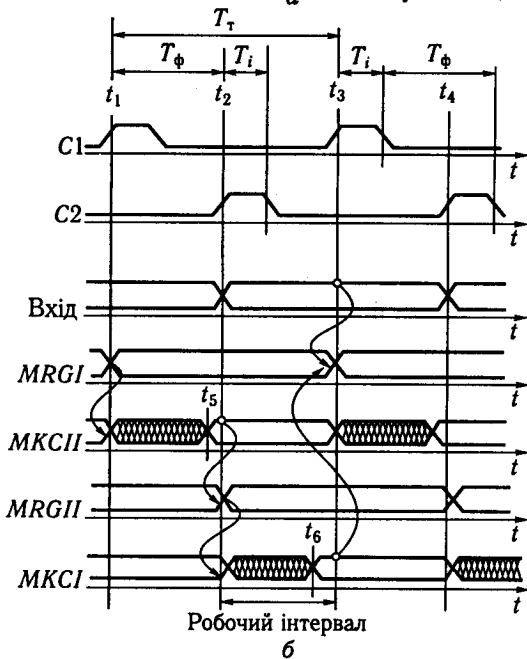
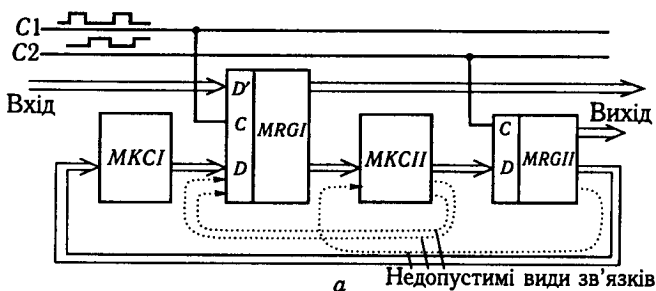


Рис. 11.8. Схема (а) та часова діаграма (б) системи двофазної синхронізації

вують по  $C1$ . Аналогічно всі тригери, синхронізовані  $C2$ , розглядаються як макрореєстр  $MRGII$ .

Комбінаційні схеми — це логічні схеми, у складі яких немає тригерів, а також будь-яких кіл зворотного зв'язку. Інформаційні процеси в КС поширюються тільки в одному напрямку — від входів до виходів. Прикладами КС можуть бути вузли згортання за парністю, дешифратори, мультиплексори, суматори, а також будь-які їхні комбінації, що не утворюють петель зворотного зв'язку. Кожна КС одержує інформацію з виходів

тригерів, синхронізованих однією фазою синхронізації, а виходи цієї КС підключені до  $D$ -входів тригерів, синхронізованих іншою фазою. Саме це дає змогу уникнути впливу гонок.

Усі комбінаційні схеми, виходи яких підключені до входів тригерів  $MRGI$ , можна розглядати як одну велику комбінаційну макросхему з багатьма виходами, позначену на рис. 11.8, *a*  $MKCI$ . Аналогічно всю сукупність схем, виходи яких підключені до входів тригерів  $MRGII$ , розглядають як макросхему  $MKCII$ . Реалізовані макросхемами  $MKCI$  і  $MKCII$  функції у цьому випадку значення не мають, важливий лише характер підключення їх до регістрів. Наприклад, деякі тракти КС можуть не утримувати жодного логічного елемента і передавати без зміни рівні виходів тригерів одного регістра на входи тригерів іншого.

Припустімо, що сигнали, які надходять на вхід пристрою ззовні, приймаються в деякі тригери  $MRGI$ , причому змінюватися ці сигнали можуть лише за фронтом  $C2$ .

Сутність процесів, що відбуваються в системі двофазної синхронізації, така (рис. 11.8, *b*). За фронтом деякого синхроімпульсу  $C1$  у момент  $t_1$  вхідні кон'юнктори засувки регістра  $MRGI$  відкриваються, і тригери змінюють стани своїх виходів. Вихідні рівні  $MRGI$  починає обробляти комбінаційна макросхема  $MKCI$ . У схемі є паралельні шляхи, а виходи їх перекручені гоночними процесами, зображеними на рис. 11.8, *b* у вигляді сітки накладених один на одного фронтів. Для  $MRGII$  помилкові стани виходів  $MKCII$  не небезпечні, оскільки його входи замкнені рівнем «0» сигналу синхронізації  $C2$ . По закінченні часу, що дорівнює максимально можливій затримці  $MKCII$  (затримці найдовшого її тракту), до моменту  $t_5$  усі перехідні процеси в  $MKCII$  згасають і на її виходах устанавлюються стабільні рівні.

Нехай затримка  $MKCII$  менша, ніж тривалість фазового періоду синхронізації  $T_{\phi}$ , тобто  $MKCII$  заспокоїться до моменту  $t_5$ , ще до надходження фронту чергового сигналу синхронізації  $C2$ .

На фронті  $C2$  у момент  $t_2$  сталі значення виходів  $MKCII$  приймаються в тригери  $MRGII$ , і з цього моменту можна починати відлік часу перехідних процесів уже для  $MKCI$ . Нехай затримка схем  $MKCI$  така, що вони заспокоюються до моменту  $t_6$ , до надходження фронту чергового сигналу  $C1$ . Тоді по фронті  $C1$  у момент  $t_3$  сталі, не перекручені гошками рівні  $MKCI$  будуть прийняті в  $MRGI$ . Одночасно в  $MRGI$  приймаються сталі рівні вхідних сигналів  $Vx$ , оскільки за умовою змінюватися вони можуть лише по фронті  $C2$ .

Вміст  $MRGI$  знову обробляється на  $MKCII$ , приймається в  $MRGII$  і т. д. У пристрої відбувається циклічне багатоступін-

часте оброблення вхідних даних, кожен момент часу частина комбінаційних схем працює, у них відбуваються перехідні процеси, а інша частина схем перебуває в спокої, очікуючи своєї черги. Потім вони міняються ролями. Основний результат такої організації: незважаючи на будь-які гоночні процеси, що відбуваються у будь-яких комбінаційних схемах, інформація в реєстрі буде прийматися завжди правильна. Для цього потрібно лише, щоб затримка всіх КС, що входять до складу МКС, була обмежена зверху, а це розробник схем може забезпечити, спираючись на паспортні значення максимальних затримок елементів.

Важливий момент принципу двофазної синхронізації при використанні прозорих засувки: сигнали синхронізації  $S_1$  і  $S_2$  не повинні взаємно перекриватися в часі, тобто кон'юнкція їх завжди має дорівнювати 0. Якщо десь відбудеться перекриття сигналів синхронізації, то інформація пройде послідовно відразу крізь кілька засувки різних фаз і синхронність пристрою буде порушена. Типова помилка розробника синхронних пристроїв — неправильне встановлення зворотних зв'язків при схемній реалізації алгоритмів, що мають цикли. В усіх схемах із двофазною синхронізацією петля зворотного зв'язку, як утримуюча логічні елементи, так і у вигляді провідника, розпочавшись на виході тригера-засувки, синхронізованого однією фазою, має закінчитися на вході іншої засувки, синхронізованої обов'язково іншою фазою. Зв'язки, що передають сигнал з виходу однієї засувки на вхід іншої, синхронізованої тією самою фазою, недопустимі: вони не забезпечують почергової роботи тригерів і потактового просування інформації, тобто суперечать самому принципу двофазної синхронізації. Фактично такі зв'язки при  $C = 1$  просто приєднують послідовно дві комбінаційні схеми через з'єднувальну їх засувку. Недопустимі і зв'язки вихід КС — вхід тієї самої КС, що породжує некеровані кільця з логічних елементів. Якщо вихід КС з'єднати з її входом через одну засувку, то кільце виникне при  $C = 1$ . Зв'язки, недопустимі в системі двофазної синхронізації при використанні тригерів-засувки, зображено на рис. 11.8, а штриховими лініями.

## 11.5. Часові співвідношення двофазної синхронізації

На вибір часових характеристик сигналів синхронізації — тривалості фазового періоду  $T_{\phi}$  і тривалості синхроімпульсу  $T_i$  — впливають три групи факторів, пов'язаних з логічним

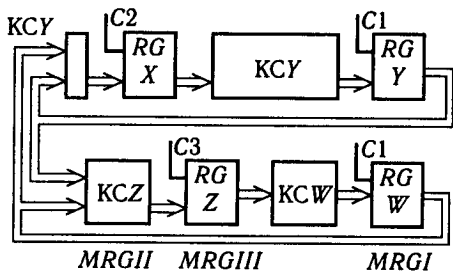
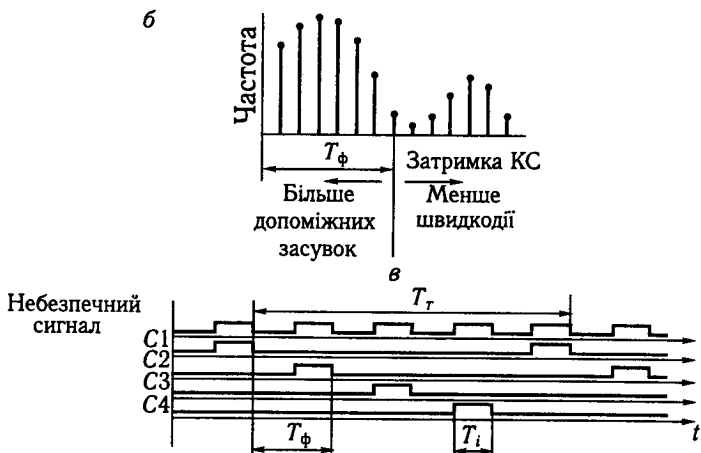
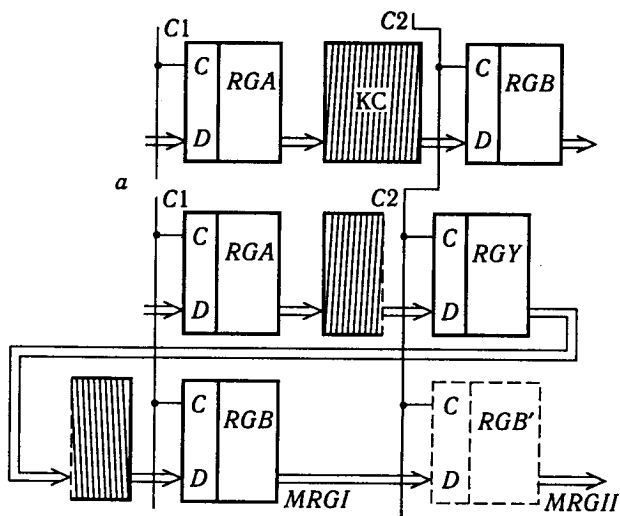
проектуванням: затримки комбінаційних схем, тип використуваних синхронних тригерів, схемні рішення розподілу сигналів синхронізації по блоках пристрою.

Різноманітність використуваних комбінаційних схем залежить від розміру пристрою і розв'язуваних ним завдань. Як частина КС можуть використувуватися готові мікросхеми із заданими значеннями максимальних затримок, певну частину КС розробник будує сам і, вибираючи різні варіанти схем, може впливати на затримку цих КС. Якщо затримка деяких комбінаційних вузлів істотно менша ніж  $T_{\phi}$ , то негативного впливу на правильність роботи пристрою це надавати не буде, однак потенційна швидкодія апаратури виявиться не повністю використаною: схеми, виконавши свою роботу, будуть ще певний час марно простоювати, очікуючи черговий сигнал синхронізації. Якщо затримка деяких комбінаційних вузлів буде більшою за будь-яке граничне значення — робочий інтервал (припустімо, він дорівнює  $T_{\phi}$ , як на рис. 11.8, б), то пристрій буде нероботоздатним, оскільки тригери, синхронізовані наступною фазою, будуть запам'ятовувати і передавати далі ще песталі помилкові сигнали КС. Якщо такий занадто повільний комбінаційний вузол набраний з більш простих логічних фрагментів, увімкнених послідовно, то його можна розсікти навпіл, як це зображено на рис. 11.9, а і б.

Проміжний напівфабрикат функції, знятий з першої половини вузла, запам'ятовується на спеціально введеному допоміжному регістрі — засувці *RGY*, і оброблення його продовжується в наступній фазі періоду синхронізації. Слід тільки пам'ятати, що це потребує узгодження фаз регістра-приймача *RGB* (на рис. 11.9, а і б — переведення його з *MRGII* у *MRGI*), а отже, і узгодження фаз деяких наступних регістрів. Якщо дані з виходу розсіченої КС бажано залишити в тій самій фазі, то можна ввести в схему ще один регістр фаз — *RGB'*, зображений на рис. 11.9, б штриховими лініями. Якщо повільний функціональний вузол неподільний, то потрібно або збільшити фазовий період  $T_{\phi}$  усєї системи синхронізації, або сформувати спеціально для цього вузла допоміжну серію синхронізації з більш довгим періодом, наприклад перерахувавши *C* — сигнали на лічильнику.

На рис. 11.9, в наведено типовий вигляд гістограми затримки різних КС цифрового пристрою. Реальну гістограму можна побудувати за результатами аналізу схем пристроїв, аналогічних проектуваному. Якщо фактор швидкодії для проектуваного пристрою досить важливий, то робочий інтервал, протягом якого в схемах можуть відбуватися перехідні процеси, потрібно вибрати таким, щоб він закінчувався десь у





зоні пологого спаду гістограми. Якщо збільшувати тривалість робочого інтервалу, а з ним і  $T_{\phi}$ , правіше цієї зони, то за рахунок зменшення тактової частоти буде спадати швидкодія пристрою, а якщо тривалість зменшити, то буде різко збільшуватися число розсікань КС і відповідно число допоміжних регістрів.

Схеми невеликих пристроїв часто вдається спроектувати так, що всі КС із великою затримкою розміщуються в одній фазі періоду двофазної синхронізації, а всі КС іншої фази мають малу затримку. Тоді можна застосувати асиметричну систему синхронізації, у якій синхроімпульс  $C2$  розташований не в середині між сусідніми  $C1$ , а зсунений ближче до одного з них. Це дає змогу при тих самих затримках КС зменшити тривалість тактового періоду.

Ще краще час тактового періоду використовується в багатофазних системах синхронізації, що дістали поширення у швидкодіючих пристроях. На рис. 11,9,  $z$  зображено часову діаграму сигналів синхронізації чотирифазної системи і фрагмент схеми пристрою. Довжина зображення КС показує значення її затримки. Залежно від конкретної затримки кожної КС на вхід регістра  $C$ , що приймає її результат, можна підключати різні фази синхронізації і відкривати тригери-приймачі із зсувом  $1T_{\phi}$ ,  $2T_{\phi}$ ,  $3T_{\phi}$  щодо тієї фази, яка синхронізує регістр-передавач. Не можна тільки синхронізувати приймальний регістр тією самою фазою, якою синхронізується регістр на вході певної КС. Використовування чотирифазних і тим більше шестифазних систем дає змогу упорядкувати затримку конкретної КС і час, відведений системою синхронізації на її роботу, зменшивши у такий спосіб непродуктивні простой КС під час чекання сигналу синхронізації.

Тип тригерів, використовуваних у регістрах, істотно впливає на довжину робочого інтервалу, виділеного для перехідних процесів за заданої тривалості  $T_{\phi}$ . Система синхронізації, у якій у  $MRGI$  і  $MRGII$  використовуються прозорі засувки, має дуже корисну властивість: тривалість перехідних процесів у деяких комбінаційних вузлах може перевищувати фазовий період синхронізації  $T_{\phi}$  навіть у двофазній системі.

---

Рис. 11.9. Взаємозв'язок затримки комбінаційних схем і тривалості фазового періоду синхронізації:

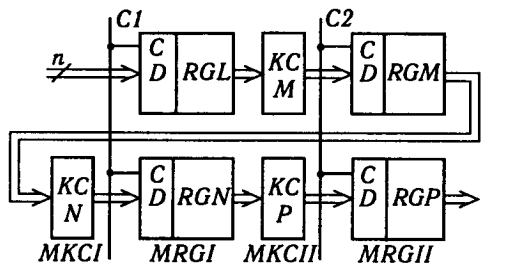
$a$  — КС, що має дуже велику затримку;  $b$  — та сама КС, розсічена регістром;  $в$  — гістограма затримок різних КС;  $z$  — діаграма сигналів синхронізації та фрагмент схеми з інформаційними зв'язками при чотирифазній системі синхронізації

На рис. 11.10, *a* зображено, як, надходячи на *n*-вхід, розрядне слово, що має деякий значеннєвий зміст, послідовно обробляється колами КС *M*, *N*, *P*, ... і передається з однієї КС в іншу через відповідні регістри. Максимальні значення затримок різних КС, як і реалізовані ними функції, у загальному випадку різні, але вони відомі розробнику. *RGL* і *RGN* належать до *MRGI*; *RGM* і *RGP* — до *MRGII*; *KCN* — до *MKCI*; *KCM* і *KCP* — до *MKCII*.

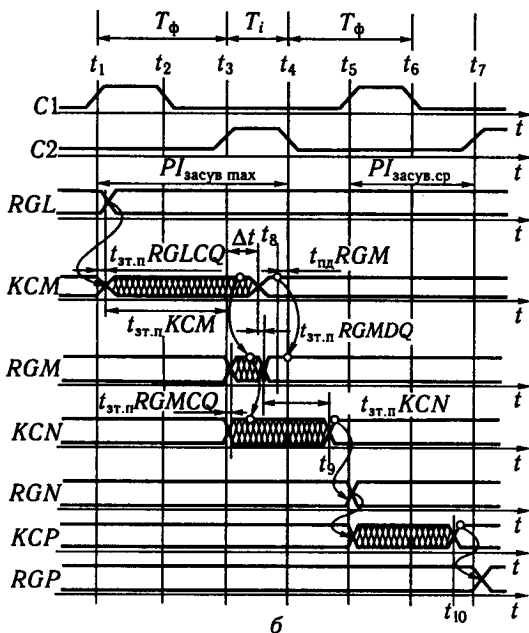
На фронті *C1* (рис. 11.10, *б*) у момент  $t_1$  засувки *RGL* починають переключатися, і по закінченні часу їх затримки на тракті *CQ* у *KCM* починаються перехідні процеси. Нехай затримка *KCM* перевищує тривалість фазового періоду  $T_{\phi}$  і перехідний процес у ній закінчується лише в момент  $t_8$ , на  $\Delta t$  пізніше надходження фронту сигналу синхронізації *C2* (момент  $t_3$ ). До збою це не призведе, тому що через прозорість засувки *RGM* вони при активному рівні *C2* ( $t_3 - t_4$ ) будуть передавати на вхід *KCN* усі зміни виходів *KCM*.

Після заспокоєння *KCM* (момент  $t_8$ ), по закінченні ще часу затримки засувки *RGM* на тракті *DQ* ( $t_{зт.п} DQ$ ), остаточні значення виходів *KCM* устанавляються на входах *KCN*. З цього моменту можна почати відлік часу перехідних процесів у *KCN*. Оскільки *KCN* почала заспокоюватися на  $\Delta t$  пізніше за надходження фронту *C2*, то, щоб до фронту чергового *C1* (до моменту  $t_5$ ) процес увійшов у типове русло (рис. 11.8, *a*), затримка *KCN* має бути відповідно на  $\Delta t$  менша за фазовий період  $T_{\phi}$ .

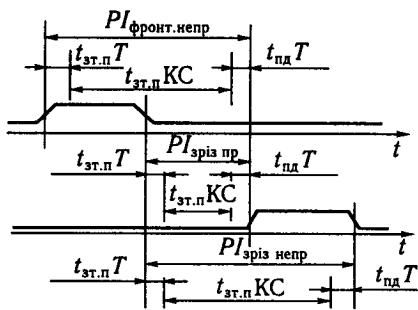
Однак якщо *KCN* також настільки складна, що її не вдається побудувати так, щоб вона закінчила роботу до моменту  $t_5$ , то ситуація накладення перехідного процесу на *C*-сигнал перейде в наступну фазу синхронізації, і тепер уже доведеться зробити коротшою за наступну КС — *KCP*, що працює в інтервалі  $t_5 - t_{10}$ . Збій відбудеться в тому випадку, якщо перехідний процес *KCM* виявиться ще більшої довжини і не встигне закінчитися до моменту  $t_4$  фіксації засувки *RGM* (точніше, трохи раніше: на інтервал підготовки  $t_{під}$  тригерів *RGM*). Для цього затримка *KCM* має перевищити фазовий період  $T_{\phi}$  майже на значення тривалості імпульсу  $T_i$  серії *C2*. Збій відбудеться і тоді, коли перехідний процес, що перейшов з *KCM* у *KCN*, не встигне закінчитися до моменту  $t_6$  фіксації засувки *RGN*. Отже, якщо перехідний процес у деяких функціональних вузлах в одній з фаз виявився довшим за  $T_{\phi}$  на  $\Delta t$ , то наступні функціональні вузли, що продовжують переробляти цю інформацію, повинні мати затримку менше ніж  $T_{\phi}$ , так щоб за кілька наступних фаз (або всього за одну, як на рис. 11.10, *б*) приріст затримки  $\Delta t$  був погашений і пе-



a



б



в

Рис. 11.10. Робочі інтервали періоду синхронізації для тригерів різних типів:

a — тракт багатоступеневого оброблення інформації;  
 б — перехідні процеси та робочі інтервали для прозорих засувок;  
 в — робочі інтервали для непрозорих засувок

рехідні процеси у КС знову стали закінчуватися до моменту надходження фронту чергового С-сигналу. Таким чином, робочий інтервал (PI), протягом якого в схемах, що належать до даної фази, допустимі перехідні процеси, у випадку двофазної синхронізації і прозорих засувок характеризується двома значеннями: максимальним —  $PI_{\text{зас max}}$ , що дорівнює сумі фазового періоду  $T_{\phi}$  і тривалості імпульсу  $T_i$  (рис. 11.10, б), і середнім —  $PI_{\text{зас ср}}$ , що дорівнює  $T_{\phi}$ . Якщо затримку будь-якої КС довелося зробити більшою ніж  $T_{\phi}$ , то протягом кількох фазових періодів після цього середня затримка в певному інформаційному тракті має бути менша за  $T_{\phi}$ .

Щоб за необхідності розробник міг зробити приріст  $\Delta t$  якомога більшим, тривалість імпульсу  $T_i$  слід вибирати ближче до її верхньої допустимої межі, що обмежена небезпекою накладення С1 і С2.

Можливість мати затримку КС, яка помітно перевищує фазовий період, — зручна для розробника властивість системи синхронізації. У багатофазних системах синхронізації при тій самій тривалості такту  $T_T$  тривалість імпульсу  $T_i$  істотно менша, ніж у двофазних, відповідно менший і ефект подовження максимально можливого робочого інтервалу.

Замість засувки у системі двофазної синхронізації можна використовувати і непрозорі тригери. Якщо тригер непрозорий (тригер, що перемикається перепадом) і перемикається по позитивному фронту С-сигналу (наприклад, К155ТМ2), то КС буде починати працювати по фронту С-сигналу однієї фази (точніше, по закінченні часу затримки  $t_{\text{зт}}$  тригера) і має обов'язково заспокоїтися до моменту надходження фронту С-сигналу іншої фази (точніше, трохи раніше: на час підготовки  $t_{\text{нд}}$  тригера). Розміщення робочого інтервалу такого тригера зображено у верхній частині рис. 11.10, в ( $PI_{\text{фронт непр}}$ ). Робочий інтервал непрозорого тригера строго дорівнює  $T_{\phi}$  на відміну від робочого інтервалу засувки, який у деяких випадках можна зробити довшим.

Якщо непрозорий тригер перемикається зрізом, то його робочий інтервал, який також дорівнює  $T_{\phi}$ , зсувається по циклу синхронізації, що зображено на рис. 11.10, в ( $PI_{\text{зріз непр}}$ ). Якщо використовується прозорий тригер (із властивостями проскакування або захоплення, наприклад К155ТВ1), то інтервал, протягом якого можуть йти перехідні процеси в КС, скорочується із значення  $T_{\phi}$  до проміжку між С-сигналами сусідніх фаз, тобто до значення різниці  $T_{\phi} - T_i$  ( $PI_{\text{зріз пр}}$  на рис. 11.10, в).

Таким чином, у системі двофазної (багатофазної) синхронізації при однаковій тривалості фазового періоду  $T_{\phi}$  непрозорі тригери порівняно з прозорими засувками виявляються не тільки громіздкими, а й відводять менше часу на перехідні процеси у КС. Крім того, багато типів непрозорих тригерів через можливість гонок за входом чутливі до завалів фронтів  $C$ -сигналу.

Застосування непрозорих тригерів при двофазній синхронізації обґрунтовано, якщо вони вже належать до складу мікросхем. У цих випадках потрібно враховувати, що положення робочих інтервалів засувки і непрозорих тригерів у загальному випадку не збігаються, що накладає додаткові обмеження на тривалості перехідних процесів тих КС, які ввімкнені на стику засувки і непрозорих тригерів, а також на стику непрозорих тригерів з різними положеннями робочих інтервалів. Розміщення робочого інтервалу визначається параметрами синхронізації тригера. Якщо відомі типи сусідніх тригерів, допустимі значення затримок КС можна дістати з діаграми рис. 11.10, *б* і *в*. Як впливає з діаграм, із засувками K155TM7 найбільш природно стикаються непрозорі тригери, що керуються позитивним фронтом, наприклад K155TM2.

Часові параметри тригерів у разі їх використання у двофазних або багатофазних системах синхронізації такі:

- 1)  $t_{\text{зт.п}}$  на тракті вхід  $C$  — виходи;
- 2)  $t_{\text{зт.п}}$  на тракті вхід  $D$  — виходи при  $C = 1$  — тільки для засувки;
- 3)  $\tau_{\text{цд}}$  на керуючих входах;
- 4) мінімально допустима тривалість  $C$ -сигналу;
- 5) максимально допустима тривалість фронтів  $C$ -сигналу — тільки для тих тригерів, у яких можливі гонки за  $C$ -входом. Якщо схема тригера така, що ці гонки неможливі, то цей параметр неактуальний.

Величина часу витримки  $t_{\text{вт}}$  тригера при використанні його в двофазній або багатофазній системі синхронізації значення не має, оскільки вхідні сигнали тригера безпосередньо після фіксувального зрізу не змінюються. Їх зміни можуть початися лише при надходженні переднього фронту  $C$ -сигналу іншої фази.

Схеми розподілу сигналів синхронізації доводиться будувати в зв'язку з дуже великим числом вузлів—споживачів цих сигналів у цифровому пристрої. Розводити сигнали синхронізації від єдиного потужного генератора неприпустимо, оскільки потужні кола породжують потужні завади. Тому систему синхронізації будують у вигляді багатоярусного дерева із звичайних елементів, що розмножує сигнали малопотужного генератора. При цьому яруси дерева часто сполучають

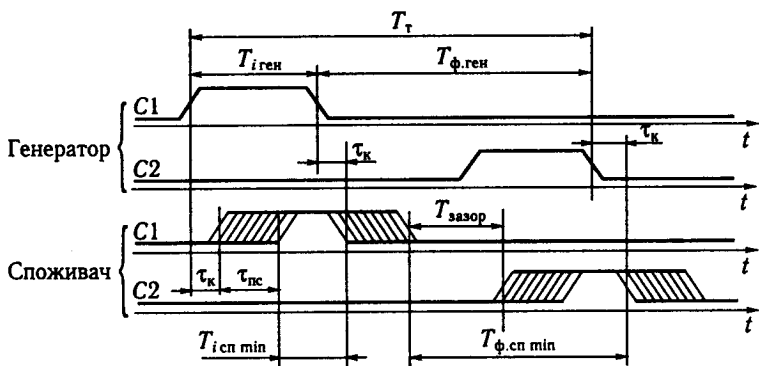


Рис. 11.11. Часові співвідношення в системі розподілу синхроімпульсів

з ярусами конструктивного розподілу пристрою на плати, рами, шафи і под.

Затримки в колах кожного ярусу мають розкид і нестабільність, у результаті часові співвідношення сигналів синхронізації на виході задавального генератора і на С-вході вузла-споживача мають вигляд, як зображено на рис. 11.11.

Фронти сигналу синхронізації генератора затримуються на деяку сталу  $\tau_k$ , що спричинено досить стабільними затримками в кабелях, і нестабільну  $\tau_{пс}$ , зумовлену затримками в підсилювачах дерева розведення. У загальному випадку сигнали синхронізації різних споживачів не будуть збігатися в часі і будуть мати не погоджені фази. Стабільний компонент затримки  $\tau_k$  піддається компенсації. Для цього затримки сигналів синхронізації усіх гілок дерева збільшують до найбільшої з них, додаючи за необхідності відрізки кабелю або інші елементи затримки. Нестабільний компонент контролю не піддається і може спричинити у різних вузлах-споживачах звуження, поширення і взаємний зсув імпульсів. Для забезпечення у споживача гарантованого мінімуму ширини імпульсу  $T_{i,сп}$  ширина імпульсу генератора має бути на  $\tau_{пс}$  більша. Максимально допустима ширина імпульсів генератора визначається тим, що після можливого їх поширення на  $\tau_{пс}$  синхроімпульси різних фаз у споживачів не повинні взаємно перекриватися для будь-якої пари споживачів, які обмінюються інформацією. При невдалому сполученні затримок зрізів сигналів синхронізації фазовий період у споживача  $T_{ф,сп}$  зменшиться на  $\tau_{пс}$ . Для його відновлення потрібно буде збільшити фазовий період генератора, що призведе до втрати швидкодії пристрою. Якщо це небажано, то  $\tau_{пс}$  змен-

шують, вибираючи для розведення сигналів синхронізації більш швидкодійні елементи з меншим часом невизначеності.

Крім впливу розглянутих трьох факторів, зв'язаних з логічною схемою пристрою (затримок КС, типу тригерів і схеми розведення С-сигналів), на вибір тактової частоти впливають деякі електричні параметри, наприклад частотні характеристики кіл живлення і загального проводу, що спричинено конструктивним виконанням пристрою. Впливають на вибір тактової частоти й організаційні фактори: вимоги сумісності з іншою апаратурою, уніфікації і под. Для апаратури, побудованої на ТТЛ-мікросхемах, в остаточному підсумку тактова частота лежить звичайно в межах 0,5...5 мГц, для пристроїв промислової автоматики вона нижча — 0,5...1 мГц. Приблизно з такою самою тактовою частотою можуть працювати мікросхеми швидкодійних МДН-серій, а для поширених КМДН серій К561 і 564 тактову частоту вибирають приблизно на порядок меншу.

## 11.6. Однофазна синхронізація

При двофазній синхронізації відсутність у схемах замкнених кіл з логічних елементів забезпечується тим, що в будь-який момент часу хоча б один з макрореєстрів-засувки — *MRGI* або *MRGII* (див. рис. 11.8) — не пропускає сигнали з входу *D* на вихід. Звідси випливає, що застосування непрозорих тригерів дасть змогу обійтися одним реєстром у кільці циклічної схеми, тобто синхронізація в цьому випадку може бути однофазною. На рис. 11.12 зображено схему інформаційних зв'язків цифрового пристрою з однофазною синхронізацією і часову діаграму його роботи. Як і на рис. 11.8, усі комбінаційні схеми пристрою, що одержують дані з виходів тригерів і передають результати на *D*-входи тригерів, розглядають спільно як велику комбінаційну макросхему *МКС*. Усі тригери синхронізуються тим самим сигналом синхронізації; їх розглядають як один великий макрореєстр *MRG*. На деякі тригери цього реєстра надходять зовнішні сигнали, з деяких тригерів знімаються вихідні сигнали. Нехай для визначеності всі тригери непроникні для завад при  $C = 1$  і змінюють стан виходу за зрізом С-сигналу.

Як впливає з часової діаграми (рис. 11.12, б), за зрізом С-сигналу в момент  $t_1$  виходи всіх тригерів перемикаються в ті стани, що були на їх входах безпосередньо перед надходженням зрізу С-сигналу, тобто в стани, вироблені до цього моменту логічними схемами *МКС*. Після зрізу синхроімпульсу



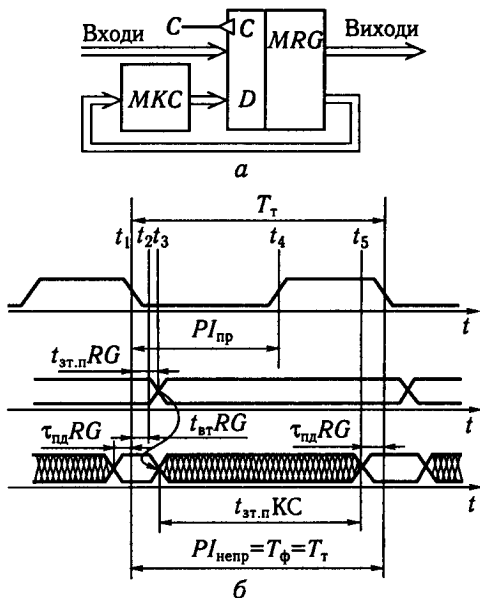


Рис. 11.12. Схема (а) та часова діаграма (б) системи однофазної синхронізації

інформація з виходу *МКС* виявляється переданою на її вхід, і в *МКС* починаються перехідні процеси чергового циклу. В грамотно спроектованому пристрої всі перехідні процеси мають закінчитися до зрізу наступного синхроімпульсу, а точніше, до моменту  $t_5$  (початку інтервалу підготовки  $\tau_{пд}$ ). Сталі, не перекручені гонками стани, виходів *МКС* знову будуть передані на вхід тієї самої *МКС* і т. д.

Як видно з рис. 11.12, б, робочий інтервал при однофазній синхронізації дорівнює повному періоду серії синхронізації  $T_\tau$  за умови, що тригери непроникні. У протилежному випадку перехідні процеси в *МКС* мають закінчитися до надходження фронту *C*-сигналу, тобто до моменту  $t_4$ . Якщо схему побудовано на базі тригерів, що керуються позитивним фронтом, то робочий інтервал буде займати положення між фронтами *C*-сигналів. У разі використання в одному пристрої тригерів з різними положеннями робочих інтервалів максимально допустима затримка *КС*, яка їх узгоджує, відрізнятиметься від номінальної — так само, як і у випадку двофазної синхронізації.

Помітно впливає на надійність роботи однофазних схем і співвідношення затримки поширення  $t_{зт.п}$  і часу витримки

$t_{\text{BT}}$  тригерів регістра. Якщо затримка комбінаційної схеми мала, особливо якщо КС є просто проводом, до того ж коротким, то новий стан виходу тригера, який швидко перемикнувся, може надійти на вхід іншого тригера занадто рано для останнього, ще протягом його інтервалу витримки, коли рівні його керуючих входів змінювати ще не можна. Для гарантії відсутності збоїв такого типу потрібно, щоб максимальне значення  $t_{\text{BT}}$  будь-якого тригера не перевищувало мінімального значення  $t_{\text{ЗТ.П}}$  також будь-якого тригера, тобто момент часу  $t_2$  на рис. 11.12, б має обов'язково передувати моменту  $t_3$ . У цьому значенні поза конкуренцією виявляються схеми тригерів, у яких  $t_{\text{BT}} = 0$ . У двоступінчастому тригері і тригері, що використовує затримку, ця властивість надана самій схемі, а в шестиеlementному вона може бути досягнута за рахунок визначеного співвідношення затримок елементів тригера. При сумнівному співвідношенні  $t_{\text{ЗТ.П}}$  і  $t_{\text{BT}}$  доводиться обмежувати мінімальне значення затримки КС, наприклад виключити прямі зв'язки тригер — тригер за рахунок уведення між ними одного-двох холостих логічних елементів. Такі обмеження є, наприклад, в інструкціях із проектування схем на деяких матричних ВІС. Вимоги до інших часових параметрів тригерів при використанні їх у системі однофазної синхронізації такі самі, як і у системі двофазної синхронізації.

Однофазна система синхронізації на відміну від двофазної більш чутлива до розбіжності активних фронтів синхроімпульсів, яка виникає в системі розподілу сигналів синхронізації. На рис. 11.13 наведено дві послідовності синхроімпульсів  $C_A$  і  $C_B$ , що мають взаємний зсув (зсув фаз) за рахунок різних затримок у гілках дерева розведення, і виходи  $Q_A$  і  $Q_B$  двох тригерів, синхронізованих відповідними послідовностями.

Якщо при зображеному на рис. 11.13 порушенні фаз передавання інформації йде з виходу тригера  $B$  на  $D$ -вхід тригера  $A$  (зв'язок не показано), то помилок не виникає: та інформація, що надійшла на вхід  $T_B$  у  $(i - 1)$ -й такт, надходить з виходу  $T_B$  на  $D$ -вхід  $T_A$  вже після зникнення сигналу синхронізації  $C_A$  в момент  $t_2$ , тобто в  $i$ -й такт, як це і має бути. Після зрізу чергового  $C_A$  в  $(t + 1)$ -й такт ця інформація надходить на вихід  $T_A$ . Якщо передавання інформації йде з виходу  $T_A$  на вхід  $T_B$ , то інформація з виходу  $T_A$ , призначена, як і в попередньому випадку, для передавання на вхід  $T_B$  у  $i$ -му такті, надходить на вхід  $T_B$  у момент  $t_1$ , ще до перемикального зрізу сигналу синхронізації  $C_B$ . Тоді відкрита при  $C = 1$  перша ступінь тригера  $T_B$  замість інформації, ви-

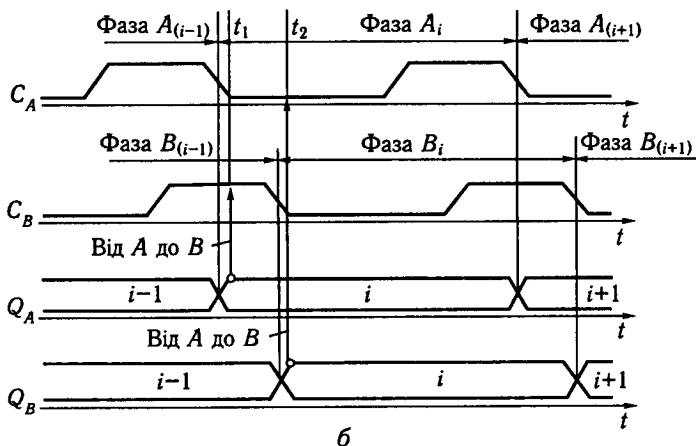
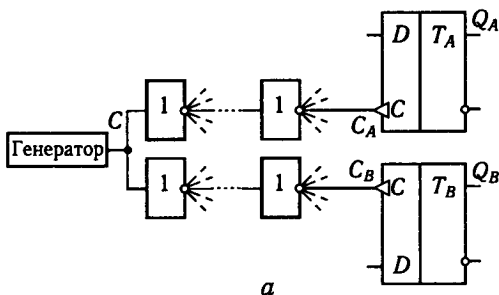


Рис. 11.13. Схема (а) та часова діаграма (б), що ілюструють механізм появи збоїв при порушенні фаз сигналів одноканальної синхронізації

робленої схемою в  $(i - 1)$ -му такті і вже завантаженої в цю ступінь, сприйме нову, відповідну  $i$ -му такту. За зрізом сигналу синхронізації  $C_B$  ця інформація надходить на вихід  $T_B$  як вхідна для КС у  $i$ -му такті. Це вже помилка: інформація, вироблена в  $i$ -му такті і призначена для оброблення в  $(i + 1)$ -му, обробляється в  $i$ -му такті, тобто фактично зі свого такту проникає в більш ранній.

Таким чином, однофазна синхронізація не допускає, щоб інформація випереджала сигнал синхронізації. В цьому полягає основна причина обмеженого застосування однофазної синхронізації. На противагу їй двофазна синхронізація легко переносить будь-які затримки в трактах розведення С-сигналів, для цього досить лише в потрібній мірі збільшити тривалість тактового періоду генератора. Регістри при двофазній синхронізації будують на основі найпростіших син-

хронних тригерів, але за необхідності можна використовувати тригери майже всіх типів. Ніяких особливих вимог до значень або співвідношення їх часів затримки, витримки, підготовки не висувають. Ці самі властивості мають і багатофазні системи, що дає змогу краще використовувати комбінаційні схеми за швидкістю і тим підвищити загальну швидкодію пристрою. Однак це ускладнює схему розведення сигналів синхронізації і процес проектування часової діаграми пристрою, оскільки потребує узгодження фаз процесів у різних КС.

Тому, незважаючи на те що в однофазних системах розводити потрібно всього одну серію синхронізації, однофазну синхронізацію широко застосовують при побудові лише невеликих окремих вузлів — лічильників, регістрів зсуву і под. Такі однофазні вкраплення у великий пристрій, який має у цілому двофазну або багатофазну синхронізацію, зручні тим, що дають змогу за один фазовий період, а іноді лише за час активного рівня  $S$ -сигналу виконати будь-яку дію, пов'язану із заміною вмісту деякого регістра (зсув у регістрі, додаток одиниці до лічильника), на яку при класичній двофазній синхронізації потрібно два фазових періоди. При введенні таких однофазних вкраплень потрібно пам'ятати про можливість розбіжності їх робочих інтервалів з робочими інтервалами засувки і про пов'язану з цим необхідність зменшувати затримки КС (див. рис. 11.10). Суто однофазну синхронізацію використовують у деяких мікропроцесорних серіях, наприклад у K589, і в інших невеликих пристроях, які не потребують багатоступінчастого розмноження сигналів синхронізації. У більшості пристроїв, і навіть в мікро-ЕОМ, використовують двофазну і багатофазну синхронізацію.

Зсув фаз сигналів синхронізації спричинює не тільки фізичні затримки в зв'язках, а й деякі схемні рішення, пов'язані з керуванням  $D$ -тригерами. Останні заново приймають стан свого  $D$ -входу в кожному такті синхронізації. Тому якщо в  $D$ -тригері потрібно зберегти інформацію, що надійшла в деякому такті, протягом кількох наступних тактів; сигнали синхронізації від  $S$ -входу тригера слід на цей час вимкнути за допомогою кон'юнктора, замкнувши його неактивним рівнем сигналу дозволу  $V$ . У  $DV$ -тригерах (рис. 11.14,  $z$  і  $\delta$ ) цей кон'юнктор належить до складу самого тригера, але якщо використовувати такий тригер немає можливості, то кон'юнктор у тракт  $S$ -сигналу доводиться включати як самостійний елемент. При цьому іноді для економії устаткування КС вводять кон'юнктор у початок КС, як умовно зображено на рис. 11.14,  $a$ . Це ризиковано, оскільки за рахунок затримки в КС сигнал синхронізації цього тригера зсувається відносно сигна-

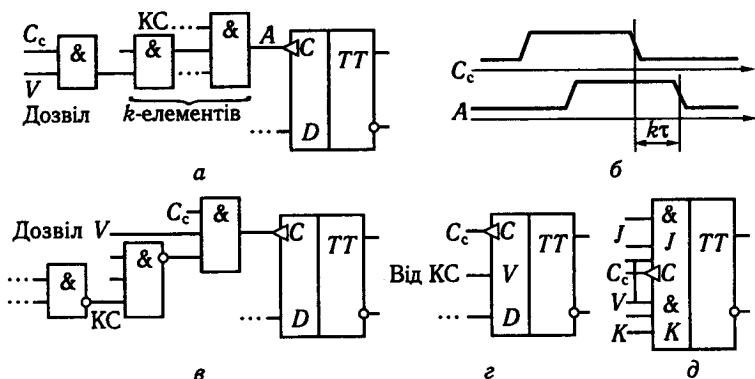


Рис. 11.14. Виконання логічних операцій над сигналом синхронізації: *a* — погане рішення; *б* — часова діаграма поганого рішення; *в* — задовільне рішення; *г* — *JK*-тригер; *д* — *JK*-тригер з функціями *JKV*-тригера

лів синхронізації інших тригерів (рис. 11.14, *б*), що призводить до звичайних наслідків порушення фаз. Тому, навіть всупереч економічності схеми, кон'юнктор, керуючий *C*-сигналом *D*-тригера, має підключатися безпосередньо до *C*-входу тригера (рис. 11.14, *в*).

Двофазна синхронізація стійка до зсуву фаз сигналів синхронізації. Однак затримка в спрацьовуванні тригера вибиває його із чіткої послідовності перемикання всіх інших тригерів *MRG* і потребує відповідного укорочення трактів *КС*, якими цей тригер керує. Це спричинює додаткові обмеження і необхідність погоджень між розробниками різних *КС*. Тому при двофазній синхронізації також краще використовувати рішення, наведене на рис. 11.14, *в*, або *DV*-тригери.

Однофазну систему синхронізації також можна зробити стійкою до зсуву фаз. Для цього використовують допоміжний регістр, що вмикають перед входом приймача, як зображено на рис. 11.15, *а*.

Якщо передана інформація поновлюється за зрізом *C*-сигналу, то як *RG1* використовують регістр, який перемикається позитивним перепадом і виставляє на виході інформацію з фронту *C*-сигналу лінії зв'язку, тобто інформацію, що належить саме до даного такту. Якщо в лінії нова інформація випереджає зріз сигналу синхронізації, тобто нові дані надходять, коли ще  $C = 1$  (як на рис. 11.13 при передаванні від  $T_A$  до  $T_B$ ), то через непрозорість і непроникність регістра на його вихід ці дані не потраплять. *RG1* можна побудувати і

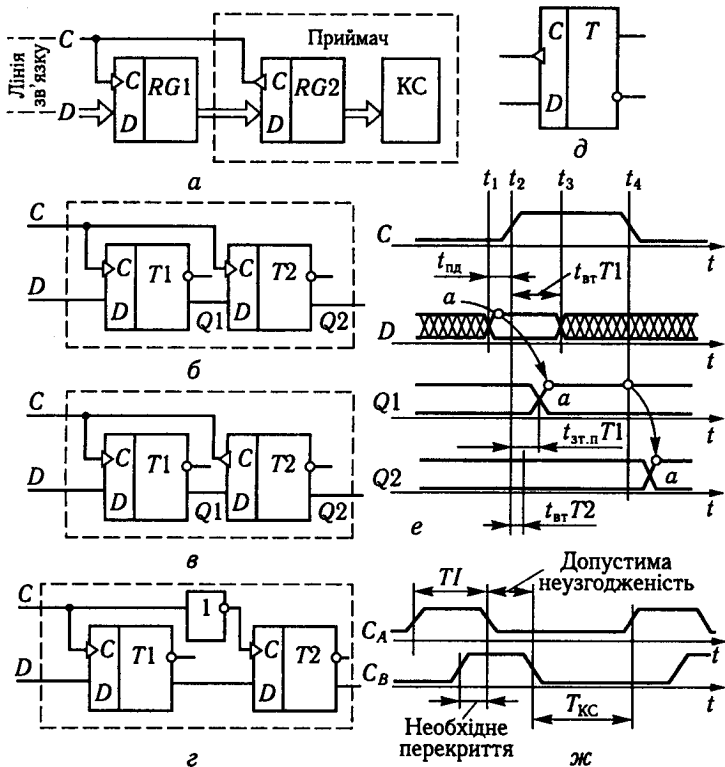


Рис. 11.15. До допущення зсуву фаз в однофазних системах синхронізації:

*a* – використання реєстра фаз «за місцем»; *б, в, г* – схеми тригерів, що допускають зсув фаз; *д* – умовне позначення такого тригера; *е* – часова діаграма роботи тригерів; *ж* – допустиме значення зсуву фаз та час на роботу КС

на прозорих засувках, що мають низький активний рівень, однак при цьому потрібно бути упевненим, що реєстр приймача *RG2* має нульовий час витримки.

Щоб зсув фаз можна було допустити в будь-яких колах однофазного пристрою, описаним способом потрібно модифікувати всі його тригери. Можливі схеми таких ускладнених тригерів зображено на рис. 11.15, *б, в і г* (обведено штриховою лінією). Тригери мають структуру шлюзових камер із затворами на вході і виході. Перший затвор тригера-шлюзу спрацьовує по фронту сигналу синхронізації, замикаючи вхід *D* і фіксуючи в першому тригері *T1* рівень *D*, що попередив фронт сигналу синхронізації. Другий затвор шлюзу (тригер

$T_2$ ) спрацьовує за зрізом сигналу синхронізації. Тригер  $T_1$  має бути непроникний для завад.

У схемі рис. 11.15, б (часова діаграма — на рис. 11.15, е) час витримки  $t_{\text{вт}}$  засувки  $T_2$  на фронті  $S$ -сигналу має бути меншим за затримку  $t_{\text{зт.п}}$  непрозорого тригера  $T_1$  по такту  $CQ$ . Можна модифікувати схему, помінявши місцями непрозорий тригер і засувку. Тоді в непрозорому тригері активним має бути негативний перепад сигналу синхронізації, а його час витримки має бути меншим за затримку поширення засувки на такті  $CQ$ . Для наочності можна побудувати часову діаграму модифікованого тригера. Схеми тригерів-шлюзів зображено на рис. 11.15, в і г. Обидва тригери мають бути непрозорими, а перший з них до того ж має бути непроникним.

На рис. 11.15, д зображено використовуване іноді позначення такого тригера-шлюзу. Рис. 11.15, ж ілюструє допустимий зсув фаз сигналів синхронізації між будь-якими гілками дерева розведення. Мінімальне значення зони перекриття сигналів синхронізації визначається часовими характеристиками ступенів шлюзового тригера. Допустимість зсуву фаз призводить не тільки до ускладнення тригерів, а й до втрати швидкості, оскільки, як видно з рис. 11.15, ж, час на роботу КС порівняно із системою зі строгим погодженням фаз скорочується майже на подвійне значення максимальної тривалості синхроімпульсу  $T_i$ ; у гіршому випадку КС зможе почати роботу на зрізі найпізнішого  $C_B$ , а закінчити роботу має до фронту найранішого  $C_A$ . Очевидно, що  $T_i$  в такій схемі не слід збільшувати за необхідний мінімум.

## 11.7. Проектування схем зі зворотними зв'язками

Як впливає з розгляду перехідних процесів у синхронних схемах — і однофазних, і багатофазних — для безпомилкової роботи цифрового пристрою ряд часових параметрів тригерів і сигналів синхронізації має перебувати в цілком визначених співвідношеннях. При використанні тригерів, для яких відомі ступінь їх прозорості і проникності, а також величини  $t_{\text{зт.п}}$ ,  $\tau_{\text{пд}}$ ,  $t_{\text{вт}}$ ,  $t_{\text{фронт max}}$ , розробник може витримати всі співвідношення, щоб гоночні процеси себе не виявляли.

Зовсім інша ситуація виникає, якщо розробник відступає від канонічної структури синхронного пристрою  $RG - KC - RG - KC...$  і починає на інтуїтивному рівні вводити різні

зворотні зв'язки, що забороняються правилами побудови синхронних схем.

Багато аспектів поведінки тригерних схем насправді складніші, ніж це виявляється спочатку. Тому не можна вважати безпечним уведення до складу пристрою нового вузла з нетактовими зворотними зв'язками, вузла, властивості якого не досліджені уважно і всебічно. Сподіватися на автоматичне виявлення в схемі будь-яких проявів гоночних процесів за допомогою імітаційного моделювання не слід. Моделі недостатньо добре враховують особливості перехідних процесів, що виникають у схемах із зворотними зв'язками, і не дають абсолютно надійних результатів.

Для мінімізації породжуваних гонками наслідків можна рекомендувати в процесі логічного проектування дотримуватися таких правил.

1. Тригери для проекрованої схеми брати лише з обмеженого попередньо складеного списку. Перед занесенням у список тригер уважно перевіряють на те, щоб він за своїми часовими параметрами (співвідношення часу підготовки, затримки, витримки, відсутність гонок за входом) і параметрами синхронізації (знак перемикального перепаду, ступінь прозорості й проникності, активний рівень  $C$ -сигналу) був сумісний як з іншими тригерами списку, так і з заданою системою синхронізації.

2. Використовувати в схемі тільки дозволені (див. на рис. 11.8 і 11.12) зворотні зв'язки, не створювати нових, не досліджених тригерів або інших схем з нетактовими зворотними зв'язками.

Для забезпечення видимості всієї структури синхронізації потрібно чітко відобразити на схемі, які тригери до якого макрорегістра належать. Якщо є можливість, то корисно накреслити схему (див. рис. 11.8, *a*), зібравши всі тригери кожної фази у вертикально розташовані групи. Можна також за рис. 11.8, *a* побудувати спрощену допоміжну схему з тригерами і регістрами. Якщо в схемі зображено тригери з несполученими робочими інтервалами, наприклад якщо застосовуються готові лічильники або регістри, то кожен тригер (регістр) забезпечується відомостями про розташування і тривалість його робочого інтервалу. Корисно також урахувати прозорість, проникність, непроникність. Усі ці дані дають змогу оперативно визначати допустимі затримки КС, увімкнених між тригерами або регістрами.

Ці правила можна розглядати як вимоги грамотного логічного проектування. Якщо ці вимоги витримані, то всі зворотні зв'язки, що не розсікаються сигналами синхронізації,



виявляються локалізованими тільки усередині типових тригерів з добре вивченими властивостями. Забезпечити роботоздатність такої схеми нескладно: потрібно лише, щоб затримки всіх КС не перевищували певних визначених значень. При програмному моделюванні тактових схем щодо виявлення можливих збоїв через гонки досить перевірити виконання зазначених співвідношень. Оскільки найбільш критичними виявляються максимальні значення затримок, моделювання можна провадити, не використовуючи зон невизначеності, а безпосередньо за максимальними затримками, що набагато простіше.

### **Контрольні запитання і завдання**

1. З чого складається затримка логічної схеми?
2. Наведіть типові часові діаграми перехідних процесів з урахуванням станів невизначеності елементів.
3. Що називається гонками та які проблеми вони зумовлюють?
4. Поясніть механізм уникнення завад, спричинених гонками, за рахунок використання стробування.
5. Поясніть причини виникнення гонок за входом.
6. Накресліть структурну схему та часові діаграми системи двофазної синхронізації.
7. Накресліть структурну схему та часові діаграми системи однофазної синхронізації.
8. Поясніть механізм появи збоїв у разі порушення фаз сигналів однотактної синхронізації.
9. Наведіть методи підвищення стійкості до зсуву фаз однофазної системи синхронізації.
10. Яких правил треба дотримуватися для мінімізації збоїв, спричинених гонками?

### 12.1. Завади та завадостійкість цифрових пристроїв

У міру удосконалювання пристрої цифрової техніки набувають поширення для автоматизації керування різними об'єктами: верстатами, технологічним устаткуванням, агрегатами на транспорті, побутовою технікою. При цьому в безпосередній близькості виявляються електронні пристрої і потужні агрегати, такі як електродвигуни, електромагніти, електронагрівальні прилади, зварювальні машини тощо. Тому все більшого значення набуває проблема зменшення шумів і забезпечення завадостійкості електронних пристроїв. Ця проблема пов'язана не тільки зі збільшенням зовнішніх завад від розташованих поблизу агрегатів, а й зі збільшенням внутрішніх завад — взаємного впливу елементів і блоків електронних пристроїв один на одного. Останнє особливо істотно в зв'язку з тенденцією підвищення швидкодії і мікромініатюризацією електронних схем.

Цифровий пристрій становить мережу з'єднаних між собою елементів. Електричне коло, що з'єднує вихід одного елемента (джерела сигналу) із входом іншого елемента (приймача сигналу), утворює контур, що є своєрідною антеною, яка перетворює зміну електромагнітного поля на ЕРС і струм у контурі. Під дією цієї ЕРС на вході елемента-приймача виникає завада, що залежить від площі контуру, швидкості зміни електромагнітного поля, вихідного опору елемента-джерела і вхідного опору елемента-приймача. Завади, створювані електромагнітним полем, розглядають для досить віддалених джерел, якими звичайно є порівняно потужні агрегати. Крім них є також джерела завад, розташовані в безпосередній близькості від вхідних кіл елемента. Це сусідні провідники, що мають з розглянутим колом розподілений індуктивний і ємнісний зв'язок. Завади, спричинені впливами через ці зв'язки при передаванні сигналів по сусідніх колах, називають *перехресними*.

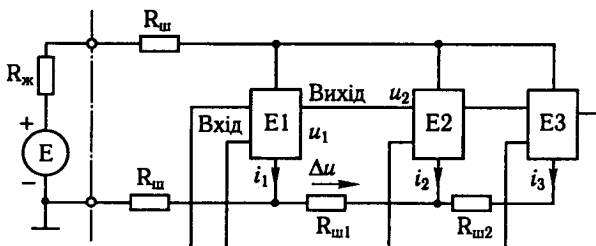


Рис. 12.1. Зв'язок елементів через спільне джерело живлення та шини підводу

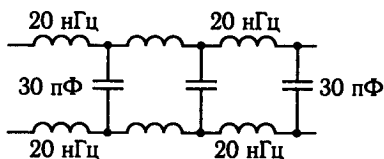


Рис. 12.2. Еквівалентна схема шини живлення логічних елементів

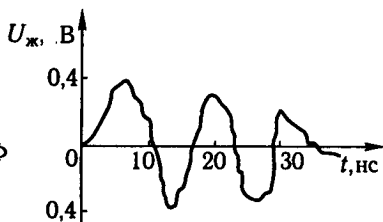


Рис. 12.3. Діаграма імпульсів завади в шинах живлення

Елементи, що належать до складу цифрового пристрою, підключаються до спільних джерел живлення. При цьому створюються завади через спільний вихідний опір  $R_{\text{ж}}$  джерела живлення й опір шин  $R_{\text{ш}}$ , що підводять живлення (рис. 12.1).

Шини, що підводять живлення, мають розподілені параметри: ємність, індуктивність і опір. На рис. 12.2 зображено еквівалентну схему шини живлення елементів транзистор-транзисторної логіки (ТТЛ).

Припустімо, що індуктивність провідника, який з'єднує виводи живлення двох поряд розташованих мікросхем, становить 20 нГ, а ємність мікросхеми між виводом живлення і виводом «землі» становить 30 пФ. Хвильовий опір такої системи шин із підключеними мікросхемами становить 36 Ом. На рис. 12.3 зображено типову діаграму імпульсів завади в такій шині живлення. Спад напруги на спільних для всіх елементів опорах  $R_{\text{ж}}$  і  $R_{\text{ш}}$  (див. рис. 12.1) змінює напругу, яка підводиться до елементів. Ці збільшення напруги живлення з деяким послабленням передаються на вихід елемента і створюють заваду. Найбільші завади створюються опорами ділянок нульової (земляної) шини. З рис. 12.1 видно, що спад напруги  $\Delta u$  на опорі  $R_{\text{ш1}}$  є завадою, що діє в колі передавання сигналу з виходу елемента E1 на вхід елемента E2.

Завадостійкість логічного елемента є мірою його здатності не реагувати на помилкові вхідні сигнали, спричинені електромагнітними наведеннями на вхідне коло, перехресними завадами і завадами в шинах живлення. Оскільки всі типи логічних елементів утримують інерційні компоненти (транзистори, діоди, магнітні стрижні), для перемикання яких потрібна певна енергія вхідного сигналу, запас завадостійкості елемента для тривалих і короткочасних завад неоднаковий.

Підвищення завадостійкості пристроїв можна забезпечити, з одного боку, вибираючи елементи підвищеної завадостійкості, а з другого — зменшуючи рівень завад на входах елементів за рахунок відповідних конструктивних і схемних заходів.

Завадостійкість елемента тим вища, чим більші вхідні напруги і струм, необхідні для його перемикання, і чим більший час перемикання. Узагальнюючи ці показники, можна розглянути енергію, необхідну для перемикання. Зокрема, енергія перемикання магнітних елементів з діодами на 2—3 порядки вища за енергію перемикання потенційних елементів інтегральних мікросхем. Однак під час вибору елементної бази доводиться брати до уваги й інші фактори: швидкодію, вартість, рівень інтеграції, номенклатуру операційних елементів і функціональних блоків, технологічність виробництва апаратури. Для зменшення завад уживають таких заходів: зменшення площі контуру кіл, екранування з'єднань, заземлення, фільтрацію, обмеження швидкості перемикань струму в колах, екранування блоків і пристроїв тощо.

Для зменшення завад, що виникають у цифрових логічних схемах, потрібно працювати із сигналами, що мають великі часи наростання і спаду, малу амплітуду, обмежити число сигналів, що одночасно перемикаються, та застосовувати ефективні методи шунтування і заземлення. Для підвищення стійкості схем до зовнішніх завад слід застосовувати повільні схеми синхронізації з тригерами Шмітта на вході. Якщо система має довгі кабелі, потрібно використовувати диференційні передавальні і приймальні пристрої, з'єднані симетричними лініями зв'язку, щоб знизити рівень створюваних і сприйманих завад.

Шунтувальні конденсатори — джерела імпульсного струму, споживаного цифровими схемами при перемиканні, — зменшують спадання напруги в колах живлення та заземлення і сприяють фільтрації завад, які створюють джерела живлення і заземлення. На рис. 12.4, *a* зображено традиційний простий спосіб шунтування, застосовуваний у цифрових схемах. Оксидний шунтувальний конденсатор великої ємності

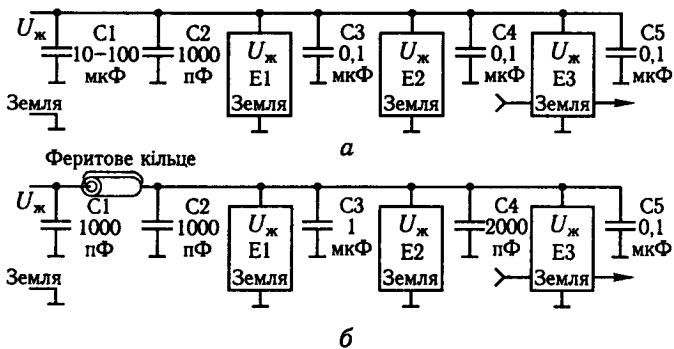


Рис. 12.4. Види шунтування в цифрових ІС:  
 а – традиційна схема фільтрації завад; б – схема шунтування з П-подібним фільтром

(10...100 мкФ, 1мкФ на кожну схему) міститься поблизу джерела живлення. Поряд із кожною тригерною ІС розміщений керамічний шунтувальний конденсатор ємністю 0,1 мкФ, а до швидкодійних схем приєднуються також керамічні шунтувальні конденсатори малої ємності (100...1000 пФ). Кожна схема, що передає сигнали за межі друкованої плати, на якій вона розміщується, або приймає сигнали через межі друкованої плати, має керамічний шунтувальний конденсатор ємністю 0,1 мкФ між джерелом живлення і лінією зворотного струму сигналу (рис. 12.5). На частку інших ІС припадають керамічні шунтувальні конденсатори ємністю 0,01...0,1 мкФ, причому на 5 ІС припадає принаймні один конденсатор. Недолік такого способу шунтування полягає в тому, що шунтувальні конденсатори слабо фільтрують завади з частотою вищою ніж 10 мГц через низькі власні резонансні частоти.

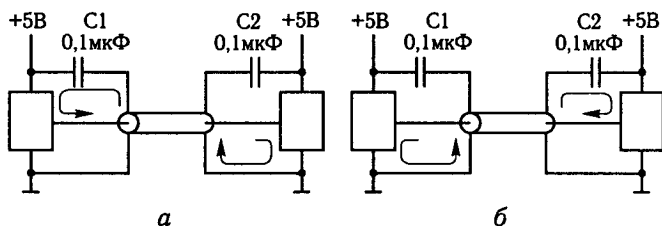


Рис. 12.5. Шунтування елементів, які передають та приймають сигнали за межі друкованої плати:  
 а – при переході від нижнього до верхнього логічного рівня; б – при переході від верхнього до нижнього логічного рівня

Рис. 12.4, б ілюструє іншу схему шунтування. Конденсатори С1, С2 та феритове кільце утворюють П-подібний фільтр, що послаблює високочастотні завади в друкованій платі. До кожної схеми, що передає сигнали за межі друкованої плати або приймає сигнали, що надходять на плату ззовні, приєднується керамічний шунтувальний конденсатор ємністю 0,1 мкФ, який розташовується між джерелом живлення  $U_{\text{ж}}$  і лінією зворотного струму (рис. 12.5). Усі інші ІС забезпечуються керамічними шунтувальними конденсаторами ємністю,  $\Phi$ :

$$C \geq 4,5 n \cdot C_{\text{н}},$$

де  $n$  — число виходів ІС;  $C_{\text{н}}$  — ємність навантаження.

Поблизу джерела живлення міститься танталовий оксидний конденсатор для фільтрації низькочастотних завод. Ємність останнього має принаймні в 10 разів перевищувати ємність інших конденсаторів у колі, разом узятих.

Таке розташування компонентів забезпечує задовільне шунтування до частот 100 мГц і більше. Керамічні конденсатори повинні мати еквівалентну послідовну індуктивність меншу ніж 20 нГ і еквівалентний послідовний опір менший ніж 0,5 Ом. З урахуванням індуктивності виводів танталові (або полікарбонатів) конденсатори повинні мати еквівалентні послідовні індуктивність і опір відповідно менше ніж 30 нГ і менше ніж 1 Ом. Імпеданс феритового кільця при тактовій частоті схеми не повинний перевищувати 10 Ом, а при частотах, що перевищують тактову частоту ІС у 5 разів, імпеданс має перевищувати 50 Ом на робочому струмі. Найкращі результати здобувають, якщо провідник двічі пропускають крізь феритове кільце. Якщо імпеданс одного феритового кільця занадто малий, можна застосовувати послідовно кілька кілець або більш товсте кільце. Якщо схема допускає додатковий спад напруги, замість феритового кільця можна використовувати композиційний резистор опором близько 51 Ом.

У діапазоні частот 30 мГц...1 гГц синхронізаційні тактові сигнали і їхні гармоніки є основною причиною випромінюваних завод. Парні гармоніки можна різко зменшити, якщо використовувати сигнали синхронізації з 50 % коефіцієнтом заповнення (якщо тривалість сигналів синхронізації приблизно дорівнює відстані між ними). Слід спробувати зменшити число ІС, керованих кожним тактовим сигналом. Якщо тактові сигнали мають надходити на кілька плат, як буфери бажано використовувати вхідні логічні елементи на тригерах Шмітта, а також обмежити розмах напруги і швидкість наростання ( $dU/dt$ ) амплітуди основних сигналів синхронізації. Якщо сигнали синхронізації керуються перемикачами поза

платою, потрібно уникати безпосереднього керування сигналами синхронізації від цих перемикачів. Замість цього треба приєднати до перемикачів кола, які керують логічними елементами на платі, що у свою чергу будуть керувати тактовими сигналами. Зменшенню завад від тактових сигналів будуть сприяти також їх рознесення по фазі та децентралізація.

Проблему завад можна вирішити шляхом ретельної синхронізації системи. Для зменшення перехідних струмів, що виникають у джерелах живлення і пристроях заземлення, потрібно керувати невеликою групою мікросхем за допомогою рознесених тактових сигналів. Скороченню часу, протягом якого система найбільш зазнає впливу завад, сприяє застосування схем синхронізації вхідних сигналів; крім того, бажано стробування даних.

Кожний вхідний сигнал, що надходить на плату, потрібно подавати тільки на одну ІС (бажано із тригерами Шмітта на входах); це допоможе вирішити проблеми синхронізації. Вхідні кола на тригерах Шмітта підвищують заводозахищеність схем і полегшують оброблення сигналів із повільним наростанням амплітуди. Якщо вхідний сигнал надходить на стандартний логічний елемент, часи наростання і спаду слід підтримувати малими для запобігання паразитних коливань.

Особливу увагу слід приділяти сигналам, що виходять із плати. Виходи тригерів, лічильників і регістрів зсуву необхідно доповнювати логічними елементами буфера або підсилювачами-передавачами для вирішення проблеми відображень і викидів від неузгоджених ліній зв'язку. Пропущення із плати вихідних провідників крізь феритове кільце дасть змогу підключати до виходу неузгоджені лінії зв'язку більшої довжини. Сигнали, що виходять із плати, не повинні надходити на входи схем, що розміщені на цій платі. Якщо знехтувати ці правила, то можна натрапити на дуже серйозні проблеми завад, що виникають на вихідному передавачі.

Для запобігання відбиття та викидів довгі лінії зв'язку мають узгоджуватися відповідно до їх характеристичного імпедансу. В цьому випадку корисним може виявитися послідовно приєднаний резистор за умови, що всі приймальні пристрої розташовані на далекому кінці лінії зв'язку (рис. 12.6, *а*). Резистор потрібно підібрати так, щоб при перемиканні сигналу в лінії зв'язку виникали лише незначні викиди. Подільник на резисторах на далекому кінці лінії зв'язку дасть змогу розташувати приймачі в будь-якому її місці (рис. 12.6, *б*). Щоб зменшити завади в довгій кабельній мережі, потрібно застосовувати диференційні передавальні і приймальні пристрої із симетричними лініями зв'язку.

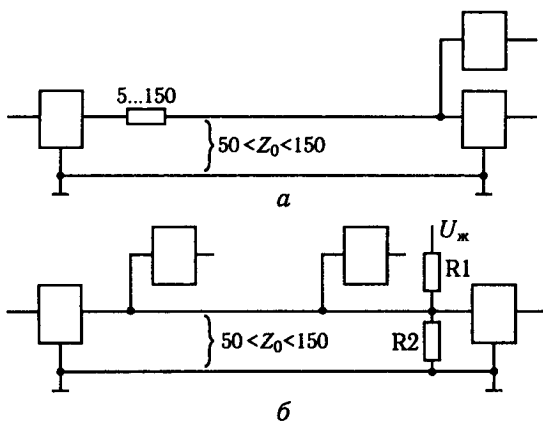


Рис. 12.6. Схеми узгодження довгих ліній зв'язку для зменшення відбиття:

*a* — з послідовно ввімкненим резистором; *б* — з подільником на резисторах на кінці лінії

В односпрямованих лініях зв'язку необхідно підключати навантаження до далеких кінців (рис. 12.7, *a*), а в двоспрямованих — до обох (рис. 12.7, *б*). У симетричних лініях зв'язку з узгодженим навантаженням заглушення завад може досягти 70 дБ (3000 : 1) у діапазоні частот 0...100 кГц.

Приєднання узгодженого навантаження до кабелів, контактних площадок друкованих плат та проводів зв'язків має здійснюватися завжди, коли час поширення сигналу перевищує половину часу наростання або спаду його амплітуди. Імпеданс узгодження плоских і коаксіальних кабелів, а також скручених пар становить приблизно 100 Ом ( $75 \text{ Ом} \leq Z_0 \leq 120 \text{ Ом}$ ). Імпеданс узгодження контактних площадок друкованих плат має дорівнювати їхньому характеристичному імпедансу ( $20 \text{ Ом} \leq Z_0 \leq 200 \text{ Ом}$ ).

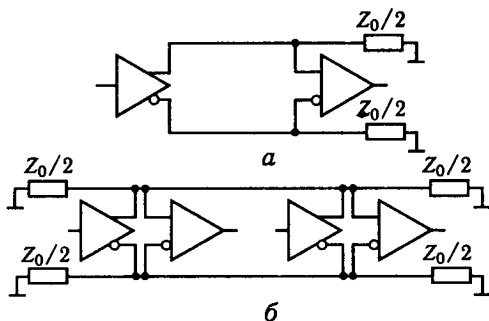


Рис. 12.7. Схеми підключення навантаження до симетричних ліній зв'язку:

*a* — односпрямованих;  
*б* — двоспрямованих



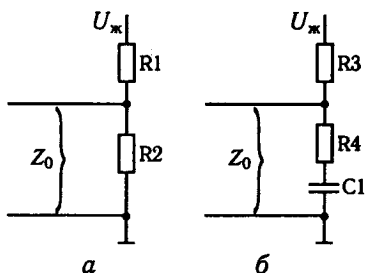


Рис. 12.8. Узгоджені навантаження для ліній зв'язку:

*a* – ТТЛ-схем; *б* – КМОН-схем

$R_1 = 120 \text{ Ом}$  і  $R_2 = 470 \text{ Ом}$ , при цьому з вихідного опору  $96 \text{ Ом}$  знімається  $+4 \text{ В}$ .

Більшість КМОН ІС не мають навантажувальної здатності, достатньої для приєднання подільників на резисторах. До них можна підключати резистор – емнісний подільник, зображений на рис. 12.8, *б*, де  $R_3 \approx 1 \text{ кОм}$ ,  $R_4 \approx 330 \text{ Ом}$  і  $C_1 \approx 1000 \text{ пФ}$ .

Усі невикористані входи ІС мають перебувати або під високим, або під низьким потенціалом. Деякі системи передбачають можливість вимкнення невикористаних вузлів.

## 12.2. Рекомендації щодо монтажу інтегральних мікросхем

Однією з основних умов, що забезпечують надійну роботу електронної апаратури, сконструйованої із широким застосуванням цифрових інтегральних мікросхем, є дотримання правил щодо їх установлення, паяння і монтажу.

Монтажні плати можна поділити на три основних типи: плати для монтажу компонентів методом накручування, друковані плати і плати зі стіжковим монтажем.

Монтажні плати першого типу часто застосовують при виготовленні дослідних зразків або дрібносерійних виробів. При монтажі накручуванням (рис. 12.9) використовують ізольовані проводи з мідною посрібленою жилою діаметром  $0,16 \dots 0,5 \text{ мм}$ . При ручній роботі продуктивність монтажу становить  $175 \text{ з'єднань/год}$ , при автоматичній –  $900 \dots 1000 \text{ з'єднань/год}$ . Контактні штирі розташовують із кроком  $2,5(2,54)$  і  $1,25(1,27) \text{ мм}$ . Мінімальний перетин штирів  $0,3 \times 0,3 \text{ мм}$ . Недоліком методу є великий об'єм контактного

Подільник на резисторах (рис. 12.8, *а*) може бути узгодженим навантаженням і подавати зсув на лінію зв'язку без додаткових джерел живлення. Наприклад, стандартні узгоджені навантаження для ТТЛ-схем становлять:  $R_1 = 330 \text{ Ом}$  і  $R_2 = 220 \text{ Ом}$ , при цьому з вихідного опору  $132 \text{ Ом}$  знімається  $+2 \text{ В}$  ( $U_{\text{ж}} = +5 \text{ В}$ );  $R_1 = 150 \text{ Ом}$  і  $R_2 = 470 \text{ Ом}$ , при цьому з вихідного опору  $114 \text{ Ом}$  знімають  $+3,8 \text{ В}$  та

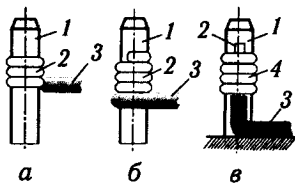


Рис. 12.9. Види електромонтажу накручуванням:

*a* — немодифіковане з'єднання; *б* — те саме, модифіковане; *в* — те саме, бандажне; 1 — вивід; 2 — неізолювана частина проводу; 3 — те саме, ізолювана; 4 — бандажний провід

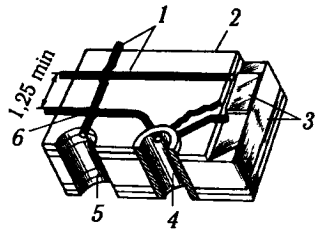


Рис. 12.10. Монтаж методом Multiwire: 1 — ізолювані провідники діаметром 0,16 мм; 2 — шар клею; 3 — мідні шини живлення і заземлення; 4 — металізований отвір; 5 — шар ізолюваних провідників з іншого боку плати; 6 — перетинання ізолюваних провідників

вузла (потрібно 4...6 витків на одне з'єднання і до трьох з'єднань на одному щирі).

Плати зі стіжковим монтажем застосовують при виготовленні малих партій виробів невеликих розмірів з високочастотними характеристиками, але вони не дають виграшу в часі і вартості конструювання. Стіжковий монтаж заснований на автоматичному прокладуванні трас і їх контактуванні паянням або зварюванням. При контактуванні паянням траси прокладають за допомогою порожньої голки з мідним проводом діаметром 0,16...0,32 мм, що проходить через отвори в платі. Паянню піддаються петлі, що виходять із протилежного від трас боку. Швидкість монтажу паянням при ручній роботі — 150 з'єднань/год, а в автоматичному режимі — 375 з'єднань/год. Контакткування зварюванням здійснюється з боку прокладених трас з нікелевого проводу до сталевих штифтів, запресованих у друковану плату, або до друкованих контактних площадок з міді. Швидкість контактування в автоматичному режимі — 400...500 з'єднань/год.

За методом Multiwire (рис. 12.10) мідний провід діаметром 0,1...0,16 мм накладають на шар адгезії, потім за допомогою металізованих отворів з'єднують з друкованою схемою. Продуктивність методу — 800 з'єднань/год. При діаметрі проводу 0,1 мм укладають 39,4 см проводу на 1 см<sup>2</sup> площі плати.

Основними елементами конструкції вузлів і блоків електронної апаратури, що дають змогу найповніше реалізувати переваги ІС, є друковані плати. Друковані плати використовують у масовому виробництві, а також для створення швид-

кодійних і малогабаритних систем. З їх допомогою можна збирати системи, вони компактні і мають хороші високочастотні характеристики. Їх основні недоліки — тривалий час конструювання і труднощі у процесі внесення конструктивних змін.

Конструювання монтажних плат можна умовно поділити на вісім основних етапів:

1) визначення розмірів і форми плати, а також положення з'єднувачів;

2) визначення розташування ІС;

3) розміщення на платі кіл землі і живлення;

4) розміщення дискретних компонентів;

5) визначення топології кіл землі і живлення;

6) розкладення кіл синхронізації;

7) розкладення інших сигнальних кіл;

8) остаточне доведення проекту.

Розмір і форму друкованих плат, а також положення з'єднувачів можна визначити виходячи з фізичного проекту виробу.

У процесі розроблення конструкцій друкованих плат приймають деякі принципові рішення, пов'язані із вибором таких параметрів, як число позицій  $m$  для установа ІС, крок установа ІС у горизонтальному  $hx$  і вертикальному  $hy$  напрямках, число зовнішніх виводів  $q$ , число прошарків для реалізації з'єднань  $s$ . Вибір цих параметрів пов'язаний з урахуванням економічних, технологічних, схематичних, технічних факторів і здійснюється за дослідними даними. При цьому порушення оптимальних співвідношень між параметрами істотно ускладнює процес конструювання і збільшує вартість розроблення апаратури.

Розглянемо основні співвідношення. Необхідне число зовнішніх виводів можна оцінити за формулою  $q = cnr$ , де  $c$  — середнє число виводів на ІС;  $n$  — число ІС на платі;  $r = 0,57...0,75$ . Найбільше значення  $n$  відповідає операційним пристроям паралельного типу, найменше — комбінаційним логічним схемам.

Кроки установа ІС у горизонтальному і вертикальному напрямках, що виражаються числом кроків між друкованими провідниками, можна знайти так:

$$hx = b + \frac{n_y c}{4}, \quad hy = a + \frac{n_x c}{4},$$

де  $a$ ,  $b$  — розміри модуля уздовж вертикальної і горизонтальної осей плати, що виражаються числом кроків між друкованими провідниками;  $n_y$  — число ІС у стовпчику;  $n_x$  — число ІС у ряду;  $c$  — середнє число виводів у ІС.

Питома площа плати (на один модуль)

$$s = hxhy = ab + \frac{c}{4}(bn_x + an_y) + \frac{n_x n_y c^2}{16}.$$

Зі збільшенням числа модулів  $n_x n_y$  питома площа  $s$  збільшується. При заданому числі елементів площа плати буде мінімальна, якщо  $n_x = \frac{a}{b} n_y$ . За цих умов конфігурація плати наближається до квадрата. Крім того, така форма сприяє зменшенню довжини провідників та полегшує її конструювання і виготовлення.

Максимальний розмір сторони друкованої плати як одношарової, так і багатшарової не повинен перевищувати 500 мм. Це обмеження зумовлене вимогами міцності і щільністю монтажу: чим більша плата, тим менша щільність монтажу. На практиці друковані плати зі стороною до 100 товщин матеріалу діелектрика виготовляють без додаткових деталей, що підвищують її жорсткість. Для плат з більшими розмірами передбачають спеціальні заходи підвищення жорсткості (додаткові точки кріплення в пристрої, уведення ребер жорсткості тощо). Співвідношення розмірів сторін друкованої плати для спрощення компоновання блоків і уніфікації розмірів друкованих плат рекомендуються такі: 1 : 1, 2 : 1, 3 : 1, 4 : 1, 3 : 2, 5 : 2. Наведені оцінки можуть бути початковою базою для вибору основних параметрів плати.

На другому етапі необхідно вирішити, де розмістити ІС. Від правильного розташування корпусів мікросхем на друкованих платах залежать такі параметри приладу, як габарити, маса, надійність роботи. Чим щільніше будуть розташовуватися корпуси мікросхем на площині друкованих плат, тим складніше автоматизувати їх монтаж, тим жорсткішим буде температурний режим їх роботи, тим більший рівень завад буде наводитися в сигнальних зв'язках. І навпаки, чим більша відстань між мікросхемами, тим менш ефективно використовується фізичний об'єм, тим більша довжина зв'язків. Тому при установленні мікросхем на друковані плати слід враховувати всі наслідки вибору того або іншого варіанта їх розміщення.

Вибір кроку встановлення мікросхем на друкованій платі зумовлений необхідною щільністю компоновання мікросхем в апаратурі, температурним режимом роботи, методом розроблення топології друкованих плат (ручний, машинний), складністю принципової електричної схеми і конструктивних параметрів корпусу мікросхеми. Незалежно від типу корпусу крок установаження мікросхем рекомендується брати крат-

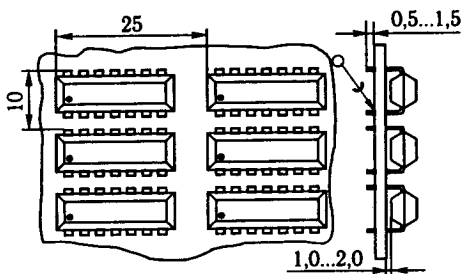


Рис. 12.11. Схема установлення мікросхем зі штировими виводами на друковану плату

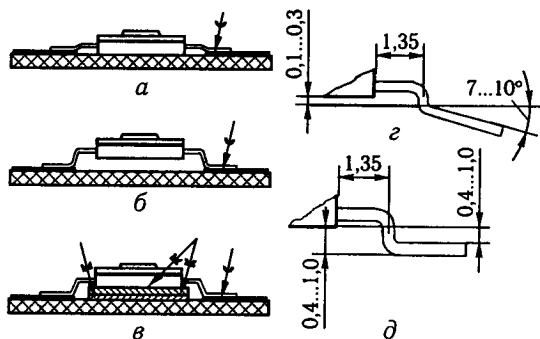
ним 2,5 мм. При цьому зазори між корпусами не повинні бути меншими ніж 1,5 мм. У технічно обґрунтованих випадках крок установлення мікросхем може бути кратним 1,25 мм.

Необхідно дотримуватись лінійно-багаторядного розташування ІС на друкованих платах. Однак допускається їх розміщення в шаховому порядку. Таке розташування корпусів мікросхем дає змогу автоматизувати процеси складання і контролю, з більшою ефективністю використовувати корисну площу друкованої плати і прямокутну систему координат для визначення місця розташування корпусів.

Мікросхеми зі штировими виводами в корпусах слід встановлювати тільки з одного боку друкованої плати. Це пояснюється тим, що монтаж штирових виводів зазвичай роблять у наскрізні металізовані отвори, причому кінці виводів виступають на зворотному боці плати. Установлення мікросхем у корпусах з штировими виводами на друковану плату роблять із зазором 1,0...2,0 мм або з електроізоляційною прокладкою товщиною 1,0...1,5 мм, попередньо приклеюючи їх до поверхні друкованої плати. Прокладку потрібно розміщувати під усією площею основи корпусу або між виводами на площі не менш  $2/3$  основи, при цьому вона має виключати можливість торкання виступних виводів. Зазор між корпусом ІС і платою має бути не більшим ніж 1,5 мм; зазор між корпусами ІС має бути не меншим ніж 1,6 мм; виступні частини виводів мають розміщуватися над поверхнею плати в межах 0,5...1,0 мм (якщо в ТУ не передбачено інше). Рекомендований крок установлення мікросхеми на вузькому боці корпусу становить 10 мм, на широкому — 25 мм (рис. 12.11).

При установленні ІС на друковані плати часто виникає необхідність у формуванні виводів. Вимоги до формування наведено в технічній документації. Для мікросхем зі штировими виводами формування має вироблятися з радіусом ви-

Рис. 12.12. Схема встановлення на друковану плату корпусів мікросхем з площинними виводами: *a* — без зазору; *б* — із зазором; *в* — з прокладкою; *г* — формування виводів для встановлення із зазором; *д* — формування виводів для встановлення без зазору



гину не меншим ніж  $2d$  ( $d$  — діаметр виводу) і відстанню від корпусу мікросхеми до центра кола вигину не меншою ніж 1 мм (якщо в ТУ не передбачено інше). Штирові виводи утримують корпус мікросхеми досить міцно і витримують практично будь-які механічні впливи.

Мікросхеми з планарними виводами також рекомендується встановлювати з одного боку друкованої плати, лише в технічно обґрунтованих випадках допускається їх встановлювати по обидва боки плати. Існує три варіанти встановлення корпусів мікросхем у корпусах із площинними виводами на друковані плати (рис. 12.12, *a*–*в*): без зазору (формування за рис. 12.12, *г*), із зазором і на прокладку (формування за рис. 12.12, *д*).

У процесі монтажу без зазору корпус мікросхеми встановлюють на друковану плату, виводи орієнтують щодо контактних площадок і припаюють. Корпус утримується на виводах або ж його приклеюють до поверхні плати нітроклеєм або епоксидним клеєм. У деяких випадках допускається встановлення ІС упиртул на платі або з зазором не більшим ніж 0,7 мм (якщо в ТУ не передбачено інше).

При встановленні мікросхем із зазором корпус утримується на платі на припаяних виводах. У разі встановлення на прокладку використовують ізоляційні або металеві матеріали. За ізоляційну прокладку можна використовувати смужки тонкого (до 0,3 мм) склотекстоліту або перфоровану плівку з вікнами під виводи мікросхем. Прокладку приклеюють до поверхні друкованої плати, а на ній приклеюють корпуси мікросхем. Металева прокладка призначена для відводу тепла й виконує роль екрана. Щоб уникнути виникнення коротких замикань між друкованими провідниками на платі, металеву прокладку ізолюють від поверхні плати спеціальною плівкою.

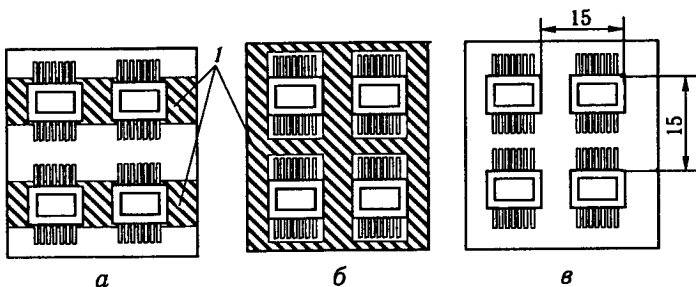


Рис. 12.13. Варіанти установа микросхем у корпусах із площинними выводами:

*a* — на полозкових прокладках; *b* — на прокладку з вікнами; *v* — без прокладки; 1 — прокладка

На рис. 12.13 наведено варіанти установа микросхем у корпусах із площинними выводами. Крок установа на вузькому боці корпусу становить 17,5 мм, на широкому — 15 мм.

Площинні виводи утримують корпус микросхеми тільки через адгезію металізованих контактних площадок з матеріалом плати. Оскільки ці сили порівняно невеликі, а маса корпусу може виявитися істотною за великих перевантажень, то для пристроїв, які зазнають підвищеного впливу ударів і вібрації, потрібно передбачати додаткові заходи кріплення корпусів із площинними выводами.

Слід урахувати також кращу орієнтацію ІС та інших великих компонентів. Так, на двобічних платах ІС необхідно розташовувати паралельно з'єднувачам (рис. 12.14, *a*), а у випадку багат шарових плат — паралельно більшій осі плати (рис. 12.14, *b*).

Установа та кріплення микросхем на друкованих платах мають забезпечувати їх нормальну роботу в умовах експлуатації апаратури. Микросхеми слід віддаляти від елементів, які під час роботи виділяють велику кількість теплоти. Їх неприпустимо розташовувати в магнітних полях постійних магнітів, трансформаторів і дроселів.

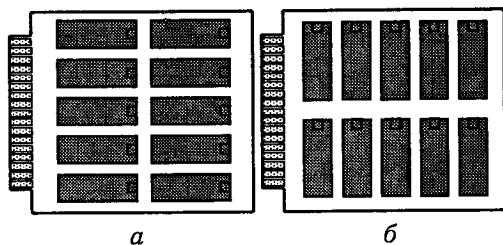


Рис. 12.14. Переважна орієнтація ІС на друкованих платах: *a* — двобічні друковані плати; *b* — те саме, багат шарові

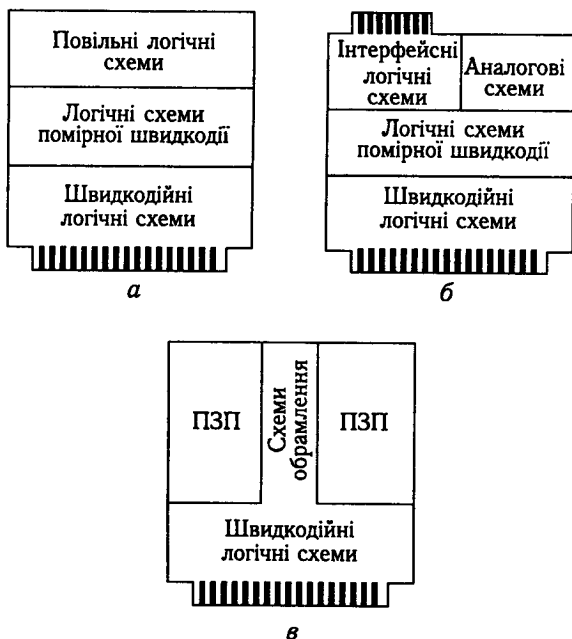


Рис. 12.15. Розміщення компонентів на друкованих платах:  
 а — процесорна плата; б — плата інтерфейсу; в — плата ПЗП

Зв'язані між собою схеми встановлюють поряд, однак при цьому потрібно чутливі схеми розташовувати якнайдалі від схем, в яких велика ймовірність виникнення завад. Швидкодійні логічні схеми (кола синхронізації, зовнішні логічні кола) примикають до основного з'єднувача, схеми інтерфейсу — до з'єднувача інтерфейсу, а аналогові схеми ізольовані від цифрових (рис. 12.15). Матриці запам'ятовувальних пристроїв потрібно поділити навпіл, а в проміжку між ними слід розмістити схеми об'ємлення.

Для правильної орієнтації ІС на друкованій платі мають бути передбачені перемикачі, що визначають положення першого виводу кожної мікросхеми (рис. 12.16). Мікросхеми з відстанню між выводами, кратною 2,5 мм, слід розташовувати на друкованій платі так, щоб їх выводы збігалися з вузлами координатної сітки; якщо відстань між выводами ІС не кратна 2,5 мм, їх треба розташовувати так, щоб один чи кілька выводів мікросхеми збігалися з вузлами координатної сітки.

На третьому етапі потрібно скласти схему живлення і кіл заземлення. Є такі варіанти: 1) використовувати площинні



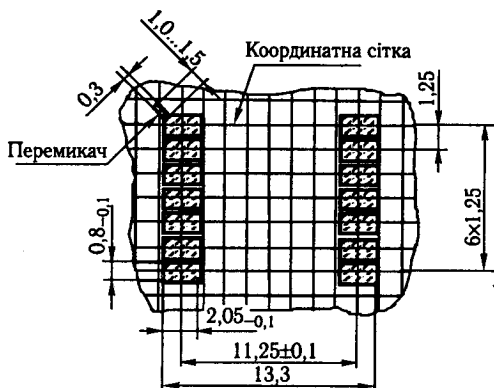


Рис. 12.16. Розмітка місць розміщення для ІС з площинними виводами

лінії передавання; 2) використовувати паралельні шини; 3) використовувати площини заземлення (рис. 12.17).

Копланарні лінії добре зарекомендували себе в платах з монтажем накручуванням та двобічних друкованих платах. Паралельні шини сприяють зменшенню завад, однак у них має бути спеціальна форма. Шини можна розташувати під ІС або паралельно ним. Вони здатні витримувати струм 2,5...15 А, мають розподілені ємність (0,001...2 мкФ/м) і індуктивність (14...35 нГ/м), а імпеданс джерело живлен-

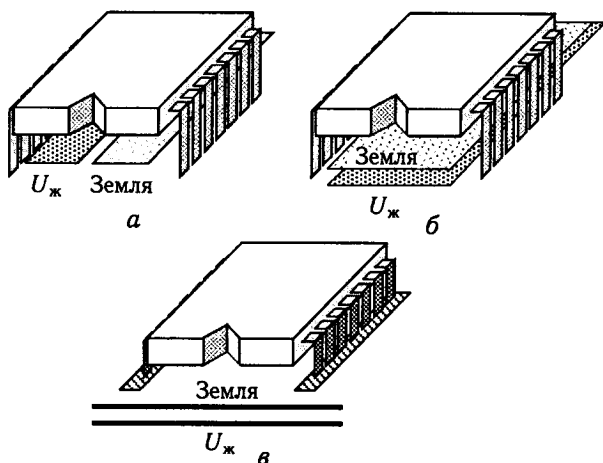


Рис. 12.17. Розміщення шин живлення та заземлення:  
*a* — копланарні лінії; *b* — паралельне розташування шин; *v* — площина заземлення

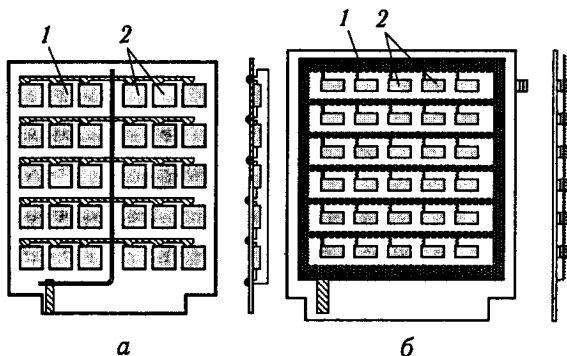


Рис. 12.18. Приклади схеми установаження шини живлення (заземлення):

*a* — перпендикулярно до площини плати; *б* — паралельно площині плати; 1 — навісна шина живлення; 2 — живлення до ІС

ня — земля становить  $0,15 \dots 5$  Ом. Для зменшення завад на шинах заземлення контактні площадки схем заземлення мають бути великими і розташовуватися перпендикулярно до шин.

У багатошарових друкованих платах можна використовувати суцільні шари заземлення і шари живлення; можна також розподілити шари живлення між кількома джерелами. Для надійнішого захисту від завад верхні і нижні шари плати мають бути шарами заземлення або живлення, а сигнальні шари слід поміщати в середині. Шар живлення над шаром заземлення має розподілену ємність  $0,1 \dots 10$  мкФ/м<sup>2</sup> і малу індуктивність. У платах типу Multiwire використовують тільки шари заземлення та живлення, а як сигнальні лінії застосовують тонкий провід в ізоляції.

З метою розвантаження друкованого монтажу і зменшення числа шарів плати живлення до мікросхем можна підводити за допомогою навісних шин. Число шин може дорівнювати числу номіналів джерел живлення. Застосовують два способи установаження таких шин — перпендикулярно до площини плати і паралельно їй.

На рис. 12.18, *a* схематично зображено приклад установаження навісної шини живлення 1, перпендикулярної до площини плати. Живлення 2 до ІС підводиться короткими друкованими провідниками, що відходять від відводів навісної шини, запаяних у металізовані отвори плати. Шина зв'язана відводом з контактом рознімашля, до якого підводиться живлення.

На рис. 12.18, *б* схематично зображено конструкцію, в якій навісна шина живлення 1 паралельна площині плати. Пода-

вання живлення 2 до ІС здійснюється індивідуальними відводами. Для кріплення шини необхідно передбачати спеціальні стояки.

Четвертий етап полягає в розміщенні компонентів у кожній схемі. Якщо компонент належить відразу до кількох схем, то його встановлюють поблизу спільної межі. Об'ємні конденсатори і феритові кільця слід помістити якнайближче до виводів живлення і заземлення з'єднувачів. Шунтувальні конденсатори, розв'язувальні кола, а також кола зменшення дугового розряду та викидів напруги мають розташовуватися на мінімальному віддаленні (не більше ніж 37 мм) від компонентів, що потребують відповідного захисту. Шунтувальні конденсатори монтують безпосередньо під ІС, що дає змогу не змінювати топологію плати.

У процесі виготовлення плати з монтажем накручуванням спочатку потрібно виконати весь силовий монтаж та монтаж заземлення і лише потім переходити до монтажу сигнальних провідників. Для зменшення завад у сигнальних колах спочатку необхідно навісним монтажем припаяти довгі провідники, а потім — короткі.

Плати Multiwire мають на одному боці мідний шар заземлення завтовшки 50 мкм, а на іншому — сітку мідних провідників з ізоляцією. Номінальний імпеданс цих провідників становить 55 Ом, ємність, зумовлена перетинанням, — 1 пФ і пробивна напруга — 2000 В.

П'ятий етап — вибір розташування контактів силових ліній та ліній заземлення. Треба звернути увагу на топологію плат, до недоліків якої належать протяжні контури проходження струму, висока паразитна індуктивність між силовими лініями та лініями заземлення. На цьому етапі дістав поширення метод зменшення спільних ділянок проходження струмів елементів по шинах живлення. Цей метод полягає в установленні додаткових перемичок у шинах живлення і заземлення, які зменшують довжину спільних ділянок проходження струмів елементів.

На рис. 12.19 наведено три варіанти з'єднання елементів шиною живлення і заземлення. У першому варіанті (рис. 12.19, а) перемикання елемента, наприклад Е12 (зміна струму споживання схеми), призводить до виникнення паразитного наведення в інших одинадцяти елементах по шині живлення і заземлення. У другому варіанті (рис. 12.19, б) ця завада в гіршому випадку впливає тільки на чотири елементи, а в третьому варіанті (рис. 12.19, в) завада ще більш зменшується за рахунок уведення додаткових перемичок. Рівень завад у платах з такою топологією ліній живлення і ліній

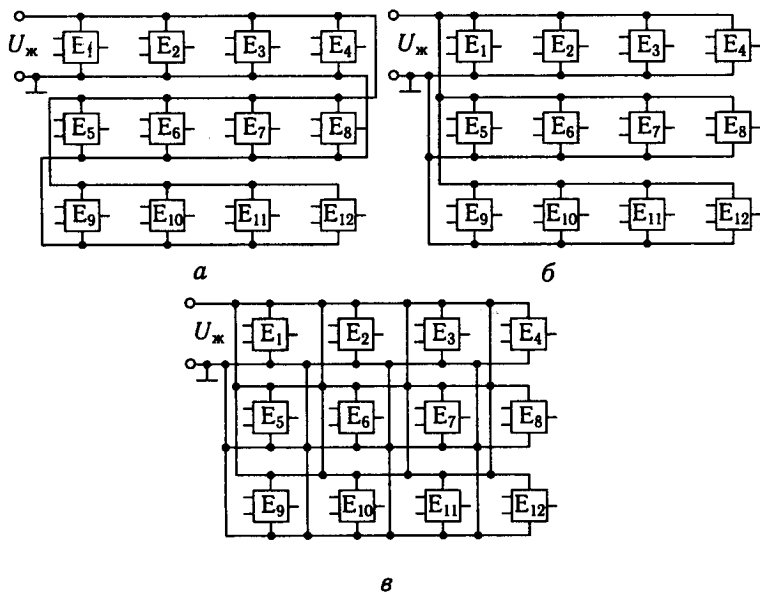


Рис. 12.19. Схеми (а–в) зменшення спільних ділянок проходження струмів елементів по шинах живлення

заземлення близький до того, що спостерігається в дорогих багатошарових платах.

Шостий етап — монтаж синхронізуючих кіл так, щоб вони розміщувалися поблизу цифрової землі та далі від чутливих схем. Добре зарекомендував себе метод, за якого формується пара кіл із прямого і зворотного проводів сигналу синхронізації. Зворотні проводи сигналів синхронізації потрібно з'єднати з цифровою землею поблизу кожної ІС, яка передає чи сприймає синхронізуючі імпульси. У випадку багатошарових плат розміщувати ці кола слід після розміщення шарів живлення і заземлення. Кола синхронізації мають бути дуже короткими, оскільки синхронізуючі імпульси та їх гармоніки створюють сильне випромінювання. Один контур площею більше ніж  $0,001 \text{ м}^2$  може створювати електромагнітне поле, що набагато перевищує допустимі межі.

Далі звичайно розташовують інші кола сигнальних ліній. Якщо є матриця кристалів ПЗП, адресну шину потрібно розташовувати в одному напрямку, а шини даних — в іншому. Коло до наймолодшого розряду адреси слід розміщувати безпосередньо після контакту заземлення. Необхідно прагнути до того, щоб ширина кіл була не більше ніж  $1/150$  їх довжини,

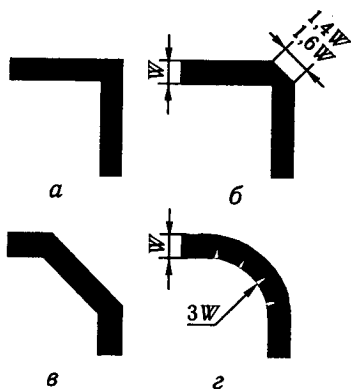


Рис. 12.20. Різновиди вигину контактних площадок на друкованих платах:

*a* – не прийнятний; *б–г* – прийнятний

і не допускати зигзагоподібних трактів (рис. 12.20, *a*). Якщо закруглити вершини кутів, обмежити вигини кутом у  $45^\circ$  чи використовувати плавні криві (рис. 12.20, *б–г*), то це дасть змогу підтримувати імпеданс постійним за частот від нуля до кількох гігагерц.

На останньому етапі потрібно вирішити: 1) наскільки можливо розширити кола ліній живлення та ліній заземлення; 2) якщо є вільне місце на платі, заповнити його та з'єднати між собою заземлення цифрових схем; 3) заповнити вільні ділянки поверхні мідною фольгою та заземлити їх за допомогою кіл або наскрізних отворів. При цьому утвориться протяжна сітка заземлення, що сприяє зменшенню струмових контурів, імпедансу кіл заземлення і завад, що утворюються за рахунок паразитного зв'язку між джерелом і землею та між провідниками заземлення.

За необхідності переналадження рекомендується критично проаналізувати наявний варіант пристрою для виявлення можливостей удосконалення. Слід вимірювати рівень завад земля–земля між ІС та завад живлення–земля поблизу кожної ІС. Далі потрібно перевірити за допомогою осцилографа, чи не виникають перехідні процеси у вигляді згасаючих коливань у схемах синхронізації та інших критичних схемах.

Занадто великі часи наростання фронтів, перевищення рівня завад живлення–земля та згасаючі коливання на передніх фронтах імпульсів свідчать про недопустимо малі ємності шунтувальних конденсаторів. Амплітуда завад земля–земля більше ніж 150...300 мВ свідчить про велику паразитну індуктивність схеми заземлення. Наявність паразитних згасаючих коливань на спадному фронті сигналів означає підвищену паразитну індуктивність живлення–земля.

Мікросхеми з'єднують з іншими елементами вузлів і блоків електронної апаратури зазвичай шляхом паяння виводів, тому особливу увагу слід звернути на якість монтажу. В серійному виробництві часто використовують групове паяння і паяння «хвилею». У лабораторних умовах і при заміні мікросхем в експлуатації здійснюють паяння одножилним паяльником.

При розпаюванні площинних виводів ІС одножильним паяльником потрібно дотримуватися таких вимог (якщо в ТУ не передбачено інше): температура жала паяльника має бути не більше ніж 265 °С, час дотику до кожного виводу – не більше ніж 3 с, інтервал між паянням сусідніх виводів 3...10 с (залежно від типу корпусу ІС), відстань від корпусу до місця паяння за довжиною виводу має бути не менше ніж 1 мм.

Для мікросхем зі штировими виводами температура жала паяльника не повинна бути більшою ніж 280 °С.

У випадку групового розпаювання ІС температура розплавленого припою має бути не більшою ніж 265 °С, час її впливу одночасно на усі виводи не повинний перевищувати 2 с для площинного і 3 с для штирових виводів. Інтервал між повторним паянням виводів однієї ІС має бути не менше ніж 5 хв.

Необхідно захищати корпус й ізолятори виводів ІС від потрапляння на них парів та бризок паяльного флюсу. Після монтажу місця паяння потрібно очищати від флюсу рідиною, яка рекомендована в ТУ на мікросхеми. Після монтажу й очищення від флюсу плати з мікросхемами покривають захисним лаком (марки лаків наведено в ТУ). Для усунення впливу електростатичних зарядів на мікросхеми потрібно:

- заземлювати жало паяльника;
- заземлювати вимірвальну й дослідну апаратуру;
- операції з підготовки, монтажу і контролю мікросхем робити із застосуванням браслетів з антиелектростатику або інших засобів зняття електричного заряду з оператора.

### **Контрольні запитання і завдання**

1. Поясніть причини виникнення завад у цифрових пристроях.
2. Яким чином можна підвищити завадостійкість цифрових пристроїв?
3. Які види шунтування використовують у цифрових схемах?
4. Наведіть схеми узгодження довгих ліній зв'язку для зменшення відбитків.
5. Назвіть етапи конструювання монтажних плат.
6. Наведіть рекомендації щодо монтажу ІС із штировими виводами.
7. Наведіть рекомендації щодо монтажу ІС із планарними виводами.
8. Перелічіть варіанти розташування шин живлення та заземлення.
9. Поясніть схеми зменшення спільних ділянок проходження струмів елементів по шинах живлення та порівняйте їх ефективність.

## СПИСОК РЕКОМЕНДОВАНОЇ ЛІТЕРАТУРИ

1. *Алексеев А. Г.* Основы микросхемотехники. — М.: Сов. радио, 1977.
2. *Андреев В. П.* РПЗУ на основе стеклообразных полупроводников. — М.: Радио и связь, 1985.
3. *Большие интегральные схемы запоминающих устройств: Справ. / А. Ю. Гордонов, Н. В. Бекин, В. В. Циркин и др.; Под ред. А. Ю. Гордонова.* — М.: Радио и связь, 1990.
4. *Брик Е. А.* Техника постоянных запоминающих устройств. — М.: Сов. радио, 1973.
5. *Блейкли Т. Р.* Проектирование цифровых устройств с малыми и большими интегральными схемами. — К.: Вища шк., 1981.
6. *Валиев К. А., Орликовский А. А.* Полупроводниковые интегральные схемы памяти на биполярных транзисторных структурах. — М.: Сов. радио, 1979.
7. *Вениаминов В. Н., Лебедев О. Н., Мирошниченко А. И.* Микросхемы и их применение. — 3-е изд., перераб. — М.: Радио и связь, 1989.
8. *Глушков В. М.* Синтез цифровых автоматов. — М.: Физматгиз, 1962.
9. *Калабеков Б. А., Мамзев И. А.* Основы автоматики и вычислительной техники. — М.: Связь, 1980.
10. *Караханян Э. Р., Шилин В. А.* Динамические интегральные схемы памяти с МДП структурой. — М.: Радио и связь, 1984.
11. *Колдуэл С.* Логический синтез релейных устройств. — М.: Изд-во иностр. лит., 1962.
12. *Корнийчук В. И., Тарасенко В. П.* Вычислительные устройства на микросхемах. — К.: Техніка, 1988.
13. *Косарев Ю. А., Виноградов С. И.* Электрически изменяемые ПЗУ. — Л.: Энергоатомиздат, 1985.
14. *Лазер И. М., Шубарев В. А.* Устойчивость цифровых микроэлектронных устройств. — М.: Радио и связь, 1983.
15. *Лачин В. И., Савелов Н. С.* Электроника. — Ростов н/Д: Феникс, 2000.
16. *Лебедев О. Н.* Микросхемы памяти и их применение. — М.: Радио и связь, 1990.
17. *Микропроцессоры: В 3 кн. / Под ред. Л. Н. Преснухина.* — М.: Высш. шк., 1986.
18. *Наумов Ю. Е., Аваев Н. А., Бедрековский М. А.* Помехоустойчивость устройств на интегральных логических схемах. — М.: Сов. радио, 1975.
19. *Огнев И. В., Шамаев Ю. М.* Проектирование запоминающих устройств. — М.: Высш. шк., 1979.
20. *Опадчий Ю. Ф., Глудкин О. П., Гуров А. И.* Аналоговая и цифровая электроника. — М.: Горячая линия-Телеком, 1999.

21. Папернов А. А. Логические основы цифровой вычислительной техники. — М.: Сов. радио, 1972.
22. Полупроводниковые запоминающие устройства и их применение / В. А. Андреев, В. В. Баранов, Н. В. Бекин и др.; Под ред. А. Ю. Гордова. — М.: Радио и связь, 1981.
23. Поспелов Д. А. Арифметические основы вычислительных машин дискретного действия. — М.: Высш. шк., 1970.
24. Потемкин И. С. Функциональные узлы цифровой автоматки. — М.: Энергоатомиздат, 1988.
25. Преснухин Л. Н., Воробьев Н. В., Шишкевич А. А. Расчет элементов цифровых устройств. — М.: Высш. шк., 1991.
26. Применение интегральных микросхем в электронной вычислительной технике: Справ. / Р. В. Данилов, С. А. Ельцова, Ю. П. Иванов и др.; Под ред. Б. Н. Файзулаева, Б. В. Тарабрина. — М.: Радио и связь, 1987.
27. Проектирование импульсных и цифровых устройств радиотехнических систем / Под ред. Ю. М. Казаринова. — М.: Высш. шк., 1985.
28. Прянишников В. Я. Электроника. — СПб.: Корона принт, 1998.
29. Пухальский Г. И. Логическое проектирование цифровых устройств радиотехнических систем. — Л.: Ленингр. ун-т, 1976.
30. Расчет элементов импульсных и цифровых схем радиотехнических устройств / В. П. Васильева, Ю. П. Гришин, В. П. Зюбенко и др.; Под ред. Ю. М. Казаринова. — М.: Высш. шк., 1976.
31. Руденко В. С., Ромашко В. Я., Трифонюк В. В. Промислова електроніка. — К.: Либідь, 1993.
32. Савельев А. Я. Арифметические и логические основы цифровых автоматов. — М.: Высш. шк., 1980.
33. Скарлет Дж. TTL-интегральные схемы и их применение: Пер. с англ. — М.: Мир, 1974.
34. Справочник по цифровой вычислительной технике / Под ред. Б. Н. Малиновского. — К.: Техника, 1974.
35. Справочник по интегральным микросхемам / Б. В. Тарабрин, С. В. Якубовский, Н. А. Барканов и др.; Под ред. Б. В. Тарабрина. — М.: Энергия, 1981.
36. Старос Ф. Г., Крайзмер Л. П. Полупроводниковые интегральные запоминающие устройства. — Л.: Энергия, 1973.
37. Степаненко И. П. Основы микроэлектроники. — М.: Сов. радио, 1980.
38. Схемотехника БИС постоянных запоминающих устройств / О. А. Петросян, И. Я. Козырь, Л. А. Коледов, Ю. И. Щетинин. — М.: Радио и связь, 1987.
39. Токхейм Р. Основы цифровой электроники: Пер. с англ. — М.: Мир, 1988.
40. Угрюмов Е. П. Проектирование элементов и узлов ЭВМ. — М.: Высш. шк., 1987.
41. Хоровиц П., Хилл У. Искусство схемотехники: В 3 т.: Пер. с англ. — М.: Мир, 1993.
42. Хвоц С. Т., Варлинский Н. Н., Попов Е. А. Микропроцессоры и микро-ЭВМ в схемах автоматического управления: Справ. / Под общ. ред. С. Т. Хвоца. — Л.: Машиностроение, 1987.
43. Фридман А., Менон П. Теория и проектирование переключательных схем: Пер. с англ. — М.: Мир, 1978.
44. Шило В. Л. Популярныe цифровые микросхемы. — М.: Радио и связь, 1987.
45. Щеголева Л. И., Давыдов А. Ф. Основы вычислительной техники и программирования. — Л.: Энергоиздат, 1981.
46. Фистер М. Логическое проектирование цифровых вычислительных машин. — К.: Техніка, 1964.
47. Якубовский С. В., Барканов Н. А., Кудряшов Б. П. Аналоговые и цифровые интегральные микросхемы. — М.: Радио и связь, 1985.



Навчальне видання

# СХЕМОТЕХНІКА ЕЛЕКТРОННИХ СИСТЕМ

У трьох книгах  
Книга 2

*Бойко Віталій Іванович*  
*Гуржій Андрій Миколайович*  
*Жуйков Валерій Якович*  
*Зорі Анатолій Анатолійович*  
*Співак Віктор Михайлович*  
*Терещенко Тетяна Олександрівна*  
*Багрій Віктор Васильович*

## ЦИФРОВА СХЕМОТЕХНІКА

Оправа і титул *В. С. Жиборовського*  
Художній редактор *Г. С. Муратова*  
Технічний редактор *А. І. Омоховська*  
Коректори: *Л. М. Байбородіна, Т. М. Глушко*  
Комп'ютерна верстка *А. А. Коркішко*

Підп. до друку 13.05.2004. Формат 84 × 108/<sub>32</sub>. Папір офс. № 1.  
Гарнітура Peterburg. Офс. друк. Ум. друк. арк. 22,26.  
Обл.-вид. арк. 24,20. Тираж 3000 пр. Вид. № 10535.  
Зам. № 4-162

Видавництво «Вища школа», 01054, Київ-54, вул. Гоголівська, 7г  
Свідоцтво про внесення до Держ. реєстру від 04.12.2000 р. ДК № 268

Надруковано з плівок, виготовлених у видавництві «Вища школа»,  
у ВАТ «Білоцерківська книжкова фабрика»,  
09117, Біла Церква, вул. Л. Курбаса, 4