

МІНІСТЕРСТВО ОСВІТИ І НАУКИ УКРАЇНИ
НАЦІОНАЛЬНИЙ ТЕХНІЧНИЙ УНІВЕРСИТЕТ УКРАЇНИ
«КИЇВСЬКИЙ ПОЛІТЕХНІЧНИЙ ІНСТИТУТ
імені ІГОРЯ СІКОРСЬКОГО»

К.К. Побєдаш, В.А.Святненко

**ЕЛЕКТРОНІКА І СИСТЕМОТЕХНІКА
КОМП'ЮТЕРНИЙ ПРАКТИКУМ**

*Рекомендовано Методичною радою КПІ ім. Ігоря Сікорського
як навчальний посібник для студентів,
які навчаються за спеціальностями 151 "Автоматизація та комп'ютерно-
інтегровані технології", 152 "Метрологія та інформаційно-вимірвальна
техніка"*

Київ
КПІ ім. Ігоря Сікорського
2018

Рецензенти: *Юрченко О.М.*, д.т.н., завідувач відділу транзисторних перетворювачів ІЕД НАН України, д.т.н.
Гуцалюк В.Я., с.н.с. ІЕД НАН України, к.т.н.

Відповідальний редактор *Побєдаш К.К.*, к.т.н., доцент

Гриф надано Методичною радою КПІ ім.Ігоря Сікорського(Протокол №9 від 24.05.2018 р.) за поданням Вченої ради факультету електроенерготехніки та автоматики (протокол №9 від 23.04.2018 р.)

Електронне мережне навчальне видання

Побєдаш Костянтин Каленикович, доцент, к.т.н.,
Святненко Вадим Анатолієвич, ст. викладач

Електроніка і системотехніка: Комп'ютерний практикум [Електронний ресурс]; навч. посіб. для студ. спеціальностей 151 "Автоматизація та комп'ютерно-інтегровані технології", 152 "Метрологія та інформаційно-вимірювальна техніка" / К.К. Побєдаш, В.А. Святненко; КПІ ім. Ігоря Сікорського, - Електронні текстові дані (1 файл; 8,53 Мбайт), - Київ: КПІ ім. Ігоря Сікорського, 2018, 179 с.

Видання містить знайомство з ком'ютерною програмою "Elektronics Workbench" та її використання для дослідження схем цифрових пристроїв.

Викладені основні теоретичні відомості про логічні елементи, комбінаційні і послідовні цифрові пристрої та методика їх дослідження за допомогою програми Elektronics Workbench. Розраховано на студентів, що навчаються за спеціальностями 151 – «Автоматизація та компютерно-інтегровані технології» та 152 - "Метрологія та інформаційно-вимірювальна техніка" і може використовуватись також студентами, які навчаються за заочною і дистанційною формами навчання.

© К.К. Побєдаш, В.А.Святненко, 2018
© КПІ ім. Ігоря Сікорського, 2018

Зміст

Вступ.....	6
Практикум №1. Опанування навичками роботи з програмою Electronics Workbench (EWB). Дослідження роботи логічних елементів.....	12
1. Характеристика програмного комплексу EWB.....	12
1.1. Структура вікна і система меню.....	13
1.1.1. Меню <i>File</i>	14
1.1.2. Меню <i>Edit</i>	14
1.1.3. Меню <i>Circuit</i>	15
1.1.4. Меню <i>Analysis</i>	20
1.1.5. Меню <i>Window</i>	26
1.1.6. Меню <i>Help</i>	27
1.2. Лінійка інструментів.....	27
1.3. Лінійка бібліотек компонентів програми EWB	28
1.4. Бібліотека індикаторних приладів	33
1.5. <i>Controls</i> – Аналогові обчислювальні прилади	35
1.6. <i>Miscellaneous</i> – Компоненти змішаного типу	36
1.7. <i>Instruments</i> – Контрольно-вимірювальні прилади	37
2. Технологія створення електронних схем	54
2.1. Переміщення компонентів, генераторів і контролюючих приладів на робоче поле програми	58
2.2. Впорядкування розташування компонентів і приладів на робочому полі	60
2.3. З'єднання компонентів провідниками	61
2.4. Встановлення параметрів і вибір типів елементів	67
2.5. Перевірка працездатності схеми	69
2.6. Аналіз (дослідження) схеми	70
2.7. Створення субблоків	72
2.8. Перелік бібліотечних компонентів програми EWB потрібних для дослідження цифрових пристроїв	74
3. Дослідження роботи логічних елементів	79

4.	Зміст звіту з лабораторної роботи	81
5.	Контрольні запитання	82
6.	Рекомендована література	82
Практикум №2. Синтез логічних схем комбінаційного типу		83
2.1.	Короткі теоретичні відомості	83
2.2.	Елементи алгебри логіки	84
2.3.	Технічні аналоги булевих функцій	87
2.4.	Синтез комбінаційних схем.....	88
2.5.	Мінімізація логічних функцій	91
2.6.	Мінімізація ЛФ методом карт Карно	93
2.7.	Порядок виконання комп'ютерного практикуму	97
2.8.	Завдання до практикуму за допомогою програми EWB.....	102
2.9.	Зміст звіту з практикуму	102
2.10.	Контрольні запитання	102
2.11.	Рекомендована література	103
Практикум №3. Дослідження шифраторів, дешифраторів, мультиплексорів, демультимплексорів		104
3.1.	Короткі теоретичні відомості	104
3.1.1.	Дешифратори	104
3.1.2.	Шифратори	107
3.1.3.	Мультиплексори	109
3.1.4.	Демультимплексори	112
3.2.	Елементи програми EWB для виконання практикуму	113
3.3.	Завдання і порядок виконання практикуму	113
3.3.1	Дослідження роботи дешифраторів	113
3.3.2.	Дослідження роботи шифраторів	114
3.3.3.	Дослідження роботи мультиплексорів	114
3.3.4.	Дослідження роботи демультимплексорів	114
3.4.	Зміст звіту з практикуму	114
3.5.	Контрольні запитання	114

3.6. Рекомендована література	115
Практикум № 4. Дослідження тригерів	116
4.1. Короткі теоретичні відомості.....	116
4.2. Закони функціонування тригерів.....	118
4.3. Класифікація тригерів	118
4.4. Тригери <i>RS</i> – типу	119
4.5. Синхронний <i>RS</i> - тригер	121
4.6. <i>D</i> - тригери	124
4.7. <i>T</i> - тригери	125
4.8. <i>JK</i> - тригери	126
4.9. Тригери з динамічним керуванням	128
4.10. Дослідження тригерів за допомогою програми Electronics Workbench	132
4.11. Завдання до виконання практикуму	133
4.11.1. Дослідження асинхронних і синхронних <i>R-S</i> тригерів ...	133
4.11.2. Дослідження роботи <i>D</i> - тригера	134
4.11.3. Дослідження роботи універсального <i>JK</i> – тригера	135
4.12. Зміст звіту з практикуму	135
4.13. Контрольні запитання	135
4.14. Перелік літератури	136
Практикум № 5. Дослідження регістрів	138
5.1. Короткі теоретичні відомості	138
5.2. Паралельні регістри (регістри пам'яті)	138
5.3. Зсувні (послідовні) регістри	140
5.4. Виконання комп'ютерного практикуму за допомогою програми Electronic Workbench	146
5.5. Завдання до виконання практикуму	146
5.5.1. Порядок побудови схеми регістра	147
5.5.2. Порядок проведення дослідження паралельного регістра	148
5.5.3. Скласти схему і дослідити роботу зсувного регістра	

на 4 розряди	149
5.5.4. Зібрати схему і дослідити роботу лічильника Джонсона ..	149
5.5.5. Зібрати схему і дослідити роботу реверсивного зсувного регістра	150
5.6. Зміст звіту	150
5.7. Контрольні запитання	151
5.8. Перелік літератури	151
Практикум № 6. Дослідження лічильників	153
6.1. Теоретичні відомості	153
6.1.1. Класифікація лічильників	153
6.1.2. Підсумовуючі (додавальні) лічильники	154
6.1.3. Віднімальні лічильники	156
6.1.4. Реверсивні лічильники	156
6.1.5. Синтез синхронних лічильників на основі JK –тригерів ..	163
6.2. Завдання до виконання практикуму	164
6.2.1. Дослідження схем асинхронного додавального і віднімального лічильників на D-тригерах	164
6.2.2. Дослідження асинхронних додавальних, віднімальних і реверсивних лічильників на JK- тригерах.....	165
6.3. Зміст звіту з практикуму	167
6.4. Контрольні запитання	168
6.5. Перелік літератури	168
Практикум № 7. Дослідження суматорів	170
7.1. Теоретичні відомості	167
7.2. Інструменти і елементи програми Electronics Workbench для дослідження суматорів	171
7.3. Завдання до виконання практикуму	172
7.4. Зміст звіту з практикуму	173
7.5. Контрольні запитання	174
7.6. Рекомендована література.....	174

Вступ

Кредитний модуль "Цифрова електроніка" курсу "Електроніка" призначений для вивчення студентами спеціальностей 151 – «Автоматизація та комп'ютерно-інтегровані технології» та 152 - "Метрологія та інформаційно-вимірювальна техніка" основ логічної і схемотехнічної побудови типових цифрових вузлів і пристроїв, які використовуються в системах цифрової автоматики, телекомунікацій, системах вимірювань і т.п.

Практичні і лабораторні практикуми сприяють закріпленню теоретичного матеріалу, викладеного на лекціях, шляхом проведення моделювання поведінки конкретних функціональних вузлів цифрових пристроїв, практичному освоєнню методик проектування цифрових схем, виробляють стійкі навички вирішення практичних задач. Комп'ютерна програма Electronics Workbench (EWB) дозволяє в реальному масштабі часу здійснювати аналіз і синтез електронних схем, що допомагає глибше засвоювати теоретичний матеріал.

У даному посібнику при описанні кожного комп'ютерного практикума сформульована його мета, задані індивідуальні завдання на моделювання функціональних схем цифрових пристроїв, дані методичні рекомендації для оформлення звіту. Опис робіт і методичні рекомендації до їх виконання продубльовані теоретичним матеріалом в об'ємі достатньому для проведення досліджень без звернення до інших джерел інформації.

Перш ніж приступити до моделювання схеми цифрового пристрою в середі EWB, студент повинен опрацювати лекційний матеріал по темі практичного чи лабораторного заняття, вивчити основні теоретичні положення і розрахункові співвідношення, приведені в описанні роботи, виконати розрахункові установки для моделювання функціональних схем пристроїв, освоїти інструкції роботи в середовищі EWB.

1. Комп'ютерний практикум може проводитись в лабораторії або дома на персональному комп'ютері з використанням програмного комплексу EWB. Основні положення роботи з програмою EWB дані в першому практикумі.

2. Кожна практична робота складається з двох частин: розрахункової і експериментальної, яка виконується у середовищі EWB.

3. Перед тим, як приступити до моделюванні схем пристроїв, потрібно вивчити теоретичні положення по темі практикума, учбові завдання для проведення експериментів.

4. Схеми і результати їх експериментальних досліджень занести до звіту.

5. Одержані експериментальні данні, побудовані діаграми і графіки пояснюються у відповідності з теоретичними положеннями.

6. Оформлений звіт з комп'ютерного практикума закінчується висновками за результатами роботи і представляється на бумажному носії.

7. Виконана в повному об'ємі лабораторна робота захищається. Перед захистом роботи бажано відповісти на запитання, які приведені в кінці кожного завдання з лабораторної роботи.

У результаті виконання комп'ютерного практикуму з кредитного модуля "Цифрова електроніка" студенти поглиблюють наступні знання, вміння і навички:

Знання:

- Призначення і принцип функціонування основних типів базових логічних елементів, комбінаційних і послідовних цифрових пристроїв;
- Основи дискретної математики для аналізу цифрових пристроїв.

Вміння:

- Пояснити призначення окремого базового елемента в типовій архітектурі цифрових пристроїв;
- Проводити синтез топології схем з використанням програмних комплексів моделювання;
- Досліджувати цифрові схеми за допомогою комп'ютерних технологій.

Навички:

- побудови цифрових вузлів за заданими функціями ;
- моделювання і аналізу елементів і вузлів цифрових пристроїв.

До складу циклу входять наступні практикуми:

Практикум №1. Опанування навичками роботи з програмою схемотехнічного моделювання Electronics Workbench (EWB). Дослідження роботи логічних елементів

При виконанні цього практику студенти освоюють структуру вікна і систему меню програми Electronics Workbench. Під керівництвом викладача виконують побудову тестових електронних схем, на яких опановують навички з'єднання елементів і створення субблоків, освоюють індикаторні і вимірювальні прилади для аналізу аналогових і цифрових сигналів. На базі логічних елементів, що є в бібліотеці програми Electronics Workbench, студенти освоюють їх дослідження.

Для дослідження логічних елементів підключаються прилади індикації та пристрої для подачі вхідних сигналів. За результатами досліджень студенти формують таблиці переходів та часові діаграми для кожного логічного елемента і заносять їх до звіту.

Практикум №2. Синтез логічних схем на комбінаційних елементах

Метою практикума є опанування навичками синтезування заданих табличним способом комбінаційних схем, способами їх мінімізації і запису логічних функцій в базисах I, АБО, НЕ та I-НЕ, АБО-НЕ. Моделювання комбінаційних схем за допомогою програми EWB і дослідження їх роботи при всіх можливих комбінаціях вхідних змінних (аргументів).

Студенти одержують у викладача варіант таблиці істинності (переходів) для синтезу комбінаційного пристрою. Виконують дослідження заданого пристрою з використанням програми Electronics Workbench. Засвоюють методику одержання логічного рівняння логічної функції заданої таблицею істинності в досконалій диз'юнктивній нормальній формі (ДДНФ) і технологію побудови за цим рівнянням схеми комбінаційного пристрою на логічних елементах. Проводять дослідження правильності функціонування пристрою у відповідності з заданою таблицею істинності.

Проводять мінімізацію отриманої функції і записують її у двох базисах: І, АБО, НЕ і І-НЕ. За отриманими рівняннями будують дві схеми комбінаційного пристрою і проводять аналіз їх роботи. За двома дослідженими схемами комбінаційного пристрою робиться висновок про їх ідентичність.

Готують графічний матеріал для складання звіту.

Практикум №3. Дослідження шифраторів, дешифраторів, мультиплексорів і демультиплексорів

1. За допомогою програми EWB збирається схема повного лінійного дешифратора на логічних елементах І, який має 3 входи і 8 виходів. Перевіряється його робота при всіх можливих комбінаціях вхідних сигналів. Збирається аналогічна схема дешифратора на елементах І-НЕ з додатковим дозвільним входом. Перевіряється її робота при всіх комбінаціях вхідних сигналів.

2. Синтезується схема неповного шифратора на 10 входів і 4 виходи. Записується логічне рівняння його функції на логічних елементах І, АБО і на елементах І-НЕ. Перевіряється робота двох схем шифраторів.

3. Збирається схему мультиплексора на елементах І і АБО з двома адресними входами і чотирма інформаційними входами. Перевіряється його працездатність.

Збирається схема мультиплексора з 8-ма інформаційними входами. Перевіряється її працездатність.

4. Збирається схема демультиплексора з 8-ма інформаційними виходами і 3-ма адресними входами. Перевіряється її працездатність.

Готується графічний матеріал для оформлення звіту з практикуму.

Практикум 4. Дослідження тригерів

У цьому практикуму досліджуються схеми асинхронних тригерів на елементах І-НЕ і АБО-НЕ. Опановується підключення і налаштування логічного аналізатора програми EWB для одержання часових діаграм.

Будуються схеми асинхронного і синхронного RS-тригерів.

Отримуються часові діаграми їх роботи за допомогою логічного аналізатора.

Досліджується лічильний тригер на основі динамічного D- тригера програми EWB з підключенням логічного аналізатора для отримання часових діаграм його роботи.

Досліджується JK- тригер програми EWB в режимах, указаних в методичних вказівках. Провіряються впливи установчих сигналів (R, S), які подаються до асинхронних входів JK - тригера.

Готується графічний матеріал для складання звіту.

Практикум 5. Дослідження регістрів

Досліджується схема реверсивного чотирирозрядного регістра зсуву з можливістю скиду і занесення послідовного коду. Дослідження проводиться з використанням генератора синхроімпульсів і логічного аналізатора для зняття часових діаграм.

Одержується у викладача код для занесення в регістр і знімаються часові діаграми пояснюючі його роботу.

Складається схема універсального трирозрядного регістра з організацією комбінаційних схем перемикання режимів роботи регістра. Налаштується її робота при занесенні даних паралельним кодом і послідовним кодом, при здвигах праворуч і ліворуч.

Готується графічний матеріал для складання звіту.

Практикум 6. Дослідження лічильників

Для дослідження лічильників за допомогою програми EWB потрібно підготувати генератор синхроімпульсів і налаштувати його роботу за методичними вказівками до лабораторної роботи.

Скласти схему реверсивного 4-х розрядного лічильника на лічильних тригерах. Підключити до схеми лічильника логічний аналізатор і отримати часові діаграми його роботи.

Скласти схему реверсивного 4-х розрядного лічильника на тригерах JK- типу. Підключити до схеми лічильника логічний аналізатор і одержати часові діаграми

його роботи. Провірити керування станом лічильника його асинхронними R і S входами.

Побудувати схему асинхронного лічильника з коефіцієнтом лічби $K_{ліч} < 2^n$. (Значення $K_{ліч}$ задається викладачем). Підключити до схеми лічильника логічний аналізатор і одержати часові діаграми його роботи.

Підготувати графічний матеріал для звіту з практикуму.

Практикум 7. Дослідження суматорів

Скласти за допомогою програми EWB комбінаційну схему однорозрядного повного суматора на основі логічних елементів програми EWB. Підключити схеми подачі аргументів і контролю результатів. Провірити роботу схеми.

Скласти схему 4-х розрядного комбінаційного суматора паралельного типу з послідовним перенесенням на однорозрядних повних суматорах програми EWB.

Підключити схеми подачі аргументів і контролю результатів. Провірити роботу схеми.

Скласти схему 4-х розрядного віднімача на основі однорозрядних повних суматорів програми EWB.

Підключити схеми подачі аргументів і контролю результатів. Провірити роботу схеми.

Скласти схему 4-х розрядного універсального суматора-віднімача на основі однорозрядних повних суматорів програми EWB.

Підключити схеми подачі аргументів і контролю результатів. Провірити роботу схеми в режимах додавання і віднімання чисел.

Підготувати графічний матеріал до звіту з практикуму.

Для підготовки до захисту практикуму по кожній темі приводиться перелік типових контрольних запитань.

Захист практикуму відбувається кожним студентом персонально.

Практикум №1

Опанування навичками роботи з програмою схемотехнічного моделювання Electronics Workbench (EWB). Дослідження роботи логічних елементів

Мета практикуму - Опанування навичками роботи з програмою Electronics Workbench (EWB). Ознайомлення з панеллю інструментів, бібліотекою електронних, логічних і додаткових компонентів програми EWB, потрібних для дослідження схем широкого призначення.

В результаті проведення практичної побудови схем студент повинен провести аналіз отриманих результатів і виконати завдання з пошуку аналогії поведінки електричної перемикальної схеми і булевої функції, відтвореної відповідним логічним елементом. Скласти таблиці істинності досліджуваних логічних елементів при всіх комбінаціях вхідних сигналів.

Протяжність практикуму - 4 години.

1. Характеристика програмного комплексу EWB

Програмний комплекс EWB розроблений канадською фірмою Interactive Image Technologies імітує реальне робоче місце дослідника – радіоелектронну лабораторію, обладнану вимірювальними приладами, працюючими в реальному масштабі часу. За допомогою програми можна створювати, моделювати і досліджувати як прості, так і складні аналогові і цифрові електронні схеми.

Попереднє дослідження електронної схеми з використанням комп'ютерного моделювання дозволяє визначити оптимальні параметри роботи досліджуваної схеми без її фізичної реалізації. Дослідження на програмній моделі дозволяє ознайомитися з можливостями перевірки правильності побудови і функціонування схем. При розробці складних схем фізичне моделювання практично неможливе через надзвичайну складність пристрою.

Особливість програми EWB полягає у наявності в ній великої кількості схемотехнічних компонентів та контрольно-вимірювальних приладів, за зовнішнім виглядом, органами керування і характеристиками максимально наближеними до їх промислових аналогів. Це дозволяє студентам набути

практичних навичок роботи з реальними приладами: мультиметрами, осцилографами, генераторами, логічними аналізаторами та ін.

Програма EWB сприяє розвитку творчого потенціалу студентів: вони можуть виконувати як завдання викладача, так і пропонувати та перевіряти свої технічні рішення, що є уже творчістю, а учбовий процес перетворюється в захоплююче заняття. Крім того, студенти можуть виконувати роботи в домашніх умовах, що важливо для заочної і дистанційної форм навчання.

У даному посібнику використовується версія програми EWB 5.12, яка розрахована для роботи в середовищі Windows і потребує біля 16 Мбайт дискової пам'яті і додатково 10 ÷ 20 Мбайт вільного простору для розміщення тимчасових файлів.

1.1. Структура вікна і система меню

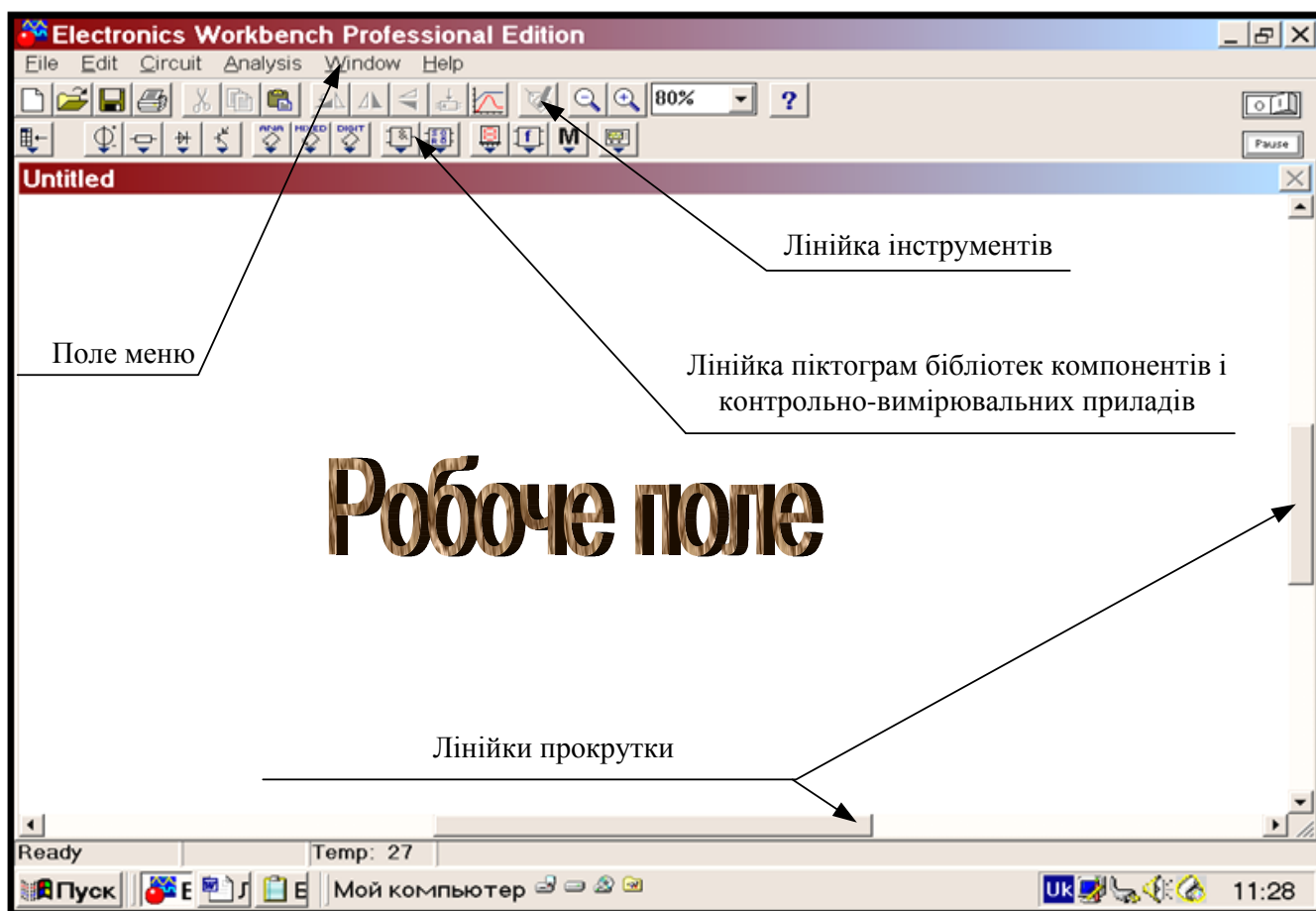


Рис. 1.1. Вікно програми EWB 5.12

Вікно програми *EWB* (версії 5.12) містить поле меню, лінійку інструментів та лінійку піктограм бібліотек компонентів і контрольно-вимірювальних приладів, робоче поле, лінійки горизонтальної і вертикальної прокруток.

На робочому полі вікна програми розміщується модельована схема з підключеними до неї іконками контрольно-вимірювальних приладів і короткий опис на англійській мові схеми (*Description*).

Розглянемо команди меню програми.

1.1.1. Меню *File*

Меню *File* призначено для завантаження і запису файлів, отримання копій вибраних для друку складових частин схеми, а також для імпорту і експорту файлів у форматах інших систем моделювання. Воно має такі команди:

- ❖ *New (Ctrl+N)* – створити новий документ;
- ❖ *Open... (Ctrl+O)* – відкрити раніше створений документ;
- ❖ *Save (Ctrl+S)* – зберегти поточну версію документу;
- ❖ *Save As...* – зберегти поточну схему з новим ім'ям файлу;
- ❖ *Revert to Saved...* – стерти усі зміни, які були внесені в поточному сеансі редагування і відновити схему у вигляді, який вона мала в момент останнього збереження;
- ❖ *Import* – імпортувати текстовий файл опису схеми і задати на моделювання у форматі SPICE (з розширенням *.cir*) і автоматично побудувати схему за її текстовим описом;
- ❖ *Export* - зберегти файл схеми з одним із наступних розширенням: *net, scr, cmp, cir, plc*;
- ❖ *Print... (Ctrl+P)* – роздрукувати схему;
- ❖ *Print Setup...* налаштувати принтер;
- ❖ *Exit (Alt+F4)* – вийти з програми;
- ❖ *Install...* – встановити додаткові компоненти з гнучких дисків.

1.1.2. Меню *Edit*

Меню *Edit* (правка) дозволяє виконувати команди редагування схем і копіювання екрану.

❖ *Cut (Ctrl+X)* – вилучити виділену частину схеми або тексту до буферу обміну. Виділення одного компонента відбувається клацанням лівою кнопкою миші (ЛКМ) на його умовному зображенні. Для виділення частини схеми або декількох компонентів необхідно помістити курсор миші в лівий кут уявного прямокутника, натиснути ЛКМ і, не відпускаючи її, протягнути курсор по діагоналі цього прямокутника, щоб виділені компоненти помістились в його межах, а потім відпустити кнопку. Виділені компоненти забарвлюються в червоний колір.

❖ *Copy (Ctrl+C)* – копіювати виділену частину схеми чи тексту до буферу обміну;

❖ *Paste (Ctrl+V)* – вставити вміст буферу обміну на робоче поле програми;

❖ *Delete (Del)* – вилучити виділену частину схеми або тексту;

❖ *Select All (Ctrl+A)* – виділити всю схему;

❖ *Copy as Bitmap* - команда перетворює курсор миші на хрестик, яким за правилом прямокутника можна виділити необхідну частину екрану, яка після відпускання ЛКМ буде скопійована до буферу обміну, вміст якого може бути імпортовано до будь-якого додатку Windows. Копіювання всього екрану відбувається натисканням на клавішу *Print Screen*, а копіювання активної у цей час частини екрану, наприклад, діалогового вікна – натисканням комбінації клавіш *Alt+Print Screen*;

❖ *Show Clipboard* – показати вміст буферу обміну.

1.1.3. Меню *Circuit*


Меню використовується для підготовки схеми до моделювання і має такі команди:

❖ *Rotate (Ctrl+R)* – повернути виділений компонент на 90° проти годинникової стрілки;

❖ *Flip Horizontal* – дзеркально відобразити виділений компонент по горизонталі;

❖ *Flip Vertical* – дзеркально відобразити виділений компонент по вертикалі;

❖ *Component Properties* – змінити властивості виділеного компонента.

Команда виконується також після подвійного клацання ЛКМ по компоненту або натискання на кнопку  лінійки інструментів. Відкривається діалогове вікно, закладки якого залежать від типу вибраного компонента. Найчастіше використовуються такі закладки:

- *Label (Ctrl+L)* – ввести позиційне позначення виділеного компонента (наприклад, *R1* – для резистора, *C2* – для конденсатора і т.п.). При необхідності зсуву позначення праворуч можна ліворуч ввести необхідну кількість пробілів (не більше 14);

- *Value* – змінити номінальне значення параметра компонента. Після вибору цієї команди відкривається діалогове вікно, в якому номінальне значення параметра вводиться з клавіатури, натисканням курсором миші на кнопки вгору-вниз вибирається множник кратний 1000.

- *Model* – вибрати модель компонента;

- *Wire Color* – змінити колір виділеного провідника;

- *Fault* – імітувати несправність виділеного компонента схеми шляхом

введення:

- *Leakage* – включення заданої величини опору паралельно з обраними компонентом;
- *Short* – коротке замикання компоненту;
- *Open* – обрив;
- *None* – несправність відсутня (включена за замовченням).

У діалоговому вікні команди в разі вибору закладки *Fault* наводяться умови моделювання і набір виводів компонента з опцією на кожний вивід, що дозволяє вибірково імітувати ту чи іншу несправність. Наприклад, якщо потрібно імітувати відсутність контакту виводу **1** резистора, то необхідно включити опції **1** і *Open* (обрив). Введення таких дефектів у схему дозволяє виробляти навичок пошуку несправностей.

- *Display* – показувати на дисплеї:

- *Use Schematic Options global setting* - використати параметри схеми встановлені за замовчуванням;

- *Show labels* - показати позиційне позначення компонента, наприклад, R1 для резистора;

- *Show values* - показати значення параметра компонента, наприклад, величину опору резистора;

- *Show reference ID* - показати програмні позначення.

❖ *Great Subcircuit (Ctrl+B)* - об'єднати вибрані елементи схеми у підсхему (субблок).

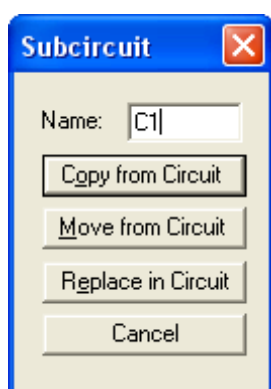


Рис. 1.2

- Після виділення частини схеми і активації даної команди відкривається діалогове вікно (рис. 1.2), в стрічці *Name* якого вводиться назва підсхеми. Після цього можливі такі варіанти:

- *Copy from Circuit* – підсхема копіюється з указаною назвою до бібліотеки Custom без внесення змін у початкову схему;

- *Move from Circuit* – виділена частина схеми вилучається із загальної схеми і у вигляді підсхеми з присвоєною їй назвою копіюється до бібліотеки Custom;

- *Replace in Circuit* – виділена частина схеми замінюється у початковій схемі підсхемою з присвоєною їй назвою з одночасним копіюванням до бібліотеки Custom.

Необхідно слідкувати, щоб у виділеній частині схеми були відсутні провідники і компоненти, які не мають відношення до виділеної частини.

Для перегляду або редагування підсхеми потрібно навести на неї курсор і два рази натиснути ЛКМ.

Для утворення додаткового виводу необхідно з відповідної точки підсхеми курсором миші протягнути провідник до краю її вікна до появи незабарвленої прямокутної контактної площадки, після чого відпустити ЛКМ. Для видалення



Рис. 1.3

виводу необхідно навести курсор на прямокутну площадку біля краю вікна підсхеми і при нажатій ЛКМ відвести її за межі вікна, де відпустити ЛКМ.

❖ *Zoom In* - збільшити розмір зображення;

❖ *Zoom Out* - зменшити розмір зображення;

❖ *Schematic Options* - команда

призначена для вибору елементів оформлення схеми. Вона має такі закладки:

➤ **Grid** (сітка) (рис. 1.3) - дозволяє відобразити на екрані сітку, що зручно при розташуванні елементів схеми. Для цього після активації закладки

Grid (натиснути по ній ЛКМ) включити опцію *Show grid* (показати сітку), залишивши включеною опцію *Use grid* (використати сітку). Після цього натиснути на кнопку ОК.

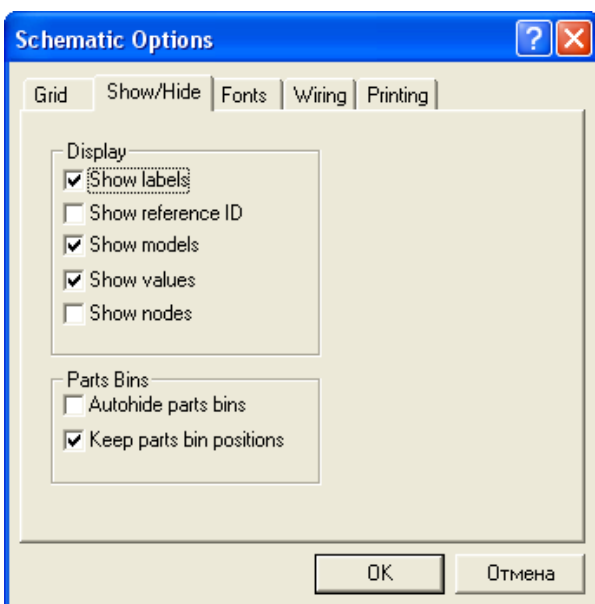


Рис. 1.4

➤ **Show/Hide** (рис. 1.4). При активації цієї закладки відкриваються опції:

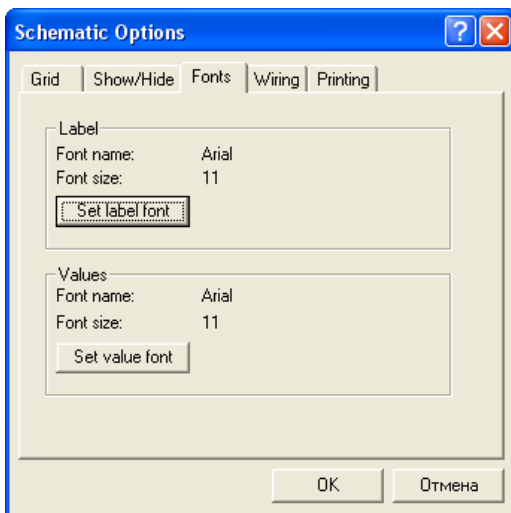
- *Show labels* – показувати на схемі позиційні позначення компонентів (наприклад, $R1, R2, \dots, C1, C2, \dots$);

- *Show reference ID* – показувати

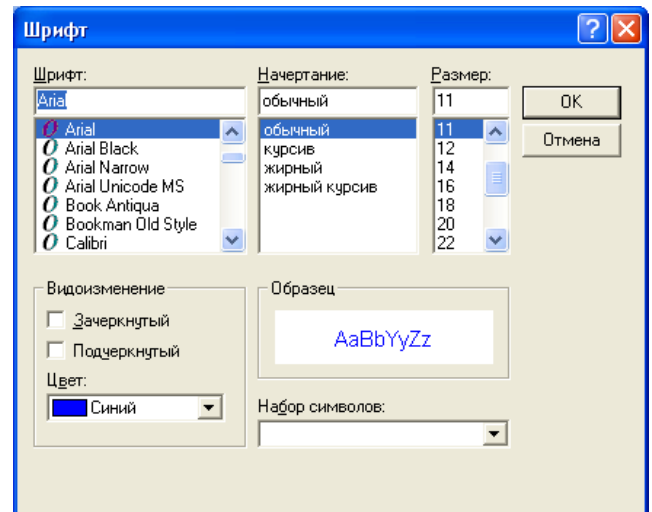
позиційне позначення компонента, яке подальше використовується при виконанні команд меню *Analysis*;

- *Show models* – показувати назву моделей компонентів, наприклад, типів транзисторів;

- *Show values* – показувати номінали компонентів, наприклад, опору резисторів;
- *Show nodes* – показувати нумерацію усіх нод (вузлів) з'єднання компонентів;
- *Autohide parts bins* – (за замовченням) не показувати складу бібліотеки компонентів, які використовуються в цій схемі;



a)



б)

Рис. 1.5

➤ *Keep parts bin positions* - зберігати на екрані положення бібліотеки компонентів, які використовуються при оформленні схеми. Зазвичай вибір нової бібліотеки компонентів приводить до виключення попередньої. Для збереження на робочому полі одночасно декількох бібліотек, їх потрібно рознести на полі. При цьому їх положення при виборі нової бібліотеки залишаться незмінним.

➤ **Закладка *Fonts*** (рис. 1.5, a) дозволяє встановити тип шрифту (наприклад, *Arial*), стиль (наприклад, *звичайний*), розмір і колір шрифту окремо для позначення компонентів схеми (кнопка *Set label font*) і значення їх параметрів (кнопка *Set value font*). Для цього треба натиснути ЛКМ по закладці *Fonts*, відкриється діалогове вікно (рис. 1.5, a) з указаними кнопками. Натискання по них ЛКМ викличе підменю (рис. 1.5, б), в якому вибираються необхідний тип, стиль, розмір і колір шрифту.

➤ **Закладка *Wiring*** (рис. 1.6) – прокладка провідників. Закладка має такі опції:

- *Routing options* – прокладання провідників на схемі і організація їх взаємних з'єднань:

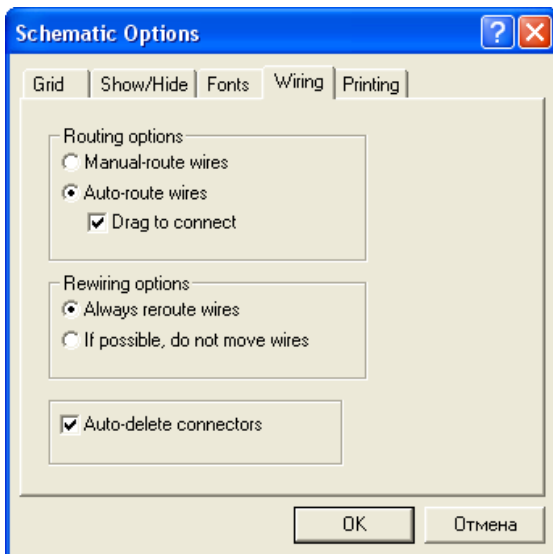


Рис. 1.6

1. *Manual-route wires* - керування прокладанням провідників;
2. *Auto-route wires* – автоматичне прокладання провідників;
3. *Drag to connect* – переміщення з'єднань.

- *Rewiring options* - видалення провідників і з'єднань:

1. *Always reroute wires* – завжди включати перенаправлення провідників;

2. *If possible, do not move wires* – якщо

можливо, то не рухати провідники.

- *Auto-delete connectors* – автоматичне видалення з'єднань, які не використовуються.

Закладка *Printing* встановлює масштаб інформації, яка виводиться на принтер: *or printing, zoom to* – для друку збільшити до ... %:

1. *Use visual page breaks for main workspace* – використати візуальні розриви сторінок для головної робочої області;

2. *Use visual page breaks for subcircuits* - використати візуальні розриви сторінок для підсхем.

1.1.4. Меню *Analysis*

Меню використовується для встановлення параметрів у процесі моделювання схем. Воно має такі команди:

1. *Activate (Ctrl+G)* – запуск моделювання;
2. *Pause (F9)* – припинення або продовження

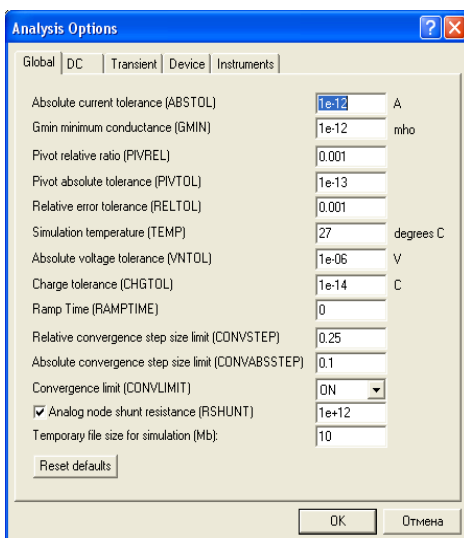


Рис. 1.7

моделювання;

3. *Stop (Ctrl+T)* – зупинка моделювання.

Команди 1, 2 і 3 можуть виконуватись також натисканням відповідних кнопок

, , які розміщені у правому верхньому куті екрану (рис.1);

4. *Analysis Options (Ctrl+Y) ...* - набір команд для встановлення параметрів моделювання:

➤ ***Global*** – налаштування загального характеру. При активізації цієї команди відкривається діалогове вікно (рис. 1.7), в якому параметри мають наступні значення:

- *ABSTOL* – абсолютна помилка розрахунку струмів;
- *GMIN* – мінімальна провідність гілки кола (провідність гілки, що менша *GMIN*, рахується рівною нулю);
- *PIVREL, PIVTOL* – відносна і абсолютна величини елемента стрічки матриці вузлових провідностей, необхідні для його виділення в якості ведучого елемента;
- *RELTOL* – допустима відносна помилка розрахунку напруг і струмів;
- *TEMP* – температура, при якій відбувається моделювання;
- *VNTOL* – допустима помилка розрахунку напруг у режимі Transient (аналіз перехідних процесів);
- *CHGTOL* – допустима помилка розрахунку зарядів;
- *RAMPTIME* – початкова точка відліку часу при аналізі перехідних процесів;
- *CONVSTEP* – відносний розмір кроку ітерації при розрахунку режиму за постійним струмом;
- *CONVABSSTEP* – абсолютний розмір кроку ітерації при розрахунку режиму за постійним струмом;
- *CONVLIMIT* – включення чи виключення додаткових засобів для забезпечення сходимості ітераційного процесу;
- *RSHUNT* – допустимий опір витоку для всіх вузлів відносно загальної шини (заземлення);

- *Temporary file size simulation* [Mb] – об'єм дискової пам'яті для збереження тимчасових файлів (в Мбайт);
- *Reset defaults* - відновити параметри за замовчуванням;

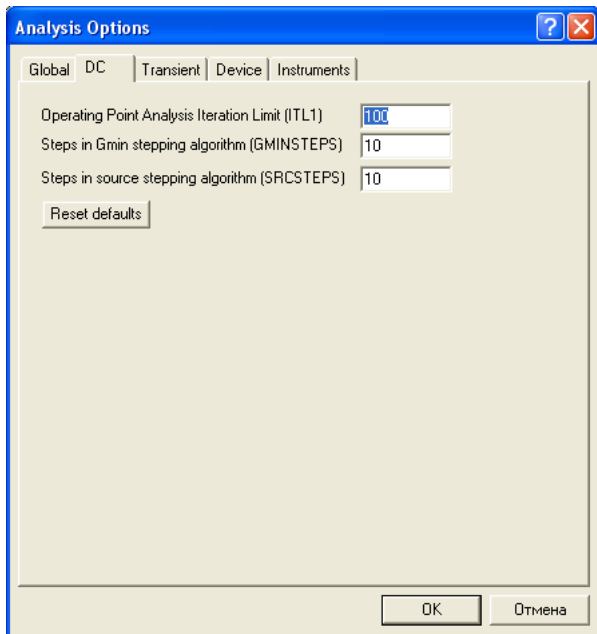


Рис. 1.8

➤ **DC** (рис. 1.8) – налаштування для розрахунку за постійним струмом. Параметри цього вікна мають наступні значення:

- *Operating Point Analysis Iteration Limit [ITL1]* – Максимальна кількість ітерацій приблизних розрахунків;
- *Steps in Gmin stepping algorithm [GMINSTEPS]*- величина приросту провідності в процентах відносно *Gmin*;
- *Steps in source stepping algorithm*

[SRCSTEPS] – величина приросту напруги живлення в процентах відносно її номінального значення в разі її зміни;

- *Reset defaults* - відновити параметри за замовченням;

➤ **Transient** (рис. 1.9)– налаштування параметрів режиму аналізу перехідних процесів:

- *Transient Transient time point iterations [ITL4]* – максимальна кількість ітерацій за час аналізу перехідних процесів;
- *Maximum order for integration method {MAXORD}* – максимальний порядок (від 2-х до 6-ти) методу інтегрування диференційного рівняння;
- *Transient Error Tolerance Factor [TRTOL]* – допуск на похибку вирахувань змінної;
- *Transient Analysis Method [METHOD]*– метод приблизного інтегрування диференційного рівняння: TRAPEZOIDAL – метод трапецій, CREEAR – метод Гіра;
- *Print statistical data [ACCT]* – дозвіл на виведення статистичних повідомлень про процес моделювання;

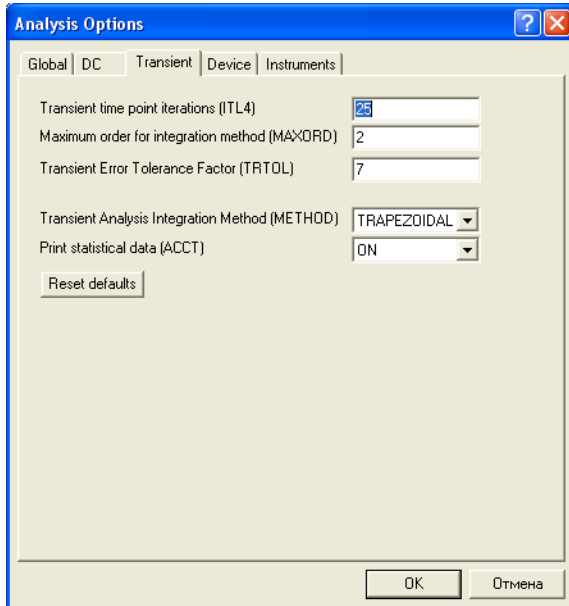


Рис. 1.9

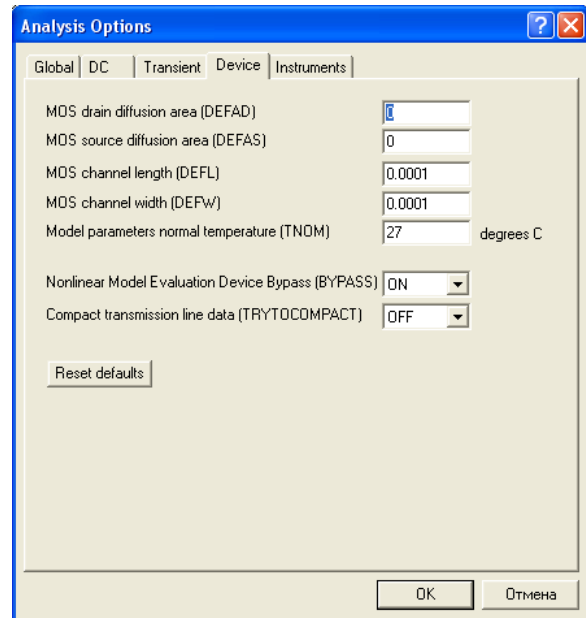


Рис. 1.10

- *Reset defaults* - відновити параметри за замовчуванням.
- **Device** (рис. 1.10) – вибір параметрів МОП- транзисторів:
 - *MOS drain diffusion area {DEFAD}* – площа дифузійної області стоку, m^2 ;
 - *MOS source diffusion area {DEFAS}* – площа дифузійної області витоку, m^2 ;
 - *MOS channel length {DEFL}* – довжина каналу транзистора, м;
 - *MOS channel width {DEFW}* - ширина каналу транзистора;
 - *Model parameters normal temperature {TNOM}* - номінальна температура моделі;
 - *Nonlinear Model Evaluation Device Bypass {BYPASS}* – включення чи виключення нелінійної частини моделі транзистора;
 - *Compact transmission line data [TRYTOCOMPACT]*- включення чи виключення лінійної частини моделі транзистора;
 - *Reset defaults* - відновити параметри за замовченням.
- **Instruments** (рис. 1.11) – налаштування контрольно-вимірювальних приладів:

1. *Oscilloscope* - осцилограф:

- *Pause after each screen* - пауза (зупинка моделювання) після заповнення екрану осцилографа по горизонталі;
- *Generate time steps screen* – автоматичне встановлення часового інтервалу виведення інформації на екран;
- *Minimum number of time points* - Мінімальна кількість точок часу, що відображаються за період спостереження;
- *Maximum time step [TMAX]* – проміжок часу від початку до кінця моделювання;

2. *Initial conditions* – встановити початкові умови:

- *Set to Zero* – встановити вихідний стан контрольно-вимірювальних приладів перед початком моделювання;

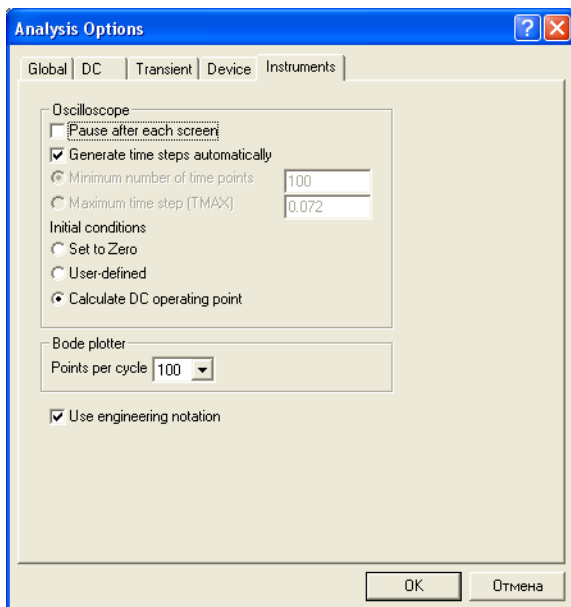


Рис. 1.11

- *User defined* – керування процесом моделювання проводиться користувачем

(ручний запуск і зупинка);

- *Calculate DC operating point* – виконання розрахунку режиму за постійним струмом.

3. *Bode Plotter* – бode плоттер:

Points per cycle – кількість точок, що відображаються при формуванні амплітудно-частотних і фазо-частотних характеристик;

4. *Use engineering notation* - використання

інженерної системи позначень одиниць вимірювання (наприклад, напруги будуть виводитися в мВ, мкВ, нВ і т. п.).

- ❖ *DC Operating Point* – розрахунок режиму за постійним струмом.
- ❖ *DC Sweep...* – варіація параметрів джерел, які використовуються в схемі при розрахунку режиму за постійним струмом. В діалоговому вікні цієї команди задаються параметри варіації напруги або струму одного чи двох джерел.

❖ **AC Frequency ...** – розрахунок частотних характеристик.

Виконання команди починають із завдання в діалоговому вікні (рис. 1.12) таких параметрів:

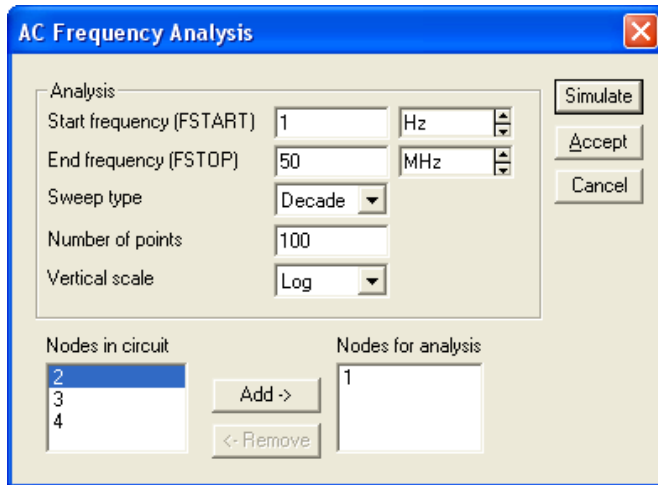


Рис. 1.12

$START$, $FSTOP$ – межі частотного діапазону (мінімальне і максимальне значення частоти); *Sweep type* – масштаб по горизонталі: декадний (*Decade*), лінійний (*Linear*) і октавний (*Octave*); *Number of points* – кількість точок, що відображаються на

частотній характеристиці; *Vertical scale* – масштаб по вертикалі: лінійний (*Linear*), логарифмічний (*Log*) чи в децибелах (*Decibel*); *Nodes in circuit* – список вузлів схеми; *Nodes for analysis* – номери вузлів, для яких розраховують характеристики схеми. Перелік таких вузлів установлюють натисканням кнопок *Add ->* (додати) і *<- Remove* (вилучити).

Transient . 1. – розрахунок перехідних процесів.

Діалогове вікно команди (рис. 1.13) містить такі закладки: *Initial conditions* – встановлення початкових умов моделювання: $TSTART$ – момент початку аналізу перехідних процесів, $TSTOP$ – момент закінчення аналізу, *Generate time steps automatically* – розрахунок перехідних процесів зі змінним інтервалом, $TSTEP$ – часовий інтервал виведення результатів моделювання на екран монітора.

- ❖ **Fourier ...** – проведення спектрального аналізу (Фур'є-аналізу);
- ❖ **Noise ...** – аналіз спектру внутрішніх шумів;
- ❖ **Parameter Sweep...** – варіація параметрів елемента;
- ❖ **Temperature Sweep...** – температурні дослідження схеми;

- ❖ **Pole-Zero...** - розрахунок карти нулів і полюсів передаточної характеристики схеми;
- ❖ **Transfer Function...** – розрахунок передаточних функцій;

Рис. 13 ❖ **Sensitivity...** – розрахунок відносної чутливості характеристик схеми до зміни параметрів її компонентів;

- ❖ **Worst Case...** - розрахунок значень параметрів компонентів схеми в режимі DC або AC при граничних відхиленнях характеристик;
- ❖ **Monte Carlo...** – статичний аналіз за методом Монте-Карло;
- ❖ **Display Graph** – виведення на екран графіків результатів виконання однієї з команд моделювання.

1.1.5. Меню *Window*

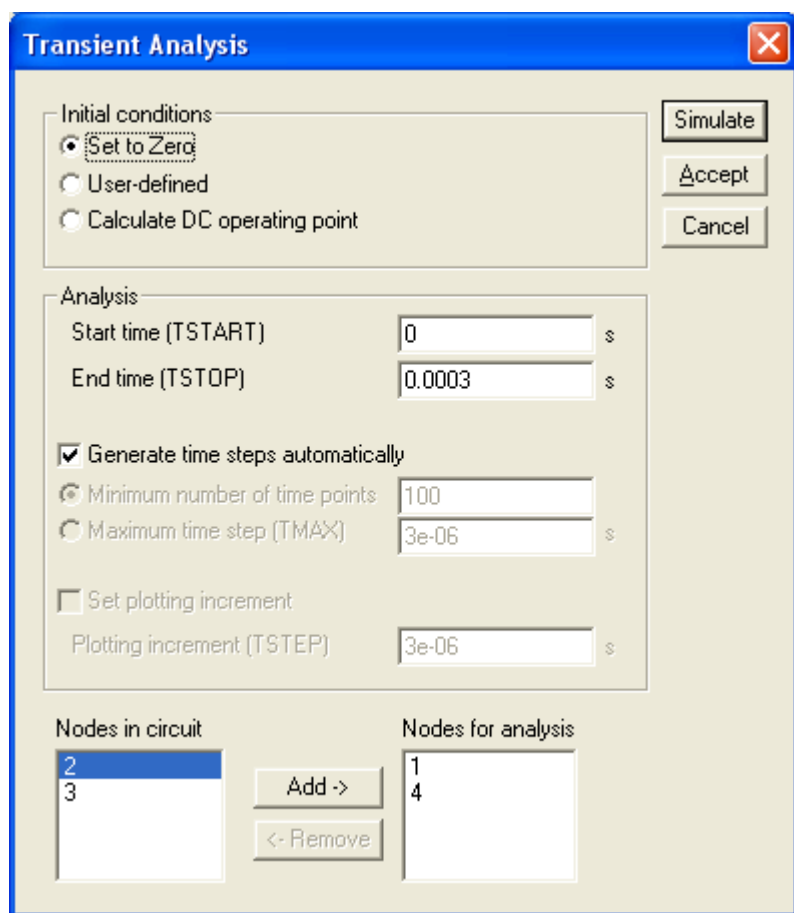


Рис. 1.13.

Меню *Window* включає такі команди:

- ❖ **Arrange (Ctrl+W)** – впорядкування інформації на робочому столі *EWB* шляхом перезапису екрану. При цьому виправляються викривлення зображень компонентів і з'єднувальних провідників;
- ❖ **Circuit** – виведення схеми на передній план;
- ❖ **Description (Ctrl+D)** – виведення на передній план опису схеми, якщо він має місце, або відкриття вікна

опису (тільки на англійській мові).

1.1.6. Меню *Help*

Меню *Help* побудоване стандартним для Windows способом. Воно має короткі відомості (на англійській мові) про всі раніше розглянуті команди, бібліотечні компоненти, контрольно-вимірювальні прилади, а також про саму програму.

Для отримання довідки про окремий бібліотечний компонент треба його виділити натисканням по ньому ЛКМ (він висвітиться червоним кольором) і потім натиснути клавішу *F1*.

1.2. Лінійка інструментів

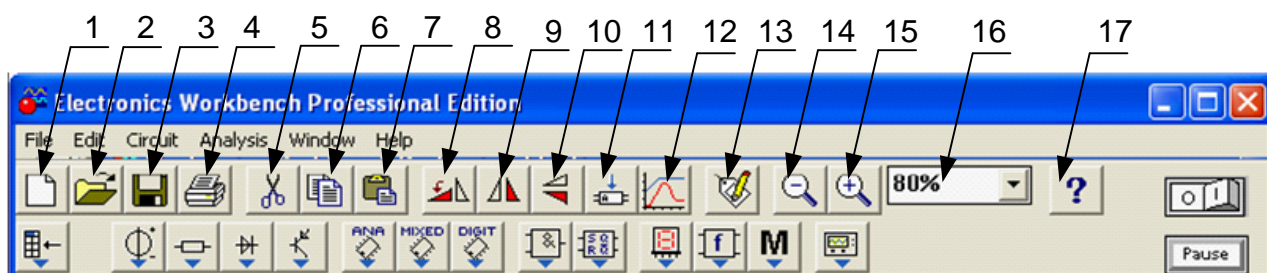


Рис. 1.14

Лінійка інструментів (рис. 1.14) містить стандартні кнопки:

1. новий документ,
2. відкрити,
3. зберегти,
4. друкувати,
5. вирізати,
6. копіювати,
7. вставити.

Також на лінійці інструментів присутні кнопки:

8. поворот виділеного елемента проти годинникової стрілки на 90^0 (Rotate);
9. поворот виділеного елемента відносно вертикальної осі (Flip Horizontal);
10. поворот виділеного елемента відносно горизонтальної осі (Flip Vertical);
11. перетворення виділеної частини схеми у підсхему (Create Subcircuit);
12. графіки результатів моделювання (Display Graphs);

13. властивості компонента (Component Properties);
14. зменшення масштабу;
15. збільшення масштабу;
16. встановлення масштабу;
17. виклик довідкової системи (англійською мовою).

Нижче лінійки інструментів знаходиться лінійка бібліотечних компонентів.

1.3. Лінійка бібліотек компонентів програми EWB

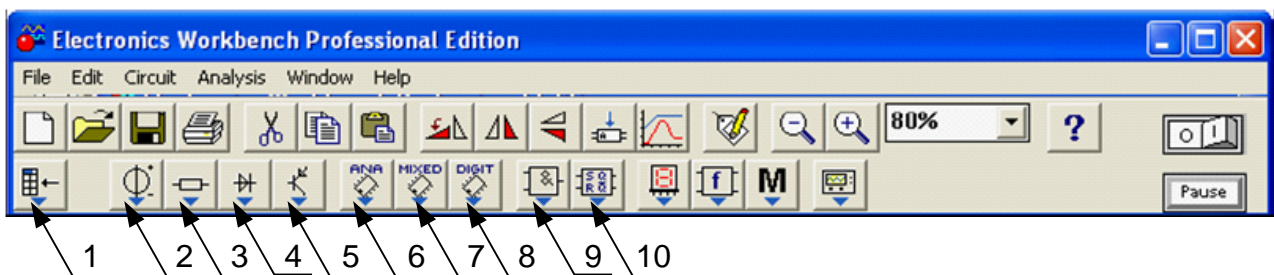


Рис. 1.15

Бібліотека компонентів програми EWB має такі розділи (рис. 1.15):

1. **Favorites** – розділ, в якому розташовуються підсхеми, якщо вони є у даній схемі (в початковому стані цей розділ пустий).

2. **Sources** – джерела живлення і джерела сигналів.

Якщо натиснути ЛКМ по іконці цього розділу, то відкриється склад цієї бібліотеки (рис. 1.16). Вона містить такі джерела і компоненти:

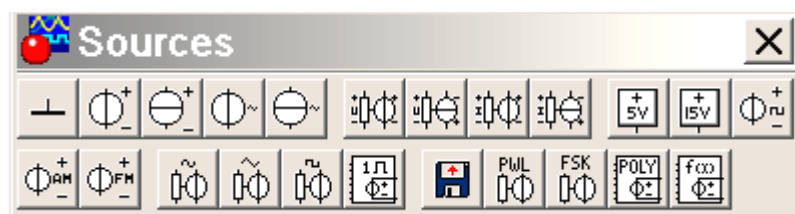


Рис. 1.16



- “заземлення” - компонент, відносно якого вимірюються усі потенціали схеми;



- батарея – джерело живлення постійної напруги;



- джерело живлення постійного струму;



- джерело змінної синусоїдної напруги;



- джерело змінного синусоїдного струму;



- джерело живлення 5 В постійної напруги, яке має тільки один вивід, а другий (“земля”) уже підключений програмним способом;



- джерело живлення фіксованої постійної напруги 15 В з підключеною програмним способом землею;



- генератор однополярних прямокутних імпульсів (тактовий генератор);



- генератор амплітудно-модульованих коливань;



- генератор частотно-модульованих коливань.


Усі джерела в Electronics Workbench ідеальні.

3. Basic – розділ, в якому зібрані пасивні компоненти та комутаційні пристрої (рис. 1.17).



Рис. 1.17

У верхньому рядку зліва направо розміщені:

➤  - вузол (нода) з'єднання провідників, який ще

використовується для введення в схему тексту;

- резистори;
- конденсатори;
- котушки індуктивності;
- трансформатори;
- електромагнітне реле;
- керований з клавіатури ключ;
- програмоване реле часу;

- керований напругою перемикач;
- керований струмом перемикач;
- джерело напруги з послідовно включеним опором.

У нижньому рядку розміщені:

- змінні резистори;
- набір із 8-ми однакового номіналу резисторів, величина яких може задаватись;
- перемножувач сигналів (модулятор);
- електролітичні конденсатори;
- підстроювальні конденсатори, значення ємностей яких можна змінювати в межах від 10^{-8} пФ до 10^8 Ф;
- катушки індуктивності, значення індуктивності яких можна змінювати в межах від 10^{-8} пкГн до 10^8 Гн;
- елемент лінійного індуктивного зв'язку;
- елемент нелінійного індуктивного зв'язку;
- нелінійний трансформатор.

4. Diodes – діоди (рис.1.8).

У цій бібліотеці знаходяться зліва направо:

- діоди;
- стабілітрони;
- світлодіоди;
- діодний міст;
- діоди Шоттки;
- тиристори;
- двонаправлені динистори;
- симістори.

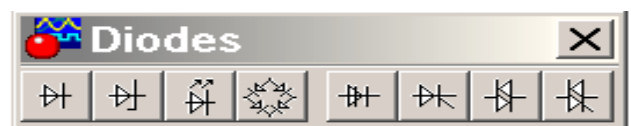


Рис. 1.18



Рис. 1.19

5. Transistors – транзистори (рис. 1.19).

До бібліотеки транзисторів входять біполярні і польові транзистори.

У верхньому ряду розташовані зліва направо:

- біполярні $n-p-n$ транзистори;
- біполярні $p-n-p$ транзистори;
- n -канальні польові транзистори з $p-n$ переходами;
- p -канальні польові транзистори з $p-n$ переходами;
- n -канальні МОН транзистори із вбудованим каналом і спільним виводом підкладки і витоку;
- p -канальні МОН транзистори із вбудованим каналом і спільним виводом підкладки і витоку;
- n -канальні МОН транзистори із вбудованим каналом і окремими виводами підкладки і витоку;
- p -канальні МОН транзистори із вбудованим каналом і окремими виводами підкладки і витоку;

У нижньому ряду відповідно розташовані:

- n -канальні МОН транзистори з індукованим каналом і спільним виводом підкладки і витоку;
- p -канальні МОН транзистори з індукованим каналом і спільним виводом підкладки і витоку;
- n -канальні МОН транзистори з індукованим каналом і окремими виводами підкладки і витоку;
- p -канальні МОН транзистори з індукованим каналом і окремими виводами підкладки і витоку;
- n -канальні польові транзистори на основі арсенід-галію ($GaAs$);
- p -канальні польові транзистори на основі арсенід-галію ($GaAs$).

6. Analog ICs – аналогові мікросхеми (рис. 1.20).

Зліва направо розміщені:

- лінійна модель операційного підсилювача;
- нелінійна модель операційного



Рис.1.20

підсилювача;

- нелінійна модель операційного підсилювача з виводами для підключення кіл частотної корекції;
- нелінійна модель операційного підсилювача з виводами для підключення кіл частотної компенсації і керування включенням ОП (з метою комутації);
- компаратор;
- мікросхема для фазового автоналашування частоти.

7. *MIXED ICs* – мікросхеми змішаного типу (рис. 1.21).

У бібліотеці знаходяться зліва направо:

- 8-ми розрядний АЦП;
- ЦАП із зовнішнім опорним джерелом струму;
- ЦАП із зовнішнім опорним джерелом напруги;
- мультівібратор;



Рис. 1.21

- інтегральний таймер.

8. *Digital ICs* – цифрові мікросхеми (рис. 1.22).

У даній бібліотеці зібрані моделі цифрових інтегральних мікросхем серій SN74 і CD4000 (аналоги вітчизняних інтегральних мікросхем відповідно 155 і 176 серій).

9. *Logic Gates* – логічні цифрові мікросхеми (рис. 1.23).

У верхньому ряду представлені базові логічні елементи, а в нижньому ряду – серійні мікросхеми, функції яких відповідають функціям базових елементів, що розміщені над ними.

Бібліотека складається з таких логічних елементів:

- 2-х входний елемент І (AND);
- 2-х входний елемент АБО (OR);
- елемент НЕ (NO);

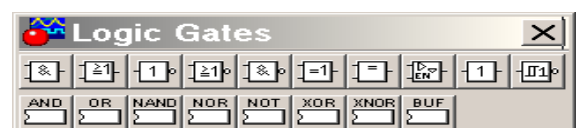


Рис. 1.23

- 2-х входовий елемент АБО-НЕ (NOR);
- 2-х входовий елемент І-НЕ (NAND);
- 2-х входовий елемент виключальне АБО (XOR);
- еквівалентність (XNOR);
- буферний елемент з трьома станами;
- буфер (*Buffer*);
- інвертуючий тригер Шмітта (*Schmitt – Triggered Inverter*).

10. DIGITAL – цифрові мікросхеми (рис. 1.24).

До цієї бібліотеки входять такі цифрові пристрої (зліва направо):

У верхньому ряду:

- напівсуматор;
- суматор;
- асинхронний *RS* – тригер;
- синхронний *JK* – тригер з прямими установчими входами;
- синхронний *JK* – тригер з інверсними установчими входами;
- синхронний *D* – тригер з прямим синхровходом;
- *D* – тригер з прямим синхровходом і інверсними установчими входами;

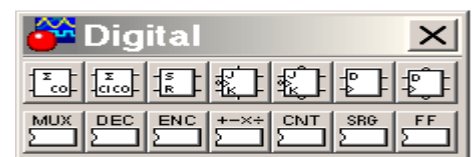


Рис. 1.24

У нижньому ряду:

- мультиплексори (*MUX*);
- демультимплексори (дешифратори) (*DEC*);
- перетворювачі кодів (*ENC*);
- арифметико-логічні пристрої;
- лічильники (*CNT*);
- зсувні регістри (*SRG*);
- інтегральні тригери (*FF*).

1.4. Бібліотека індикаторних приладів

При натисканні ЛКМ на піктограму бібліотеки індикаторних приладів (рис. 1.25) відкриється бібліотека (рис. 1.26), в якій знаходяться такі прилади:

1. Вольтметр.

2. Амперметр.

Вольтметри й амперметри забезпечують відлік вимірюваної величини з точністю до третього знаку. Для вольтметра першим і самим основним параметром є вхідний опір приладу, а для амперметра - внутрішній опір приладу. Параметри приладів задаються в діалоговому вікні.

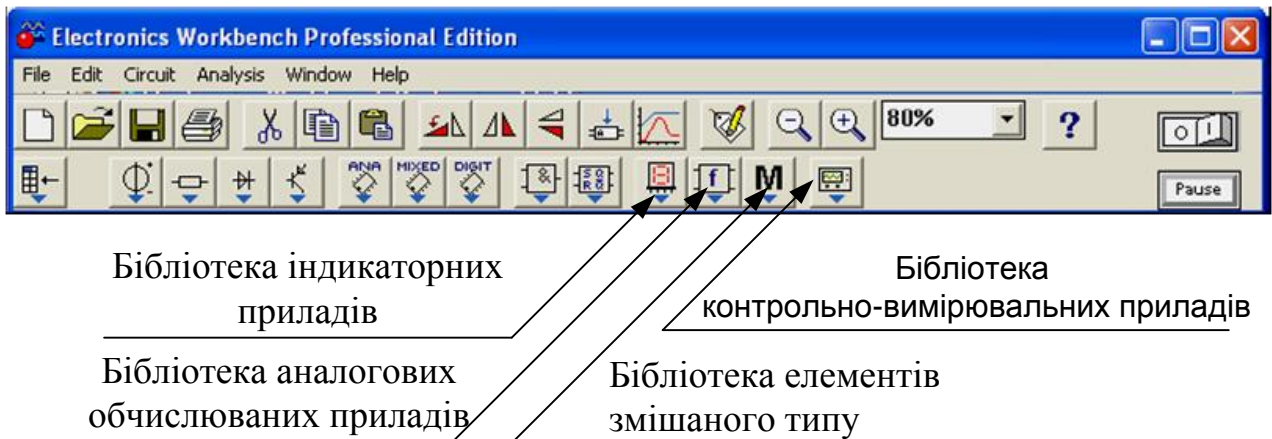


Рис. 1.25

Прилади можуть використовуватись для вимірювання постійних (DC) і змінних (AC) напруг і струмів. В одній схемі можна використовувати декілька таких приладів одночасно. Від'ємна клемма для підключення приладів позначена широкою чорною смугою й може бути розміщена налюбій грані іконки при обертанні зображення компонента (обертання виконується натисканням комбінації клавіш [Ctrl]+[R]).

3. Лампочка розжарювання

Лампочка розжарювання характеризується потужністю і номінальною напругою. Напруга, при якій лампочка загоряється, дорівнює приблизно половині її номінальної величини. При напрузі перевищуючій номінальну на невелику величину, лампочка перегорає і коло розривається. Це дозволяє використовувати її в якості запобіжника, що спрацьовує при заданих значеннях напруги і потужності.

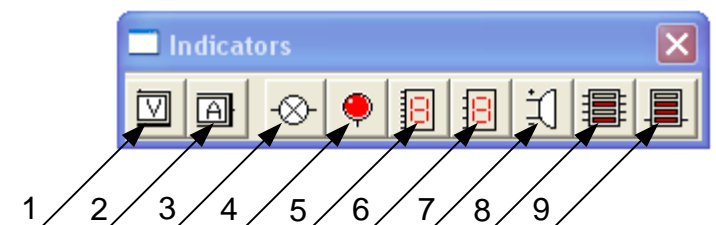


Рис. 26

4. Логічний пробник

Логічний пробник характеризується напругою спрацювання, яка за замовчуванням дорівнює 2,5 В, що відповідає мінімальному значенню логічної одиниці цифрових логічних елементів з напругою живлення 5 В. Колір світіння пробника можна задати червоним (за замовчуванням), зеленим або синім.

5. 7-ми сегментний індикатор

6. 4-входовий індикатор. Даний індикатор має вбудований дешифратор, що дозволяє підключати його безпосередньо до виходів двійково-десяткових лічильників з кодом 8-4-2-1. На умовному зображенні входи індикатора позначені цифрами 1(молодший або нульовий розряд), 2, 3 і 4 (старший розряд). При усіх можливих комбінаціях вхідних сигналів на індикаторі можуть відображатись числа 0 ... 9 і літери А, В, С, D, Е і F.

7. Динамік – звуковий сигналізатор.

8. 10-сегментний індикатор. Індикатор має лінійку з 10 незалежних

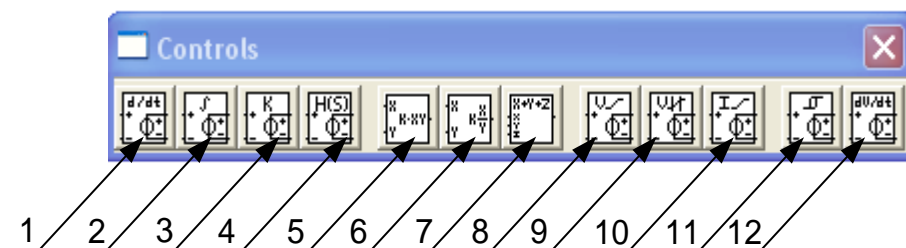


Рис. 1.27

індикаторів, параметри яких встановлюються за допомогою діалогового вікна. Перший параметр в діалоговому вікні – напруга спрацювання, другий і третій відповідно – номінальний і мінімальний струм.

9. 10-сегментний індикатор з вбудованим аналого-цифровим перетворювачем

Він має тільки два входи, лінійку із 10 незалежних індикаторів і схему аналого-цифрового перетворювача.

1.5. Controls – аналогові обчислювальні прилади (рис. 1.27)

Бібліотека аналогових обчислюваних пристроїв має такі компоненти:

1. диференціюючу ланку;
2. інтегруючу ланку;
3. підсилювач;
4. маштабуюча ланка;

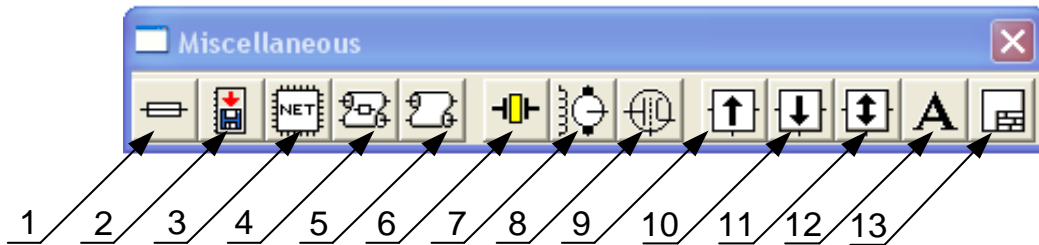


Рис. 1.28

5. перемножувач;
6. дільник;
7. тривходовий суматор;
8. некерований обмежувач напруги;
9. керований обмежувач напруги;
10. обмежувач струму;
11. блок з гістерезисною характеристикою;
12. селектор сигналів.

1.6. *Miscellaneous* – компоненти змішаного типу (рис. 1.28)

Меню включає наступні компоненти:

1. плавкий запобіжник;
2. засіб запису результатів моделювання у текстовий файл;
3. набір макромоделей (підсхем) у форматі SPICE;
4. лінії передач з втратами;
5. лінії передач без втрат;
6. кварцевий резонатор;
7. колекторний двигун постійного струму;
8. електровакуумний триод;
9. підвищуючий перетворювач напруги;

- 10. понижуючий перетворювач напруги;
- 11. перетворювач напруги з низької у високу і навпаки;
- 12. вставка тексту;
- 13. надписи над блоками.

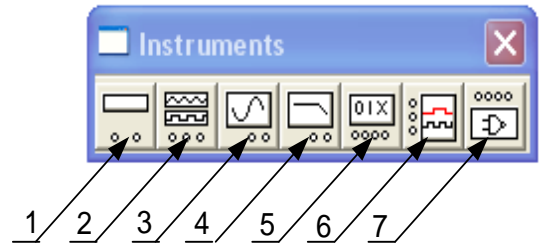


Рис. 1.29

1.7. Instruments – контрольно-вимірювальні прилади (рис. 1.29)

В програмі Electronics Workbench є сім приладів для реєстрації і дослідження аналогових та дискретних електричних сигналів:


- 1. мультиметр;
- 2. функціональний генератор;
- 3. осцилограф;
- 4. бode-плоттер;
- 5. генератор слів;
- 6. логічний аналізатор;
- 7. логічний перетворювач.


Кожен з цих приладів можна використовувати у схемі тільки один раз. Розглянемо їх детальніше.

1.7.1. Мультиметр (Multimeter)

На умовному зображенні мультиметра (рис. 30, а) є клеми, якими він підключається до схеми. Якщо перемістити мультиметр на поле програми EWB і

два рази нажати по його іконці ЛКМ, то розкриється лицьова панель (рис. 1.30, б). На ній знаходяться:

 дисплей, на якому відображаються результати вимірювання;

 кнопки для вибору режиму вимірювання струму, напруги, опору і затухання;

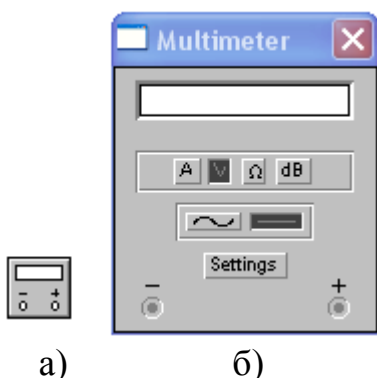



Рис. 1.30

 кнопки вибору режиму виміру змінного або постійного струму (напруги);

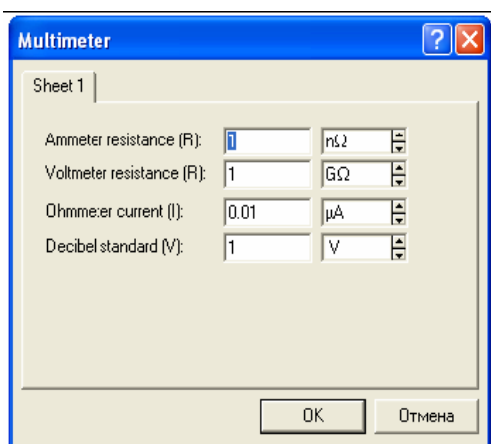



Рис. 1.31

 кнопка встановлення параметрів мультиметра:

- *Ammeter resistance* – внутрішнього опору амперметра (рис. 1.31);
- *Voltmeter resistance* – вхідного опору вольтметра;
- *Ohmmeter current* – струм через контролюємий об'єкт;

- *Decibel standard* – установка еталонної напруги (за замовченням $U_{ET}=1V$) для вимірювання підсилення чи ослаблення в децибелах.

Мультиметр використовується для вимірювання:

напруги (постійної і змінної), струму (постійного і змінного), опору, величини напруги в децибелах.

Для того, щоб використовувати мультиметр для вимірювання напруги, струму, опору або рівня напруги в децибелах, потрібно натиснути відповідну кнопку на збільшеному зображенні мультиметра: A, V, Ω або dB.

В якості амперметра і вольтметра мультиметр використовується так само, як і стандартні прилади.

Вид вимірюваної величини встановлюється натисканням відповідної кнопки на збільшеному зображенні мультиметра. Натискання кнопки з символом «~» встановлює мультиметр для вимірювання діючого значення змінного струму і напруги, постійна складова сигналу при вимірюванні не враховується. Для вимірювання постійних напруги та струму потрібно на збільшеному зображенні мультиметра натиснути кнопку з символом «-».

Для використання мультиметра в якості омметра його слід під'єднати паралельно ділянці кола, опір якого потрібно виміряти, на збільшеному зображенні мультиметра натиснути кнопку Ω і кнопку з символом «-».

переключення в режим вимірювання постійного струму. Включити схему. На табло мультиметра при цьому з'явиться виміряне значення опору.

Щоб уникнути помилкових показань, схема повинна мати з'єднання з землею і не мати контакту з джерелами живлення, які повинні бути виключені зі схеми, причому ідеальне джерело струму повинно бути замінене розривом кола, а ідеальне джерело напруги - короткозамкнутою ділянкою.

Для вимірювання рівня напруги в децибелах на збільшеному зображенні мультиметра слід натиснути кнопку dB.

Мультиметр підключається одним з виводів до точки, рівень напруги в якій потрібно виміряти, а іншим виводом – до точки, відносно якої проводиться вимірювання. Після включення схеми на табло мультиметра з'явиться виміряне значення рівня напруги.

Рівень напруги в децибелах підраховується наступним чином:

$$K [dB] = 20 \lg (U_{\text{вх}} / U_{\text{ет}}),$$

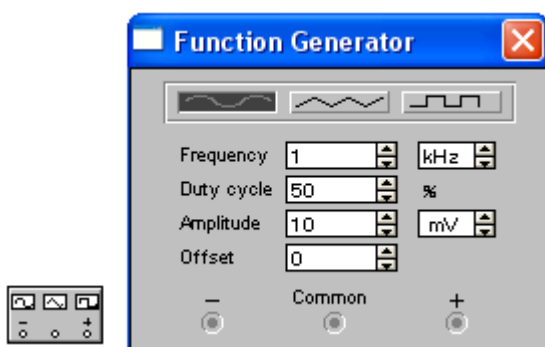
де $U_{\text{вх}}$ - напруга, прикладена до виводів мультиметра;

$U_{\text{ет}}$ - еталонна напруга, по відношенню до якої вимірюється рівень напруги.

За замовчуванням еталонну напругу встановлено рівною 1 В.

Клавішу SETTINGS слід використовувати для налаштування: внутрішнього опору вольтметра і амперметра, вимірюваного струму омметра, опорної напруги при відліку в децибелах.

1.7.2. Функціональний генератор (Function Generator)



а)

б)

Умовне зображення генератора, яке служить для підключення його до схеми, приведене на рис. 1.32, а.

Функціональний генератор є ідеальним джерелом напруги, який виробляє сигнали синусоїдної, прямокутної чи трикутної форми.

Рис. 1.32

Середній вивід генератора при підключенні до схеми забезпечує спільну точку для відліку амплітуди змінної напруги. Для відліку напруги відносно нуля загальний вивід заземляють. Крайні правий і лівий виводи служать для подачі змінної напруги до схеми. Напруга на правому виводі змінюється в додатному напрямку відносно загального виводу, а на лівому виводі - у від'ємному.

Лицьова панель генератора, яка відкривається після подвійного натискання ЛКМ по його умовному зображенню, показана на рис. 1.32, б. На ній розміщені такі органи керування:

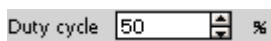


- кнопки вибору форми вихідного сигналу (синусоїдна, трикутна чи прямокутна);



- вікно встановлення частоти сигналу.

Частота генератора може регулюватися від 1 Hz до 999 MHz. Значення частоти встановлюється в рядку *Frequency* за допомогою клавіатури і кнопок зі стрілками. У лівому полі встановлюється чисельне значення, у правому – одиниця вимірювання (Hz, kHz, MHz - Гц, кГц, МГц відповідно).



- вікно встановлення коефіцієнта заповнення в % (для імпульсних сигналів це відношення довжини імпульсу до періоду повторення, а для трикутних імпульсів – співвідношення між довжинами переднього і заднього фронтів у відсотках). Встановивши, наприклад, значення 30, можна отримати тривалість інтервалу наростання 30% від періоду, а тривалість інтервалу спаду - 70%. Для прямокутної форми напруги цей параметр задає співвідношення між тривалостями позитивної та негативної частини періоду.




- вікно встановлення амплітуди вихідного сигналу.

Амплітуда вихідної напруги може регулюватися від 0 мВ до 999 кВ. Значення амплітуди встановлюється в рядку *AMPLITUDE* за допомогою клавіатури і кнопок зі стрілками. У лівому полі встановлюється чисельне значення, а в правому - одиниця виміру (mV, mV, V, kV - мкВ, мВ, В, кВ відповідно).



- вікно встановлення зміщення (постійної складової) вихідного сигналу для одержання однополярних імпульсів. Постійна складова змінного сигналу встановлюється за допомогою клавіатури або кнопок зі

стрілками. Вона може мати як позитивне, так і негативне значення. Це дозволяє отримати, наприклад, послідовність однополярним позитивних чи негативних імпульсів.

При заземленні затискача  на виходах “-“ і “+” отримаємо парафазний сигнал.

1.7.3. Осцилограф (Oscilloscope)

Осцилограф (двоканальний) має згорнуте (рис. 1.33, а) і дві модифікації (просту і розширену) розгорнутого (рис. 1.33, б і рис. 1.34) зображення. Згорнуте зображення використовується для підключення осцилографа до схеми. Верхня права клемма (рис. 33, а) служить для заземлення, а розташована під нею клемма – для підключення зовнішнього джерела синхронізації осцилографа. Дві нижні клеми служать для подачі сигналів до входів каналу А (ліва) і каналу В (права). Проста модифікація розгорнутого зображення осцилографа відкривається при

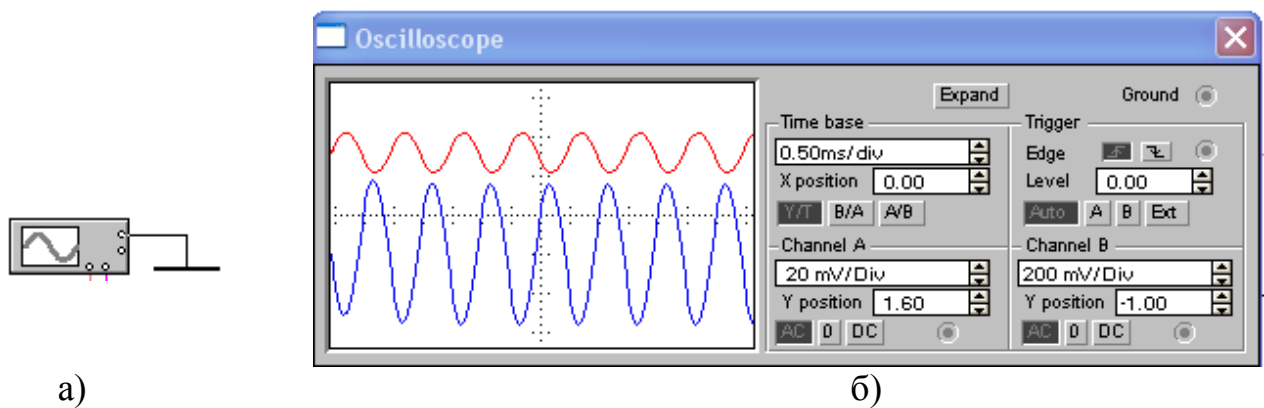




Рис.1.33. Згорнуте (а) і проста модифікація розгорнутого (б) зображення подвійному клацанні ЛКМ по його згорнутому зображенню (рис. 1.33, б).








На розгорнутому зображенні осцилографа розміщена панель керування вибором режимів і параметрів осцилографа.



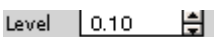
Панель керування поділена на чотири поля:

- 1) поле керування горизонтальною розгорткою (Time base);

- 2) поле керування синхронізацією (Trigger);
- 3) поле керування каналом А;
- 4) поле керування каналом В.


Поле керування горизонтальною розгорткою (масштабом ) служить для встановлення масштабу по горизонтальній осі осцилографа при спостереженні напруги на входах каналів А і В у залежності від часу. Часовий масштаб задається в: с/діл, мс/діл, мкс/діл, нс/діл (s/div, ms/div, μ s/div, ns/div відповідно). Величина одного поділку може бути встановлена від 0,1 нс до 1 с. Масштаб по горизонталі можна дискретно зменшити або збільшити на один крок при клацанні мишею на кнопці  .





За допомогою кнопок, розташованих у полі рядка  , можна дискретно зміщувати початок осцилограми по горизонтальній осі. У цьому ж полі розташовані три кнопки вибору режиму розгортки    . В режимі  : по вертикалі – напруга вхідного сигналу, по горизонталі – час; в режимі  : по вертикалі – сигнал каналу В, по горизонталі – сигнал каналу А; в режимі  : по вертикалі – сигнал каналу А, по горизонталі – сигнал каналу В.

У режимах А/В і В/А можна спостерігати частотні і фазові зсуви (фігури Ліссажу), петлі гістерезису, вольт-амперні характеристики і т.п. При розгортці Y/T осцилограф може працювати в режимі очікування (Trigger) із запуском розгортки (Edge) переднім  або заднім  фронтом запускаючого сигналу при регульованому рівні запуску  , а також у режимі Auto від каналу А, від каналу В, від зовнішнього джерела (Ext), підключеного до клеми в блоці керування Trigger.

Дві нижні частини панелі осцилографа є полями керування відображеннями сигналів, поданих на входи каналів А і В відповідно.

Осцилограф має два канали регулювання чутливості по вертикалі (Channel А і Channel В) в діапазоні від 10 μ V/Div до 5kV/Div. Чутливість для кожного каналу встановлюється окремо. Щоб отримати зручне для роботи зображення на екрані осцилографа перед початком експерименту, слід встановити чутливість, відповідну очікуваній напрузі.


Нижче розташоване поле, яке дозволяє дискретно зміщувати вісь X кожного каналу вгору або вниз (). Для того, щоб розвести зображення від каналів А і В, слід скористатися зсувом по осі Y для одного або двох каналів.

Три нижні кнопки  реалізують різні режими роботи осцилографа за входом. Режим роботи осцилографа з закритим входом встановлюється натисканням на кнопку . У цьому режимі на вхід не пропускається постійна складова сигналу. При натисканні на кнопку  осцилограф переходить в режим з відкритим входом. У цьому режимі на вхід осцилографа пропускається як постійна, так і змінна складова сигналу. При натисканні на кнопку  вхід осцилографа з'єднується із загальним виводом, що дозволяє визначити положення нульової позначки вісі Y.

Осцилограф має чотири режими синхронізації .

1. Автоматичний режим (Auto) - запис осцилограм проводиться автоматично при підключенні осцилографа до схеми або при її включенні. Коли «промінь» доходить до кінця екрану, осцилограма знову прописується з початку екрану (новий екран).

2. Режим запуску по входу А чи В, в яких запускаючим сигналом є сигнал, що надходить на відповідний вхід.

3. Режим «Зовнішній запуск» (Ext - external), підключеного до клеми в блоці керування Trigger. У цьому випадку сигналом запуску є сигнал, що подається до входу синхронізації. При натисканні ЛКМ на клавішу  відкриється розширена модифікація екрана осцилографа (рис. 1.34).

Панель керування розширеної модифікації осцилографа на відміну від простої модифікації розташована під екраном і доповнена трьома інформаційними таблицями, на які виводяться результати вимірювань. Крім того, безпосередньо під екраном знаходиться лінійка прокрутки, що дозволяє спостерігати будь-який часовий відрізок процесу від моменту включення до моменту виключення схеми. Розширена модель осцилографа дозволяє набагато зручніше і більш точно проводити чисельний аналіз процесів. На екрані осцилографа розташовані два курсори, що позначаються 1 і 2, за допомогою яких можна виміряти миттєві

значення напруг у будь-якій точці осцилограми. Для цього слід просто

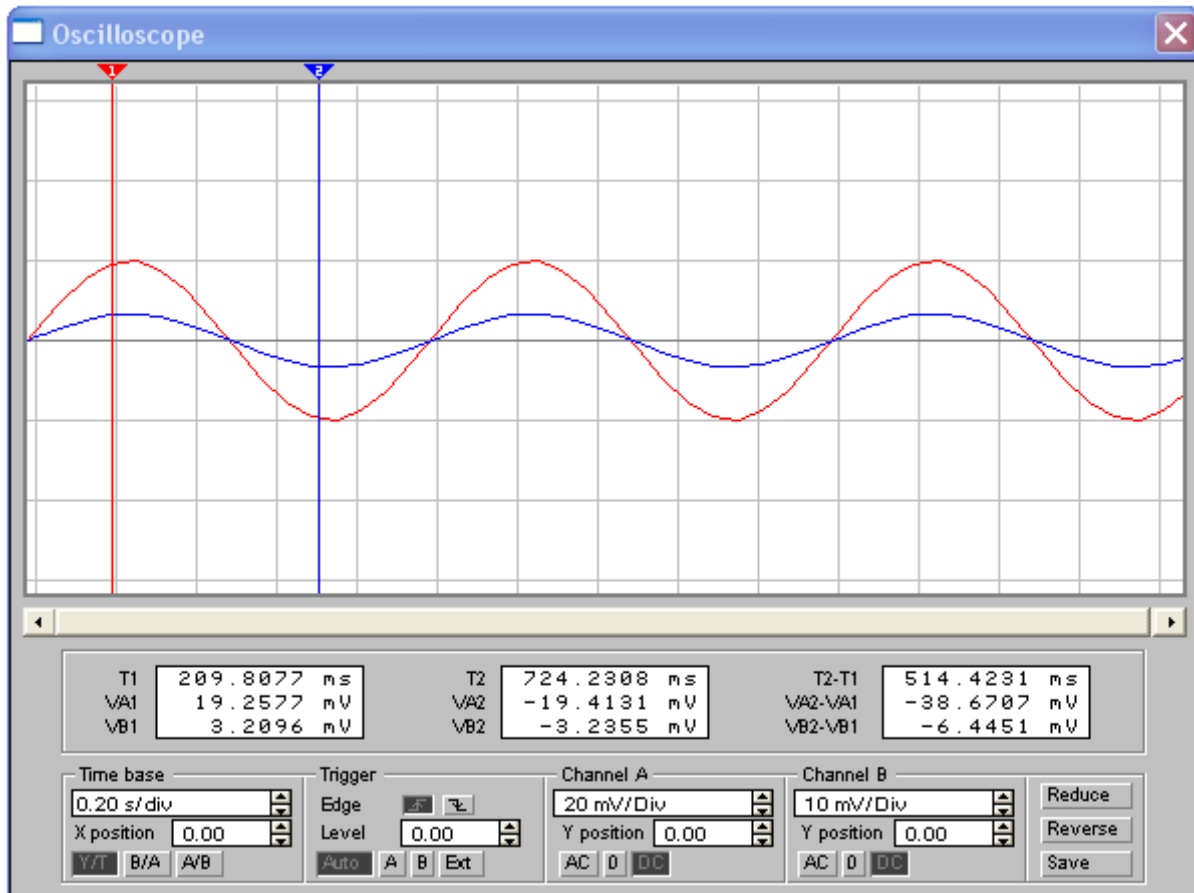


Рис. 1.34

перетягнути мишею курсори за трикутники в їх верхній частині в потрібне положення. Координати точок перетину першого курсору з осцилограмами відображаються на лівому табло, координати другого курсора - на середньому табло. На правому табло відображаються значення різниць між відповідними координатами першого і другого курсорів. Результати вимірювань, отримані за допомогою розширеної модифікації осцилографа, можна записати у файл. Для цього слід натиснути кнопку Save (зберегти) і в діалоговому вікні ввести ім'я файлу.

Кнопка Reverse (при її натисканні) інвертує зображення на екрані, а її повторний натиск вертає зображення в початковий стан. Натискання на кнопку Save забезпечує запис даних у файл. Повернення осцилографа до простої модифікації відбувається при натисканні кнопки Reduce.

Через те, що розширена модель осцилографа займає багато місця на робочому полі, рекомендується починати дослідження простою моделлю, а для докладного дослідження процесів - використовувати розширену модель.

Осцилограф можна підключити до вже включеної схеми або під час роботи схеми переставити виводи до інших точок - зображення на екрані осцилографа зміниться автоматично.

1.7.4. Bode Plotter (Спектроаналізатор)

Боде-плоттер призначений для побудови амплітудно-частотних (АЧХ) і фазочастотних (ФЧХ) характеристик.

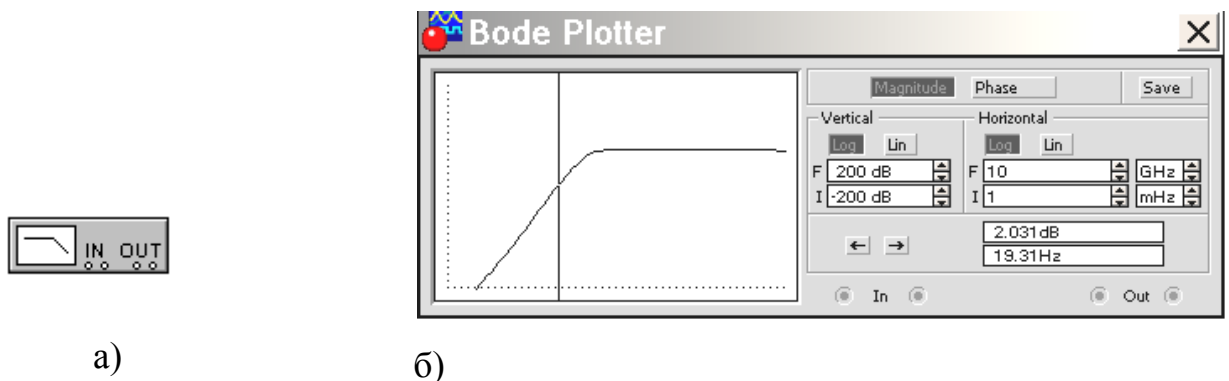


Рис. 1.35

Боде-плоттер вимірює відношення амплітуд сигналів у двох точках схеми і фазовий зсув між ними. Відношення амплітуд сигналів може вимірюватися в децибелах. Для вимірювання Боде-плоттер генерує власний спектр частот, діапазон якого може задаватися при налаштуванні приладу. Частота любого змінного джерела в досліджуваній схемі ігнорується, однак схема повинна включати яке-небудь джерело змінного струму.

Підключається Боде-плоттер до схеми за допомогою клем IN (вхід) і OUT (вихід) на умовному графічному зображенні приладу (рис. 1.35, а).

Ліві клеми цих затискачів з'єднуються відповідно з входом і виходом досліджуємої схеми, а праві – із спільною шиною.

При подвійному натисканні ЛКМ на зображенні Боде-плоттера відкривається його розгорнуте зображення, на якому розміщені панелі керування (рис. 1.35, б). Верхня панель плоттера задає вид одержуваної характеристики:

АЧХ або ФЧХ. Для отримання АЧХ слід натиснути кнопку Magnitude, для отримання ФЧХ - кнопку Phase.

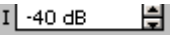
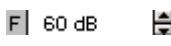


Ліва панель управління (Vertical) задає:



- а) початкове (I - initial) і кінцеве (F - final) значення параметрів, що відкладаються по вертикальній осі;
- б) вид шкали вертикальної осі - логарифмічна (LOG) або лінійна (LIN). Права панель управління (HORIZONTAL) налаштовується аналогічно для горизонтальної осі.

При отриманні АЧХ по вертикальній осі відкладається відношення напруг:

- в) в лінійному масштабі від 0 до $10E9$;
- г) в логарифмічному масштабі від -200 dB до 200 dB.

При отриманні ФЧХ по вертикальній осі відкладаються градуси: від -720 до +720. По горизонтальній осі завжди відкладається частота в герцах або в похідних одиницях.

Налаштування графопобудовника виконується установкою мінімального (вікно ) і максимального (вікно ) коефіцієнта передачі, а за допомогою кнопок у вікнах  [mHz]  GHz відповідно мінімальної і максимальної частоти.


Бодє-плоттер має власний діапазон частот, а тому немає значення величина частоти джерела змінного струму, яке діє на вході схеми, однак його присутність обов'язкова. Частота і відповідні її значення коефіцієнта передачі або фази відображаються у віконцях у правому нижньому куті приладу. Значення цих коефіцієнтів в окремих точках АЧХ і ФЧХ визначається за допомогою візирної лінії, яка у вихідному стані знаходиться на початку координат і може пересуватись по екрану за допомогою ЛКМ, або з клавіатури кнопками . Результати виміру можна записати в текстовий файл натисканням ЛКМ на кнопку  і введенням у діалогове вікно імені файлу (за замовченням пропонується схемний файл).

За допомогою Бодє-плоттера неважко побудувати топографічну діаграму на комплексній площині для будь-якої схеми.



1.7.5. Генератор слів (Word Generator)

Генератор призначений для формування вхідних комбінацій двійкових слів.

Генератор вибирається на панелі Instruments за його піктограмою . На схему виводиться зменшене зображення генератора слів (рис. 1.36, а).

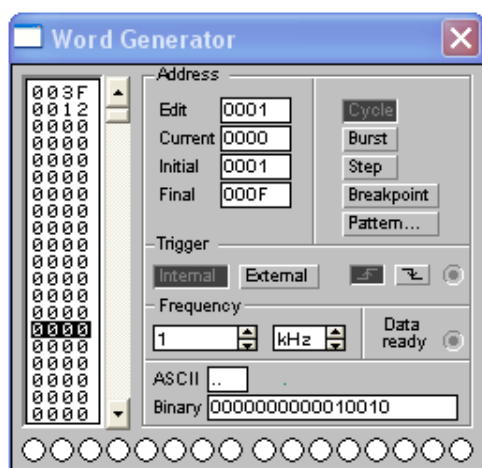
Після подвійного натискання ЛКМ на схемному зображенні генератора

(рис. 1.36, а) відкриється його розгорнута панель

(рис. 1.36, б).



а)



б)

Рис. 1.36

Кодові комбінації задаються генератором у шістнадцятковому коді. Для набору слова треба натиснути ЛКМ у відповідному розряді екранного буфера (заповненого нулями) і набрати з клавіатури відповідну цифру в шістнадцятковому коді. Кожна кодова комбінація у шістнадцятковому коді заноситься за допомогою клавіатури в ліве вікно з половою прокрутки або у двійковій формі (вікно Binary), чи в міжнародній системі кодів (вікно ASCII).

Номер редагуємої комірки фіксується у

віконці **Edit** блока Address. Всього таких

комірок і, відповідно, комбінацій – 2048. Треба мати на увазі, що верхня комірка екранного буфера є нульовою. У віконці **Current** блока Address відображається номер поточної комірки, кодова комбінація з якої в даний момент надходить на вихід генератора, а у віконцях **Initial** і **Final** - відповідно номери першої і останньої комірок, в які заноситься інформація. Занесення даних у виділену комірку можна виконати в коді ASCII або у бінарному коді (віконце Binary). При друкуванні слів у цих кодах програма автоматично перетворює їх в гексагональний код і заносить в редагуєму комірку. 16 нижніх віконць на лицевій панелі служать для індикації станів розрядів на виході генератора в процесі його роботи. На умовному зображенні генератора цим показникам

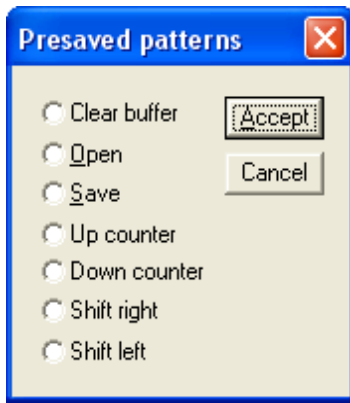






Рис. 1.37

відповідають рівні напруг на 16 клемках. Від цих клем порозрядні сигнали по підключених до них провідниках поступають до відповідних цифрових вузлів. За допомогою кнопки Breakpoint можна призупинити роботу генератора у вказаній комірці. Для цього потрібна комірка вибирається на екрані дисплея курсором, а потім нажимається кнопка Breakpoint.

Кодові комбінації видаються на 16 виходів, які розміщені в нижній частині розгорнутого зображення, а також відображаються у текстовому ASCII[...] і двійковому (Binary) кодах.

У правій частині схемного зображення генератора нижня клемка  служить для отримання тактових імпульсів. Частота тактових імпульсів задається на передній панелі у блоці Frequency (з врахуванням одиниць виміру Hz, kHz, MHz). Генератор може працювати з цією частотою, якщо натиснути на кнопку Cycle, або з раніш вибраного слова до кінця в разі натискання на кнопку Burst. При натисканні на кнопку Step генератор буде працювати в пошаговому режимі. Кнопка  дозволяє зупинити роботу генератора на заздалегідь вибраній комірці (спочатку вибирається курсором потрібна комірка, а потім натискається кнопка ). Після натискання на кнопку  відкривається меню Presaved patterns (рис. 1.37), за допомогою якого можна задати для виконання наступних операцій:

Clear buffer – стерти вміст усіх комірок;

Open – завантажити кодові комбінації (із файлу з розширенням .dp);




Save – записати всі набрані на екрані кодові комбінації в файл (.dp);

Up counter – заповнити буфер екрана кодovими комбінаціями, починаючи з 0 в нульовій комірці і далі з додаванням 1 до кожної наступної комірки;

Down counter – заповнити буфер екрана кодovими комбінаціями, починаючи з FFFF в нульовій комірці і далі зі зменшенням на 1 у кожній наступній комірці;

Shift right – заповнити кожні чотири комірки комбінаціями 1-2-4-8 зі зміщенням їх в наступних чотирьох комірках лворуч;

Shift left – заповнити кожні чотири комірки комбінаціями 1-2-4-8 зі зміщенням їх в наступних чотирьох комірках ліворуч.

Запуск генератора здійснюється кнопками блока **Trigger**: натисканням на кнопку **Internal** здійснюється внутрішній запуск, а на кнопку **External** - зовнішній запуск. Кнопки  і  забезпечують запуск відповідно переднім чи заднім фронтом імпульсу. Зовнішній запуск (кнопка **External** нажата) здійснюється в разі готовності даних на клемі **Data ready** . Сигнал на цьому виході супроводжує кожен вихідний кодову комбінацію і використовується тоді, коли досліджуємий пристрій

підтверджує кодову комбінацію, яка використовується для зовнішнього запуску генератора. У разі одержання чергової кодової комбінації і супроводжуючого її сигналу на виході **Data ready**, досліджуваний пристрій видає сигнал підтвердження одержання даних, який подається на

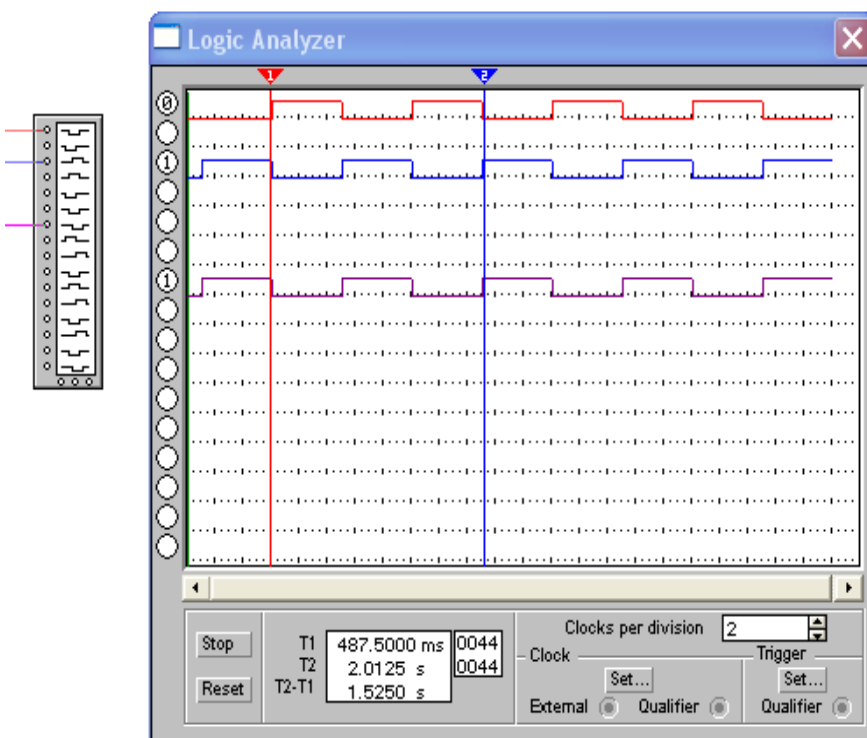


Рис. 1.38

вхід синхронізації генератора, що знаходиться в блоці **Trigger**, і проводить черговий запуск генератора.

Запуск генератора здійснюється в таких режимах:

Циклічному – при натисканні кнопки **Cycle**. На вихід генератора видаються 16-розрядні сигнали, починаючи з **Initial** і закінчуючи **Final**, після чого все повторюється. З вибраної комірки і до кінця – при натисканні кнопки **Burst**.

Покроковому – при натисканні кнопки **Step**.

1.7.6. Логічний аналізатор (Logic Analyzer)

Логічний аналізатор (ЛА) використовується для перевірки реалізованої схемою вихідної функції. Він забезпечує відображення на екрані монітора 16-розрядних кодових послідовностей одночасно в 16 точках схеми. На схемному зображенні ЛА (рис. 1.38, а) вертикальний ряд клем служить для підключення досліджуваних цифрових сигналів. При подвійному натисканні ЛКМ по схемному зображенні ЛА з'явиться його розгорнута лицьова панель (рис. 1.38, б), на якій розміщені кнопки керування і налаштування ЛА, а також клеми підключення сигналів запускання.

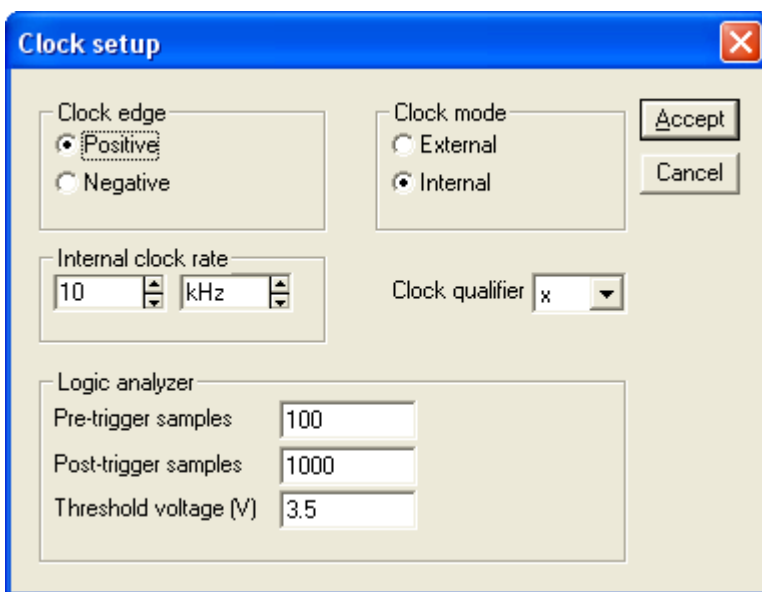


Рис. 1.39. Меню Clock setup

На розгорнутій панелі аналізатора є дві візирні лінійки, які переміщуються за допомогою курсору. За їх допомогою можна отримати точний відлік часових інтервалів $T1$ і $T2$ та їх різницю $T2-T1$. Горизонтальна лінійка прокрутки дозволяє аналізувати процеси на великому часовому інтервалі. У блоці Clock розміщені клеми підключення звичайного External і вибірного Qualifier джерела запускаючих сигналів. Параметри цих джерел визначаються за допомогою меню Clock setup (рис. 1.39), яке розкривається при натисканні кнопки .

Меню має такі установки:

Positive – запуск ЛА переднім фронтом сигналу;

Negative – запуск ЛА заднім фронтом сигналу;


Intemal – внутрішня розгортка;

Estemal – зовнішня розгортка;

Intemal clock rate – встановлення частоти розгортки;

Clock qualifier – встановлення значення вхідного сигналу (0, 1 або X), при якому відбудеться запуск аналізатора;

Threshold voltage - величина логічного сигналу.

В діалоговому вікні *Trigger patterns*, яке відкривається при натисканні ЛКМ на кнопці  блоку *Trigger*, задаються додаткові умови запуску аналізатора. За допомогою цього вікна можна задати необхідні двійкові 16-розрядні комбінації сигналів в каналах А, В і С, а потім у рядку *Trigger combinations* встановити такі додаткові умови запуску ЛА:

А – запуск аналізатора від каналу А;

А OR В – запуск ЛА від каналу А або В;

А OR В OR С – запуск ЛА від каналу А або В або С;

А THEN В – запуск ЛА від каналу А, якщо сигнал у каналі В дорівнює 1;

(А OR В) THEN С – запуск ЛА від каналу А або В, якщо сигнал у каналі С дорівнює 1;

А THEN (В OR С) – запуск ЛА від каналу А, якщо В чи С дорівнює 1;

А THEN В THEN С – запуск ЛА від каналу А, якщо сигнали в каналах В і С дорівнюють 1;

А THEN В (NOT С) – Запуск ЛА від каналу А, якщо сигнал В=1, С=0.


У вікні *Trigger Qualifier* можна задати логічні сигнали 1, 0 або X, за наявності яких відбувається запуск аналізатора.

Для правильного відображення логічних сигналів треба, натискаючи кнопку *Set*, встановити внутрішню частоту аналізатора більшою частоти генератора логічних слів, а число імпульсів на ділення (*Clock per division*) для кращого спостереження 1÷3.



1.7.7. Логічний перетворювач (Logic Converter)

Логічний перетворювач дозволяє отримати таблицю станів комбінаційної схеми, побудувати за логічною функцією схему пристрою на логічних елементах, спростити логічну функцію. Згорнуте зображення логічного перетворювача (ЛК) переноситься на робоче поле за допомогою курсору: навести курсор на його

іконку  в панелі Instruments, натиснути ЛКМ і перенести її на робоче поле. Згорнуте зображення логічного перетворювача (рис. 1.40, а) використовується для підключення до нього логічних схем за допомогою восьми вхідних клем і однієї вихідної (розміщена праворуч).

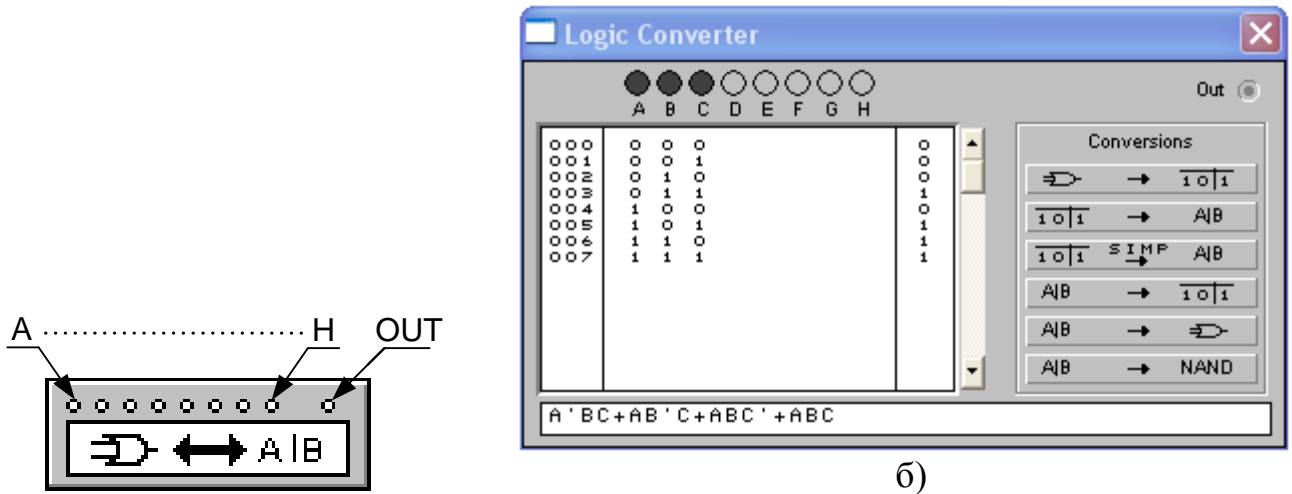


Рис. 1.40. Логічний перетворювач: згорнуте (а) і розгорнуте зображення (б)




Подвійним натисканням ЛКМ на згорнутому зображенню отримаємо розгорнуту лицьову панель ЛП (рис. 1.40, б). На розгорнутій панелі зображені клеми-індикатори входів А, В, С,..., Н (входів можливих аргументів) і клема виходу OUT, екран для відображення таблиці істинності, екран-рядок для відображення логічного рівняння. В правій частині панелі розміщені клавіші-піктограм керування процесом перетворення (CONVERSIONS). Для введення і виведення схем логічних пристроїв використовується робоче поле програми.

Клеми-індикатори входів і виходів на розгорнутій панелі (рис. 1.40,б) не є активними в схемному відношенні – вони імітують клеми, до яких підключаються входи і вихід, на згорнутому зображенні ЛП (рис. 1.40, а). Круги над літерами є екранними кнопками, натисканням по яких ЛКМ вибираються вхідні змінні логічних функцій (повторне натискання відмінє введену команду).




Варіанти використання ЛП:

1.7.7.1. Логічний аналіз цифрових схем з одним виходом





Отримання таблиці істинності схеми.

Для отримання таблиці істинності схеми треба підключити входи (А, В, С, D, Е, F, G, Н) згорнутого зображення логічного перетворювача до входів досліджуваної схеми (не більше восьми), вихід (OUT) логічного перетворювача з'єднати з виходом схеми. Після натискання кнопки    на екрані розгорнутого зображенні логічного перетворювача з'явиться таблиця істинності, яка описує функціонування досліджуваної схеми.




Отримання логічного рівняння схеми.

Для отримання логічного рівняння аналізуємої схеми треба після отримання таблиці істинності натиснути на клавішу   , після чого на екрані рядкі в нижній частину розгорнутого зображення ЛП з'явиться логічне рівняння схеми.




Спрощення логічного рівняння

Якщо таблиця істинності містить велике число змінних, то логічне рівняння функції виходить громіздким. Для його перетворення в мінімізовану (спрощену) форму слід натиснути кнопку    . В нижній частину розгорнутого зображення ЛП з'явиться спрощене логічне рівняння схеми.

Побудова схеми логічного пристрою за спрощеною схемою


Після одержання спрощеного рівняння потрібно натиснути на клавішу   . На робочому полі відобразиться схема пристрою на логічних елементах без обмеження їх типу.

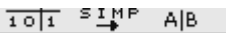


Побудова схеми пристрою на логічних елементах І-НЕ

Для побудови спрощеної схеми на логічних елементах І-НЕ потрібно після отримання спрощеного рівняння натиснути на кнопку   . На робочому полі відобразиться схема пристрою на логічних елементах І-НЕ.

1.7.7.2. Синтез схеми логічного пристрою за його таблицею істинності


Для того, щоб створити таблицю істинності, потрібно в лівій верхній частині приладу вибрати число змінних від А до Н (натиснути на відповідну букву ЛКМ). Вся ліва половина екрану заповниться комбінаціями нулів та одиниць, які визначають початкові вхідні умови. Трохи правіше розташований

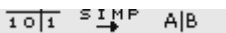


стовпець вихідних значень OUT (реакція на вхід), заповнений спочатку нулями. Змінюючи в правій колонці нулі на одиниці або * (байдужий стан), можна описати стан виходу для будь-якої початкової умови. Після натискання кнопки  в нижньому рядку розгорнутого зображення приладу з'явиться логічний вираз.

Натисканням на клавішу  отримаємо спрощене логічне рівняння, натискання на клавішу  - схему пристрою без обмеження типу логічних елементів і натискання на клавішу  - схему пристрою на елементах І-НЕ.

1.7.7.3. Синтез схеми логічного пристрою за його логічним рівнянням

З клавіатури заноситься в екран-рядок логічне рівняння пристрою, попередньо активізував там мишкою курсор. У рівнянні використовуються символи A, B, \dots, H , а при інверсії - A', B', \dots, H' . При введенні виразів інверсія позначається апострофом, логічне додавання - знаком $+$. Логічне множення не позначається.

Для отримання схеми, що реалізує функцію задану логічним рівнянням, потрібно натиснути кнопку . Після натискання цієї кнопки на робочому полі з'явиться еквівалентна логічному рівнянню схема. Усі елементи в схемі будуть виділені червоним кольором.

Виконуючи команду  отримаємо спрощене логічне рівняння пристрою, команду  - схему на логічних елементах без обмеження їх типу і команду  - схему на логічних елементах І-НЕ.

2. Технологія створення електронних схем

Для створення схем достатньо скористатися наявними в програмі *EWB* типовими компонентами.

Перед побудовою принципової схеми електронного пристрою за допомогою програми *EWB* потрібно на аркуші паперу накреслити її схему з орієнтовним розміщенням компонентів і значеннями їх параметрів.

До складу схеми обов'язково включати «корпус» (заземлення). Без заземлення вірний розрахунок схеми не гарантується.

Запустити програму *Electronics Workbench*.

Підготувати новий файл для роботи. Для цього необхідно виконати наступні операції з меню: *File/New* і *File/Save as*. При виконанні операції *Save as* необхідно вказати ім'я файлу (наприклад, прізвище виконавця) і каталог, в якому буде зберігатися схема. Згідно підготовленого ескізу схеми вибрати компоненти з бібліотек програми і перемістити їх на робоче поле.

Для цього треба відкрити каталог потрібної бібліотеки (*Sources, Basic, Diodes, Transistors, Analog Ics, Mixed Ics, Digital Ics, Logic Gates, Digital, Indicators, Controls, Miscellaneous, Instruments*): підвести курсор до іконки потрібної бібліотеки і натиснути по ній ЛКМ, після чого сірий фон іконки зміниться на світлий і на робочому полі з'явиться меню компонентів цієї бібліотеки. Для переміщення компонента з каталогу на робоче поле програми треба навести на нього курсор, натиснути ЛКМ і перемістити на робоче поле, де відпустити ЛКМ. Компонент залишається виділеним, тобто забарвленим у червоний колір. Натискання ЛКМ на вільному місці робочого поля компонент фіксується на ньому і його забарвлення стає чорним.

Після розміщення на робочому полі компонентів необхідно з'єднати їх провідниками.

Для з'єднання двох контактів необхідно клацнути по одному з контактів лівою кнопкою миші і не відпускаючи клавішу, довести курсор до другого контакту. Між компонентами залишиться провідник з'єднання. Якщо з'єднання не відбулося повторити процедуру ще раз.

При цьому потрібно враховувати, що до виводу компонента можна підключити тільки один провідник

При необхідності під'єднання до цих виводів інших провідників необхідно вибрати в бібліотеці *Basic* точку (символ з'єднання) і перемістити її на раніше встановлений провідник.

Після перенесення точка має червоний колір. Щоб вона почорніла, потрібно клацнути мишею на вільному місці робочого поля.

Якщо з'єднання відбулося, то точка буде повністю забарвлена в чорний колір. Якщо на точці видно слід перетинаючого провідника, то електричного з'єднання не відбулось і процедуру з'єднання потрібно повторити. До встановленої точки можна під'єднати ще два провідники.

Точка з'єднання може бути використана не тільки для підключення провідників, а також для введення надписів (довжиною не більше 14 символів). Інших способів введення тексту в EWB не існує.

Якщо необхідно перемістити окремих сегмент провідника, потрібно підвести до нього курсор, нажати ЛКМ і після появи у вертикальній чи горизонтальній площині подвійного курсора виконати необхідне переміщення.

Підключення до схеми контрольно-вимірювальних приладів проводиться аналогічно. При цьому для таких приладів, як осцилограф чи логічний аналізатор, з'єднання доцільно виконувати кольоровими провідниками, оскільки їх колір визначає колір відповідної осцилограми.

Натисканням на елементі правою кнопкою миші можна одержати швидкий доступ до найпростіших операцій над положенням елемента, таким як обертання (rotate), розворот (flip), копіювання / вирізання (copy / cut), вставка (Paste).

Проставити необхідні номінали і властивості кожному елементу. Для установки параметрів потрібно подвійним натисканням ЛКМ відкрити меню налаштування параметрів елемента. Вибір підтверджується натисканням кнопкою *Accept* і клавишею Enter.

Коли схема зібрана і готова до запуску, натиснути кнопку включення живлення на панелі інструментів. У випадку серйозної помилки в схемі (замикання елемента живлення накоротко, відсутність нульового потенціалу в схемі) буде видано попередження.

Проаналізувати схему, використовуючи інструменти індикації. Вивід елемента здійснюється подвійним натисканням клавіші миші на елементі. У випадку потреби можна користуватися кнопкою Pause

При необхідності зробити доступні аналізи в розділі меню Analysis.

Розглянемо порядок моделювання електронних схем на прикладі підсилювального каскаду з RC-зв'язками на біполярному транзисторі за схемою зі спільним емітером (СЕ). Спочатку треба накреслити на аркуші паперу схему зі заздалегідь розрахованими параметрами елементів (рис. 1.41).

З наведеного рисунку видно, що для реалізації моделі підсилювача треба мати набір резисторів, конденсаторів, джерело живлення, джерело вхідної змінної напруги, символ з'єднання, заземлення, функціональний генератор і осцилограф. Моделювання схеми виконується в такій послідовності:

Проводиться переміщення на робоче поле програми потрібних компонентів і контрольно-вимірювальних приладів.

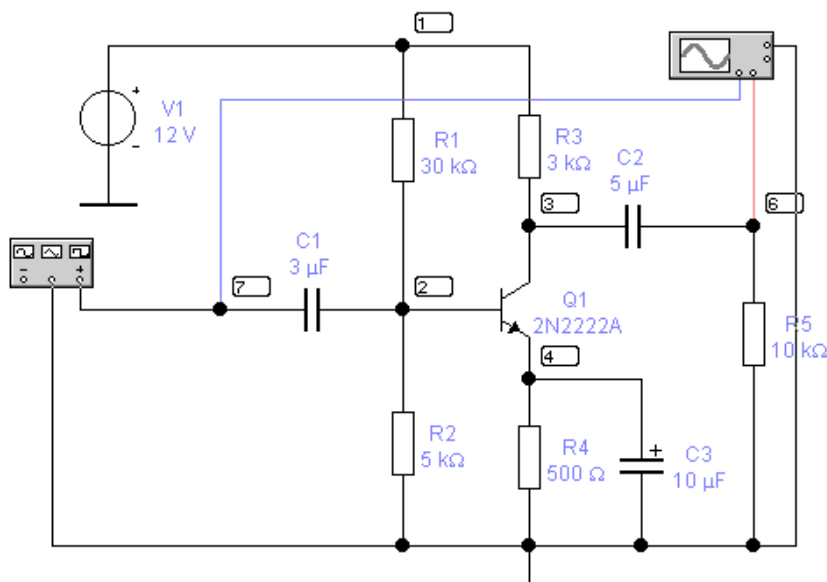


Рис. 1.41

Впорядковуються розташування компонентів і контрольно-вимірювальних приладів відповідно накресленій схемі.

Виконуються з'єднання елементів провідниками.

Встановлюються параметри і вибираються (при необхідності) типи елементів, величина напруги джерела живлення і вихідної напруги джерела змінної напруги.

Підключаються контрольно-вимірювальні прилади.

Перевіряється працездатність схеми.

Проводиться дослідження схеми.

Досліджувана схема збирається на робочому полі при одночасному використанні миші та клавіатури. Застосування в роботі тільки клавіатури неможливо.

Розглянемо реалізацію цих етапів.

2.1. Переміщення компонентів, генераторів і контролюючих приладів на робоче поле програми

Згідно підготовленого ескізу схеми перемістити потрібні компоненти і прилади з бібліотек програми на робоче поле, для чого навести курсор на піктограму відповідної бібліотеки (див. рис. 1.13) і нажати ЛКМ. Відкриється бібліотека компонентів. Після відкриття нової бібліотеки раніше відкрита зникає. Для того, щоб на робочому полі залишались одночасно відкритими декілька потрібних бібліотек, треба їх змістити по екрану.

На рис. 1.42 зображені розгорнуті бібліотеки, з яких на робоче поле програми переміщені компоненти і контрольно-вимірювальні прилади потрібні для моделювання схеми підсилювача.

Для переміщення на робоче поле програми необхідного компонента потрібно знайти його у відповідній бібліотеці, навести на нього курсор і при нажатій ЛКМ перемістити на робоче поле, де відпустити ЛКМ.

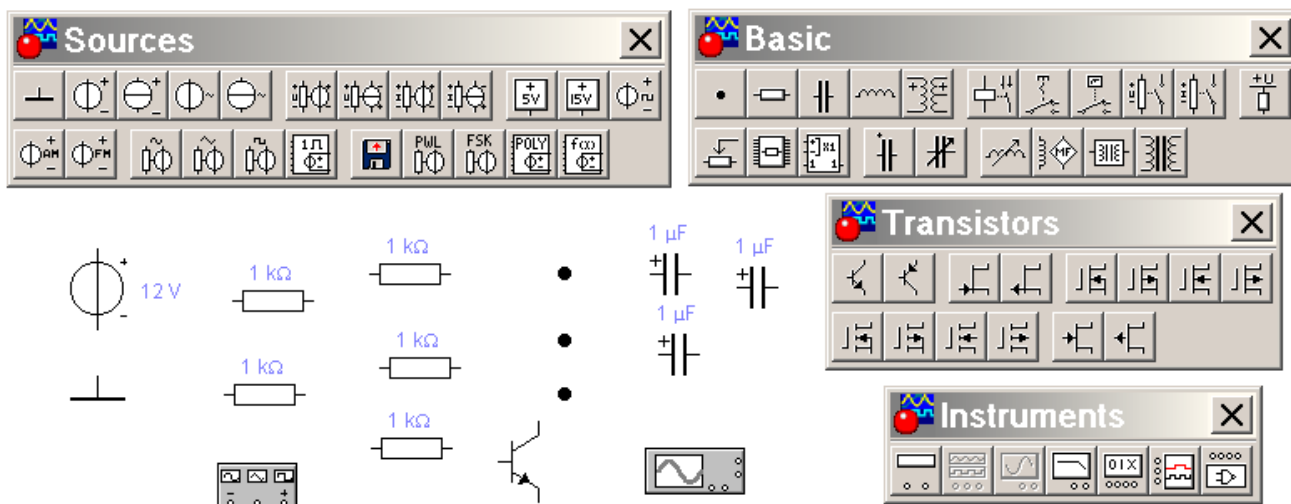



Рис. 1.42

Таким чином, з бібліотеки *Sources* переміщені джерело живлення і заземлення; з бібліотеки *Basis* – резистори, конденсатори і символ з’єднання (вузол); з бібліотеки *Transistors* – транзистор; з бібліотеки *Instruments* – функціональний генератор і осцилограф.

Після переміщення компонентів на робоче поле бібліотеки згортаються нажиманням ЛКМ на кнопку . Отримати на робочому полі декілька однотипних компонентів (наприклад резисторів) можна за допомогою панелі інструментів або клавіатури. Для цього компонент, що знаходиться на робочому полі, спочатку потрібно виділити (нажати на ньому ЛКМ), а потім натиснути послідовно кнопки *Copy* (копіювати) і *Paste* (вставити) панелі інструментів. Після кожного натискання ЛКМ на кнопці *Paste* на робочому полі буде виникати скопійований компонент. Ці ж дії виконуються за допомогою клавіатури: виділити компонент, нажати на клавішу (при англійській розкладці) *Ctrl+C* (копіювати), а потім - на клавішу *Ctrl+V* (вставити).

При створенні схем зручно використовувати контекстне меню, яке викликається натисканням ПКМ. Меню має команди *Help*, *Paste*, *Zoom In*, *Zoom Out*, *Schematic Options*, *Add* (назва компонента). Команда *Add* дозволяє додати на робоче поле компоненти, не звертаючись до каталогу відповідної бібліотеки. Кількість команд *Add* у списку меню визначається кількістю типів компонент (резисторів, конденсаторів, транзисторів, значків заземлення і т.п.), які уже є на робочому полі.

Якщо при створенні схеми використана модель компонента зі зміненими значеннями параметрів (наприклад, операційного підсилювача), то у разі чергової загрузки файла зі схемою, що містить такий компонент, викликається меню з повідомленням про нестандартне використання моделі з пропонуванням вибрати один з наступних варіантів:

Use library model – використати стандартну модель з параметрами за замовченням;

Us circuit model – використати модель зі зміненими значеннями параметрів;

Put model into... – вставити модель в каталог однотипних моделей (відкривається меню відповідного каталога);

Renome model...- перейменувати модель;

Cancel – відмовитись від завантаження.

Для вилучення компонента або групи компонентів з робочого поля програми потрібно спочатку виділити компоненти, які необхідно вилучити, а потім виконати одну із таких дій:

натиснути кнопку *Cut* (вирізати) на панелі інструментів;

натиснути на клавіші *Ctrl+X* (вирізати), або *Delete* (вилучити);

натиснути правою кнопкою миші по компоненту - розкриється контекстне меню, в якому вибрати команду *Cut* або *Delete*.

Слід мати на увазі, що при команді *Cut* компоненти видаляються до буферу обміну, а при команді *Delete* – вилучаються повністю.

2.2. Впорядкування розташування компонентів і приладів на робочому полі

Компоненти на робочому полі бажано розташувати так, як вони розташовані на рис. 41. Для цього виділити відповідний компонент (при цьому він прийме червоний колір, а курсор – вигляд руки) і при нажатій ЛКМ перемістити на потрібне місце. Для зміни просторової орієнтації елемента потрібно його виділити, а потім виконати одну із таких дій:

Нажати ЛКМ на одну із розміщених на лінійці інструментів піктограм *ROTATE* (поворот на 90° проти годинникової стрілки), *Flip Horizontal* (повернення на 180° по горизонталі), *Flip Vertical* (повернення на 180° по вертикалі), або натиснути на

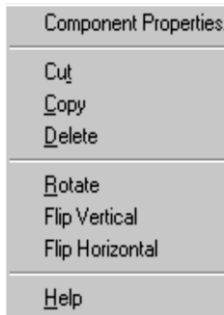


Рис. 1.43

клавишу *Ctrl + R*, або розкрити меню *Circuit* (схема) і дати команду *ROTATE*, *Flip Horizontal* чи *Flip Vertical*; або натиснути правою кнопкою миші по елементу - розкриється контекстне меню *Component Properties* (рис. 1.43), за допомогою якого можна отримати доступ до таких операцій над елементом: вирізання (*Cut*), копіювання (*Copy*), видалення (*Delete*), обертання (*Rotate*), розвертання по вертикалі (*Flip Vertical*), поворот по горизонталі (*Flip Horizontal*).

2.3. З'єднання компонентів провідниками

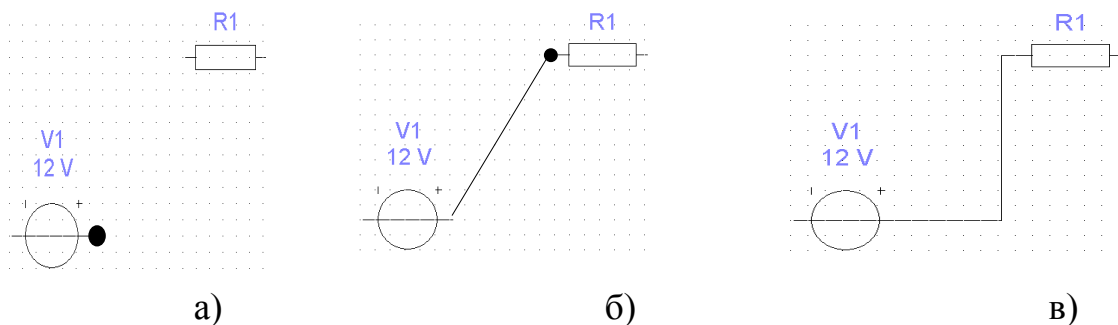



Рис. 1.44

Виводи компонентів схем влаштовані так, що на їх кінцях є клеми для приєднання до інших компонентів. У звичайному стані цих клем не видно. Для з'єднання двох компонентів потрібно підвести курсор “мишки” до полюса одного компонента і після появи на ньому великої чорної точки (рис. 1.44, а) натиснути ЛКМ і, не відпускаючи ЛКМ, перемістити курсор до місця з'єднання з іншим компонентом. Між ними з'явиться з'єднувальна лінія. З появою великої чорної точки на місці з'єднання кнопку “мишки” відпустити (рис. 1.44, б). Якщо з'єднання відбулось, то між з'єднаними полюсами залишиться з'єднувальна лінія (провідник). Якщо з'єднання не відбулось, то операцію повторити. Проведена лінія сама вибере шлях між з'єднаними клемами (рис. 1.44, в).

До полюсів компонента можна приєднати тільки один провідник. Для приєднання інших провідників можна скористатись компонентом вузла , що

знаходиться в розділі Basic. Вузол за допомогою “мишки” перемістити до місця з’єднання. У вузла є 4 клеми - зверху, знизу, зліва і справа. У звичайному стані їх не видно, а з’являються вони при наближенні до них курсора миші. Якщо вузол з’єднується з провідником, то він забарвиться у червоний колір, а потім (після фіксації) – у чорний. Якщо є видимі сліди від провідника, то електричного з’єднання вузла й провідника не сталося і потрібно все повторити. Після вдалого встановлення вузла до нього можна приєднати ще два провідники.

Якщо необхідно вивід компонента підключити до вже існуючого на схемі провідника, то з виводу компонента провідник курсором підводимо до вказаного провідника і після появи точки з’єднання відпустити кнопку миші.

Якщо з’єднання треба розірвати, то необхідно підвести курсор “мишки” до одного з полюсів з’єднаних компонентів і з появою великої чорної точки натиснути ЛКМ, відвести провідник на вільне місце робочого поля і відпустити кнопку. Робити це акуратно, щоб "відпущений" кінець провідника по шляху не приєднався до якого-небудь елемента схеми. Можна також виділити провідник однократним натисканням ЛКМ і потім видалити його будь-яким стандартним способом, наприклад, скориставшись клавішею «Delete». Аналогічно видаляється будь-який непотрібний компонент чи частина схеми, але після її стандартного рамкового виділення.

Якщо елемент схеми або прилад вилучається, то усі пов’язані з ними провідники від’єднуються автоматично.

В уже проведений провідник можна вставити компонент, що має тільки два виводи (наприклад резистор $R2$ на рис. 1.45, а). Для цього потрібно компонент розмістити на провідник так, щоб його виводи поєдналися з провідником. Після відпускання кнопки елемент виявиться правильно включеним у схему (рис. 1.45, б).

Для перевірки з’єднання компонента потрібно спробувати його перемістити. Якщо при переміщенні разом з компонентом будуть «тягнутись» провідники, то з’єднання відбулося.

Щоб з'єднати два уже прокладених провідника, потрібно на один з них помістити вузол, а потім від його клеми вести провідник до іншого провідника. Як тільки при перетині провідника виникне потовщення у вигляді крапки, слід відпустити кнопку. На іншому провіднику утвориться з'єднання у вигляді крапки. Якщо цього не сталося, повторити спробу.

З'єднання, виконані програмою автоматично, часто виходять з безліччю змін напрямку або складаються не з взаємно перпендикулярних прямих, можуть перетинати зображення інших елементів і йти за явно нераціональним шляхом (іншими словами, з'єднання ніяк не можна назвати акуратним). Є декілька можливостей для покращення зовнішнього вигляду з'єднань. Вибраний метод визначається причиною, що визвала неакуратне з'єднання. Якщо з'єднані компоненти знаходяться на різних рівнях, то треба виділити один із них (натиснути на ньому ЛКМ - він змінить колір) і, користуючись клавішами зі стрілками, вирівняти їх. Якщо провідник частково проходить по контуру елемента схеми, то можна виділити і пересунути цей елемент. Іноді з'єднання можуть бути поліпшені зміною порядку їх проведення (наприклад, не від А до В, а від В до А) або виділенням елемента і скасуванням виділення.

Часто поворот елемента перед підключенням до схеми приводить до більш акуратного з'єднання.

У будь-якому випадку можна перетягнути провідник самому. Для цього потрібно помістити курсор на провідник і натиснути ЛКМ - курсор прийме

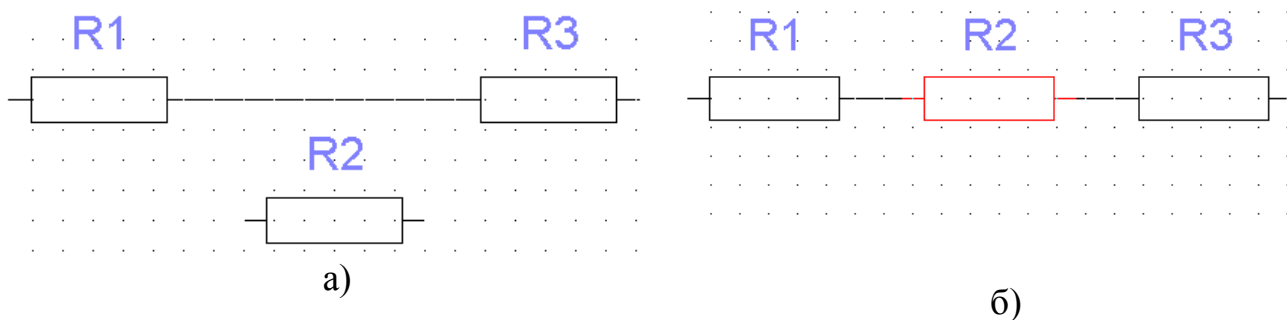


Рис. 1.45

вигляду двобічної стрілки. Тепер можна перетягнути відрізок з'єднання в

потрібному напрямку, а потім відпустити кнопку миші. Доведеться змиритися з тим, що іноді з'єднання повернеться до колишнього вигляду.

Для переміщення компонента у побудованій моделі схеми його попередньо треба виділити, натисканням ЛКМ на його зображенні. Компонент змінює свій колір на червоний і натисканням ЛКМ на його зображенні його можна перемістити на потрібне місце. Якщо необхідно перемістити групу компонентів, їх також слід виділити. Для цього потрібно встановити курсор “мишки” в один з кутів уявної прямокутної ділянки, що містить групу, і натиснувши ЛКМ, розтягнути рамку до потрібних розмірів, після чого її відпустити. Елементи, що розміщені всередині рамки, змінять свій колір на червоний. Натиснувши ЛКМ на зображенні будь-якого елемента групи, перемістити його у потрібне місце. Щоб зняти виділення, потрібно натиснути ЛКМ на будь-якому вільному місці робочого поля.

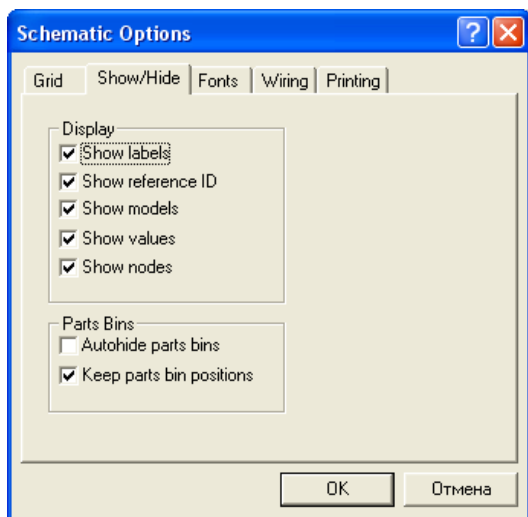


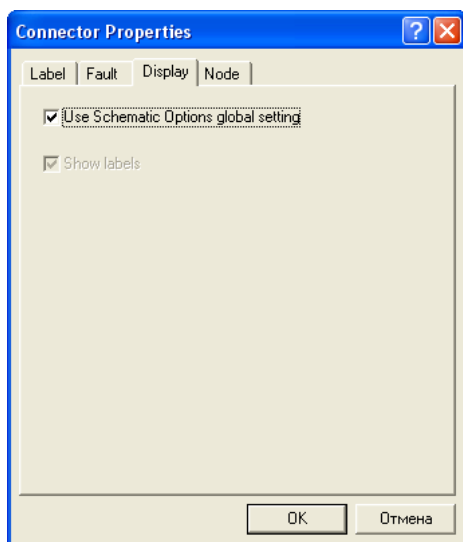
Рис. 1.46

Зауваження: 1. Для зручності розташування елементів схеми на робочому полі монітора можна відобразити на його екрані сітку. Для цього в меню *Circuit* вибрати *Schematic Options* (рис. 1.46) і після активації закладки *Grid* (натиснути по ній ЛКМ) включити опцію *Show grid* (показати сітку), залишивши включеною опцію *Use grid* (використати сітку). Після цього натиснути на кнопку ОК.

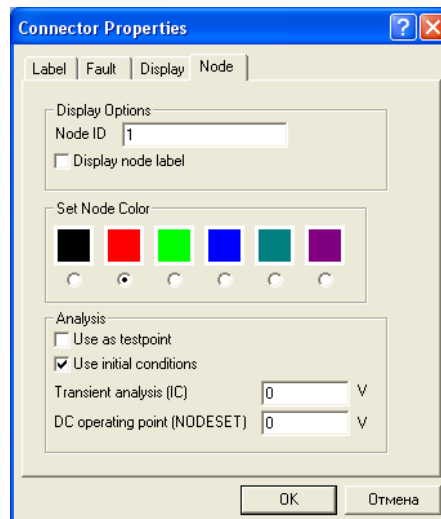
2. З'єднання компонентів краще виконувати при великих масштабах зображення, після чого вернутись до меншого масштабу зображення.

3. Проведення з'єднувальних проводів виконується автоматично, причому перешкоди – компоненти та інші провідники - огинаються за ортогональним напрямком (горизонтально або вертикально).

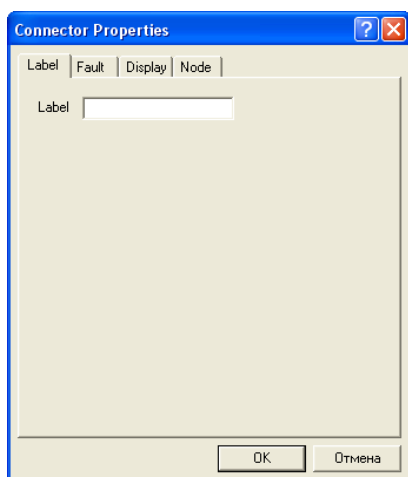
4. Не розміщувати з'єднувальні вузли близько до компонентів.



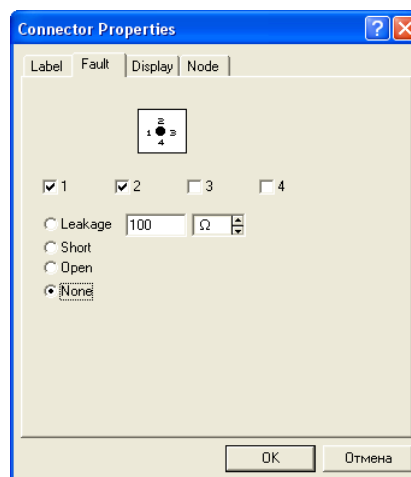
а)



б)



в)



г)

Рис. 47

5. У програмі *EWB* графічне зображення вузлів (нод) на схемах утворюється автоматично у разі з'єднання у вузлі трьох або чотирьох провідників. Таким з'єднанням (нодам) автоматично присвоюються порядкові номери в порядку їх утворення. Корпусу схеми присвоюється номер 0.

6. Не потрібно залишати у вікні схеми елементи, що не використовуються. Їх потрібно вилучити.

Для відображення на схемі вузлів (нод) потрібно поступити таким чином: відкрити меню *Circuit*, натиснути на *Schematic Options*, перейти на закладку

Show/Hide, поставити позначку у віконці *Show nodes* і натиснути на кнопку ОК (рис. 1.46).

Монтажні вузли можна також використовувати для планування траєкторії з'єднувальних провідників, імітувати неполадки в схемі або робити потрібні написи. Для цього потрібно навести на вузол курсор і два рази натиснути ЛКМ. Відкриється діалогове вікно *Connector Properties* (властивості компонента) (рис. 47), яке має такі закладки:

Label – введення тексту (рис. 1.47, а): у вікні *Label* ввести текст (до 14 символів).

Fault (*CTRL+F*) – імітація неполадок виділеного компоненту шляхом введення (рис. 1.47, б):

Leakage - опору витоку;

Short – короткого замикання;

Open – обриву;

None – неполадка відсутня (включено за замовченням).

Display (рис. 1.47, в) – дисплей:

Use Schematic Options global setting – використовувати параметри за замовченням;

Show labels –показувати на схемі позиційні позначення компонентів.

Node (рис. 1.47, г) – вузол:

При виборі закладки *Node* відкриється вікно (рис. 1.47, г), яке має три поля. У вікні *Node ID* поля *Display Options* задається цифрова позначка вузла і для її зображені на схемі у віконці *Display node label* ставиться відмітка. На полі *Set Node Color* вибирається колір провідника. На полі *Analysis* у вікні *Use as testpoint* поставити мітку, якщо вузол використовується при дослідженні. Якщо мітка стоїть у вікні *Use initial conditions*, то використовуються початкові умови. Результат вибору підтверджується натисканням на кнопку ОК. При зміні забарвлення монтажного вузла автоматично змінюють забарвлення усі з'єднані з ним провідники. Зміна кольору провідників покращує наочність схеми, а в разі використання таких контрольно-вимірювальних приладів, як осцилограф чи

логічний аналізатор, дозволяє отримати різнобарвні осцилограми, колір яких буде такий же як з'єднувальні провідники.

Transient analysis (IC) – аналіз перехідних процесів;

DC operating point (NODESET) - величина постійного струму вузла.

Зауваження: Позначку вузла не слід плутати з наскрізною розрахунковою нумерацією вузлів (*Node*), яка починається з 0 – заземлення і встановлюється програмою автоматично в міру їх утворення. Програмну нумерацію вузла можна виявити, якщо нажати по ньому два рази ЛКМ і у вікні, що з'явиться, *Connector Properties* натиснути ЛКМ на кнопку *Node*. Програмні номери вузлів використовуються програмою при моделюванні поведінки кіл в опції *Analysis*.

2.4. Встановлення параметрів і вибір типів елементів

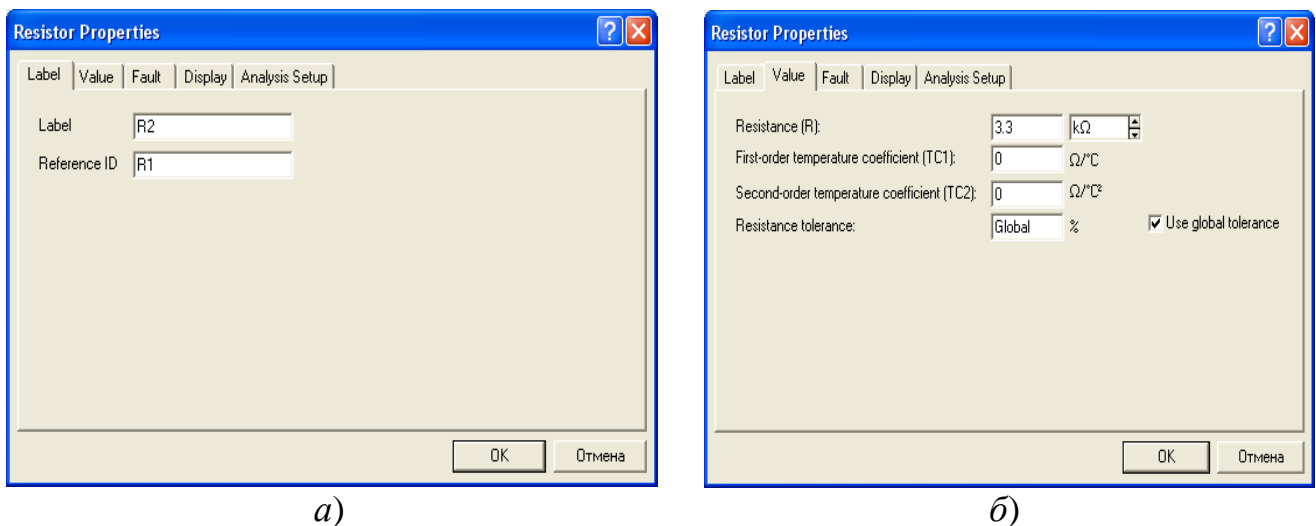


Рис.1.48

Після побудови рисунку принципової схеми електронного пристрою треба відредагувати параметри його елементів.

Усі елементи програми EWB, крім заземлення, мають певні параметри. Прості компоненти (різні джерела, резистори, конденсатори і т. ін.) мають один чи кілька параметрів. Складні компоненти, такі як трансформатор чи транзистор, мають кілька параметрів, що разом формують модель елемента. У програмі усі параметри елементів встановлені за замовчуванням. Для зміни параметрів компонента в меню *Circuit* існує команда *Component Properties*

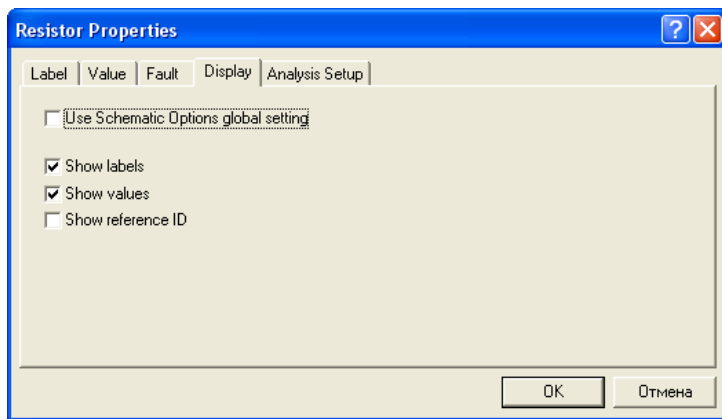



Рис. 1.49


приведене діалогове вікно для резистора. У вікні, яке з'явиться за допомогою визначених у ньому закладок, встановити потрібні параметри. Вибрати закладку *Label* (позначення) і у вікні *Label* вдрукувати літерні позначення резистора (рис. 1.48, а). Якщо потрібно зсунути позначення праворуч від зображення компонента до 14 символів, слід скористатись клавішею “Пробіл”.

Потім вибрати закладку *Value* (значення) і у вікні *Resistance [R]* (опір) за допомогою клавіатури та “мишки” потрібно ввести величину опору резистора, а одиниці виміру встановити за допомогою кнопок  (рис. 1.8, б). (Слід мати на увазі, що ціла і дробна частини десяткового числа поділяються крапкою). Потім вибрати закладку *Display* (дісплей) (рис. 1.49) і, якщо потрібно, поставити позначки *Show labels* (показати позначення на схемі) і *Show values* (показати значення на схемі). Зроблений вибір підтвердити натиском ЛКМ на кнопку ОК.

Для складних компонент команда *Component Properties* має закладку *Models*. Діалогове вікно відповідно до закладки *Models* (модель біполярного транзистора) зображено на рис. 1.50, а.

У ньому позначено: *Library* – перелік бібліотек, в яких знаходяться компоненти вибраного типу; *Model* – перелік моделей компонентів вибраної бібліотеки; *New Library* – створення нової бібліотеки.

Після виконання команди *Edit* з'являється діалогове вікно (рис. 1.50, б) з параметрами вибраної моделі, поданими відповідними списками, які за потреби можна змінити.

(властивості компонента). Для виконання цієї команди потрібно навести курсор на зображення компонента і подвійним нажаттям ЛКМ, або клацанням ЛКМ по кнопці *Component Properties* , що на панелі інструментів, відкрити діалогове вікно. На рис. 1.48

Усі провідники за замовченням чорного кольору. Для зміни кольору провідника потрібно два рази натиснути ЛКМ на провідник, відкриється вікно (рис. 1.51, в якому вибрати закладку *Schematic Options*, мишкою вибрати потрібний колір і натиснути кнопку ОК.

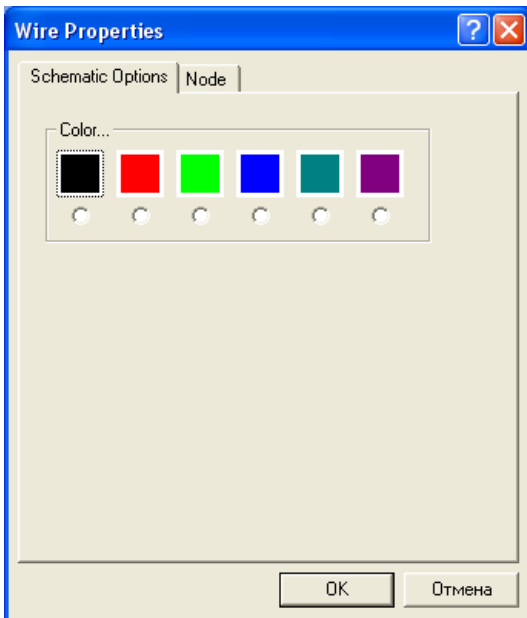
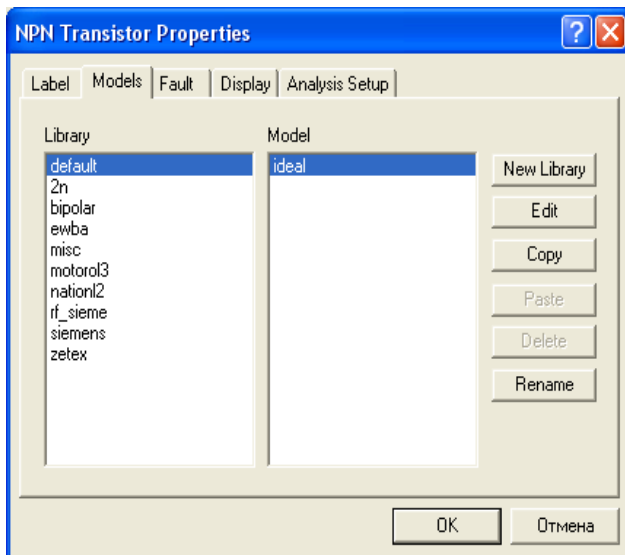


Рис. 1.51

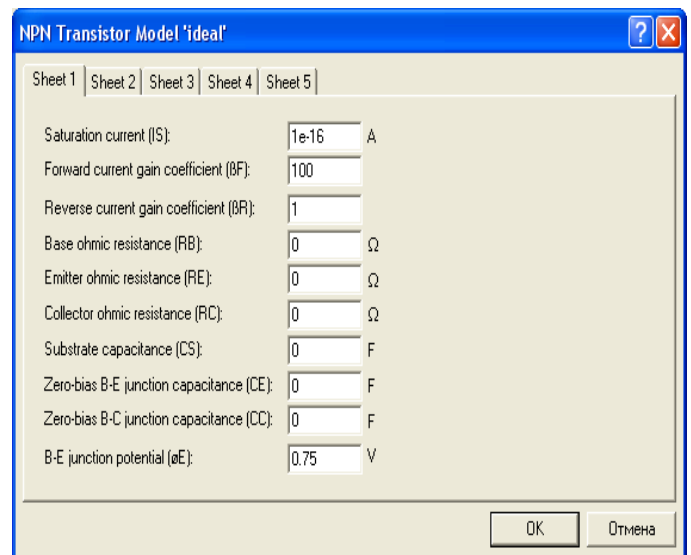
2.5. Перевірка працездатності схеми

Для перевірки працездатності схеми натиснути на кнопку вмикання живлення на панелі інструментів . У разі серйозної помилки в схемі (коротке замикання, відсутність нульового потенціалу) програма видасть попередження.

Треба мати на увазі, що не усі схеми потребують заземлення для моделювання, проте будь-яка схема, що містить:



а)



б)


Рис. 1.50


операційний підсилювач, трансформатор, кероване джерело, осцилограф мають бути обов'язково заземлені, інакше прилади не будуть проводити вимірювання або їх показання виявляться не вірними.

2.6. Аналіз (дослідження) схеми

Зауваження: При проведенні аналізу не рекомендується довгий час тримати схему в активному стані. При цьому в процесі обробки даних і рішення рівнянь може накопичитись помилка у розрахунках, що в свою чергу привести до аварійного завершення програми модулювання.

До складу схеми обов'язково включають корпус (заземлення). Без цього компонента вірний розрахунок схеми не гарантується.

Для аналізу схеми потрібно після її збирання і підключення вимірювальних приладів натиснути ЛКМ на кнопку  (*Activate/Stop*). Розраховані значення струмів, напруг чи опорів резисторів відображаються на екранах вимірювальних приладів.

Після цього можна змінювати параметри елементів, видаляти чи додавати елементи, підключати вимірювальні прилади до інших контрольних точок схеми. Після таких змін треба знову активізувати схему натисканням ЛКМ на кнопку  *Activate/Stop*.

У залежності від типів підключених до схеми вимірювальних приладів програма автоматично налаштовується на виконання наступних видів аналізу:

DC Operating Point – розрахунок режиму за постійним струмом, в разі включення мультиметра, амперметрів і вольтметрів для вимірювання постійних струмів і напруг;

AC Frequency – розрахунок частотних характеристик, при включенні графопобудовника амплітудно-частотних (АЧХ) і фазочастотних (ФЧХ) характеристик, а також мультиметра, амперметрів і вольтметрів для вимірювання змінних струмів і напруг;

Transient – розрахунок перехідних процесів, при використанні осцилографа.

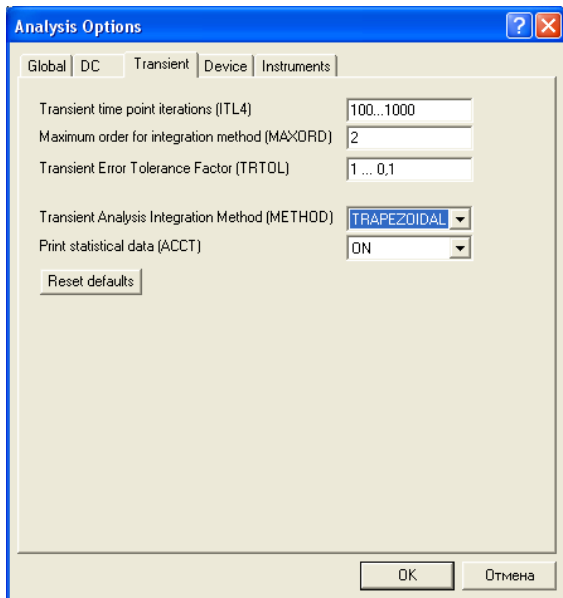


Рис. 1.52

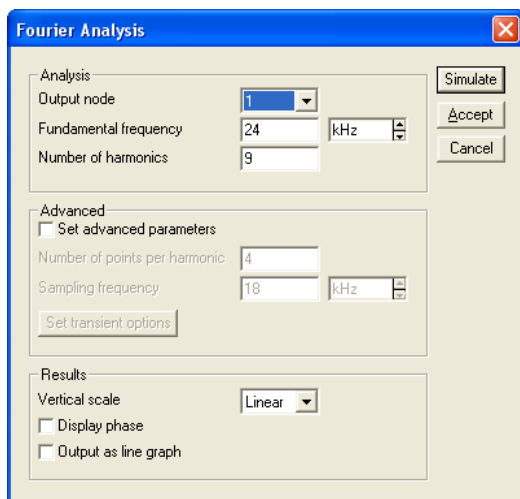


Рис. 1.53

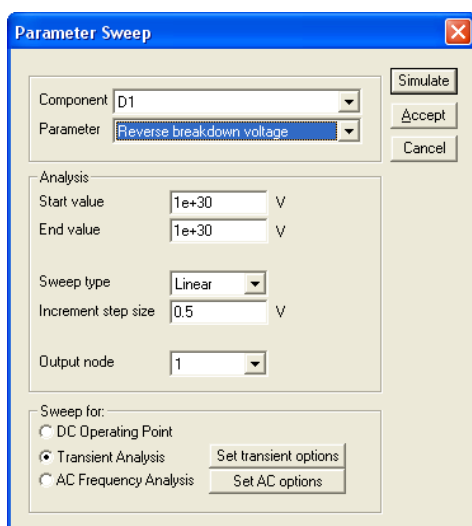


Рис. 1.54

У програмі *EWB* можна задати також режим аналізу за допомогою відповідних команд меню *Analysis Options* (рис. 1.52).

Для підвищення точності результатів аналізу перехідних процесів бажано вибрати в меню *Analysis* пункт *Analysis* і вибрати в ньому закладку *Transient*, в якій встановити наступні значення параметрів програми: у вікні *ITL4*=100...1000; у вікні *TRTOL*=1... 0,1 (рис. 1.52).

Для аналізу спектрів сигналів треба вибрати в меню *Analysis* пункт *Fourier*, після чого відкриється діалогове вікно встановлення опцій Фур'є - аналізу (рис. 1.53), в якому встановити номер вузла (ноди) схеми, для якого проводиться аналіз (*Output node*), частоту основної гармоніки (*Fundamental frequency*) і число розрахованих гармонік (*Number of harmonics*).

Аналіз вольт-амперних характеристик напівпровідникових приладів проводиться з використанням варіації параметрів. Для цього в меню *Analysis* вибирається пункт *Parameter Sweep*. У діалоговому вікні (рис. 1.54) вказується літерне позначення елемента (*Component*) та параметр елемента, який змінюється (*Parameter*).

В пам'яті програми *EWB* знаходяться бібліотеки електронних схем. Якщо




Рис. 1.55

ви ними користувалися, то для запобігання порушенню схем категорично забороняється користуватися командою «Да» (*Save*), коли комп'ютер після закінчення роботи запитуватиме, чи

потрібно зберегти зроблені в процесі роботи зміни в схемі. У такому випадку треба відповісти «Нет», натиснув відповідну кнопку (рис. 1.55).

2.7. Створення субблоків

Програма *Electronics Workbench* дозволяє об'єднувати елементи електричного кола у субблоки (підсхеми). Покажемо це на прикладі однофазного випрямляча з LC-фільтром (рис. 1.56). Замінімо LC-фільтр субблоком. Для цього потрібно поступити наступним чином: за межами схеми натиснути ЛКМ і, не відпускаючи її, виділити ділянку схеми, яку потрібно об'єднати у субблок. При цьому утвориться рамка з виділеними в ній червоним кольором елементами. Провідники, що пересікають контур субблоку, в подальшому утворять його виводи. Потрібно слідкувати, щоб у виділеній ділянці не було зайвих провідників. Після виділення субблоку, доки його елементи мають активний червоний колір (рис. 1.56, а), увійти в меню *Circuit* (схема) і вибрати пункт *Create Subcircuit* (створення  підсхеми), або натиснути кнопку на робочій панелі. На екрані з'явиться діалогове вікно *Subcircuit* (рис. 1.56, б).

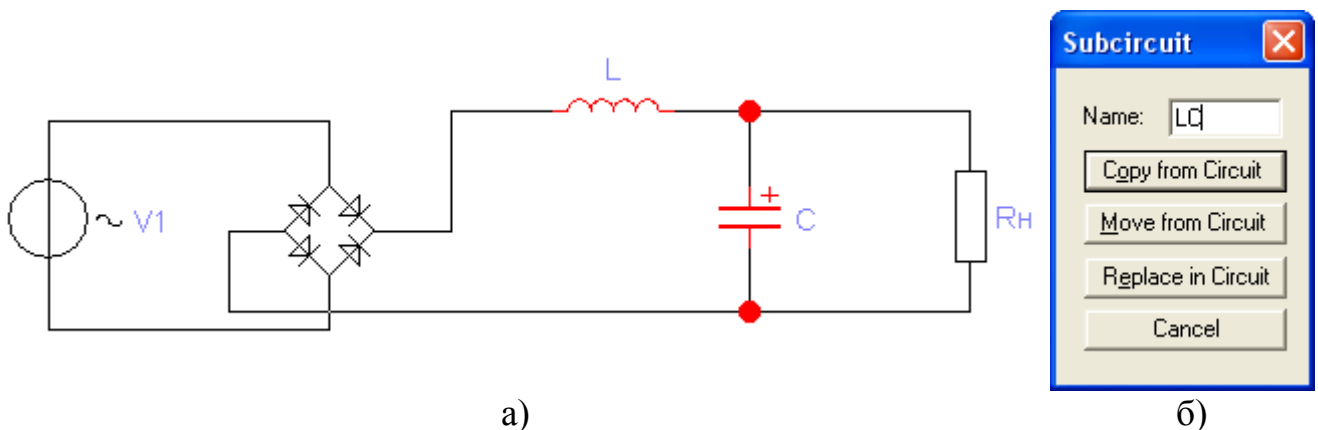



Рис. 1.56

У рядку *Name* потрібно ввести ім'я субблока, наприклад *LC*, а потім натиснути одну з чотирьох кнопок:

- *Copy from circuit* - скопіювати зі схеми;
- *Move from circuit* - видалити зі схеми;
- *Replace in circuit* - замінити у схемі;
- *Cancel* - скасувати.

При натисканні кнопки «*Copy from circuit*» схема залишається без змін, а у полі компонентів *Favorites* () з'являється субблок з присвоєним йому ім'ям.

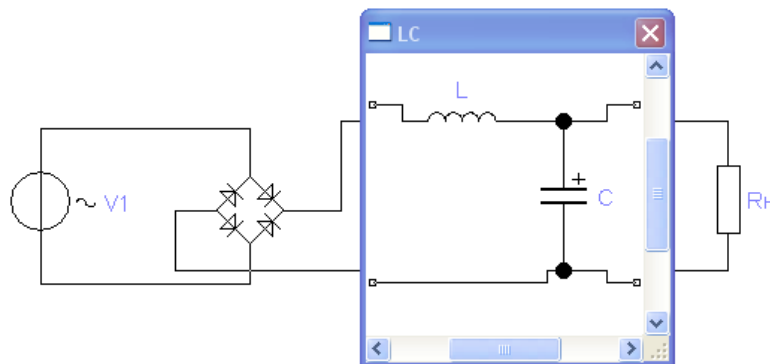


Рис. 1.57

При натисканні кнопки «*Move from circuit*» виділена частина схеми вирізається зі схеми і поміщається у вікно з ім'ям, присвоєному субблоку, як показано на рис. 1.57. У полі компонентів *Favorites* з'явиться зображення субблока з наданим йому ім'ям.

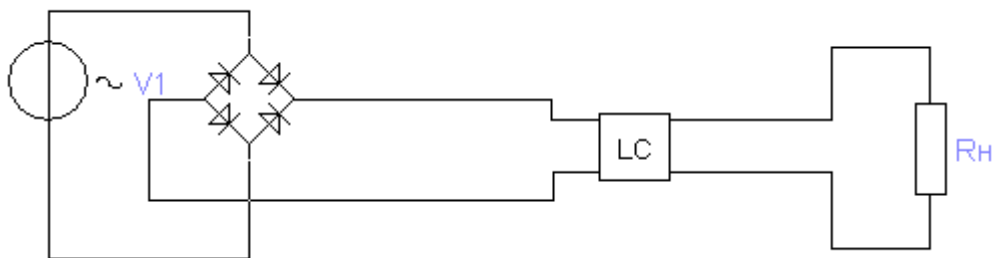


Рис. 1.58

При натисканні на кнопку «*Replace in circuit*» виділена частина схеми замінюється субблоком, як показано на рис. 1.58. При цьому так само, як і в

попередньому випадку, відкривається вікно з ім'ям, наданому субблоку, а в полі компонентів *Favorites* з'явиться субблок з цим ім'ям.

2.8. Перелік бібліотечних компонентів програми EWB потрібних для дослідження цифрових пристроїв

Для проектування цифрових схем програмний комплекс Electronics Workbench має ряд компонентів, які знаходяться в різних групах бібліотек компонентів і контрольно-вимірювальних приладів.

Група Basic:

[Space]

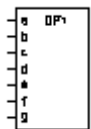


- перемикач, керується натисканням заданої клавиші клавіатури (в квадратних дужках), за замовченням - клавиша пробіл.

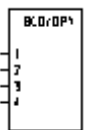
Індикаторні прилади - група INDICATORS:



- світлоіндикатор (колір свічення може бути налаштований червоним, зеленим і синім);



- семисегментний індикатор з дешифратором;

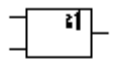


- семисегментний індикатор.

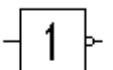
Група LOGIC GATES - логічні елементи:



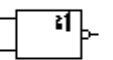
- логічний елемент "І";



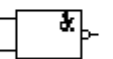
- логічний елемент "АБО";



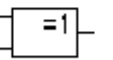
- логічний елемент "НЕ" ;



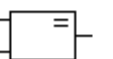
- логічний елемент "АБО-НЕ";



- логічний елемент "І-НЕ";

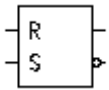


- логічний елемент виключальне "АБО";

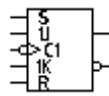


- логічний елемент імплікація.

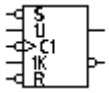
Комбіновані цифрові компоненти:



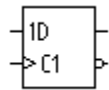
- асинхронний RS-тригер;



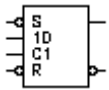
- універсальний JK-тригер з прямим тактовим входом і входами попереднього встановлення;



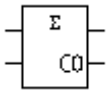
- універсальний JK-тригер з інверсним тактовим входом і інверсними входами попереднього встановлення;



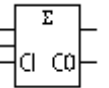
- D-тригер;



- D- тригер з входами попереднього встановлення;



- напівсуматор;



- повний суматор.

Група INSTRUMENTS- прилади:

- генератор слова - *Word Generator*

На рис. 1.59, *а* показаний генератор слова з підключеними семисегментними індикаторами і зовнішнім генератором синхроімпульсів.

На рис. 1.59, *б* генератор слова показаний у розгорнутому вигляді. Генератор (або кодовий генератор) призначений для генерації 16-ти розрядних двійкових слів. Для набору двійкових комбінацій потрібно клацнути мишею на відповідному розряді і потім ввести з клавіатури число в десятковому коді.

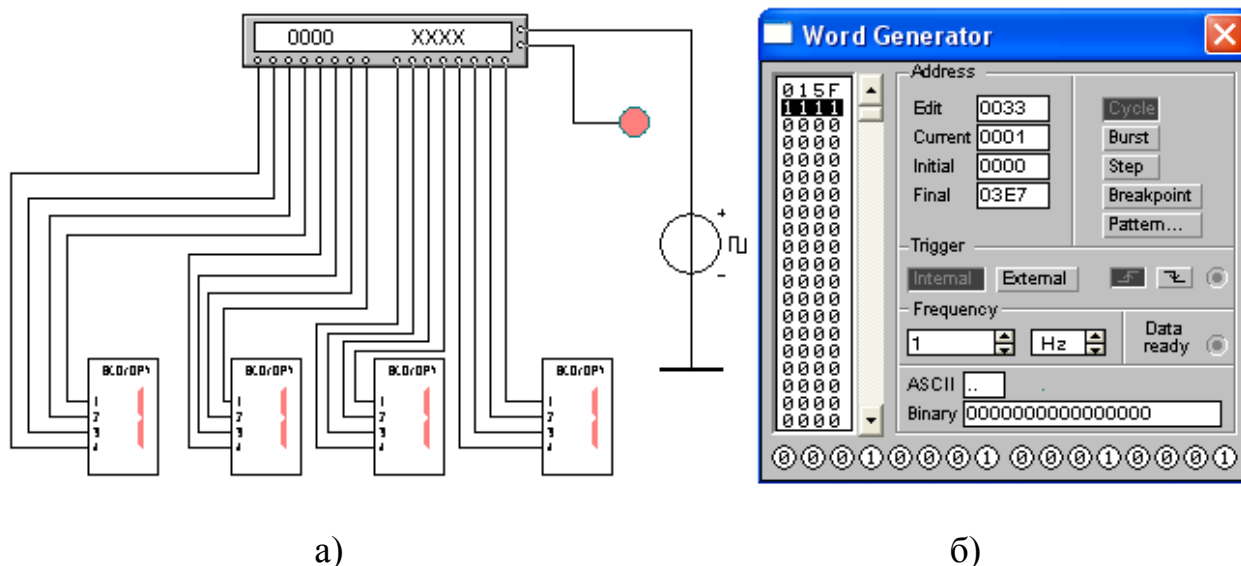
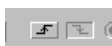


Рис. 1.59- генератор слова - *Word Generator*


Занесені слова відображуються на шістнадцятьох розміщених на нижній частині приладу вихідних клемах-індикаторах:

- з індикацією в двійковому коді в вікні *binary*;
- в пошаговому (*step*), циклічному (*cycle*) або з вибраного слова до кінця (при нажатій кнопці *BURST*) при заданій частоті посилянь (установка- задачою частоти у вікнах *FREQUENCY*)
- при внутрішньому або зовнішньому запуску (при натисканні кнопки *EXTERNAL*, праворуч верхня клема служить для підключення сигналу синхронізації);
- для запуску за переднім або заднім фронтом сигналу синхронізації служить кнопка



- до правої нижньої клеми видається вихідний синхронізуючий імпульс.



Логічний перетворювач (Logic Converter). Логічний перетворювач дозволяє отримати таблицю станів комбінаційної схеми, побудувати за логічною функцією схему пристрою на логічних елементах, спростити логічну функцію. Згорнуте зображення логічного перетворювача (ЛК) переноситься на робоче поле за допомогою курсору: навести курсор на його іконку  в панелі *Instruments*, натиснути ЛКМ і перенести її на робоче поле. Згорнуте зображення логічного

перетворювача (рис. 1.60, а) використовується для підключення до нього логічних схем за допомогою восьми вхідних клем і однієї вихідної (розміщена праворуч).

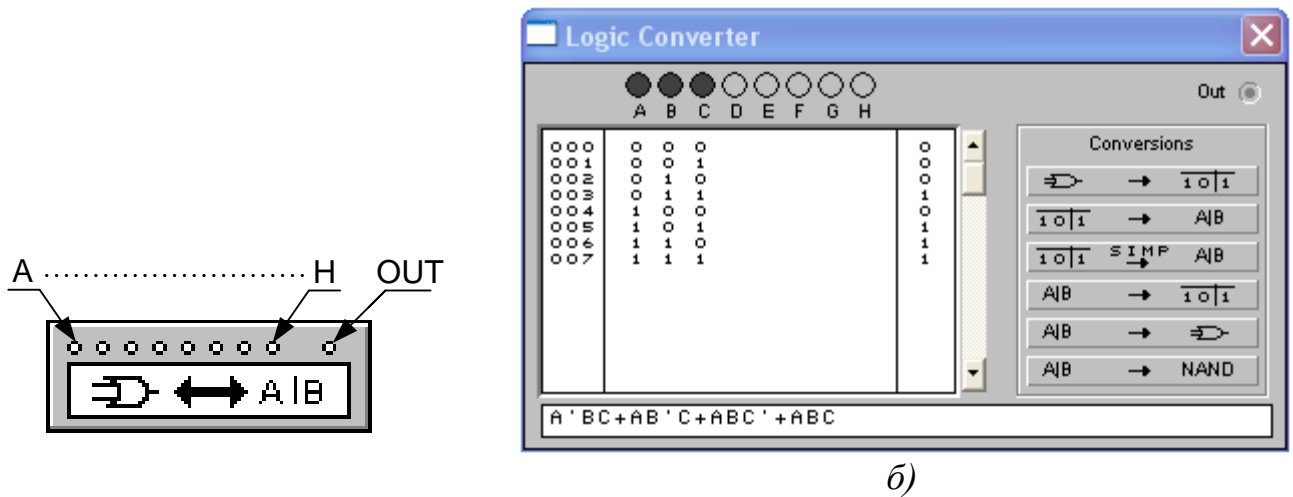


Рис. 1.60. Згорнуте (а) і розгорнуте (б) зображення Logic Converter

Подвійним натисканням ЛКМ на згорнутому зображенню (а) отримаємо розгорнуту лицьову панель ЛП (б). На розгорнутій панелі зображені клеми-індикатори входів А, В, С, ..., Н (входів можливих аргументів) і клемка виходу *OUT*, екран для відображення таблиці істинності, екран-рядок для відображення логічного рівняння. В правій частині панелі розміщені клавіші-піктограм керування процесом перетворення (*CONVERSIONS*). Для введення і виведення схем логічних пристроїв використовується робоче поле програми.

Клеми-індикатори входів і виходів на розгорнутій панелі не є активними в схемному відношенні – вони імітують клеми, до яких підключаються входи і вихід, на згорнутому зображенні ЛП. Круги над літерами є екранними кнопками, натисканням по яких ЛКМ вибираються вхідні змінні логічних функцій (повторне натискання відмінє введену команду).

Варіанти використання ЛП:

1. Логічний аналіз цифрових схем з одним виходом

1.1. Отримання таблиці істинності схеми

Для отримання таблиці істинності схеми треба підключити входи (А, В, С, D, Е, F, G, Н) згорнутого зображення логічного перетворювача до входів досліджуваної схеми (не більше восьми), вихід (*OUT*) логічного перетворювача з'єднати з виходом схеми. Після натискання кнопки $\Rightarrow \rightarrow \overline{101}$ на екрані розгорнутого зображення логічного перетворювача з'явиться таблиця істинності, яка описує функціонування досліджуваної схеми.

1.2. Отримання логічного рівняння схеми

Для отримання логічного рівняння аналізованої схеми треба після отримання таблиці істинності натиснути на клавішу $\overline{101} \rightarrow A|B$, після чого на екрані-рядку в нижній частині розгорнутого зображення ЛП з'явиться логічне рівняння схеми.

1.3. Спрощення логічного рівняння

Якщо таблиця істинності містить велике число змінних, то логічне рівняння функції виходить громіздким. Для його перетворення в компактну (спрощену) форму слід натиснути кнопку $\overline{101} \xrightarrow{SIMP} A|B$. В нижній частині розгорнутого зображення ЛП з'явиться спрощене логічне рівняння схеми.

1.4. Побудова схеми логічного пристрою за спрощеною схемою

Після одержання спрощеного рівняння потрібно натиснути на клавішу $A|B \rightarrow \Rightarrow$. На робочому полі відобразиться схема пристрою на логічних елементах без обмеження їх типу.

1.5. Побудова схеми пристрою на логічних елементах І-НЕ

Для побудови спрощеної схеми на логічних елементах І-НЕ потрібно після отримання спрощеного рівняння натиснути на кнопку $A|B \rightarrow NAND$. На робочому полі відобразиться схема пристрою на логічних елементах І-НЕ.


2. Синтез схеми логічного пристрою за його таблицею істинності

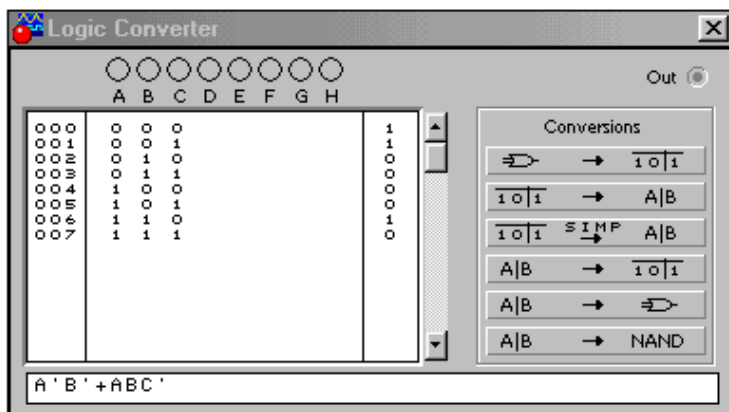
2.1. Для того, щоб створити таблицю істинності, потрібно в лівій верхній частині приладу вибрати число змінних від А до Н (натиснути на відповідну букву ЛКМ). Вся ліва половина екрану заповниться комбінаціями нулів та одиниць, які визначають початкові вхідні умови. В правій частині екрану розташований стовпець вихідних значень *OUT* (реакція на вхід), заповнений спочатку нулями. Змінюючи в правій колонці нулі на одиниці або Х (байдужий стан), можна описати стан виходу для будь-якої початкової умови. Після натискання на кнопки $\overline{101} \rightarrow A|B$ в нижньому рядку розгорнутого зображення приладу з'явиться логічний вираз.

2.2. Натисканням на клавішу $\overline{101} \xrightarrow{SIMP} A|B$ отримаємо спрощене логічне рівняння, натисканням на клавішу $A|B \rightarrow \Rightarrow$ - схему пристрою без обмеження типу логічних елементів і натисканням на клавішу $A|B \rightarrow NAND$ - схему пристрою на елементах І-НЕ.




3. Синтез схеми логічного пристрою за його логічним рівнянням

З клавіатури заноситься в екран-рядок логічне рівняння пристрою, попередньо активізував там мишкою курсор. У рівнянні використовуються символи А, В, ..., Н, а при інверсії - А', В', ..., Н'. При введенні виразів інверсія позначається апострофом, логічне додавання - знаком +. Логічне множення не позначається.

3.1. Для отримання схеми, що реалізує функцію задану логічним рівнянням, потрібно натиснути кнопку . Після натискання цієї



кнопки на робочому полі з'явиться еквівалентна логічному рівнянню схема. Усі елементи в схемі будуть виділені червоним кольором.

3.2. Виконуючи команду  отримаємо спрощене логічне рівняння пристрою, команду  - схему на логічних елементах без обмеження їх типу і команду  - схему на логічних елементах І-НЕ.

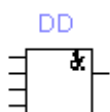
3. Дослідження роботи логічних елементів

3.1. Зібрати схему дослідження логічного елемента "І"

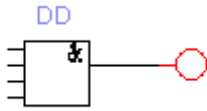
Для цього розкриваємо бібліотеку *Logic Gates* клацанням по її іконці ЛКМ (рис. 23). У розкритій бібліотеці вибираємо логічний елемент "І", нажимаємо ЛКМ і переміщуємо його на робоче поле програми.

Двома клацаннями ЛКМ по його зображенню відкриваємо меню налаштування параметрів. Вибираємо кількість входів 4.

Можна присвоїти назву логічному елементу, наприклад, DD.



З бібліотеки *INDICATORS* вибираємо світлоіндикатор і переміщуємо його на робоче поле. Під'єднуємо індикатор до виходу логічного елемента.



Для отримання логічного сигналу (0 або 1) скористуємось джерелом напруги, яке вибираєм з бібліотеки Sources.



З бібліотеки Basic вибираєм 4 перемикачів.



Призначаєм кожному перемикачу клавишу (цифру або букву) перемикання (наприклад, 1,2,3,4), як показано на рис. 1.61, а, б.

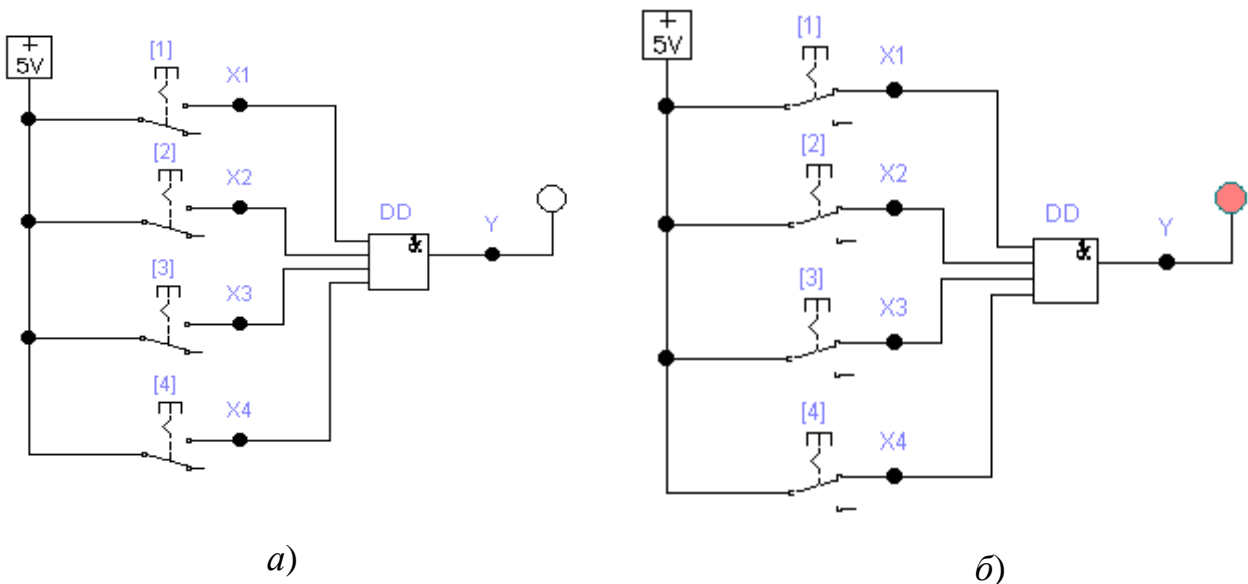


Рис. 1.61. Схема дослідження ЛЕ «4І»

Потім з'єднуємо входи логічної схеми "І" з кожним із перемикачів. Перемикачі підмикаєм до джерела. Позначаєм входи ЛЕ X1, X2, X3, X4, а вихід Y.

Перевіряєм роботу ЛЕ подачею усіх можливих кодових комбінацій на входи логічного елемента. Результати заносимо в табл. 1.

Табл.1

x1	x2	x3	x4	Y
0	0	0	0	
0	0	0	1	
0	0	1	1	
0	1	1	1	
1	1	1	1	

На виході логічного елемента "4І" появиться логічна 1 (світиться індикатор) тільки при подачі лог. 1 до всіх 4-х входів одночасно.

3.2. Завдання і порядок виконання практикуму

3.2.1. Зібрати схеми дослідження логічних елементів «АБО» (рис.1.62) і «І» (рис.1.63).

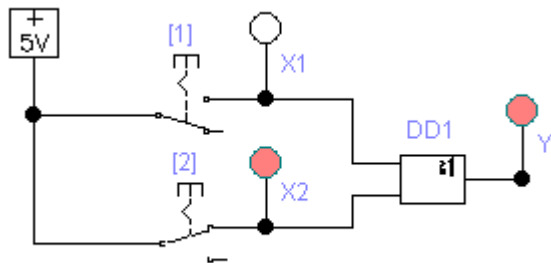


Рис. 1.62. Схема дослідження ЛЕ «АБО»

Табл.2

x_1	x_2	Y
0	0	
0	1	
1	0	
1	1	

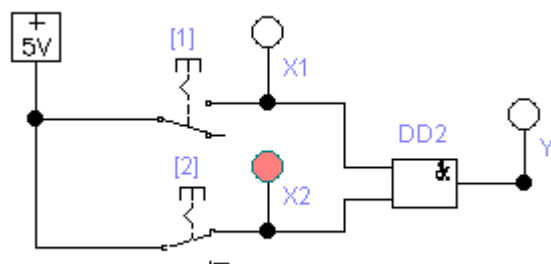


рис.1.63. Схема дослідження ЛЕ «І»

Табл. 3

x_1	x_2	Y
0	0	
0	1	
1	0	
1	1	

3.2.2. Зафіксувати значення функції Y в табл. 2, табл. 3 для кожного логічного елемента. Рахувати замкнутий стан перемикача відповідним стану вхідної змінної $x_n=1$, а розімкнутий - $x_n=0$.

4. Зміст звіту з лабораторної роботи

1. Порядок запуску і налаштування програмного моделюючого комплексу EWB.

2. Перелік основних елементів з бібліотеки EWB, необхідних для моделювання логічних схем і цифрових пристроїв.

3. Схеми дослідження логічних елементів АБО, І. Таблиці істинності досліджуваних ЛЕ для двох вхідних сигналів X_1, X_2 .

5. Контрольні запитання

1. Які логічні елементи є в бібліотеці EWB?

2. Які параметри генератора прямокутних імпульсів підлягають налаштуванню?

3. Як відбувається з'єднання між собою більше двох елементів?

4. Якою командою можна зкопіювати зображення схеми до звіту з лабораторної роботи, підготовленому в тестовому редакторі WORD?

5. За допомогою яких елементів можна змоделювати подачу логічної 1 і логічного 0?

6. Рекомендована література

1. Електроніка та мікросхеотехніка (Електронний ресурс): навчальний посібник для студентів напрямку підготовки 6.050702 "Електромеханіка"/ А.А. Щерба, К.К. Победаш, В.Святненко; - Київ: НТТУ "КПІ", -360 с.

Режим доступу:<http://ela.kpi.ua/handle/123456789/3569>

2. Електротехніка та електроніка. Теоретичні відомості, розрахунки та дослідження за підтримкою комп'ютерних технологій: Навчальний посібник /А.А. Щерба, В.М. Рябенський, М.Є. Кучеренко, К.К. Победаш та ін. - К.: "Корнійчук", 2007. - 488 с.

3. Сенько В.І., Панасенко М.В., Сенько Є.В. та ін. Електротехніка і мікросхемотехніка: Том 3. Цифрові пристрої: Підручник. - К.: Каравела, 2008. - 400 с.

4. Інтерфейс програмного комплексу Electronics Workbench: Навчальний посібник. / Победаш К.К., Святненко В.А. : Київ: НТУУ «КПІ», 2014. – 57 с.

5. В.И. Карлащук. Электронная лаборатория на IBM PC. М., "СОЛОН-Р", 2001.

Практикум №2

Синтез логічних схем комбінаційного типу

Мета практикуму - реалізація двійкових функцій, заданих таблицею істинності, за допомогою логічних елементів потенційного типу. Засвоєння використання законів, теорем і правил булевих функцій з метою отримання схем з найменшим числом елементів. Надбання навичок побудови еквівалентних комбінаційних схем в різних базисах логічних елементів.

2.1. Короткі теоретичні відомості

В цифровій техніці вся інформація представляється у вигляді набору дискретних сигналів. Кожен із сигналів може приймати одне з двох можливих значень, які позначаються "1" і "0". Символ "1" означає наявність сигналу, а "0" - його відсутність.

В схемах цифрових пристроїв змінні і відповідні їм сигнали змінюються не безперервно, а тільки в дискретні моменти часу, які позначаються цілими додатними числами і називаються тактами. $t_i = 0, 1, \dots, i, \dots, n$.

При потенційному методі представлення інформації при додатній логіці двом значенням змінної "1" і "0" відповідають високий і низький рівні напруги. Потенційний сигнал зберігає постійний рівень (нульовий або одиничний) на протязі періоду представлення інформації (такту).

Перетворення цифрової інформації здійснюється пристроями двох типів: комбінаційними (без пам'яті) і послідовними (з пам'ятю) пристроями. В комбінаційних схемах сукупність вихідних сигналів (Y_i) у дискретний момент часу t_i однозначно визначаються вхідними сигналами, які надійшли до входів у цей же момент часу $Y_i = f_i(x_1, x_2, \dots, x_n)$.

В послідовних пристроях вихідні сигнали в дискретний момент часу визначаються вхідними змінними, що надійшли в даний момент часу, і значенням вихідних сигналів на попередньому інтервалі (такті).

Послідовні цифрові пристрої володіють пам'ятю, яка фіксує їх стан, в якому вони перебувають.

2.2. Елементи алгебри логіки

Логіка - це наука про форми і закони мишлення. Математична логіка - наука про використання математичних методів для рішення логічних задач. Її ще називають алгеброю логіки або булевою алгеброю.

Можливість використання алгебри логіки до задач проектування цифрових пристроїв зумовлена аналогією понятій і категорій алгебри логіки і двійкової системи числення.

Множина змінних, які розглядаються в алгебрі логіки дорівнює 2. Ці змінні одержали назву двійкових змінних. Для них в алгебрі логіки визначені:

– відношення еквівалентності, позначене символом рівності “=”,

– три операції:

1) операція логічного додавання (диз'юнкція), яка позначається символом “ \vee ” або “+”;

2) операція логічного множення (кон'юнкція), яка позначається символом “ \wedge ”, “&”, або « \cdot »

3) операція логічного заперечення (інверсії), яка позначається рискою над двійковою змінною “ \bar{X} ”.

Як аксіоми приймається, що при виконанні наступних операцій відношення еквівалентності для диз'юнкції, кон'юнкції і інверсії мають наступний вигляд:

a) $X+0=X$	б) $X \cdot 0=0$	в) $\bar{0} = 1$
$X+1=1$	$X \cdot 1=X$	$\bar{1} = 0$
$X+X=X$	$X \cdot X=X$	$\overline{\bar{X}} = X$
$X + \bar{0} = 1$	$X \cdot \bar{X} = 0$	

На основі цих аксіом виводяться закони алгебри логіки для двійкових змінних.

Закони одинарних елементів для диз'юнкції і кон'юнкції:

a) закон переміщення: $x_1 + x_2 = x_2 + x_1$, $x_1 \cdot x_2 = x_2 \cdot x_1$;

б) сполучний закон: $(x_1 + x_2) + x_3 = x_1 + (x_2 + x_3),$
 $(x_1 \cdot x_2) \cdot x_3 = x_1 \cdot (x_2 \cdot x_3)$;

в) розподільчий закон: $x_1(x_2 + x_3) = x_1 \cdot x_2 + x_1 \cdot x_3,$
 $x_1 + (x_2 \cdot x_3) = (x_1 + x_2)(x_1 + x_3);$

г) закон поглинання: $x_1 + x_1 \cdot x_2 = x_1, \quad x_1 \cdot (x_1 + x_2) = x_1;$

д) закон склеювання: $x_1 \cdot x_2 + x_1 \cdot \bar{x}_2 = x_1, \quad (\tilde{a}_1 + \tilde{a}_2) \cdot (\tilde{a}_1 + \bar{\tilde{a}}_2) = \tilde{a}_1.$

е) закон де Моргана. Інверсія суми логічних змінних дорівнює добутку їх інверсій, а інверсія добутку логічних змінних дорівнює сумі їх інверсій:

$$\overline{\tilde{a}_1 + \tilde{a}_2 + \tilde{a}_3} = \bar{\tilde{a}}_1 \cdot \bar{\tilde{a}}_2 \cdot \bar{\tilde{a}}_3, \quad \overline{\tilde{a}_1 \cdot \tilde{a}_2 \cdot \tilde{a}_3} = \bar{\tilde{a}}_1 + \bar{\tilde{a}}_2 + \bar{\tilde{a}}_3.$$

Двійковою (булевою) функцією називається двійкова змінна (у), значення якої залежить від значень інших двійкових змінних (x_1, x_2, \dots, x_n), які називаються аргументами (вхідними змінними), тобто, $y=f(x_1, x_2, \dots, x_p)$.

Щоб задати двійкову функцію, потрібно кожному з можливих, сполучень (наборів) її аргументів поставити у відповідність значення функції “у” - 1 або 0, оскільки двійкова функція, як і її аргументи, приймають тільки два значення 1 або 0.

За кількістю аргументів функції рівній “m”, число можливих наборів $y = 2^m$.

Оскільки кожному набору можуть відповідати два значення “у” (0 або 1), то загальне число різних комбінацій при m аргументів буде визначатися наступним співвідношенням $y = 2^{2^m}$.

При $m=1, y=4$, тобто існує 4 функції однієї змінної, табл.2.1.

Таблиця.2.1

X	0	1	Вираз y=f(x)	Назва функції y=f(x)
№ п/п	Значення f(x)			
0	0	0	$y_0=0$	Константа 0
1	0	1	$y_1=x$	Повторення

2	1	0	$y_2 = \bar{x}$	Функція НЕ
3	1	1	$y_3=1$	Константа 1

При $m=2$, $y=16$, тобто існує 16 різних функцій від двох змінних, табл.2.2.

Таблиця.2.2

x_1	0	1	0	1	Вираз функції $y=f(x_1, x_2)$ Через три основні операції	Назва функції $y=f(x_1, x_2)$
x_2	0	0	1	1		
№ п/п	Значення $y=f(x_1, x_2)$					
0	0	0	0	0	$y=0$	Константа нуля
1	0	0	0	1	$y_1=x_1 \cdot x_2 = x_1 \wedge x_2$	Кон'юнкція
2	0	0	1	0	$y_2 = \bar{x}_1 \cdot x_2 = x_2 \rightarrow x_1$	Заперечення по x_1
3	0	0	1	1	$y_3=x_2$	Тавтологія x_2
4	0	1	0	0	$y_4 = x_1 \cdot \bar{x}_2 = x_1 \rightarrow x_2$	Заперечення по x_2
5	0	1	0	1	$y_5=x_1$	Тавтологія x_1
6	0	1	1	0	$y_6 = \bar{x}_1 \cdot x_2 + x_1 \cdot \bar{x}_2 = x_1 \oplus x_2$	Виключальне АБО
7	0	1	1	1	$y_7=x_1+x_2=x_1 \vee x_2$	Диз'юнкція
8	1	0	0	0	$y_8 = \bar{x}_1 + x_2 = x_1 \downarrow x_2$	Стрілка Пірса
9	1	0	0	1	$y_9 = \bar{x}_1 \cdot x_2 + x_1 \cdot \bar{x}_2 = x_1 \sim x_2$	Рівнозначність
10	1	0	1	0	$y_{10} = \bar{x}_1$	Інверсія x_1
11	1	0	1	1	$y_{11} = \bar{x}_1 + x_2 = x_1 \rightarrow x_2$	Імплікація від x_1 до x_2
12	1	1	0	0	$y_{12} = \bar{x}_2$	Інверсія x_2
13	1	1	0	1	$y_{13} = x_1 + \bar{x}_2 = x_2 \rightarrow x_1$	Імплікація від x_2 до x_1
14	1	1	1	0	$y_{14} = \bar{x}_1 \cdot x_2 = x_1 \setminus x_2$	Штрих Шеффера
15	1	1	1	1	$y_{15}=1$	Константа одиниці

2.3. Технічні аналоги булевих функцій

Технічним аналогом булевої функції є комбінаційна схема, яка виконує відповідне до цієї функції перетворення інформації. Елементарні логічні операції над двійковими змінними реалізуються електронними схемами, які називаються логічними елементами (ЛЕ). Кількість входів логічного елемента відповідне числу аргументів відтвореної ним булевої функції.

Один і той же закон перетворення інформації можна реалізувати використовуючи різні типи і комбінації логічних елементів і різні зв'язки між ними.

Логічна операція	На елементах І-НЕ	На елементах АБО-НЕ
Інверсія		
Кон'юнкція		
Диз'юнкція		

Рис. 2.1

Набір логічних елементів, за допомогою яких можна побудувати будь якої складності схему цифрового пристрою, називається **функціонально повною системою** логічних елементів або **базисом**. Функціональну повноту утворюють такі набори логічних елементів:

- I, АБО, НЕ;
- АБО, НЕ;
- I, НЕ;
- I-НЕ;
- АБО-НЕ.

Найбільш вживаними є логічні елементи I-НЕ та АБО-НЕ, які ще називаються **універсальними**. Універсальність цих елементів полягає у тому, що кожен з них може виконувати будь-яку логічну операцію: I, АБО, НЕ. На рис. 2.1 показана реалізація будь-якої із трьох логічних операцій (інверсії, кон'юнкції та диз'юнкції) на універсальних логічних елементах.

2.4. Синтез комбінаційних схем

Будь-яку логічну функцію можна подати різними способами: описати словами, часовими діаграмами, таблицями істинності, аналітичними виразами та ін.

Словесний спосіб. Наприклад, функцію логічної операції **I** можна описати словами так: функція приймає значення 1 (істинно), якщо всі аргументи одночасно приймають значення 1.

Інший приклад. Логічна функція трьох змінних $Y = f(X_1, X_2, X_3)$ приймає значення одиниці в разі, якщо дві чи більше змінних приймають значення одиниці. Така функція описує дію мажоритарного елемента “2 з 3-х”.

Табличний спосіб. Усі можливі комбінації вхідних змінних (X_1, X_2, \dots, X_n) і відповідні їм значення функції Y можна представити таблицею, яка називається таблицею істинності. При числі вхідних змінних n число їх можливих комбінацій дорівнює 2^n . При цьому конкретну комбінацію називають набором.

Таблиця 2.3

Номер набору	Вхідні змінні (аргументи)			Функція
	X1	X2	X3	
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	1

В табл. 2.3 приведена таблиця істинності для мажоритарного елемента “2 з 3-х”, яка має 2^3 можливих наборів.

Аналітичний (алгебраїчний) спосіб. Від табличного способу легко перейти до аналітичного способу опису логічної функції. З таблиці істинності 2.3 видно, що функція Y приймає значення одиниці тільки на тих наборах, на яких не менше двох змінних

мають значення одиниці. Це такі набори:

- $X_1=0, X_2=1, X_3=1;$
- $X_1=1, X_2=0, X_3=1;$
- $X_1=1, X_2=1, X_3=0;$
- $X_1=1, X_2=1, X_3=1.$

Функцію можна записати як суму добутків усіх наборів вхідних змінних, на яких вона приймає значення одиниці. При цьому змінні, які мають значення нуля, записуються з інверсією.

$$Y(X_1, X_2, X_3) = \overline{X_1} \cdot X_2 \cdot X_3 + X_1 \cdot \overline{X_2} \cdot X_3 + X_1 \cdot X_2 \cdot \overline{X_3} + X_1 \cdot X_2 \cdot X_3.$$

Таким чином, функція представлена аналітичним способом у вигляді суми (диз'юнкції) добутків (кон'юнкцій). Така форма запису функції називається **диз'юнктивною нормальною формою (ДНФ)**. Добутки вхідних логічних змінних (кон'юнкцій) називаються **мінтермами** або **конституентами одиниці**. Якщо в кожен мінтерм входять усі вхідні змінні або їх інверсії, то така форма запису називається **досконалою диз'юнктивною нормальною формою (ДДНФ)**, або першою стандартною формою запису логічної функції.

Для переходу від таблиці істинності до **кон'юнктивної нормальної форми (КНФ)** запису логічної функції, при кожному наборі двійкових змінних, на якому функція приймає значення «0», записується диз'юнкція усіх вхідних змінних, і отримані диз'юнкції (макстерми) логічно перемножуються. При запису логічних сум інвертуються ті логічні змінні, які в таблиці істинності мають значення одиниці.

$$Y(X_1, X_2, X_3) = (X_1 + X_2 + X_3) \cdot (X_1 + X_2 + \overline{X_3}) \cdot (X_1 + \overline{X_2} + X_3) \cdot (\overline{X_1} + X_2 + X_3). \quad 90$$

Вирази в дужках є сумами вхідних змінних, при яких функція дорівнює нулю.

Такі суми називаються **макстермами**, або **конституентами нуля**. Така форма запису функції називається **кон'юнктивною нормальною формою (КНФ)**. У разі, якщо в кожен макстерм входять усі вхідні змінні або їх інверсії, то така форма запису функції називається **досконалою кон'юнктивною нормальною формою (ДКНФ)**, або другою стандартною формою запису логічної функції.

Логічна функція Y є визначеною, якщо відомі її логічні значення для кожного можливого набору вхідних змінних X_1, X_2, \dots, X_n . Якщо для деяких наборів вхідних змінних функція не задана, то таку функцію називають **недовизначеною** або **частково визначеною**.

Розглянемо приклад запису логічної функції в ДДНФ і ДКНФ, яка задана табл.2.4.

ДДНФ і ДКНФ логічні функції Y_1 і Y_2 запишуться наступним чином:

У ДДНФ:

$$Y_1 = \bar{x}_1 \bar{x}_2 x_3 + \bar{x}_1 x_2 x_3 + x_1 \bar{x}_2 x_3 + \tilde{o}_1 \tilde{o}_2 \tilde{o}_3;$$

$$Y_2 = \bar{x}_1 \bar{x}_2 x_3 + \bar{x}_1 x_2 \bar{x}_3 + \bar{x}_1 x_2 x_3 + \tilde{o}_1 \bar{\tilde{o}}_2 \bar{\tilde{o}}_3 + \tilde{o}_1 \bar{\tilde{o}}_2 \tilde{o}_3 + x_1 x_2 \bar{x}_3.$$

У ДКНФ: $Y_1 = (x_1 + x_2 + x_3)(x_1 + \bar{x}_2 + x_3)(\bar{x}_1 + x_2 + x_3)(\bar{x}_1 + \bar{x}_2 + x_3);$

$$Y_2 = (x_1 + x_2 + x_3)(\bar{x}_1 + \bar{x}_2 + \bar{x}_3).$$

Для реалізації комбінаційних схем, які представлені у ДДНФ і ДКНФ, потрібно використати відповідно:

$Y_{1\text{ДДНФ}}$ – чотири тривходових схем І, дві схеми НЕ і одна чотиривходова схема АБО;

x_1	x_2	x_3	Y_1	Y_2
0	0	0	0	0
0	0	1	1	1
0	1	0	0	1
0	1	1	1	1
1	0	0	0	1
1	0	1	1	1
1	1	0	0	1
1	1	1	1	0

$Y_{2\text{ДДНФ}}$ – шість тривходових схем І, три схеми НЕ і одна шестивходова схема АБО;

$Y_{1\text{ДКНФ}}$ – чотири тривходових схеми АБО, дві схеми НЕ і одна чотиривходова схема І;

$Y_{2\text{ДКНФ}}$ – дві тривходові схеми АБО, три схеми НЕ і одна двовходова схема І.

2.5. Мінімізація логічних функцій

Прямий спосіб побудови логічного пристрою, представлених в ДДНФ чи в ДКНФ, зазвичай не є задовільним для практики, тому що використовується «надлишкова» за повнотою система логічних елементів.

Крім того, при прямому способі побудови пристрій не є оптимальним з точки зору кількості використаних для його побудови елементів. Одержану функцію за допомогою правил і теорем булевої алгебри можна перетворити в ряд інших, тотожних, з точки зору одержаного результату, але простіших в реалізації. З усіх можливих варіантів необхідно вибрати найкращий (найпростіший), який реалізується меншою кількістю логічних елементів. При цьому покращуються як техніко-економічні (коштовність, маса, габарити), так і чисто технічні «наприклад, швидкодія, надійність» показники розроблюваного пристрою, тому що довгі кола логічних елементів зумовлюють більший час затримки сигналу на виході при перемиканні пристрою, зменшують надійність.

З цієї причини після одержання аналітичної форми запису логічної функції її необхідно мінімізувати (спростити). Під мінімізацією розуміють таку форму запису функції, яка потребує при реалізації найменшого числа логічних елементів.

Відомо декілька методів мінімізації, серед яких найбільш поширеними на практиці є: алгебраїчний метод, метод карт Карно (діаграм Вейча) та метод Квайна – Мак-Класкі.

В основі методів мінімізації лежить пошук і склеювання сусідніх кон'юнкцій. **Сусідніми** називаються дві однакового рангу кон'юнкції, до складу

яких входять логічні добутки одних і тих же змінних, якщо тільки одна змінна водить в одну із кон'юнкцій з інверсією, а в іншу – без інверсії.

Наприклад, сусідніми є наступні кон'юнкції:

$$X_1 X_2 X_3 \text{ і } X_1 X_2 \bar{X}_3 \text{ або } \bar{X}_1 \bar{X}_2 \bar{X}_3 \text{ і } X_1 \bar{X}_2 \bar{X}_3.$$

Алгебраїчний метод мінімізації полягає в спрощенні логічної функції шляхом послідовного використання аксіом і законів булевої алгебри. При цьому використовують наступні типові прийоми:

- додавання одного або декількох однотипних членів з числа тих, які є в першій стандартній формі (ДДНФ). Через те, що $A+A+\dots+A=A$, то додавання до наявного члена A одного чи декількох таких же членів не змінить правдивості рівності $Y=f(X_1, X_2, \dots, X_n)$;
- множення окремих членів функції на суму $A+\bar{A}$, де A може бути як однією із змінних X_1, X_2, \dots, X_n , так і функцією цих змінних. Оскільки $A+\bar{A}=1$, то таке множення не порушить тотожності вихідного і одержаного співвідношень;
- виділення доданків типу $A+\bar{A}$ шляхом використання розподільчого закону. Вираз спроститься, оскільки $A+\bar{A}=1$;
- використання законів склеювання і поглинання.

Після проведення всіх можливих перетворень одержують функцію, яка немає надлишкових членів і не підлягає подальшій мінімізації. Таку форму запису функції називають **тупиковою**. Причому функція може мати декілька тупикових форм.

Наприклад: Проведемо мінімізацію функції представленою в ДДНФ.

$$Y(X_1, X_2, X_3) = \bar{X}_1 \bar{X}_2 X_3 + X_1 \bar{X}_2 X_3 + X_1 X_2 X_3.$$

До доданку $X_1 X_2 X_3$ додаємо ще один такий доданок і виконаємо групування членів на основі використаного розподільчого закону

$$Y(X_1, X_2, X_3) = \overline{X_1} \cdot X_2 \cdot X_3 + \underline{\underline{X_1 \cdot \overline{X_2} \cdot X_3}} + \underline{\underline{X_1 \cdot X_2 \cdot X_3}} + \underline{\underline{X_1 \cdot X_2 \cdot X_3}} =$$

$$= X_2 \cdot X_3 (\overline{X_1} + X_1) + X_1 \cdot X_3 (\overline{X_2} + X_2) = X_2 \cdot X_3 + X_1 \cdot X_3.$$

Одержана функція є спрощеною. Порівнюючи її з записом без мінімізації бачимо, що мінімізація дозволила спростити функцію:

- відпала потреба в інверторах (сх. НЕ);
- знадобилось менше число входів у кожного з елементів І та кількість таких елементів;
- потрібен елемент АБО з меншим числом входів.

Мінімізація логічних функцій алгебраїчним методом потребує відповідних навичок, тому що складно визначити, чи є одержана логічна функція тупиковою, а інколи складно визначити доданки, які піддаються склеюванню.

2.6. Мінімізація ЛФ

методом карт Карно

Цей метод автоматизує процедуру знаходження і склеювання сусідніх кон'юнкцій (мінтермів).

Карта Карно – це таблиця, яка має комірки для усіх можливих мінтермів функції. Зазвичай карти Карно використовують для мінімізації функцій, мінтерми яких мають не більше 5-6 змінних.

		0	1
X_2	$\overline{X_2}$	X_2	
0	$\overline{X_1}$	$\overline{X_1} \overline{X_2}$	$\overline{X_1} X_2$
1	X_1	$X_1 \overline{X_2}$	$X_1 X_2$

а)

		00	01	11	10
$X_2 X_3$	X_1	$\overline{X_2} \overline{X_3}$	$\overline{X_2} X_3$	$X_2 X_3$	$X_2 \overline{X_3}$
0	$\overline{X_1}$	$\overline{X_1} \overline{X_2} \overline{X_3}$	$\overline{X_1} \overline{X_2} X_3$	$\overline{X_1} X_2 X_3$	$\overline{X_1} X_2 \overline{X_3}$
1	X_1	$X_1 \overline{X_2} \overline{X_3}$	$X_1 \overline{X_2} X_3$	$X_1 X_2 X_3$	$X_1 X_2 \overline{X_3}$

б)

		00	01	11	10
$X_3 X_4$	$X_1 X_2$	$\overline{X_3} \overline{X_4}$	$\overline{X_3} X_4$	$X_3 X_4$	$X_3 \overline{X_4}$
0	0	$\overline{X_1} \overline{X_2} \overline{X_3} \overline{X_4}$	$\overline{X_1} \overline{X_2} \overline{X_3} X_4$	$\overline{X_1} \overline{X_2} X_3 X_4$	$\overline{X_1} \overline{X_2} X_3 \overline{X_4}$
0	1	$\overline{X_1} X_2 \overline{X_3} \overline{X_4}$	$\overline{X_1} X_2 \overline{X_3} X_4$	$\overline{X_1} X_2 X_3 X_4$	$\overline{X_1} X_2 X_3 \overline{X_4}$
1	1	$X_1 X_2 \overline{X_3} \overline{X_4}$	$X_1 X_2 \overline{X_3} X_4$	$X_1 X_2 X_3 X_4$	$X_1 X_2 X_3 \overline{X_4}$
1	0	$X_1 \overline{X_2} \overline{X_3} \overline{X_4}$	$X_1 \overline{X_2} \overline{X_3} X_4$	$X_1 \overline{X_2} X_3 X_4$	$X_1 \overline{X_2} X_3 \overline{X_4}$

в)

Рис. 2.2

Карту Карно слід розглядати як площину одержану з поверхні тора, розділену на 2^n комірок, де n – число змінних (спочатку тор розрізаний і випрямлений в циліндр, а потім циліндр розрізаний по твірній і розгорнутий в

площину). Карти Карно для двох, трьох і чотирьох змінних приведені відповідно на рис. 2.2, а, б, в.

Кількість клітинок карти дорівнює числу усіх можливих наборів вхідних змінних (аргументів) 2^n , де n – число вхідних змінних. Карта Карно розмічається системою координат відповідних значень вхідних змінних.

Наприклад, верхній рядок карти для функції трьох змінних (рис.2.2, б) відповідає нульовому значенню змінної X_1 , а нижній – одиничному значенню. Кожен стовпець цієї карти характеризується значеннями двох змінних: X_2 і X_3 .

Комбінація цифр, якими відмічається кожен стовпець, показує для яких значень змінних X_2 і X_3 вираховується функція, що розміщена в клітинках цього стовпця. У випадку карти Карно для функції чотирьох змінних (рис.2.2, в) функція, яка розміщена в клітинках стовпця з координатами 01, вираховується при значеннях змінних $X_3=0$ і $X_4=1$. Функція, яка розміщена в клітинках на перетинанні цього стовпця і рядка з координатами 11, визначається при наборі вхідних змінних $X_1=1$, $X_2=1$, $X_3=0$, $X_4=1$.

Якщо на вказаному наборі вхідних змінних функція дорівнює одиниці, то її ДДНФ обов'язково має елементарний добуток $x_1x_2\bar{x}_3x_4$, який приймає на цьому наборі одиничне значення. Таким чином, клітини карти Карно, що представляють функцію, мають стільки одиниць, скільки елементарних добутоків є в її ДДНФ, при цьому кожній одиниці відповідає один з елементарних добутоків.

Звернемо увагу на те, що координати рядків і стовпців на карті Карно слідує не в природному порядку зростання двійкових кодів, а в порядку 00, 01, 11, 10. Зміна порядку слідування наборів зроблено для того, щоб сусідні набори (які відрізняються між собою тільки цифрою будь якого одного розряду) були сусідніми в геометричному сенсі. В такому разі мінтерми, що знаходяться в лівій і правій клітині кожного рядка, а також у верхній і нижній клітинах кожного стовчика будуть «сусідніми».

Процес мінімізації полягає у формуванні прямокутників, які вміщують по 2^k клітин, де k – ціле число. В прямокутники об'єднуються сусідні клітини, які відповідають сусіднім елементарним добуткам.

Клітини карти Карно, в яких функція приймає значення одиниці, заповнюються одиницями. В решту клітин записуються нулі. Координати клітин карти Карно відповідають відповідним наборам таблиці істинності або логічного рівняння представленого в ДДНФ. Сусідні клітини заповнені одиницями об'єднуються прямокутниками. Сукупність прямокутників, що покривають усі одиниці, називають **покриттям**. Зауважимо, що одна і та ж одиниця може покриватися декілька разів, тобто входити в декілька об'єднань. В об'єднання може входити 2^m поряд розташованих клітинок, де $m=0, 1, 2, 3, \dots$.

Два мінтерми, розміщені в сусідніх клітинах одного об'єднання, можуть бути замінені одним логічним добутком, в який входить на одну змінну менше. Виключається та змінна, яка змінює своє значення (з 0 на 1 чи навпаки) при переході від однієї клітини до іншої в межах прямокутників. Якщо в об'єднання входить чотири мінтерми, то зникають дві змінні. У загальному випадку, наявність одиниць в 2^m сусідніх клітинах дозволяє вилучити m змінних.

При мінімізації методом карт Карно для отримання найбільш спрощеного логічного рівняння рекомендується слідувати наступним правилам:

1. Необхідно створювати мінімальну кількість контурів.
2. Контури повині складатися з максимальної кількості клітин.

На основі аналізу контурів записується мінімізована ДНФ (МДНФ) логічної функції у вигляді логічної суми логічних добутків двійкових змінних. При цьому двійкові змінні, що мають одиничне значення записуються без інверсії, а змінні, що мають нульові значення, з інверсією.

За допомогою карт Карно можна отримати мінімізовану логічну функцію представлену в ДКНФ. Для цього в клітинах карти Карно, при яких логічна функція дорівнює нулю, проставляються нулі. З клітин з нулями формуються контура і записується мінімально КНФ (МКНФ) логічної функції у вигляді логічного добутку логічних сум двійкових змінних (макстермів), в яких двійкові змінні, що мають нульові значення, записуються без інверсії, а змінні, що мають одиничні значення, записуються з інверсією.

Приклади мінімізації за допомогою карт Карно логічних функцій приведених в табл. 2.4 приведені на рис. 2.3, 2.4.

$X_3 \backslash X_1 X_2$	00	01	11	10
0	0	1	0	0
1	1	1	1	1

Рис. 2.3. Карта Карно для функції Y_1

$X_3 \backslash X_1 X_2$	00	01	11	10
0	0	1	1	1
1	1	1	1	1

Рис. 2.4. Карта Карно для функції Y_2

Після мінімізації за допомогою карт Карно отримаємо такі МДНФ і МКНФ логічних функцій Y_1 і Y_2 :

$$Y_{1 \text{ мднф}} = x_3 + \bar{x}_1 x_2,$$

$$Y_{1 \text{ мкнф}} = (\bar{x}_1 + x_3)(x_2 + x_3),$$

$$Y_{2 \text{ мднф}} = x_1 + x_2 + x_3,$$

$$Y_{2 \text{ мкнф}} = \bar{0}_1 + \bar{0}_2 + \bar{0}_3.$$

Для реалізації логічних функцій на елементах І-НЕ (елементах Шеффера) потрібно два рази проінвертувати МДНФ функцій Y_1 і Y_2 :

$$y_1^{\text{шеф}} = \overline{\overline{x_3 x_1 x_2}}, \quad y_2^{\text{шеф}} = \overline{\overline{x_1 x_2 x_3}}$$

Схеми реалізації функцій Y_1 і Y_2 на елементах Шеффера приведені на рис.2.5 і 2.6.

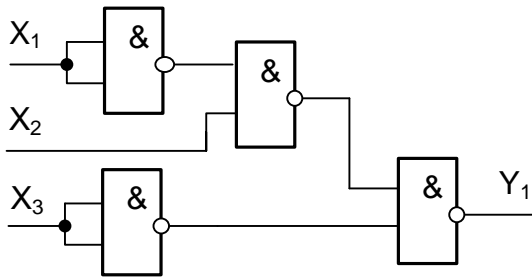


Рис.2.5

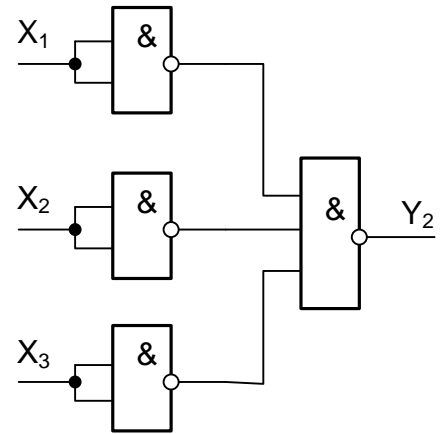


Рис.2.6

2.7. Порядок виконання комп'ютерного практикуму

2.7.1. Технологія дослідження комбінаційних схем за допомогою програми Electronic Workbench.

2.7.1.1. За заданим викладачем варіанту ($Y_1 \div Y_{10}$) з таблиці істинності (табл. 2.5), записати функцію у ДДНФ, і за одержаним рівнянням булевої функції побудувати комбінаційну схему на логічних елементах бібліотеки EWB.

2.7.1.2. Перевірити працездатність схеми для усіх комбінацій вхідних логічних змінних, указаних в таблиці 2.5.

Таблиця 2.5

X_1	X_2	X_3	Y_1	Y_2	Y_3	Y_4	Y_5	Y_6	Y_7	Y_8	Y_9	Y_{10}	Y_{11}
0	0	0	1	1	0	0	1	0	1	0	0	0	0
0	0	1	1	1	1	1	0	0	1	0	0	0	0
0	1	0	1	0	0	1	1	1	0	0	0	0	0
0	1	1	0	0	1	0	0	1	1	0	1	0	1
1	0	0	0	0	1	0	0	1	0	1	0	1	0
1	0	1	0	0	0	1	1	1	0	1	0	0	1
1	1	0	0	1	1	1	0	0	0	1	1	1	1
1	1	1	0	1	0	0	1	0	0	0	1	1	1

2.7.1.3. Мінімізувати функцію методом карт Карно і записати її мінімізоване рівняння. За мінімізованим рівнянням зібрати схему і перевірити її працездатність згідно табл. 2.5.

2.7.1.4. Перетворити мінімізоване рівняння функції у базис І-НЕ, зібрати схему і перевірити її працездатність згідно з табл. 2.5.

Для побудови комбінаційної схеми в базисі І-НЕ потрібно використати чотири двовходових логічних елемента І-НЕ.

Для цього відкрити бібліотеку *Logic Gates*: При нажатій ЛКМ перемістити потрібні логічні елементи на робоче поле EWB (рис. 2.7, а). Для індикації стану функції (ЛЕ) використати логічний пробник з бібліотеки *Indicators* (рис. 2.7, б). Останній ЛЕ І-НЕ повинен мати три входи. Для цього потрібно курсор миші встановити на цей ЛЕ і подвійним клацанням ЛКМ (або один раз ПКМ) відкрити панель налаштування параметрів *Component Properties*. Вибрати функцію *Number of Input* і вказати точкою потрібну кількість входів. З'єднати виходи першої групи ЛЕ з входами 3-х входового ЛЕ (рис. 2.8).

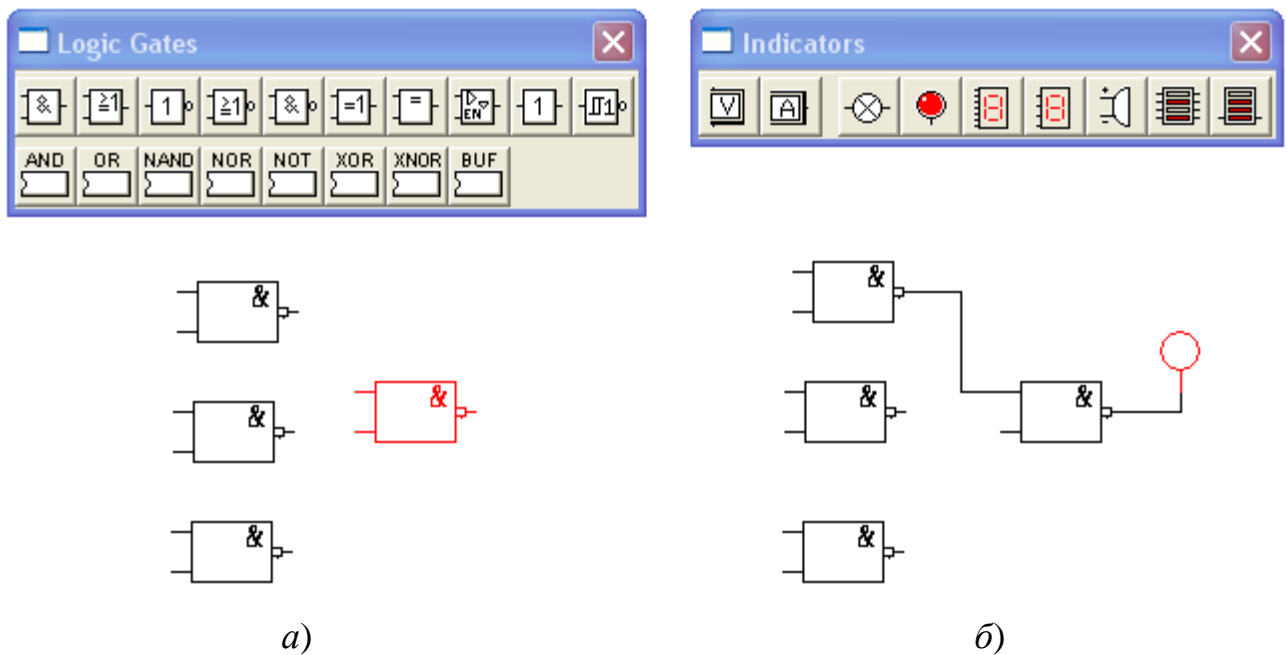


Рис. 27

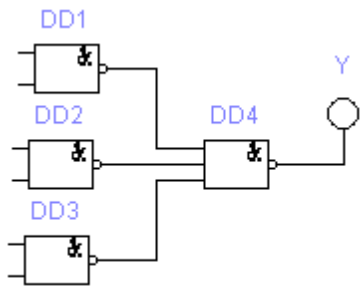
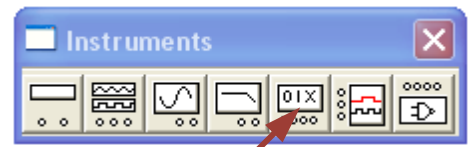


Рис. 2.8

Для задання комбінацій значень вхідних змінних використати генератор двійкових слів *Word Generator* з закладки *Instruments*.



На піктограмі генератора слова зображено **01X**.

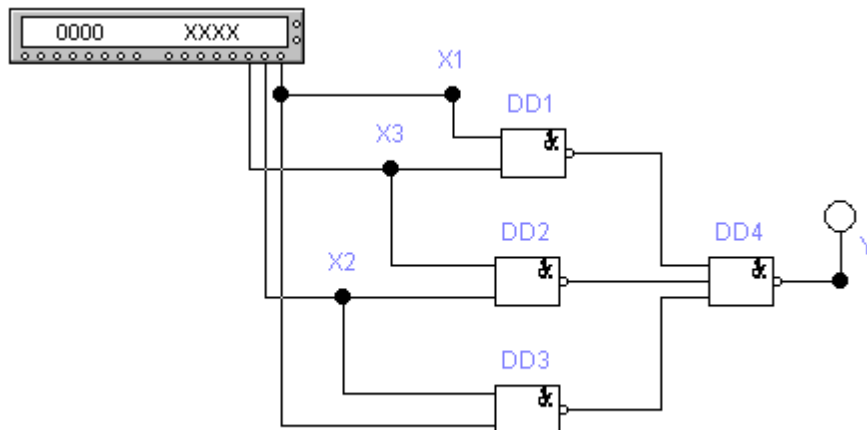


Рис. 2.9

Курсором при нажатій ЛКМ перемістити його на робоче (рис. 2.9).

Нижній горизонтальний ряд точок на умовному зображенні *Word Generator* це вихідні клеми шістнадцятирозрядного слова генератора. У даному випадку тільки три змінні, а тому використовуються тільки три правих (молодших розрядів) клеми, які з'єднуємо з входами логічних елементів 2І-НЕ згідно з одержаним логічним рівнянням для функції *Y*. Потім потрібно налаштувати генератор слова. Для цього потрібно встановити курсор на його умовному зображенні і два рази нажати ЛКМ. Відкриється його зображення в розгорнутому вигляді (рис. 2.10).

Генератор призначений для генерації 16- розрядних двійкових слів, які набираються на екрані в лівій частині його лицевої панелі. Для набору двійкових комбінацій потрібно клацнути ЛКМ на відповідному розряді і потім ввести з клавіатури 0 і 1. Подальше переміщення по полю екрану удобно проводити не за

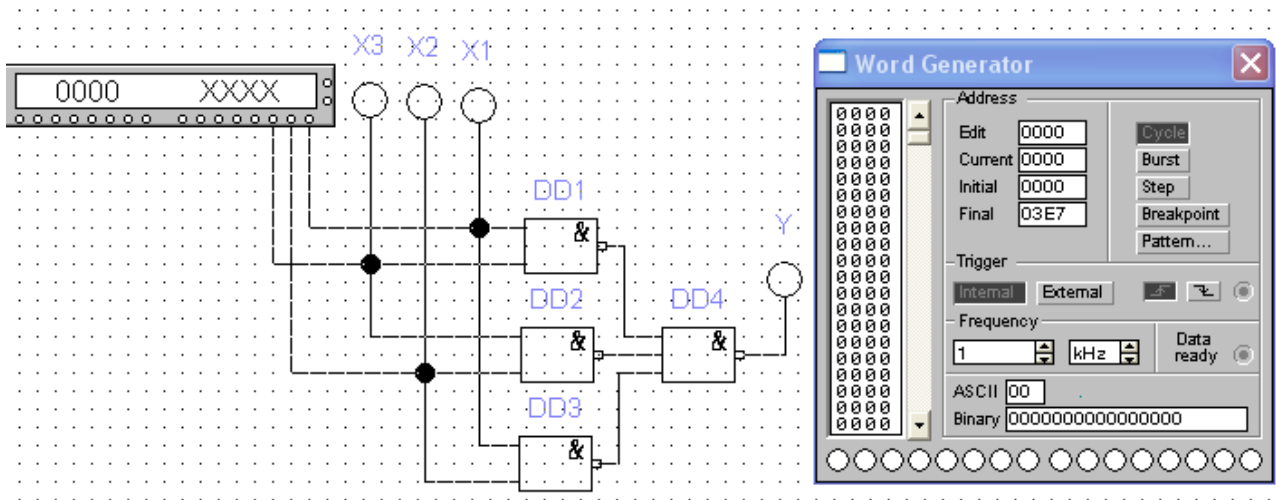


Рис. 2.10

допомогою миші, а клавішами керування курсором з клавіатури. Вміст екрану можна стерти, загрузити нове значення або записати у файл відповідними кнопками. При необхідності його можна відредагувати і завантажити ще раз. Номер редагуємої комірки фіксується в віконці "Edit" блока "Adress". Всього таких комірок і, відповідно, комбінацій - 2048. В процесі роботи генератора слова у віконці "Current" блоку "Adress" відображається номер поточної комірки, у віконці "Initial" - комірки початку роботи і у віконці "Final" - комірки закінчення роботи. Відображені на 16 виходах кодові комбінації ініціюються в текстовому "ASCII" і двійковому "Binary" коді.

Сформульовані слова відображаються на 16-ти розміщених у нижній частині умовного зображення генератора вихідних клемах-індикаторах.

Зовнішній запуск (нажата кнопка "External") при готовності даних (клема "Data ready"). Сигнал з цього виходу супроводжує кожен видаваний на вихід кодову комбінацію і використовується в тому випадку, коли досліджуємі пристрій володіє властивістю підтвердження.

У даному випадку після створення чергової кодової комбінації і супроводжуєвого його сигналу "Data ready" досліджуваний пристрій повинен видати сигнал підтвердження одержання даних, який подається на вхід синхронізації генератора (клема в блоці "Trigger") і спричиняє черговий запуск генератора.

Органи керування генератора слова:

Breakpoint - припинення роботи генератора у вказаній комірці. При цьому потрібна комірка вибирається на дисплеї генератора курсором, а потім нажимається кнопка "*Breakpoint*". Після натискання на кнопку "*Pattern*" з'явиться меню:

Clear buffer - стерти вміст усіх комірок.

Open - відкрити (загрузити) кодові комбінації з файлу.

Save - записати усі комбінації у файл.

Up counter - заповнити буфер екрану кодовими комбінаціями, починаючи з 0 в нульовій комірці і потім з додаванням 1 у кожній наступній комірці.

Down counter - заповнити буфер екрану комбінаціями, починаючи з FFFF в нульовій комірці і далі зі зменшенням на 1.

Shift right - заповнити кожні 4 комірки комбінаціями 1-2-4-8 зі зміщенням їх в наступних чотирьох комірках праворуч.

Shift left - те ж саме, але зі зміщенням ліворуч.

Для зручності аналізу таблиці встановити прийнятну частоту видачі слів в 1 Гц.

Відмічаємо точкою опцію *Up counter* для створення послідовності значень змінних, відповідно приведеної таблиці. Для підтвердження потім натиснути на кнопку «*Accept*».

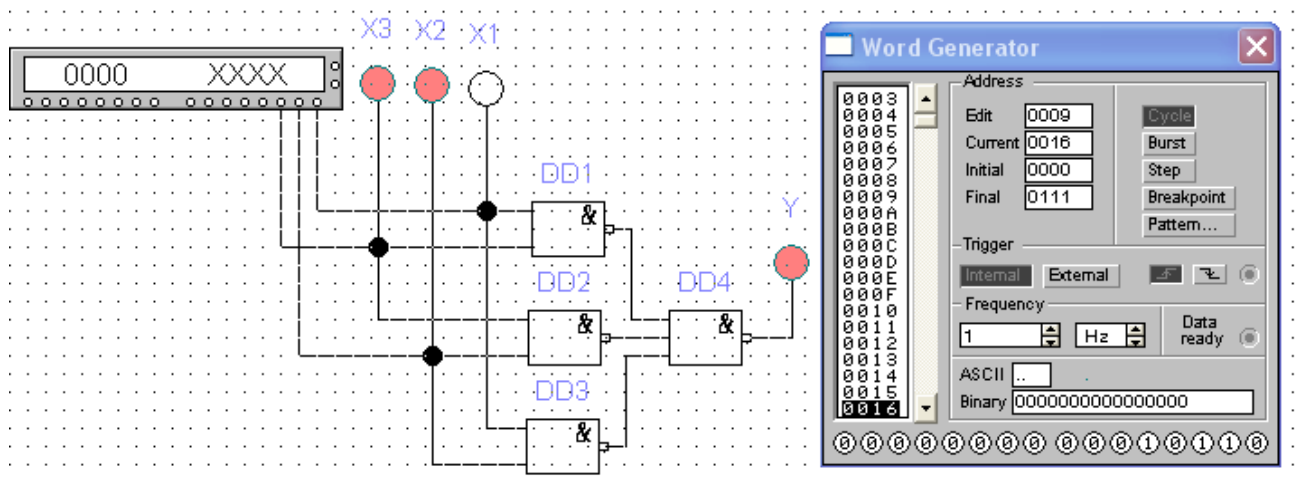


Рис. 2.11. Ітогова схема для перевірки роботи комбінаційної схеми

Для запуску тесту включити електронний макет перемикачем на панелі інструментів.

2.8. Завдання до практикуму за допомогою програми EWB

2.8.1. Для заданого варіанту записати (скласти) рівняння в ДКНФ.

2.8.2. Згідно отриманого рівняння зібрати синтезовану комбінаційну схему (рис. 2.11).

2.8.3. Перевірити її працездатність при задані всіх комбінацій змінних, вказаних в таблиці 2.5.

2.8.4. Мінімізувати функцію ДКНФ методом карт Карно і записати її мінімізовану форму. Зібрати комбінаційну схему за мінімізованою функцією в базисі АБО-НЕ, підключити її до загальної схеми і перевірити працездатність схеми у відповідності з табл. 4.

2.9. Зміст звіту з практикуму

1. Таблиця істинності булевої функції видана викладачем.
2. Запис булевої функції в досконалій диз'юнктивній нормальній формі (ДДНФ).
3. Матеріали з мінімізації заданої логічної функції в ДДНФ: зображення карти Карно и виділеними контурами.
4. Запис мінімізованої функції в базисах I, АБО, НЕ та I-НЕ.
5. Запис булевої функції в досконалій диз'юнктивній нормальній формі (ДДНФ).
6. Матеріали з мінімізації заданої логічної функції в ДКНФ: зображення карти Карно з виділеними контурами.
7. Запис мінімізованої функції в базисах I, АБО, НЕ та I-НЕ.
5. Схеми дослідження функції за допомогою програми EWB: немінімізовані комбінаційні схеми в ДДНФ і ДКНФ, мінімізовані комбінаційні схеми в базисах I-НЕ і АБО-НЕ.

2.10. Контрольні запитання

1. Якою властивістю характеризується функціонально повний набір логічних елементів?
2. Перерахуйте функціонально-повні набори логічних елементів.
3. За допомогою якого закону можна виконати перетворення булевої функції з одного функціонально повного набору в інший?
4. Перерахуйте відомі вам методи мінімізації булевих функцій.
5. Яка досягається мета при мінімізації булевої функції?

6. Сформулюйте правило розмітки сторін карти Карно.
7. Яку кількість змінних можна об'єднувати в контурах на карті Карно?
8. Чи є сусідніми діагональні клітини в прямокутній карті Карно?
9. В чому полягає відмінність комбінаційної схеми від послідовної?
10. В чому полягає відмінність запису диз'юнктивної і кон'юнктивної форм запису булевої функції заданої табличним способом?

2.11. Рекомендована література

1. Електроніка та мікросхемотехніка (Електронний ресурс): навчальний посібник для студентів напрямку підготовки 6.050702 "Електромеханіка"/ А.А. Щерба, К.К. Победаш, В.Святненко; - Київ: НТТУ "КПІ", -360 с.

Режим доступу:<http://ela.kpi.ua/handle/123456789/3569>

2. Електротехніка та електроніка. Теоретичні відомості, розрахунки та дослідження за підтримкою комп'ютерних технологій: Навчальний посібник /А.А. Щерба, В.М. Рябенський, М.Є. Кучеренко, К.К. Победаш та ін. - К.: "Корнійчук", 2007. - 488 с.

3. Сенько В.І., Панасенко М.В., Сенько Є.В. та ін. Електротехніка і мікросхемотехніка: Том 3. Цифрові пристрої: Підручник. - К.: Каравела, 2008. - 400 с.

4. Інтерфейс програмного комплексу Electronics Workbench: Навчальний посібник. / Победаш К.К., Святненко В.А. : Київ: НТУУ «КПІ», 2014. – 57 с.

5. Бойт К. Цифровая электроника. Москва: Техносфера, 2007. -472 с.

6. В.И. Карлашук. Электронная лаборатория на IBM PC. М., "СОЛОН-Р", 2001.

7. Угрюмов Е.П. Цифровая схемотехника. - СПб.: БХВ - Санкт-Петербург, 2000 - 528 с.

8. Электротехника и электроника в экспериментах и упражнениях: Практикум на Electronics Workbench: В 2-х томах. / Под общей редакцией Д.И.Панфилова. М.: ДОДЭКА, 2000.

Практикум №3

Дослідження шифраторів, дешифраторів, мультиплексорів, демультиплексорів

Мета практикуму - дослідження роботи шифраторів, дешифраторів, мультиплексорів і демультиплексорів. Вивчення можливості використання різних базисів логічних елементів для побудови альтернативних комбінаційних схем даних пристроїв. Набуття практичних навичок дослідження комбінаційних пристроїв.

3.1. Короткі теоретичні відомості

3.1.1. Дешифратори

Дешифратор (декодер) – це комбінаційний пристрій, що перетворює кожну вхідну комбінацію двійкового коду в керуючий сигнал лише на одному із своїх виходів. Дешифратор має число n входів (число розрядів вхідного коду) і m виходів. Дешифратор виробляє одиничний (або нульовий) сигнал на відповідному виході тільки у тому випадку, коли на входи поступає код числа, відповідний номеру цього виходу. У таблиці істинності (табл.3.1) наведена відповідність між числами у двійковому коді і одиничній позиційній системі числення.

Дешифратори класифікуються за такими ознаками:

✓ Способом структурної

організації – одноступеневі (лінійні) і багатоступеневі;

✓ Форматом вхідного коду – двійкові, двійково-десяткові;

Табл.3.1										
Вхідний двійковий код			Вихідний позиційний код							
X_3	X_2	X_1	F_0	F_1	F_2	F_3	F_4	F_5	F_6	F_7
0	0	0	1	0	0	0	0	0	0	0
0	0	1	0	1	0	0	0	0	0	0
0	1	0	0	0	1	0	0	0	0	0
0	1	1	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	1	0	0	0
1	0	1	0	0	0	0	0	1	0	0
1	1	0	0	0	0	0	0	0	1	0
1	1	1	0	0	0	0	0	0	0	1

- ✓ Розрядністю коду, що дешифрується – 2, 3, ..., n;
- ✓ Формою передачі вхідного коду – з однофазними і парафазними входами;
- ✓ Кількістю виходів – повні й неповні дешифратори;
- ✓ Видом вхідних стробуючих сигналів – прямих або інверсних і т. д.

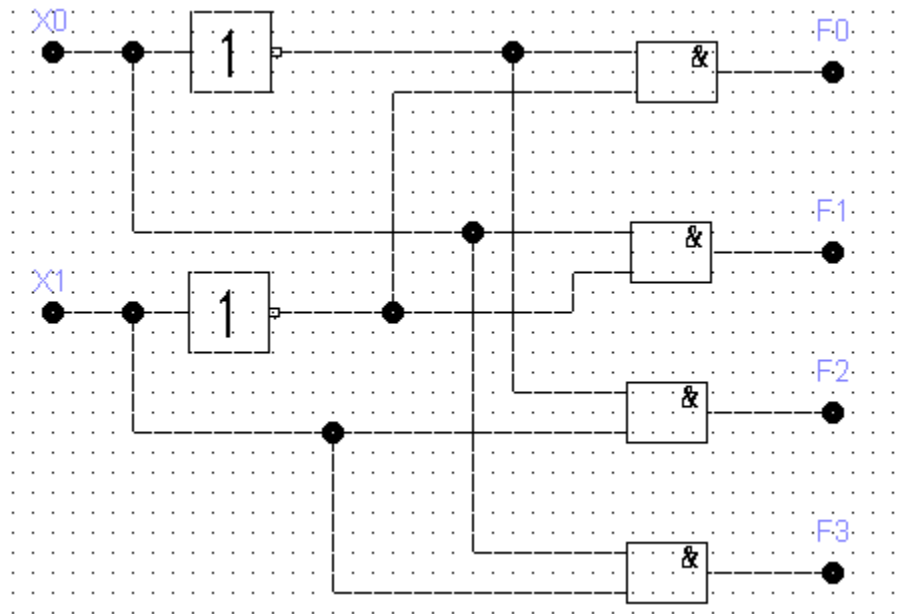


Рис. 3.1. Лінійний дешифратор з двома входами і чотирма виходами

Якщо число виходів дорівнює $m=2^n$, то дешифратор називається **повним**, а якщо $m < 2^n$, то - **неповним**. У будь-який момент часу логічна 1 буде тільки на тому виході, номер якого відповідає десятковому числу заданому вхідним двійковим кодом. Тому можна сказати, що дешифратор перетворює вхідний позиційний код в унітарний вихідний код.

На виходах дешифратора формуються

відповідні значення булевих функцій:

$$\begin{aligned}
 F_0 &= \overline{X_n} \cdot \overline{X_{n-1}} \cdots \overline{X_2} \cdot \overline{X_1} \cdot \overline{X_0}; \\
 F_1 &= \overline{X_n} \cdot \overline{X_{n-1}} \cdots \overline{X_2} \cdot \overline{X_1} \cdot \tilde{O}_0; \\
 F_2 &= \overline{X_n} \cdot \overline{X_{n-1}} \cdots \overline{X_2} \cdot \tilde{O}_1 \cdot \overline{X_0}; \\
 F_3 &= \overline{X_n} \cdot \overline{X_{n-1}} \cdots \overline{X_2} \cdot \tilde{O}_1 \cdot \tilde{O}_0; \\
 &\cdots \\
 F_n &= X_n \cdot X_{n-1} \cdots X_2 \cdot \tilde{O}_1 \cdot \tilde{O}_0.
 \end{aligned}
 \tag{3.1}$$

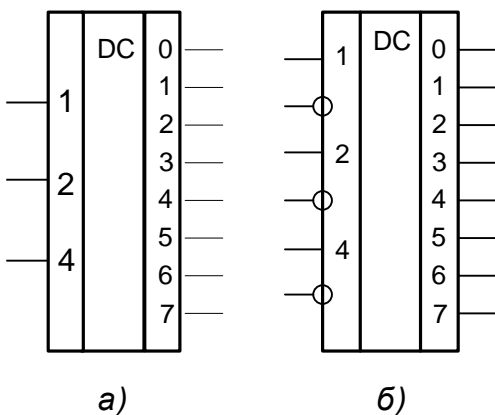


Рис. 3.2. Умовно-графічне зображення дешифраторів

Оскільки код числа може мати як одиниці, так і нулі, то для індикації коду створюють за допомогою інверторів інверсні значення логічних змінних вхідних сигналів, тобто повний дешифратор має $2n$ вхідних шин (n – для прямих і n – для інверсних значень розрядних чисел).

На рис 3.1 приведена схема повного дешифратора з двома входами і чотирма виходами. Схема представляє набір із чотирьох двовходових логічних елементів $2I$, до входів яких подані усі можливі комбінації прямих і інверсних розрядів слова.

На рис 3.2 приведено умовно-графічне зображення дешифраторів.

Схеми дешифраторів можуть мати додатковий дозволяючий вхід C . Якщо $C=0$,

то дешифратор не працює навіть при наявності кода на його входах, а при $C=1$ працює, як звичайний лінійний дешифратор.

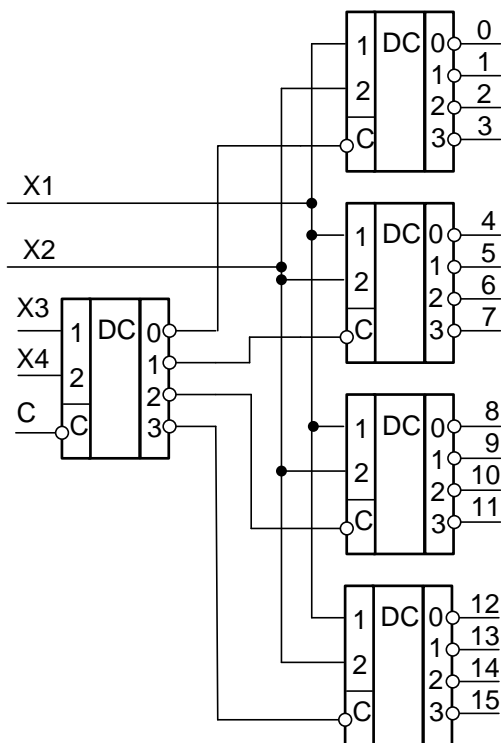


Рис. 3.3. Матричний дешифратор 4x16

звернувшись до рис. 3.3. На ньому показаний дешифратор на чотири входи, побудований з двовходових дешифраторів з дозволяючими входами.

Другий принцип використання схем дешифраторів з недостатньою кількістю входів полягає у побудові матричних дешифраторів, рис.3.4. Лінії утворюють матрицю, але не з'єднуються між собою. В комірках цієї сітки -

З дешифраторів з меншим числом входів можна будувати дешифратори на більше число входів. При цьому використовуються дешифратори з додатковими дозволяючими входами. Каскадне включення таких схем дозволяє легко збільшувати число нарощуваних змінних. Принцип побудови схеми каскадного дешифратора легко зрозуміти,

матриці вставляються логічні елементи "І" або "І-НЕ", один з їх входів з'єднується з горизонтальною лінією, інший з вертикальною лінією. Виходи цих логічних елементів і будуть виходами побудованого дешифратора більшої розмірності.

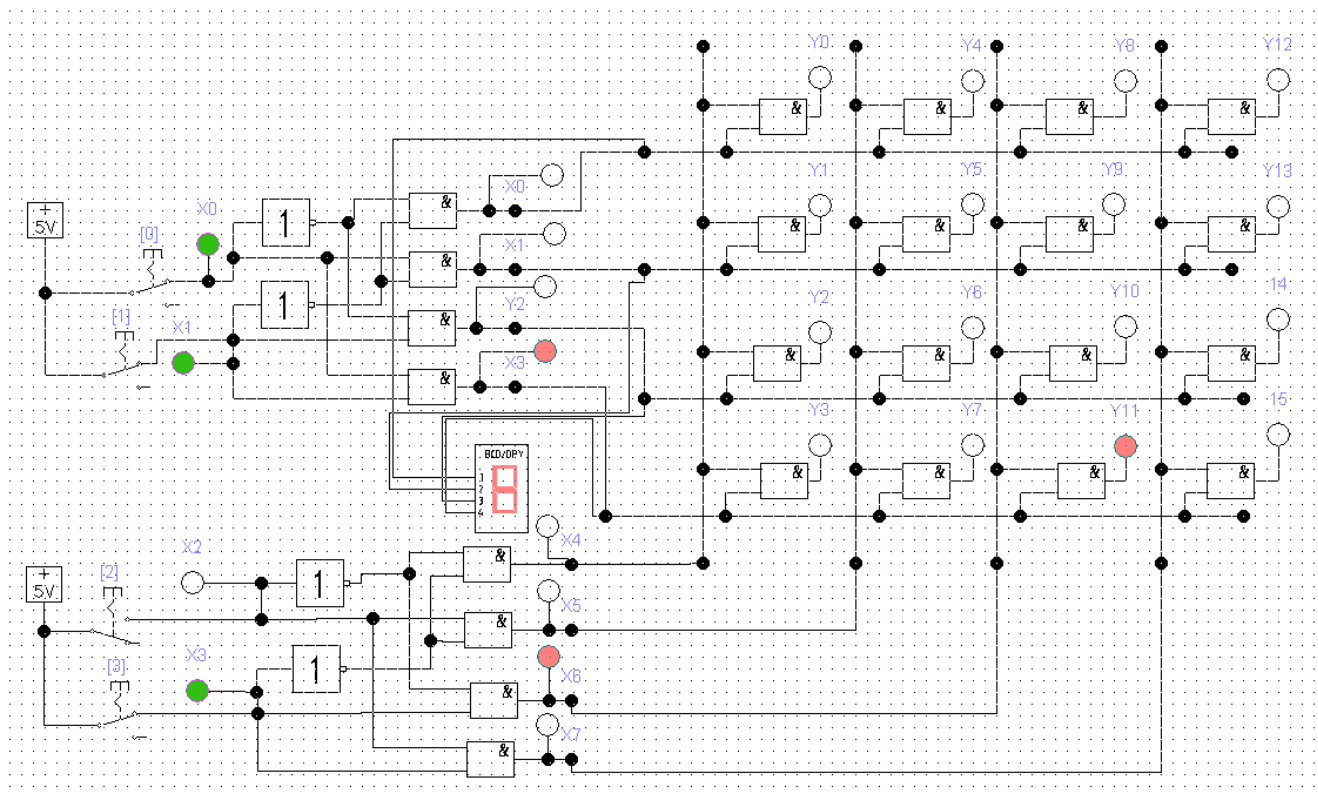


Рис. 3.4. Каскадний дешифратор на 4-ри входи і 16 виходів

3.1.2. Шифратори

Шифратор (кодер) – це комбінаційний пристрій, призначений для перетворення вхідного n -розрядного унітарного коду в m -розрядний вихідний двійковий позиційний код.

Шифратор має n входів і m виходів. Шифратори бувають повні, якщо $n=2^m$ і неповні, якщо $n < 2^m$.

Розглянемо приклад побудови шифратора для перетворення десятирозрядного одиничного коду (десятичних чисел від 0 до 9) у двійковий код (табл. 3.2). При цьому припускаємо, що сигнал, відповідний логічній одиниці, у

кожний момент часу подається тільки до одного входу. Використовуючи цю таблицю відповідності, запишемо логічні рівняння, включаючи в логічну суму ті вхідні змінні (x_i), при яких функція (Y) приймає значення 1. Так, на виході Y_0 (табл. 3.2) буде логічна «1» тоді, коли логічна одиниця буде на будь-якому з входів

Таблиця 3.2

Десяткове число	Вхідний позиційний одичний код										Вихідний двійковий код			
	X ₉	X ₈	X ₇	X ₆	X ₅	X ₄	X ₃	X ₂	X ₁	X ₀	Y ₃	Y ₂	Y ₁	Y ₀
0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
1	0	0	0	0	0	0	0	0	1	0	0	0	0	1
2	0	0	0	0	0	0	0	1	0	0	0	0	1	0
3	0	0	0	0	0	0	1	0	0	0	0	0	1	1
4	0	0	0	0	0	1	0	0	0	0	0	1	0	0
5	0	0	0	0	1	0	0	0	0	0	0	1	0	1
6	0	0	0	1	0	0	0	0	0	0	0	1	1	0
7	0	0	1	0	0	0	0	0	0	0	0	1	1	1
8	0	1	0	0	0	0	0	0	0	0	1	0	0	0
9	1	0	0	0	0	0	0	0	0	0	1	0	0	1

X_1, X_3, X_5, X_7 або X_9 , тобто:

$$Y_0 = X_1 + X_3 + X_5 + X_7 + X_9. \quad (3.2)$$

$$Y_1 = X_2 + X_3 + X_6 + X_7.$$

$$Y_2 = X_4 + X_5 + X_6 + X_7,$$

$$Y_3 = X_8 + X_9.$$

За даними рівняннями схема шифратора 10x4 зображена на рис. 3.5.

Шифратор може бути реалізований на елементах І-НЕ. Для цього потрібно перетворити рівняння (3.2) в базис І-НЕ, використавши закон де Моргана:

$$\begin{aligned}
 \overline{Y_0} &= \overline{X_1 \cdot X_3 \cdot X_5 \cdot X_7 \cdot X_9}; \\
 \overline{Y_1} &= \overline{X_2 \cdot X_3 \cdot X_6 \cdot X_9}; \\
 \overline{Y_2} &= \overline{X_4 \cdot X_5 \cdot X_6 \cdot X_7}; \\
 \overline{Y_3} &= \overline{X_8 \cdot X_9};
 \end{aligned}
 \tag{3}$$

3.1.3. Мультиплектори

Мультиплексор – це комутатор логічних сигналів з декількох вхідних шин на одну вихідну. Мультиплексор має інформаційні входи – X_1, X_2, X_3, X_4 ; адресні входи – A, B ; дозволяючий вхід E і вихід Y . Кількість адресних (m) та

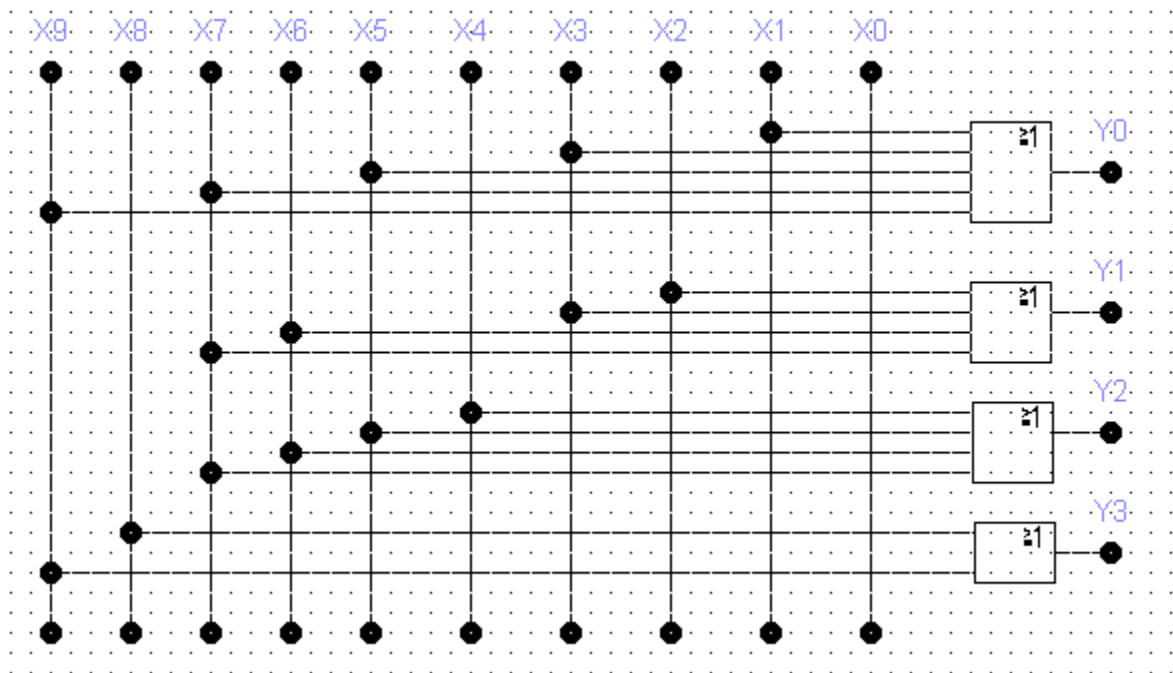


Рис. 3.5. Схема шифратора 10x4 на елементах АБО

інформаційних (n) входів взаємозв'язано відношенням $n=2^m$. Дозволяючий вхід E керує одночасно усіма інформаційними входами незалежно від адресних входів. Дозволяючий сигнал блокує роботу всього пристрою, якщо $E=0$. Дозволяючий вхід використовується також для нарощування розрядності мультиплексорів, а також забезпечує синхронізацію їх роботи з роботою інших цифрових пристроїв. Двійковий код на адресних входах B і A (B - старший розряд) визначає номер

(індекс) того інформаційного **входу**, з якого в даний момент часу інформація передається на вихід мультимплексора.

Таблиця істинності мультимплексора з двома адресними входами показана в табл.3.3.

Логічне рівняння в ДДНФ, згідно табл.3.3, має вигляд:

$$Y = E \cdot \bar{A} \cdot \bar{B} \cdot X_0 + E \cdot \bar{A} \cdot A \cdot X_1 + E \cdot A \cdot \bar{B} \cdot X_2 + E \cdot A \cdot B \cdot X_3. \quad (4)$$

Таблиця 3.3

E	B	A	Y
1	0	0	X ₀
1	0	1	X ₁
1	1	0	X ₂
1	1	1	X ₃
0	*	*	0

Комбінаційна схема мультимплексора, побудована за цим рівнянням, приведена на рис. 3.6.

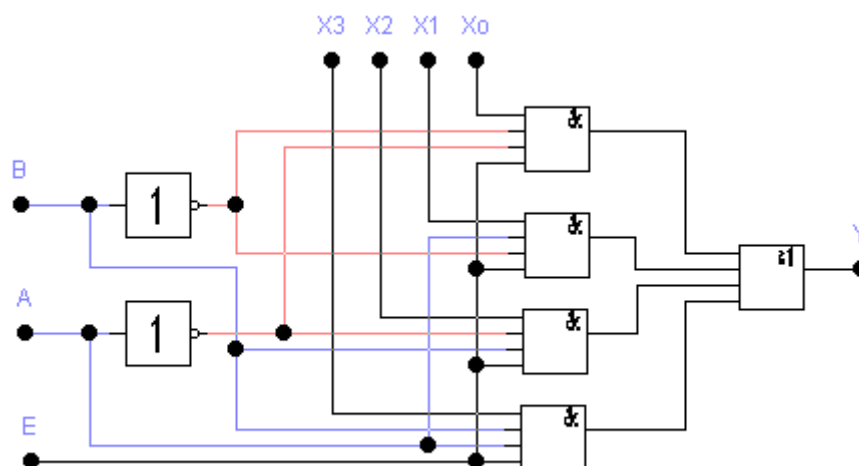


Рис.3.6. Схема мультимплексора на ЛЕ «І», «АБО», НЕ

Робота мультиплексора. Якщо на дозволяючий вхід подати логічний нуль $E=0$, то на одному із входів кожного ЛЕ І буде присутній логічний нуль і на виході цих елементів, а також на виході елемента АБО, буде також логічний нуль ($Y=0$). Якщо $E=1$, то будь-які комбінації на адресних входах B і A створюють умови, при яких на входах трьох логічних елементів І присутні логічні нулі, а стан четвертого ЛЕ І визначається сигналом на інформаційному вході. Такий же сигнал буде на виході мультиплексора. Наприклад, двійкове число **10** на адресних входах забезпечує селекцію шини X_2 , тобто $Y=X_2$. Випускаються мікросхеми мультиплексорів з 2-ма, 4-ма, 8-ю і 16-ю інформаційними входами.

Перетворення рівняння мультиплексора в базис «І-НЕ»:

$$Y = \overline{E \cdot \bar{A} \cdot \bar{A} \cdot X_0} \cdot \overline{E \cdot \bar{A} \cdot A \cdot X_1} \cdot \overline{E \cdot A \cdot \bar{A} \cdot X_2} \cdot \overline{E \cdot A \cdot A \cdot X_3} . \quad (6)$$

Схема мультиплексора на елементах «І-НЕ» приведена на рис. 3.7.

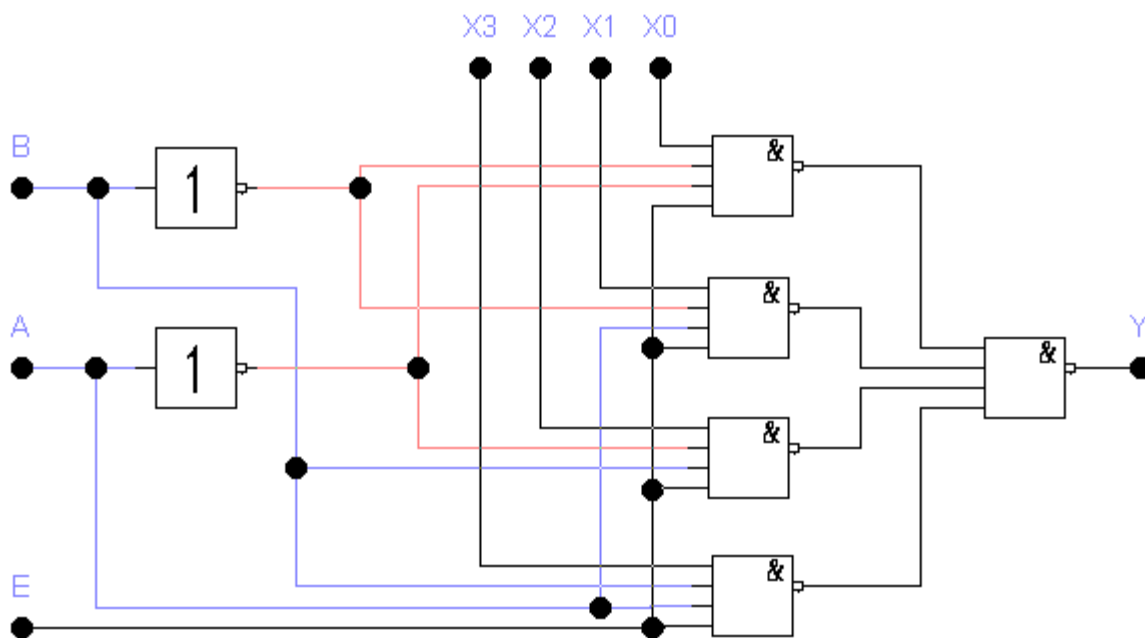


Рис.3.7. Схема мультиплексора на ЛЕ «І-НЕ»

Каскадне включення мультиплексорів.

Для мультиплексування великої кількості вхідних каналів використовують каскадну схему мультиплексорів. Простір адресного коду ділиться на дві групи за наявної розмірності мікросхем мультиплексорів.

За кількістю потрібних інформаційних входів набирають необхідну кількість мультиплексорів вхідної ступіні, подаючи на всі мультиплексори цієї ступіні розряди адресів молодшої групи.

Вихідна ступінь утворюється мультиплексором з кількістю інформаційних входів відповідних кількості мультиплексорів, використаних у вхідній ступені. Їх виходи з'єднуються з кожним інформаційним входом мультиплексора вихідної ступені. До мультиплексора вихідної ступені подаються розряди старшої адресної групи.

3.1.4. Демультимплексори

Демультимплексори (розподільники) у функціональному відношенні протилежні мультиплексорам. У демультимплексорах сигнали з одного інформаційного входу розподіляються у бажаній послідовності на декілька виходів. Вибір потрібної вихідної шини забезпечується кодом на адресних входах.

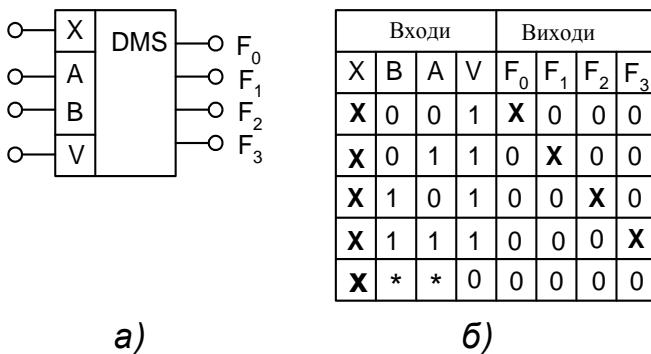


Рис. 3.8. Умовне зображення (а) і таблиця станів (б) демультимплексора

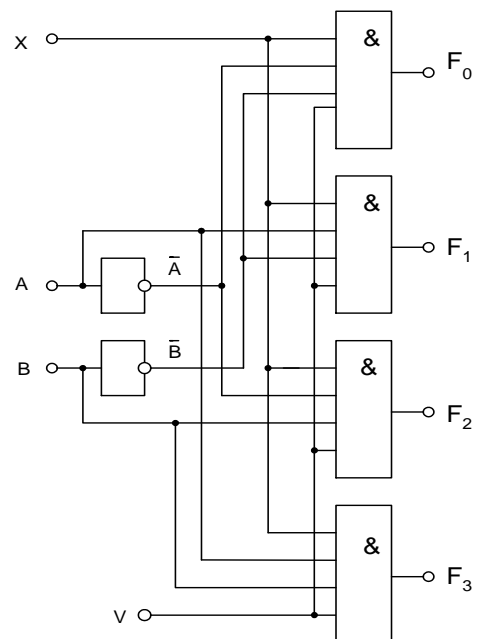


Рис. 3.9. Схема демультимплексора

Демультимплексор, умовне позначення якого приведене на рис. 3.8, а, має X - інформаційний вхід, B і A – адресні входи, V – дозволяючий вхід; F_0, F_1, F_2, F_3 – виходи. У разі m адресних входів мультиплексор може мати 2^m виходів. З таблиці істинності демультимплексора (рис. 3.8, б) одержимо рівняння функцій на його виходах:

$$F_0 = XV\bar{B}\bar{A}; F_1 = X\bar{B}AV; F_2 = XB\bar{A}V; F_3 = XBAV.$$

Схема демультимплексора за цими рівняннями зображена на рис. 3.9.

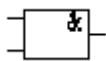
3.2. Елементи програми EWB для виконання практикуму



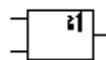
Voltage Source. За допомогою цього джерела до входу ЛЕ подається логічна одиниця.



Перемикач (Basic->Switch). Перемикання відбувається натисканням на клавишу, вказану в дужках над цим елементом.



Logic gates->2-Input AND gate. Логічний елемент "І".



Logic gates->2-Input OR gate. Логічний елемент "АБО".



Indicators->red Prob – Світлоіндикатор. При подачі на цей елемент логічної одиниці він забарвлюється в червоний (або заданий інший) колір.



Семисегментний цифровий індикатор.

3.3. Завдання і порядок виконання практикуму

3.3.1 Дослідження роботи дешифраторів

Зібрати схему лінійного дешифратора на 4 адресних входів і 16 виходів на логічних елементах «І». Проаналізувати його роботу. Додати в цю схему дозволяючий вхід і проаналізувати його вплив на роботу дешифратора.

Зібрати схему дешифратора з двома адресними входами і чотирма виходами. Налаштовану схему цього дешифратора оформити у вигляді субблока і зберегти в бібліотеці субблоків.

За допомогою двох субблоків дешифраторів зібрати матричний дешифратор і проаналізувати його роботу.

3.3.2. Дослідження роботи шифраторів

Зібрати шифратор на десять входів і чотири виходи на елементах «АБО».

Зібрати шифратор на десять входів і чотири вихідних двійкових розрядів на елементах «І-НЕ».

3.3.3. Дослідження роботи мультиплексорів

Зібрати мультиплексори з 8 інформаційними входами на елементах «І», «АБО» і на елементах «І-НЕ». Порівняти особливості їх роботи.

3.3.4. Дослідження роботи демультимплексорів

Продемонструвати, що схема дешифратора з дозволяючим входом являється також схемою демультимплексора, якщо дозволяючий вхід рахувати інформаційним входом.

3.4. Зміст звіту з практикуму

3.4.1. Звіт повинен мати всі досліджувані в комп'ютерному практикумі схеми.

3.4.2. Логічні рівняння, які описують вихідні сигнали досліджуваних схем.

3.5. Контрольні запитання

1. Призначення шифраторів, дешифраторів, мультиплексорів і демультимплексорів.
2. Пояснити, чим відрізняється повний дешифратор від неповного.
3. До якого типу (повного чи неповного) відноситься десятковий шифратор?
4. Які методи використовуються для збільшення дозволяючої здатності дешифраторів і мультиплексорів?
5. До якого класу пристроїв відносяться шифратори: до комбінаційних чи послідовних схем?
6. З якою метою в дешифраторах використовується дозвільний вхід?
7. Поясніть принцип роботи матричного дешифратора. Що дає використання матричного дешифратора?

3.6. Рекомендована література

1. Електроніка та мікросхеотехніка (Електронний ресурс): навчальний посібник для студентів напрямку підготовки 6.050702 "Електромеханіка"/ А.А. Щерба, К.К. Побєдаш, В.Святненко; - Київ: НТТУ "КПІ", -360 с.

Режим доступу: <http://ela.kpi.ua/handle/123456789/3569>

2. Електротехніка та електроніка. Теоретичні відомості, розрахунки та дослідження за підтримкою комп'ютерних технологій: Навчальний посібник /А.А. Щерба, В.М. Рябенський, М.Є. Кучеренко, К.К. Побєдаш та ін. - К.: "Корнійчук", 2007. - 488 с.

3. Сенько В.І., Панасенко М.В., Сенько Є.В. та ін. Електротехніка і мікросхемотехніка: Том 3. Цифрові пристрої: Підручник. - К.: Каравела, 2008. - 400 с.

4.Інтерфейс програмного комплексу Electronics Workbench: Навчальний посібник. / Побєдаш К.К., Святненко В.А. : Київ: НТУУ «КПІ», 2014. – 57 с.

5. Бойт К. Цифровая электроника. Москва: Техносфера, 2007. -472 с.

6. В.И. Карлащук. Электронная лаборатория на IBM PC. М., "СОЛОН-Р", 2001.

7. Угрюмов Е.П. Цифровая схемотехника. - СПб.: БХВ - Санкт-Петербург, 2000 - 528 с.

8. Электротехника и электроника в экспериментах и упражнениях: Практикум на Electronics Workbench: В 2-х томах. / Под общей редакцией Д.И.Панфилова. М.: ДОДЭКА, 2000.

Практикум № 4

Дослідження тригерів

Мета практикуму - вивчення і дослідження основних типів тригерів та їх властивості. Набуття навичок використання тригерів.

4.1. Короткі теоретичні відомості

Тригери являються найпростішими послідовними пристроями з двома стійкими станами рівноваги, зміна яких відбувається стрибком (лавиноподібно) під дією вхідних сигналів. Процес переходу тригера з одного стану стійкої рівноваги в інший називають *перемиканням, спрацюванням або спуском* тригера. Логічна функція, що встановлює залежність стану, в який переходить тригер під дією сигналів керування, називається функцією переходів тригера. Функції переходів задаються логічними формулами або таблицями.

Узагальнена структурна схема тригерного пристрою (рис. 4.1) складається з схеми керування та елемента пам'яті і має:

- A_1, \dots, A_n – інформаційні входи;
- C – вхід синхронізації (тактовний вхід);
- V – підготовчий вхід;
- S_y, R_y – установлювальні входи;
- R^*, S^* – інформаційні входи елемента пам'яті;

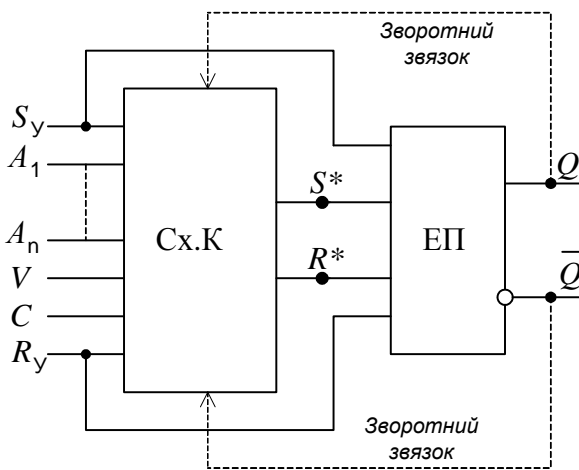


Рис. 4.1

- Q, \bar{Q} – два взаємно інверсні виходи.

Схема керування представляє собою комбінаційний пристрій, що перетворює вхідну інформацію в комбінацію сигналів, під дією яких елемент пам'яті приймає один з двох сталих станів. Змінюючи схему керування і способи її зв'язків з

елементом пам'яті, можна одержати тригери з різними функціональними

властивостями. В простішому варіанті схема керування може бути відсутня. У такому випадку вхідні інформаційні сигнали впливають безпосередньо на входи елемента пам'яті.

При цьому інформаційні входи тригера ототожнюються з вхідними змінними і позначаються наступним чином:

S (Set - встановлення) - вхід для асинхронного встановлення тригера в стан «1» (S - вхід);

R (Reset - скидання) - вхід для асинхронного встановлення тригера в стан «0» (R - вхід);

D (Delay - затримка) - інформаційний вхід для встановлення тригера в стан «1» або «0» (D - вхід);

T (Toggle - лічильний вхід (Т - вхід);

J - вхід для синхронного встановлення «1» універсального J-K - тригера (J - вхід);

K - вхід для синхронного встановлення «0» універсального J-K - тригера (K - вхід);

C - вхід синхронізації (C - вхід).

Асинхронні входи R і S можуть бути прямими і інверсними. Інверсні входи позначаються знаком інверсії. Для інверсних входів активним сигналом являється рівень логічного "0" (низький рівень). На рівень логічної "1" тригер не реагує. Для прямих входів навпаки активним сигналом являється рівень логічної "1".

Тригери мають два взаємно інверсні виходи: Q і \bar{Q} .

Умовні позначення тригерів на функціональних схемах показані на рис. 4.2.

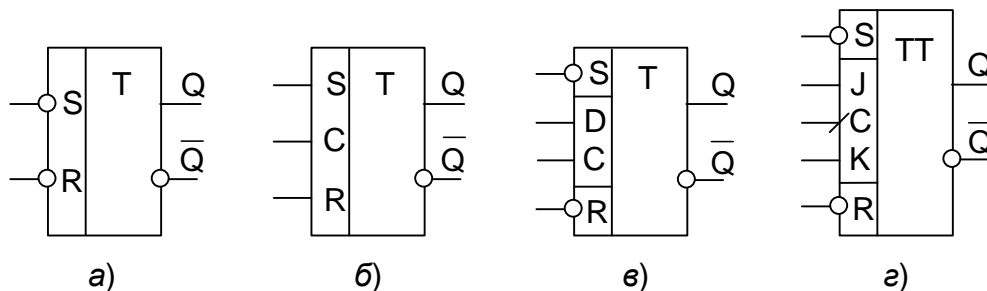


Рис. 4.2. Умовні зображення тригерів: а) –асинхронний RS-тригер з інверсним

керуванням, б) – синхронний *RS*-тригер з прямим керуванням, в) – синхронний *D*-тригер з установчими входами, г) – *JK*-тригер з динамічним керуванням

4.2. Закони функціонування тригерів

Закони функціонування тригерів можуть задаватись різними способами. Часто такий закон задають **таблицею істинності (переходів)**. В таблиці переходів вказуються значення інформаційних і синхронізуючих сигналів на його входах, а також значення вихідних сигналів (внутрішніх станів тригера) після закінчення дії синхронізуючого сигналу.

Закон функціонування тригера може задаватись у вигляді характеристичного рівняння логічної функції типу

$$Q^{t+1} = f(Q^t, X_i^t), \quad i = 1, 2, \dots, m \quad (1)$$

де Q^{t+1} - стан тригера після закінчення дії синхронізуючого сигналу,
 Q^t - стан тригера до надходження синхронізуючого сигналу,
 X_i^t - значення сигналу на інформаційному вході в момент часу “ t ”.

Характеристичне рівняння зв'язує логічні змінні на входах і виходах тригера до і після його переходу з одного стану в інший.

Між таблицею переходів і характеристичним рівнянням має місце взаємна відповідність, тобто від таблиці переходів завжди можна перейти до характеристичного рівняння і навпаки.

4.3. Класифікація тригерів

Тригери класифікуються за такими ознаками:

За способом організації логічних зв'язків:

- *RS*- тригери – тригери з окремим встановленням станів «0» і «1».
- *T*- тригери – тригери з лічильним входом (лічильні тригери).
- *D*- тригери (тригери затримки) – універсальні тригери з керуванням прийманням інформації по одному входу.
- *JK*- тригери – універсальні тригери з окремим встановлення «0» і «1».
- Тригери з складною логікою та ін..

За способом записування інформації:

- асинхронні (не тактовні) тригери;
- синхронні (тактовні) тригери:

За способом синхронізації:

- синхронні тригери зі статичним керуванням;
- синхронні тригери з динамічним керуванням.

За характером процесу перемикання:

- одноступеневі;
- двоступеневі.

4.4. Тригери RS – типу

Асинхронним RS- тригером називають запам'ятовуючий елемент з роздільними інформаційними входами для установлення його в стан «0» (*R* вхід) і в стан «1» (*S* вхід). Перехід тригера у кожний наступний стан залежить як від поточних значень вхідних інформаційних сигналів, так і від попереднього стану тригера. Інформація про попередній стан, яка надходить з виходу тригера, разом із зовнішніми сигналами керує його роботою.

Логічна функція, що встановлює залежність стану, в який переходить тригер з поточного стану при дії заданих сигналів керування, називається *функцією переходів* тригера. Функції переходів задаються логічними рівняннями, які виражають залежність стану тригера в $(n+1)$ -му такті Q_{n+1} від стану його в n -му такті Q_n і від вхідних змінних, або у вигляді таблиць. Для асинхронних *RS-* тригерів такі рівняння мають вигляд

$$Q_{n+1} = f(S_n, R_n, Q_n)$$

Логіку роботи асинхронного *RS-* тригера можна подати таблицю станів (переходів) (табл.4.1). У таблиці переходів прийняті такі позначення:

R_n, S_n, Q_n - значення логічних змінних на n -му такті відповідно на інформаційних входах і на виході тригера до перемикання;

Таблиця 4.1

R_n	S_n	Q_n	Q_{n+1}
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	*
1	1	1	*

Q_{n+1} - стан, якого набуває тригер у результаті впливу інформаційних сигналів на $(n+1)$ -му такті після перемикання;

* - заборонені комбінації сигналів.

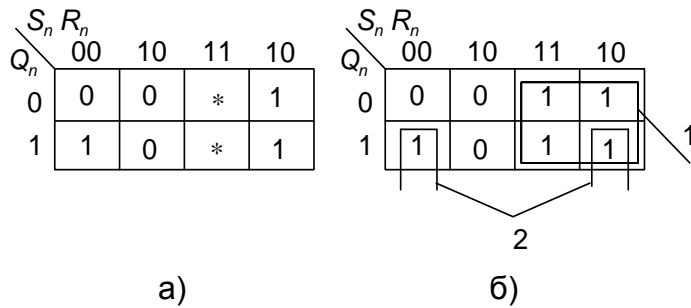


Рис. 4.3

Для одержання характеристичного рівняння RS -тригера мінімізуємо функцію переходів методом карт Карно, до визначивши її одиницями (рис. 4.3). Мінімізоване логічне рівняння у ДНФ має вигляд:

$$Q_{n+1} = S_n + \bar{R}_n \cdot Q_n \quad (4.1)$$

Перетворимо одержаний логічний вираз у базис АБО-НЕ.

Для цього спочатку двічі проінвертуємо добуток у правій частині і перетворимо його за теоремою де Моргана

$$Q_{n+1} = S_n + \overline{\overline{\bar{R}_n \cdot Q_n}} = S_n + \overline{\bar{R}_n + \bar{Q}_n} \quad (4.2)$$

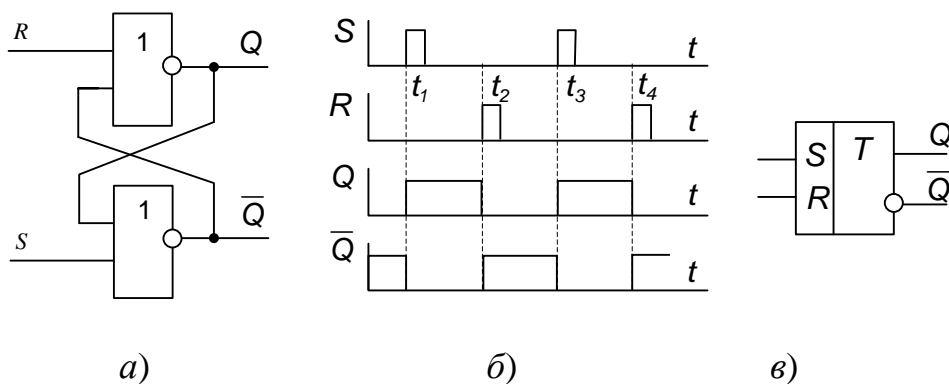


Рис. 4.4

Для RS - тригера на елементах АБО-НЕ комбінація вхідних сигналів $RS=1$ є заборонена, тобто неможна одночасно подавати на входи такого тригера логічні «1». Це пов'язано з тим, що в такому випадку на обох виходах тригера будуть логічні «0», а після відміни такої комбінації неможливо передбачити на якому

виході буде логічний «0», а на якому – «1». *RS*-тригер на логічних елементах АБО-НЕ називається тригером з прямим керуванням.

Так як тригер має два взаємно інверсні виходи, то проінвертував обидві частини цього рівняння, одержимо логічне рівняння *RS*-тригера у базисі АБО-НЕ відносно інверсного виходу:

$$\overline{Q}_{n+1} = \overline{S_n + R_n + \overline{Q}_n}.$$

Для реалізації схеми *RS*- тригера за цим рівнянням необхідно використати два двовходових логічних елементів АБО-НЕ. Схема тригера зображена на рис. 4.4, *a*, часові діаграми і умовне позначення показані відповідно на рис. 4.4, *б* і *в*.

Для реалізації схеми *RS*- тригера на елементах І-НЕ перетворимо логічний вираз (4.1) до відповідного базису:

$$Q_{n+1} = \overline{\overline{S_n + R_n} \cdot \overline{Q_n}} = \overline{\overline{S_n} \cdot \overline{R_n} \cdot \overline{Q_n}}. \quad (4.3)$$

На рис. 4.5, *a* показана схемна реалізація *RS*- тригера у базисі І-НЕ, умовне зображення (*б*), таблиця переходів (*в*) і часові діаграми його роботи (*г*).

Особливістю такого тригера є інверсне керування за інформаційними входами.

RS- тригер на елементах І-НЕ називають тригером з інверсним керуванням. Для нього є забороненою одночасна подача на *R* і *S* входи логічного $(\overline{R} + \overline{S} = 0)$ нуля. Стан, у який переходить тригер по закінченню дії забороненої комбінації, залежить від того, котрий із вхідних сигналів триває довше. Неоднозначності реакції *RS*-тригерів на заборонену комбінацію вхідних сигналів є їх істотним недоліком. Іншим недоліком асинхронних тригерів є те, щовони не захищені від завад.

4.5. Синхронний *RS*-тригер

У синхронних тригерах перемикавання відбувається під дією інформаційних сигналів тільки за наявності синхронізуючого (тактового) сигналу. Синхронні тригери поділяються на тригери зі статичним керуванням, динамічним керуванням і двоступеневі тригери. У синхронних тригерах зі статичним

керуванням запис інформації, яка надходить до інформаційних входів, можливе впродовж тривалості синхронізуючих (тактових) сигналів. При цьому тактові сигнали можуть приймати значення 1 ($\neg \square$) або 0 ($\square \neg$), а тригери відповідно називаються тригерами з прямим чи інверсним керуванням. Умовні позначення статичних входів керування зображені на рис. 4.6, а, б. У тригерах з динамічним керуванням запис інформації відбувається тільки в моменти дії фронтів тактових імпульсів (прямі динамічні входи), або в моменти зрізів (задніх фронтів) тактових імпульсів (\nearrow або \searrow). Умовні позначення динамічних входів керування тригерів зображені на рис. 4.6, в, г.

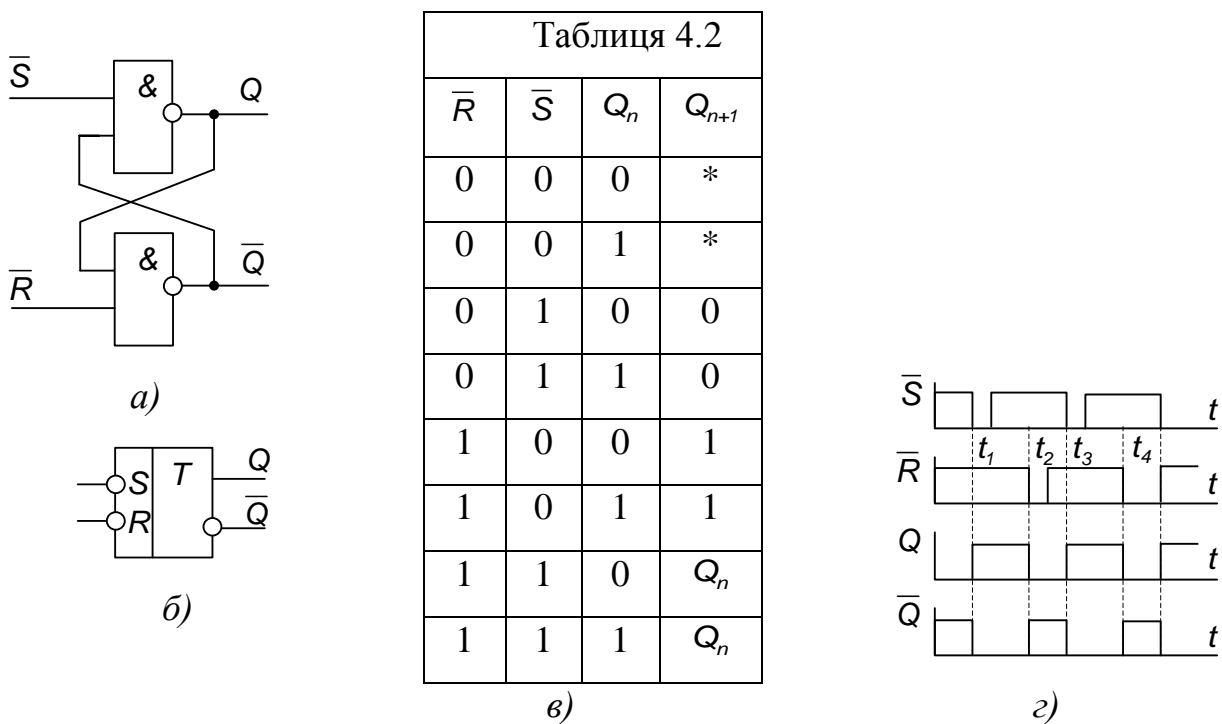


Рис. 4.5

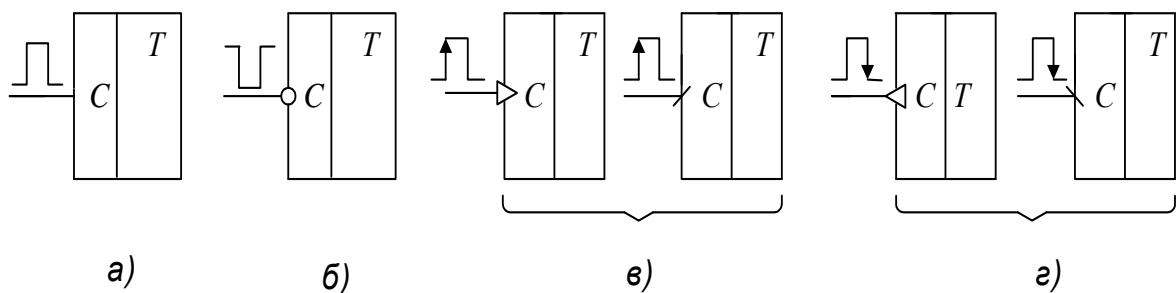


Рис. 4.6

Імпульси синхронізації подаються через такий інтервал часу (період синхронізації), щоб закінчилися перехідні процеси переходу тригерів та інших цифрових пристроїв з одного стану в інший. *Застосування імпульсів синхронізації усуває неоднозначність стану тригерів і різко збільшує надійність їх роботи та завадостійкість.*

Синхронний *RS*-тригер, крім інформаційних входів *R* і *S*, має ще вхід синхронізації *C*, до якого надходять тактові імпульси (імпульси синхронізації). Синхронний *RS*- тригер одержують з асинхронного шляхом підключення до його входів схеми керування, утвореної з логічних елементів.

На рис. 4.7, *a* наведена схема синхронного тригера з статичним керуванням, виконана на елементах І-НЕ.

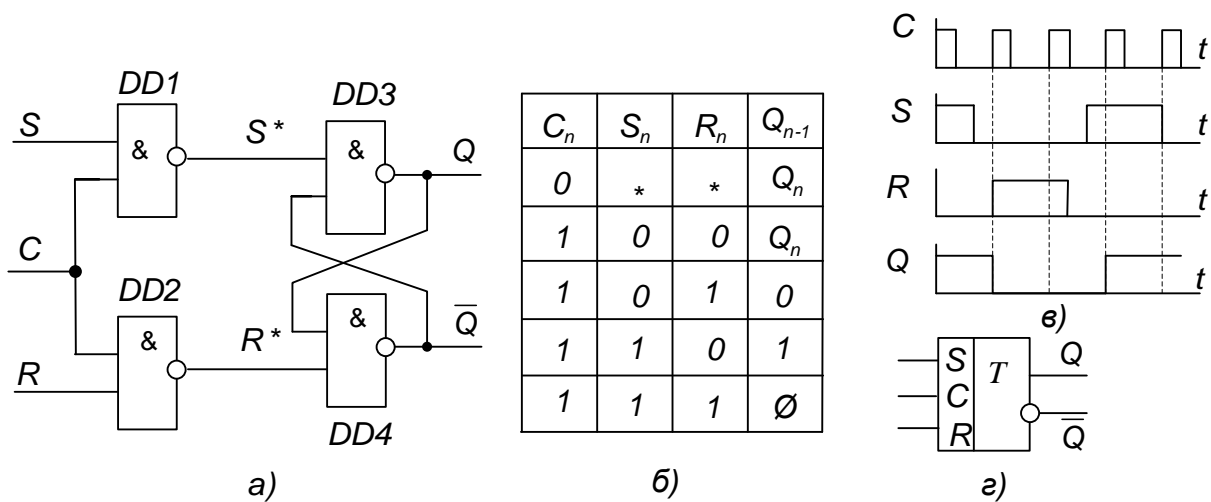


Рис.4.7

Елементи *DD1* і *DD2* утворюють схему керування, а елементи *DD3* і *DD4* - елемент пам'яті (асинхронний *RS*- тригер). Входи *R* і *S* – інформаційні, а вхід *C* – тактовий (синхронізуючий). Кожен із інформаційних входів з'єднаний з тактовим входом операцією І, а тому інформація з входів *R* і *S* може передаватись на елемент пам'яті тільки тоді, коли $C=1$. Внутрішні інформаційні входи R^* і S^* керують власне асинхронним *RS* тригером, який перемикається сигналами нульового рівня. Оскільки в елементах *DD1* і *DD2* виконується інверсія, то для

перемикання тригера потрібні вхідні сигнали логічної одиниці. Таблиця переходів синхронного RS - тригера наведена на рис. 4.7, б, спрощені часові діаграми (без урахування часу затримки перемикання ЛЕ) - на рис. 4.7, в, умовне графічне зображення – на рис. 4.7, г.

Комбінація $CRS=1$ синхронного тригера на елементах І-НЕ заборонена, тому що у такому разі на входах R^* і S^* будуть заборонені для асинхронного RS -тригера нульові рівні.

Логічну функцію, яку реалізує синхронний RS - тригер, можна записати як

$$Q_{n+1} = \overline{C_n S_n} \cdot \overline{C_n R_n} \cdot Q_n = C_n S_n + \overline{C_n R_n} \cdot Q_n . \quad (4.4)$$

З цього виразу слідує, що якщо $C_n = 0$, то $Q_{n+1} = Q_n$ (тригер зберігає попередню інформацію), а коли $C_n = 1$, то $Q_{n+1} = S_n + \overline{R_n} \cdot Q_n$, тобто тригер працює як асинхронний тригер.

4.6. D-тригери

D -тригер має один інформаційний вхід D і вхід синхронізації C . При наявності імпульсу синхронізації стан прямого виходу

Таблиця 4.3

C_{n+1}	D_n	Q_n	Q_{n+1}
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

такого тригера на такті повторює стан

Табл.4.4	
C	Q_{n+1}
0	Q_n
1	D_n

інформаційного входу, що діяв на ньому на попередньому (n -му) такті, тобто $Q_{n+1} = C_n \cdot D_n$. Таким чином, поданий на інформаційний вхід сигнал затримується тригером на один такт. Тому D -тригери називають тригерами затримки

(від англійського слова *delay* – затримка).

Порядок роботи D -тригера визначається таблицею станів (табл.4.3, від якої можна перейти до спрощеної таблиці (табл. 4.4).

Схему одноступеневого D -тригера можна побудувати на основі синхронного RS -тригера, якщо сигнал по входу S одночасно подавати через інвертор на вхід R (рис.4.8, а). Завдяки інвертору неможливий заборонений стан сигналів на входах S і R ($S \cdot R = 1$). Схему D -тригера можна побудувати також на основі рівняння, одержаного з (4.7) замінивши сигнал S на D і сигнал R на \overline{D} :

$$Q_{n+1} = \overline{\overline{C_n S_n} \cdot \overline{C_n R_n}} \cdot Q_n = \overline{C_n D_n} \cdot \overline{C_n \cdot D_n} \cdot Q_n \quad (4.8)$$

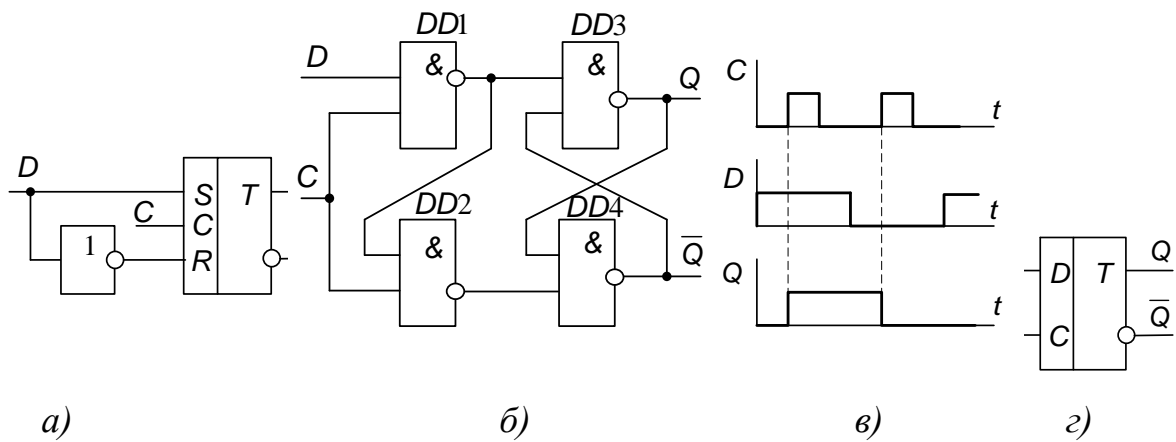


Рис.4.8

Схема D -тригера згідно з рівнянням (4.8) показана на рис.4.8, б.

На рис 4.8, в наведені часові діаграми, а на рис.4.8, з умовне зображення D -тригера.

З часових діаграм видно, що D -тригер здійснює затримку встановлення Q на час, що відділяє момент зміни сигналу D від початку чергового тактового імпульсу. При цьому вихідний сигнал Q зберігається до надходження чергового тактового імпульсу.

4.7. T -тригери

Тригер T -типу, або лічильний тригер, має один інформаційний вхід T (*toogle* - релаксатор). Стан такого тригера змінюється на протилежний після надходження

Табл. 4.5		
T_n	Q_n	Q_{n+1}
0	0	0
0	1	1
1	0	1
1	1	0

кожного сигналу до T входу. За способом введення інформації T -тригери можуть бути асинхронними і синхронними. T -тригер є єдиним видом тригера, поточний стан якого визначається не інформацією на входах, а станом його на попередньому такті. Логіка роботи такого тригера подана таблицею істинності (табл.4.5), з якої одержимо логічне рівняння в ДДНФ

$$Q_{n+1} = \overline{T}_n \cdot Q_n + T_n \cdot \overline{Q}_n \quad (4.9)$$

Для реалізації T -тригера в базисі І-НЕ перетворимо рівняння

$$Q_{n+1} = \overline{\overline{\overline{T_n \cdot Q_n} + \overline{T_n \cdot \overline{Q_n}}} = \overline{\overline{\overline{T_n \cdot Q_n} \cdot \overline{\overline{T_n \cdot \overline{Q_n}}}} = \overline{\overline{\overline{T_n \cdot Q_n} \cdot \overline{T_n \cdot \overline{Q_n}}}}. \quad (4.10)$$

У рівнянні враховано, що $\overline{\overline{\overline{T_n \cdot \overline{Q_n} \cdot Q_n}} = (\overline{T_n} + \overline{Q_n}) \cdot Q_n = \overline{T_n} \cdot Q_n + \overline{Q_n} \cdot Q_n = \overline{T_n} \cdot Q_n$.

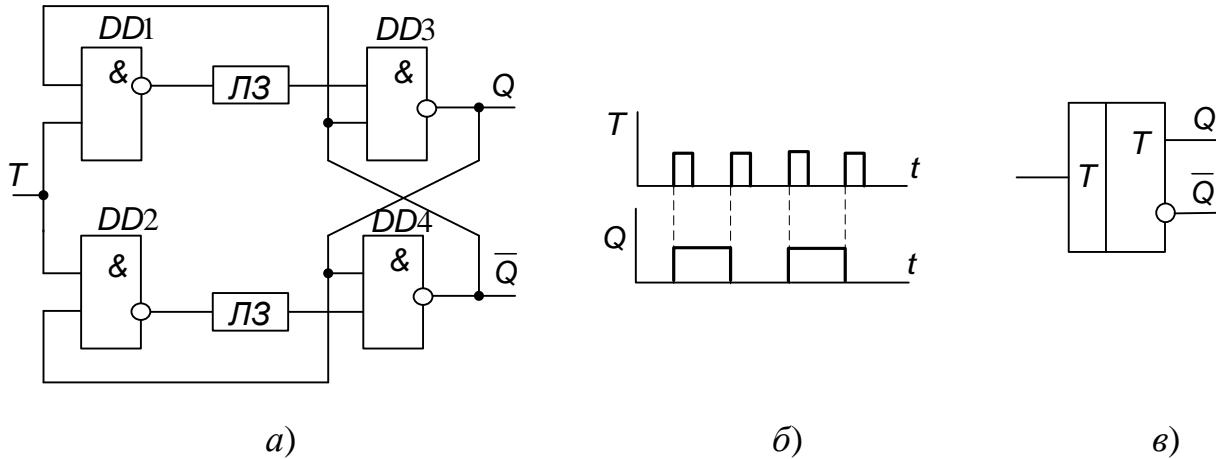


Рис. 4.9

Перемикання тригера відбувається за рахунок спільної дії сигналів T -входу і виходів Q та \overline{Q} . Схема одноступеневого асинхронного T - тригера приведена на рис. 4.9, *a*. Сигнали з виходів $DD1$ і $DD2$ затримуються лініями затримки (ЛЗ) на час дії сигналу на T - вході.

Часові діаграми і умовне зображення T - тригера показані відповідно на рис. 4.9, *б* і *в*.

4.8. JK- тригери

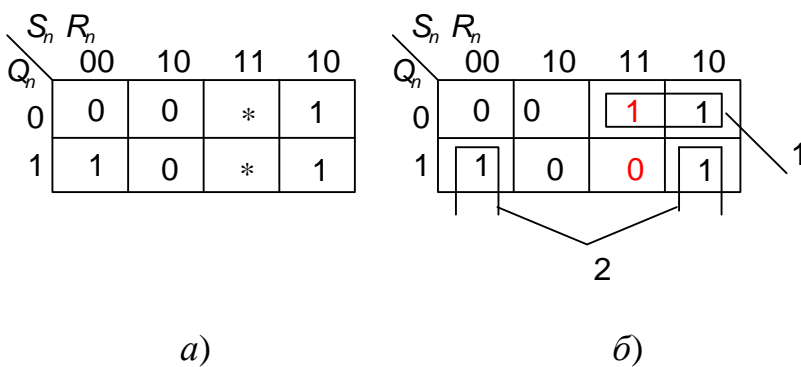


Рис. 4.10

Цей тип тригерів немає невизначених станів. За способом керування JK -тригери, як і RS -тригери, можуть бути асинхронними і синхронними.

Якщо на карті Карно RS -тригера (рис. 4.10, *a*)

стовпець невизначеності замінити сполученням 1,0, то карта Карно прийме вигляд (рис. 4.10, б).

Мінімізована функція в ДНФ має вигляд:

$$Q_{n+1} = S_n \cdot \bar{Q}_n + \bar{R}_n \cdot Q_n.$$

Табл. 4.6

K_n	J_n	Q_n	Q_{n+1}
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	0

K_n	J_n	Q_{n+1}
0	0	Q_n
0	1	1
1	0	0
1	1	\bar{Q}_n

Спрощена

Повна

Замінив S_n на J_n , а R_n на K_n одержимо логічне рівняння асинхронного JK -тригера:

$$Q_{n+1} = J_n \cdot \bar{Q}_n + \bar{K}_n \cdot Q_n. \quad (4.11)$$

Таблиці станів JK -тригера за цим рівнянням повна і спрощена мають вигляд (табл. 4.6):

Як видно з таблиці JK -тригер немає заборонених станів.

Для побудови одноступеневого синхронного JK -тригера на елементах І-НЕ потрібно замінити в рівнянні для асинхронного JK -тригера змінні K і J на сполучення CK і CJ і перетворити його за аксіомою подвійної інверсії та правилом де Моргана:

$$Q_{n+1} = \overline{\overline{C \cdot J_n \cdot \bar{Q}_n} + \overline{C \cdot K_n \cdot Q_n}} = \overline{C \cdot J_n \cdot \bar{Q}_n} \cdot \overline{C \cdot K_n \cdot Q_n}. \quad (4.12)$$

На рис.4.11 приведена схема (а), умовне позначення (б) і часові діаграми (в) одноступеневого JK -тригера, реалізованого у відповідності з рівнянням (4.9).

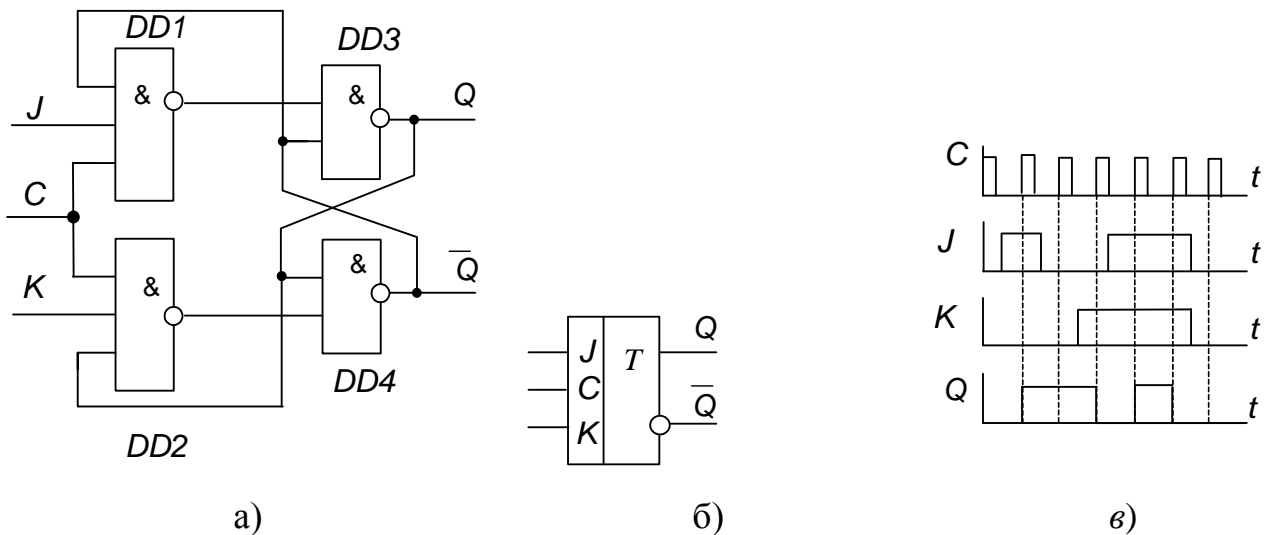


Рис. 4.11

У синхронних тригерах зі статичним керуванням запис інформації, яка надходить до інформаційних входів, можливе впродовж тривалості синхронізуючих (тактових) сигналів. При цьому тактові сигнали можуть приймати значення 1 (⌊) або 0 (⌋), а тригери відповідно називаються тригерами з прямим чи інверсним керуванням. В таких тригерах можливе фальшиве перемикання у випадку зміни сигналів на інформаційних входах під час дії синхросигналу на вході *C*. Це знижує завадостійкість таких тригерів.

4.9. Тригери з динамічним керуванням

У тригерах з динамічним керуванням запис інформації відбувається тільки в моменти дії фронтів тактових імпульсів (прямі динамічні входи), або в моменти зрізів (задніх фронтів) тактових імпульсів (⌆ або ⌋). Це підвищує завадостійкість таких тригерів.

Такі тригери виконуються за двоступеневими схемами, які ще називають *MS-тригерами* (від англ. Master - Slave). Двоступеневі тригери складаються з двох синхронних *RS*-тригерів і додаткового елемента НЕ (рис. 4.12, *a*).

Переднім фронтом синхроімпульсу інформація, що поступає на інформаційний *S*-вхід тригера, записується у ведучий (*M*) триггер (момент t_1 на рис. 4.12, *b*). При цьому ведений (*S*) триггер не змінює свого стану, тому що на його вхід синхронізації через схему НЕ подається логічний нуль. Після закінчення

запису інформації у ведучий тригер і зміні значення синхроімпульсу з одиниці на нуль відбувається запис інформації у ведений (S) тригер (момент t_2 на рис. 4.12, б).

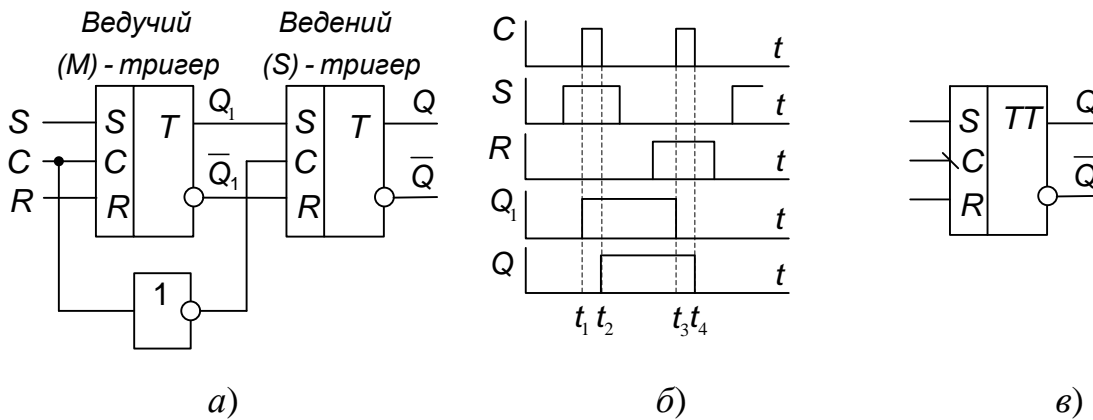


Рис. 4.12. Схема двоступеневого синхронного RS-тригера (а), його часові діаграми (б), умовне графічне зображення (в)

Таким чином, у ведучий тригер інформація з S і R входів записується в момент надходження синхроімпульсу, тобто за його переднім фронтом, а інформація з виходів ведучого тригера (Q_1 і \bar{Q}_1) записується веденим тригером по закінченню тактового імпульсу, тобто за його зрізом. Така синхронізація називається *динамічною*.

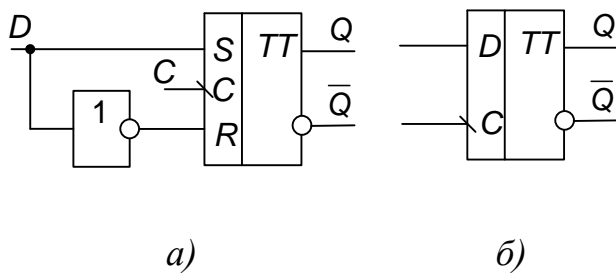


Рис.4.13

Умовне зображення двоступеневого RS-тригера з динамічним входом C у разі перемикання зрізом імпульсу наведено на рис. 4.12, в. Наявність двох ступенів позначається на умовному зображенні

двома буквами T.

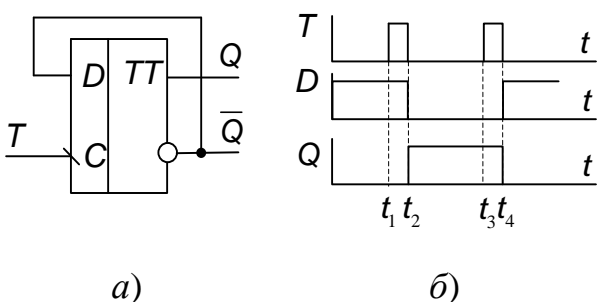


Рис. 4.14

Двоступеневий *D*- тригер можна

виконати на основі двоступеневого *RS*- тригера, якщо між *S* і *R* входами включити схему НЕ (рис.4.13, *a*). Умовне зображення двоступеневого *D*- тригера наведено на рис.4.13, *б*.

Двоступеневий *D*- тригер з динамічним керуванням можна перетворити в лічильний *T*- тригер, з'єднавши його вхід *D* з інверсним виходом \bar{Q} (рис. 4.14, *a*).

Через те, що $D = \bar{Q}$, у такій схемі кожний перехід 1/0 на вході *C* буде приводити до переходу тригера у протилежний стан, тобто $Q_{n+1} = \bar{Q}_n$ (рис. 4.14, *б*).

Більшими функціональними можливостями володіє двоступеневий *JK*-тригер, схема якого і умовне зображення показані відповідно на рис. 4.15, *a* і *б*. Схема доповнена двома двовходовими елементами 2І *DD1* і *DD2*. Через те, що до їх входів заведений перехресний зворотний зв'язок з виходів *Q* і \bar{Q} , то завжди один із елементів буде закритий для проходження одного із інформаційних сигналів *J* або *K*.

У зв'язку з цим на входи такого *JK*- тригера можна одночасно подавати логічні одиниці. Входи *J* і *K* відповідають входам *S* і *R* *RS*- тригера. Якщо на синхровході *C* діє «1», то при будь-яких значеннях сигналів на *J* і *K* входах тригер не змінює свого стану. Якщо на вході *C* є дозвіл запису інформації, то

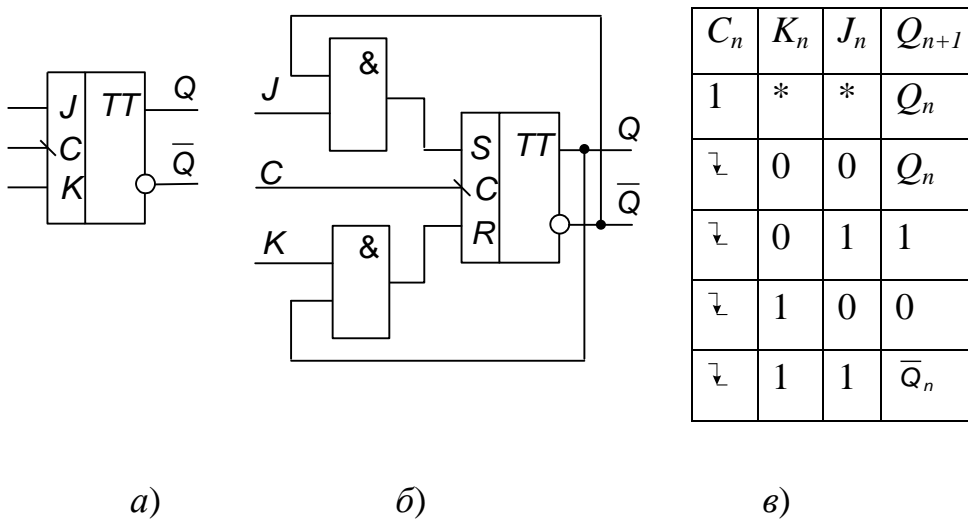


Рис. 4.15

сигнали $J=1$, $K=0$ установлюють тригер у стан 1, а сигнали $J=0$, $K=1$ – у стан 0 незалежно від його попереднього стану. Якщо $J=K=0$, то має місце режим збереження інформації, яка була записана на попередньому такті. Якщо $J=K=1$, то з надходженням імпульсу до C входу тригер змінює свій стан на протилежний, тобто веде себе як T - тригер. Таблиця станів такого тригера приведена на рис. 4.15, в.

Двоступеневе керування використовується у більшості типів інтегральних JK - тригерів.

На рис. 4.16, а показано умовне зображення інтегрального JK - тригера, який має по три J і K входи, пов'язані операцією $\&$. Крім інформаційних J і K входів і синхронізуючого входу C тригер має додаткові асинхронні установчі входи S і R , які є пріоритетні (команди на їх входах виконуються в першу чергу). Вони дозволяють встановлювати тригер у потрібний початковий стан. S вхід встановлює на виході Q «1», а R вхід – «0». JK - тригери називають універсальними, тому що вони можуть працювати в режимах RS - , T - і D - тригерів. На рис. 4.16, б показано включення JK - тригера в режимі RS - тригера, на

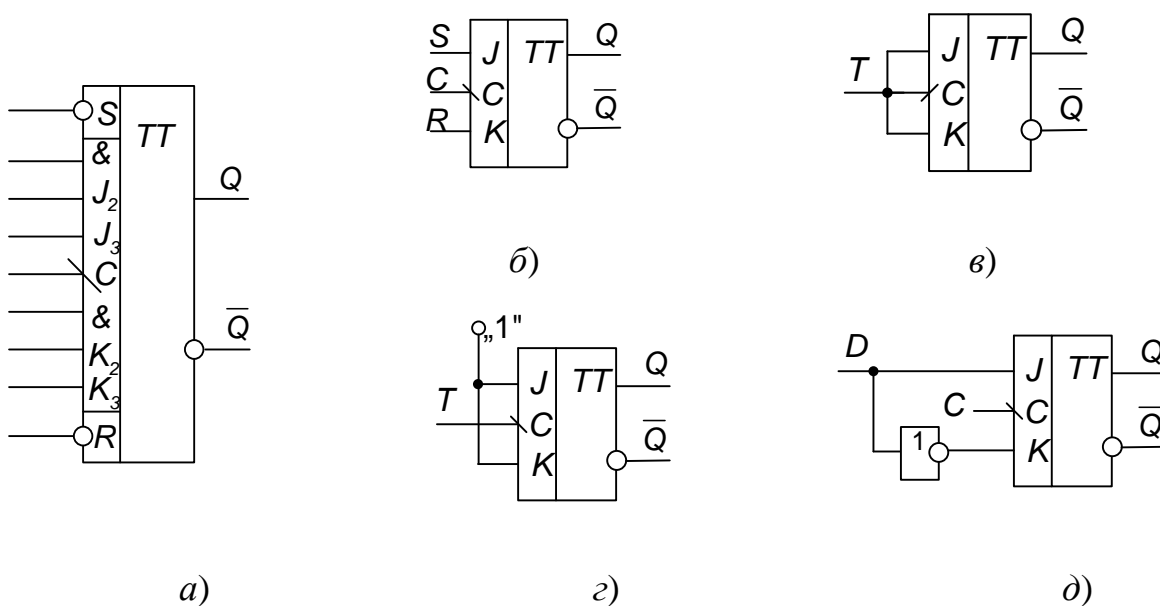


Рис. 4.16

рис. 4.16, в, г – в режимі T - тригера, на рис. 4.16, д - в режимі D - тригера.

Умовні позначення динамічних входів керування тригерів зображені на рис. 4.17, в, г.

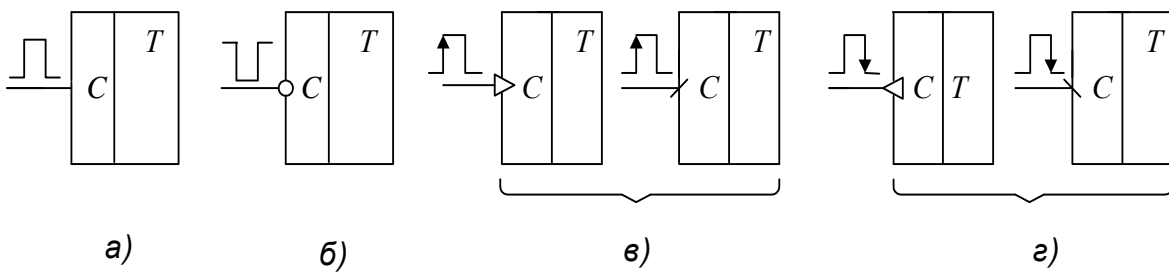


Рис.4.17. Умовні позначення тактових входів тригерів: статичних а, б і динамічних в, г

4.10. Дослідження тригерів за допомогою програми Electronics Workbench

При моделюванні схем тригерів використовуються наступні елементи програми Electronics Workbench (EWB) (рис.4.18):

а – заземлення (точка нульового потенціалу);

б – джерело прямокутних сигналів (Sources -> Clock);

в – перемикач (Basic -> Switch); перемикання відбувається натисканням на клавишу, вказану в дужках над цим елементом;

г – з'єднувач (connector), використовується для виконання точки з'єднання, у разі відсутності автоматичного з'єднання;

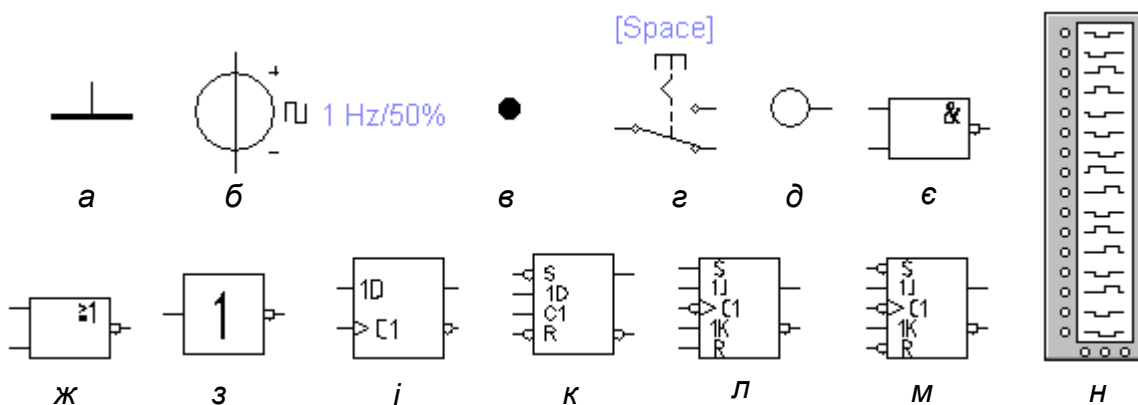


Рис.4.18. Елементи програми EWB для моделювання і дослідження тригерів

д – логічний елемент «І-НЕ» (Logic gates -> 2-Input NAND Gate);

- ε*- логічний елемент «АБО-НЕ» (Logic gates -> 2-Input NOR Gate);
- жс* - логічний елемент «АБО-НЕ» (Logic gates -> 2-Input NOR Gate);
- з* – тригер типу D (Digital -> D Flip-Flop);
- i*- тригер типу D (Digital -> D Flip-Flop with Active Low Asynch Inputs);
- к* - тригер типу JK з прямими установчими входами (Digital -> JK Flip-Flop with Active High Asynch Inputs);
- л* - тригер типу JK з інверсними установчими входами (Digital -> JK Flip-Flop with Active Low Asynch Inputs);
- м* – світловий індикатор (Indicators -> red probe);
- н* – логічний аналізатор (Logic Analyzer);

4.11. Завдання до виконання практикуму

4.11.1. Дослідження асинхронних і синхронних *R-S* тригерів

Простіші схеми асинхронних *R-S* тригерів складати з використанням логічних елементів "І-НЕ", "АБО-НЕ" відповідно схем на рис.4.4. і рис.4.5.

Для подачі до входів тригерів значень логічного "0" и "1" скористатися 5-вольтовим джерелом і перемикачами.

Для контролю значень на прямому виході тригера скористатися світлоіндикатором.

Проконтролювати роботу тригера за таблицею станів.

Знайти і пояснити відмінність у керуванні асинхронним тригером на елементах "АБО-НЕ".

Скласти часові діаграми роботи тригерів, використавши логічний аналізатор.

Для побудови синхронного *R-S* тригера потрібно додати логічні схеми "І-НЕ" (рис. 4.7), а для аналізу додати джерело синхросигналу. В якості синхросигналу взяти 5-вольтове джерело і перемикач.

Скласти таблицю станів синхронного *RS*- тригера і зняти за допомогою логічного аналізатора часові діаграми його роботи.

Скласти модель двоступеневого синхронного *RS-* (*MS* типу) тригера з затримками (рис.4.19).

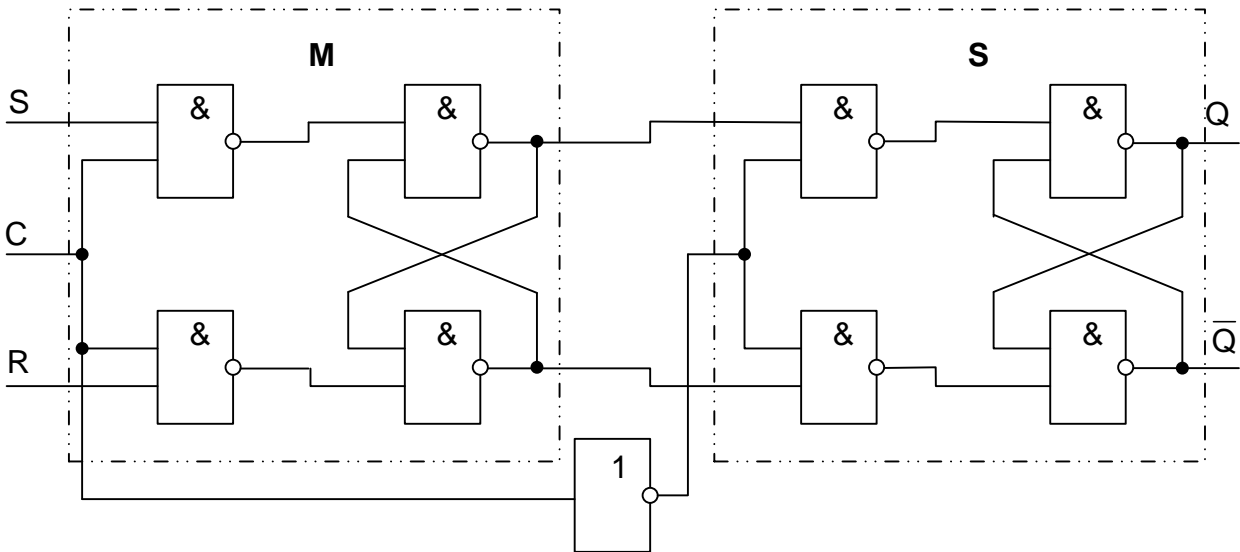


Рис.4.19. Синхронний *RS-* тригер (*MS*-типу) з затримками.

Для аналізу часових діаграм роботи даного тригера використати світлодіоди.

Зібрати і дослідити схему динамічного *RS*-тригера, згідно схеми рис. 4.19.

4.11.2. Дослідження роботи *D*-тригера

Зібрати і дослідити синхронний *D*-тригер потенційного типу на елементах «І-НЕ» згідно схеми рис.4.8. Скласти таблицю станів синхронного *D*-тригера і зняти за допомогою логічного аналізатора часові діаграми його роботи.

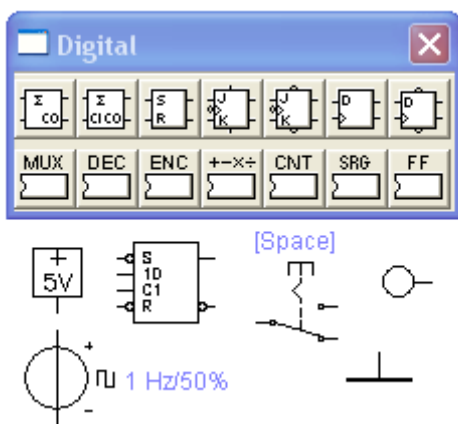


Рис.4.20. Набір елементів схеми

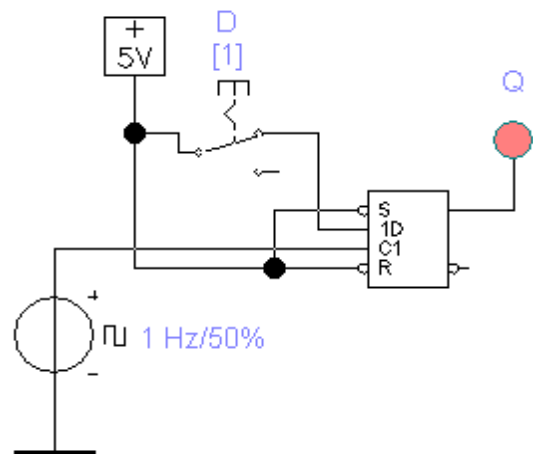


Рис. 4.21. Схема дослідження *D*-тригера

на робочому полі

Зібрати схему дослідження роботи *D*-тригера зі складу бібліотечних елементів (рис.4.20).

З даного набору елементів зібрати схему і перевірити роботу *D*-тригера (рис.4.21).

Скласти таблицю переходів і зняти часові діаграми роботи *D*-тригера. За знятими часовими діаграмами визначити відношення *D*-тригера до потенційного чи динамічного типу.

4.11.3 Дослідження роботи універсального *JK*-тригера

Використати два види бібліотечних *JK*-тригерів: з прямими і інверсними установчими входами (рис.4.22).

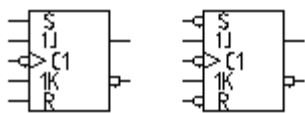
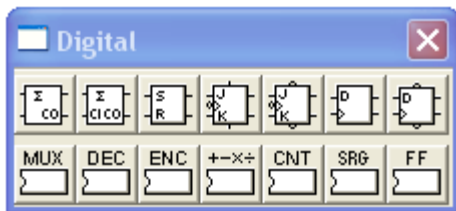


Рис.4.22. *JK*- тригери з складу бібліотечного набору Digital

JK-тригери розрізняються за прямими і інверсними установчими входами.

Зняти часові діаграми роботи одного з *JK*-тригерів за вказівкою викладача.

4.12. Зміст звіту з практикуму

1. Схеми, моделюючі роботу тригерів, за всіма пунктами завдання.
2. Таблиці переходів, часові діаграми, пояснюючі роботу тригерів.

4.13. Контрольні запитання

1. Визначення тригера.
2. Відміна тригерів від комбінаційних схем.
3. Активні сигнали для інверсних входів тригерів.
4. Визначення стану тригера.
5. Завдання законів функціонування тригерів.
6. Визначення таблиці переходів тригера.
7. Складання характеристичного рівняння тригера.
8. Класифікаційні признаки тригерів.
9. Визначення асинхронного тригера.

10. Визначення синхронного тригера.
11. Визначення RS-тригера, таблиця переходів, характеристичне рівняння тригера.
12. Різниця RS-тригерів з прямими і інверсними входами.
13. Визначення синхронного RS-тригера, таблиця переходів, характеристичне рівняння тригера.
14. Умова стійкової роботи одноступеневих RS-тригерів у довільній схемі.
15. Визначення двоступеневого RS-тригера.
16. Визначення D-тригера, таблиця переходів, характеристичне рівняння.
17. Визначення JK-тригера, таблиця переходів, характеристичне рівняння.
18. В чому полягає універсальність JK-тригера.
19. Визначення T-тригера, таблиця переходів, характеристичне рівняння.
20. До якого класу пристроїв відносяться тригери: до комбінаційних чи послідовних і в чому їх основна відмінність?
21. Назвіть спосіб задання законів функціонування тригерів.
22. За якими ознаками класифікуються тригерні пристрої?
23. Функції яких тригерів може виконувати універсальний JK- тригер?

4.14. Перелік літератури

1. Електроніка та мікросхеотехніка (Електронний ресурс): навчальний посібник для студентів напрямку підготовки 6.050702 "Електромеханіка"/ А.А. Щерба, К.К. Побєдаш, В.Святненко; - Київ: НТТУ "КПІ", -360 с.

Режим доступу:<http://ela.kpi.ua/handle/123456789/3569>

2. Електротехніка та електроніка. Теоретичні відомості, розрахунки та дослідження за підтримкою комп'ютерних технологій: Навчальний посібник /А.А. Щерба, В.М. Рябенський, М.Є. Кучеренко, К.К. Побєдаш та ін. - К.: "Корнійчук", 2007. - 488 с.

3. Сенько В.І., Панасенко М.В., Сенько Є.В. та ін. Електротехніка і мікросхемотехніка: Том 3. Цифрові пристрої: Підручник. - К.: Каравела, 2008. - 400 с.

- 4.Интерфейс программного комплексу Electronics Workbench: Навчальний посібник.
/ Победаш К.К., Святненко В.А. : Київ: НТУУ «КПІ», 2014. – 57 с.
5. Бойт К. Цифровая электроника. Москва: Техносфера, 2007. -472 с.
6. В.И. Карлащук. Электронная лаборатория на IBM PC.
М., "СОЛОН-Р", 2001.
7. Угрюмов Е.П. Цифровая схемотехника. - СПб.: БХВ - Санкт-Петербург, 2000 -
528 с.
8. Электротехника и электроника в экспериментах и упражнениях:
Практикум на Electronics Workbench: В 2-х томах. / Под общей редакцией
Д.И.Панфилова. М.: ДОДЭКА, 2000.

Практикум № 5

Дослідження регістрів

Мета практикуму - ознайомлення з принципами роботи регістрів. Отримання навичок побудови регістрів з використанням різних типів тригерів. Моделювання режимів роботи регістрів при подачі паралельного і послідовного коду. Отримання навичок побудови схем керування напрямком зсуву в реверсивних регістрах.

5.1. Короткі теоретичні відомості

Регістри – це цифрові пристрої, побудовані на основі тригерів і призначені для приймання, зберігання, перетворення і видачі інформації у формі двійкових чисел. В регістрах під дією вхідних імпульсів циркулює одна або декілька кодових одиниць. Для зберігання кожного двійкового розряду в регістрі використовується один тригер. Таким чином, кількість розрядів двійкового числа, яке може зберігати регістр визначається кількістю тригерів, що входять до його складу. Крім тригерів до складу регістрів входять комбінаційні елементи, які виконують допоміжні функції.

Регістри використовуються в якості:

- керуючих і запам'ятовуючих пристроїв;
- генераторів і перетворювачів кодів;
- лічильників і дільників частоти;
- вузлів часової затримки та ін.

За способом записування і видачі двійкових кодів розрізняють паралельні (пам'яті), послідовні (здвигові) і послідовно-паралельні регістри.

5.2. Паралельні регістри (регістри пам'яті)

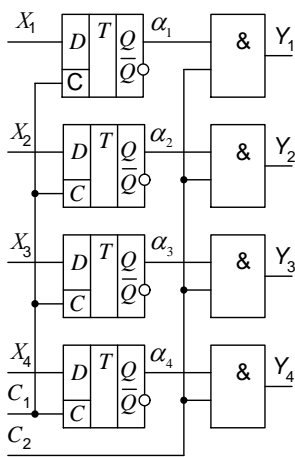


Рис. 5.1

Паралельні регістри використовуються для записування, збереження і виводу інформації представлені двоїковим кодом. У паралельних регістрах записування і видача інформації виконується одночасно (паралельно) усіма розрядами. Паралельні регістри використовуються як пам'ять з великою швидкістю.

Паралельні регістри представляють собою набір синхронних тригерів, кожен з яких зберігає один розряд двоїкового числа, і додатково схем множення. На рис. 5.1

наведена схема 4-х розрядного паралельного регістра, виконана на синхронних D -тригерах і схемах множення І.

Схема має інформаційні входи X_1, \dots, X_4 , керуючий вхід тригерів C_1 і вихідних каскадів C_2 , виходи Y_1, \dots, Y_4 , виходи тригерів $\alpha_1, \dots, \alpha_4$.

Регістр пам'яті може працювати в таких режимах:

- запису (введення) інформації;
- зберігання інформації;
- видачі (зчитування) інформації.

Введення (запис) і видача (зчитування) інформації відбувається одночасно в усіх розрядах паралельним кодом.

Режим запису інформації. Запис інформації відбувається в разі, якщо $C_{n1} = 1$, а $C_{n2} = 0$. При цьому інформація, що діє на інформаційних входах X_{n1}, \dots, X_{n4} , запишеться у відповідні розряди тригерів, тобто $\alpha_{ni} = X_{ni}$, де $i = 1, \dots, 4$ – номер розряду, а n – номер такту. Інформація на виходах буде відсутня $Y_{ni} = C_{n2}\alpha_{ni} = 0$.

Режим зберігання інформації. Записана в тригери інформація буде зберігатися, якщо на керуючі входи регістра подати нулі, тобто $C_{n1} = C_{n2} = 0$. У даному разі $\alpha_{ni} = \alpha_{(n-1)i}$, $Y_{ni} = C_{n2}\alpha_{ni} = 0$, тобто регістр зберігає раніше записану інформацію.

Режим видачі інформації. Для видачі інформації необхідно подати до керуючих входів такі сигнали: $C_{n1} = 0$, $C_{n2} = 1$. При цьому $\alpha_{ni} = \alpha_{(n-1)i}$, $Y_{ni} = C_{n2}\alpha_{ni} = \alpha_{ni}$, тобто відбувається паралельна видача інформації.

Нарощування розрядності регістрів пам'яті досягається додаванням потрібного числа тригерів та схем *I*.

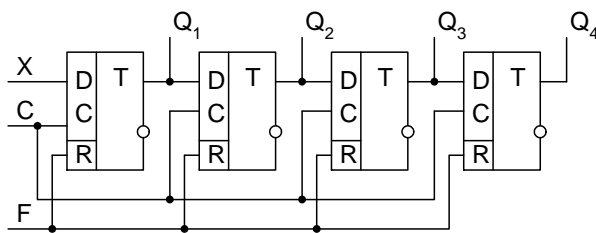
5.3. Зсувні (послідовні) регістри

Послідовні регістри виконують операцію зсуву під час послідовного введення чи виведення інформації. Сутність зсуву полягає в тому, що з надходженням кожного тактового імпульсу відбувається перезапис (зсув) вмісту тригера кожного розряду в сусідній розряд без зміни порядку надходження одиниць і нулів.

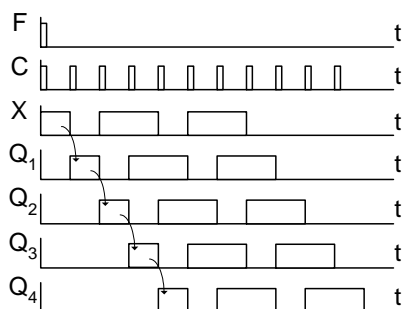
$$Q_i^n = Q_{i-1}^{n-1},$$

де $i=2, 3, 4, \dots, m$ – кількість розрядів (тригерів) регістра; n – номер такту.

Якщо зсув інформації здійснюється в одному напрямку, то достатньо з'єднати виходи попереднього тригера із входами наступного. Інформація, яка надходить до входу X під час n -го такту з'явиться на виході Q_m регістра через m тактів.



а)



б)

Рис. 5.2

При зсуві інформації праворуч після кожного тактового імпульсу біт з більш старшого розряду зсувається в молодший, а при зсуві ліворуч – навпаки.

На умовних позначеннях символом регістра, як і регістра пам'яті, служать літери *RG* і стрілки, які вказують напрямок зсуву: \rightarrow праворуч; \leftarrow ліворуч; \leftrightarrow реверсивний.

На рис. 5.2, а приведена схема 4-х розрядного регістра з послідовним введенням інформації і зсувом її

праворуч, а на рис. 5.2, б часові діаграми його роботи.

Введення інформації здійснюється послідовно, розряд за розрядом, по входу X з наступним зсувом інформації праворуч на один розряд кожним імпульсом синхронізації. Вхід F забезпечує ($F=1$) встановлення нульового стану регістра.

Регістр працює наступним чином:

1. При $F^n = 1$ на виходах усіх тригерів встановлюються логічні нулі, тобто $Q_1^n = Q_2^n = Q_3^n = Q_4^n = 0$, незалежно від значень сигналів на X і C входах.

2. При $F^n = 0, \tilde{N}^n = 0$ стан тригерів не змінюються, тобто

$$Q_1^n = Q_1^{n-1}; \quad Q_2^n = Q_2^{n-1}; \quad Q_3^n = Q_3^{n-1}; \quad Q_4^n = Q_4^{n-1}.$$

3. При $F^n = 0, \tilde{N}^n = 1$ кожний D - тригер запише інформацію, яка була на його вході на попередньому $n-1$ такті, тобто,

$$Q_1^n = X^{n-1}; \quad Q_2^n = Q_1^{n-1}; \quad Q_3^n = Q_2^{n-1}; \quad Q_4^n = Q_3^{n-1}.$$

Таким чином, відбуваються зсув інформації від молодшого розряду (тригера) до **старшого**. На виході Q_4 кожний сигнал з'явиться через чотири такти, рахуючи з моменту подачі його до входу X . Цю властивість регістра зсуву використовують для затримки цифрової інформації на задане число тактових інтервалів.

Крім зберігання інформації, регістр зсуву виконує перетворення послідовного двійкового коду в паралельний, паралельного - в послідовний, виконує арифметичні і логічні операції, часову затримку передачі цифрової інформації.

У реверсивних регістрах зсув інформації може здійснюватися в обох напрямках, тому вихід кожного розряду має бути з'єднаний через логічні елементи із входами попереднього й наступного розрядів.

На рис. 5.3 представлений фрагмент схеми (3 розряди) регістра з записом інформації паралельним однофазним кодом і зчитуванням як у прямому, так і зворотному коді.

Схема такого регістра виконана на D -тригерах (DD1-DD3) і допоміжних логічних елементах DD4-DD6, які забезпечують зчитування інформації з регістра

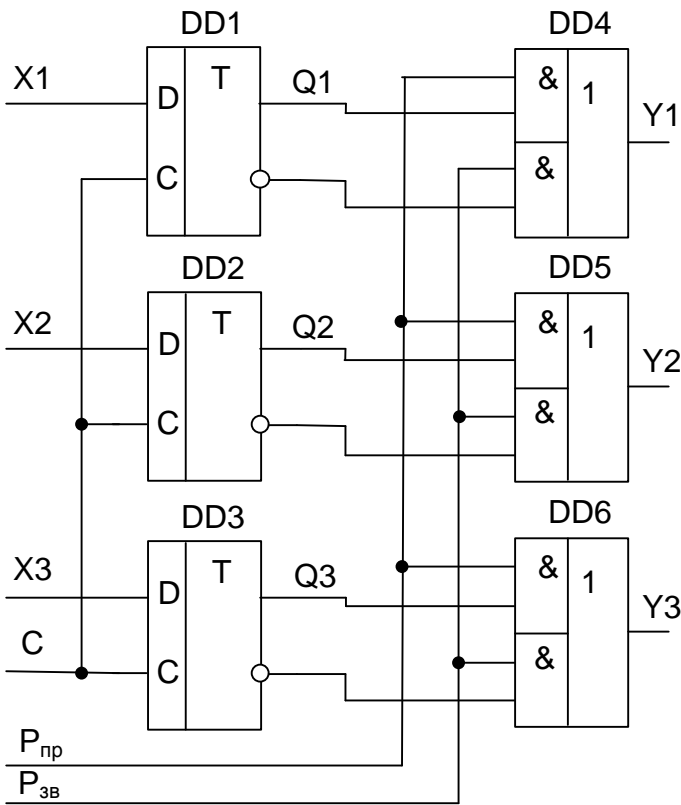
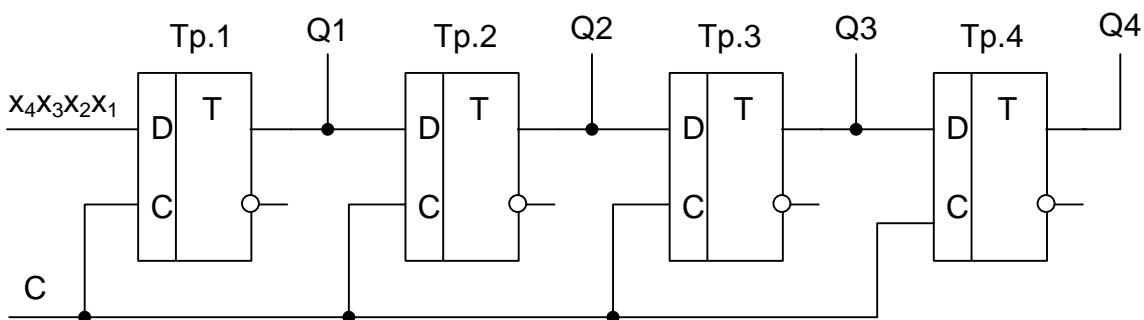


Рис. 5.3. Регістр для запису інформації паралельним кодом і зчитуванням як у прямому, так і зворотному коді

тобто зчитування відбувається в прямому коді, а при $P_{пр}=0$, $P_{зв}=1$, тобто зчитування відбувається у зворотному коді.

На рис. 5.4 представлена схема зсувного регістра, виконуючого операцію перетворення послідовного кода в паралельний.



як у прямому, так і зворотному коді в залежності від значень дозволяючих сигналів $P_{пр}$ і $P_{зв}$.

Запис інформації $X_3X_2X_1$ відбувається за D -входами тригерів у відповідності з рівнянням:

$$Q_{t+1} = \bar{C}_t Q_t + C_t D_t.$$

Вхідне слово $X_3X_2X_1$ надходить до входів D тригерів і при $C=1$ записується в регістр.

Зчитування вихідного слова $Y_3Y_2Y_1$ відбувається через логічні елементи 2І-АБО з $Y_i = \bar{Q}_i$, прямих Q_3, Q_2, Q_1 або з інверсних $\bar{Q}_3, \bar{Q}_2, \bar{Q}_1$ виходів тригерів. При $P_{пр}=1$, $P_{зв}=0$, $Y_i=Q_i$,

Рис. 5.4. Зсувний регістр

Число $X = x_4x_3x_2x_1$ в послідовному коді надходить до D входу тригера Тр.1 молодшим розрядом вперед. З приходом до входу С 1-го тактового імпульсу (ТІ) x_1 запишеться в тригер молодшого розряду Тр.1. За другим ТІ x_1 переписеться в Тр.2, а в Тр.1 запишеться x_2 і т.д.

Таким чином, після чотирох тактових імпульсів усе число буде записане в регістр і може бути зчитане в паралельному коді з виходів Q_1, Q_2, Q_3, Q_4 ($Y = X$) або $\bar{Q}_4, \bar{Q}_3, \bar{Q}_2, \bar{Q}_1$ ($Y = \bar{X}$). Процес зчитування відбувається так же як і у схемі на рис. 5.4.

На рис. 5.5 зображена схема зсувного регістра, виконуючого перетворення паралельного кода в послідовний.

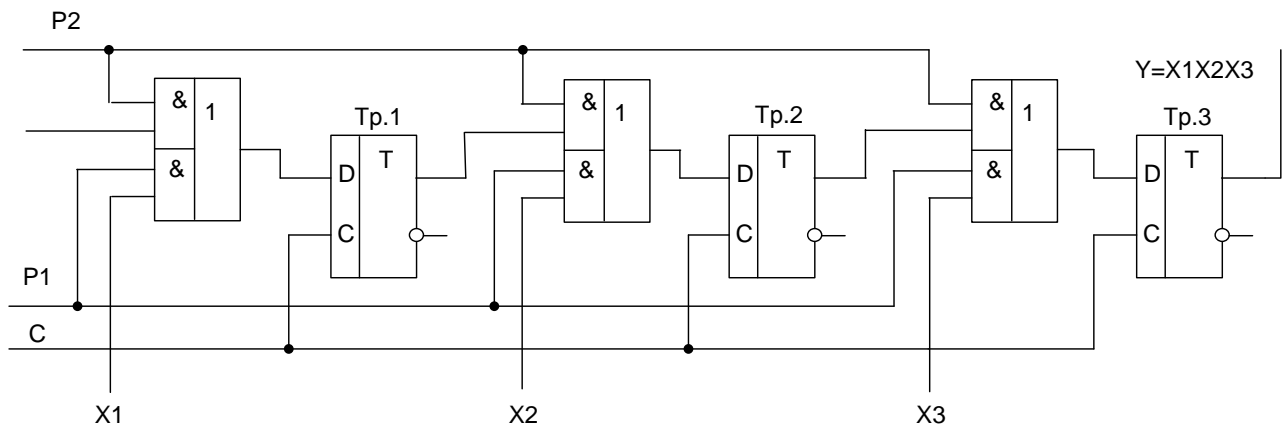


Рис. 5.5. Зсувний регістр для перетворення паралельного кода в послідовний код

Вхідне слово $X = x_1x_2x_3$ при $P_1 = [ТІ] = 1$, $P_2 = 0$, $C = 1$ записується в Тр₁, Тр₂, Тр₃ точно так як і в схемі на рис. 5.1. Потім при $P_2 = [ТІ] = 1$, $P_1 = 0$, $C = 1$ відбувається перезапис інформації з Тр₁ в Тр₂, з Тр₂ в Тр₃ і т.д.

Таким чином, на виході останнього розряду Q_3 будуть послідовно появлятися x_1, x_2, x_3 , тобто вхідне слово X , представлене в паралельному коді, буде перетворене у вихідне слово Y , представлене послідовним кодом.

Реверсивними називаються регістри, в яких, в залежності від керуючого сигналу, зсув може відбуватися як ліворуч так і праворуч.

На рис. 5.6 зображена функціональна схема трирозрядного реверсивного регістра.

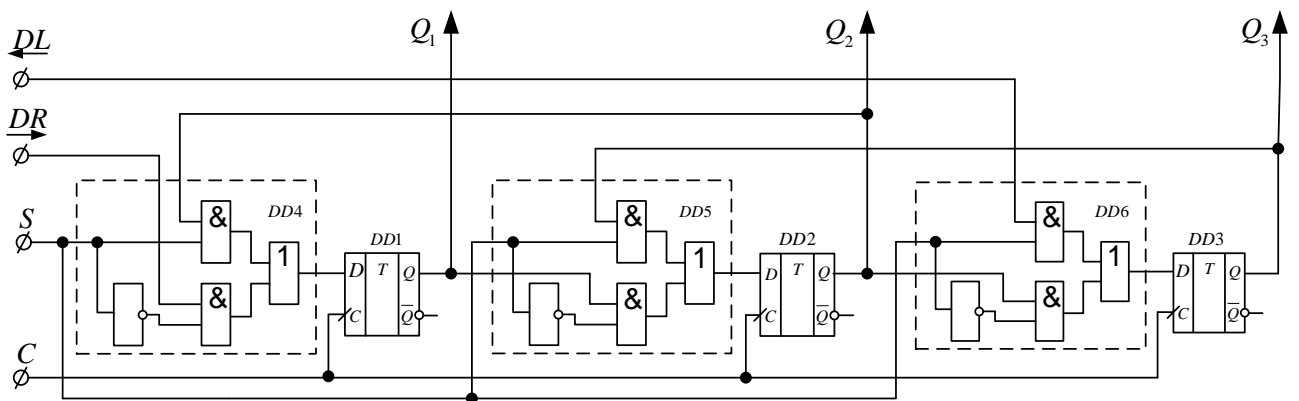


Рис. 5.6. Трирозрядний реверсивний зсувний регістр

Схема має два послідовні інформаційні входи для зсуву інформації праворуч DR , ліворуч DL і тактовий вхід C .

На логічних елементах $DD4, DD5, DD6$ зібрані мультиплексори, які, в залежності від куруючого сигналу S , з'єднують тригери послідовно $DD1 - DD2 - DD3$, якщо $S = 0$, або $DD3 - DD2 - DD1$, якщо $S = 1$.

У першому випадку послідовний код поступає на вхід DR , а виходом регістра буде $Q3$. Інформація записується в кожний тригер від лівого по схемі сусіднього тригера (відбувається зсув праворуч).

У другому випадку входом регістра для послідовного введення інформації служить вхід DL . Інформація в кожний тригер записується від правого по схемі сусіднього тригера (відбувається зсув ліворуч), виходом регістра буде $Q1$.

Реверсивний регістр може використовуватись для множення або ділення двійкових чисел на $2n$, де n - число зсувів, тому що зсув числа на один розряд праворуч рівносильний множенню на 2, а зсув на один розряд ліворуч - діленню на 2.

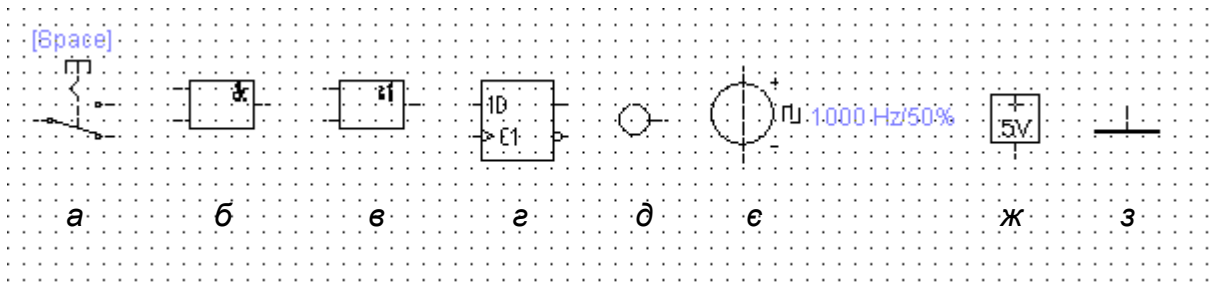
Наприклад, після зсуву числа 1 в напрямку до старших розрядів праворуч на 2 позиції (з $Q1$ в $Q3$) отримаємо число 4.

Прикладом реверсивного регістра є мікросхема 155ИР13, яка може працювати як в режимі реверсивного зсувного регістра так і в режимі паралельного регістра.

5.4. Виконання комп'ютерного практикуму за допомогою програми Electronic Workbench

4.1. Опис необхідних приладів і інструментів програми EWB.

а) Перемикач (Basic->Switch). Перемикання відбувається натисканням на клавишу, вказану в дужках над цим елементом.



б) Логічний елемент "2І" (Logic gates->2-Input AND gate).

в) Логічний елемент "2АБО" (Logic gates->2-Input OR gate).

г) Тригер типу D (Digital->D Flip-Flop).

д) Світлоіндикатор (Indicators->red Prob). При подачі до світлоіндикатора логічної одиниці він світиться червоним кольором.

е) Джерело прямокутних сигналів (Sources->Clock). Виконує функцію синхронизатора, який забезпечує одночасність подачі сигналів на входи тригерів.

ж) . Voltage Source – джерело постійної напруги +5 вольт.

За допомогою цього джерела до входутригерів і логічних елементів подається логічна одиниця.

з) Заземлення.

5.5. Завдання до виконання практикуму

5.1. Скласти схему трирозрядного регістра для занесення слова паралельним кодом і можливістю виводу в прямому і зворотному кодах і контролем за допомогою індикаторів.

5.5.1. Порядок побудови схеми регістра

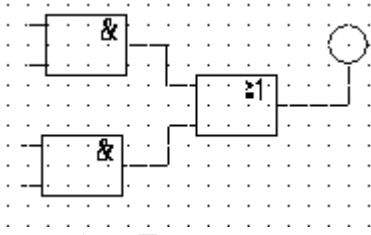


Рис. 5.7. Елементарний мультиплексор

1. Зібрати схему перемикання (елементарного мультиплексора) для керування зчитуванням у прямому і зворотному кодах (рис. 5.7):

Для реалізації схеми перемикання з прямого коду на зворотний на виході регістра потрібні три таких з'єднання.

2. До входу С1 кожного з трьох D-тригерів підключити джерело прямокутних імпульсів з частотою 10 Гц, заземлив його на виході мінусового сигналу (рис. 5.8):

3. Під'єднати п'ятивольтове джерело напруги через перемикачі до D-входів тригерів кожного розряду.

Для налаштування керуванням перемикача необхідно назначити клавішу для його перемикання. Для цього потрібно подвійним клацанням ЛКМ по зображенню перемикача відкрити меню налаштування у формі KEY і вказати цю клавішу, наприклад [K], як на рис.5.8.

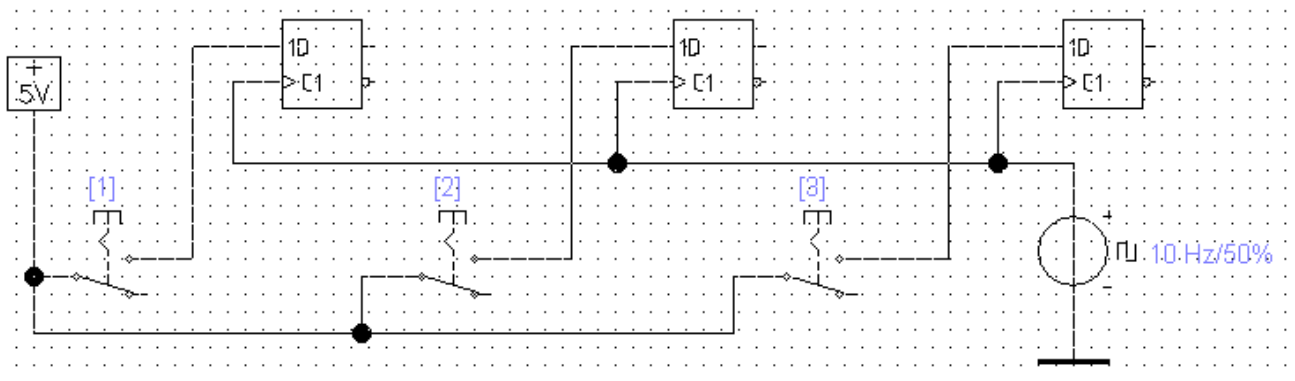


Рис. 5.8. Проміжна схема регістра

4. Інверсний вихід кожного тригера підключити до одного з входів нижнього логічного елемента "2І" схеми відповідного елементарного мультиплексора.

5. П'ятивольтове джерело напруги підключити до входу перемикача, за допомогою якого встановлюють пряме чи інверсне зчитування. Верхній вивід

перемикача підключити до одного із входів верхнього логічного елемента "2І" кожної схеми мультиплексора, а нижній – до одного з входів нижнього логічного елемента «2І».

Ітогова схема регістра має вигляд (рис. 5.9).

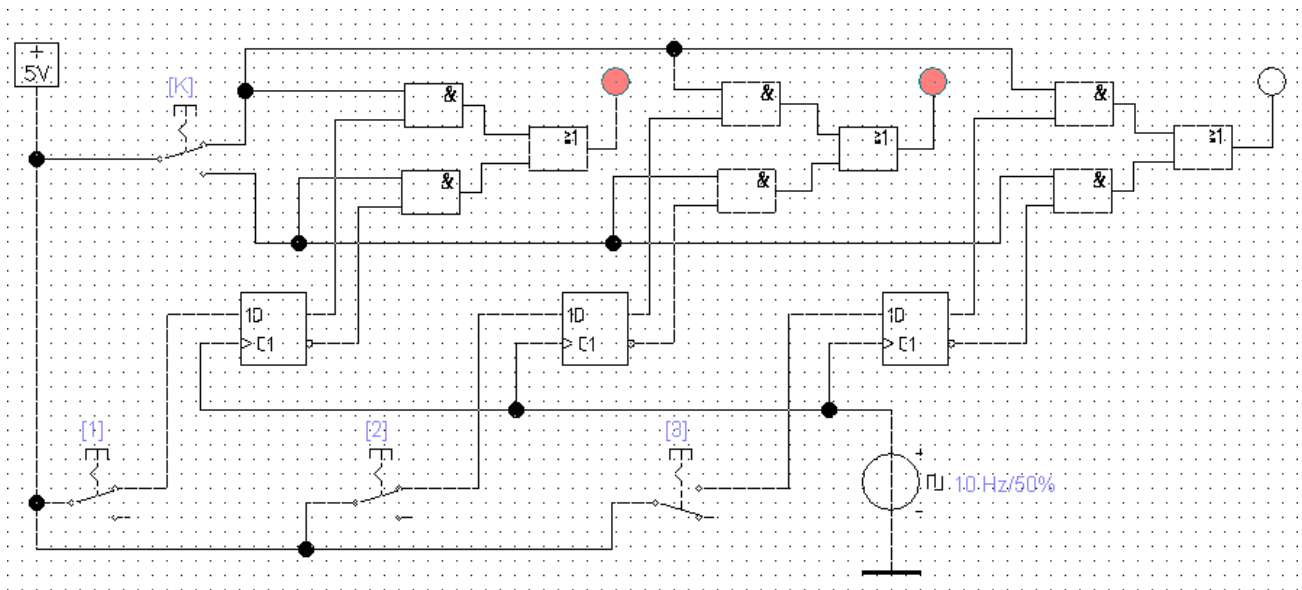


Рис. 5.9. Паралельний регістр з вихідними мультиплексорами і занесеним кодом 110

5.5.2. Порядок проведення дослідження паралельного регістра

При вихідному положенні ключа К (верхнє на рис. 5.9) індикація підключається до прямих виходів регістра.

За допомогою нижніх перемикачів 1, 2, 3 задається код, який подається до входів регістра.

Включення 1-го і 2-го перемикачів відповідає поданому коду 110.

В результаті світяться відповідні світлоіндикатори (рис. 5.9). При зміні положення перемикача К (нижнє на рис. 5.9) на індикаторах відображується інверсний код.

На рис.5.10 зображена схема паралельного регістра з встановленим інверсним кодом 101.

Побудувати часові діаграми роботи паралельних регістрів (рис. 5.9, 5.10).

5.5.3. Скласти схему і дослідити роботу сувного регістра на 4 розряди (рис. 5.10)

Змінюючи частоту генератора синхроімпульсів у межах 0.1 до 1 Гц, за допомогою перемикача 1 (клавиша 1) можна заносити послідовний код.

. Отримати у викладача значення кода для занесення послідовним кодом при зсуві регістра праворуч. Накреслити часову діаграму занесення отриманого коду

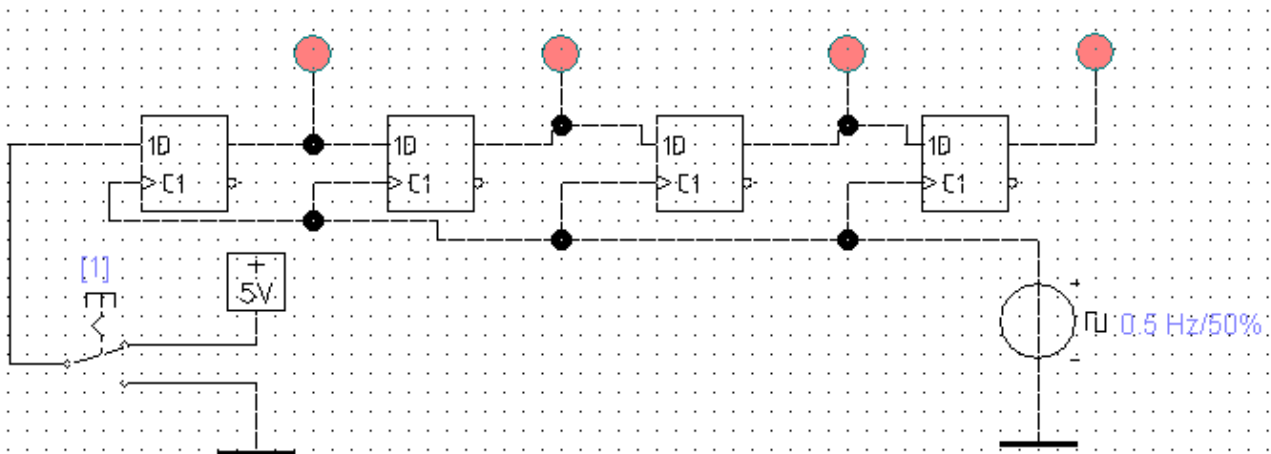


Рис.5.10. Зсувний регістр на 4 розряди

5.5.4. Зібрати схему і дослідити роботу лічильника Джонсона

Для отримання схеми лічильника Джонсона (рис. 5.12) необхідно з'єднати

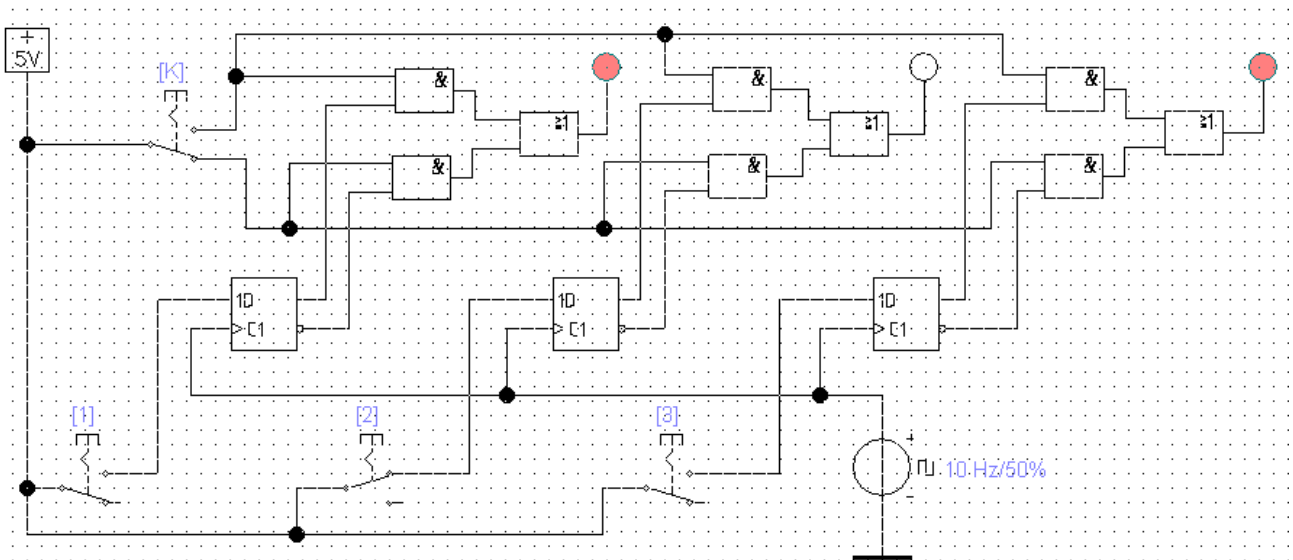


Рис. 5.11. Регістр паралельного занесення з встановленим інверсним кодом 101

інверсний вихід старшого розряду регістра з інформаційним входом молодшого розряду.

Змінюючи частоту синхроімпульсів, можна добитися різної швидкості зміни станів.

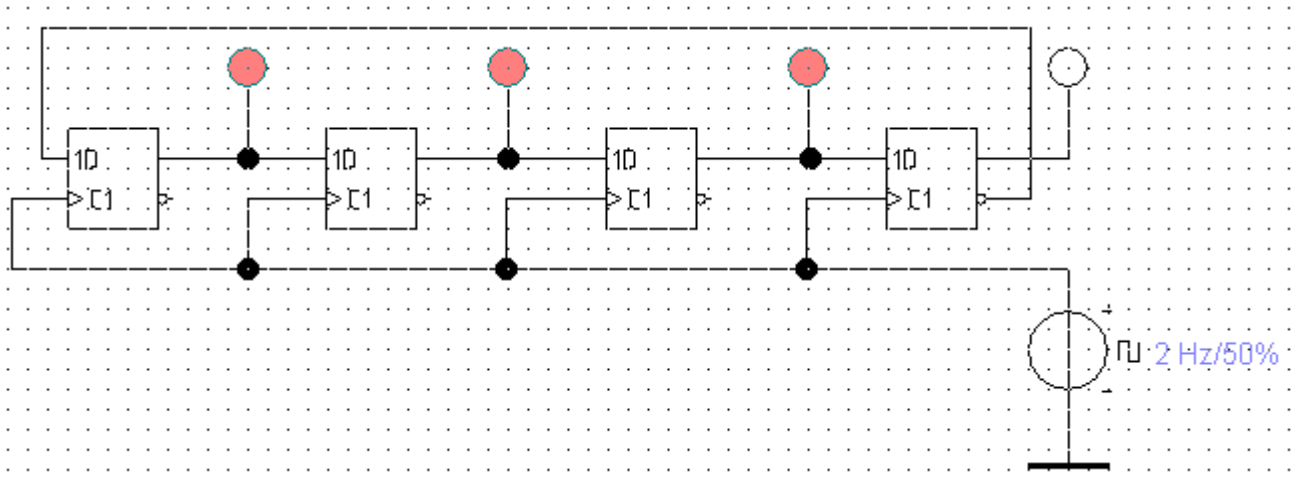


Рис. 5.12. Схема лічильника Джонсона

5.5.5. Зібрати схему і дослідити роботу реверсивного зсувного регістра

Створити керування напрямком зсуву за допомогою перемикача і забезпечити індикацію виконання операцій зсуву (рис. 5.13).

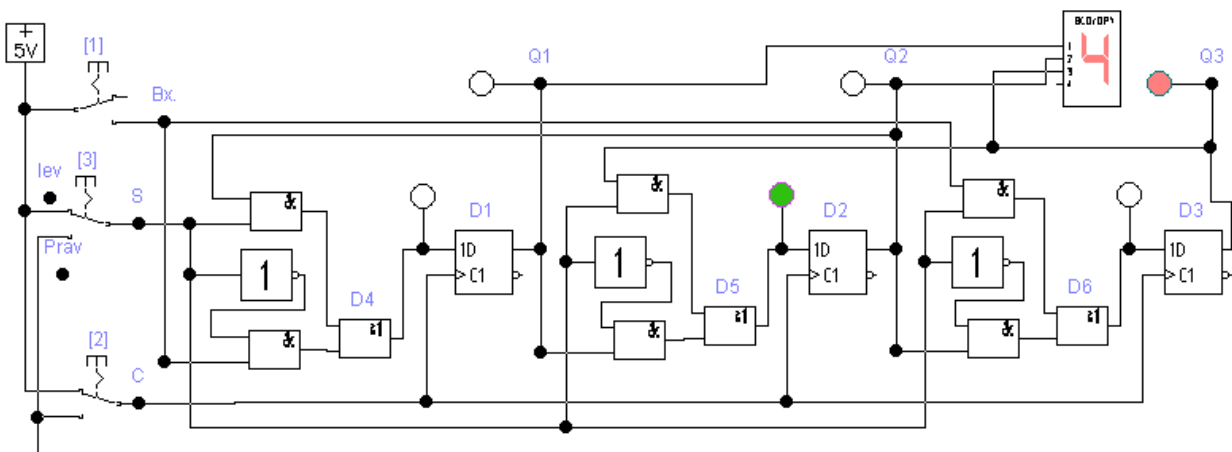


Рис.5.13. Реверсивний зсувний регістр на 3 розряди

5.6. Зміст звіту

1. Схеми, моделюючі роботу регістрів за всіма пунктами завдання.
2. Часові діаграми, пояснюючі роботу регістрів.

3. Порядок перемикання режимів універсального регістра.

5.7. Контрольні запитання

1. Визначення регістра.
2. Які дії виконуються при “скиді” регістра?
3. Перерахуйте операції, які виконуються регістрами.
4. Чому регістри переважно будуються на *D*-тригерах?
5. В якому режимі роботи регістра відбувається запис інформації в послідовному коді?
6. Як відбувається зчитування інформації з регістра в прямому коді?
7. Як відбувається зчитування інформації з регістра в зворотному коді?
8. Які типи тригерів використовуються для побудови регістрів?
9. Поясніть призначення синхросигналу при роботі регістрів.
10. Які додаткові пристрої потрібні для побудови універсального регістра?
11. Які послідовні дії потрібно виконати для перетворення паралельного коду в послідовний і навпаки?

5.8. Перелік літератури

1. Електроніка та мікросхемотехніка (Електронний ресурс): навчальний посібник для студентів напрямку підготовки 6.050702 "Електромеханіка"/ А.А. Щерба, К.К. Побєдаш, В.Святненко; - Київ: НТТУ "КПІ", -360 с.

Режим доступу:<http://ela.kpi.ua/handle/123456789/3569>

2. Електротехніка та електроніка. Теоретичні відомості, розрахунки та дослідження за підтримкою комп'ютерних технологій: Навчальний посібник /А.А. Щерба, В.М. Рябенський, М.Є. Кучеренко, К.К. Побєдаш та ін. - К.: "Корнійчук", 2007. - 488 с.

3. Сенько В.І., Панасенко М.В., Сенько Є.В. та ін. Електротехніка і мікросхемотехніка: Том 3. Цифрові пристрої: Підручник. - К.: Каравела, 2008.- 400 с.

4.Інтерфейс програмного комплексу Electronics Workbench: Навчальний посібник. / Побєдаш К.К., Святненко В.А. : Київ: НТУУ «КПІ», 2014. – 57 с.

5. Бойт К. Цифровая электроника. Москва: Техносфера, 2007. -472 с.

6. В.И. Карлащук. Электронная лаборатория на IBM PC.

М., "СОЛОН-Р", 2001.

8. Электротехника и электроника в экспериментах и упражнениях:

Практикум на Electronics Workbench: В 2-х томах. / Под общей редакцией

Д.И.Панфилова. М.: ДОДЭКА, 2000.

Практикум № 6 Дослідження лічильників

Мета практикуму - вивчення принципів побудови лічильників і перерахункових схем, виконаних на динамічних лічильних тригерах. Отримання навичок побудови схем лічильників з довільним коефіцієнтом лічби.

6.1. Теоретичні відомості

Лічильником називається пристрій призначений для лічби вхідних імпульсів і фіксації їх числа у двійковому коді.

Лічильники широко використовуються в цифрових пристроях автоматики і обчислювальної техніки, в дільниках частоти, розподільниках сигналів та ін.

6.1.1. Класифікація лічильників

Лічильники класифікуються за наступними ознаками:

1. За коефіцієнтом лічби:
 - двійкові (бінарні) з $K_{\text{ліч}} = 2^m$, де m – число розрядів (тригерів) лічильника;
 - з довільним (програмованим) коефіцієнтом лічення $K_{\text{ліч}} \neq 2^m$;
 - двійково-десяткові $K_{\text{ліч}} = 10$.
2. За напрямком лічби:
 - додавальні;
 - віднімальні;
 - реверсивні.
3. За способом організації внутрішніх (міжрозрядних) зв'язків:
 - з послідовним перенесенням;
 - з паралельним перенесенням;
 - комбінованим перенесенням;
 - кільцеві.

Основними параметрами лічильників є коефіцієнт (модуль) лічби і швидкодія. Коефіцієнт лічби $K_{\text{ліч}}$ визначає максимальне число імпульсів, після приходу яких лічильник повертається в початковий стан. Швидкодія лічильника

визначається часом встановлення вихідного коду $t_{вст}$, який визначається часовим інтервалом між моментом надходження імпульсу і моментом встановлення нового кода на виході лічильника.

Лічильники можуть використовуватись також в режимі ділення частоти. В такому режимі частота вихідних імпульсів визначається відношенням $f_{вих} = f_{вх} / K_{ліч}$.

Тригери будуються на тригерах. Число тригерів, необхідних для реалізації лічильника, можна визначити з виразу:

$$m \geq \ln K_{ліч}, \quad (1)$$

де m – число розрядів (тригерів), яке визначається найблищим цілим числом, задовільняючим даній нерівності; $K_{ліч}$ - коефіцієнт лічби.

Максимальна частота надходження вхідних сигналів $f_{ліч, max}$ - частота, при якій лічильник ще зберігає працездатність.

Максимальна частота визначається, як правило, максимально допустимою частотою перемикання тригера молодшого розряду лічильника.

6.1.2. Підсумовуючі (додавальні) лічильники

У додавальних лічильниках кожний вхідний імпульс збільшує занесене в лічильник число на одиницю. Лічильник з послідовним перенесенням складається з ланцюга тригерів, в яких імпульси, що підлягають підрахунку, надходять на вхід першого тригера, а сигнал переносу передається послідовно від одного розряду до іншого. В цих лічильниках використовуються асинхронні T , D , JK - тригери, а тому такі лічильники називають ще асинхронними.

Лічильники з паралельним перенесенням будуються на синхронних D або JK - тригерах. У них імпульси, що підлягають підрахунку, надходять одночасно до тактових входів усіх тригерів, а кожен з тригерів ланцюжка служить по відношенню до наступного тільки джерелом інформаційних сигналів. У лічильниках з паралельним перенесенням тригери перемикаються одночасно (синхронно), а тому затримка перемикання лічильника дорівнює затримці

перемикання одного тригера, тобто швидкодія паралельних лічильників вища ніж послідовних.

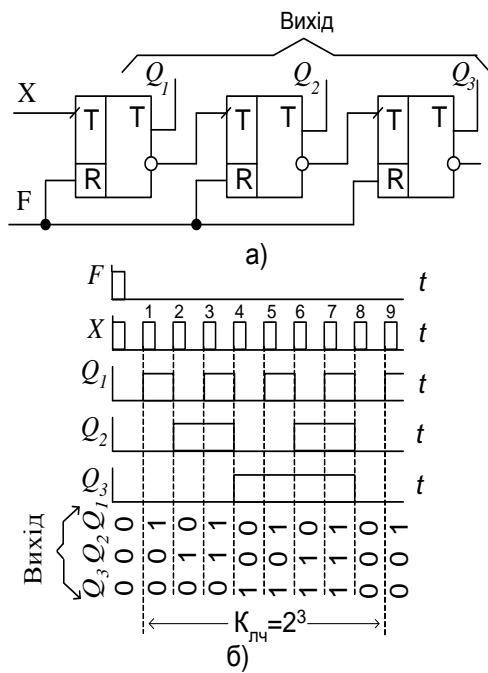


Рис. 6.1

нульовий стан послідовно (асинхронно) в часі. Вхід F служить для встановлення лічильника в нульовий стан. За допомогою імпульсу по входу скидання F лічильник повертається до нульового стану у будь-який момент часу. Часові діаграми лічильника показані на рис. 6.1, б.

Зміна станів тригерів відбувається при появі додатних імпульсів на їх лічильних входах (T). Через те, що їх входи з'єднані з інверсними виходами попередніх тригерів, то тригери старших розрядів перемикаються в разі появи на прямих виходах попередніх тригерів нульового сигналу. Після надходження восьмого імпульсу лічильник переходить у початковий стан і 9-й імпульс запише у лічильник цифру 1. Таким чином коефіцієнт лічби розглянутого лічильника $K_{лч} = 2^3 = 8$.

Якщо лічильник має m розрядів, то записане в нього число визначається за формулою:

$$M = Q_m 2^{m-1} + Q_{m-1} 2^{m-2} + \dots + Q_2 2^1 + Q_1 2^0,$$

На рис. 6.1, а наведено трирозрядний асинхронний (послідовний) лічильник на основі послідовно з'єднаних T - тригерів . Вхідні імпульси надходять на лічильний T -вхід першого тригера. Сигнали перенесення передаються послідовно в часі (асинхронно) з інверсних виходів молодших розрядів на T -входи старших розрядів. Виходом лічильника є прямі виходи тригерів $Q_3Q_2Q_1$, де Q_3 - старший розряд. Після підрахунку семи імпульсів на виході трирозрядного лічильника встановлюється двійковий код $Q_3Q_2Q_1=111$. Після приходу восьмого вхідного імпульсу лічильник перемикається у початковий

де m – номер розряду (тригера); 2^m – вага m -го розряду; Q_m – стан виходу тригера m -го розряду.

Перевагою лічильників з послідовним перенесенням є простота схеми: збільшення розрядності виконується підключенням необхідного числа тригерів. Основним недоліком послідовних (асинхронних) лічильників є їх низька швидкодія.

6.1.3. Віднімальні лічильники

У віднімальних лічильниках кожен черговий імпульс, що надходить до його входу, зменшує записане у лічильник число на одиницю. Віднімальний лічильник можна одержати з додавального одним з наступних способів:

- зробити виходами лічильника інверсні виходи тригерів;

- з'єднати прямі виходи тригерів молодших розрядів з T - входами тригерів наступних розрядів і залишити виходами лічильника прямі виходи тригерів. На рис. 6.2 наведена схема (а) і часові діаграми (б) віднімального лічильника, де прямі виходи попередніх тригерів Q_i з'єднані з T - входами тригерів наступних ($i+1$) розрядів. Поточне значення кількості вхідних імпульсів n -розрядного двійкового віднімального лічильника визначається за формулою $N_{\text{пот}}=N_{\text{п}}-N$, де $N_{\text{пот}}$ – поточне значення кількості вхідних імпульсів;

$N_{\text{п}}$ – попередньо записане початкове число;

N – значення коду на виході лічильника.

Перед початком роботи за допомогою сигналу на вході F усі тригери лічильника встановлюються в стан 1 ($Q_1=Q_2=Q_3=1$), утворюючи вихідний код 111. Для цього вхід F об'єднує S установчі входи тригерів.

6.1.4. Реверсивні лічильники

Лічильники імпульсів, у яких можна вибрати один з двох режимів: режим додавання, чи режим віднімання, називаються реверсивними лічильниками. На рис. 6.3 наведена схема реверсивного лічильника імпульсів на JK -тригерах, у якого режим віднімання чи додавання вибирається сигналом E .

Якщо $E=1$, то лічильник буде працювати у режимі віднімання, а якщо $E=0$, то в режимі додавання.

Простішим лічильником являється тригер з лічильним входом, реєструючий сигнали за модулем 2, тобто виконує підрахунок і зберігання результату підрахунку не більше двох сигналів. З'єднав відповідним чином декілька лічильних тригерів, можна отримати схему багаторозрядного лічильника.

При використанні D- тригерів в якості лічильного тригера його інверсний

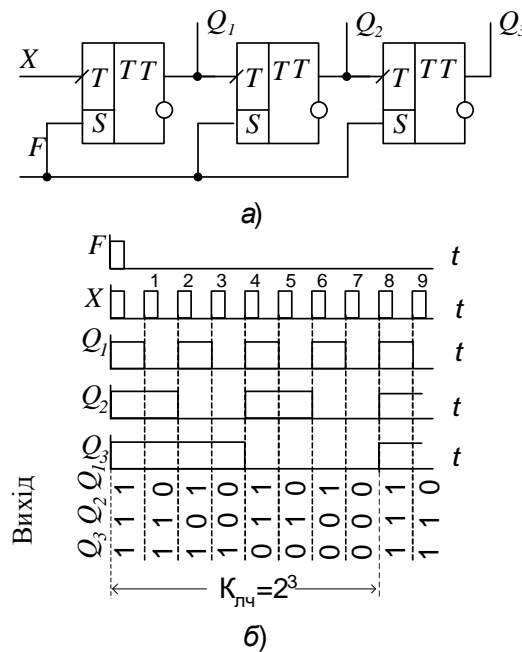


Рис. 6.2

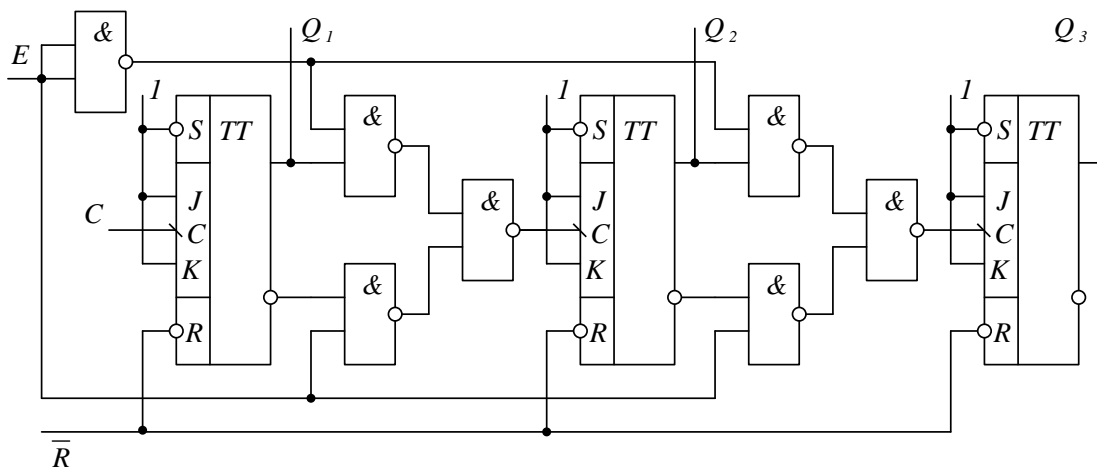


Рис. 6.3

вхід з'єднують з D входом. Працювати в лічильному режимі можуть тільки тригери

динамічного типу. Представлення лічильника ланцюгом лічильних тригерів можна як для додавального, так і для віднімального варіантів лічильника. Різниця при цьому полягає в напрямку перемикання попереднього розряду, визиваючого перемикання наступного розряду. При прямому підрахунку (додавання) наступний розряд перемикається при переході попереднього розряду з напрямку 1 до 0, а при зворотному підрахунку (віднімання) - при перемиканні з 0 до 1.

Асинхронний додавальний лічильник на D -тригерах можна одержати, якщо з'єднати інверсний вихід попереднього тригера \bar{Q} зі входом C наступного тригера.

На рис. 6.4 приведена схема асинхронного чотирирозрядного додавального лічильника на D -тригерах. Імпульси, що підлягають підрахунку, подаються до входу C першого тригера.

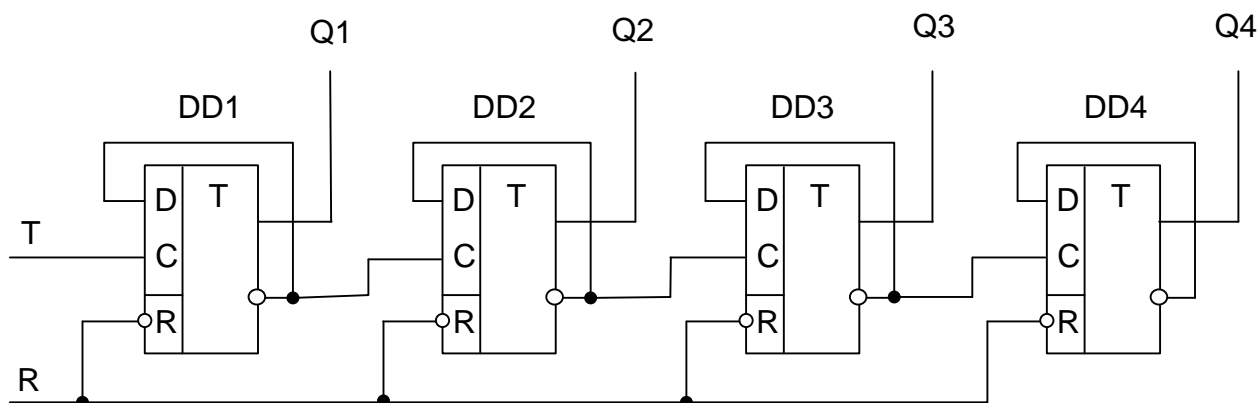


Рис. 6.4. Схема асинхронного додавального лічильника на D -тригерах

Для побудови віднімального лічильника на D -тригерах потрібно прямі виходи попередніх тригерів з'єднати з C входами наступних тригерів. Схема асинхронного чотирирозрядного віднімального лічильника на D -тригерах приведена на рис. 6.5.

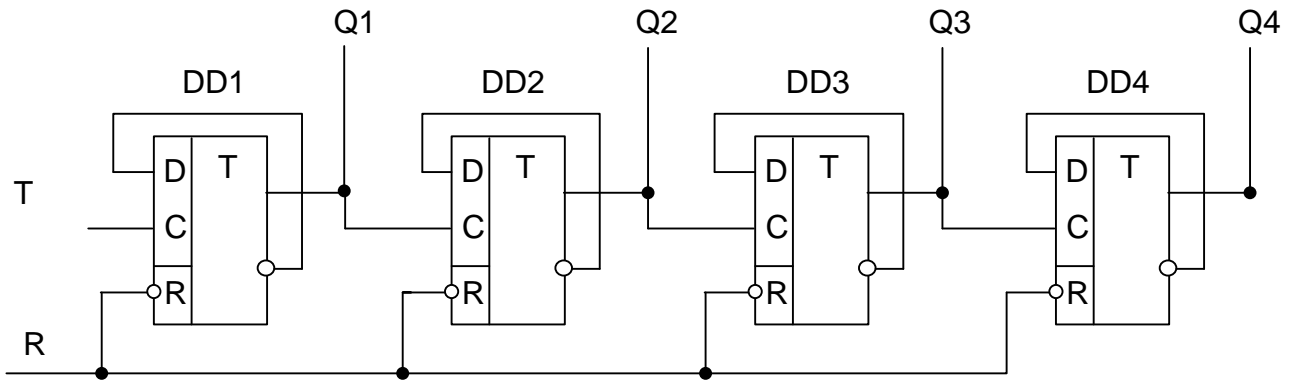


Рис. 6.5. Схема асинхронного віднімального лічильника на D -тригерах

Для побудови додавального асинхронного лічильника на JK -тригерах необхідно з'єднати прямі виходи попередніх тригерів з C входом наступних тригерів.

JK - тригер повинен перебувати в лічильному режимі, при якому входні сигнали $J=K=1$.

Схема асинхронного 4-х розрядного додавального лічильника на JK -тригерах приведена на рис. 6.6.

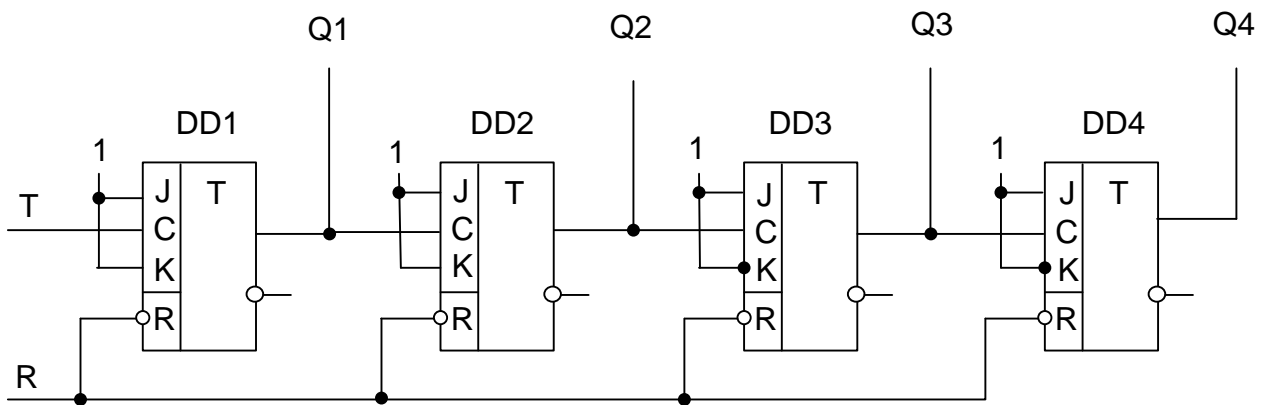


Рис. 6.6. Схема асинхронного додавального лічильника на JK - тригерах

Асинхронний віднімальний лічильник на JK - тригерах можна отримати, якщо з'єднати інверсні виходи попередніх тригерів з входами C наступних тригерів (рис. 6.7).

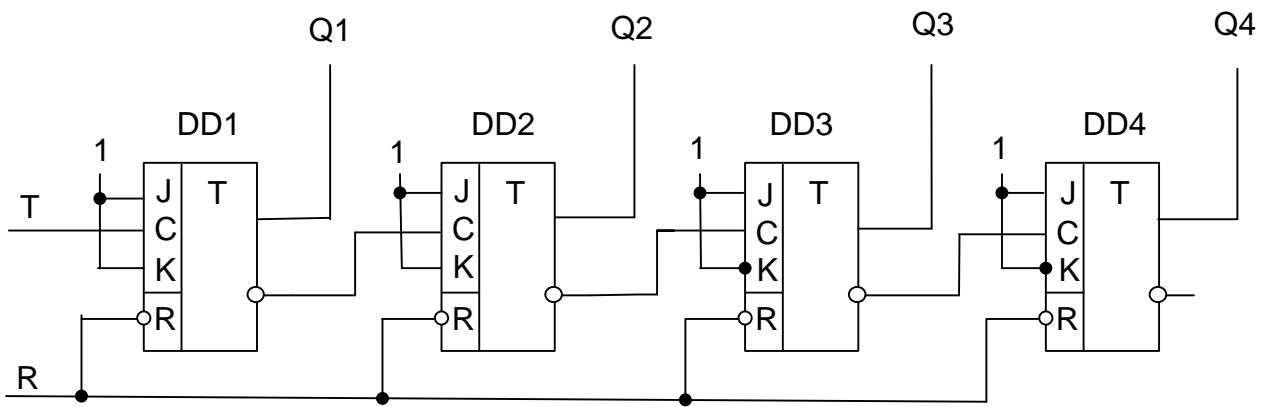


Рис. 6.7. Схема асинхронного віднімального лічильника на JK – тригерах

Слід відмітити, що в зображеннях JK - тригерів на рис. 3 і 4 не показані одиничні потенціали, які потрібно подавати до входів J і K кожного тригера, щоб він працював у лічильному режимі. Це пояснюється тим, що усі незадіяні входи усіх схем перебувають під потенціалом логічної одиниці.

Реверсивні лічильники виконують підрахунок сигналів як в прямому, так і в зворотному напрямку, тобто вони можуть працювати як в режимі додавання, так і в режимі віднімання сигналів. Для побудови реверсивних лічильників необхідно передбачити схеми, які пропускають сигнали до входу наступних тригерів або з інверсного (при додаванні), або з прямого(при відніманні) виходу попередніх тригерів.

Схема асинхронного реверсивного лічильника на D - тригерах зі схемою керування прямою і зворотною лічбою приведена на рис. 6.8.

Асинхронні реверсивні лічильники на JK - тригерах будуються аналогічно реверсивним лічильникам на D - тригерах.

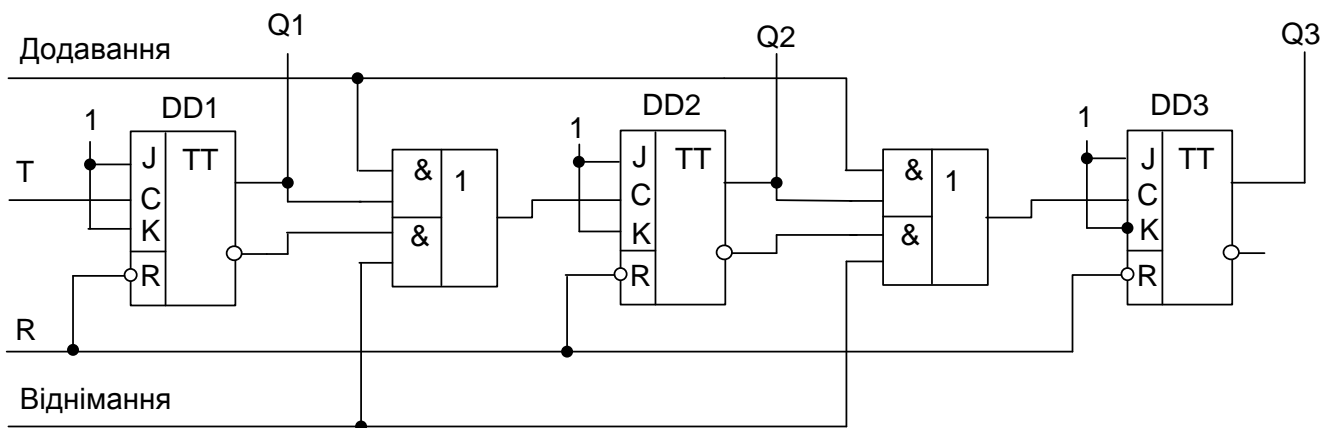


Рис. 6.8. Схема асинхронного реверсивного лічильника на JK - тригерах

Розглянуті вище лічильники мають коефіцієнт лічби 2^m . На практиці виникає необхідність в лічильниках, коефіцієнт лічби яких відрізняється від 2^m . Принцип побудови таких лічильників полягає у вилученні "лишніх" стійких станів лічильника з $\hat{E}_{\text{вст.}} = 2^m$, тобто додаванням схем, забороняючих деякі стани. Число заборонених станів для любого лічильника можна визначити з наступного виразу:

$$n = 2^m - K_{\text{ліч}} \quad (2)$$

де n - число заборонених станів; 2^m - число стійких станів двійкового лічильника; $\hat{E}_{\text{вст.}}$ - потрібний коефіцієнт лічби.

Наприклад, для лічильника з $K_{\text{ліч}}=3$, який будується на двох лічильних тригерах, і для лічильника з $K_{\text{ліч}}=10$, який будується на чотирьох лічильних тригерах, число надлишкових станів відповідно формулі (2) дорівнює відповідно 1 і 6.

Розглянемо спосіб побудови лічильника з природнім порядком лічби, в якого зменшення числа стійких станів досягається за рахунок скидання лічильника в нульовий стан при запису в нього заданого числа сигналів (імпульсів). У відповідності з даним способом до лічильника додається логічна схема, яка перевіряє умову: "Код в лічильнику відповідає числу рівному $K_{\text{ліч}}$ і в залежності від результату перевірки направляє вхідний сигнал або до шини "встановлення 0", або на додавання до записаного в лічильник коду. Цю умову

можна перевірити за допомогою n -входової схеми І, з'єднаної з прямими виходами тих тригерів, які при запису в лічильник коефіцієнта $K_{ліч}$ повинні перебувати у стані "1", і з інверсними виходами тригерів, які у даному випадку повинні перебувати у стані "0".

Практично число входів елемента "І" можна зменшити, з'єднавши його тільки з прямими виходами, тому що співвідношення одиниць в запису кода числа $K_{ліч}$ може повторитися тільки в недозволених кодах більших $K_{ліч}$.

Розглянемо синтез схеми такого лічильника на прикладі лічильника з $K_{ліч}=10$, тобто лічильник повинен мати 10 станів - від 0 до 9 в десятковій системі і від 0000 до 1001 у двійковій системі. Спочатку визначим розрядність лічильника.

$$m \geq \ln K_{ліч} = \ln 10 \approx 3.35 \quad (3)$$

Одержане значення m округляється до найближчого цілого числа, тобто $m=4$. Потім визначаем, які розряди лічильника будуть перебувати в одиничному стані при запису в лічильник коефіцієнта $K_{ліч}$.

$$K_{\text{дз.}} = 10_{10} = 1010_2 = Q_4 \overline{Q_3} Q_2 \overline{Q_1}$$

Прямі виходи цих розрядів з'єднати з входами логічної схеми "І", а її вихід з колом встановлення "0". Таким чином, при досягненні лічильником значення $K_{ліч}$ він автоматично повертається у стан 0000 і лічба почнеться спочатку.

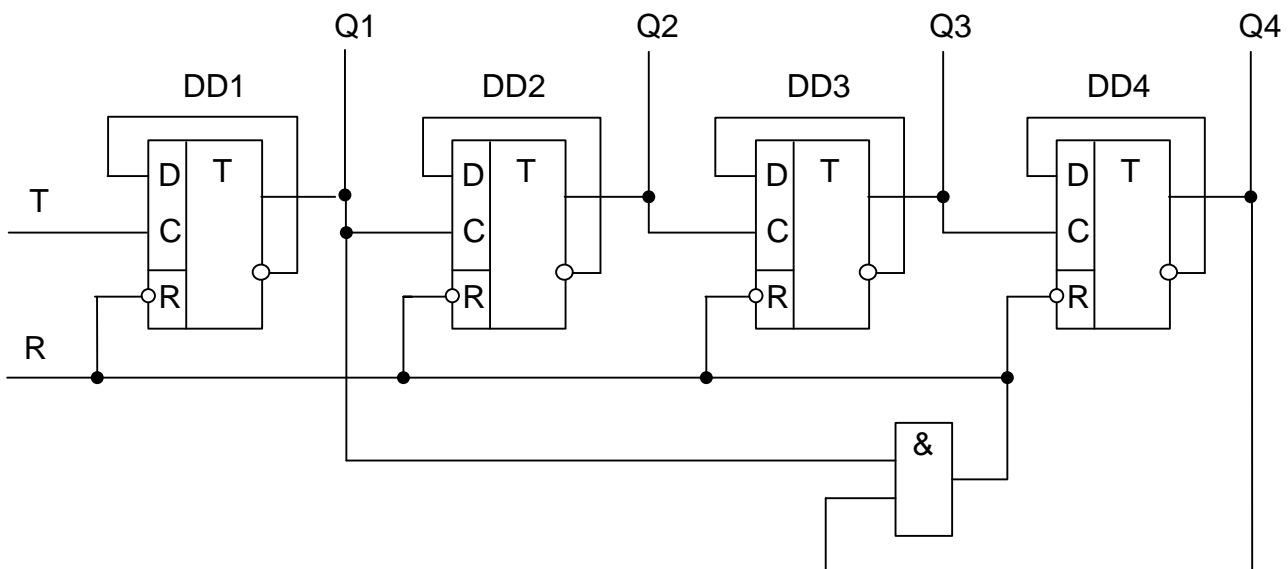


Рис. 6.8. Додавальний лічильник з $K_{ліч}=10$ на D -тригерах

Схеми додавальних лічильників з $K_{\text{ліч}}=10$, побудованих на D - тригерах і JK - тригерах, приведені на рис. 6.8 і 6.9.

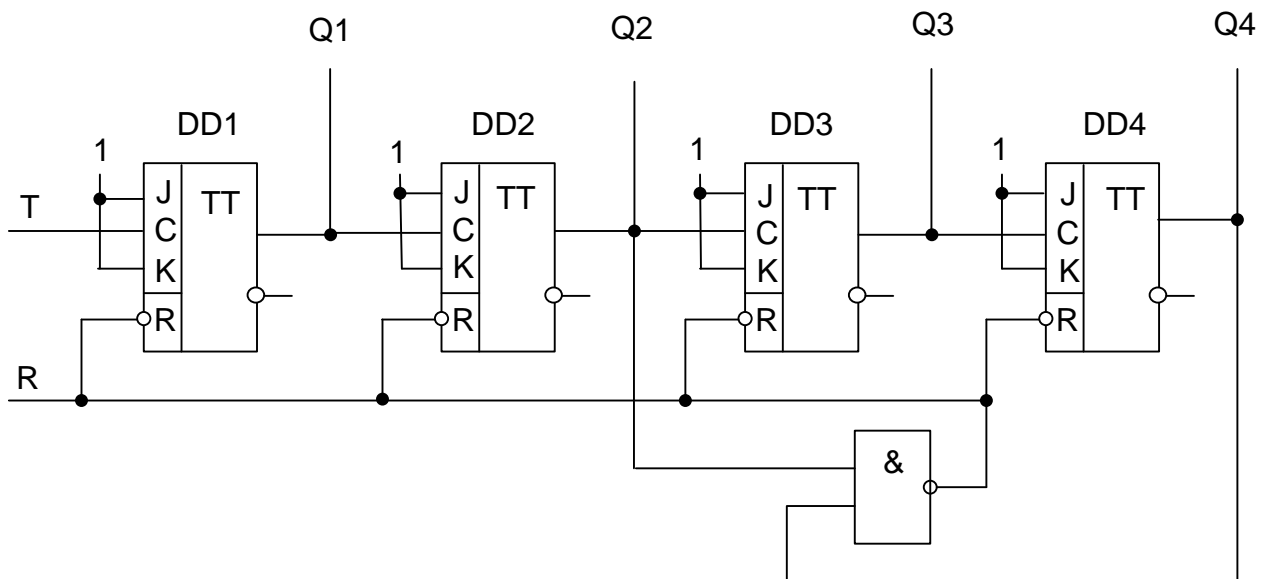


Рис. 6.9. Додавальний лічильник з $K_{\text{ліч}}=10$ на JK -тригерах

6.1.5. Синтез синхронних лічильників на основі JK -тригерів

Особливістю синхронного лічильника є те, що лічильний сигнал подається по шині одночасно на синхровходи тригерів усіх розрядів.

Логіка перемикання лічильника керується переводом тригера даного розряду в лічильний стан (логічні одинці на входах J і K), або в інший стан, коли зміна стану тригера не змінюється при наявності лічильного сигналу.

У багатьох схемах JK тригер реалізується з наявністю декількох J і K входів, об'єднаних кон'юнкторами (логічний елемент $\&$). В таких тригерах під символами J і K зображений знак $\&$, пояснюючий, що входні сигнали подаються на внутрішні вбудовані кон'юнктори (схеми множення).

Проаналізувавши послідовність двійкових станів лічильника, можна зробити висновок про те, що i -тий розряд лічильника повинен змінити свій стан з приходом чергового лічильного імпульсу тільки тоді, коли усі більш молодші розряди перебувають у стані логічних одиниць. Самий молодший розряд лічильника повинен змінювати свій стан при кожному лічильному імпульсі. Лічильний стан першого розряду забезпечують логічні одиниці на всіх трох

входах J і K .

Схема трирозрядного синхронного додавального лічильника показана на рис. 6.10.

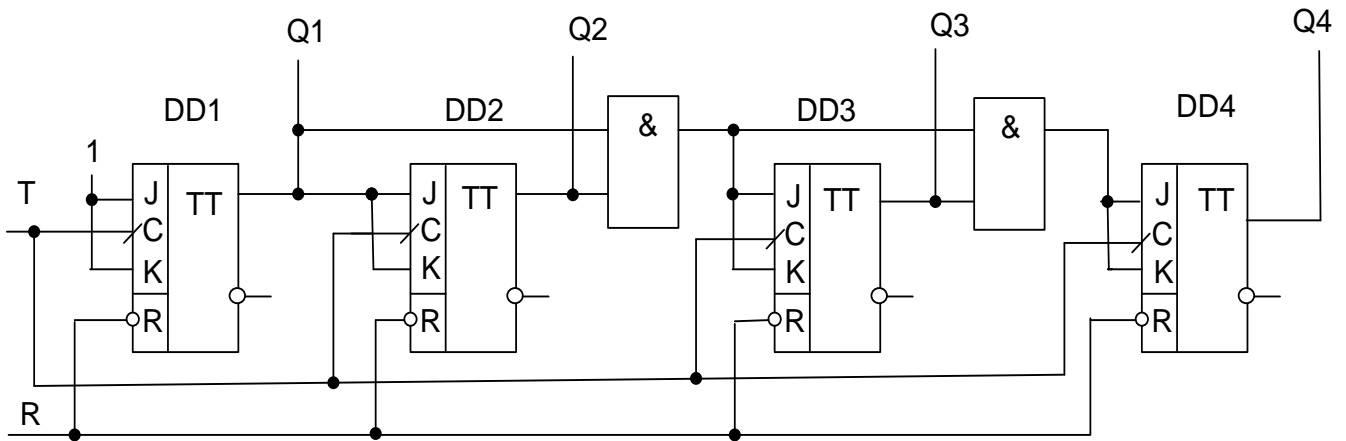


Рис. 6.10. Синхронний додавальний лічильник на JK -тригерах

6.2. Завдання до виконання практикуму

6.2.1. Дослідження схем асинхронного додавального і віднімального лічильників на D -тригерах.

На рис. 6.11 зображена схема асинхронного додавального лічильника на D -тригерах, перетворених в лічильні, зібрана в середовищі Electronic Workbench.

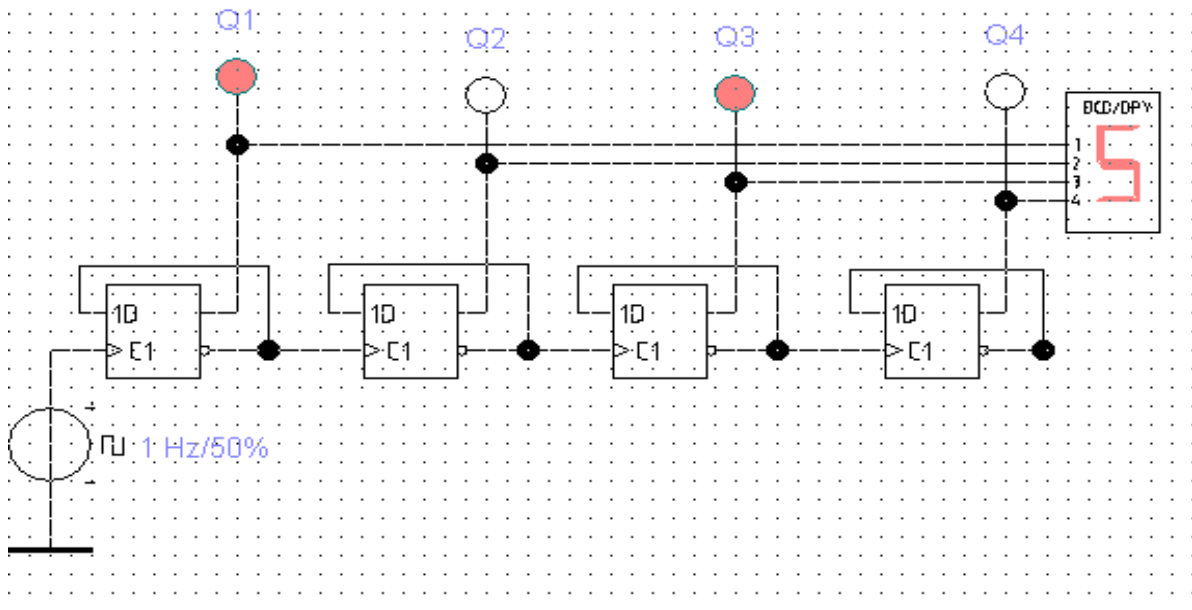


Рис. 6.11. Асинхронний додавальний лічильник на лічильних тригерах без затримки

6.2.1.1. Підготувати чотири лічильних тригерів на основі D - тригерів: для цього з'єднати їх інверсні виходи з D входами.

6.2.1.2. До прямих виходів розрядів (тригерів) підключити семисегментний індикатор з дешифратором.

6.2.1.3. Аналогічним чином на тих же тригерах побудувати віднімальний лічильник.

6.2.2. Дослідження асинхронних додавальних, віднімальних і реверсивних лічильників на JK - тригерах

6.2.2.1. Зібрати чотирьохрозрядний асинхронний додавальний лічильник на JK - тригерах. До прямих виходів тригерів підключити семисегментний індикатор і світлодіодні індикатори (рис. 6.12). Дослідити і зарисувати часові діаграми роботи лічильника.

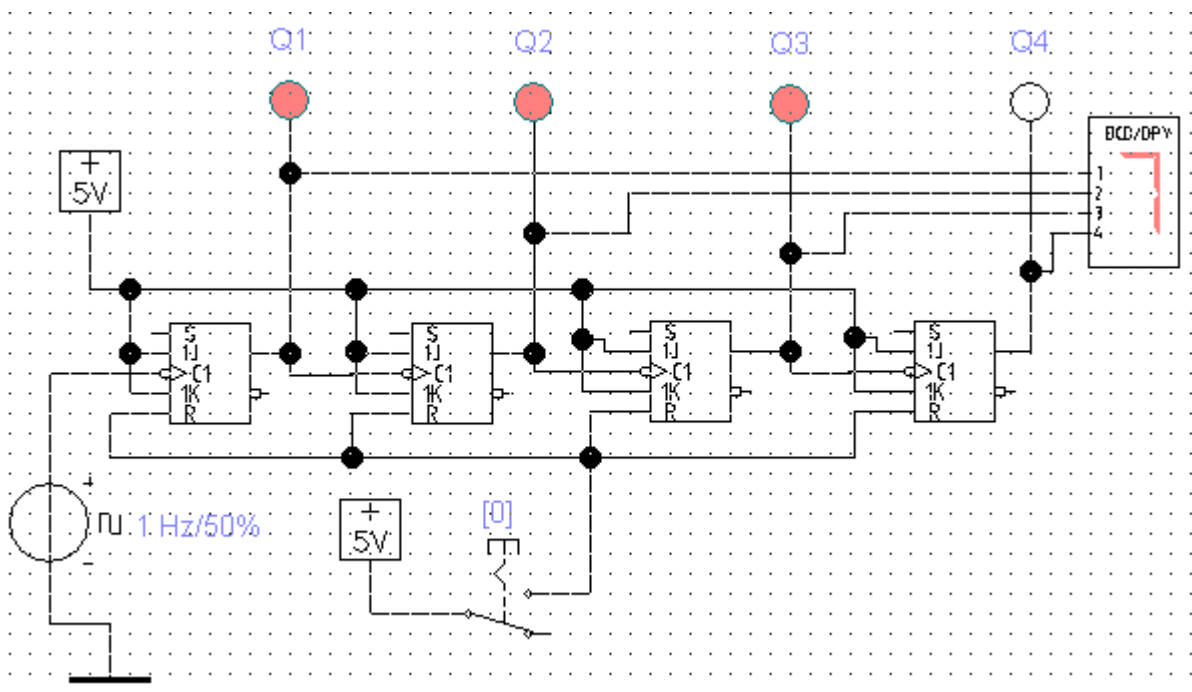


Рис. 6.12. Асинхронний додавальний лічильник на лічильних тригерах з затримкою

6.2.2.2. Перетворити схему (рис. 6.12) у віднімальний лічильник (рис. 6.13). Зарисувати часові діаграми його роботи.

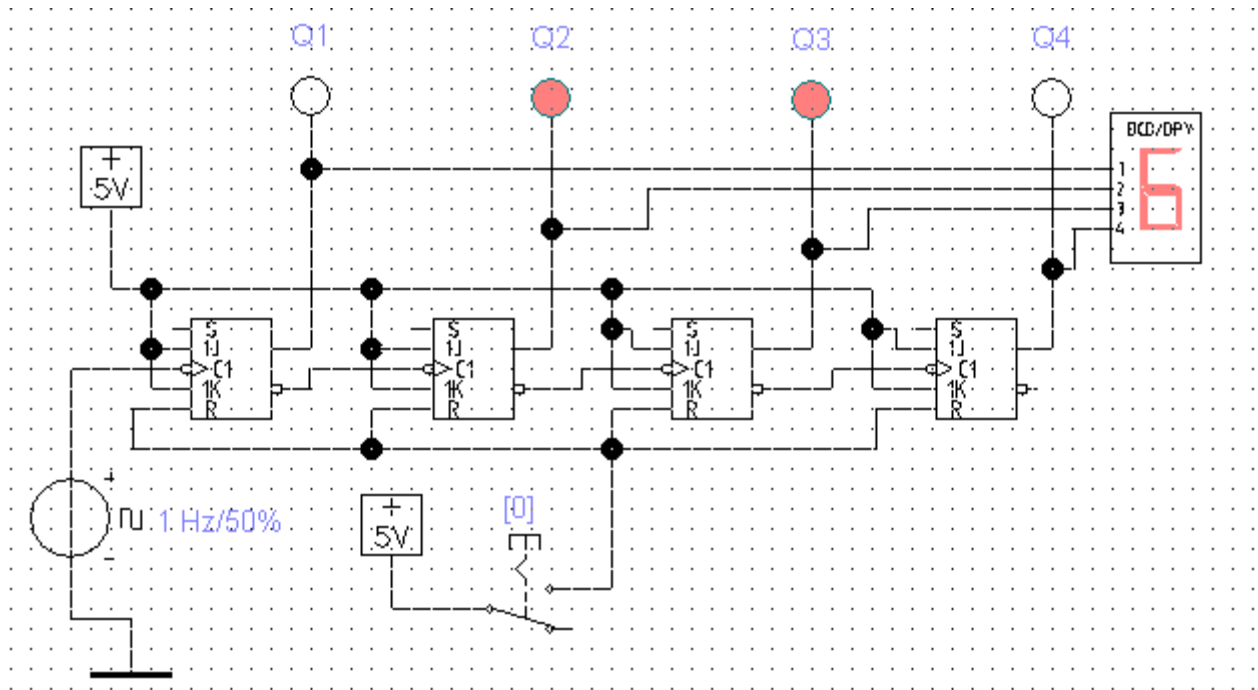


Рис. 6.13. Віднімальний лічильник на JK- тригерах

6.2.2.3. Зібрати схему реверсивного асинхронного лічильника на JK- тригерах (рис.6.14).

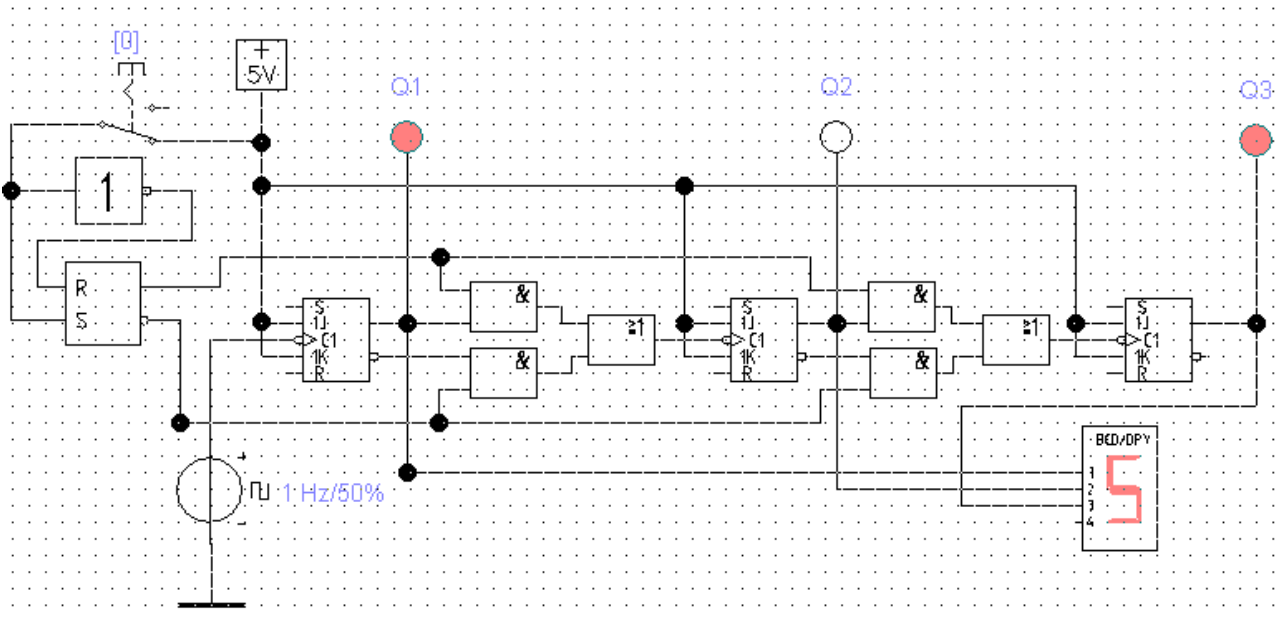


Рис. 6.14. Реверсивний асинхронний лічильник на JK-тригерах

6.2.2.4. Синтезувати схему додавального синхронного лічильника на JK- тригерах (рис.6.15).

Через те, що у бібліотечних *JK*- тригерах програми EWB є тільки один *J*-вхід і один *K*-вхід, необхідно реалізувати логіку керування старшими розрядами на зовнішніх логічних елементах.

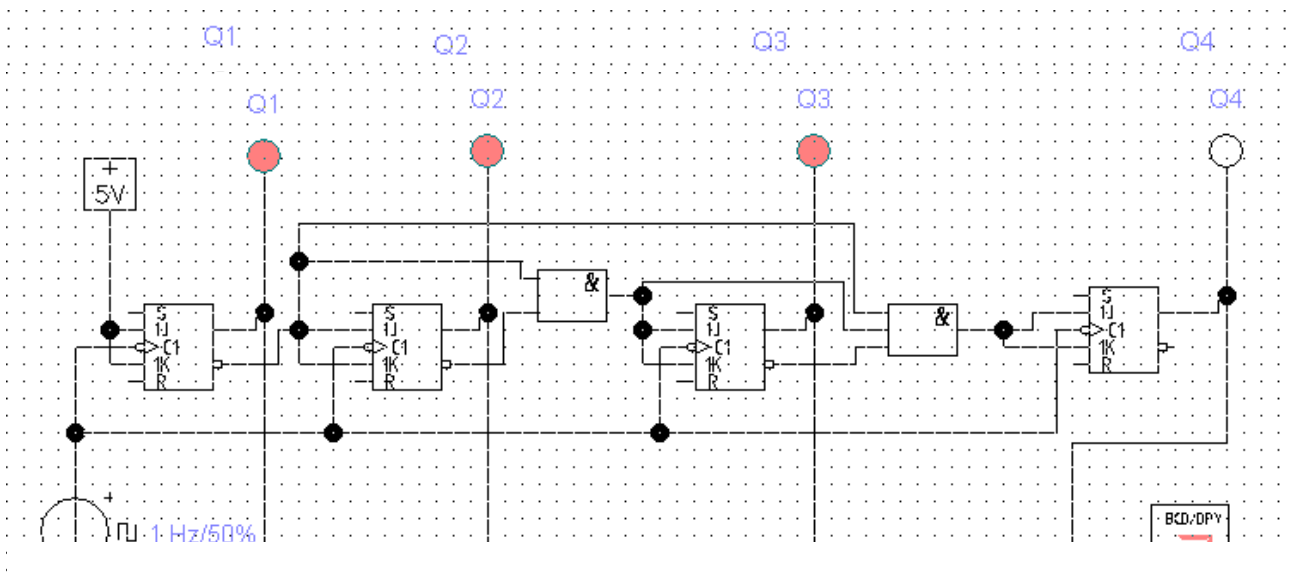


Рис. 6.15. Синхронний додавальний лічильник на універсальних *JK*- тригерах

Рис. 6.16. Віднімальний синхронний лічильник на *JK*-тригерах

До синхровходів усіх розрядів подати синхроімпульси від генератора

прямокутних імпульсів. До об'єднаних входів *J* і *K* молодшого розряду подати лічильні імпульси від генератора прямокутних імпульсів. Зарисувати часові діаграми і пояснити за допомогою світлодіодів, в який момент відбувається передача лічильного сигналу до старшого розряду.

6.2.2.5. Зібрати схему віднімального синхронного лічильника на *JK*-тригерах (рис.6.16).

6.2.2.6. Обмежити значення коефіцієнта лічби лічильника (віднімального або додавального) числом, заданим викладачем.

Зібрати схему з заданим $K_{\text{ліч}}$ і проаналізувати її роботу.

6.3. Зміст звіту з практикуму

1. Схеми, моделюючі роботу лічильників за всіма пунктами завдання.
2. Часові діаграми, пояснюючі роботу лічильників.
3. Аналіз роботи лічильника за допомогою цифрового індикатора (за вибором).

6.4. Контрольні запитання

1. Яке призначення лічильників?
2. Наведіть класифікаційні признаки лічильників.
3. Дайте визначення коефіцієнта лічби лічильника.
4. Чим визначається максимальна частота надходження вхідних імпульсів до лічильника?
5. Як побудувати додавальний двійковий лічильник на *D*-тригерах?
6. Як побудувати віднімальний двійковий лічильник на *D*-тригерах?
7. Як побудувати додавальний двійковий лічильник на *JK*-тригерах?
8. Як побудувати віднімальний двійковий лічильник на *JK*-тригерах?
9. Дайте визначення реверсивного лічильника.
10. В чому особливість роботи синхронного лічильника?
11. Яка властивість *JK* тригерів дозволяє побудувати на їх основі синхронні лічильники?

6.5. Перелік літератури

1. Електроніка та мікросхемотехніка (Електронний ресурс): навчальний посібник для студентів напрямку підготовки 6.050702 "Електромеханіка"/ А.А. Щерба, К.К. Победаш, В.Святненко; - Київ: НТТУ "КПІ", -360 с.
Режим доступу:<http://ela.kpi.ua/handle/123456789/3569>
2. Електротехніка та електроніка. Теоретичні відомості, розрахунки та дослідження за підтримкою комп'ютерних технологій: Навчальний посібник /А.А. Щерба, В.М. Рябенський, М.Є. Кучеренко, К.К. Победаш та ін. - К.: "Корнійчук", 2007. - 488 с.
3. Сенько В.І., Панасенко М.В., Сенько Є.В. та ін. Електротехніка і мікросхемотехніка: Том 3. Цифрові пристрої: Підручник. - К.: Каравела, 2008. - 400 с.
- 4.Інтерфейс програмного комплексу Electronics Workbench: Навчальний посібник. / Победаш К.К., Святненко В.А. : Київ: НТУУ «КПІ», 2014. – 57 с.
5. Бойт К. Цифровая электроника. Москва: Техносфера, 2007. -472 с.

6. В.И. Карлащук. Электронная лаборатория на IBM PC.
М., "СОЛОН-Р", 2001.
7. Угрюмов Е.П. Цифровая схемотехника. - СПб.: БХВ - Санкт-Петербург, 2000 -
528 с.
8. Электротехника и электроника в экспериментах и упражнениях:
Практикум на Electronics Workbench: В 2-х томах. / Под общей редакцией
Д.И.Панфилова. М.: ДОДЭКА, 2000.

Практикум № 7

Дослідження суматорів

Мета практикуму: - ознайомлення з можливостями моделювання роботи схем суматорів. Дослідження однорозрядного і багаторозрядного суматорів, однорозрядного і багаторозрядного віднімачів, універсального суматора-віднімача, **інкрементатора і декрементатора**. Дослідження можливості використання суматора для виконання операції віднімання.

7.1. Теоретичні відомості

Суматори це комбінаційні пристрої, призначені для додавання двох чисел

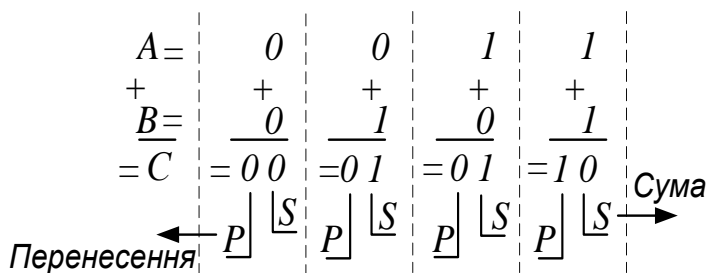


Рис. 7.1

представлених у двійковому коді.

За характером дії суматори можуть бути комбінаційними (без пам'яті) і накопичувальні (запам'ятовуючі).

За способом додавання суматори діляться на

послідовні і паралельні. Додавання чисел в послідовних суматорах відбувається порозрядно, послідовно в часі. В суматорах паралельного типу додавання усіх розрядів багаторозрядних чисел відбувається одночасно. Багаторозрядні суматори (як послідовні, так і паралельні) складаються з однорозрядних суматорів. Однорозрядні суматори можуть бути з двома і з трьома входами. Двовходові схеми додавання називаються **напівсуматорами**, а трьохвходові – **повними суматорами**.

При додаванні двох однорозрядних двійкових чисел (рис.7.1) формується біт суми S і біт перенесення P .

Напівсуматор (рис. 7.2, а) має входи A і B для двох однорозрядних доданків, S – вихід суми і P – вихід перенесення. З таблиці істинності напівсуматора (рис. 7.2, б) одержимо рівняння для суми і перенесення:

$$S = \bar{A} \cdot B + A \cdot \bar{B} = A \oplus B; \quad P = A \cdot B. \quad (7.1)$$

Схема напівсуматора за цими рівняннями зображена, на рис. 7.2, в. Напівсуматором розглянута схема називається тому, що в неї немає входу перенесення з молодшого розряду.

Використовується напівсуматор для додавання двох однорозрядних чисел або молодших розрядів двох багаторозрядних чисел.

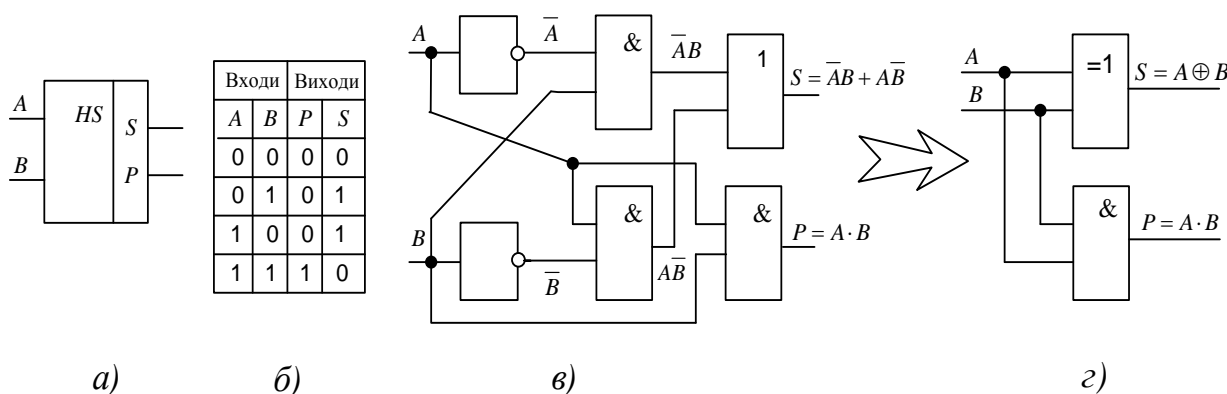
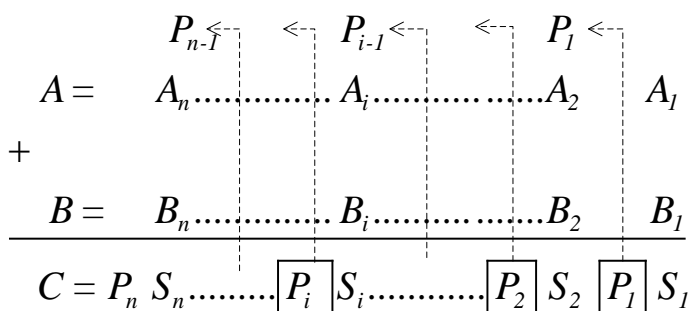


Рис. 7.2

Повний суматор. Повний суматор виконує додавання значень i -х розрядів двох двійкових чисел A_i та B_i з урахуванням перенесення P_{i-1} з молодшого розряду. Як і напівсуматор, повний суматор має вихід суми S_i і вихід перенесення в старший розряд P_i . Процес складання двох n -розрядних двійкових чисел показаний на рис. 7.3.



Складання цифр A_1 і B_1 молодшого розряду дає біт суми S_1 і біт перенесення P_1 . В наступному (2-му) розряді відбувається складання цифр P_1 , A_2 і B_2 , які формують біт суми S_2 і біт перенесення P_2 . Операція

продовжується доти, поки не буде складена кожна пара цифр в усіх розрядах. Результатом складання буде число:

$$C = P_n S_n \dots S_i \dots S_2 S_1, \quad (7.2)$$

де P_n і S_i відображають 1 або 0, одержані в результаті порозрядного додавання.

На основі однорозрядних схем додавання на три входи будуються багаторозрядні суматори.

Алгоритм роботи однорозрядного тривходового суматора відображається таблицею істинності (табл. 7.1).

На основі табл.7.1 запишемо систему логічних функцій для суми S_i і перенесення P_i у ДДНФ:

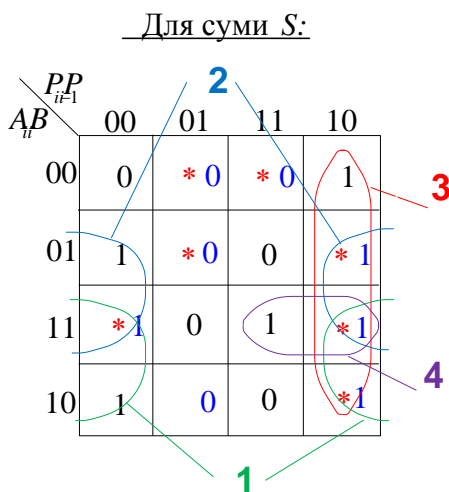
$$S_i = \bar{A}_i \bar{B}_i P_{i-1} + \bar{A}_i B_i P_{i-1} + A_i \bar{B}_i \bar{P}_{i-1} + A_i B_i P_{i-1}; \quad (7.3)$$

$$P_i = \bar{A}_i B_i P_{i-1} + A_i \bar{B}_i P_{i-1} + A_i B_i \bar{P}_{i-1} + A_i B_i P_{i-1}. \quad (7.4)$$

Мінімізуємо ці функції методом карт Карно.

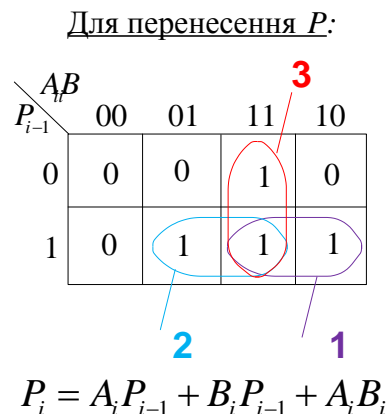
Таблиця 7.1

Входи			Виходи	
A_i	B_i	P_{i-1}	P_i	S_i
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1



$$S_i = A_i \bar{P}_i + B_i \bar{P}_i + \bar{P}_{i-1} + A_i B_i P_{i-1}$$

Рис. 7.4



$$P_i = A_i P_{i-1} + B_i P_{i-1} + A_i B_i$$

Рис. 7.5

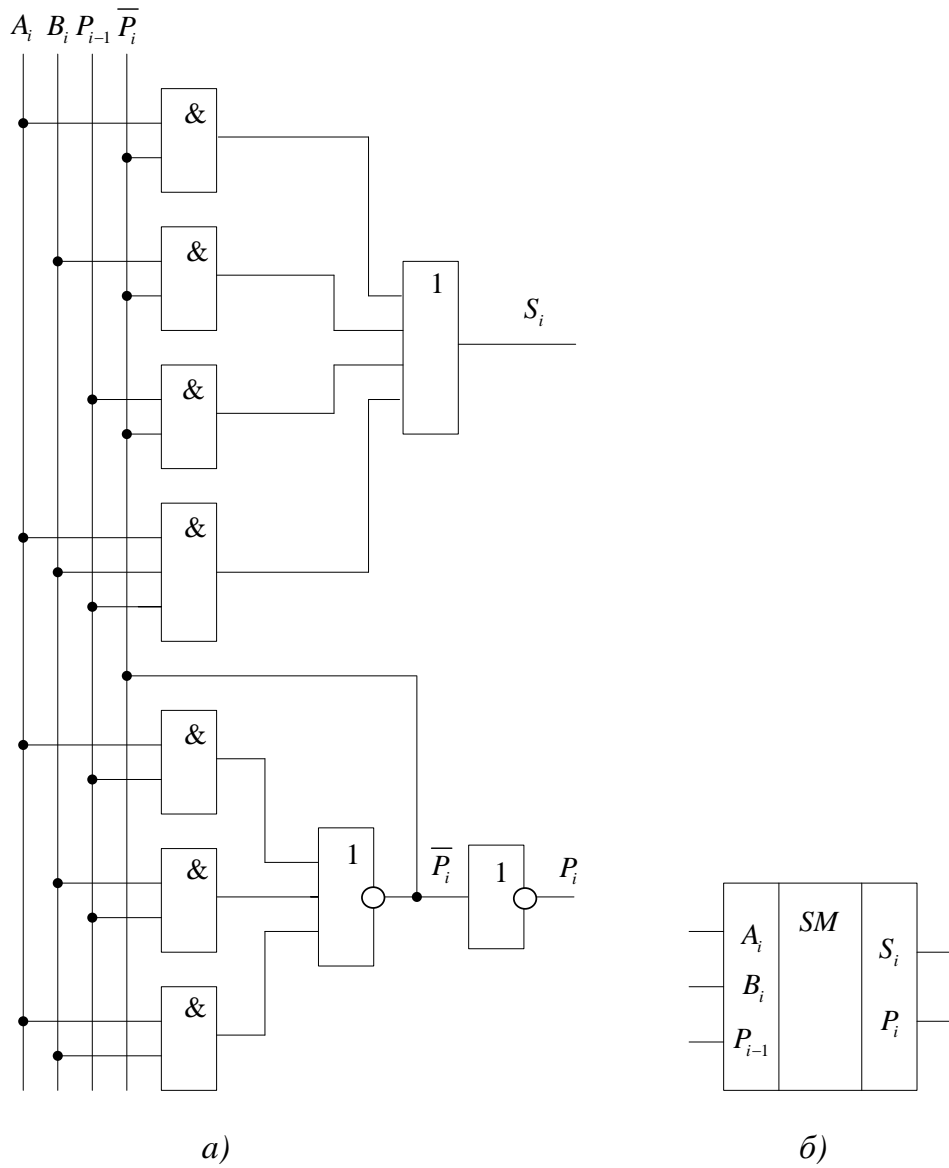


Рис. 7.6

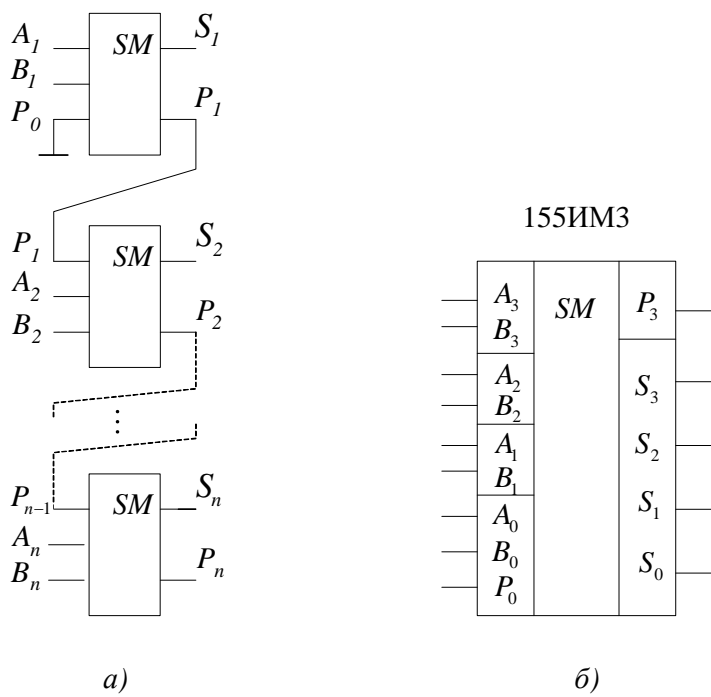


Рис. 7.7

На рис. 7.4 і 7.5 зображені карти Карно і одержані мінімізовані функції відповідно для суми і перенесення. За системою рівнянь складається функціональна схема повного однорозрядного суматора (рис.7.6, а), умовне графічне зображення якого приведене на рис. 7.6, б.

Паралельний n - розрядний суматор з послідовним перенесенням (рис. 7.7, а) складається з однорозрядних суматорів. Проміжна сума S_i^* утворюється в результаті складання значень чисел однойменних розрядів A_i і B_i . Потім S_i^* складається з сигналом перенесення P_{i-1} попереднього розряду і одержується кінцеве значення суми S_i . Після завершення операції додавання на виходах $S_n, \dots, S_i, \dots, S_1$ комбінаційного суматора з'явиться код, відповідний сумі значень n - розрядних вихідних чисел. Сигнал перенесення P_n старшого розряду служить для індикації переповнення розрядної сітки.

Якщо в першому розряді використаний повний однорозрядний суматор, то на вхід перенесення P_0 необхідно подати логічний «0», або з'єднати його з загальною шиною джерела живлення, як показано на рис. 7.7, а.

Умовне зображення інтегрального чотирьохрозрядного суматора показане на рис. 7.7, б.

7.2. Інструменти і елементи програми Electronics Workbench для дослідження суматорів

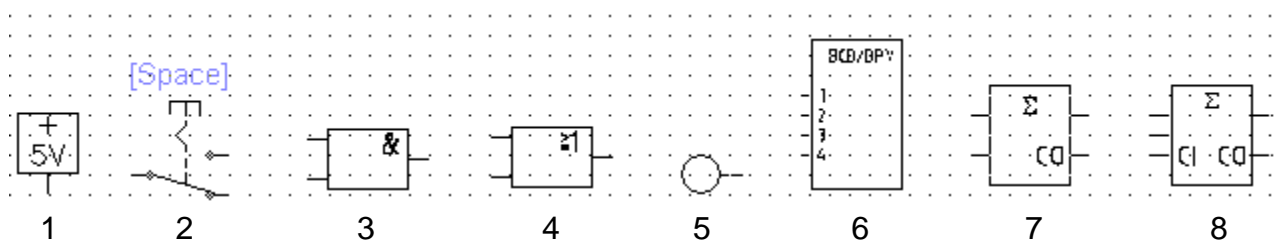


Рис. 7.8. Опис необхідних приладів і інструментів програми EWB.

1. *Voltage Source* – джерело постійної напруги +5 вольт.

За допомогою цього джерела до входу тригерів і логічних елементів подається логічна одиниця.

2. Перемикач (*Basic->Switch*).

Перемикання відбувається натисканням на клавишу, вказану в дужках над цим елементом.

3. Логічний елемент "І" (*Logic gates->2-Input AND gate*).

4. Логічний елемент "АБО-виключне" (*Logic gates->2-Input NOR gate*).

5. Світлоіндикатор (*Indicators->red Prob*). При подачі до цього елемента логічної одиниці світлодіод світиться червоним кольором.

6. Семисегментний цифровий індикатор.

7. Однорозрядний напівсуматор (*Half-Adder*).

8. Однорозрядний повний суматор (*Full-adder*).

7.3. Завдання до виконання практикуму

7.3.1. Дослідити роботу однорозрядного напівсуматора за таблицею

Таблиця 7.2 істинності (таблиця 7.2), в якій:

<i>a</i>	<i>b</i>	<i>p</i>	<i>s</i>
0	0	0	0
0	1	0	1
1	0	0	1
1	1	1	0

a- перший однорозрядний доданок, *b*- другий однорозрядний доданок, *p*- перенесення, *s*-сума.

Скласти логічне рівняння

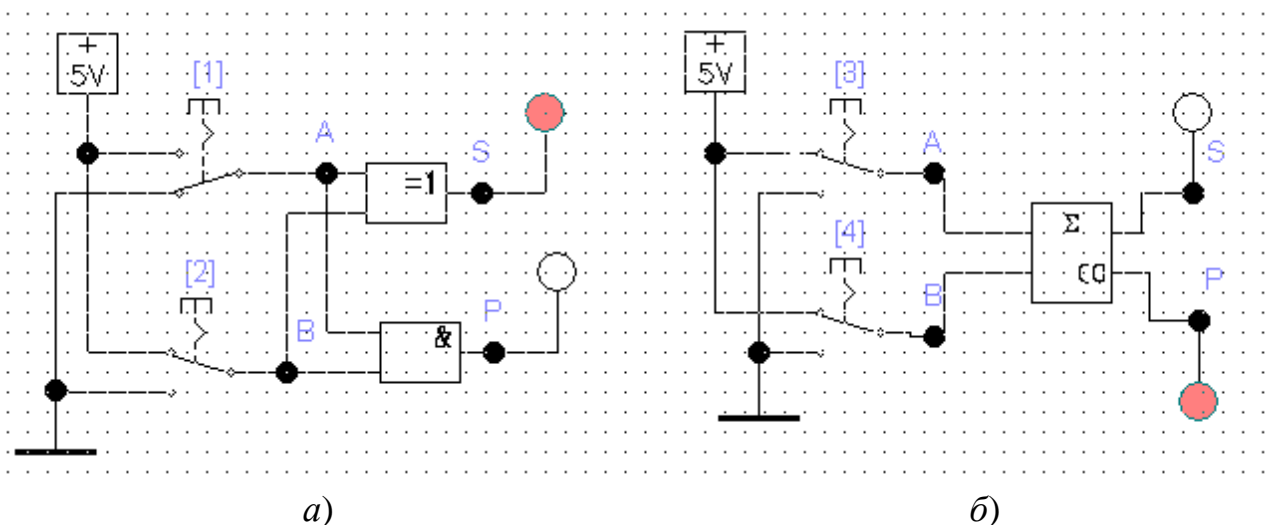


Рис. 7.9. Напівсуматор на елементах "виключальне АБО " та "І" (а) і на бібліотечному напівсуматорі (б)

однорозрядного напівсуматора і зібрати його схему на елементах "виключальне АБО " та "І" (рис. 7.9, а).

Таблиця 7.3

A	B	P ₀	P ₁	S ₁
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

Повторити дослідження, використав бібліотечний напівсуматор (рис.7.9, б).

Для одночасної подачі двох чисел потрібно передбачити керування двома групами перемикачів: для встановлення кодів даного розряду і другого послідовного перемикача для подачі розрядів до входу напівсуматора.

7.3.2. Дослідити роботу повного однорозрядного суматора (рис. 7.10) за таблицею істинності (таблиця 7.3):

7.3.3. Зібрати і дослідити роботу

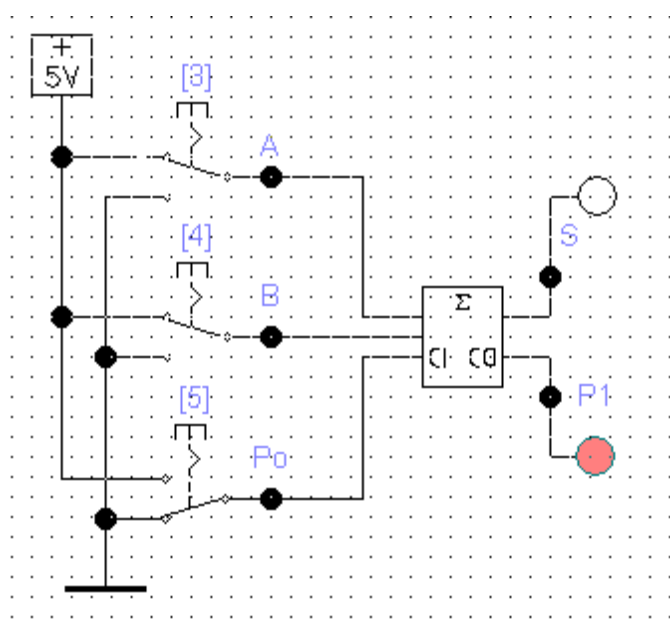


Рис 7.10. Схема дослідження бібліотечного суматора

чотирирозрядного паралельного суматора (рис.7.11). Для одночасної подачі кодів двох доданків використати групу перемикачів установки кода першого доданку і групу перемикачів установки кода другого доданку.

Відобразити у звіті схеми суматоров.

7.4. Зміст звітуз практикуму

1. Схеми суматорів, досліджуваних в лабораторній роботі.

2. Перелік кодів аргументів, додаваних до входів суматорів і

одержаний результат.

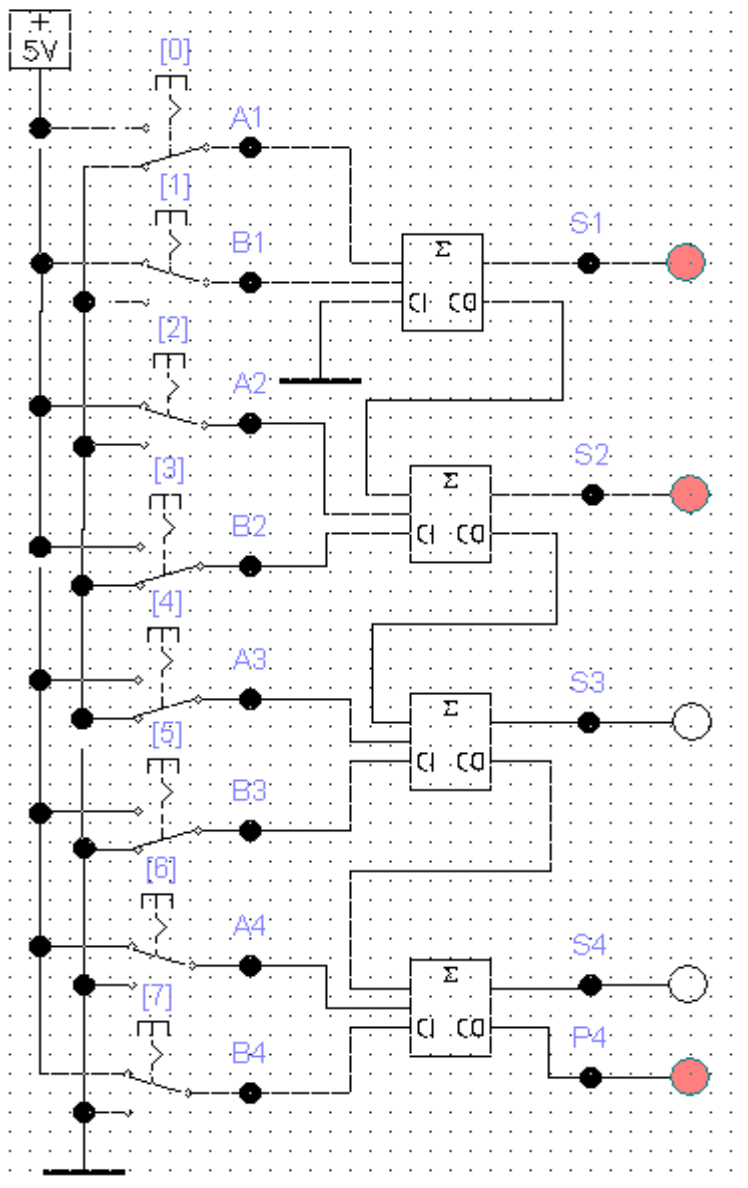


Рис. 7.11. Чотирирозрядний паралельний суматор

7.5. Контрольні запитання

1. В чому полягає різниця між схемами напівсуматора і повного суматора?
2. Поясніть принцип побудови багаторозрядних суматорів.
3. Призначення входу і виходу перенесення в повних суматорах.

7.6. Рекомендована література

1. Електроніка та мікросхемотехніка (Електронний ресурс): навчальний посібник для студентів напрямку підготовки 6.050702 "Електромеханіка"/ А.А. Щерба, К.К. Победаш, В.Святненко; - Київ: НТТУ

"КПІ", -360 с.

Режим доступу:<http://ela.kpi.ua/handle/123456789/3569>

2. Електротехніка та електроніка. Теоретичні відомості, розрахунки та дослідження за підтримкою комп'ютерних технологій: Навчальний посібник /А.А. Щерба, В.М. Рябенський, М.Є. Кучеренко, К.К. Победаш та ін. - К.: "Корнійчук", 2007. - 488 с.

3. Сенько В.І., Панасенко М.В., Сенько Є.В. та ін. Електротехніка і мікросхемотехніка: Том 3. Цифрові пристрої: Підручник. - К.: Каравела, 2008. - 400 с.

- 4.Интерфейс программного комплексу Electronics Workbench: Навчальний посібник. / Победаш К.К., Святненко В.А. : Київ: НТУУ «КПІ», 2014. – 57 с.
Режим доступу:<http://ela.kpi.ua/handle/123456789/7609>
5. Бойт К. Цифровая электроника. Москва: Техносфера, 2007. -472 с.
6. В.И. Карлащук. Электронная лаборатория на IBM PC.
М., "СОЛОН-Р", 2001.
7. Угрюмов Е.П. Цифровая схемотехника. - СПб.: БХВ - Санкт-Петербург, 2000 -
8. Электротехника и электроника в экспериментах и упражнениях:
Практикум на Electronics Workbench: В 2-х томах. / Под общей редакцией
Д.И.Панфилова. М.: ДОДЭКА, 2000.

Навчальне видання

Победаш Костянтин Каленикович

Святненко Вадим Анатолієвич

Практикум з використання середовища Electronics Workbench
при вивченні кредитного модуля «Цифрова електроніка»
курсу «Електроніка»

Навчальний посібник