

Серия «Высшее образование»

Д. А. Безуглов, И. В. Калиенко

Цифровые устройства и микропроцессоры

Учебное пособие

Рекомендовано научно-методическим советом
по специальности ЮРГУЭС для студентов высших учебных
заведений направления 210300(654200) «Радиотехника»
в качестве учебного пособия.

Издание 2-е

Ростов-на-Дону

 **ЕНИКС**

2008

УДК 621.38(075.8)

ББК 32.85я73

КТК 222

Б-40

Рецензенты:

Савельев М.В. — доктор технических наук, профессор кафедры «Электронно-вычислительные машины» Южно-Российского государственного технического университета (НПИ);
Соколов С.В. — доктор технических наук, заслуженный изобретатель РФ, заведующий кафедрой «Общетеχνическая подготовка» Северо-Кавказского ф-ла Московского технического университета связи и информатики.

Безуглов Д. А.

Б-40 Цифровые устройства и микропроцессоры / Д. А. Безуглов, И. В. Калиенко. — Изд. 2-е. — Ростов н/Д : Феникс, 2008. — 468, [1] с : ил. — (Высшее образование).

ISBN 978-5-222-13917-2

Учебное пособие по дисциплине «Цифровые устройства и микропроцессоры» предназначено для студентов, обучающихся в соответствии Государственным образовательным стандартом по направлению 654200 «Радиотехника» по следующим специальностям: 200700 «Радиотехника», 201400 «Аудиовизуальная техника», 201500 «Бытовая радиоэлектронная аппаратура», 201600 «Радиоэлектронные системы», 201700 «Средства радиоэлектронной борьбы», 071500 «Радиофизика и электроника». Дисциплина входит в блок общепрофессиональных дисциплин для всех вышеперечисленных специальностей.

Пособие предназначено студентам и аспирантам радиотехнических специальностей вузов, а также инженерам, занимающимся вопросами синтеза цифровых устройств.

ISBN 978-5-222-13917-2

УДК 621.38(075.8)

ББК 32.85я73

© Безуглов Д.А., Калиенко И.В., 2006

© Оформление: ООО «Феникс», 2006

ПРЕДИСЛОВИЕ

Учебное пособие написано в полном соответствии с программой и Государственным образовательным стандартом по направлению 654200 «Радиотехника» и предназначено для студентов, обучающихся на всех формах обучения.

В настоящее время в рамках направления подготовки дипломированного специалиста «Радиотехника» реализуется подготовка специалистов в соответствии с Государственными образовательными стандартами по следующим специальностям: 200700 «Радиотехника», 201400 «Аудиовизуальная техника», 201500 «Бытовая радиоэлектронная аппаратура», 201600 «Радиоэлектронные системы», 201700 «Средства радиоэлектронной борьбы», 071500 «Радиофизика и электроника».

Дисциплина «Цифровые устройства и микропроцессоры» входит в блок общепрофессиональных дисциплин для всех вышеперечисленных специальностей. В результате ее изучения студент должен получить знания о простейших цифровых устройствах комбинационного и последовательностного типов и сложнейших микропроцессорных системах. Отчетливо понимать, что все эти устройства и системы служат для и организации достоверной, безопасной, в режиме реального времени передачи и обработки информации, представленной в цифровом виде

Профессиональная деятельность выпускника по направлению 654200 «Радиотехника» включает исследования и разработки, направленные на создание и обеспечение функционирования устройств и систем, основанных на исполь-

зовании электромагнитных колебаний и волн, и предназначенных для передачи, приема и обработки цифровой информации. Объектами профессиональной деятельности выпускников будут являться радиотехнические системы, комплексы и устройства, методы и средства их проектирования, моделирования, экспериментальной отработки, подготовки к производству и технического обслуживания. С учетом этих квалификационных требований и формировался материал учебного пособия.

Настоящее учебное пособие ориентировано на специалистов радиотехнического профиля и предназначено для базовой подготовки, которая позволила бы в специальных дисциплинах рассматривать различные современные вопросы цифровой обработки сигналов.

В учебном пособии изложены основы алгебры логики и теории переключательных функций; основы теории асинхронных потенциальных и синхронных автоматов; вопросы синтеза цифровых узлов: триггеров, счетчиков, шинных приемопередатчиков, сдвигающих регистров, мультиплексоров, демультиплексоров, сумматоров. Рассматривается применение интегральных схем для проектирования цифровых устройств; микропроцессоры: архитектура, система команд, интерфейсные большие интегральные схемы (БИС) и БИС памяти; проектирование микроконтроллеров на микропроцессорах, а также вопросы разработки программного обеспечения.

Содержание учебного пособия основано на материалах курсов лекций, читаемых авторами в течение нескольких последних лет на кафедрах «Антенные устройства и теоретические основы радиоэлектронных систем» Ростовского военного института Ракетных войск, «Радиоэлектроника» и «Информационные технологии в сервисе» Ростовского института сервиса Южно-российского государственного университета экономики и сервиса.

Предисловие

Авторы надеются, что данное пособие окажется полезным не только студентам радиотехнических специальностей вузов, но и аспирантам и инженерам, занимающимся вопросами синтеза цифровых устройств.

ВВЕДЕНИЕ

Наблюдающееся в настоящее время бурное развитие телекоммуникационного сектора экономики. Это стало возможным благодаря либерализации государственного контроля над телекоммуникациями, а также быстро расширяющимся применением цифровых технологий в действующих и перспективных системах связи, радиовещания и телевидения.

Такое положение дел связано, прежде всего, с известными преимуществами применения цифровых сигналов: высокой потенциальной помехоустойчивостью, возможностями оптимизации использования частотного спектра, перспективами применения в различных телекоммуникационных и информационных системах универсальных аппаратных и программных решений и т. д.

Одним из ключевых факторов развития в этом направлении выступает технологический прогресс. Растущая производительность микропроцессоров, появление мощных сигнальных процессоров, создание высокоэффективных методов компрессии и транспортировки информации — это только часть списка технологических инноваций, ведущих к ускорению развития информационных цифровых технологий.

Наиболее общую форму оценки прогресса в области микро-электроники дает закон Мура: производительность интегральных схем, измеряемая операциями в секунду, и объем памяти в единице площади удваиваются каждые 18 месяцев, а стоимость микросхем при этом уменьшается на 50 %.

Успешное воплощение перспектив развития инфокоммуникационных технологий во многом базируется на достижениях цифровой обработки сигналов, призванной решать задачи приема, формирования, обработки и передачи информации в реальном масштабе времени.

Развитие и совершенствование электронно-вычислительной техники и радиотехнических устройств в значительной степени определяются возможностями цифровых микросхем. Все узлы цифровых вычислительных машин содержат элементы цифровой техники, с помощью которых осуществляются запоминание и хранение информации, управление вычислительным процессом, ввод и вывод информации. Принципиально новые возможности открывает применение цифровых интегральных схем в радиосвязи.

Использование цифровых синтезаторов частоты существенно снижает аппаратные затраты и повышает фазовую стабильность генерируемых сигналов. Обработка сигналов цифровыми методами позволяет обеспечить высокую точность, стабильность параметров и получить характеристики, не достижимые аналоговыми методами.

Цифровые фильтры, например, позволяют реализовать произвольную форму амплитудно-частотной характеристики, в том числе и сколь угодно близкую к прямоугольной. Цифровое телевидение повышает качество передачи сигналов, благодаря существенному уменьшению накопления искажений в цифровых линиях связи по сравнению с аналоговыми, а также за счет применения специальных способов кодирования, обнаруживающих и исправляющих ошибки передачи информации.

Сигналы, представленные в цифровой форме, практически не подвержены амплитудным и фазовым искажениям, что позволяет передавать информацию на большие расстояния с сохранением ее высокого качества. Это обус-

ловлено определенными преимуществами цифровых устройств по сравнению с аналоговыми: более высокой надежностью; стабильностью параметров; высокой точностью обработки информации; значительным сокращением трудоемкости и упрощением операций регулировки и настройки; возможностью создания микросхем с очень высокой степенью интеграции.

Настоящее учебное пособие ориентировано на специалистов радиотехнического профиля и предназначено для базовой подготовки, которая позволила бы в специальных дисциплинах рассматривать различные приложения средств вычислительной техники.

В первой главе рассматриваются логические основы цифровой техники, понятие о логическом устройстве, логические функции а также тождества алгебры логики. Приведены методики анализа комбинационных устройств без памяти, стандартные формы записи логических функций. Изучаются вопросы минимизации логических функций, синтеза комбинационных устройств в заданном базисе а также вопросы анализа и синтеза цифровых устройств с памятью.

Во второй главе рассматриваются принципы построения базовых логических элементов и логических микросхем. Дiodно-резисторные логические схемы и транзисторно-транзисторные логические элементы. Цифровые микросхемы эмиттерно-связанной логики и цифровые микросхемы интегральной инжекционной логики, а также логические микросхемы МОП, КМОП.

В третьей главе рассматриваются функциональные узлы цифровых устройств: триггеры, регистры, кодирующие устройства, счетчики, сумматоры, триггеры Шмитта, шинные приемопередатчики.

В четвертой главе рассматриваются БИС программируемых логических устройств, БИС запоминающих устройств.

В пятой главе изучаются методы аналого-цифровой и цифроаналоговой обработки сигналов. Рассматриваются назначение, основные свойства и классификация АЦП и ЦАП и их основные характеристики. Схема ЦАП с суммированием напряжений и суммированием токов. АЦП с промежуточным преобразованием напряжения во временной интервал, с двойным интегрированием, последовательного счета, следящего типа, последовательного приближения. Схема выборки и хранения.

В шестой главе рассматриваются структура, принципы построения и функционирования микропроцессорной системы. Структура микроконтроллера. Принципы управление памятью и внешними устройствами. Построение модуля памяти. Виды обмена в микропроцессорных системах. Микропроцессор серии 1821 (Intel 8085A). Последовательность действий МП и синхронизация. Система прерываний и последовательный ввод-вывод. Система команд микропроцессора и программирование работы МП. Методика и средства проектирования цифровых устройств.

Различным аспектам проблемы анализа и синтеза цифровых устройств посвящена обширная литература (статьи, монографии, научные доклады на конференциях и симпозиумах) как отечественная, так и зарубежная, и число публикаций постоянно растет. Поэтому в списке литературы к учебному пособию даны лишь основные (по мнению авторов) отечественные работы, в которых отдельные вопросы рассматриваются более подробно, чем в предлагаемом учебном пособии, и с которыми будет целесообразно ознакомиться особо заинтересовавшемуся читателю.

1. ЛОГИЧЕСКИЕ ОСНОВЫ ЦИФРОВОЙ ТЕХНИКИ

1.1. Понятие о цифровом устройстве

Цифровые устройства предназначены для обработки цифровых сигналов, которые изменяются по закону дискретной функции.

При цифровом представлении сигнала в виде дискретной функции множество значений этой функции разбивают на фиксированные уровни, привязанные к определенным дискретным моментам времени. Полученная функция является квантованной по уровням и дискретной во времени.

Обоснование возможности дискретизации функции сформулировано в теореме Котельникова, доказанной советским ученым в 1933 году.

Каждому уровню в цифровых устройствах ставится в соответствие число или слово, представляющее собой набор символов.

Алфавит — конечное множество (полная совокупность) символов, которые называются буквами этого алфавита.

Числа в цифровых устройствах представляются в различных системах счисления. Системы счисления бывают позиционными и непозиционными. В непозиционных системах значение символа не зависит от места (позиции), занимаемой в числе (слове). Примером непози-

1. Логические основы цифровой техники

позиционной системы счисления является римская система чисел. Наиболее используемая в обществе десятичная система счисления является позиционной. В ней вес символа (цифры) зависит от места (позиции), которое цифра занимает в числе. В общем случае в любой позиционной системе с основанием q произвольное число n -размерности

$$A = a_{n-1}a_{n-2}\dots a_2a_1a_0$$

записывается полиномом

$$A = a_{n-1}q^{n-1} + a_{n-2}q^{n-2} + \dots + a_2q^2 + a_1q + a_0. \quad (1.1)$$

Число q служит весовым коэффициентом для каждого разряда и называется основанием системы счисления. Основание системы счисления может быть произвольным числом, даже дробным.

В цифровой технике применяются десятичная, двоичная, восьмиричная и шестнадцатиричная система счисления. Соответствие чисел в этих системах представлено в таблице 1.1.

Таблица 1.1

Натуральный ряд в различных системах счисления

Система счисления	Код числа									
	0	1	2	3	4	5	6	7	8	9
Десятичная	0	1	2	3	4	5	6	7	8	9
Двоичная	0	1	10	11	100	101	110	111	1000	1001
Восьмиричная	0	1	2	3	4	5	6	7	10	11
Шестнадцатиричная	0	1	2	3	4	5	6	7	8	9
Десятичная	10	11	12	13	14	15	16	17	18	19
Двоичная	1010	1011	1100	1101	1110	1111	10000	10001	10010	10011
Восьмиричная	12	13	14	15	16	17	20	21	22	23
Шестнадцатиричная	A	B	C	D	E	F	10	11	12	13

В двоичной системе счисления алфавит содержит два символа $\{0, 1\}$. С их помощью записываются все слова (числа). При использовании n разрядов можно записать 2^n различных наборов двоичных комбинаций чисел (слов).

Переход из одной системы счисления в другую осуществляется в соответствии с (1.1). Например,

$$101_2 = 1 \cdot 2^2 + 0 \cdot 2^1 + 1 \cdot 2^0 = 4 + 1 = 5_{10},$$

$$101_2 = 5_{10}.$$

Математической основой работы цифровых устройств в двоичной системе счисления является алгебра логики или булева алгебра. Ее разработал в середине XIX века ирландский математик Дж. Буль.

Булева алгебра оперирует с переменными, принимающими только два значения: событие истинно и событие ложно. В двоичной системе этим понятиям ставят в соответствие две цифры алфавита: логическая единица (событие истинно) и логический ноль (событие ложно). Двоичный алфавит содержит только два символа, следовательно, не только входные переменные, но и выходные значения функции могут принимать только два значения. Функции двоичных переменных называют также булевыми функциями, функциями алгебры логики, переключательными функциями.

Любые процессы и преобразования цифровой информации, какими бы сложными они ни были, в итоге сводятся к простейшим операциям с логическими переменными 1 и 0. Устройства, предназначенные для формирования функций алгебры логики, называются логическими устройствами. Они имеют два стабильных состояния. Одному состоянию ставят в соответствие логическую единицу. Чаще всего это высокий уровень напряжения. Другому состоянию ставят в соответствие логический 0 — низкий уровень напряжения.

Описывают работу цифровых устройств с помощью теории автоматов.

Теория автоматов — раздел теории управляющих систем, изучающий математические модели преобразователей дискретной информации.

1. Логические основы цифровой техники

Для описания цифровых автоматов используют две модели: абстрактную и структурную.

Абстрактная модель используется при теоретическом рассмотрении. Цифровой автомат в абстрактной модели представляется тремя алфавитами и двумя характеристическими функциями (рис. 1.1):

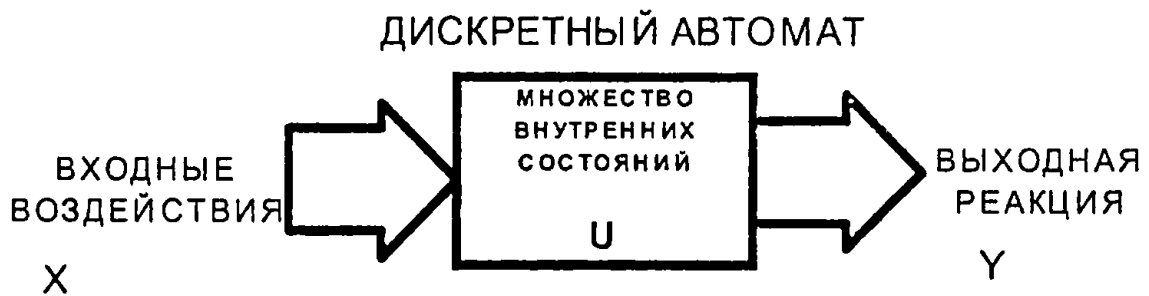


Рис. 1.1

Входной алфавит $X = \{x_1, x_2, \dots, x_n\}$, выходной алфавит $Y = \{y_1, y_2, \dots, y_m\}$ и множество внутренних состояний $U = \{u_1, u_2, \dots, u_k\}$ являются конечными, поэтому абстрактный автомат называют конечным.

Функция переходов $\Phi(U, X)$ устанавливает взаимосвязь «входное слово — внутреннее состояние» и отображает множество $X \times U$ в U .

Функция выходов $\Psi(U, X, Y)$ связывает пару «выходное слово — внутреннее состояние» и отображает множество $X \times U$ в Y .

Следовательно, дискретный автомат полностью описывается конечным множеством $A = \{X, U, Y, \Phi, \Psi\}$ входного и выходного алфавитов, внутреннего состояния, функциями переходов и выходов. Дискретные (цифровые) автоматы функционируют в дискретное время и осуществляют преобразование дискретной информации.

Структурная модель служит для построения схемы конечного дискретного автомата из логических элементов.

При построении структурных схем цифровых систем для учета технических особенностей логических устройств

используются три модели: 1) логическая модель; 2) модель с временными задержками; 3) модель с учетом электрических параметров и характеристик.

Логическая модель основана только на теоретических положениях алгебры логики. Она с достаточной точностью описывает работу цифровых устройств с относительно невысоким быстродействием и справедлива примерно в 20% случаев разработки устройств. Учет задержки срабатывания во второй модели и переходных процессов необходим для определения конкурирующих ситуаций и исключения ложных срабатываний, появления комбинаций сигналов, не соответствующих работе цифрового устройства. Третью модель надо применять при расчете сложных схем, когда к выходу одного элемента подключается множество входов других элементов, учитываются потребляемая мощность, ток, изменение уровней логических 0 и 1, особенности работы при передаче сигналов в линии связи.

Логические (цифровые) устройства классифицируются по различным признакам.

По способу ввода-вывода информации: последовательные, параллельные и последовательно-параллельные (смешанные).

В последовательном устройстве входные и выходные символы подаются на вход и снимаются с выхода не одновременно, а последовательно, разряд за разрядом.

В параллельных устройствах все разряды входных переменных подаются на входы, а все разряды выходных переменных снимаются с выходов одновременно. Число входов и выходов определяется разрядностью входных и выходных слов.

В последовательно-параллельных устройствах входные и выходные переменные могут представляться в различных формах. На вход поступают в последовательном виде, а с выхода снимаются в параллельном, либо наоборот.

1. Логические основы цифровой техники

По способу функционирования логические устройства делятся на два класса: комбинационные и последовательностные.

В комбинационных устройствах (автоматах без памяти) выходное слово зависит только от входной комбинации входных символов, действующих в данный момент, и не зависит от предыдущего состояния, предыдущих входных сигналов. Комбинационные устройства лишены памяти, не хранят информации.

В последовательностных устройствах (автоматах с памятью) выходное слово зависит не только от текущего входного слова в данный момент времени, но и от предшествующего внутреннего состояния, т. е. от всей последовательности пришедших входных сигналов. Последовательностные устройства хранят сведения о прошлом работы устройства, значит, обладают памятью.

По объему памяти цифровые устройства классифицируются:

- ♦ без памяти (комбинационные устройства);
- ♦ с конечной памятью;
- ♦ с бесконечной памятью.

Автоматы с бесконечной памятью являются идеализацией. Таких автоматов не существует. Однако данная модель является удобной, позволяет существенно упростить расчеты и анализ работы цифрового устройства в случаях, когда объем памяти велик, и по условиям задачи заранее ясно, что объем памяти не может быть переполнен.

В зависимости от способа формирования выходного сигнала различают автоматы Мура и автоматы Мили.

В автоматах Мура выходной сигнал Y не зависит от входного слова X , а зависит только от внутреннего состояния U в данный момент времени

$$\begin{aligned}U(t+1) &= \Phi(U(t), X(t)); \\ Y(t) &= \Psi(U(t)).\end{aligned}\tag{1.2}$$

В автоматах Мили выходной сигнал Y определяется и внутренним состоянием автомата U , и входным словом X

$$\begin{aligned}U(t+1) &= \Phi(U(t), X(t)); \\ Y(t) &= \Psi(U(t), X(t)).\end{aligned}\quad (1.3)$$

При табличном способе задания закона функционирования автомат Мили представляется таблицей переходов и таблицей выходов. Поскольку в автомате Мура выходной сигнал не зависит явно от входного сигнала, а только от внутреннего состояния, то автомат Мура задается таблицей переходов. В общем случае переход автомата из одного внутреннего состояния в следующее происходит под действием входных сигналов.

1.2. Логические функции

Функция $f(x_0, x_1, \dots, x_n)$ называется логической (булевой), если ее аргументы x_0, x_1, \dots, x_n и значения функции могут принимать только два значения: логического 0 и логической 1.

Для задания функции алгебры логики, как и любой другой функции необходимо поставить в соответствие значения функции для всех возможных комбинаций входных аргументов. Если число аргументов функции равно n , то число различных сочетаний (наборов) значений аргументов составляет 2^n , а число различных функций n аргументов 2^{2^n} . Так при $n = 1$ число функций $2^2 = 4$, при $n = 2$ число функций $2^4 = 16$, при $n = 3$ число функций $2^8 = 512$.

Способы задания логических функций:

1. Словесный. Взаимосвязь значений функции и ее аргументов описывается словесной формулировкой.

2. Табличный. При табличном способе строится таблица истинности, в которой приводятся все возможные сочетания значений аргументов и соответствующие значе-

ния логической функции. Так как число таких сочетаний конечно, таблица истинности позволяет определять значение функции для любых значений аргументов. В отличие от таблиц математических функций, которые позволяют задавать значения функции не для всех, а лишь для некоторых значений аргументов.

3. Цифровой. Функцию алгебры логики определяют в виде последовательности десятичных чисел. При этом последовательно расписывают эквиваленты двоичных кодов, которые соответствуют единичным либо нулевым значениям функции.

4. Аналитический. Функция алгебры логики записывается в виде аналитического выражения, где показаны логические операции, выполняемые над аргументами функции.

Логические функции одной переменной

Существует 4 функции одной переменной.

Таблица 1.2

Таблица истинности для функций одной переменной

Аргумент x	функции			
	f_0	f_1	f_2	f_3
0	0	0	1	1
1	0	1	0	1

Функции одного аргумента имеют следующие аналитические записи и названия

$f_0(x) = 0$ — константа нуля;

$f_1(x) = x$ — повторение x ;

$f_2(x) = \bar{x}$ — отрицание x , НЕ, инверсия, читается «не x »;

$f_3(x) = 1$ — константа единицы.

Функции одной переменной f_0 , f_1 , f_3 не представляют интереса с точки зрения технической реализации. Практически применяется только функция $f_2(x) = \bar{x}$ — инверсия.

Логические функции двух переменных

Существует 16 функций двух переменных.

Таблица 1.3

Таблица истинности для функций двух переменных

аргументы		функции															
x_1	x_2	f_0	f_1	f_2	f_3	f_4	f_5	f_6	f_7	f_8	f_9	f_{10}	f_{11}	f_{12}	f_{13}	f_{14}	f_{15}
0	0	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1
0	1	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1
1	0	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1
1	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1

Функции двух переменных имеют следующие аналитические записи и названия:

$f_0(x_1, x_2) = 0$ — константа нуля;

$f_1(x_1, x_2) = x_1 x_2 = x_1 \wedge x_2 = x_1 \& x_2$ — логическое умножение, конъюнкция, лог. И;

$f_2(x_1, x_2) = x_1 \Delta x_2$ — x_1 запрет по x_2 ; x_1 , но не x_2 ;

$f_3(x_1, x_2) = x_1$ — повторение x_1 ;

$f_4(x_1, x_2) = x_2 \Delta x_1$ — x_2 запрет по x_1 ; x_2 , но не x_1 ;

$f_5(x_1, x_2) = x_2$ — повторение x_2 ;

$f_6(x_1, x_2) = x_1 \oplus x_2$ — сложение по модулю 2, неравнозначность, исключающее ИЛИ;

$f_7(x_1, x_2) = x_1 + x_2 = x_1 \vee x_2$ — логическое сложение, дизъюнкция, лог. ИЛИ;

$f_8(x_1, x_2) = x_1 \vee x_2 = x_1 \downarrow x_2$ стрелка Пирса, отрицание ИЛИ; ИЛИ-НЕ;

$f_9(x_1, x_2) = x_1 \leftrightarrow x_2$ — равнозначность, эквивалентность, исключающее ИЛИ-НЕ;

$f_{10}(x_1, x_2) = \bar{x}_2$ — отрицание x_2 ;

$f_{11}(x_1, x_2) = x_1 \rightarrow x_2 = x_1 \supset x_2$ — импликация; если x_2 , то x_1 ;

$f_{12}(x_1, x_2) = \bar{x}_1$ — отрицание x_1 ;

$f_{13}(x_1, x_2) = x_1 \rightarrow x_2 = x_2 \supset x_1$ — импликация; если x_1 , то x_2 ; x_1 влечет x_2 ; x_1 имплицирует x_2 ;

$f_{14}(x_1, x_2) = x_1 | x_2 = x_1 x_2$ — штрих Шеффера, отрицание И; И-НЕ;

1. Логические основы цифровой техники

$f_{15}(x_1, x_2) = 1$ — константа 1.

Из функций двух переменных не имеют практического интереса f_0 (константа 0), f_3 (повторение x_1), f_5 (повторение x_2), f_{15} (константа 1).

Приведем словесное описание некоторых функций.

Логическое сложение. Дизъюнкция. Функция ИЛИ принимает единичное значение, когда хотя бы один из аргументов ИЛИ x_1 , ИЛИ x_2 равен единице.

Логическое умножение. Конъюнкция. Функция И принимает единичное значение, когда одновременно обе переменные И x_1 , И x_2 равны единице.

Инверсия. Функция НЕ принимает значения, противоположные аргументу x .

Цифровую форму представления логической функции рассмотрим на примере функции f_6 , которая принимает единичные значения на наборах входных переменных (x_1, x_2) в двоичном коде 01, 10, что соответствует десятичному эквиваленту 1; 2:

$$f_6(x_1, x_2) = \sum(1, 2) = \vee(1, 2). \quad (1.4)$$

Функция f_6 принимает нулевые значения на наборах входных переменных (x_1, x_2) в двоичном коде 00, 11. Это соответствует в десятичном коде 0; 3:

$$f_6(x_1, x_2) = \prod(0, 3) = \wedge(0, 3).$$

Логические функции одной и двух переменных называются элементарными. Они предполагают проведение только одной логической операции.

В цифровых устройствах техническую реализацию логических функций осуществляют логические элементы. Условные графические обозначения (УГО) наиболее распространенных элементов НЕ, И, ИЛИ, И-НЕ, ИЛИ-НЕ, исключающее ИЛИ, исключающее ИЛИ-НЕ показаны на рис. 1.2.

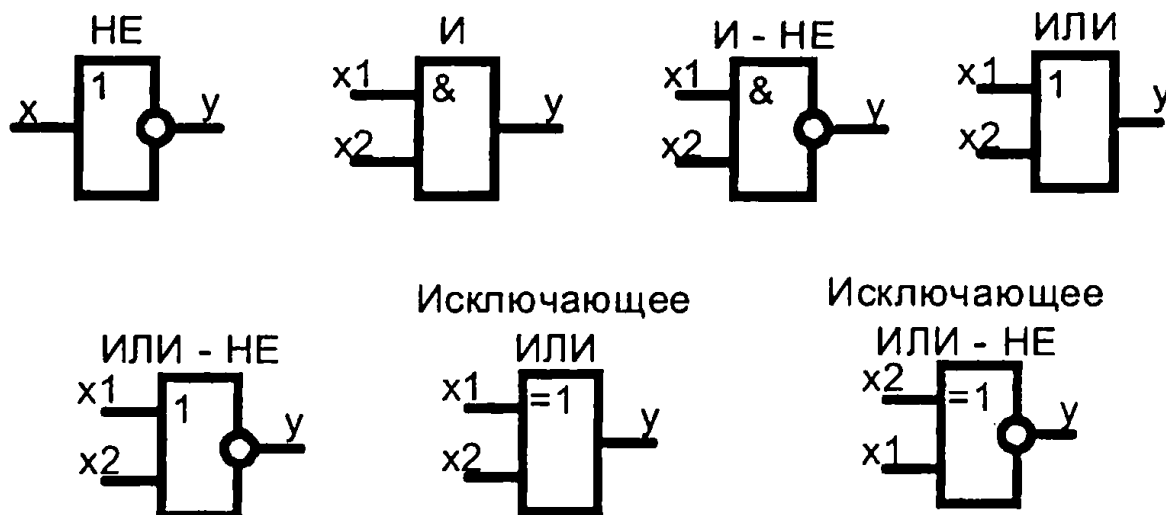


Рис. 1.2

УГО элементов цифровой техники строят на основе прямоугольника. Функциональное назначение указывают в верхней части основного поля. Входы изображают слева, они помечены буквами x , выходы y — справа. Инверсные входы либо инверсные выходы обозначают кружочком.

В зарубежной литературе принято логические элементы обозначать в другом виде (рис. 1.3).

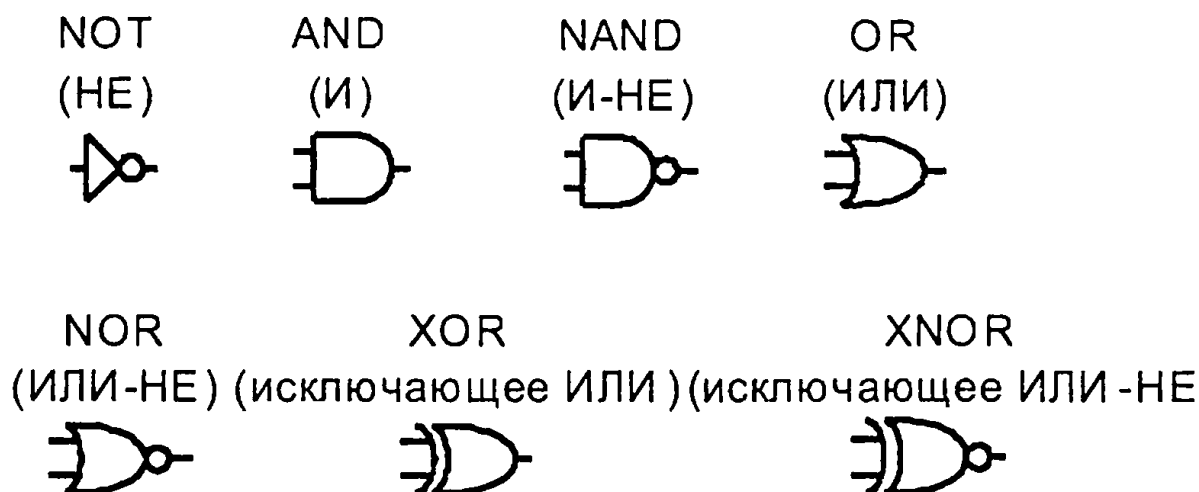


Рис. 1.3

Практика показала нецелесообразность выпуска логических элементов, реализующих все возможные логические функции. Тем более, что с ростом числа переменных

число логических функций сильно возрастает. В дальнейшем будет показано, каким образом можно реализовать любую сложную логическую функцию, используя ограниченный набор элементарных логических функций.

1.3. Тождества алгебры логики

Для математических сложных выражений устанавливается определенный порядок их расчета. В алгебре логики сложные логические выражения выполняются в следующей последовательности:

- 1) инверсия;
- 2) конъюнкция;
- 3) дизъюнкция.

Если необходимо изменить последовательность операций, то используются скобки. Операции в скобках выполняются в первую очередь. Если одни скобки вложены в другие, то вначале выполняются операции во внутренних скобках.

Над логическими выражениями производят тождественные преобразования с использованием законов булевой алгебры.

Две функции являются эквивалентными, если они принимают одинаковые значения на одних и тех же наборах входных переменных.

Две эквивалентные функции, приравненные друг к другу, называются тождеством.

Законы булевой алгебры

1. Переместительный закон (аналогично обычной алгебре):

— для дизъюнкции

$$a \vee b = b \vee a; \quad (1.5)$$

— для конъюнкции

$$a \cdot b = b \cdot a; \quad (1.6)$$

От перемены мест логических слагаемых (сомножителей) их логическая сумма (логическое произведение) не меняется.

2. Сочетательный закон (аналогично обычной алгебре):

— для дизъюнкции

$$a \vee (b \vee c) = (a \vee b) \vee c; \quad (1.7)$$

— для конъюнкции

$$a \cdot (bc) = (ab) \cdot c. \quad (1.8)$$

Можно различным образом группировать логические переменные при выполнении операции конъюнкции (дизъюнкции) при этом значение булевой переключательной функции не изменяется.

3. Распределительный закон

— для конъюнкции

$$a(b \vee c) = ab \vee ac, \quad (1.9)$$

конъюнкция переменной и дизъюнкции эквивалентна дизъюнкции конъюнкций;

— для дизъюнкции

$$a \vee bc = (a \vee b)(a \vee c); \quad (1.10)$$

дизъюнкция переменной и конъюнкции равносильна конъюнкции дизъюнкций этой переменной с сомножителями.

Справедливость распределительного закона для дизъюнкции докажем с помощью таблицы истинности

Таблица 1.4

**Таблица истинности распределительного закона
для дизъюнкции**

<i>a</i>	0	0	0	0	1	1	1	1
<i>b</i>	0	0	1	1	0	0	1	1
<i>c</i>	0	1	0	1	0	1	0	1
<i>bc</i>	0	0	0	1	0	0	0	1
<i>a ∨ bc</i>	0	0	0	1	1	1	1	1
<i>a ∨ b</i>	0	0	1	1	1	1	1	1
<i>a ∨ c</i>	0	1	0	1	1	1	1	1
<i>(a ∨ b)(a ∨ c)</i>	0	0	0	1	1	1	1	1

1. Логические основы цифровой техники

Значения выражения $(a \vee bc)$ и выражения $(a \vee b)(a \vee c)$ совпадают для одинаковых наборов переменных. Справедливость доказана.

4. Закон инверсии. Закон де Моргана.

— для дизъюнкции

$$\overline{a \vee b} = \bar{a} \cdot \bar{b}; \quad (1.11)$$

отрицание дизъюнкции логических переменных эквивалентно конъюнкции отрицаний этих переменных;

— для конъюнкции

$$\overline{ab} = \bar{a} \vee \bar{b}; \quad (1.12)$$

отрицание конъюнкции переменных эквивалентно дизъюнкции отрицаний этих переменных.

Справедливость законов отрицания (де Моргана) докажем с помощью таблиц истинности.

Таблица 1.5

Закон отрицания (де Моргана) для дизъюнкции

a	b	$a \vee b$	$\overline{a \vee b}$	\bar{a}	\bar{b}	$\bar{a} \cdot \bar{b}$
0	0	0	1	1	1	1
0	1	1	0	1	0	0
1	0	1	0	0	1	0
1	1	1	0	0	0	0

Таблица 1.6

Закон отрицания (де Моргана) для конъюнкции

a	b	ab	\overline{ab}	\bar{a}	\bar{b}	$\bar{a} \vee \bar{b}$
0	0	0	1	1	1	1
0	1	0	1	1	0	1
1	0	0	1	0	1	1
1	1	1	0	0	0	0

Таблицы 1.5; 1.6 показывают, что на одинаковых наборах переменных значения функций совпадают. Законы де Моргана доказаны.

5. Законы повторения

— для дизъюнкции

$$a \vee a \vee a \vee a \vee \dots \vee a = a; \quad (1.13)$$

— для конъюнкции

$$\dot{a} \dot{a} \dot{a} \dot{a} \dots \dot{a} = \dot{a}. \quad (1.14)$$

Множественное логическое сложение (логическое умножение) одной переменной равно самой этой переменной.

Законы повторения булевой алгебры существенно отличаются от законов повторения обычной алгебры.

6. Закон двойного отрицания

$$\bar{\bar{a}} = a. \quad (1.15)$$

Двойное отрицание логической переменной равно самой логической переменной.

7. Соотношения с нулем и единицей

$$\begin{aligned} a \vee 0 &= a; & a \cdot 0 &= 0; \\ a \vee 1 &= 1; & a \cdot 1 &= a; \\ a \vee \bar{a} &= 1; & a \cdot \bar{a} &= 0. \end{aligned} \quad (1.16)$$

8. Закон склеивания:

$$(a \vee b)(a \vee \bar{b}) = a; \quad (1.17)$$

$$ab \vee a\bar{b} = a. \quad (1.18)$$

Докажем законы склеивания эквивалентными преобразованиями

$$\begin{aligned} ab \vee a\bar{b} &= a(b \vee \bar{b}) = a \cdot 1 = a; \\ (a \vee b)(a \vee \bar{b}) &= a \vee b \cdot \bar{b} = a \vee 0 = a. \end{aligned}$$

9. Законы поглощения

$$a(a \vee b) = a; \quad a \vee ab = a; \quad (1.19), (1.20)$$

$$a(\bar{a} \vee b) = ab; \quad a \vee \bar{a}b = a \vee b. \quad (1.21), (1.22)$$

Приведем доказательства законов поглощения

$$\begin{aligned} a(a \vee b) &= aa \vee ab = a \vee ab = a(1 \vee b) = a \cdot 1 = a; \\ a(\bar{a} \vee b) &= a\bar{a} \vee ab = 0 \vee ab = ab; \\ a \vee ab &= a(1 \vee b) = a; \\ a \vee \bar{a}b &= a(1 \vee b) \vee \bar{a}b = a \vee ab \vee \bar{a}b = a \vee (a \vee \bar{a})b = a \vee b. \end{aligned}$$

10. Умножение и сложение переменной и функции

$$a \vee f(a, b, c, \dots) = a \vee f(0, b, c, \dots); \quad (1.23)$$

$$a \cdot f(a, b, c, \dots) = a \cdot f(1, b, c, \dots). \quad (1.24)$$

Соотношения (1.23), (1.24) позволяют существенно упростить техническую реализацию логического устройства, заменить переменную некоторой константой: логической 1 либо логическим 0.

Правила алгебры логики позволяют преобразовать логическую функцию к виду, удобному для реализации в виде логического устройства.

Например, задана функция

$$y = \bar{a} \cdot b \cdot c \vee a \cdot b \cdot \bar{c} \vee a \cdot b \cdot c. \quad (1.25)$$

Для реализации функции в данном виде требуется два инвертора НЕ, три трехходовых элемента ЗИ, один трехходовый элемент ЗИЛИ (рис. 1.4, а).

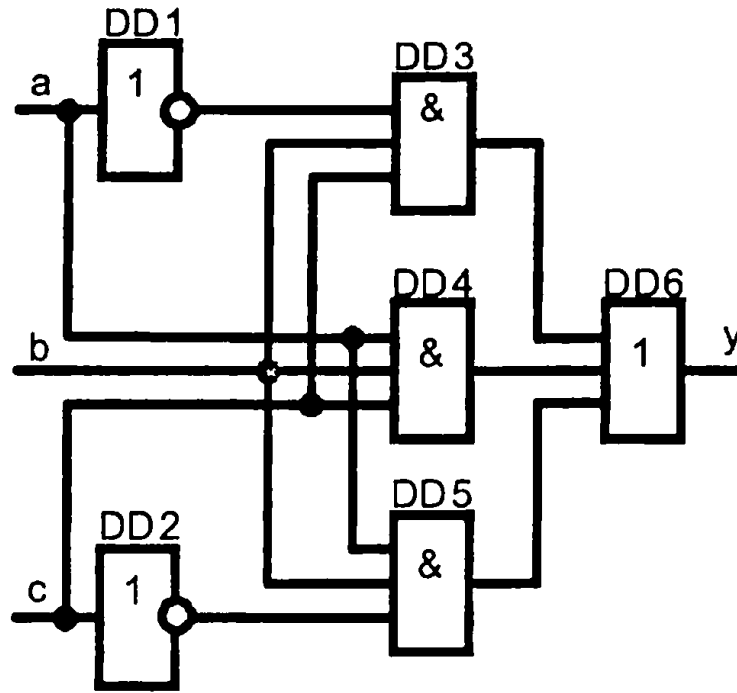
Проведем эквивалентные преобразования на основании правил (1.9), (1.16), (1.22)

$$\begin{aligned} y &= \bar{a}bc \vee ab\bar{c} \vee abc = \bar{a}bc \vee ab(\bar{c} \vee c) = \\ &= \bar{a}bc \vee ab = b(\bar{a}c \vee a) = b(a \vee c). \end{aligned} \quad (1.26)$$

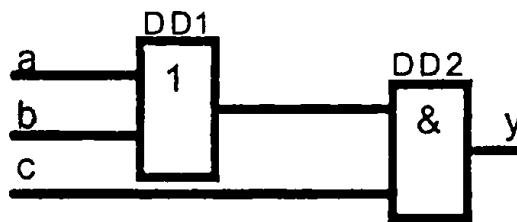
Очевидно, что после преобразования функция (1.25) значительно упростилась (1.26). Для ее реализации достаточно иметь один двухходовый элемент 2И, один двухходовый элемент 2ИЛИ (рис. 1.4, б). Обе схемы (рис. 1.4, а, б) позволяют реализовать одну и ту же функцию y .

При рассмотрении законов булевой алгебры использовались только три элементарные функции (НЕ, И, ИЛИ). Всего же существует 4 функции одной переменной и 16 функций двух переменных. Ранее отмечалось, что с помощью элементарных функций можно построить любую сложную логическую функцию.

Функционально полная система (базис) — совокупность логических элементов, которая позволяет реализовать любую логическую схему произвольной сложности.



a)



б)

Рис. 1.4

Для построения сложной логической функции нет необходимости использовать все элементарные функции. Допустимо ограничить набор элементарных функций, исключая из него те элементы, которые можно выразить через другие. Последовательно исключая из базиса функции, получают минимальный базис. Под минимальным базисом понимают такой набор функций, исключение из которого любой функции превращает полную систему в неполную.

Возможны различные базисы, отличающиеся друг от друга числом входящих в них функций и видом этих функций. Выбор того или иного базиса для построения логи-

ческих устройств обусловлен тем, насколько экономически удобно и просто выполнить элементы, технически реализующие входящие в базис функции, и все логическое устройство в целом.

Через три логические функции инверсии (НЕ), конъюнкции (И), дизъюнкции (ИЛИ) можно выразить любую элементарную функцию и построить любое сложное логическое устройство. Набор из трех функций (НЕ, И, ИЛИ) является базисом. Однако, базис (НЕ, И, ИЛИ) не является минимальным. Из него можно исключить одну из функций И либо ИЛИ. Наборы (НЕ, И), а также (НЕ, ИЛИ) из двух функций служат базисами. Действительно функцию И можно реализовать через функции (НЕ, ИЛИ):

$$a \cdot b = \overline{\overline{a \cdot b}} = \overline{\overline{a} \vee \overline{b}},$$

Функцию ИЛИ можно реализовать через функции (НЕ, И):

$$a \vee b = \overline{\overline{a \vee b}} = \overline{\overline{a} \cdot \overline{b}}.$$

Ограничиваясь базисами (НЕ, И); (НЕ, ИЛИ) для выполнения исключенной одной операции требуется проводить дополнительно три операции НЕ, что экономически нецелесообразно. Поэтому на практике часто используют неминимальный базис трех функций (НЕ, И, ИЛИ).

Довольно удобно технически реализуются на микросхемах логические элементы, совмещающие в себе указанные функции. Удобство объясняется тем, что транзистор инвертирует фазу входного сигнала, изменяет ее на 180° . Это элементы И-НЕ (штрих Шеффера) и ИЛИ-НЕ (стрелка Пирса).

Каждый из элементов (И-НЕ), (ИЛИ-НЕ) в отдельности является функционально полным базисом, позволяет синтезировать любое сколь угодно сложное устройство. Рассмотрим реализацию функций НЕ, И, ИЛИ в базисе (ИЛИ-НЕ)

$$\begin{aligned} \bar{x} &= x \vee x; \\ x_1 x_2 &= \overline{\overline{x_1 x_2}} = \overline{\overline{x_1} \vee \overline{x_2}}; \\ x_1 \vee x_2 &= \overline{\overline{x_1 \vee x_2}} = \overline{\overline{x_1} x_2}. \end{aligned} \tag{1.27}$$

Для инверсии необходимо подать входной сигнал на оба входа. Для конъюнкции — сначала инвертировать входные сигналы, а затем применить операцию ИЛИ-НЕ. Для дизъюнкции — провести операцию ИЛИ-НЕ, после чего инвертировать полученный результат (рис. 1.5).

В базисе (И-НЕ) функции НЕ, И, ИЛИ получают следующим образом:

$$\begin{aligned} \bar{x} &= \overline{xx}; \\ x_1 \vee x_2 &= \overline{\overline{x_1 \vee x_2}} = \overline{\overline{x_1} x_2}; \\ x_1 x_2 &= \overline{\overline{x_1 x_2}} = \overline{x_1 \vee x_2}. \end{aligned} \tag{1.28}$$

Легко заметить, что формулы (1.27), (1.28) подобны. Их схемное решение показано на рис. 1.5.

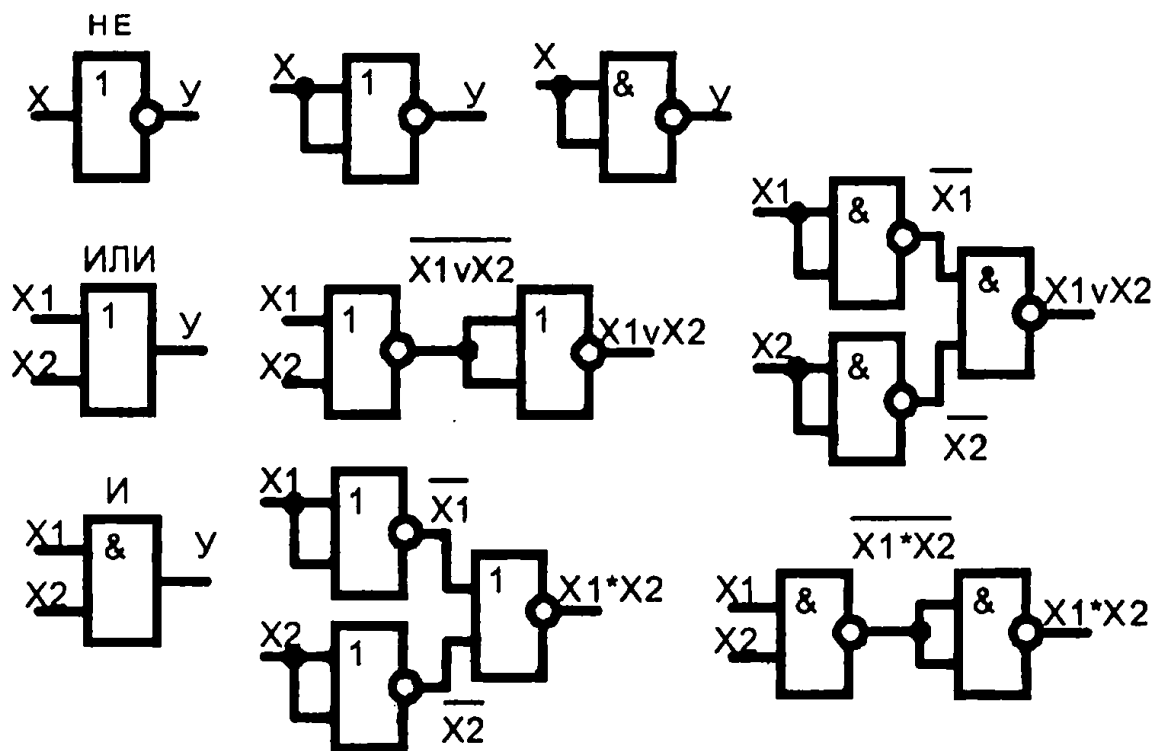


Рис. 1.5

1. Логические основы цифровой техники

Привлекательность базисов из одной логической функции (И-НЕ) либо (ИЛИ-НЕ) заключается в том, что все логическое устройство построено только на однотипных логических элементах. Получаем логическую схему, которая обладает регулярной структурой. Необходимо только осуществить коммутацию одинаковых логических элементов. Базисы на логических элементах (И-НЕ), (ИЛИ-НЕ) широко используются при проектировании устройств, удобны для реализации в больших интегральных схемах. Уменьшение номенклатуры до одного типа, таким образом, облегчает проектирование устройств. Дополнительные инверторы на входах улучшают нагрузочную способность и служат для формирования сигналов лог. 1 и лог. 0 достаточного уровня.

Промышленностью выпускаются стандартные микросхемы логических элементов с заданным числом входов: 2, 3, 4 либо 8 входов. Разработчики обычно имеют возможность выбирать ЛЭ с требуемым числом входов. Но могут возникать ситуации, когда реальное число входов заданных логических элементов не соответствует числу переменных в рассчитанных логических функциях. Например, невозможно подобрать одну микросхему, если число входов логической функции равно пяти. В ряде случаев проектировщику накладываются ограничения на используемые логические элементы. Например, только двухвходовые элементы 2И-НЕ.

Возникает одна из следующих ситуаций:

- а) число входов логического элемента больше числа переменных;
- б) число входов логического элемента меньше числа переменных.

В этих случаях необходимо провести эквивалентные преобразования на основе тождеств алгебры логики и воспользоваться понятием активного и пассивного логического уровней.

Активным логическим уровнем называется такое значение входной переменной, действующей на одном из входов, которое однозначно определяет логический уровень на входе независимо от сигналов, действующих на других входах.

Уровень логического нуля на одном (любом) входе элемента И-НЕ приводит к тому, что на выходе устанавливается лог. 1 независимо от других входов.

Уровень логической единицы на любом входе элемента ИЛИ-НЕ однозначно устанавливает на выходе логический ноль, независимо от других входов.

Логическая единица является активным уровнем также для схемы ИЛИ (на выходе устанавливается логическая 1), а логический ноль является активным для схемы И (на выходе устанавливается логический 0).

Уровни, обратные активным, называются пассивными. Они не оказывают влияния на работу логического элемента. Выходной сигнал тогда зависит от переменных на других входах.

Если число входов логического элемента (ЛЭ) больше требуемого, то неиспользуемые входы можно подключить к используемым согласно законам повторения (1.13), (1.14), либо подать на неиспользуемые входы сигналы пассивного уровня, согласно соотношениям с нулем и единицей (1.16).

Для формирования инверторов из схем 2И-НЕ, 2ИЛИ-НЕ получаем:

— соединение входов

$$\overline{x \vee x} = \bar{x}; \quad \overline{xx} = \bar{x}; \quad (1.29)$$

— подача пассивного уровня

$$\overline{x \vee 0} = \bar{x}; \quad \overline{x \cdot 1} = \bar{x}. \quad (1.30)$$

Для построения схем 2И-НЕ, 2И, 2ИЛИ-НЕ, 2ИЛИ на основе элементов 3И-НЕ, 3И, 3ИЛИ-НЕ, 3ИЛИ применим преобразования

$$x_1 x_2 x_2 = x_1 x_2; \quad \overline{x_1 x_2 x_2} = \overline{x_1 x_2} = x_1 | x_2; \quad (1.31)$$

1. Логические основы цифровой техники

$$x_1 \vee x_2 \vee x_2 = x_1 \vee x_2; \quad \overline{x_1 \vee x_2 \vee x_2} = \overline{x_1 \vee x_2} = x_1 \downarrow x_2; \quad (1.32)$$

$$x_1 x_2 \cdot 1 = x_1 x_2; \quad \overline{x_1 x_2 \cdot 1} = \overline{x_1 x_2} = x_1 | x_2; \quad (1.33)$$

$$x_1 \vee x_2 \vee 0 = x_1 \vee x_2; \quad \overline{x_1 \vee x_2 \vee 0} = \overline{x_1 \vee x_2} = x_1 \downarrow x_2. \quad (1.34)$$

Используя тождества (1.29) — (1.34) получим схемы логических элементов (рис. 1.6)

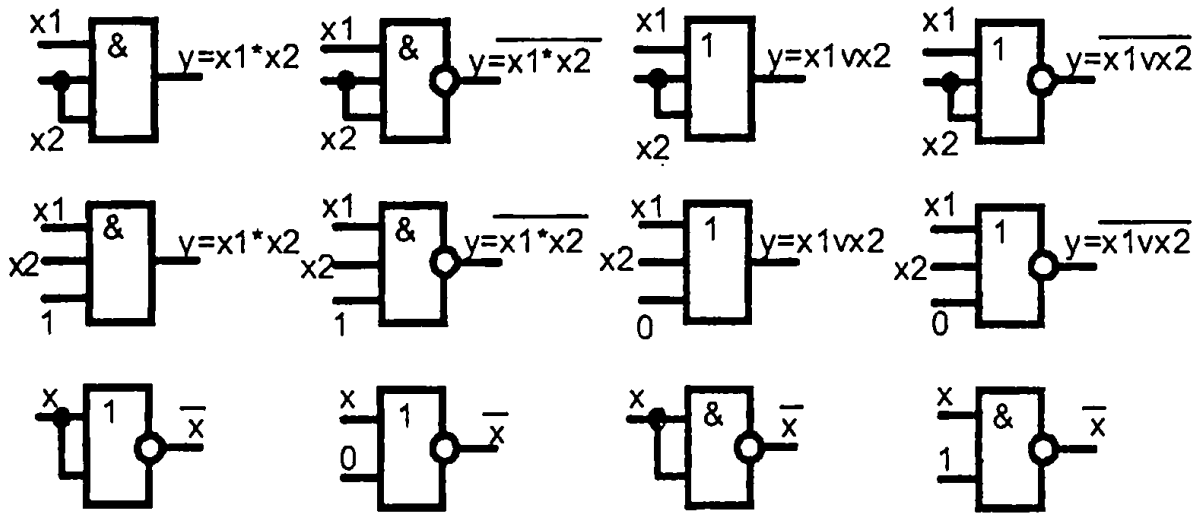


Рис. 1.6

Если входы объединить между собой (подключение неиспользуемого входа к используемому), то при этом увеличивается нагрузка на выход предыдущего элемента, снижается быстродействие логического устройства. Поэтому подача на неиспользуемый вход постоянного, пассивного логического уровня является более предпочтительным.

Для построения логического устройства на основе логических элементов с меньшим числом входов, чем число входных переменных проводят эквивалентные преобразования, в которых группируют переменные по числу входов ЛЭ в соответствии с сочетательным законом и законом инверсии.

Рассмотрим примеры реализации трехвходовых элементов с использованием двухвходовых:

— построение функции ЗИ на элементах 2И:

$$x_1 x_2 x_3 = (x_1 x_2) x_3; \quad (1.35)$$

— построение функции ЗИЛИ на элементах 2ИЛИ:

$$x_1 \vee x_2 \vee x_3 = (x_1 \vee x_2) \vee x_3; \quad (1.36)$$

— построение функции ЗИ-НЕ на элементах 2И-НЕ:

$$x_1 | x_2 | x_3 = \overline{x_1 x_2 x_3} = \overline{x_1 (x_2 x_3)} = \overline{x_1} \vee \overline{x_2 x_3} = \overline{x_1} \vee (\overline{x_2} \vee \overline{x_3}); \quad (1.37)$$

— построение функции ЗИЛИ-НЕ на элементах 2ИЛИ-НЕ:

$$x_1 \downarrow x_2 \downarrow x_3 = \overline{x_1 \vee x_2 \vee x_3} = \overline{x_1 \vee (x_2 \vee x_3)} = \overline{x_1} \wedge \overline{x_2 \vee x_3} = \overline{x_1} \wedge (\overline{x_2} \wedge \overline{x_3}) \quad (1.38)$$

Построенные схемы логических устройств в соответствии с выражениями (1.35) — (1.38) показаны на рис. 1.7.

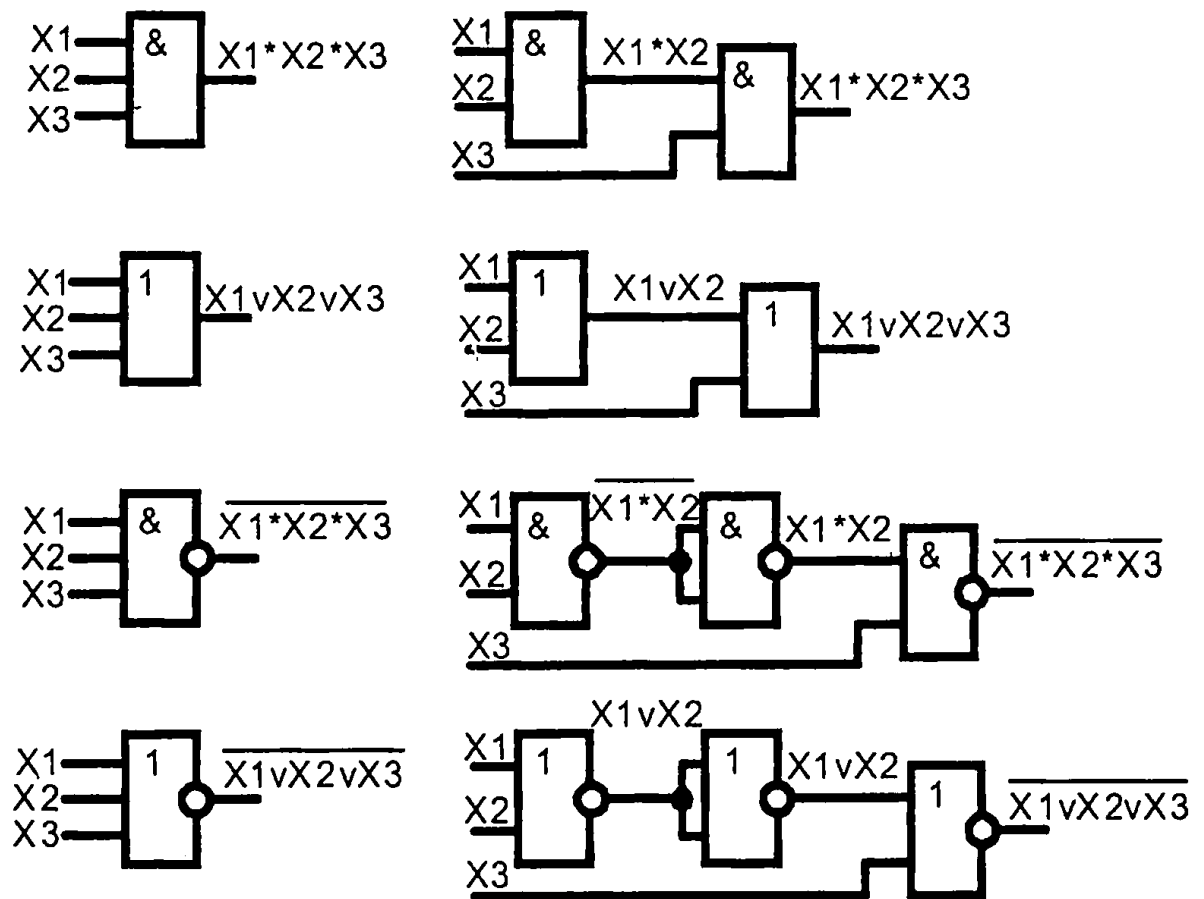


Рис. 1.7

Формулы (1.35) — (1.38) и рис. 1.7. позволяют сделать вывод, что уменьшение числа входов используемых логических элементов приводит к увеличению их количества, усложняет реализацию логического устройства.

1.4. Анализ комбинационных устройств (без памяти)

Комбинационные устройства — цифровые устройства, выходные сигналы которых зависят только от входных сигналов, действующих в текущий момент времени, и не зависят от предыдущего внутреннего состояния, предшествующих входных сигналов. Другими словами, комбинационные устройства — это устройства без памяти. Их можно представить в виде многомерного n, m — многополюсника (рис. 1.8).

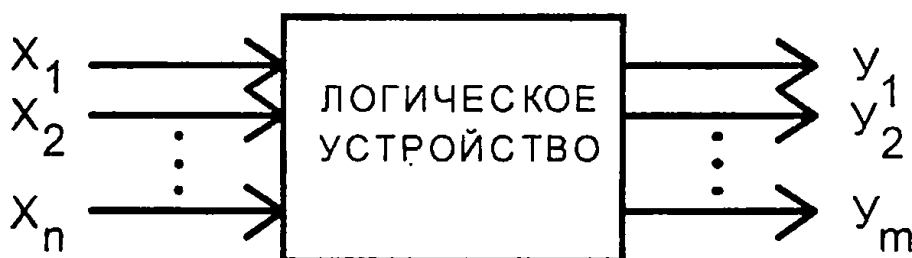


Рис. 1.8

Условия функционирования комбинационного устройства можно представить в виде системы логических функций, называемых функциями выходов

$$Y_1 = f_1(x_1, x_2, \dots, x_n); \quad (1.39)$$

$$Y_2 = f_2(x_1, x_2, \dots, x_n);$$

...

$$Y_m = f_m(x_1, x_2, \dots, x_n).$$

Задача анализа условий функционирования сводится к определению всех функций выхода дискретного устройства по известной принципиальной схеме реального устройства. Результат анализа представляется в виде функций алгебры логики и таблицы истинности. Другими словами, необходимо установить функциональную зависимость между входными переменными x_1, x_2, \dots, x_n комбинационного устройства и значениями выходных сигналов

y_1, y_2, \dots, y_m в виде формул алгебры логики или таблиц истинности.

Анализ комбинационного устройства целесообразно проводить в следующей последовательности.

1. На функциональной схеме выходы всех логических элементов (ЛЭ) обозначить символами промежуточных переменных.

2. Определить и записать функции непосредственных связей, устанавливающие зависимости выхода каждого ЛЭ от его входов на основе элементарных логических функций.

3. Путем подстановок исключить все внутренние переменные. Получить зависимости выходов комбинационного устройства y_1, \dots, y_m от его входов x_1, \dots, x_n с использованием тождеств и соотношений алгебры логики.

4. Составить таблицу истинности.

5. Представить результаты анализа в удобной для пользователя форме.

Последний пятый пункт алгоритма анализа в общем случае уже является переходом к задаче синтеза комбинационного устройства.

Приведем пример анализа комбинационного устройства без памяти (рис. 1.9). Оно содержит элементы НЕ ($DD1, DD2$), И ($DD3, DD4$), ИЛИ ($DD5$), ИЛИ-НЕ ($DD6$).

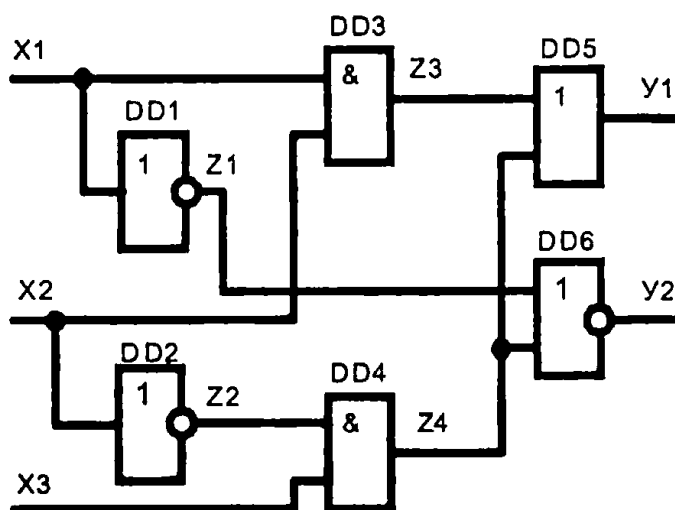


Рис. 1.9

1. Логические основы цифровой техники

Установим промежуточные переменные z_1, z_2, z_3, z_4 и запишем функции связи входов и выходов для каждого ЛЭ.

$$z_1 = \overline{x_1}; \quad z_2 = \overline{x_2}; \quad z_3 = x_1 x_2; \quad z_4 = z_2 x_3; \quad (1.40)$$

$$y_1 = z_3 \vee z_4; \quad y_2 = \overline{z_1 \vee z_4}.$$

исключим внутренние промежуточные переменные

$$\begin{aligned} y_1 &= z_3 \vee z_4 = x_1 x_2 \vee z_2 x_3 = x_1 x_2 \vee \overline{x_2} x_3; & (1.41) \\ y_2 &= \overline{z_1 \vee z_4} = \overline{x_1 \vee z_2 x_3} = \overline{x_1 \vee x_2 x_3} = \overline{x_1} \cdot \overline{x_2 x_3} = \\ &= \overline{x_1} \cdot (\overline{x_2} \vee \overline{x_3}) = \overline{x_1} x_2 \vee \overline{x_1} \cdot \overline{x_3}. \end{aligned}$$

Составим таблицу истинности (таблица 1.7)

Таблица 1.7

**Таблица истинности
комбинационного устройства (рис. 1.9)**

Входы	X_1	0	1	0	1	0	1	0	1
	X_2	0	0	1	1	0	0	1	1
	X_3	0	0	0	0	1	1	1	1
Выходы	Y_1	0	0	0	1	1	1	0	1
	Y_2	1	0	1	0	0	0	1	0

Таблицы истинности могут быть записаны в других формах, которые могут оказаться более удобными в различных случаях: карты Вейча, карты Карно и т. д. Например, при записи таблицы истинности в виде карты Карно аргументы функции (входные переменные) делятся на две группы. Комбинации значений аргументов одной группы приписываются столбцам таблицы, комбинации значений аргументов другой группы — строкам таблицы. Столбцы и строки обозначаются комбинациями, соответствующими последовательности чисел в коде Грея. В коде Грея переход от одной комбинации к другой соседней сопровождается изменением логической переменной только в одном разряде.

Таблица 1.8

Таблица кода Грея

Десятичный код	0	1	2	3
Двоичный код	00	01	10	11
Код Грея	00	01	11	10

В двоичном коде переход от 1 к 2 сопровождается изменением $01 \rightarrow 10$ логической переменной сразу в двух разрядах.

Таблицы 1.9 и 1.10 показывают карты Карно для функций трех и четырех переменных.

Таблица 1.9

Карты Карно для функции трех переменных

$x_3 \backslash x_1 x_2$	00	01	11	10
0	$f(000)$	$f(010)$	$f(110)$	$f(100)$
1	$f(001)$	$f(011)$	$f(111)$	$f(101)$

Таблица 1.10

Карта Карно для функции четырех переменных

$x_3 x_4 \backslash x_1 x_2$	00	01	11	10
00	$f(0000)$	$f(0100)$	$f(1100)$	$f(1000)$
01	$f(0001)$	$f(0101)$	$f(1101)$	$f(1001)$
11	$f(0011)$	$f(0111)$	$f(1111)$	$f(1011)$
10	$f(0010)$	$f(0110)$	$f(1110)$	$f(1010)$

При заполнении карты Карно в ее клетки заносятся значения функции $f(X)$, которые соответствуют набору переменных на пересечении столбца и строки. Запишем пример карты Карно для выхода y_1 (Таблица 1.11).

Таблица 1.11

Карта Карно для y_1 (рис. 1.9)

	x_1x_2	00	01	11	10
x_3					
	0	0	0	1(a)	0
	1	1(b)	0	1(a)	1(b)

Единичные значения функции y_1 соответствуют наборам $x_1x_2x_3 = 110, 001, 101, 111$.

Представленный алгоритм анализа справедлив при следующих допущениях:

- переход логического устройства из одного состояния в другое происходит скачкообразно (не учитывается крутизна переднего и заднего фронта сигналов);
- изменение сигналов в различных участках схемы происходит одновременно (не учитываются задержки в различных элементах схемы).

Ранее в п. 1.1. отмечались три модели логических устройств, учитывающие технические особенности логических элементов:

- 1) логическая модель;
- 2) модель с временными задержками;
- 3) модель с учетом электрических параметров и характеристик.

Для алгоритма анализа первой логической модели достаточно только знания соотношений алгебры логики. Во второй модели учитываются временные задержки логических элементов. Иначе в результате могут возникнуть ситуации, приводящие к ложным срабатываниям. Расчеты по третьей модели являются достаточно сложными, требуют анализа входных и выходных токов каждого ЛЭ. В результате этих расчетов может выясниться, что требу-

ется применение микросхем с более мощными выходами либо включение дополнительных элементов.

Причиной задержек в ЛЭ являются переходные процессы. Переходным процессом называют функционирование дискретного устройства в течение интервала времени, непосредственного следующего за моментом изменения сигналов в схеме.

Переходные процессы связаны с конечностью скорости электромагнитных процессов, протекающих в электронных цепях. Входные сигналы, проходя через комбинационную схему, испытывают временную задержку. Максимальная длительность задержки (длительность переходных процессов) определяется числом последовательных включенных ЛЭ. Временные задержки в комбинационных схемах могут привести к кратковременным сбоям, ложным срабатываниям. Рассмотрим пример (рис. 1.10)

Схема на рис. 1.10, а соответствует логическому выражению (1.16) соотношения с нулем

$$y = x\bar{x} = 0,$$

согласно которому на выходе должен быть постоянно логический ноль. Такой выходной сигнал будет при идеальных ЛЭ (рис. 1.10, б), у которых отсутствует временная задержка. Задержка распространения в элементе НЕ (*DD1*), равная $t_{зад1} = t_2 - t_1$ приводит к возникновению кратковременного импульса логической единицы (рис. 1.10, в).

Анализ влияния переходных процессов на работу комбинационных устройств проводят с помощью карт Карно:

1. Единичные клетки функции объединяются в контуры.
2. Проверяется наличие соседних единичных клеток, принадлежащих различным контурам.

3. Найденные пары клеток указывают на то, что в схеме возможны сбой либо ложные срабатывания.

1. Логические основы цифровой техники

В карте Карно (таблица 1.11) для схемы рис. 1.9 выделим два единичных контура: контур (а) для наборов $x_1x_2x_3 = (110, 111)$, контур (б) для наборов $x_1x_2x_3 = (101, 001)$. Эти два контура не пересекаются и имеют две соседние единичные клетки, соответствующие наборам 111–101.

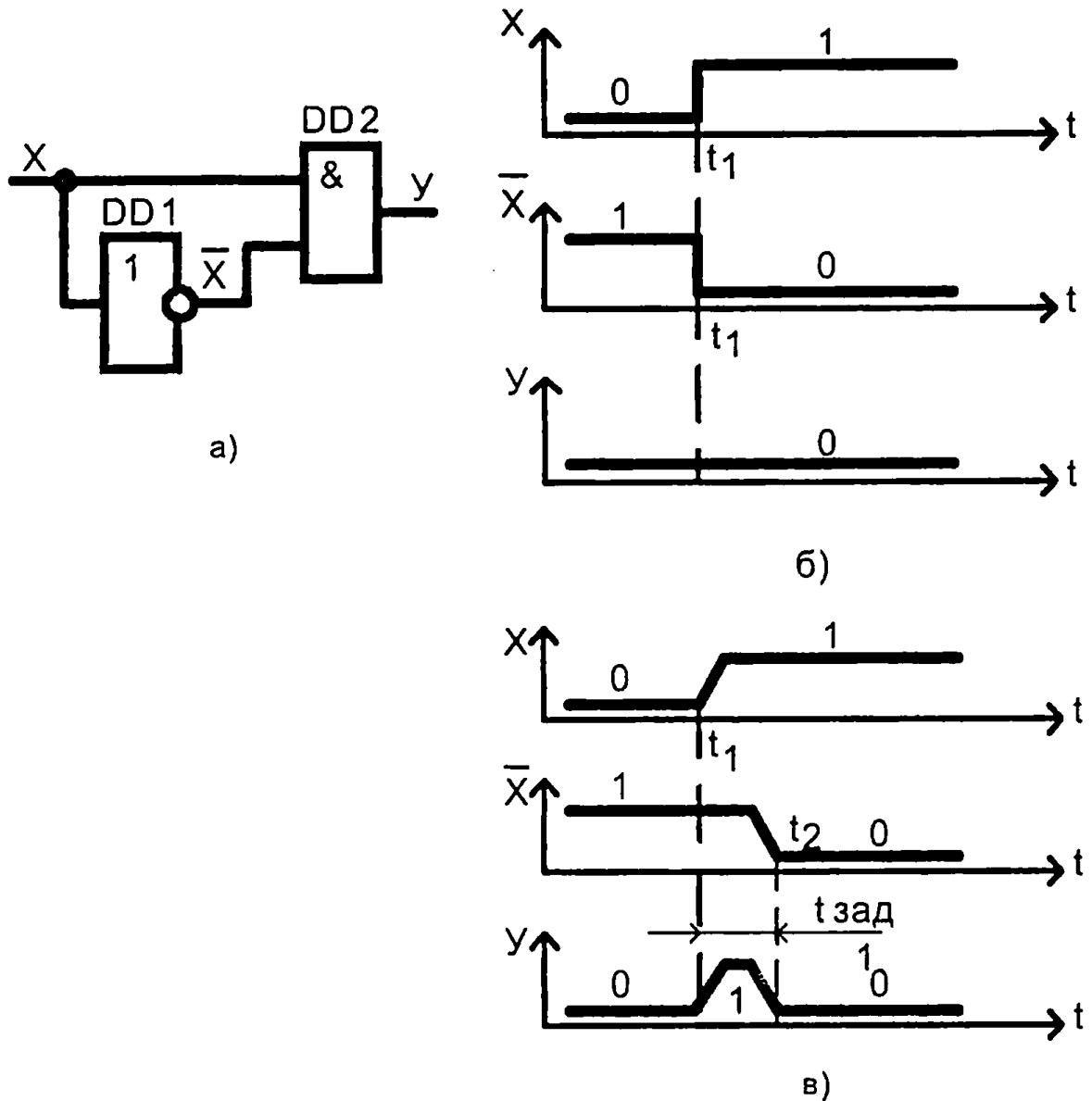


Рис. 1.10

Следовательно, при переходе $x_1x_2x_3 = 111 \rightarrow x_1x_2x_3 = 101$ возможен сбой схемы (рис. 1.11).

Согласно логике работы схемы рис. 1.11 при изменении входной комбинации $111 \rightarrow 101$ должна сохраняться

на выходе логическая единица. Однако ввиду наличия задержек в логических элементах НЕ ($DD2$) $t_{зад2} = t_2 - t_1$; И ($DD3$) $t_{зад3} = t_2 - t_1$; И ($DD4$) $t_{зад4} = t_3 - t_2$ на выходе y_1 в течение короткого интервала времени ($t_3 - t_2$) возникает ложный логический ноль. Это происходит из-за разности задержек распространения сигнала x_2 к выходу y_1 по маршрутам ($DD2-DD4-DD5$); ($DD3-DD5$).

Для исключения возможных сбоев в работе цифровых устройств используются два пути:

1. Введение дополнительных элементов, задерживающих сигнал.

2. Запрещение работы схемы (либо ее части) на время переходных процессов.

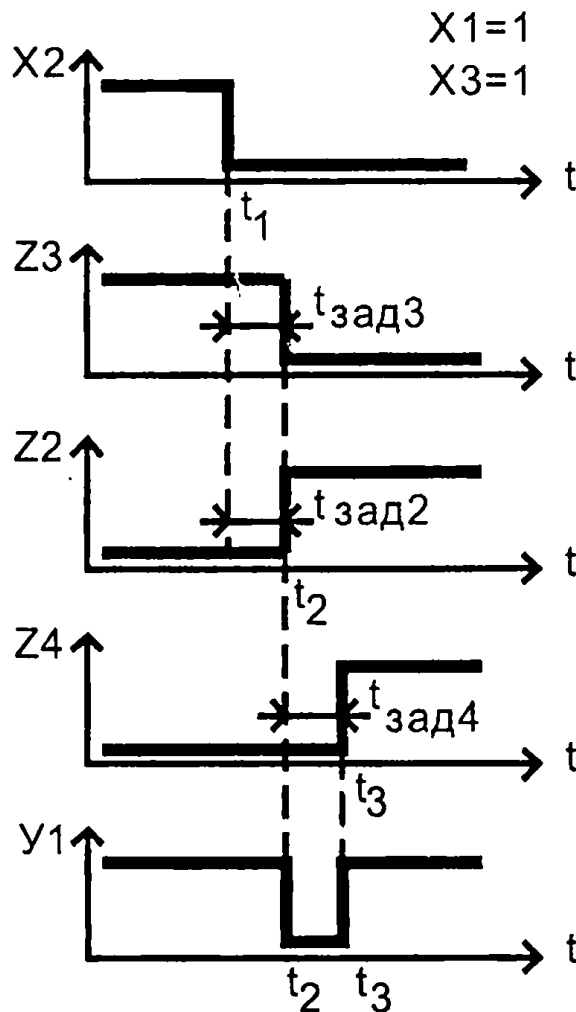


Рис. 1.11

Таким образом, в задаче анализа проводится учет отличия характеристик реальных цифровых устройств от идеализированных моделей, а также определение необходимых коррекций в схеме.

1.5. Стандартные формы логических функций

Для работы с любым цифровым устройством необходимо иметь описание его функционирования, которое может быть записано в самом различном виде. С целью проведения расчетов и проектирования целесообразно законы функционирования представлять в стандартных канонических формах. Это обеспечивает рациональное построение функциональной схемы устройства.

Ранее отмечалось удобство применения базиса из элементов И (конъюнкция), ИЛИ (дизъюнкция), НЕ (инверсия). Для проведения последующих преобразований логические функции представляют в исходных стандартных канонических формах. Такими формами являются: совершенная дизъюнктивная нормальная форма (СДНФ) и совершенная конъюнктивная нормальная форма (СКНФ).

Дизъюнктивная нормальная форма (ДНФ) — форма представления логической функции в виде дизъюнкции (логического сложения) элементарных конъюнкций (логических произведений) аргументов либо их инверсий. Каждый аргумент либо его инверсия может входить в конъюнкцию только один раз. Пример ДНФ:

$$f(x_1, x_2, x_3, x_4) = x_1 \vee x_2 \bar{x}_3 \vee \bar{x}_2 \bar{x}_3 x_4 \vee x_1 x_4. \quad (1.42)$$

Приведем формулу представления, не являющуюся ДНФ:

$$f_1(x_1, x_2, x_3, x_4) = \bar{x}_1 \cdot \bar{x}_2 \vee \bar{x}_2 \bar{x}_3 \vee x_1 (\bar{x}_2 \bar{x}_3 \vee x_3 x_4). \quad (1.43)$$

В выражении (1.43) не является конъюнкцией выражение $\overline{x_2 x_3}$, также не раскрыты скобки в последнем члене.

Если в каждой конъюнкции представлены все аргументы функции либо их инверсии, то такая форма называется совершенной дизъюнктивной нормальной формой СДНФ. Каждая логическая функция имеет единственную СДНФ.

Конъюнктивная нормальная форма (КНФ) — форма представления логической функции в виде конъюнкции (логического произведения) элементарных дизъюнкций (логических сумм). Каждый аргумент либо его инверсия входят в конъюнкцию один раз, например:

$$f(x_1, x_2, x_3, x_4) = x_1(x_2 \vee \overline{x_3})(\overline{x_2} \vee x_3 \vee x_4)(x_4 \vee x_1). \quad (1.44)$$

Не является КНФ функция

$$f_1(x_1, x_2, x_3) = (x_1 \vee \overline{x_2})(\overline{x_2 \vee x_3}) \vee x_1. \quad (1.45)$$

Второй член выражения (1.45) не является простой конъюнкцией $(\overline{x_2 \vee x_3})$, а член x_1 не связан с остальным выражением операцией конъюнкции.

Если в каждом члене КНФ (в каждой дизъюнкции) представлены все аргументы функции либо их инверсии, то такая форма называется совершенной конъюнктивной нормальной формой (СКНФ). Каждая функция имеет единственную СКНФ.

Записывают СДНФ и СКНФ по таблице истинности.

Правило записи СДНФ. СДНФ имеет столько конъюнкций, сколько единичных значений принимает функция. Для каждого набора переменных, для которых логическая функция равна логической 1, составляются элементарные конъюнкции. Если в данном наборе входная переменная имеет нулевое значение, то ее записывают с инверсией. Затем логически суммируют все конъюнкции. Для таблицы истинности 1.7 комбинационного устройства (рис. 1.9)

СДНФ y_1 содержит 4 конъюнкций, а y_2 — 3. Логическая функция y_1 принимает единичные значения на наборах 110, 001, 101, 111; y_2 — 000, 010, 011. Записываем СДНФ:

$$\begin{aligned} y_1(x_1, x_2, x_3) &= x_1 \cdot x_2 \cdot \overline{x_3} \vee \overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3} \vee x_1 \cdot \overline{x_2} \cdot x_3 \vee x_1 \cdot x_2 \cdot x_3; \\ y_2(x_1, x_2, x_3) &= \overline{x_1} \cdot \overline{x_2} \cdot \overline{x_3} \vee \overline{x_1} \cdot x_2 \cdot \overline{x_3} \vee \overline{x_1} \cdot x_2 \cdot x_3. \end{aligned} \quad (1.46)$$

Если любая из конъюнкций равна логической 1, то функция принимает единичное значение. Каждая конъюнкция в выражениях (1.46) является конституентой единицы.

Конституента единицы — логическая функция, которая принимает единичное значение только на одном наборе переменных.

Ранг конъюнкции n определяется числом входящих в нее переменных. Каждая конъюнкция в СДНФ имеет ранг n , равный числу переменных логической функции (1.46).

В состав ДНФ входят конъюнкции с рангом меньше n (1.42).

СКНФ также может быть записана непосредственно по таблице истинности.

Правило записи СКНФ. Для каждого набора переменных, на которых логическая функция нулевые значения, составляются дизъюнкции. В каждую дизъюнкцию аргумент либо его инверсия входят один раз. Те аргументы, которые в наборе принимают единичные значения, в состав дизъюнкции входят с инверсией. Число дизъюнкций в СКНФ равно числу нулевых значений логической функции. Дизъюнкции логически перемножаются.

Из таблицы истинности 1.7 комбинационного устройства (рис. 1.9) видно, что логическая функция y_1 принимает нулевые значения на наборах 000, 100, 010, 011, а логическая функция y_2 — на наборах 100, 110, 001, 101, 111. Запишем для них СКНФ:

$$\begin{aligned} y_1(x_1, x_2, x_3) &= (x_1 \vee x_2 \vee x_3)(\overline{x_1} \vee x_2 \vee x_3)(x_1 \vee \overline{x_2} \vee x_3)(x_1 \vee \overline{x_2} \vee \overline{x_3}); \\ y_2(x_1, x_2, x_3) &= (\overline{x_1} \vee x_2 \vee x_3)(\overline{x_1} \vee \overline{x_2} \vee x_3)(x_1 \vee x_2 \vee \overline{x_3})(\overline{x_1} \vee x_2 \vee \overline{x_3})(\overline{x_1} \vee \overline{x_2} \vee \overline{x_3}) \end{aligned} \quad (1.47)$$

Если любая из дизъюнкций в выражении (1.47) становится равной нулю, то и логическая функция принимает нулевое значение. Каждая дизъюнкция является конституентой нуля.

Конституента нуля — логическая функция, которая принимает нулевое значение только на одном наборе переменных.

Ранг дизъюнкции n определяется числом входящих в нее переменных. Каждая дизъюнкция в СКНФ имеет ранг n , равный числу переменных логической функции (1.47). В состав КНФ входят дизъюнкции с рангом, меньше n (1.44).

Для составления структурной схемы устройства по заданному таблице истинности алгоритму, можно непосредственно воспользоваться записью логической функции в форме СДНФ либо СКНФ. Канонические формы позволяют получить устройства, обеспечивающие заданное функционирование. Однако получающиеся схемы чаще всего неоправданно сложные, требуют большего числа логических элементов, имеют низкую надежность и экономичность. Поэтому представление функции подлежит сокращению. Методы упрощения логических функций называют методами минимизации.

Введем понятие об импликантах логических функций. Логическая функция $g(x_1, x_2, \dots, x_n)$ — называется импликантой логической функции $f(x_1, x_2, \dots, x_n)$; если все единичные наборы переменных функции $g(x_1, x_2, \dots, x_n)$ являются подмножеством единичных наборов функции $f(x_1, x_2, \dots, x_n)$.

В логических выражениях (1.46) импликантами являются все конституенты единицы.

Простой импликантой логической функции $f(x_1, x_2, \dots, x_n)$ называется элементарное произведение всех или части переменных x_1, x_2, \dots, x_n , являющееся импликантой логической функции $f(x_1, x_2, \dots, x_n)$, такое, что при удалении любого числа сомножителей приведет к получению произведения, не являющегося импликантой.

1.6. Минимизация логических функций

Минимизация логических функций — это упрощение логического выражения с целью уменьшения аппаратных затрат при технической реализации цифрового устройства.

Из определения следует, что проведение алгоритма минимизации зависит как от типа решаемой задачи, так и от заданной элементной базы, которая будет использована при построении схемы. Поскольку элементная база разнообразна, быстро развивается, использует новые технологии, поэтому критерии минимизации изменяются.

Первоначально минимизация проводилась в направлении уменьшения числа используемых логических элементов. Далее критерий видоизменился — минимум выводов корпусов интегральных схем. Изменение обусловлено тем, что в одной микросхеме (в одном корпусе) располагается несколько ЛЭ одного типа. С дальнейшим развитием больших и сверхбольших интегральных схем, ростом степени интеграции стоимость устройства определялась не числом элементов, а площадью на кристалле, которая мало зависит от числа расположенных на кристалле элементов. На первый план выдвигается критерий регулярной структуры, минимизации соединений, повышение надежности цифровых устройств.

В программируемых логических интегральных схемах ПЛИС жестко задана внутренняя логическая структура. Целью минимизации ПЛИС является сокращение числа конъюнкций, поиск минимальных дизъюнктивных форм. Подробнее этот вопрос будет рассмотрен в третьей главе.

Но требование уменьшения числа логических элементов остается актуальным. С одной стороны, для создания комбинационных устройств невысокой сложности. С дру-

гой стороны БИС и СБИС на основе базовых матричных кристаллов имеют отдельные нескоммутированные ЛЭ. Число этих элементов фиксировано, обусловлено технологическими условиями. Уменьшение числа задействованных логических элементов позволяет расширить функциональные возможности, увеличить число решаемых задач, повысить надежность цифровой аппаратуры.

Проводить минимизацию логического выражения можно непосредственно с использованием тождеств алгебры логики. Но для проведения таких сокращений нет готовых алгоритмов, не ясно, в каком направлении вести преобразования, проектировщик действует эвристически.

Упрощение по стандартным алгоритмам позволяет повысить эффективность минимизации, применять машинные методы автоматического проектирования.

Исходным для проведения минимизации является заданное функционирование комбинационного устройства в какой-либо форме. Чаще в виде таблицы истинности.

1.6.1. Минимизация логических функций методом Квайна

С использованием метода Квайна функция представляется в минимальной дизъюнктивной либо конъюнктивной форме (МДНФ либо МКНФ). Минимизируется число членов и число переменных в каждом члене.

Выполняется в следующей последовательности:

1) функция, представленная в канонической форме СДНФ (либо СКНФ), приводится к сокращенной форме;

2) от сокращенной формы переходят к минимальной.

Переход от СДНФ к сокращенной форме основан на последовательном применении двух операций: склеивания и поглощения. Для выполнения операции склеивания в выражении функции выявляют пары членов вида

$$w \cdot x \text{ и } w \cdot \bar{x},$$

1. Логические основы цифровой техники

различающиеся лишь тем, что один из аргументов в одном из членов представлен без инверсии, а в другом — с инверсией. Затем проводится склеивание таких пар членов (1.8):

$$w \cdot x \vee w \cdot \bar{x} = w \cdot (x \vee \bar{x}) = w.$$

Операция поглощения основана на равенстве

$$w \vee w \cdot z = w \cdot (1 \vee z) = w.$$

Член w поглощает член $w \cdot z$. Операции склеивания и поглощения выполняются последовательно до тех пор, пока это возможно. В полученной сокращенной форме в каждом члене нельзя уменьшить число аргументов (входных переменных).

Проведем минимизацию методом Квайна для СДНФ.

$$y = \bar{x}_1 \cdot \bar{x}_2 \cdot \bar{x}_3 \vee \bar{x}_1 \cdot \bar{x}_2 \cdot x_3 \vee \bar{x}_1 \cdot x_2 \cdot \bar{x}_3 \vee \bar{x}_1 \cdot x_2 \cdot x_3 \vee x_1 \cdot \bar{x}_2 \cdot \bar{x}_3 \vee x_1 \cdot \bar{x}_2 \cdot x_3. \quad (1.48)$$

Сравнивая каждый из членов с другим, находим склеивающиеся пары:

(1-й и 3-й члены):

$$\bar{x}_1 \cdot \bar{x}_2 \cdot \bar{x}_3 \vee \bar{x}_1 \cdot \bar{x}_2 \cdot x_3 = \bar{x}_1 \cdot \bar{x}_2 \cdot (\bar{x}_3 \vee x_3) = \bar{x}_1 \cdot \bar{x}_2;$$

(2-й и 3-й члены):

$$\bar{x}_1 \cdot \bar{x}_2 \cdot x_3 \vee \bar{x}_1 \cdot x_2 \cdot x_3 = \bar{x}_1 \cdot x_3 \cdot (\bar{x}_2 \vee x_2) = \bar{x}_1 \cdot x_3;$$

(2-й и 4-й члены):

$$\bar{x}_1 \cdot \bar{x}_2 \cdot x_3 \vee \bar{x}_1 \cdot x_2 \cdot x_3 = (\bar{x}_1 \vee x_1) \cdot \bar{x}_2 \cdot x_3 = \bar{x}_2 \cdot x_3;$$

(3-й и 5-й члены):

$$\bar{x}_1 \cdot \bar{x}_2 \cdot x_3 \vee x_1 \cdot \bar{x}_2 \cdot x_3 = (\bar{x}_1 \vee x_1) \cdot \bar{x}_2 \cdot x_3 = \bar{x}_2 \cdot x_3;$$

(4-й и 5-й члены):

$$x_1 \cdot \bar{x}_2 \cdot x_3 \vee x_1 \cdot x_2 \cdot x_3 = x_1 \cdot x_3 \cdot (\bar{x}_2 \vee x_2) = x_1 \cdot x_3;$$

В выражении остаются члены, для которых повторяем операции склеивания и поглощения:

$$y = \bar{x}_1 \bar{x}_2 \vee \bar{x}_1 x_3 \vee \bar{x}_2 x_3 \vee x_2 x_3 \vee x_1 x_3 = \bar{x}_1 \bar{x}_2 \vee x_3 \vee x_3 = \bar{x}_1 \bar{x}_2 \vee x_3.$$

Склеивались (2-5) и (3-4) члены. В данном примере дальнейшее выполнение операций склеивания и поглоще-

ния невозможно. Полученная сокращенная форма является минимальной.

$$y = \overline{x_1}x_2 \vee x_3. \quad (1.49)$$

Выражение (1.49) значительно проще выражения (1.48). Для построения структурной схемы достаточно трех элементов (рис. 1.12).

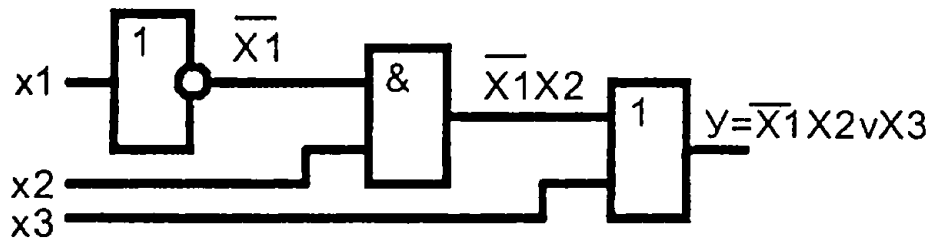


Рис. 1.12

Члены сокращенной формы (1.49) являются простыми импликантами.

Сокращенная форма после проведения операций склеивания и поглощения хотя и содержит только простые импликанты, но может иметь «лишние» члены, которые можно исключить, не изменяя значение функции. Переход от сокращенной формы к минимальной осуществляется с помощью импликантных таблиц.

Рассмотрим пример. Функция, выраженная СДНФ,

$$y = \overline{x_1}x_2x_3 \vee \overline{x_1}x_2x_3 \vee \overline{x_1}x_2x_3 \vee \overline{x_1}x_2x_3 \vee x_1x_2x_3; \quad (1.50)$$

после операций склеивания и поглощения принимает сокращенную форму

$$y = \overline{x_2}x_3 \vee \overline{x_2}x_3 \vee x_1x_3 \vee x_1x_2;$$

которая не является минимальной.

Для определения и исключения «лишних» импликант строят импликантную таблицу (таблица 1.12). Каждая строка импликантной таблицы является простой импликантой, столбцами — члены исходной СДНФ.

1. Логические основы цифровой техники

В импликантной таблице ставятся отметки. Если простая импликанта является составной частью какой-либо конституенты единицы, то на пересечении строки и столбца ставится условный знак. Так третья импликанта (x_1x_3) поглощает третью $(x_1\bar{x}_2x_3)$ и пятую $(x_1x_2x_3)$ конституенты единицы. Если имеется столбец, перекрываемый только одной простой импликантой, то данная импликанта составляет ядро и не может быть исключена. В таблице 1.12 в ядро входят первая $(x_2\bar{x}_3)$ и вторая (\bar{x}_2x_3) импликанты. Первый столбец перекрывается только импликантой $(x_2\bar{x}_3)$, второй столбец перекрывается только импликантой (\bar{x}_2x_3) . Третья (x_1x_3) и четвертая (x_1x_2) импликанты являются лишними. Но одновременно обе они исключены быть не могут, так как в этом случае без отметки останется пятый столбец $(x_1x_2x_3)$.

Таблица 1.12

Импликантная таблица

Простые импликанты	$\bar{x}_1\bar{x}_2\bar{x}_3$	$\bar{x}_1\bar{x}_2x_3$	$\bar{x}_1x_2\bar{x}_3$	$x_1x_2\bar{x}_3$	$x_1x_2x_3$
$x_2\bar{x}_3$	*			*	
\bar{x}_2x_3		*	*		
x_1x_3			*		*
x_1x_2				*	*

Таким образом, для выражения (1.50) возможны две тупиковые формы:

$$y = x_2\bar{x}_3 \vee \bar{x}_2x_3 \vee x_1x_3; \quad (1.51)$$

$$y = x_2\bar{x}_3 \vee \bar{x}_2x_3 \vee x_1x_2. \quad (1.52)$$

Обе тупиковые формы имеют одинаковое количество членов, и любая из них может быть выбрана в качестве минимальной ДНФ (МДНФ).

Минимизацию функции методом Квайна можно проводить с использованием совершенной конъюнктивной нормальной формы (СКНФ). Пары склеиваемых членов имеют вид:

$$(w \vee x) \text{ и } (w \vee \bar{x}).$$

Операция склеивания проводится в соответствии (1.17)

$$(w \vee x)(w \vee \bar{x}) = w.$$

Операция поглощения выполняется на основании (1.19)

$$z(z \vee w) = z \vee zw = z(1 \vee w) = z.$$

Проведем минимизацию методом Квайна для СКНФ

$$y = (x_1 \vee x_2 \vee x_3)(\bar{x}_1 \vee x_2 \vee x_3)(x_1 \vee \bar{x}_2 \vee x_3)(x_1 \vee \bar{x}_2 \vee \bar{x}_3). \quad (1.53)$$

Каждому члену СКНФ (1.53) соответствует нулевое значение функции. Операцию склеивания и поглощения применяем к парам дизъюнкций (1-2), (1-3), (3-4), получаем сокращенную форму:

$$y = (x_2 \vee x_3)(x_1 \vee x_3)(x_1 \vee \bar{x}_3). \quad (1.54)$$

Построив импликантную таблицу аналогично таблице 1.12, увидим, что из сокращенной формы (1.54) исключаем импликанту $(x_1 \vee x_3)$ и получаем минимальную конъюнктивную форму:

$$y = (x_2 \vee x_3)(x_1 \vee \bar{x}_3). \quad (1.55)$$

Прямой подстановкой переменных (x_1, x_2, x_3) , можно убедиться, что выражения (1.53) и (1.55) эквивалентны, принимают одинаковые значения на одинаковых наборах переменных. В то же время выражение (1.55) значительно проще и требует существенно меньше затрат при аппаратной реализации.

Метод Квайна при переходе от сокращенной формы к минимальной в некоторых случаях приводит к неоднозначному выбору, что не совсем удобно для автоматизированного проектирования.

1.6.2. Минимизация логических функций методом Квайна – Мак-Класки

Мак-Класки предложил алгоритм, усовершенствовав метод Квайна, который упрощает минимизацию, а также позволяет провести процесс полностью автоматически, что удобно для ЭВМ.

Выполняется алгоритм Квайна — Мак-Класки в следующей последовательности:

1. Логическая функция, представленная в любом виде (аналитическом, таблице истинности, цифровом), записывается в виде совокупности двоичных наборов, на которых данная функция принимает единичное значение, например:

$$y = \bar{x}_1 \bar{x}_2 \bar{x}_3 x_4 \vee \bar{x}_1 x_2 \bar{x}_3 x_4 \vee x_1 \bar{x}_2 \bar{x}_3 x_4 \vee x_1 \bar{x}_2 x_3 \bar{x}_4 \vee x_1 \bar{x}_2 x_3 x_4 \vee x_1 x_2 \bar{x}_3 x_4;$$

$$y = 0001 \vee 0101 \vee 1001 \vee 1010 \vee 1011 \vee 1101. \quad (1.56)$$

2. Все члены выражения (1.56) разбиваются на группы по числу единиц, содержащихся в наборе. Одна единица содержится в наборе (0001); две единицы (0101, 1001, 1010); три единицы — (1011, 1101). Результаты этого разбиения представлены в первой графе таблицы 1.13.

Таблица 1.13

**Минимизация логической функции
методом Квайна-Мак-Класки**

Номер группы	наборы		
	1 этап	2 этап	3 этап
0	—	—	—
1	0001	0*01 *001	**01
2	0101 1001 1010	*101 10*1 1*01 101*	10*1 101*
3	1011 1101	—	—

3. Склеивание производят для наборов соседних групп, которые различаются лишь в одном разряде. Результат склеивания записывают в следующую графу. На месте разряда, который различался значениями, ставят символ (*).

На первом этапе склеиваются наборы:

1 и 2 группы: (0001, 0101) → 0*01;

(0001, 1001) → *001;

2 и 3 группы: (0101, 1101) → *101;

(1001, 1011) → 10*1;

(1001, 1101) → 1*01;

(1010, 1011) → 101*.

Каждый набор хотя бы раз использовался при склеивании.

На втором этапе склеиваются наборы:

(0 * 01, 1 * 01) → ** 01;

(* 001, * 101) → ** 01.

Наборы 10*1, 101* на втором этапе не участвовали в склеивании, их переписывают в третий этап без изменения. Склеивание наборов продолжается до тех пор, пока это возможно. Наборы последнего этапа являются простыми импликантами.

$$O = **01 \vee 10*1 \vee 101* \quad (1.57)$$

Сокращенная ДНФ функции в соответствии с (1.57) записывается в виде

$$y = \bar{x}_3 x_4 \vee x_1 \bar{x}_2 x_4 \vee x_1 \bar{x}_2 x_3. \quad (1.58)$$

Импликанта $\bar{x}_3 x_4$ поглощает 1, 2, 3, 6 наборы 0001, 0101, 1001, 1101 выражения (1.56). Импликанта $x_1 \bar{x}_2 x_4$ поглощает 3, 5 наборы 1001, 1011. Импликанта $x_1 \bar{x}_2 x_3$ поглощает 4, 5 наборы 1010, 1011. Составив импликантную таблицу, нетрудно увидеть, что возможно исключить импликанту $x_1 \bar{x}_2 x_4$ из выражения (1.58). Две другие составляют ядро.

Для этой функции минимальную ДНФ получаем

$$y = \bar{x}_3 x_4 \vee x_1 \bar{x}_2 x_3. \quad (1.59)$$

При проведении минимизации функции методом Квайна-Мак-Класки для получения минимальной формы (МКНФ) записывают наборы, на которых функция принимает значения логического нуля. Склеивание пар проводится аналогично. Сокращенную КНФ получают через инверсные комбинации наборов последнего этапа.

1.6.3. Минимизация функций с использованием карт Карно

При использовании этого метода логическая функция записывается в виде карты Карно, как было показано в п. 1.4. Напомним, что столбцы и строки карты Карно обозначаются в коде Грея. Тогда клетки, которые могут склеиваться, находятся рядом друг с другом.

Минимальную ДНФ получают, охватывая клетки, содержащие логическую 1, областями прямоугольной формы. Области должны содержать 2^k клеток, где k — целое число ($2^k=1; 2; 4; 8; \dots$). Для каждой области составляется комбинация, в которой различающиеся разряды отмечаются символом (*).

Таблица 1.14

Получение МДНФ с использованием карты Карно

	x1x2	00	01	11	10	
x3x4		00	01	11	10	
00		0	0	1	1	← I область 1*00
01		0	0	0	0	
11		1	1	0	0	
10		1	1	0	0	↑ II область 0*1*

При минимизации логической функции, представленной картой Карно (таблица 1.14) получаем две области. Первой области соответствует набор 1^*00 , второй области — набор 0^*1^* . Следовательно, минимальная ДНФ (МДНФ) записывается в виде

$$y = x_1 \bar{x}_3 \bar{x}_4 \vee \bar{x}_1 x_3. \quad (1.60)$$

Чтобы получить минимальную КНФ в карте Карно аналогичными прямоугольными областями охватываются нулевые клетки, и также записываются наборы, соответствующие охваченным областям (таблица 1.15).

Таблица 1.15

Получение МКНФ с использованием карты Карно

$x_1 x_2$	00	01	11	10	
x_3					
0	0	0	1	0	← II область *00
1	1	0	1	1	

↑ I область
01*

Для получения дизъюнкций, составляющих МКНФ, переменные обозначают через инверсии наборов областей. Первой области соответствует набор 01^* , дизъюнкция $(x_1 \vee \bar{x}_2)$; второй области — набор *00 , дизъюнкция $(x_2 \vee x_3)$. МКНФ функции (таблица 1.15) запишем в виде

$$y = (x_1 \vee \bar{x}_2)(x_2 \vee x_3). \quad (1.62)$$

Карты Карно позволяют легко выделить области конъюнкций (либо дизъюнкций), которые подлежат упрощению. Из таблицы 1.15 на примере видно, что карты Карно можно представлять в виде цилиндров по вертикали и горизонтали для выделения единичных либо нулевых областей.

На практике применяют и другие методы минимизации логических функций — метод Петрика, метод карт Вейча. Однако данные методы пригодны для числа переменных до 5. При увеличении числа переменных они становятся громоздкими, теряют наглядность. Кроме того, выбор областей в этих методах в большинстве случаев проводится интуитивно, сильно зависит от индивидуального опыта и искусства разработчика, что препятствует автоматизации проектирования и применения на ЭВМ.

1.7. Синтез комбинационных устройств в заданном базисе

Цель синтеза — построение комбинационного устройства, обеспечивающего заданное функционирование, при минимальных аппаратурных затратах, при ограничениях, наложенных на используемую элементную базу.

Задача синтеза является неоднозначной. Она во многом зависит от логических элементов, из которых будет собрано устройство. Даже при заданной элементной базе бывает возможность представить логическое выражение в различной форме и, соответственно, различным образом построить схему комбинационного устройства. Причем, любая из схем одинаково выполняет заданные функции. Примером могут служить две тупиковые функции (1.51) и (1.52). Они построены на одинаковом базисе (И, ИЛИ, НЕ), имеют одинаковое количество элементов (НЕ — 2 шт.; 2И — 3 шт.; 3ИЛИ — 1 шт.), выполняют одинаковую функцию, но имеют разные схемы.

Синтез комбинационного устройства осуществляется в следующей последовательности:

1. Функции, представленные в произвольной форме (чаще всего в табличной), записывают в виде логического выражения СДНФ либо СКНФ.

2. Проводится минимизация логических функций любым методом.

3. Логические функции переводятся в заданный базис, соответствующий ограничениям на элементную базу.

4. Строится функциональная схема комбинационного устройства.

Первые два этапа синтеза подробно рассмотрены в п. 1.5; 1.6. В некоторых случаях этого бывает достаточно для построения комбинационного устройства. При использовании постоянных запоминающих устройств в качестве программируемых логических интегральных схем необходимо и достаточно получить функцию в СДНФ. Более того, если имеем сокращенную ДНФ, то ее необходимо увеличить, перевести в СДНФ. Если задан базис (НЕ, И, ИЛИ), то выражения, полученные в результате минимизации (п. 1.6), являются достаточными для построения функциональной схемы.

В п. 1.3 отмечалось, что с помощью одного элемента И-НЕ (штрих Шеффера) либо ИЛИ-НЕ (стрелка Пирса) можно реализовать любую функцию алгебры логики, каждый из элементов (И-НЕ), (ИЛИ-НЕ) в отдельности представляет функционально полную систему. С точки зрения унификации, регулярной структуры, использования однотипных микросхем целесообразно синтезировать комбинационное устройство полностью на одном из этих двух элементов. Стандартные микросхемы средней степени интеграции часто изготавливают в виде нескольких одинаковых элементов, выполненных в одном корпусе. Большие и сверхбольшие интегральные схемы (БИС и СБИС) на основе базовых матричных кристаллов (БМК) содержат в себе набор некоммутированных однотипных ячеек, которые можно соединять различным образом для синтеза разнообразных устройств. Следовательно, задача синтеза комбинационных устройств в заданном базисе (И-НЕ) либо (ИЛИ-НЕ) является актуальной.

**Синтез комбинационного устройства
в базисе И-НЕ**

Для синтеза комбинационного устройства в базисе И-НЕ получают минимальную дизъюнктивную нормальную форму МДНФ. Дальнейшие преобразования проводят на основе формулы Моргана для конъюнкций (1.12):

$$\bar{a} \vee \bar{b} = \overline{ab}.$$

Алгоритм синтеза в базисе И-НЕ проиллюстрируем на примере МДНФ (1.52):

$$y = \overline{x_2 x_3} \vee \overline{x_2 x_3} \vee x_1 x_2.$$

Функциональная схема, соответствующая (1.52) в базисе (НЕ, И, ИЛИ), представлена на рис. 1.13. Она содержит 6 элементов: два инвертора НЕ (DD1, DD2), три двухвходовых элемента 2И (DD3, DD4, DD5), один трехвходовый элемент 3ИЛИ (DD6).

Дважды инвертируем выражение (1.52)

$$y = \overline{\overline{x_2 x_3} \vee \overline{x_2 x_3} \vee x_1 x_2}. \quad (1.63)$$

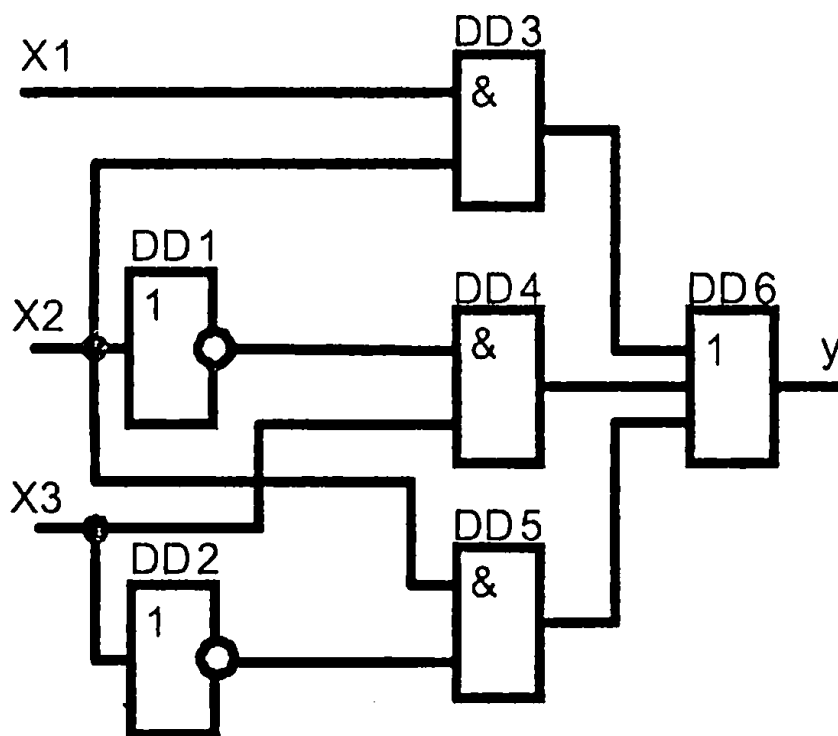


Рис. 1.13

Применяем формулу де Моргана

$$y = \overline{\overline{(x_2 x_3)} \overline{(x_2 x_3)} \overline{(x_1 x_2)}}. \quad (1.64)$$

Перепишем выражение (1.64) с использованием символа штрих Шеффера

$$y = (x_2 | \overline{x_3}) | (\overline{x_2} | x_3) | (x_1 | x_2). \quad (1.65)$$

Функциональная схема, соответствующая (1.65) в базе (И-НЕ), представлена на рис. 1.14.

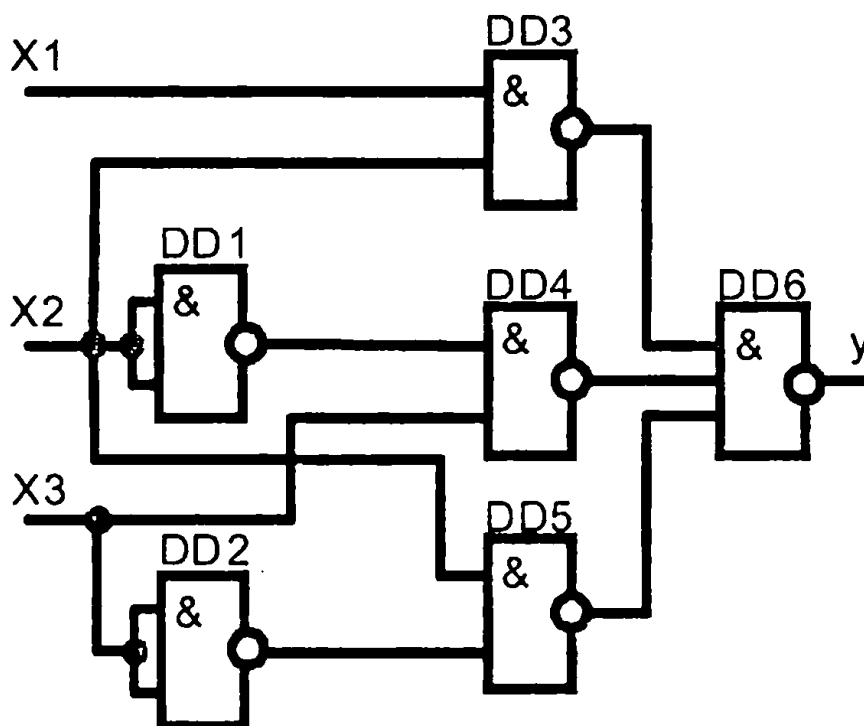


Рис. 1.14

Схема (рис. 1.14), так же, как и схема (рис. 1.13) содержит 6 элементов. Только теперь все элементы однотипные И-НЕ.

Синтез комбинационного устройства в базе ИЛИ-НЕ

При синтезе в базе ИЛИ-НЕ используют такой же подход, но имеются некоторые особенности. В этом случае должна быть получена минимальная конъюнктивная

нормальная форма (МКНФ). Преобразования проводят на основе формулы де Моргана для дизъюнкций (1.11):

$$\bar{a} \cdot \bar{b} = \overline{a \vee b}.$$

Алгоритм синтеза в базисе ИЛИ-НЕ проиллюстрируем на примере выражения (1.55), функциональная схема которого показана на рис. 1.15.

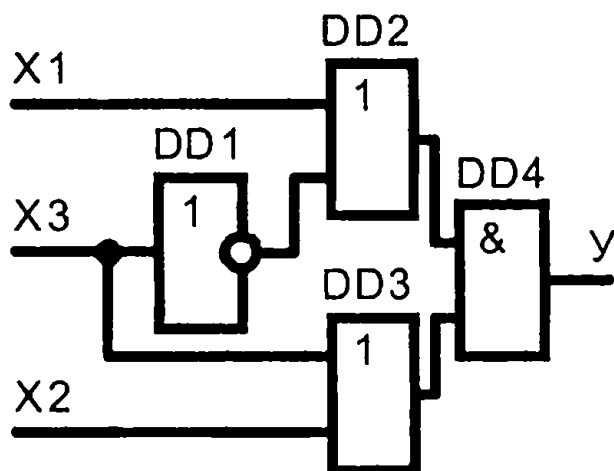


Рис. 1.15

Она содержит 4 логических элемента: инвертор НЕ (*DD1*), два элемента ИЛИ (*DD2*, *DD3*), один элемент И (*DD4*).

Дважды инвертируем выражение (1.55), применим формулу де Моргана (1.11), запишем выражение с помощью символа стрелка Пирса.

$$\begin{aligned} y &= (x_2 \vee x_3)(x_1 \vee x_3) = \overline{\overline{(x_2 \vee x_3)(x_1 \vee x_3)}} = \overline{\overline{(x_2 \vee x_3)} \vee \overline{\overline{(x_1 \vee x_3)}}} = \\ &= (x_2 \downarrow x_3) \downarrow (x_1 \downarrow x_3) \end{aligned} \quad (1.66)$$

Функциональная схема, соответствующая (1.66) в базисе (ИЛИ-НЕ), представлена на рис. 1.16.

Схема на рис. 1.16, так же как и схема на рис. 1.15, содержит 4 элемента, однако теперь все элементы однотипные.

Логические микросхемы имеют в своем составе элементы с различным числом входов. В общем случае разра-

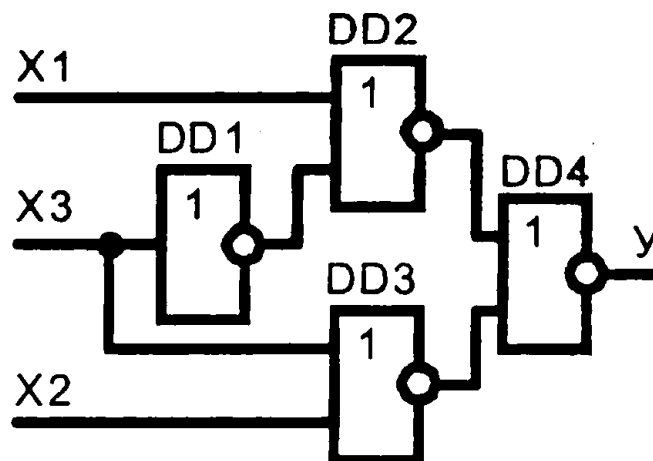


Рис. 1.16

ботчик может использовать именно такие ЛЭ, которые предусмотрены в функциональной схеме. Нередко накладываются ограничения на число входов логических элементов. Например, использовать только двухвходовые элементы 2И-НЕ. Когда число входов ЛЭ не соответствует функциональной схеме, тогда необходимо схему дополнять, как было показано в п. 1.3.

Кроме рассмотренных общих случаев при синтезе цифровых устройств могут возникать ситуации, имеющие свои особенности. Отметим некоторые из них и укажем пути расчета.

Синтез устройства с несколькими выходами. Если каждый из выходов минимизировать и синтезировать отдельно, то в целом устройство окажется неминимальным.

Для минимизации всего устройства в целом необходимо проводить поиск общих элементов для различных выходов.

Синтез недоопределенных функций. Если функции имеют наборы входных переменных, которые по условиям работы никогда не могут появиться на входах, то такие функции называются не полностью заданными функциями. Доопределение логических функций проводят следующим образом. В свободные клетки вводятся дополнительные значения логических 0 либо 1. Новые импликанты должны склеиваться с уже имеющимися, чем достига-

ется уменьшение числа переменных и числа используемых логических элементов.

После синтеза функциональной схемы логического устройства проектировщик переходит к разработке принципиальной схемы. Решаются задачи по выявлению и устранению сбоев, резервирования и технической диагностики. Выбираются интегральные схемы. Проводится расчет временных задержек, электрических параметров, токов и напряжений, действующих в схеме. После этого составляется принципиальная и монтажная схемы.

1.8. Анализ и синтез цифровых устройств с памятью

Цифровое устройство с памятью — это устройство, выходные сигналы $Y(t)$ которого зависят не только от текущих входных сигналов $X(t)$, действующих в данный момент времени, но также от предшествующих входных сигналов.

Функция выходов записывается в виде:

$$Y = f_Y [X(t), X(t-1), \dots, X(t_0)] \quad (1.67)$$

Устройство хранит информацию о предыдущих входных сигналах, поэтому и называется устройством с памятью. Память проявляется во внутреннем состоянии, которое установилось под воздействием последовательности входных сигналов. Поэтому цифровые устройства с памятью называются последовательностными.

Установка и смена внутренних состояний $U(t)$ определяется функцией переходов

$$U(t+1) = f_U [X(t), U(t)] \quad (1.68)$$

В общем случае функционирование цифрового устройства определяется множеством

$$A = \{X, U, Y, f_Y, f_U, U_0\} \quad (1.69)$$

где U_0 — начальное состояние цифрового устройства.

Способы описания функционирования цифровых устройств с памятью:

- ♦ словесный;
- ♦ аналитический;
- ♦ табличный;
- ♦ графический;
- ♦ вход-выходная последовательность.

Цифровые устройства с памятью при табличном способе представляются таблицей переходов-выходов. Строкам таблицы соответствуют все возможные входные сигналы, столбцам — все возможные текущие внутренние состояния. На пересечениях указываются новые состояния и выходные сигналы.

Более наглядным и в некоторых случаях более удобным способом задания закона функционирования является представление его в виде графа. Граф автомата изображается в виде совокупности вершин, каждая из которых соответствует одному из внутренних состояний. Вершины соединяются дугами. Дуги указывают направления переходов и подписываются входными сигналами, под действием которых осуществляется переход. На графе также помечаются выходные состояния цифрового устройства.

На практике функционирование цифрового устройства с памятью часто задают в виде вход-выходной последовательности. Определяют последовательность входных сигналов $x(t)$ и соответствующую ей последовательность выходных сигналов $y(t)$:

$$x_0, x_1, x_2, x_1, x_3, x_1, x_4, x_2, \dots$$

$$y_0, y_3, y_4, y_3, y_2, y_2, y_1, y_4, \dots$$

Структурная схема цифрового устройства с памятью в общем случае содержит блок памяти, комбинационную схему управления памятью, комбинационную схему управления выходными сигналами (рис. 1.17).

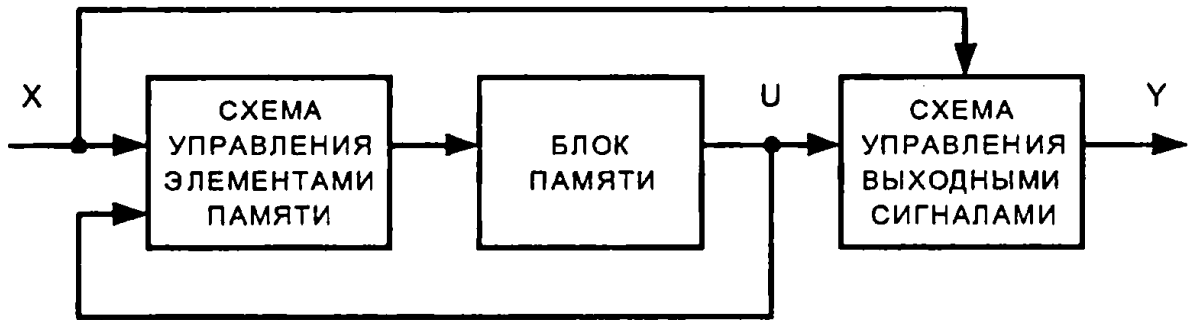


Рис. 1.17

Входные сигналы поступают на комбинационные схемы, которые управляют схемой памяти и выходными сигналами. Для последовательностных устройств характерно наличие обратных связей, которые обеспечивают хранение предшествующего состояния и его влияние на новое состояние.

По моменту срабатывания цифровые устройства делятся на синхронные и асинхронные. Асинхронные переключаются непосредственно под воздействием информационных сигналов. В синхронных цифровых устройствах переключение разрешается только при воздействии синхросигналов. Они имеют специальный синхровход.

Цифровые устройства с памятью могут быть инициальными и неинициальными. Инициальные каждый раз начинают функционировать с одного и того же состояния.

По способу формирования выходных сигналов цифровые устройства с памятью делят на два типа: автомат Мура и автомат Мили.

В автоматах Мура выходной сигнал $Y(t)$ зависит от внутреннего состояния $U(t)$ и не зависит явно от входного сигнала $X(t)$. Переключение внутренних состояний $U(t)$ определяется входными сигналами $X(t)$. Функция переходов Φ и функция выходов Ψ записываются в виде:

$$\begin{aligned} Y(t) &= \Psi(U(t)); \\ U(t+1) &= \Phi(U(t), X(t)). \end{aligned} \tag{1.70}$$

Выходной сигнал $Y(t)$ автоматов Мили зависит как от внутреннего состояния $U(t)$, так и от входного сигнала $X(t)$:

$$\begin{aligned} Y(t) &= \Psi(U(t), X(t)); \\ U(t+1) &= \Phi(U(t), X(t)). \end{aligned} \quad (1.71)$$

Пример функционирования автомата Мили представлен таблицей 1.16. На пересечении строк входных сигналов (x_1, x_2) и столбцов текущего состояния (u_0, u_1, u_2, u_3) в клетках располагается новое внутреннее состояние и значение выходного сигнала u/y .

Таблица 1.16

Таблица переходов-выходов автомата Мили

Входные сигналы	Внутреннее состояние			
	u_0	u_1	u_2	u_3
x_1	u_1/y_2	u_3/y_2	u_1/y_1	u_0/y_1
x_2	u_0/y_1	u_2/y_1	u_3/y_1	u_3/y_3

Например, запись u_3/y_2 на пересечении столбца u_1 и строки x_1 означает, что под воздействием входного сигнала x_1 автомат Мили перейдет из состояния u_1 в состояние u_3 и выходной сигнал будет y_2 . Заметим, что при разных входных сигналах и одинаковом внутреннем состоянии могут быть получены различные выходные сигналы. Так, из состояния u_2 под воздействием входного сигнала x_2 автомат Мили перейдет также в состояние u_3 , но выходной сигнал будет y_1 .

Функционирование этого же автомата Мили в виде графа показано на рис. 1.18.

В узлах показаны состояния, а дуги показывают переходы из одного состояния в другое. Дуги отмечаются парой символов: под действием какого входного сигнала совершается переход и какой при этом выдается выходной сигнал. В некоторых случаях автомат может сохранять

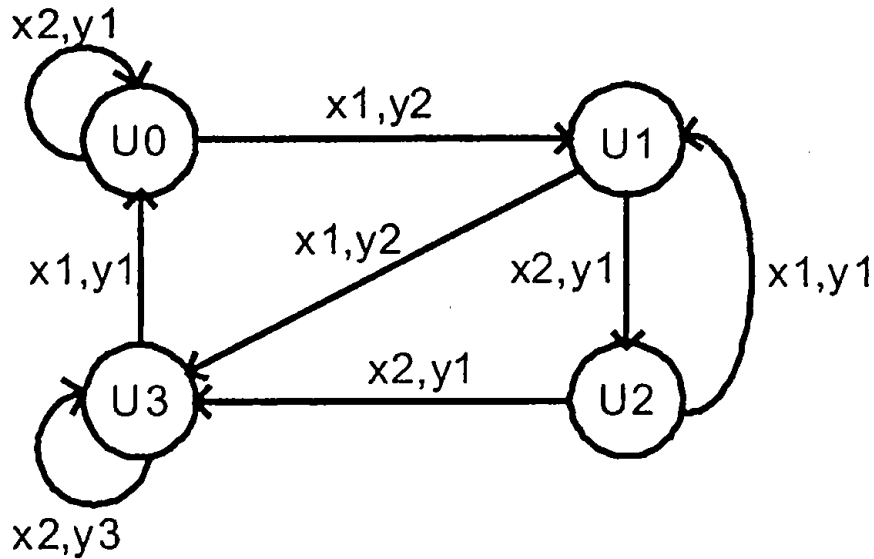


Рис. 1.18

предыдущее состояние (дуга x_2, y_3 , из состояния U_3 , возвращается в U_3).

По таблице 1.16 и рис. 1.18 можно определить выходную последовательность при любой заданной входной последовательности:

входная последовательность	$x_1, x_2, x_2, x_1, x_2, x_1, x_1, x_2, \dots$
внутреннее состояние	$u_0, u_1, u_2, u_3, u_0, u_0, u_1, u_3, u_3, \dots$
выходная последовательность	$y_2, y_1, y_1, y_1, y_1, y_2, y_2, y_3, \dots$

В автоматах Мура выходной сигнал $y(t)$ жестко зависит от внутреннего состояния $U(t)$. Поэтому значения выходного сигнала располагают рядом со значениями внутреннего состояния. В клетках таблицы переходов-выходов автомата Мура указывают только новое внутреннее состояние.

Состояние u_3 на пересечении столбца u_4 и строки x_1 означает, что при воздействии входного сигнала x_1 автомат Мура из u_4 перейдет в состояние u_3 . Выходной сигнала y_3 возникает при нахождении автомата Мура в состоянии u_1 . Таблице 1.17 соответствует граф (рис. 1.19).

Таблица 1.17

Таблица переходов-выходов автомата Мура

Входные сигналы	Выходные сигналы, внутреннее состояние				
	y_2	y_3	y_1	y_4	y_0
	u_0	u_1	u_2	u_3	u_4
x_1	u_4	u_1	u_2	u_2	u_3
x_2	u_1	u_2	u_3	u_4	u_0

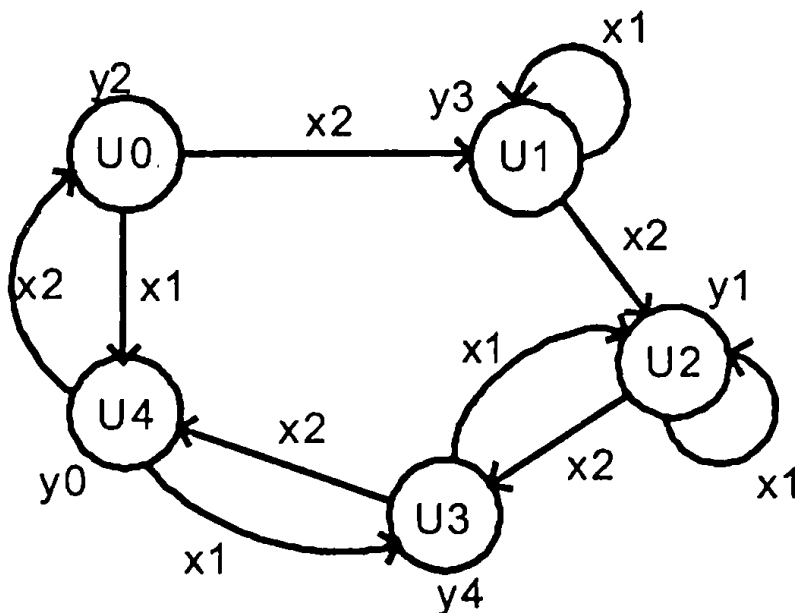


Рис. 1.19

Поскольку выходные сигналы автомата Мура однозначно определяются внутренним состоянием, то выходные сигналы y записываются или рядом, или внутри вершины графа. Приведем пример работы автомата Мура;

входная последовательность $x_1, x_2, x_2, x_1, x_2, x_2, \dots$
 внутреннее состояние $u_0, u_4, u_0, u_1, u_1, u_2, u_3, \dots$
 выходная последовательность $y_2, y_0, y_2, y_3, y_3, y_1, y_4, \dots$

Таким образом, можно определить выходную последовательность цифрового автомата, полученную при любой входной последовательности.

При анализе цифровых устройств с памятью решаются следующие задачи:

1. Логические основы цифровой техники

- ♦ описание функционирования, построение таблиц переходов-выходов, графов;
- ♦ оценка устойчивости переходов и мест возможных состязаний в комбинационных элементах и элементах памяти;
- ♦ оценка стабильности выходных сигналов при появлении очередного входного сигнала;
- ♦ контроль работоспособности, поиск дефектов схемы.

В работе цифровых устройств с памятью необходимо учитывать две особенности переходных процессов:

- ♦ длительность входных сигналов намного превышает длительность изменения состояния элементов памяти, что приводит к недопустимой многократной смене внутренних состояний;
- ♦ возникновение явления состязания элементов памяти.

Различия комбинационных устройств и последовательностных при протекании переходных процессов имеют принципиальный характер. В комбинационных схемах появляются временные ложные сигналы, которые пропадают после окончания переходных процессов. Выходные сигналы приобретают значения, соответствующие закону функционирования.

В цифровых устройствах с памятью ложные сигналы могут повлиять на элементы памяти, которые перейдут в состояние, не предусмотренное логикой работы, что полностью изменит выходной сигнал схемы.

Устранение состязаний и неустановленных переключений цифровых устройств с памятью реализуется путем применения синхронных автоматов.

Минимизация комбинационной части цифрового устройства с памятью не отличается от минимизации всех комбинационных устройств. Минимизация блока памяти направлена на уменьшение числа внутренних состояний

без изменения закона их функционирования. Решение этой задачи основано на понятии эквивалентных состояний.

Два состояния называют эквивалентными, если цифровое устройство, находящееся в этих состояниях, под воздействием любой входной последовательности выдает одинаковые выходные последовательности.

Алгоритм оптимизации основан на разбиении всего множества состояний на непересекающиеся подмножества эквивалентных состояний и замене каждого подмножества эквивалентных состояний одним из его представителей.

Задача синтеза цифровых устройств с памятью сводится к построению оптимальной функциональной схемы по заданным условиям функционирования с учетом ограничений на используемые элементы памяти и базис логических элементов.

Критерием качества (оптимальности) является минимальная сложность, число элементов памяти, логических элементов, связей между ними.

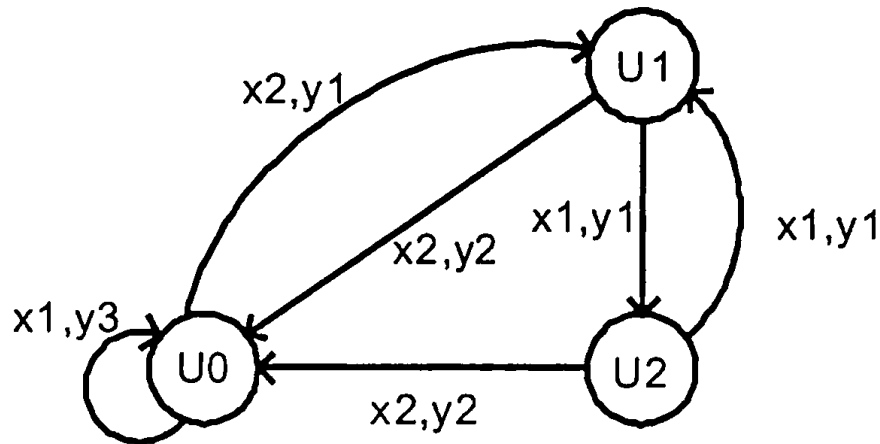
Алгоритм синтеза разделяется на абстрактный и структурный. Абстрактная модель применяется при теоретическом рассмотрении. Структурная модель учитывает технические особенности, параметры и характеристики используемых элементов памяти и логических элементов.

Проектирование автоматов с памятью содержит следующие этапы:

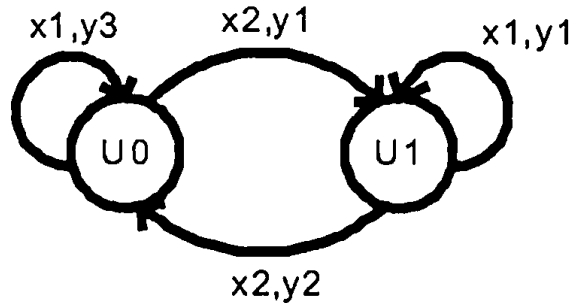
- ♦ определение закона функционирования;
- ♦ минимизация состояний;
- ♦ кодирование состояний;
- ♦ составление таблицы переходов-выходов;
- ♦ определение функций возбуждения элементов памяти;
- ♦ минимизация функций возбуждения элементов памяти;
- ♦ переход к заданному базису и техническая реализация (расчет) схемы.

1. Логические основы цифровой техники

Рассмотрим пример минимизации цифрового устройства, заданного графом на рис. 1.20, а. Из анализа графа видно, что состояния u_1, u_2 являются эквивалентными. Под действием входного сигнала x_1 из обоих состояний на выходе возникает y_1 , автомат переходит из u_1 в u_2 либо наоборот.



а)



б)

Рис. 1.20

При воздействии сигнала x_2 из обоих состояний u_1, u_2 на выходе получаем y_2 , автомат переходит к u_0 . Выделяем два состояния (u_1, u_2) в подмножество, заменяем одним представителем (u_1). Получаем новую таблицу 1.19 переходов-выходов и новый граф (рис. 1.20, б). По сравнению с исходным графом число состояний уменьшилось с 3 до 2, число внутренних связей с 6 до 4.

Таблица 1.18

Таблица переходов-выходов автомата до минимизации

Входные сигналы	Внутреннее состояние		
	u_0	u_1	u_2
x_1	u_0/y_3	u_2/y_1	u_1/y_1
x_2	u_1/y_1	u_0/y_2	u_0/y_2

Таблица 1.19

Таблица переходов-выходов после минимизации

Входные сигналы	Внутреннее состояние	
	u_0	u_1
x_1	u_0/y_3	u_1/y_1
x_2	u_1/y_1	u_0/y_2

Контрольные вопросы

1. Дать определение логической функции.
2. Назовите способы описания логических функций.
3. Что такое функционально полная система логических функций?
4. Чем отличается автомат Мили от автомата Мура?
5. Чем отличаются комбинационные устройства и последовательностные устройства?
6. В каких целях проводится минимизация?
7. Приведите условные графические обозначения, аналитические формулы и таблицы истинности логических элементов НЕ, И, ИЛИ, И-НЕ, ИЛИ-НЕ, исключающее ИЛИ, исключающее ИЛИ-НЕ.
8. Запишите формулы Де Моргана, поглощения, склеивания.
9. Чем отличаются асинхронные и синхронные цифровые устройства?

1. Логические основы цифровой техники

10. Поясните порядок проведения анализа комбинационных устройств по известной схеме.
11. В чем состоит задача синтеза цифровых устройств?
12. Поясните порядок составления таблицы Карно.
13. Дать определение дизъюнктивной нормальной формы, конъюнктивной нормальной формы.
14. Поясните порядок составления совершенной ДНФ и совершенной КНФ по заданной таблице истинности.

2. БАЗОВЫЕ ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ

2.1. Логические микросхемы

Развитие и совершенствование электронно-вычислительной техники и радиотехнических устройств в значительной степени определяются возможностями цифровых микросхем. Все узлы цифровых вычислительных машин содержат элементы цифровой техники, с помощью которых осуществляются запоминание и хранение информации, управление вычислительным процессом, ввод и вывод информации. Принципиально новые возможности открывает применение цифровых интегральных схем в радиосвязи. Использование цифровых синтезаторов частоты существенно снижает аппаратные затраты и повышает фазовую стабильность генерируемых сигналов. Обработка сигналов цифровыми методами позволяет обеспечить высокую точность, стабильность параметров и получить характеристики, не достижимые аналоговыми методами. Цифровые фильтры, например, позволяют реализовать произвольную форму амплитудно-частотной характеристики, в том числе и сколь угодно близкую к прямоугольной. Цифровое телевидение повышает качество передачи сигналов, благодаря существенному уменьшению накопления искажений в цифровых линиях связи по сравнению с аналоговыми, а также за счет применения специальных способов кодирования, обнаруживающих и исправ-

2. Базовые логические элементы

ляющих ошибки передачи информации. Сигналы, представленные в цифровой форме, практически не подвержены амплитудным и фазовым искажениям, что позволяет передавать информацию на большие расстояния с сохранением ее высокого качества.

Это обусловлено определенными преимуществами цифровых устройств по сравнению с аналоговыми: более высокой надежностью; стабильностью параметров; высокой точностью обработки информации; значительным сокращением трудоемкости и упрощением операций регулировки и настройки; возможностью создания микросхем с очень высокой степенью интеграции.

Цифровые микросхемы предназначены для преобразования и обработки сигналов, изменяющихся по закону дискретной функции.

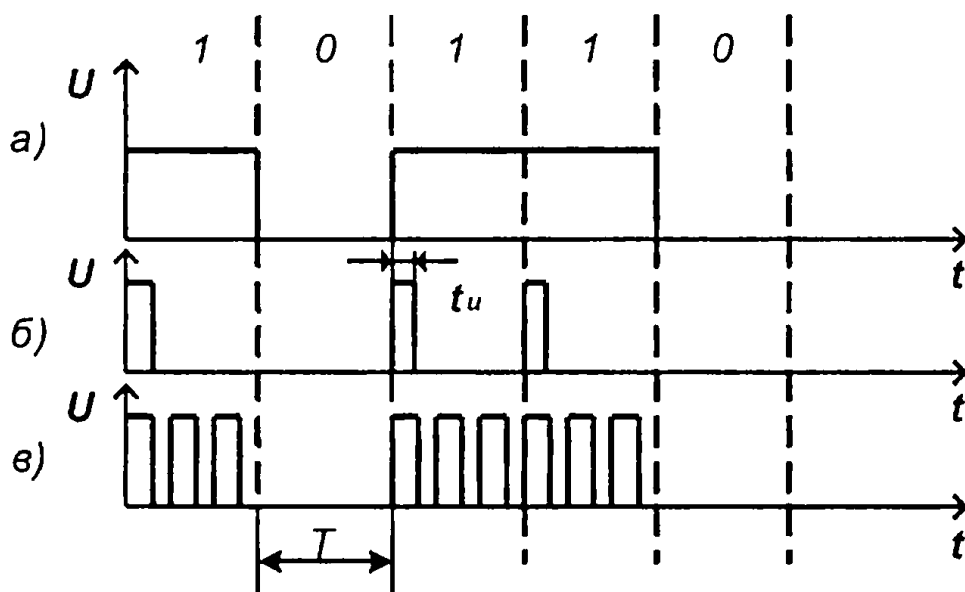


Рис. 2.1

Для представления чисел в цифровых системах достаточно иметь электронные схемы, которые могут принимать два состояния, четко различающиеся значением какой-либо электрической величины. Одному значению соответствует логический 0, другому — логическая 1.

По типу обрабатываемых (информационных) сигналов цифровые ИМС подразделяются на потенциальные (рис. 2.1, а), импульсные (рис. 2.1, б) и потенциально-импульсные (динамические) (рис. 2.1, в).

При потенциальном способе представления логического нуля и логической единицы используется напряжение двух уровней: высокий уровень и низкий уровень. Указанным двум состояниям сигнала ставятся в соответствие значения 1 и 0. В зависимости от кодирования состояния двоичного сигнала различают положительную и отрицательную логику. Если напряжение логической единицы U^1 больше напряжения логического нуля U^0 т. е. $U^1 > U^0$, то говорят о положительной логике (ПЛ), если $U^1 < U^0$ — об отрицательной (ОЛ) (см. таблицу 2.1).

Таблица 2.1

Логические уровни

Вид логики	Полярность напряжения питания	
	Положительная	Отрицательная
Положительная		
Отрицательная		

Логические операции, выполняемые микросхемами, обычно указывают для положительной логики. Отрицательную логику используют относительно редко. Длительность потенциального сигнала не ограничена, она кратна длительности такта T и определяется частотой смены информации.

При импульсном способе двоичные цифры изображаются импульсами определенной длительности. Обычно единице соответствует наличие импульса, а нулю — его

2. Базовые логические элементы

отсутствие. Иногда 1 и 0 изображают импульсами различной полярности, длительность импульсного сигнала имеет некоторое постоянное, стандартное значение $t_u < T$ и не зависит от частоты смены информации.

Большинство цифровых микросхем относятся к потенциальным. Основным отличительным признаком элементов и схем потенциального типа от импульсных и потенциально-импульсных является наличие связи по постоянному току между входами и выходами элементов.

По функциональному назначению элементы делятся на логические, элементы памяти и специальные. К логическим относятся элементы, реализующие логические функции из базисной системы (базисную функцию). Элементы памяти (триггеры) предназначены для запоминания и хранения информации, а специальные элементы — для физического преобразования электрических сигналов, т. е. усиления, формирования, генерации и т. п..

Итак, логический элемент (ЛЭ) — это электронное устройство, реализующее одну из логических функций (*И, ИЛИ, НЕ, И-НЕ, ИЛИ-НЕ, И-ИЛИ* и т. д.). Подгруппу логических элементов по маркировке ИМС определяют по первой букве Л из двух букв, определяющих функциональное назначение (см. табл. 2.2).

Таблица 2.2

Логические элементы

Подгруппа и вид ИС Логические элементы	И-НЕ	И-НЕ/ИЛИ-НЕ	ИЛИ-НЕ	И
Обозначение	ЛА	ЛБ	ЛЕ	ЛИ
Подгруппа и вид ИС Логические элементы	И-ИЛИ-НЕ/И-ИЛИ	ИЛИ	НЕ	Расши- рители
Обозначение	ЛК	ЛЛ	ЛН	ЛД
Подгруппа и вид ИС Логические элементы	ИЛИ-НЕ/ИЛИ	прочие	И-ИЛИ-НЕ	И-ИЛИ
Обозначение	ЛМ	ЛП	ЛР	ЛС

Набор элементарных логических функций является функционально полным, если с его помощью можно записать любую переключательную функцию. Например, свойствами функциональной полноты обладают наборы $\{И, ИЛИ, НЕ\}$, $\{И-НЕ\}$ и $\{ИЛИ-НЕ\}$.

Классификацию логических микросхем проводят по ряду основных принципов, определяющих одну из особенностей их построения и функционирования как электрических схем.

По принципу построения базовых ЛЭ цифровые ИМС подразделяются на следующие типы. При построении базовой логической микросхемы используют различные полупроводниковые приборы: биполярные и униполярные транзисторы, диоды.

Микросхемы на униполярных транзисторах подразделяются на структуры с n -каналом (n -МОП), с p -каналом (p -МОП) и комплементарные МОП структуры (КМОП), которые содержат МОП-транзисторы с каналами p - и n -типов.

Особенно широкое распространение получили логические микросхемы на биполярных транзисторах: транзисторная логика (ТЛ) с различными видами связи — с непосредственными связями (ТЛНС), с резистивными связями (РСТЛ), с резистивно-емкостными связями (РЕТЛ), диодно-транзисторная логика (ДТЛ); транзисторно-транзисторная логика (ТТЛ); схемы с барьером Шоттки (ТТЛШ); эмиттерно-связанная логика (ЭСЛ).

К специфичным для микроэлектроники схемным решениям относятся приборы с зарядовой связью (ПЗС) и схемы с инжекционным питанием — интегральная инжекционная логика (И²Л).

В современных логических микросхемах все чаще реализуются новые схемотехнические решения, которые ранее в ИМС не применялись или применялись мало. Эти решения направлены на повышение эффективности элект-

2. Базовые логические элементы

тронных приборов. К их числу относится использование комплементарных структур (КМОП), схем с диодами Шоттки (ТТЛШ), интегральный инжекционной логики (И²Л).

Микросхемы бывают насыщенными и ненасыщенными. В насыщенных ИС транзистор инвертора в открытом состоянии находится в режиме насыщения. Такой режим характеризуется сравнительно малым выходным напряжением и, как следствие этого, высокой помехоустойчивостью (ДТЛ, ТТЛ схемы). Однако в таких ИС в значение величины средней задержки заметный вклад вносит процесс накапливания и рассасывания избыточного заряда в транзисторе инвертора. Стандартный технологический прием уменьшения накопленного заряда — легирование переходов золотом. Атомы золота действуют как центры рекомбинаций, и время жизни неосновных носителей уменьшается. Но диффузия золота снижает коэффициент усиления базового тока β , что приводит к увеличению задержки включения. Дальнейшее уменьшение времени переключения достигают, применяя в ИМС схемные (ЭСЛ) и технологические (ТТЛШ) решения, при которых практически полностью исключается возможность накопления избыточного заряда путем предотвращения режима насыщения фиксированием коллекторного тока или фиксированием напряжения на коллекторном переходе транзистора. Такие ИМС называют ненасыщенными.

По быстродействию все логические ИМС делятся на сверхбыстродействующие (задержка сигнала не более 5 нс), быстродействующие (5–10 нс); среднего быстродействия (10–50 нс), медленно действующие (>50 нс).

Свойства логических микросхем описываются системой основных параметров и характеристик, которые принято делить на статические и динамические. В статических характеристиках отсутствует время в качестве аргумента функции.

Статические входная $I_{вх} = f(U_{вх})$ — зависимость входного тока от входного напряжения и выходная $I_{вых} = f(U_{вых})$ — зависимость выходного тока от выходного напряжения характеристики в совокупности определяют нагрузочную способность логического элемента, режим его работы и способ согласования (режим работы) линий связи.

Способность элемента работать на определенное число входов других элементов без дополнительных устройств согласования характеризуется нагрузочной способностью. Чем выше нагрузочная способность, тем меньше число элементов может понадобиться при реализации цифрового устройства. Однако при повышении нагрузочной способности другие параметры микросхем ухудшаются: снижаются быстродействие и помехоустойчивость, возрастает потребляемая мощность. В связи с этим в составе различных серий микросхем есть так называемые буферные элементы с нагрузочной способностью в несколько раз большей, чем у основных элементов. Количественно нагрузочная способность оценивается коэффициентом разветвления по выходу.

Коэффициент разветвления по выходу $K_{РАЗ}$ — максимальное число единичных нагрузок, которые можно одновременно подключить к выходу микросхемы. Единичной нагрузкой является вход основного логического элемента данной серии. Для большинства ЛЭ серий ТТЛ $K_{РАЗ}$ составляет ~10, а для микросхем серий КМОП — до 100.

Основной статической характеристикой является амплитудная передаточная характеристика $U_{ВЫХ} = f(U_{ВХ})$ — зависимость потенциала (напряжения) на выходе от потенциала (напряжения) на одном из входов при постоянных значениях потенциала на остальных входах, обеспечивающих заданное функционирование логического элемента.

Вид характеристики зависит от типа логического элемента (ТТЛ, КМОП, ЭСЛ) и может изменяться в опреде-

2. Базовые логические элементы

ленных пределах в зависимости от разброса параметров схем, изменений напряжения, питания, нагрузки, температуры окружающей среды. По типу передаточной характеристики, цифровые схемы делятся на инвертирующие, на выходе которых образуется инверсия входных логических сигналов (элементы *НЕ*, *И-НЕ*, *ИЛИ-НЕ* и др.), и

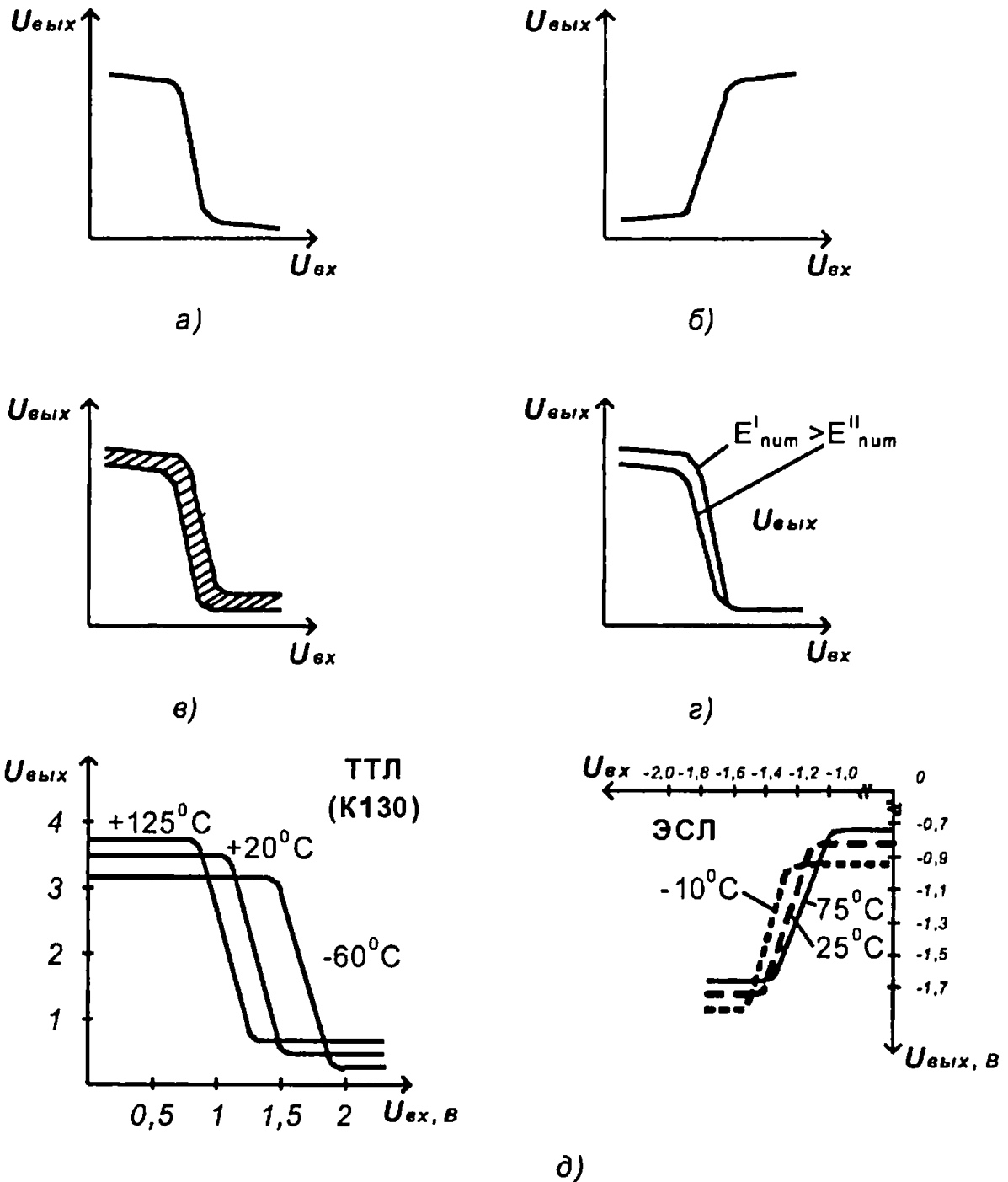


Рис. 2.2

неинвертирующие, на выходе которых образуется неинверсный логический сигнал (элементы *И*, *ИЛИ* и др.). Типичная передаточная характеристика инвертирующего логического элемента показана на рис. 2.2, а, неинвертирующего на рис. 2.2, б. На положение амплитудной передаточной характеристики, в значительной мере влияют технологический разброс параметров (рис. 2.2, в), зависимость от напряжения питания (рис. 2.2, г), зависимость (уход) от температуры (рис. 2.2, д).

Рассмотрим типовую амплитудную передаточную характеристику АПХ инвертирующего ЛЭ (рис. 2.3). Так как цифровая схема должна обеспечить четкое разделение уровней логических 0 и 1, то передаточная характе-

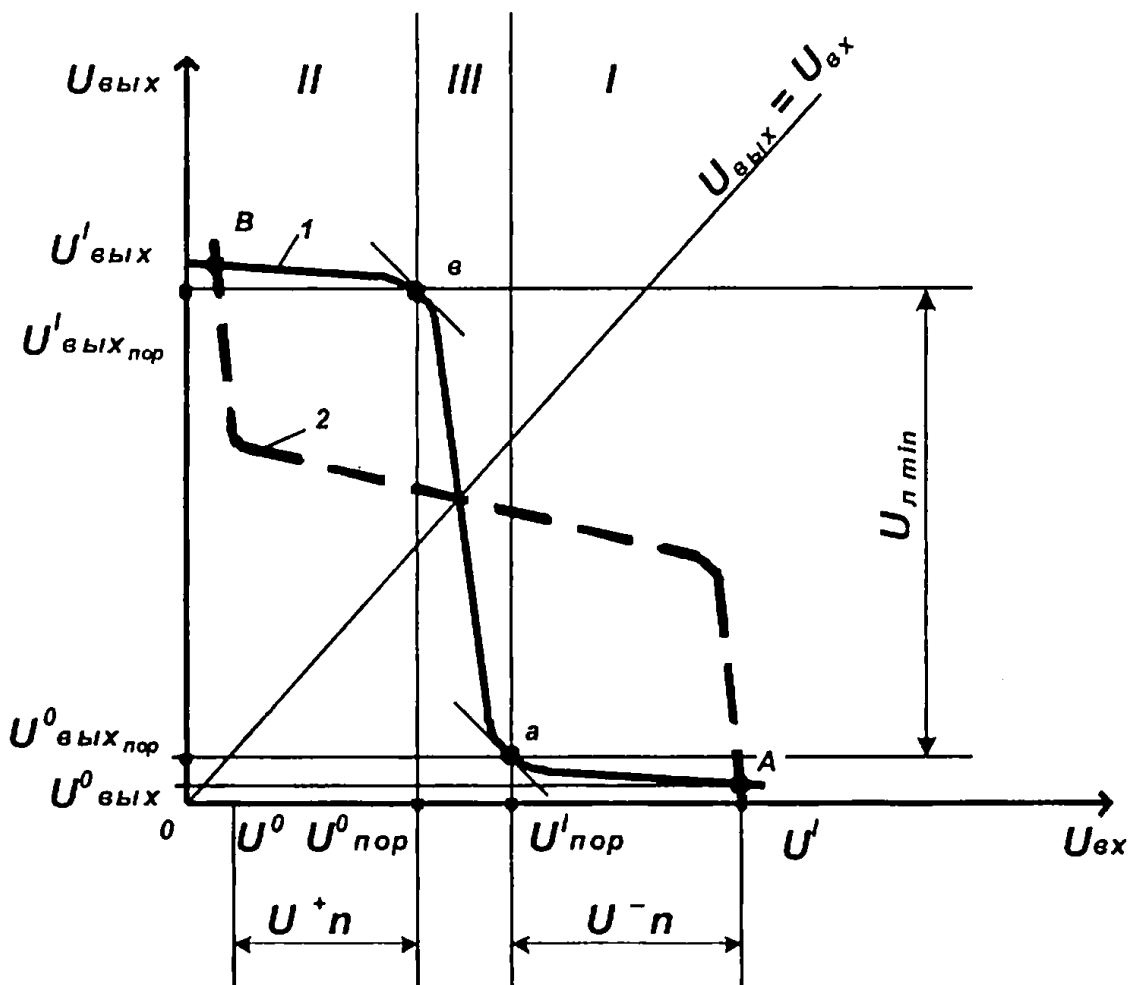


Рис. 2.3

2. Базовые логические элементы

ристика имеет три, явно выраженных участка: I — соответствующий состоянию низкого выходного уровня; II — состояний высокого выходного уровня, III — промежуточному состоянию (зона неопределенности). Условимся для определенности считать высокий уровень логической 1, а низкий — логическим 0. Асимптотически верхний (т. В) и асимптотически нижний (т. А) уровни логических сигналов находятся как точки, пересечения передаточной характеристики (сплошная кривая 1) с ее зеркальным отображением (пунктирная кривая 2) относительно прямой единичного усиления $U_{ВЫХ} = U_{ВХ}$.

По АПХ определяются следующие статические параметры: входные и выходные напряжения логических 0 и 1: ($U_{ВЫХ}^0 = U_{ВХ}^0$, $U_{ВЫХ}^1 = U_{ВХ}^1$); входные и выходные токи логических 0 и 1 $I_{ВХ}^0 = I_{ВЫХ}^0$, $I_{ВХ}^1 = I_{ВЫХ}^1$; пороговые напряжения логических 0 и 1 (низкого и высокого уровней): $U_{ПОР}^0$ и $U_{ПОР}^1$; логический перепад $U_{л}$; статическая помехоустойчивость к отрицательной и к положительной помехе.

Пороговые напряжения логических 0 и 1 соответствуют границам участков (пороговые точки т. в и т. а), в которых дифференциальный коэффициент усиления по напряжению $K_{и} = -1$ для инвертирующего ЛЭ, $K_{и} = 1$ для неинвертирующего.

$$\left| \frac{dU_{ВЫХ}}{dU_{ВХ}} \right|_{U_{ВХ} = U_{ПОР}^0} = \left| \frac{dU_{ВЫХ}}{dU_{ВХ}} \right|_{U_{ВХ} = U_{ПОР}^1} = 1. \quad (2.1)$$

Логический перепад является разностью уровней единицы и нуля

$$U_{л} = U_{ВЫХ}^1 - U_{ВЫХ}^0. \quad (2.2)$$

На практике из-за влияния помех и разбросов параметров устанавливается минимальный логический перепад

$$U_{лmin} = U_{ВЫХ ПОР}^1 - U_{ВЫХ ПОР}^0. \quad (2.3)$$

ЛЭ должны обладать помехоустойчивостью, т. е. нечувствительностью к действию помех определенной величины.

Статическая помехоустойчивость — это максимально допустимая величина постоянного напряжения (помехи), которая при добавлении к полезному сигналу не нарушает работоспособности схемы.

Статическими помехами принято считать помехи, значение которых остается постоянным в течение времени превышающего длительность этапов переходного процесса ЛЭ. Различают помехоустойчивость к положительным помехам или помехоустойчивость по уровню логического 0

$$U_{\Pi}^{+} = U_{\text{ПОМ}}^{0} = U_{\text{ПОР}}^{0} - U^{0} \quad (2.4)$$

и помехоустойчивость к отрицательным помехам или помехоустойчивость по уровню логической 1

$$U_{\Pi}^{-} = U_{\text{ПОМ}}^{1} = U^{1} - U_{\text{ПОР}}^{1}. \quad (2.5)$$

Под действием положительной помехи входное напряжение логического нуля $U_{\text{ВХ}}^{0}$, может увеличиться больше порогового $U_{\text{ПОР}}^{0}$, что приведет к ложному срабатыванию элементов, подключенных к выходу ЛЭ. Отрицательная помеха, уменьшая входное напряжение логической единицы $U_{\text{ВХ}}^{1}$ меньше $U_{\text{ПОР}}^{1}$, также может привести к нарушению работы и сбоям цифрового устройства.

Исходя из передаточной характеристики, можно записать:

$$U_{\Pi}^{+} + U_{\Pi}^{-} \leq U_{\Pi}. \quad (2.6)$$

Таким образом, для повышения помехоустойчивости надо увеличивать логический перепад U_{Π} и уменьшать ширину зоны неопределенности III (рис. 1.3). Однако увеличение логического перепада связано с ростом других параметров: напряжения питания схемы $U_{\text{ИП}}$ и потребля-

2. Базовые логические элементы

емой мощности. Отрицательная помеха не влияет на состояние ЛЭ, если на входе действует напряжение логического нуля $U_{вх}^0$, а положительная, если на входе — $U_{вх}^1$.

Мощность, потребляемая от источников питания нередко различна для разных выходных напряжений $U_{вх}^0$ и

$U_{вх}^1$ логических 0 и 1. В этом случае используют среднюю статическую потребляемую мощность

$$P_{ПОТср} = \frac{P_{ПОТ}^0 + P_{ПОТ}^1}{2}, \quad (2.7)$$

где $P_{ПОТ}^0$, $P_{ПОТ}^1$ — потребляемая микросхемой мощность в состоянии соответственно 0 и 1 на выходе.

Общепринятое усреднение потребляемой мощности оправдано тем, что обычно во время работы в составе цифрового устройства логические микросхемы половину времени находятся в открытом состоянии, а другую половину времени — в закрытом.

К динамическим параметрам относятся параметры, зависящие от времени. Они характеризуют свойства микросхемы в режиме переключения и определяют быстродействие логических элементов. В основном это временные параметры, смысл которых ясен из рис. 2.4:

t^{01} — время перехода из состояния логического 0 (по уровню $0,1 U_x$) в состояние логической 1 (по уровню $0,9 U_x$);

t^{10} — время перехода из состояния логической 1 (по уровню $0,9 U_x$) в состояние логического 0 (по уровню $0,1 U_x$);

$t_{зд.р}^{01}$ — время задержки распространения сигнала при выключении (от уровня $0,5 U_{вх}$ до уровня $0,5 U_{вых}$);

$t_{зд.р}^{10}$ — время задержки распространения сигнала при включении (от уровня $0,5 U_{вх}$ до уровня $0,5 U_{вых}$);

$t_{зд.р.ср.}$ — среднее время задержки распространения сигнала

$$t_{зд.р.ср.} = \frac{t_{зд.р.}^{01} + t_{зд.р.}^{10}}{2}, \quad (2.8)$$

которое определяет среднее время выполнения логических операций и служит усредненным параметром быстродействия.

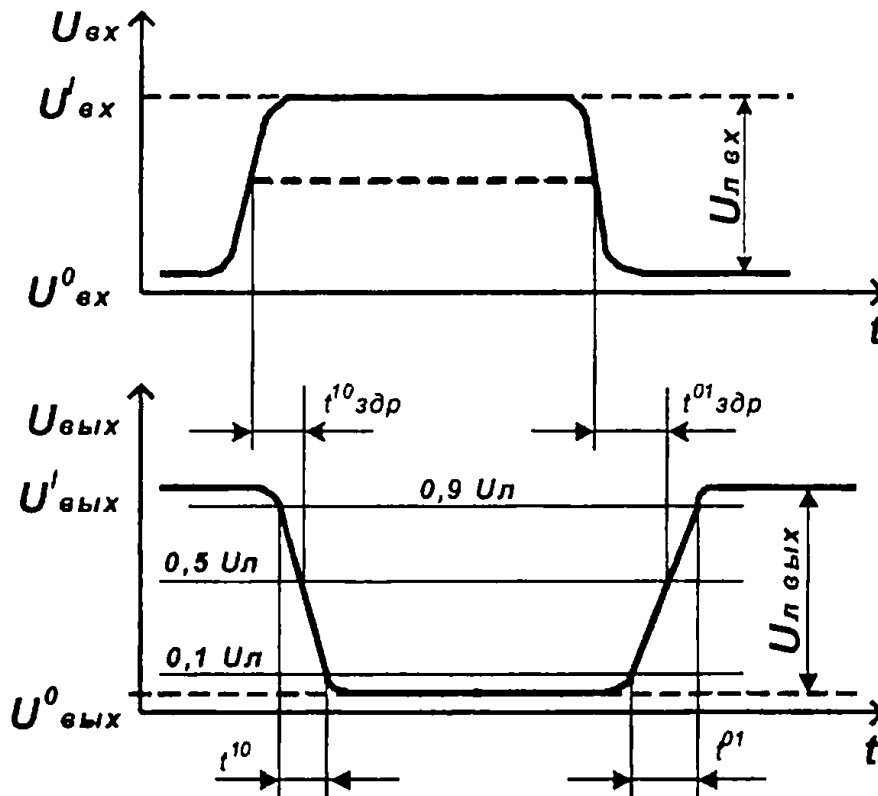


Рис. 2.4

К числу динамических параметров следует отнести также динамическую помехоустойчивость, характеризующую способность микросхемы противостоять воздействию импульсной помехи, длительность которой соиз-

2. Базовые логические элементы

мерима со средним временем задержки распространения сигнала. Амплитудно-временная характеристика импульсной помехи — $U_{пом} = f(t_{пом})$ — временная зависимость допустимой амплитуды помехи от ее длительности — является характеристикой импульсной (динамической) помехоустойчивости. Она необходима при оценке допустимого уровня помех малой длительности для бесперебойного функционирования цифровых ИМС. Импульсные помехи в устройствах имеют большую амплитуду, чем статические, поэтому они могут быть более опасными. Импульсная (динамическая) помехоустойчивость зависит от амплитуды, длительности, формы сигнала помехи и скорости переключения ЛЭ. Обычно импульсная помехоустойчивость выше статической. Отсутствие надежных критериев ее оценки при массовом производстве и ее зависимость от условий работы и применения микросхем не позволили ввести эту зависимость в технические условия. Однако она необходима при конструировании аппаратуры на основе цифровых микросхем. Наиболее широкое распространение получил метод ее оценки с помощью характеристики, приведенной на рис. 2.5, где можно выделить две области: I — допустимых и II — недопустимых импульсных помех. С увеличением длительности помех импульсная (динамическая) помехоустойчивость уменьшается и при больших длительностях импульсов $t_{пом\ имп} > t_2$ приближается к статической $U_{стат.}$ При очень малых длительностях $t_{пом\ имп} < t_1$ ЛЭ нечувствителен к ее амплитуде. Время t_1 определяет минимальную длительность импульса помехи, при которой возможен сбой схемы. Она обычно в несколько раз меньше средней задержки распространения сигнала.

Динамическим параметром является также динамическая мощность $P_{дин}$, т. е. мощность, потребляемая от источника питания во время переключения из 0 в 1 и из 1 в 0.

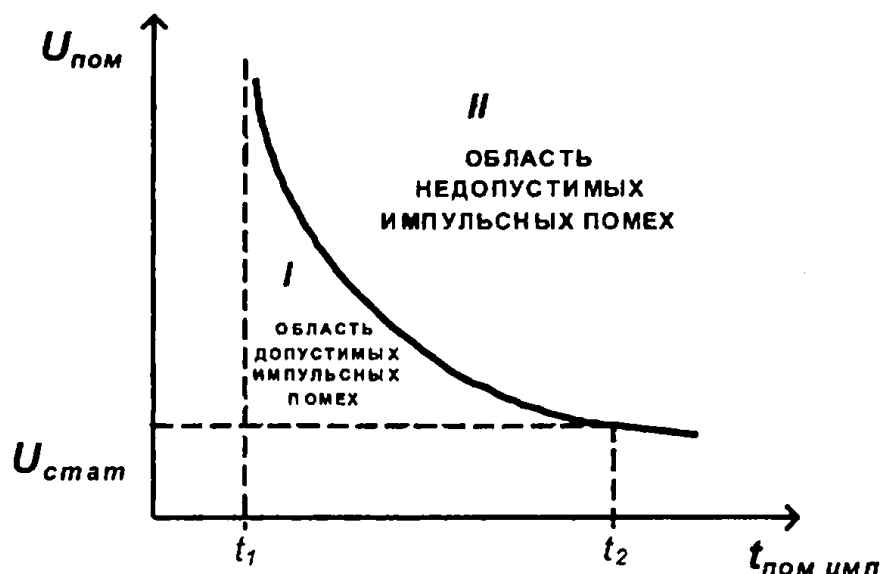


Рис. 2.5

Полная потребляемая мощность зависит от частоты переключения

$$P_{\text{пот}} = P_{\text{пот ср}} + P_{\text{дин}}, \quad (2.9)$$

$$P_{\text{пот}} = f(F_{\text{имп}}), \quad (2.10)$$

где $F_{\text{имп}}$ — частота следования импульсов.

Эта зависимость (2.10) обычно приводится в технической документации. Она имеет различный характер для различных цифровых схем, как показано на рис 2.6. Причины этого будут рассмотрены в дальнейшем при изучении конкретных ИМС.

Работа микросхем на высоких частотах ограничена динамическим параметром F_{max} максимальная рабочая частота схемы — частота, при которой сохраняется работоспособность схемы.

Быстродействие ЛЭ определяется его схемотехникой, технологией и зависит от емкости нагрузки, температуры окружающей среды, напряжения источника питания.

Для большинства полупроводниковых ИМС ограничения по быстродействию связаны с причинами, которые условно можно разделить на три категории: а) ограниче-

2. Базовые логические элементы

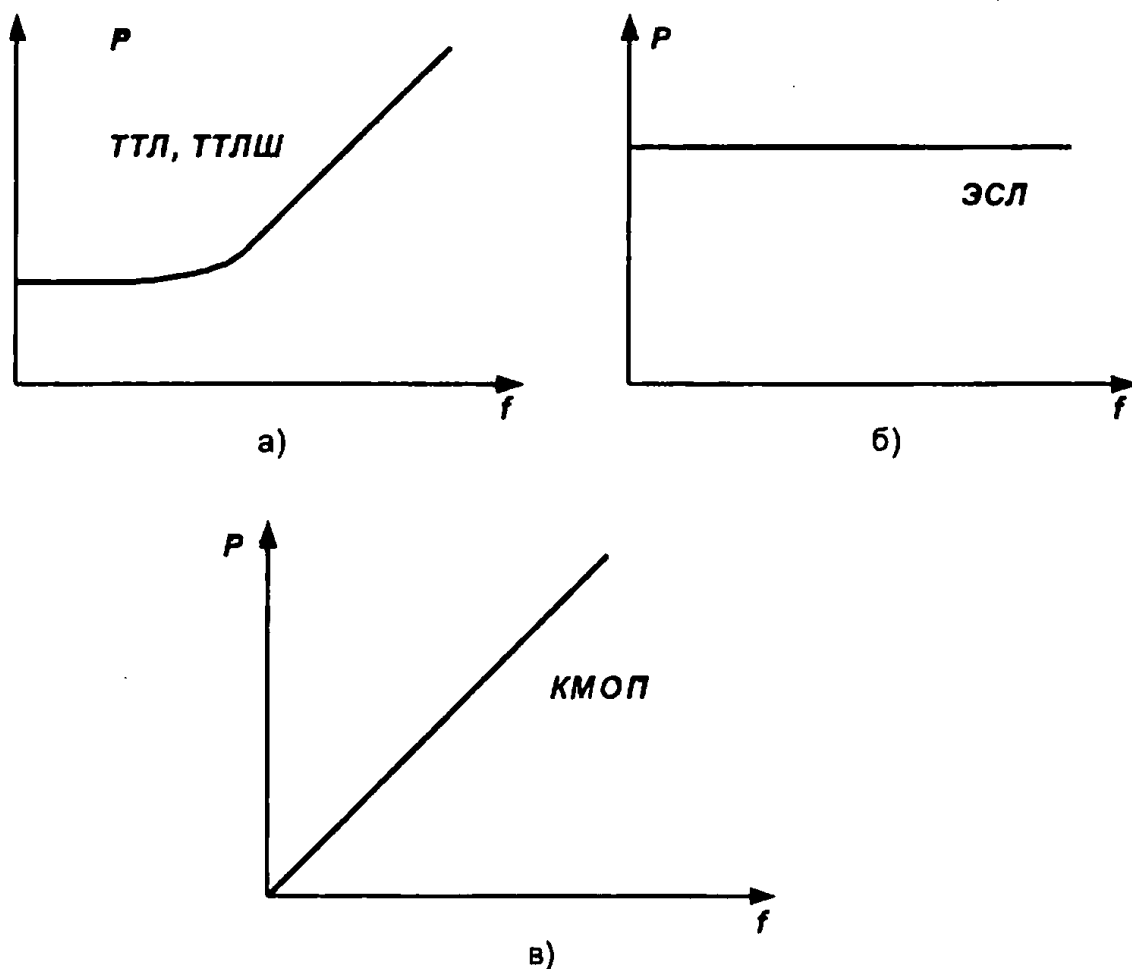


Рис. 2.6

ния, обусловленные компонентами; б) ограничения, обусловленные соединениями; в) паразитные явления, обусловленные свойствами подложки и методом изоляции. Для обеспечения высокого быстродействия схема должна иметь минимальные физические размеры (если, конечно, в ней специально не используют распределенных систем). Миниатюризация одновременно с экономией объема приводит к уменьшению отношения размеров компонентов, к длине волны. Известно, что компонент размером l можно рассматривать как элемент с сосредоточенными параметрами только в случае, если $l \ll \lambda$. В полупроводниковых ИМС характерные размеры компонентов таковы, что их можно считать сосредоточенными вплоть до десятков гигагерц. В обычных схемах по мере повышения, частоты

приходится учитывать высокочастотное сопротивление, паразитные индуктивность и излучение. В микросхемах толщина компонентов имеет тот же порядок (или меньше), что и глубина скин-слоя, поэтому практически сопротивление компонентов на высоких частотах такое же, что и на постоянном токе.

Эффекты, связанные с паразитной индуктивностью и излучением в микросхемах, также пренебрежимо малы. Наиболее серьезная проблема на высоких частотах в резисторах — шунтирующая их емкость. Для ее уменьшения приходится уменьшать размеры резистора в ущерб мощности и допускам.

Для активных компонентов ИМС (транзисторов) первостепенное значение имеют два параметра: 1) f_T — граничная частота, при которой усиление по току в схеме с общим эмиттером падает до единицы. Этот параметр вместе с емкостью коллектора C_K , определяет границы усиления при использовании транзистора в микросхемных усилителях; 2) f_{max} максимальная частота генерации, определяющая предел усиления мощности. Для кремниевых высокочастотных транзисторов f_T составляет несколько гигагерц. Для снижения емкости C_K в транзисторах ИМС максимально уменьшают площадь коллектора; второй способ уменьшения C_K — увеличение ширины перехода — практически неприменимым, так как он связан с увеличением времени пролета неосновных носителей через обедненные слои. Значительная часть емкости C_K у дискретных транзисторов обусловлена проводниками выводов и контактными площадками. В транзисторах ИМС удается практически исключить эту составляющую часть емкости. Кроме того, последовательная индуктивность выводов — другой паразитный параметр характерный для дискретных транзисторов — также может быть заметно уменьшена в ИМС вследствие малого расстояния между компонентами схем.

2. Базовые логические элементы

Существенные ограничения на быстродействие ИМС накладывают паразитные явления, связанные с несовершенством применяемых методов изоляции. Изолирующие р-п переходы вносят паразитные емкости, сравнимые с емкостью C_K транзисторной. Кроме того, наблюдаются паразитные емкости и утечки между компонентами. Значительно ослабить перечисленные выше паразитные явления удается, если использовать изоляцию компонентов от полупроводниковой подложки с помощью «карманов» из тонкого диэлектрического слоя; при этом обеспечивается одновременно эффективный теплоотвод. При такой структуре появляется возможность селективно управлять временем жизни носителей активных приборов, например, легированием переходов золотом (в других конструкциях диффузия золота может повлиять на характеристики соседних приборов).

Ряд параметров учитывает как статику, так и динамику ЛЭ. Это уже рассмотренные коэффициент разветвления по выходу K_{PA3} , полная потребляемая мощность, а также: коэффициент объединения по входу K_{OB} — число входов ИМС, по которым реализуется данная функция; работа (энергия) переключения A — произведение среднего времени задержки распространения сигнала на потребляемую мощность:

$$A = P_{пот} t_{зд. р. ср.} \quad (2.11)$$

Работа переключения обычно выражается в пикоджоулях $[A] = [пДж]$, если мощность потребления — в милливаттах $[P_{пот}] - [мВт]$, а задержка распространения сигнала — в наносекундах $[t_{зд. р. ср.}] = [нс]$.

При заданных технологии и схемотехнике, или при заданной энергии переключения ($P_{пот} t_{зд. р. ср.} = const$) можно создавать различные серии ИМС, обладающие либо высоким быстродействием (малым значением $t_{зд. р. ср.}$) и большей потребляемой мощностью, либо низким быстродействием и малой потребляемой мощностью (рис. 2.7).

$t_{зд.р.ср}$ нс / ЛЭ

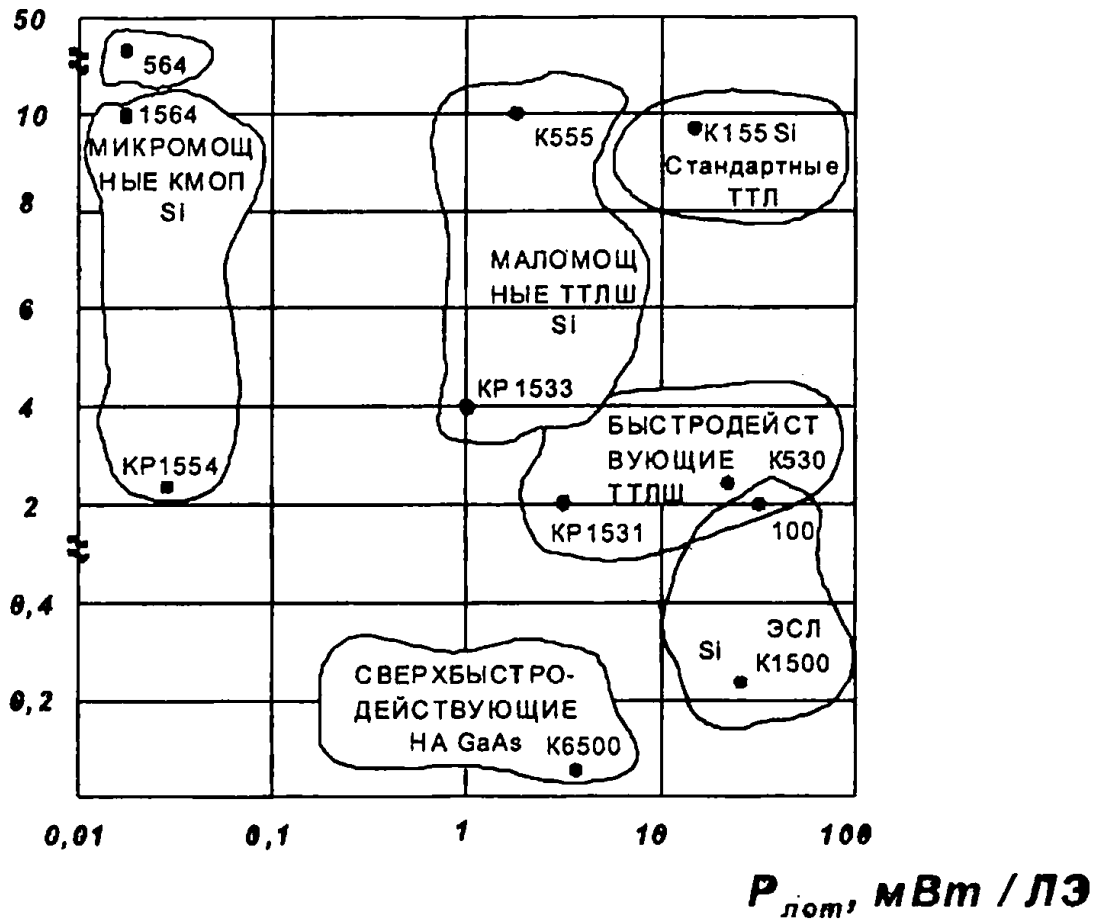


Рис. 2.7

При сравнении базовых ЛЭ чаще всего используют типовые значения параметров. По величине работы переключения можно судить об уровне развития технологии и схемотехники цифровых микросхем. По мере совершенствования технологии и схемотехники и уменьшения размеров элементов на кристалле энергия переключения непрерывно снижается.

Интересно, что теоретически наименьшая энергия переноса единицы информации равна произведению kT . Здесь k — постоянная Больцмана, T — абсолютная температура. Произведение kT — это энергия элементарного шумового выброса. Для $T = 300K$ имеем, $A = k \cdot T =$

2. Базовые логические элементы

$= 1,38 \cdot 10^{-23} \cdot 300 = 4 \cdot 10^{-9}$ пДж. Таким образом, современные микросхемы, а, следовательно, и ЭВМ, построенные на этой элементной базе, потребляют энергию, на девять порядков (миллиард раз) большую по сравнению с теоретическим пределом.

Сравнение различных серий, выпускаемых отечественной промышленностью, показывает, что наименьшая работа переключения для биполярной технологии достигнута на ИС КР1533, а для КМОП — технологии на КР1554. Еще более впечатляющие результаты получены с использованием арсенала галлия — ИС К6500.

Использование диодов Шотки и усовершенствованного технологического процесса, в том числе применение изопланарной технологии, позволило уменьшить потребляемую мощность и времена задержек и создать маломощные (533, К555, КР1533) и быстродействующие (530, КР531, КР1531) ТТЛШ ИМС.

Дальнейшее совершенствование КМОП — технологии, создание транзисторов с длиной канала 1,2 мкм позволило разработать новую микромощную серию ИМС КР1554 с быстродействием до 125 МГц, аналогичным для быстродействующих биполярных ТТЛШ ИМС. Однако малая потребляемая мощность таких схем характерна на частотах до 10...30 МГц. С увеличением рабочей частоты переключения КМОП ИМС растет динамическая мощность. На частотах свыше 10 МГц мощность потребления возрастает и становится сравнимой с мощностью потребления ТТЛШ ИМС (рис 2.6).

Наибольшее быстродействие в биполярных схемах на кремнии достигнуто на ЛЭ ЭСЛ-типа, однако работа переключения таких микросхем довольно велика из-за большой мощности потребления. Минимальное время задержки, полученное в ЭСЛ ИМС (К1500), составляет 0,7 нс/ЛЭ при мощности потребления 40 мВт.

Сверхвысокое быстродействие при малой мощности потребления удалось достичь в микросхемах на арсениде галлия. Работа переключения таких схем составляет сотые доли пикоджоуля при быстродействии 100...150 пс.

Снижение работы переключения цифровых микросхем различных схематических решений за последнее десятилетие составило несколько порядков. Дальнейшее ее уменьшение связано с технологическими ограничениями (минимальными размерами элементов, глубинами залегания переходов и т. д.).

Минимальные топологические размеры, реализованные в микросхемах, близки к предельно достижимым значениям, поэтому дальнейший прогресс в микроэлектронике возможен в результате использования новых полупроводниковых материалов с большей подвижностью носителей заряда. Такими перспективными материалами являются арсенид галлия $GaAs$; фосфид индия InP и др. Реально ограничения работы переключения обусловлены физическими процессами в транзисторах и основными свойствами полупроводникового материала.

Эксплуатационные параметры характеризуют работоспособность ИМС в условиях воздействия окружающей среды. К ним относятся; диапазон рабочих температур, допустимые механические нагрузки (вибрации, удары, линейные ускорения), границы допустимого изменения атмосферного явления, наибольшая влажность и другие.

2.2. Диодно-резисторные логические схемы

Диодно-резисторные логические схемы (ДРЛ) используются в диодно-транзисторной логике (ДТЛ), преобразователях уровней, постоянных запоминающих устройствах (ПЗУ), программируемых логических матрицах (ПЛМ) и др.

2. Базовые логические элементы

В качестве самостоятельных логических элементов ДРЛ не применяются. Основная причина в том, что ДРЛ не могут реализовать функцию НЕ и, следовательно, не могут образовывать функционально полный набор.

Для описания работы диодно-резисторных схем привлекают упрощенные ВАХ и параметры диодов: падение напряжения на открытом диоде обычно принимаемое равным напряжению контактной разности потенциалов $U_{пр} = U_{кн} = 0,7$ В (для кремниевых диодов); сопротивление открытого диода, смещенного в прямом направлении, $r_{пр}$ принимают равным десяткам Ом; сопротивление диода, смещенного обратном направлении, составляет сотни килоом и более, поэтому токами утечки обратного смещенного $p-n$ -перехода при анализе работы схем нередко пренебрегают, полагая их равными нулю. Реально они имеют величину менее микроампер.

Рассмотрим диодно-резисторные логические схемы (ДРЛ), входные и выходные напряжения, булевы функции, в положительной (ПЛ) и отрицательной (ОЛ) логике (рис. 2.8; 2.9; 2.10; 2.11). Если сопротивление нагрузки $R_H \gg R$, то его можно не учитывать.

Логический элемент ДРЛ, изображенный на рис. 2.8, а, выполняет функцию И в ПЛ (для высоких уровней). Если на оба входа x_1, x_2 поступают сигналы с уровнем

$$U_{ВХ} > E - U_{кн} = 5 - 0,7 = 4,3 \text{ В}, \quad (2.12)$$

то $U'_{ВЫХ} \approx 5$ В, так как $VD1$ и $VD2$, будут закрыты, разность потенциалов на их выходах в этом случае меньше $U_{кн}$. Напряжение на нагрузке меньше E на величину падения напряжения на сопротивление R :

$$U'_{ВЫХ} = E - U_R. \quad (2.13)$$

Если хотя бы на один из выходов подано напряжение низкого уровня, например, $U_{ox1} = 0,2$ В, то соответствующий

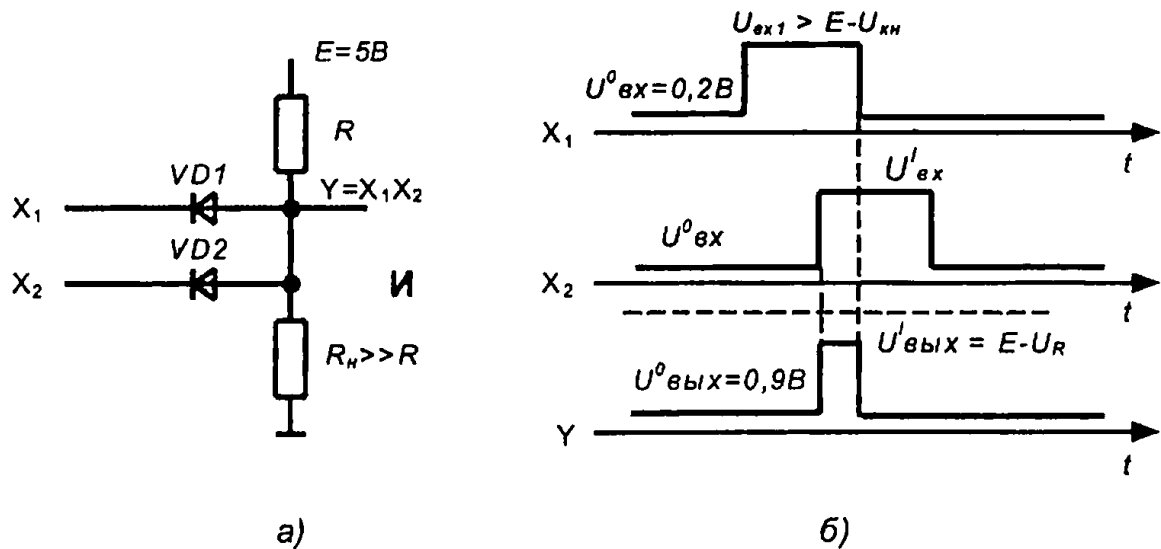


Рис.2.8

щий диод (*VD1*) оказывается открытым, и на нагрузке устанавливается напряжение низкого уровня

$$U^0_{\text{ВЫХ}} = U_{\text{ВХ}} + U_{\text{ПР}} = 0,2 \text{ В} + 0,7 \text{ В} = 0,9 \text{ В}. \quad (2.14)$$

Работу схемы поясняют временные диаграммы рис. 2.8, б.

ДРЛ на рис. 2.9, а является схемой *ИЛИ* на положительные сигналы (на высокие уровни). Сигнал логической единицы передается из входа на выход, при подаче на один (любой) из входов положительного напряжения, превышающего напряжение отпирания диодов. Напряжение на входе $U^1_{\text{ВЫХ}}$ меньше входного $U^1_{\text{ВХ}}$ на вели-

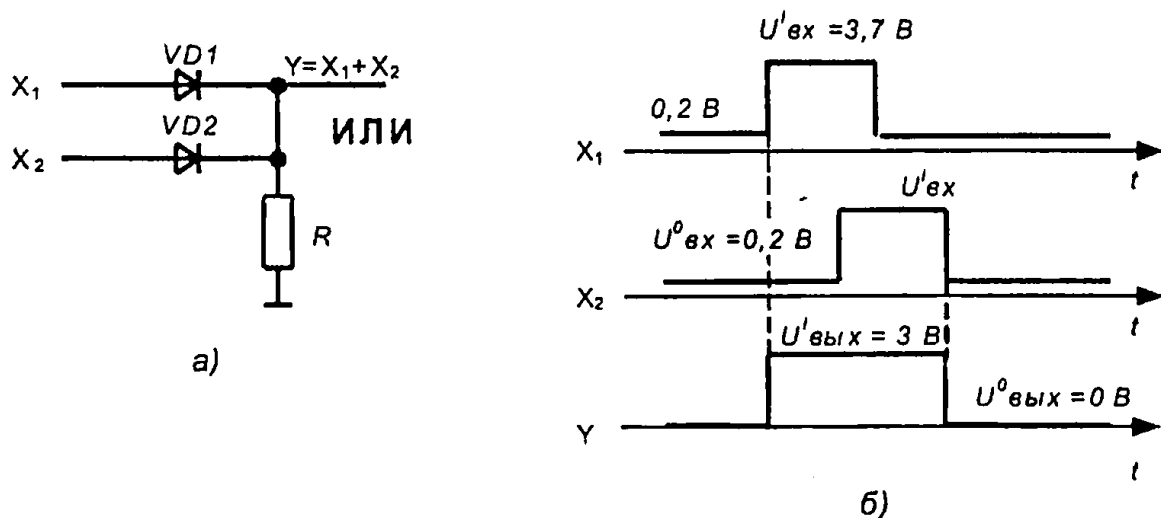


Рис. 2.9

2. Базовые логические элементы

чину $U_{пр}$, например, при $U^1_{вх} = 3,7$ В имеем $U^1_{вых} = 3$ В (рис. 2.9. б).

$$U^1_{вых} = U^1_{вх} - U_{пр} = U^1_{вх} - U_{кн}. \quad (2.15)$$

Если входное напряжение на обоих диодах недостаточно для отпирания диодов, например, $U_{вх} = 0,2$ В, то оба диода заперты, выходное напряжение практически равно нулю $U_{вых} \approx 0$ В. Работу схемы поясняют временные диаграммы на рис. 2.9, б.

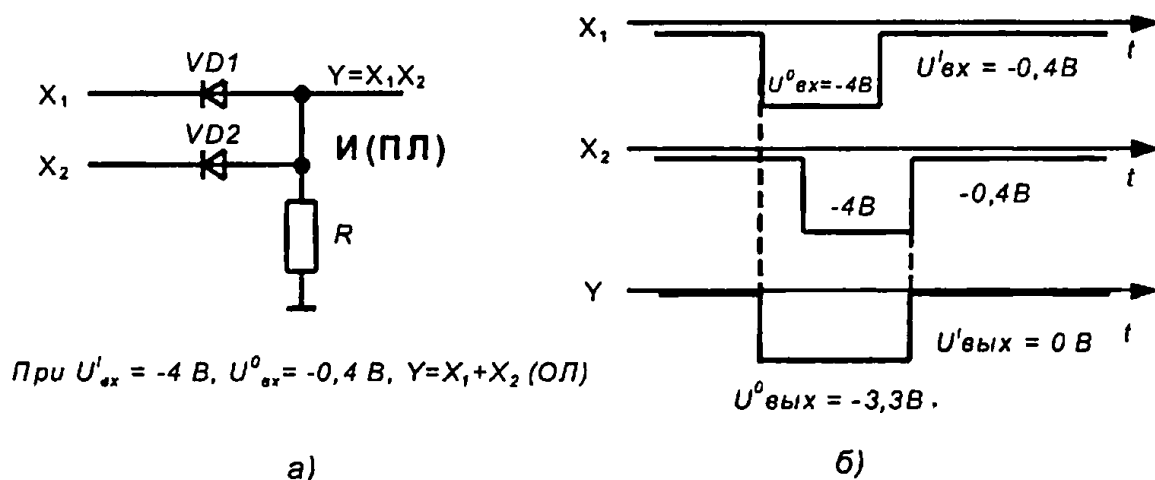


Рис. 2.10

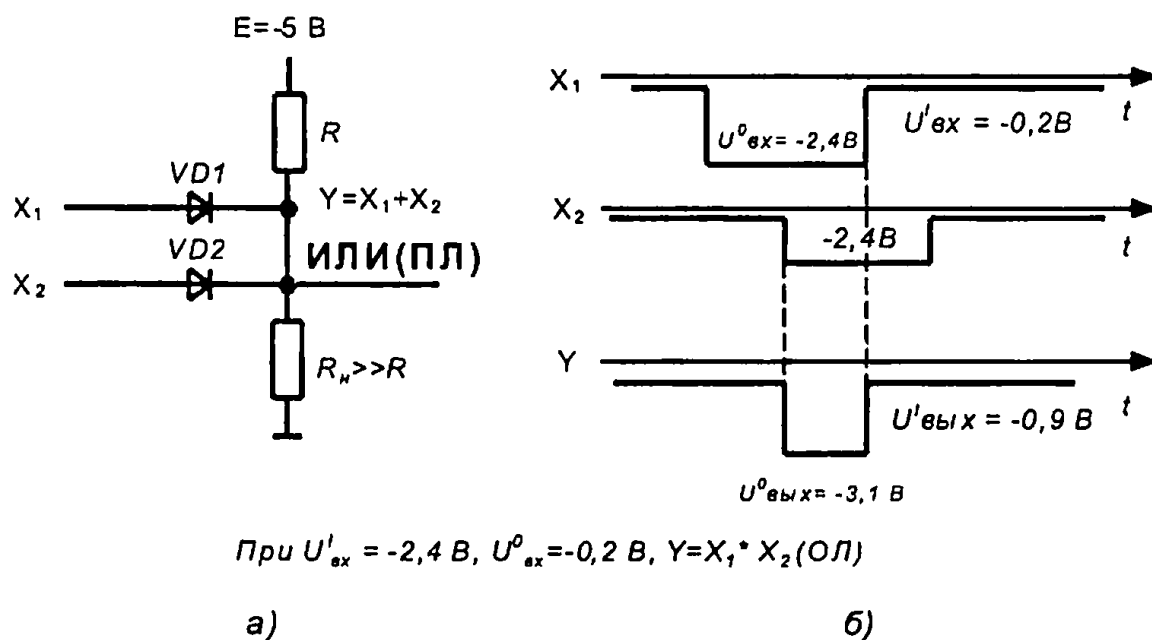


Рис. 2.11

Схемы ДРЛ, представленные на рис. 2.10 и 2.11, работают аналогично. Предоставим читателю возможность самостоятельно проанализировать состояние схем при подаче на них различных сигналов. Отметим особенность, что данные ДРЛ (рис. 2.10 и 2.11) работают при отрицательных входных и выходных сигналах и отрицательном напряжении питания. Следовательно, ДРЛ на рис. 2.10, а — это схема *И* на высокие уровни (в ПЛ) и схема *ИЛИ* на отрицательные сигналы (на низкие уровни). Соответственно ДРЛ на рис. 2.11, а в ПЛ является схемой *ИЛИ* на высокие уровни, а в ОЛ — схемой *И* на отрицательные сигналы (низкие уровни). При анализе работы схем рекомендуется пользоваться таблицей 2.1.

Напомним, что приведенный анализ схем, рис. 2.8, а и 2.9, а является упрощенным, так как не учитывает в полной мере зависимость тока через *p-n*-переход от напряжения и изменения параметров диода при изменении рабочей точки (величины протекающего тока).

2.3. Транзисторно-транзисторные логические элементы

2.3.1. Общие сведения об ИМС ТТЛ, ТТЛШ

Интегральные схемы с транзисторно-транзисторной логикой относятся к числу наиболее распространенных логических схем. Они представляют собой биполярные полупроводниковые ИМС, конструктивно-технологически выполнены по планарно-эпитаксиальной технологии с изоляцией *p-n*-переходами. ТТЛ относятся к насыщенным логическим ИМС, ТТЛШ — к ненасыщенным. В качестве примера можно перечислить серии: 130, 131, 133, 134, 155 (ТТЛ), 530, 531, 555, 1531, 1533 (ТТЛШ).

Широкое применение данных ИМС обусловлено следующими достоинствами: схемно-технологическая обрабатанность, и как следствие, высокий процент выхода готовых схем и низкая стоимость, а также широкий функциональный набор логических элементов и высокая помехоустойчивость.

Функциональная группа логических элементов включает все типы устройств, реализующих основные логические функции: *НЕ*; *И-НЕ*, *И*, *ИЛИ-НЕ*, *ИЛИ*, *И-ИЛИ-НЕ*, *исключающее ИЛИ* и т. д. Одним из преимуществ серии ИМС ТТЛ является наличие в их составе кроме логических элементов таких схем как триггеры, дешифраторы, регистры сдвига, счетчики, сумматоры, элементы памяти со схемами управления. Наличие схем, представляющих собой готовые узлы ЭВМ, включающие сразу несколько двоичных разрядов, позволяет уменьшить число корпусов ИМС и получить существенный выигрыш в объеме.

С экономической точки зрения, эта технология выгодна для микросхем малой и средней степени интеграции. Она может быть использована при сопряжении слаботочных маломощных кристаллов БИС с внешней аппаратурой в интерфейсах (схемах сопряжения).

По сравнению с обычными схемами ТТЛ, схемы транзисторно-транзисторной логики с барьером Шоттки (ТТЛШ) имеют существенно лучшие характеристики. Усилия разработчиков и технологов ИМС ТТЛ направлены как на расширение функционального состава отдельных серий, усложнение выполняемых функций, так и на улучшение рабочих характеристик ИМС благодаря увеличению быстродействия и уменьшению потребляемой мощности. Сравнение различных серий между собой общепринято производить по этим двум параметрам, а также для интегральной оценки служит энергия переключения, равная их производству (2.11) (см. таблицу 2.3).

Таблица 2.3

Параметры микросхем ТТЛ, ТТЛШ

Параметр	ТТЛ 133, 155	ТТЛШ		
		530, 531	533, 555	1533
$t_{зд.р.}$ нс	10	3	9,5	4
Удельная потребляемая мощность на 1 ЛЭ, мВт/ЛЭ	10	19	2	1
Работа переключения, пДж	100	57	19	4

Отечественной промышленностью выпускается ряд серий ИМС ТТЛ. К наиболее перспективным следует отнести: стандартные (155); быстродействующие с диодами Шоттки (531, 1531), маломощные с диодами Шоттки (555, 1533).

Микросхемы серии 555, как нетрудно видеть из сравнительной таблицы 2.3 параметров, по быстродействию соответствуют серии 155, но потребляемый ток уменьшен в 5 раз, по экономичности они уступают микросхемам серии 134 (1 мВт/ЛЭ) всего в 2 раза, но в итоге потребляют энергию на перенос 1 бита информации в 1,5 раза меньше. ИМС 555 вытеснили из аппаратуры серию 134 и по мере наращивания номенклатуры служат эффективной заменой для микросхем массовой стандартной серии 155. Микросхемы серии 531 потребляют энергию на перенос 1 бита, в 2...3 раза меньшую, чем у микросхем старой серии 131, из-за чего она также стала неперспективной. Еще более перспективным выглядит развитие и применение ИМС ТТЛШ серии 1533. При одинаковом быстродействии ТТЛШ в среднем потребляют в 5 раз меньшую мощность на один базовый ЛЭ.

Анализ работы ИМС в цифровой аппаратуре показывает, что до 20% из них должны работать с предельными скоростями, примерно 60% с умеренными, остальные ИМС могут быть низкоскоростными. Они работают в индикаторных и регистрирующих устройствах. В общих чертах такое соот-

2. Базовые логические элементы

ношение существует между объемами выпуска быстродействующих, стандартных и низкоскоростных ИМС ТТЛ.

В настоящее время в различных устройствах находят применение следующие серии:

- ♦ среднего быстродействия, стандартные (133, 155);
- ♦ маломощные (134, 533, 555, 1533);
- ♦ быстродействующие (130, 131, 530, 531, 1531).

Серии ИМС, изготовленные по ТТЛ технологии, отличаются номиналами резисторов, типами используемых транзисторов, особенностями схемных решений, а, следовательно, различаются по временным параметрам и потребляемой мощности. Серии 130, 131 по сравнению с 133, 155 отличаются более высоким быстродействием, достигаемым за счет увеличения потребляемой мощности. Наименьшее потребление мощности в ИМС 134 серии достигается применением резисторов нагрузки с более высокими номиналами, что приводит к уменьшению потребляемых токов, и, как следствие, к увеличению времени переключения логических схем.

Быстродействие микросхем ТТЛ можно повысить двумя способами:

1) уменьшая сопротивления резисторов и паразитных емкостей;

2) предотвращая насыщение транзисторов схемы, а, следовательно, и накопление носителей в их базах.

Второй способ осуществляется применением транзисторов Шоттки. Введение в схемы диодов Шоттки исключает накопление неосновных носителей зарядов в базовых слоях транзисторов, что приводит к уменьшению времени выключения t^{01} , т. е. повышается быстродействие. Использование диодов Шоттки на входах уменьшает отрицательные выбросы импульсов напряжения. Это обусловлено тем, что прямое падение напряжения на диоде Шоттки $U_{np} = 0,4$ В меньше, чем $p-n$ -переходе при одном и том же токе.

Все микросхемы семейства ТТЛ, ТТЛШ полностью совместимы между собой по

- ♦ логическим уровням $U_{ВЫХ}^0 \leq 0,5 \text{ В}$; $U_{ВЫХ}^1 \geq 2,4 \text{ В}$;
- ♦ напряжению питания $U_{ИП} = 5 \text{ В} \pm 10\%$;
- ♦ помехоустойчивости $\sim 1,1 \text{ В}$;

но не по значениям токов.

Микросхемы ТТЛ более новых серии имеют улучшенные электрические параметры, но расположение их выводов остается прежним. Полная электрическая и конструктивная совместимость одностипных микросхем ТТЛ, ТТЛШ из разных серий снимает многие проблемы развития и улучшения параметров аппаратуры и стимулирует наращивание степени внутренней интеграции вновь выпускаемых микросхем, когда на одном кристалле размещается все большее число функциональных узлов, многие из которых ранее были самостоятельными микросхемами.

Частота переключений триггеров на основе ЛЭ составляет: 15 МГц (до 30 МГц) — 133, 155 серий; 25 МГц (до 45 МГц) — 533, 555; 75 МГц (до 125 МГц) — 530, 531, 30 МГц (до 100 МГц) — 1533; 100 МГц (до 130 МГц) — 1531.

Ограничения по частоте обусловлены тем, что при переключении ЛЭ ТТЛ и ТТЛШ имеют место выбросы тока, что приводит к увеличению тока потребления на высоких частотах (см. рис. 2.6). Амплитуда и длительность такого выброса, зависят от характера нагрузки, схемотехнического решения выходного каскада, длины линии связи и т. д.

При разработке аппаратуры следует учитывать изменение основных параметров ИМС при изменении температуры, напряжения питания, нагрузки. При совокупном воздействии следует учитывать суммарное изменение параметра. Аппаратура должна быть спроектирована так, чтобы ее нормальная работа сохранялась при установке любого образца ИМС данного типа, т. е. обеспечивалась взаимозаменяемость.

2. Базовые логические элементы

Быстродействие. Повышение температуры кристалла приводит к увеличению времени рассасывания носителей всех транзисторов, их коэффициентов насыщения. Номиналы резисторов также возрастают, что приводит к небольшому уменьшению переключаемых токов, так что суммарное влияние температуры сказывается на временах задержки распространения транзисторов. При этом задержка $t_{зд.р.}^{10}$ с ростом температуры несколько снижается, тогда как более чувствительная задержка $t_{зд.р.}^{01}$ возрастает. Типовое значение изменения $t_{зд.р.}^{01}$ и $t_{зд.р.}^{10}$ составляет 0,04 нс/°С. Емкость на выходе ТТЛ схемы увеличивает время задержки при включении и выключении примерно на 0,07 нс/пФ.

Повышение напряжения питания увеличивает управляющие базовые токи транзисторов и способствует более быстрому их переключению. Обычно это повышение больше сказывается на задержке при выключении, чем на задержке при включении.

Мощность рассеивания. Ток потребления линейно зависит от напряжения питания, так как логический элемент ведет себя практически как резистор, поэтому рассеиваемая мощность с ростом напряжения питания возрастет по обычному квадратному закону. При изменении температуры происходит незначительное изменение токов ИМС, поэтому для практических целей зависимость рассеиваемой мощности от температуры можно не учитывать. С ростом частоты переключения рассеиваемая мощность возрастает (рис. 2.6). Так как емкость на входе ИМС увеличивает длительность выбросов тока, то с увеличением емкости возрастает и рассеиваемая мощность, причем это возрастание зависит от частоты переключения логического элемента, его характеристик и емкостной нагрузки. В большинстве практических случаев (при частотах значительно меньше предельных) эту зависимость можно не учитывать.

Нагрузочная способность. Так как коэффициенты усиления транзисторов и сопротивления резисторов зависят от температуры, то следовало бы ожидать и влияние температуры на нагрузочную способность. Однако, значения токов, по которым рассчитываются коэффициенты разветвления по выходу, даются с учетом температурного диапазона, поэтому изменения фактических значений токов можно не учитывать.

Помехоустойчивость. Влияние внешних факторов на помехоустойчивость можно рассмотреть по изменению положения переходной характеристики $U_{ВЫХ} = f(U_{ВХ})$ (см. рис. 2.2, г, д). Повышение температуры вызывает уменьшение напряжения на переходах примерно на $0,002 \text{ В/}^\circ\text{С}$, поэтому с ростом температуры напряжение $U_{ВЫХ}^1$ будет расти. Следовательно, статическая помехоустойчивость по низкому уровню будет уменьшаться, а по высокому увеличиваться. Повышение температуры влияет и на динамическую помехоустойчивость, т. е. уменьшает помехоустойчивость положительных импульсов на низком уровне и повышает помехоустойчивость отрицательных импульсов на высоком уровне.

Изменения напряжения питания не оказывают заметного влияния на низкий выходной уровень. Однако высокий выходной уровень определяется падениями напряжения на $p-n$ -переходах, отсчитываемых от напряжения питания $U_{п.п.}$, поэтому любые изменения будут непосредственно накладываться на высокий выходной уровень и изменять помехоустойчивость.

Таким образом, в результате рассмотрения параметров и свойств ИМС ТТЛ, ТТЛШ можно отметить, что данное семейство логических ИМС хорошо технологически отработано, имеет широкий функциональный набор, параметры удовлетворяют в основном предъявляемым требованиям и поэтому является в настоящее время наиболее рас-

2. Базовые логические элементы

пространственным. Улучшение характеристик идет в направлении разработки технологии ТТЛШ.

Три варианта перспективных микросхем с переходами Шоттки разработали фирмы *Fairchild* и *Texas Instruments*. Это микросхемы с условными названиями *FAST*, *AS* и *ALS* (серии *74F*, *74AS* и *74ALS* соответственно). *FAST* — это начальные буквы слов *Fairchild Advanced Schottky TTL*. Сокращение *AS* происходит от слова *Advanced*, т. е. с опережением, авансом, и фамилии *Schottky*. В наименование *ALS* добавлена начальная буква слова *low*, т. е. это мало-мощный вариант микросхем предыдущего типа.

Внутри микросхемы *FAST*, т. е. на кристалле, где очень малы монтажные емкости, межэлементные процессы проходят с задержкой распространения $t_{зд. р. ср} = 1,75$ нс на логическую операцию. Столь большая достижимая скорость работы есть результат применения новых интегральных транзисторов со структурой, условно называемой «Изопланар — 11».

Изопланарные структуры отличаются, во-первых, оксидной (а не *p-n*-переходами) изоляцией между соседними транзисторами, во-вторых, оболочковыми областями *p-n*-переходов собственно транзистора. Первое обстоятельство позволяет практически исключить взаимные утечки тока через кварцевое стекло SiO_2 между коллекторами и сильно уменьшает паразитные емкости коллекторов на подложку, второе помогает уменьшить емкость перехода коллектор-база интегрального транзистора на 60%.

Граничная частота транзисторов «Изопланар-11» достигает 5 ГГц. У транзисторов обычной планарной конструкции она не превышала 1,6 ГГц. В изопланарном транзисторе эмиттер плотно огражден стенками высококачественного изолятора SiO_2 .

Среди трех перспективных серий ТТЛШ логический элемент *FAST* считается как бы компромиссным, поскольку

ку два других варианта выполнены в милливаттном (*ALS*) и сверхскоростном (*AS*) исполнении. Элемент *ALS* потребляет мощность $P_{пот} = 1,2$ мВт и переключается с задержкой $t_{зд. ср. р.} = 4$ нс. Такая структура перспективна для скоростных БИС, где успех во многом определяется эффективным отводом тепла от 1000 и более логических элементов, расположенных на кристалле. Элементы *AS* потребляют мощность 8 мВт, но обеспечивают время задержки 1,75 нс.

Существует противоречие между рассеиваемой на кристалле микросхемы мощностью и ее быстродействием. Это можно пояснить примером. Микросхема *FAST*, содержащая 100 логических элементов, будет потреблять мощность 400 мВт. Если с предельным быстродействием в микросхеме должно работать, только 20% элементов, то 20 элементов *AS* будут потреблять 160 мВт, а остальные 80 элементов типа *ALS* — 96 мВт, что даст в сумме 256 мВт. Таким образом, надо уметь гибко сочетать серии микросхем *FAST*, *AS* и *ALS*.

Серии *FAST* аналогична по параметрам отечественная КР1531. Микросхемы серии КР1533 сходны с микросхемами типа 74 *ALS*.

2.3.2. Разновидности транзисторных логических микросхем

Транзисторная логика с непосредственными связями (ТЛНС). Транзисторная схема с непосредственными связями является одной из самых простых логических схем. Она обычно содержит несколько транзисторов с заземленными эмиттерами и коллекторами, подсоединенными к общему резистору. Число логических входов определяется числом транзисторов.

На рис. 2.12 представлена основная схема транзисторной логики с непосредственными связями, выполняющая функцию *ИЛИ-НЕ*. Входные сигналы подаются непосредственно на базы транзисторов.

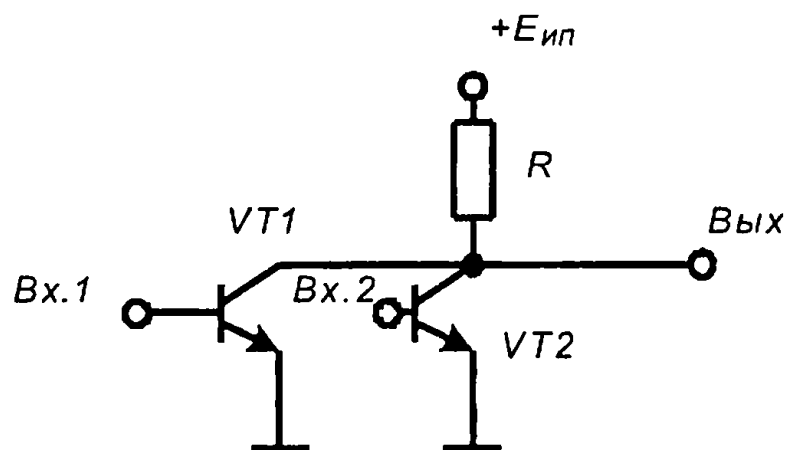


Рис. 2.12

При подаче отпирающего сигнала на базу, который для кремниевых транзисторов составляет 0,7–0,8 В, транзистор переходит в режим насыщения. При этом падение напряжения на коллекторе равно напряжению насыщения транзистора и составляет 0,1–0,2 В, $U_{\text{ВЫХ}}^0 = U_{\text{КЭНАС}} \approx 0,1 \div 0,2$ В. При подаче на все входы низкого потенциала (около 0,2 В) все транзисторы схемы будут закрыты и через коллекторы транзисторов и резисторов будут протекать небольшие токи утечки, а выходное напряжение приблизится к напряжению питания схемы $U_{\text{ВЫХ}}^1 = E_{\text{ИП}} - I_{\text{КО}}R$. Благодаря возможности объединения коллекторов транзисторов схема может быть размещена в двух изолированных областях, что позволяет экономично использовать площадь подложки.

Существенный недостаток схемы с непосредственными связями обусловлен сильной зависимостью процессов, происходящих в схеме, от характеристик транзисторов. Если входное сопротивление транзисторов не одинаково, имеет место разброс параметров, что наблюдается при использовании схем, полученных при различных режимах диффузии, то основная часть выходного тока может протекать только через какой-либо один транзистор, а влияние остальных транзисторов, подключенных к этому же выходу, оказывается незначительным. Это приводит к

снижению помехоустойчивости ($U_{ном} = 0,1-0,15$ В), так как небольшие отклонения уровней напряжений вносят большие изменения в значения тока, подаваемого на базу транзистора с низким сопротивлением, а по остальным транзисторам не протекает ток, достаточный для их полного насыщения. Это ведет к снижению надежности работы схемы и уменьшает ее нагрузочную способность (обычно $K_{раз} \leq 4$).

Другой недостаток схемы связан с ее низким быстродействием, поскольку в открытом состоянии транзисторы схемы работают в режиме насыщения.

Резистивно-транзисторная логическая схема (РСТЛ). Влияние неравномерного распределения токов, которое присуще транзисторным схемам ТЛНС, можно уменьшить, если в базовые цепи транзисторов включить резисторы R_B (рис. 2.13). Такая схема называется резистивно-транзисторной логической схемой. Эти резисторы позволяют увеличить входное сопротивление схемы и, следовательно, ее помехозащищенность и нагрузочную способность. Сопротивление резисторов R_B должно быть больше входного сопротивления транзисторов $R_B > R_{вх\ пр}$. Поэтому базовый ток в основном определяется сопротивлением резистора R_B ,

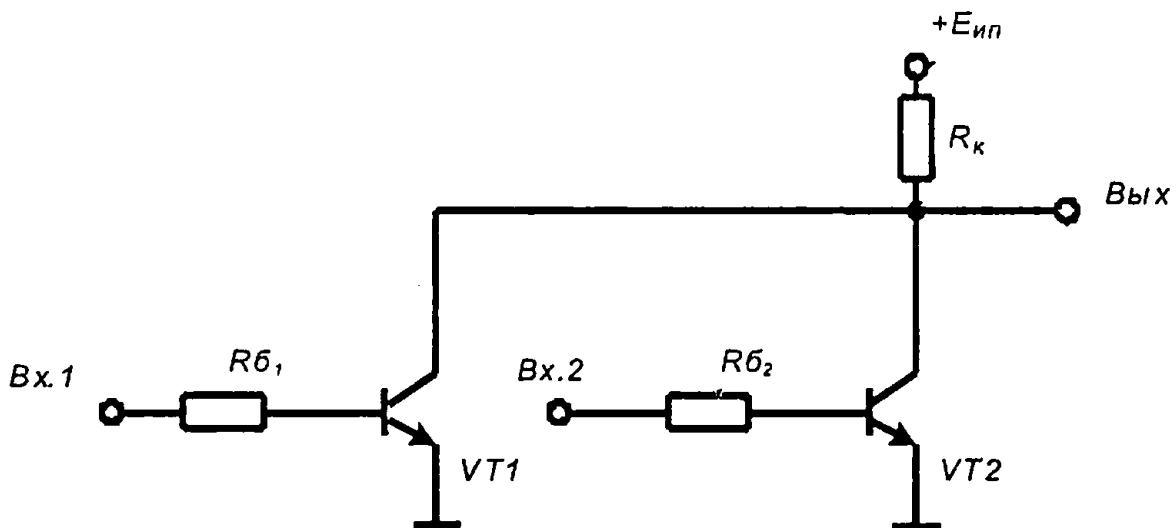


Рис. 2.13

2. Базовые логические элементы

и если $R_{B1} = R_{B2} = \dots = R_{Bn}$, то происходит выравнивание базовых токов. Однако увеличение R_B вызывает нежелательное уменьшение базовых токов транзисторов во время переходных процессов и препятствует насыщению транзисторов входным током.

Сопротивление резистора R_B влияет также на значение коэффициента разветвления по выходу K_{PA3} . Для получения максимального коэффициента K_{PA3} необходимо выбирать оптимальное значение сопротивления резистора R_B , включенного в цепь базы. Включения резистора в цепь базы, кроме того, оказывает влияние на быстродействие схемы.

Резистивно-емкостная транзисторная логическая схема (РЕТЛ). Для уменьшения ограничивающего влияния сопротивления R_B на значения включающего и выключающего токов базы транзистора, а также для обеспечения высокого коэффициента разветвления по выходу и статической помехоустойчивости обычно выбирают некоторое оптимальное сопротивление резистора, включенного в базовую цепь транзистора ($R_B = R_{B\text{ опт}}$). Этот резистор шунтируют конденсатором большей емкости C_B .

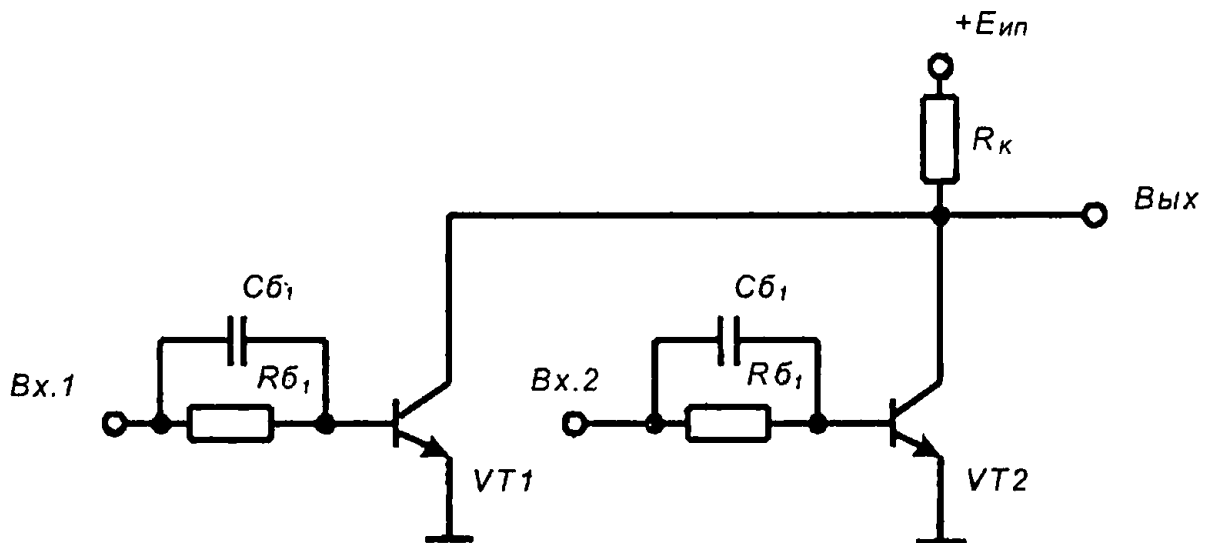


Рис. 2.14

Если время перезарядки конденсатора C_B больше времени задержки включения и выключения схемы, то это вызывает увеличение токов в базовых цепях транзисторов во время переходного процесса. При одинаковых сопротивлениях в базовых цепях и при условии, что $R_B > R_K$, в схемах с резистивно-емкостной связью задержки включения и выключения составляют $t_{зд} = 200-300$ нс, что меньше по сравнению со схемами с резистивной связью. Поэтому конденсатор C_B называют ускоряющим.

Емкость ускоряющего конденсатора должна превышать сумму усредненных емкостей транзистора $C_B + C_K$, а постоянная времени $\tau_{BK} = R_B C_B$ должна в несколько раз превышать постоянную времени рассасывания заряда в базе транзистора. Только в том случае ускоряющий конденсатор будет эффективно шунтировать резистор R_B как во время задержки включения схемы, так и во время задержки выключения.

Схемы РСТЛ и РЕТЛ использовались на первом в этапе развития микроэлектроники. Однако в полупроводниковых ИМС с высокой степенью интеграции они оказались неперспективными в связи с большим количеством резисторов и конденсаторов, занимающих большую площадь. Вариант ТЛНС, точнее его свойство — соединенные эмиттеры и коллекторы всех транзисторов — легли в основу перспективных схем интегральной инжекционной логики И²Л.

Диодно-транзисторная логическая схема (ДТЛ) является более совершенной по сравнению с ранее рассмотренными. Во входных цепях ДТЛ в качестве логических элементов используются диоды. Из большого разнообразия видов рассмотрим схему ДТЛ с простым инвертором (рис. 2.15), выполняющую функцию И-НЕ. Входные диоды $VD1-V D4$ вместе с резистором $R1$ образуют диодно-резистивную логику И. Смещающие диоды $VD_{см1}$ и $VD_{см2}$ увеличивают порог закрывания схемы и повышают ее помехоустойчивость в открытом состоянии. Резистор $R2$ определяет ток, проте-

2. Базовые логические элементы

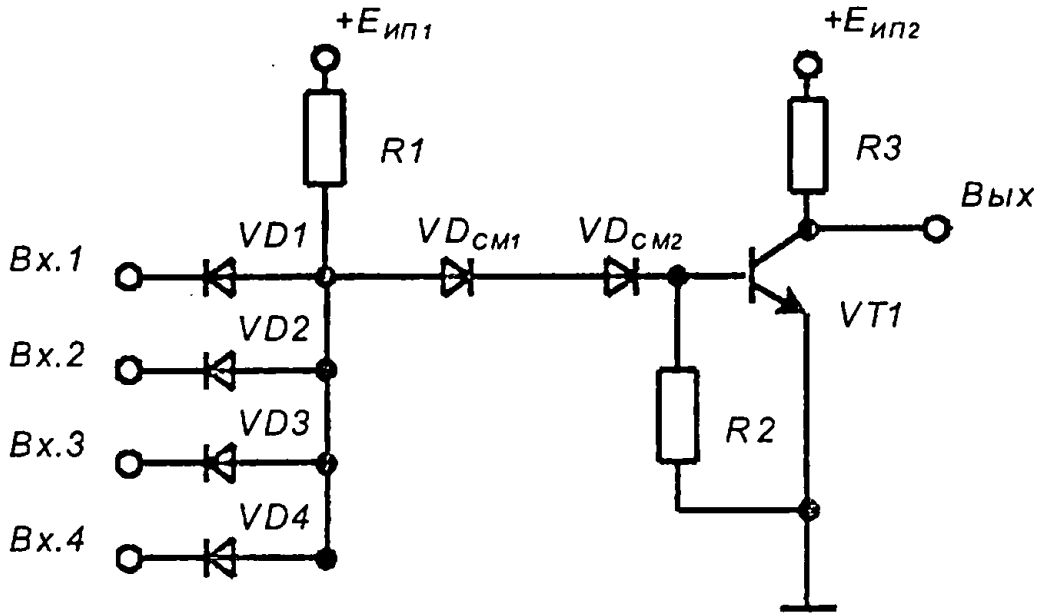


Рис. 2.15

кающий через диоды смещения при закрытом состоянии инвертора, обеспечивая увеличение порога закрывания схемы. Инвертор, выполненный на транзисторе $VT1$, осуществляет логическую операцию HE и усиливает сигнал. От значения сопротивления $R1$ зависят потребляемая мощность и средняя задержка сигнала, так как этот резистор определяет ток, включающий транзистор и заряжающий емкости диодов $VD1-VD4$ и транзистора $VT1$.

Схема работает следующим образом. Если по всем входам схемы приложено высокое напряжение U^1_{BX} , соответствующее логической 1, то входные диоды закрываются и через них протекают малые токи. В этом случае потенциал на выходе схемы I будет высоким (лог. 1), ток базы возрастает и транзистор $VT1$ входит в режим насыщения. Потенциал коллектора понижается, что соответствует напряжению логического 0 на выходе схемы $U^1_{BX} = U_{кэ\text{нас}} \approx 0,2 \text{ В}$.

При приложении к входам схемы (хотя бы к одному) пониженного напряжения U^0_{BX} , соответствующего логическому 0, соответствующие диоды $VD1-VD4$ открываются, ток через них возрастает, понижается потенциал на выходе схемы I (до значения $U^0_{BX} + U_{VD\text{откр}}$) и на базе

транзистора $VT1$. Это вызывает переход транзистора в режим отсечки, причем потенциал коллектора повышается. Схема переходит в состояние логической 1 на выходе $U^1_{ВЫХ} = U_{кэотс}$. Таким образом, закрытое состояние схемы обеспечивается током, протекающим через резистор $R1$. При этом входные токи открытой схемы очень малы и определяющей роли не играют.

Увеличение номинала резистора $R1$ приводит к уменьшению тока и, следовательно, с одной стороны, уменьшается потребляемая мощность, а с другой — увеличивается время заряда-разряда емкостей и средней задержки сигнала.

Смещающие диоды $VD_{см1}$ и $VD_{см2}$ служат для повышения помехоустойчивости. Пусть $U_{вх1} = U^1_{ВХ}$, $U_{вх2} = U_{вх3} = U_{вх4} = U^0_{ВХ}$, тогда диод $VD1$ открыт, диоды $VD2$ - $VD4$ и транзистор $VT1$ закрыты. Будем увеличивать напряжение на входе 1. Когда это напряжение достигает порогового напряжения $U^0_{пор}$, откроется транзистор $VT1$, то есть напряжение на его входе достигнет значения $U_{БЭоткр}$. Тогда

$$U^0_{пор} + U_{VD1} = U_{VDCM1} + U_{VDCM2} + U_{БЭоткр} \quad (2.16)$$

Для кремниевых p - n -переходов можно записать

$$U^0_{пор} \approx U_{VDCM1} + U_{VDCM2} \approx 1,4В. \quad (2.17)$$

Изменяя количество последовательно включенных диодов смещения, можно менять помехоустойчивость схемы $U^+_{гр}$.

Логические операции $И$ и $НЕ$ выполняются отдельными частями схемы. Поэтому увеличение числа входов $И$ достигается добавлением входных диодов. Объединение анодов диодов позволяет изготавливать их на одном изолированном участке подложки и, следовательно, уменьшать размеры схемы. Нередко предусматривается возможность подключения ко входу дополнительной диодной сборки для расширения логических возможностей элемента по выполнению операции $И$. В этом состоит одно из пре-

имущества ДТЛ схем. Кроме того, они обладают повышенной помехоустойчивостью при сравнительно большом коэффициенте разветвления по выходу.

Существенный недостаток рассмотренной ДТЛ схемы связан с высоким выходным сопротивлением в закрытом состоянии. Кроме того, в процессе включения не может быть обеспечен достаточно высокий выходной ток для заряда емкости нагрузки, так как в этом случае емкость образует с коллекторным резистором R_C — цепочку, которая придает фронту выходного сигнала экспоненциальную форму, что ведет к снижению быстродействия схемы. Для устранения этих недостатков к выходу подключаются сложные инверторы, состоящие из нескольких транзисторов.

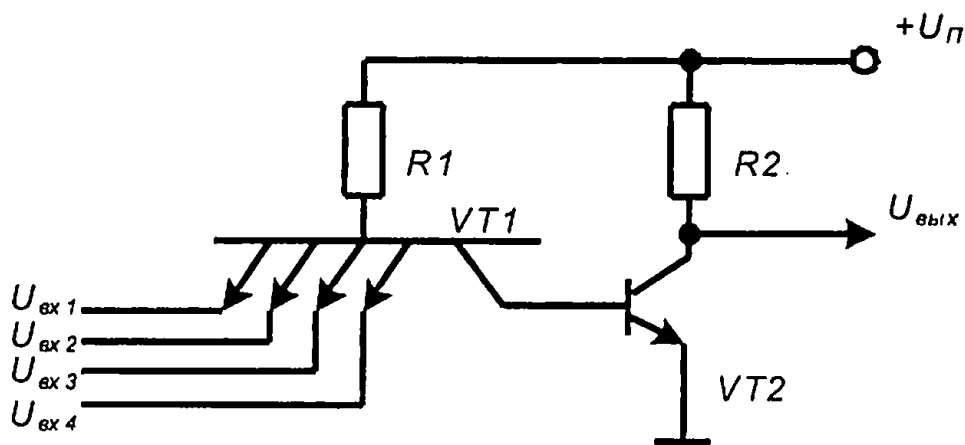
Следует отметить, что по всем основным параметрам, кроме помехоустойчивости, элементы ДТЛ уступают элементам ТТЛ. Поэтому элементы ДТЛ в настоящее время имеют ограниченное применение в цифровых микросхемах.

2.3.3. Базовые элементы ИМС ТТЛ, ТТЛШ

Основным элементом ТТЛ схем является многоэмиттерный транзистор. Число логических входов схемы определяется числом эмиттеров в транзисторе. Существует несколько вариантов ТТЛ схем, отличающихся главным образом типом инвертора.

Рассмотрим сначала работу простейших элементов транзисторной логики, выполняющих функции *И-НЕ*, *ИЛИ-НЕ*. На рис. 2.16 представлена принципиальная схема ЛЭ ТТЛ с простым инвертором *И-НЕ*. Многоэмиттерный транзистор $VT1$ с резистором $R1$ выполняет логическую операцию *И* на входе элемента. На транзисторе $VT2$ выполнен инвертор *НЕ*.

Работа схемы заключается в следующем. Если на входы многоэмиттерного транзистора (МЭТ) поданы напряжения, соответствующие логической единице $U^1_{вх}$ (высокий



И – НЕ
ТТЛ

Рис. 2.16

положительный потенциал при положительной логике и положительной полярности источника питания), то они будут препятствовать открыванию эмиттерных $p-n$ -переходов (n -эмиттер). Ток, поступающий в p -базу МЭТ от «+» источника питания через $R1$, смещает коллекторный переход в прямом направлении. Таким образом, МЭТ работает в инверсном режиме.

Ток коллектора МЭТ $VT1$ поступает в базу $VT2$ и обеспечивает состояние насыщения транзистора $VT2$. Напряжение $U_{кэVT2}$ является выходным, следовательно, на выходе схемы устанавливается уровень логического нуля

$$U_{вых} = U^0 = U_{кэVT2} = U_{кэнас} \approx 0,1 \dots 0,2 \text{ В}. \quad (2.18)$$

Если хотя бы на один из входов подано напряжение низкого уровня (логического нуля), то соответствующий переход база-эмиттер МЭТ смещается в прямом направлении. Между базой $VT1$ и общим проводом устанавливается напряжение контактной разности потенциалов $\sim 0,7 \dots 0,8$ В (микросхемы кремниевые).

Коллекторный ток МЭТ $VT1$ (он же базовый ток $VT2$) уменьшается настолько, что транзистор $VT2$ переходит в

2. Базовые логические элементы

режим отсечки. На выходе схемы устанавливается высокий потенциал, напряжение логической единицы

$$U_{\text{вых}} = U^1 = U_{\text{ИП}} - R_2 \cdot I_{\text{КО}}. \quad (2.19)$$

В итоге получаем значение логического перепада:

$$U_{\text{л}} = U^1 - U^0 = U_{\text{ИП}} - R_2 I_{\text{КО}} - U_{\text{кЭНЛС}} \approx U_{\text{ИП}}. \quad (2.20)$$

На рис. 2.17 показана схема простейшего логического элемента ИЛИ-НЕ, у которого $VT1, VT3$ — входные, $VT2, VT4$ — инверторы.

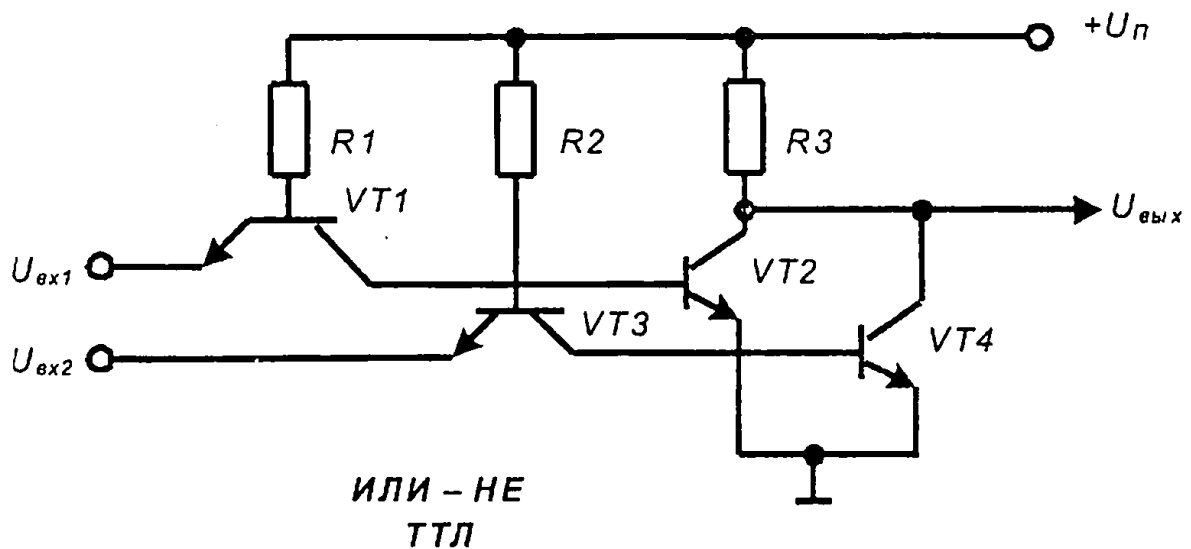


Рис. 2.17

Если на оба входа ЛЭ (n -эмиттеры транзисторов $VT1$ и $VT3$) подать низкие потенциалы, то только тогда токи их коллекторов будут настолько малы, что это приведет к закрытию обоих выходных транзисторов $VT2$ и $VT4$ (режим отсечки). На выходе схемы устанавливается высокий потенциал

$$U_{\text{ВЫХ}} = U^1 \approx U_{\text{ИП}}. \quad (2.21)$$

Если хотя бы на один из входов (например, $VT1$) подать высокий потенциал, то это повлечет за собой протекание тока через коллекторный переход и перевод соот-

ветствующего транзистора инвертора ($VT2$) в режим насыщения. На выходе устанавливается низкий потенциал, равный напряжению насыщения соответствующего транзистора

$$U_{ВЫХ} = U^0 \approx U_{КЭНАС} \quad (2.22)$$

Схемы ТТЛ с простым, инвертором не нашли широкого применения из-за следующих недостатков:

- ♦ малая помехоустойчивость при $U_{вх} = U^0$. На базе МЭТ $VT1$ устанавливается потенциал

$$(U_{А0} + U_{УАVT1}) = [(0,2...0,4) + 0,7] \hat{A} = (0,9...1,1) \hat{A}, \quad (2.23)$$

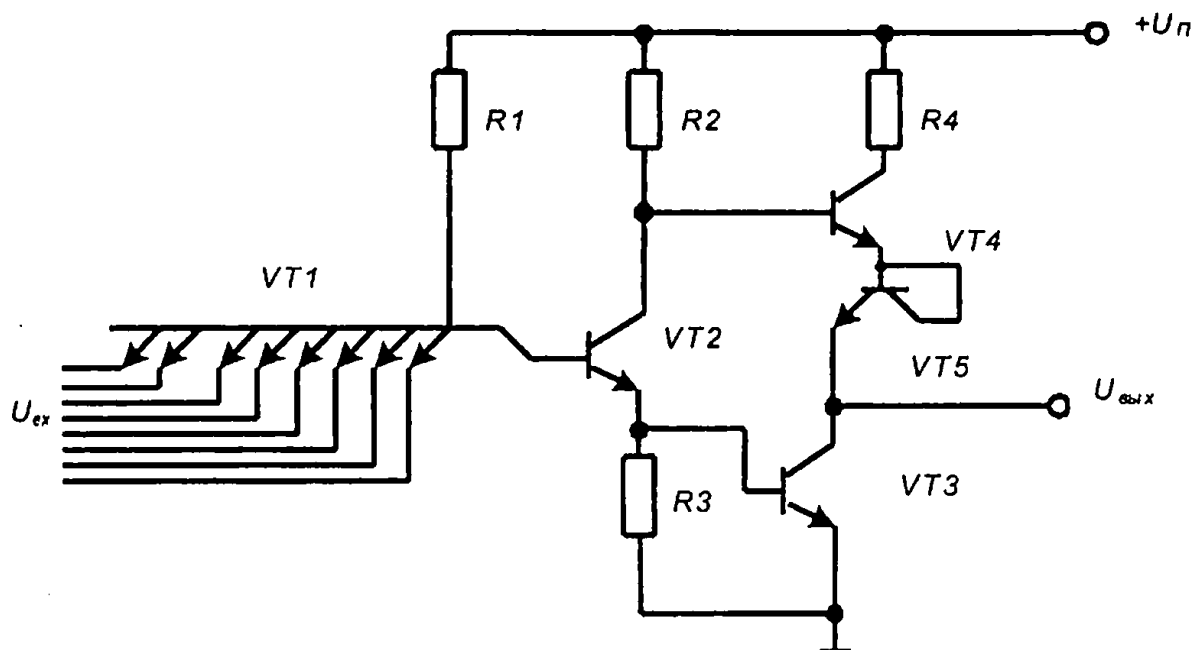
а для открывания инвертора необходимо

$$(U_{КБVT1} + U_{БЭVT2}) = (0,7 + 0,7)В = 1,4В; \quad (2.24)$$

- ♦ низкая нагрузочная способность (выходное сопротивление определяется сопротивлением резистора, стоящего в коллекторной цепи транзистора инвертора);
- ♦ низкое быстродействие при работе на емкостную нагрузку (заряд емкости происходит через резистор $R2$, а разряд через открытый транзистор, либо через R нагрузки).

Для увеличения нагрузочной способности, быстродействия и помехоустойчивости в элементах ТТЛ применяют сложный инвертор.

Базовым логическим элементом ТТЛ серий является ЛЭ *И-НЕ* со сложным инвертором, упрощенная принципиальная схема, которого показана на рис. 2.18. Схема содержит входной каскад на МЭТ $VT1$, реализующий функцию *И*; фазоинверсный (фазоразделительный) каскад на транзисторе $VT2$ и выходной двухтактный каскад с активной нагрузкой $VT4$ и насыщаемым транзистором $VT3$ ($VT5$ — это транзистор в диодном включении).



И - НЕ
ТТЛ

Рис. 2.18

Входной каскад построен на многоэмиттерном транзисторе $VT1$, который рожден технологией микроэлектроники специально для нужд логических ИМС. Эмиттеры $VT1$ служат входами логического элемента. Два последующих каскада образуют сложный инвертор, реализующий логическую операцию *НЕ*.

Если ввести два фазоразделительных каскада, то реализуется функция *ИЛИ-НЕ*.

Рассмотрим работу схемы *И-НЕ* со сложным инвертором. Если на все эмиттеры транзистора $VT1$ подать напряжение $U_{вх}^1$, то эмиттерные токи $VT1$ резко сократятся:

$$I_{вх}^1 \leq (0,02 \dots 0,04) \text{ мА},$$

базовый ток уйдет в коллектор (коллекторный переход $VT1$ открыт), создавая на базе $VT2$ потенциал, близкий к напряжению питания $U_{п}$ относительно общего провода. Транзистор фазоинверсного каскада откроется, запирая

VT4 и отпирая *VT5*. Ток транзистора *VT2* втекает в базу *VT3*, удерживая его в открытом состоянии (насыщения). На выходе устанавливается напряжение логического 0,

$$U_{\text{А00}} = U^0 = U_{\text{БУЛАН}} \approx 0,2 \dots 0,4 \text{ В}. \quad (2.25)$$

Включенный в эмиттерную цепь транзистора *VT4* диод *VT5* (транзистор в диодном включении) создает при отпирании *VT3* между базой и эмиттером *VT4* разность потенциалов, меньшую напряжения открывания *VT4*, так как

$$U_{\text{бэ4}} = U_{\text{кэ2}}(\text{нас}) - U_{\text{бк3}}(\text{нас}) - U_{\text{VT5}}(0,7\text{В}). \quad (2.26)$$

Таким образом, *VT5* служит для надежного запираания транзистора *VT4*. За счет насыщения *VT3* и полного запираания *VT4* на выходе ИМС формируется уровень логического нуля — напряжение насыщения *VT3*. Большое сопротивление запертого *VT4* (активной нагрузки) способствует повышению нагрузочной способности ЛЭ.

При поступлении хотя бы на один из эмиттеров потенциала, близкого к потенциалу общего провода (напряжение логического нуля), через данный эмиттер начинает вытекать почти весь базовый ток *VT1*, создавая на входе ток логического нуля

$$I_{\text{вх}}^0 \sim 1 \dots 2 \text{ мА (ТТЛ)}.$$

Значение этого тока ограничивает резистор *R1*:

$$I_{\text{вх}}^0 = \frac{U_{\text{ИИ}} - U_{\text{БЭ1}}(\text{нас}) - U_{\text{вх}}^0}{R1}. \quad (2.27)$$

При этом переход эмиттер-база открыт, образовавшийся потенциал базы МЭТ *VT1*:

$$U_{\text{БVT1}} = U_{\text{БЭ1}} + U_{\text{вх}}^0 = 0,7 + (0,2 \dots 0,4) \text{ В} \approx (0,9 \dots 1,1) \text{ В} \quad (2.28)$$

не может открыть три р-п-перехода: база-коллектор *VT1*, база-эмиттер *VT2*, *VT3*. Для их открывания необходим потенциал $0,7 \text{ В} \times 3 = 2,1 \text{ В}$. Таким образом, помехоустойчивость схемы к положительной помехе $U_{\text{п}}^+ \approx 1,1 \text{ В}$.

2. Базовые логические элементы

Коллекторный переход $VT1$ и транзисторы $VT2$, $VT3$ закрыты. На коллекторе $VT2$ устанавливается потенциал, близкий к $U_{ИП}$ напряжению питания (так как ток коллектора $VT1$ пренебрежимо мал и, следовательно, недостаточен для отпирания транзистора $VT2$ фазоинверсного каскада), что приводит к отпиранию транзистора $VT4$ и диода $VT5$, вызывая в нагрузке логического элемента ток $I_{ВЫХ}^1$. Напряжение на коллекторе $VT3$ близко к напряжению $U_{ИП}$, на выходе обеспечивается уровень логической единицы

$$U_{ИМХ}^1 = U_{ИП} - I_{БЭVT4} \cdot R_3 - U_{БЭVT4} - U_{VT5}. \quad (2.29)$$

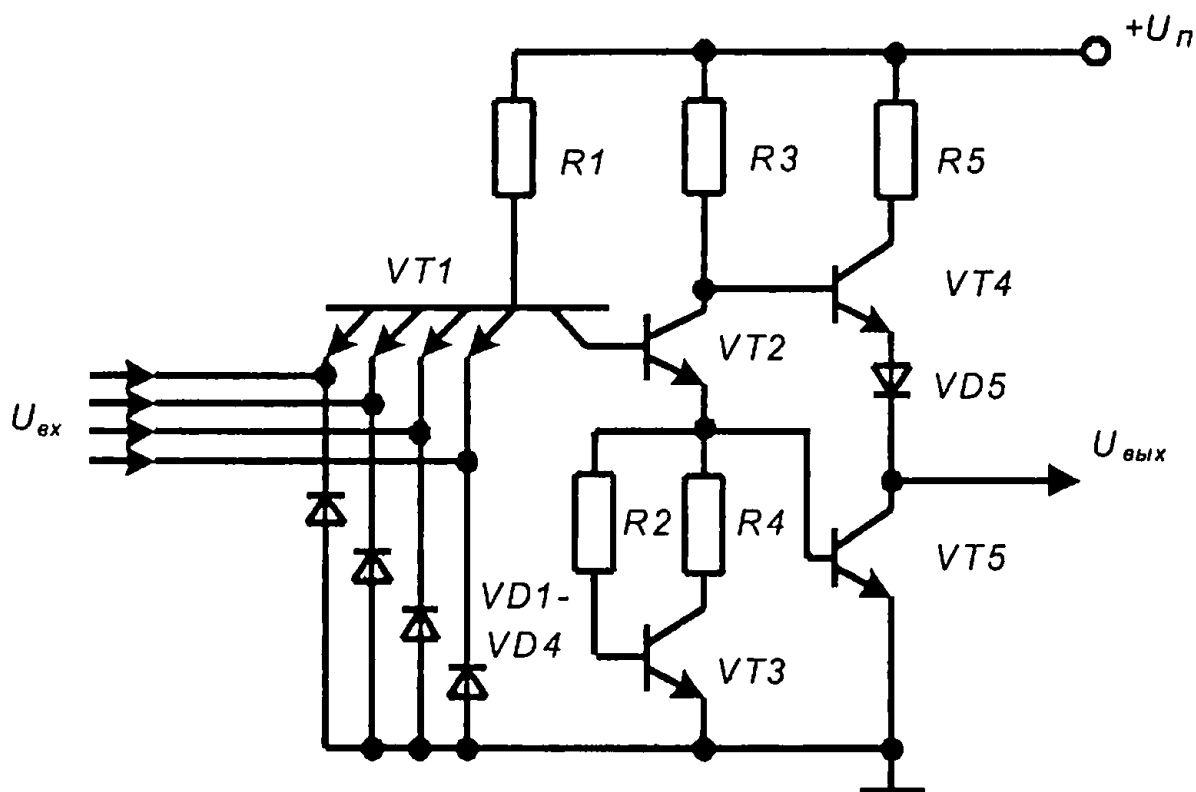
Заряд емкости нагрузки происходит через открытый $VT4$ при $U_{ВЫХ}^1$; а разряд — через насыщенный $VT3$ при $U_{ВЫХ}^0$. Соответственно, уменьшаются время заряда и разряда. Таким образом, сложный инвертор с активной нагрузкой улучшает быстродействие, помехоустойчивость и нагрузочную способность ИМС.

Отметим еще один немаловажный момент. Переключение ЛЭ из одного состояния в другое сопровождаются переходом транзисторов из насыщения в режим отсечки и обратно. При этом переход происходит синхронно, и, следовательно, в некоторый момент времени оба транзистора $VT3$ и $VT4$ оказываются открытыми, находятся в активном режиме, через них протекает ток, по величине значительно превышающий ток потребления в статическом режиме. Таким образом, в динамическом режиме наблюдаются кратковременные всплески потребляемого тока, который несколько ограничивается сопротивлением $R4$. Это является недостатком выходного каскада. Потребляемая мощность растет с ростом частоты переключений (рис. 2.6.). При некоторой частоте возникает ситуация, когда новый переключающий импульс поступает на вход схемы, которая еще не успела переключиться в предыдущее состояние ввиду не закончившихся пе-

реходных процессов. При такой частоте наблюдается резкое возрастание потребляемой мощности, транзисторы выходного каскада остаются в активном режиме, схема становится неработоспособной.

Однако отмеченный недостаток компенсируется высокой нагрузочной способностью, помехоустойчивостью. По сравнению с другими рассмотренными ранее схемами (ТЛНС, РЕТЛ, ДТЛ, ТТЛ с простым инвертором) улучшается быстродействие, что связано с сокращением времени на перезаряд выходных емкостей.

По сравнению с рассмотренной упрощенной схемой базового вентиля И-НЕ со сложным инвертором реальные схемы ИМС серий 133, 155 имеют некоторые отличия, направленные на совершенствование и улучшение параметров и характеристик (рис. 2.19).



И - НЕ
133, 155

Рис. 2.19

2. Базовые логические элементы

Эмиттеры транзистора $VT1$, служащие входами ЛЭ, соединены с общим проводом через обратно-смещенные антизвонные диоды $VD1-V D4$, которые защищают МЭТ $VT1$ от отрицательного высокого напряжения. Источник стабильного тока $VT3, R2, R4$ (рис. 2.19) способствует улучшению передаточной и динамической характеристик, повышая угол наклона передаточной характеристики и увеличивая $U^0_{пор}$. На рис. 2.20 изменение положения передаточной характеристики и повышение $U^0_{пор}$ ($U^0_{пор1} < U^0_{пор2}$) показано пунктирной линией. Нередко в этих ИМС применяется схема составного транзистора в цепи активной нагрузки.

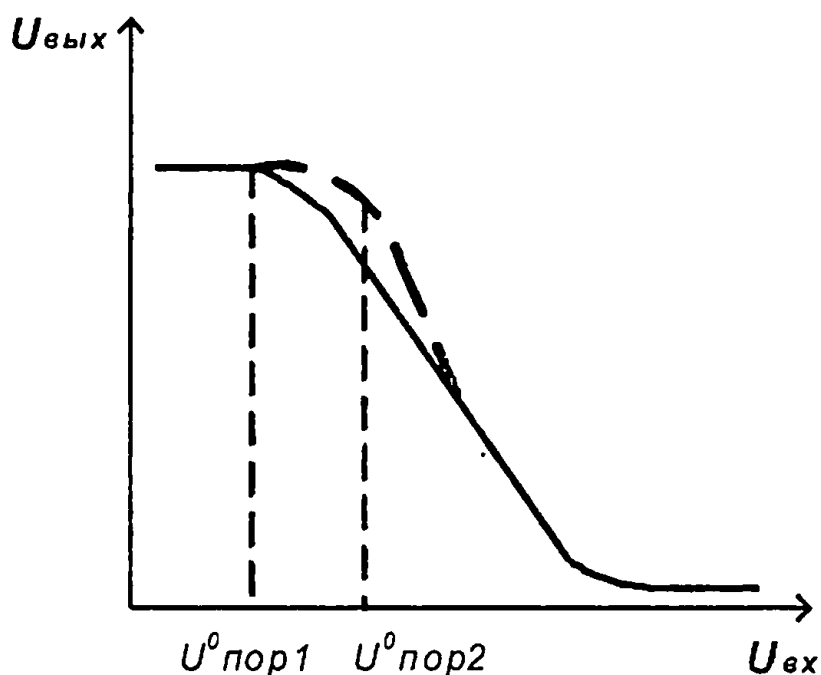
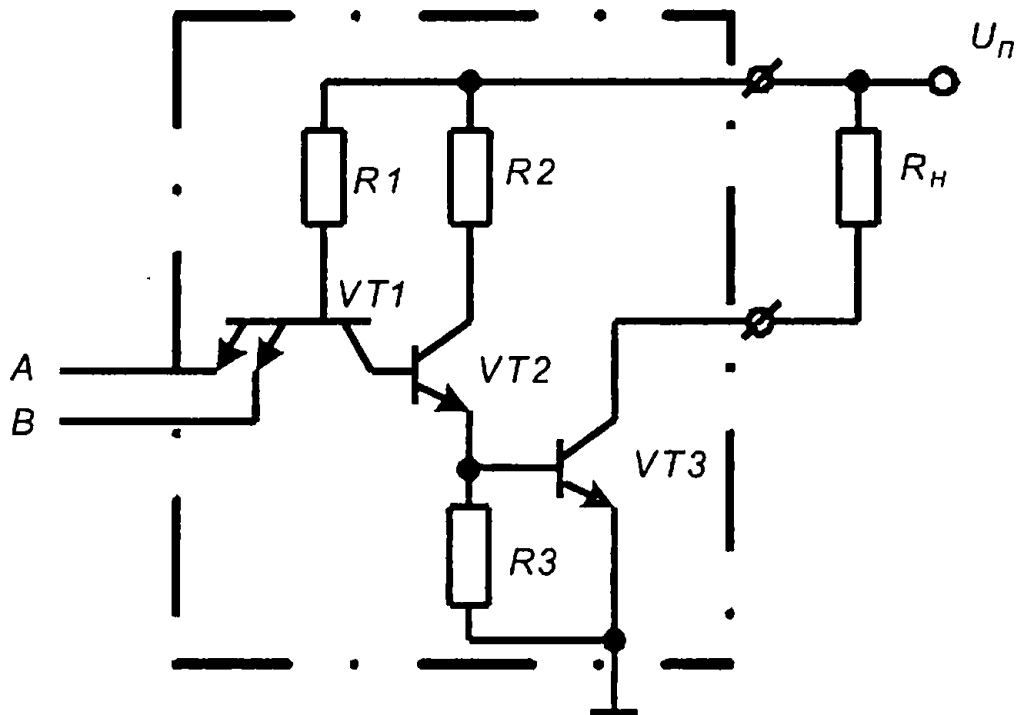


Рис. 2.20

Следует особо выделить группу микросхем, логические элементы которых имеют выходы с открытым коллектором (ЛА7 — ЛА11, ЛА13, ЛА18), (ЛИ2, ЛИ4, ЛИ5). Схема двухвходового ЛЭ И-НЕ с открытым коллектором показана на рис. 2.21.



И-НЕ с открытым коллектором

Рис. 2.21

Для формирования выходного перепада напряжения к выходу такого элемента необходимо подключить внешний нагрузочный резистор R_H . Такие микросхемы применяются для обслуживания сегментов индикаторов, зажигания ламп накаливания, светодиодов (рис. 2.22, а). Для некоторых ИМС с открытым коллекторным выходом (ЛА11) нагрузку можно подключать к более высоковольтному источнику питания $U_{ип2}$ (рис. 2.22, б).

Микросхемы ТТЛ первоначальной разработки стали активно заменяться на микросхемы ТТЛШ, имеющие во внутренней структуре переходы с барьером Шоттки. В основе лежит известная схема ненасыщенного транзисторного ключа. Чтобы транзистор не входил в насыщение, между коллектором и базой включают диод. На рис. 2.23, а изображено подключение диода Шоттки $VD_{ш}$ к транзистору VT , на рис. 2.23, б — символ транзистора Шоттки.

2. Базовые логические элементы

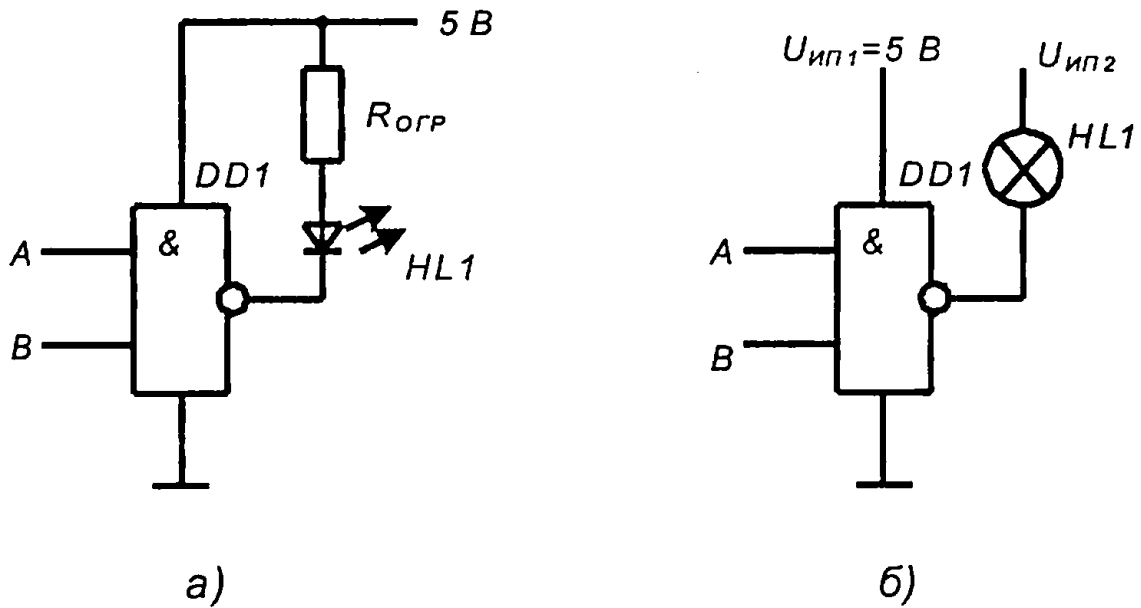


Рис. 2.22

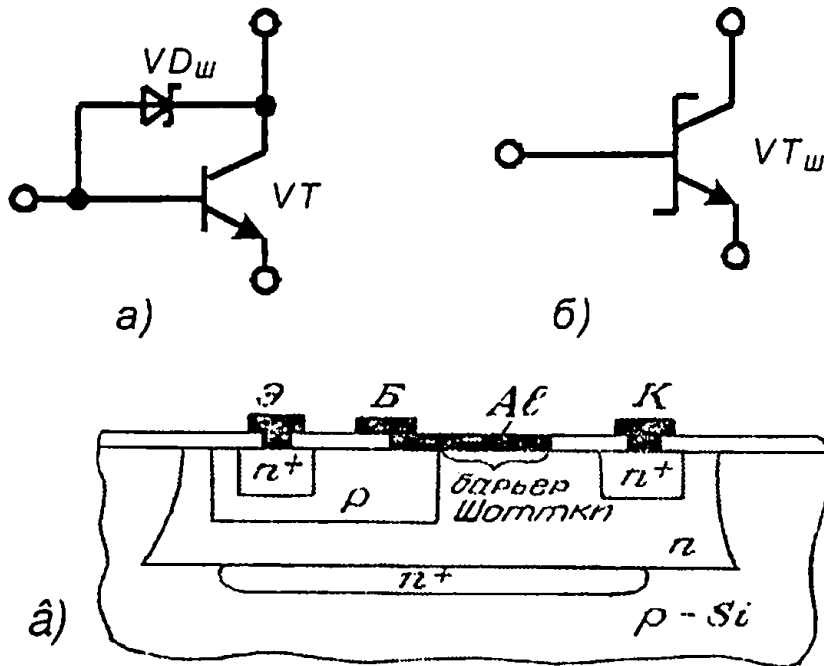


Рис. 2.23

Диод Шоттки имеет пороговое напряжение открывания порядка (0,2÷0,4 В) в отличие от порогового напряжения кремниевого $p-n$ -перехода 0,7 В и значительно снижает время жизни неосновных носителей в полупроводнике.

Транзистор удерживается от перехода в насыщение диодом Шоттки с низким порогом открывания (0,2÷0,4В), поэтому предотвращается вхождение транзистора в режим

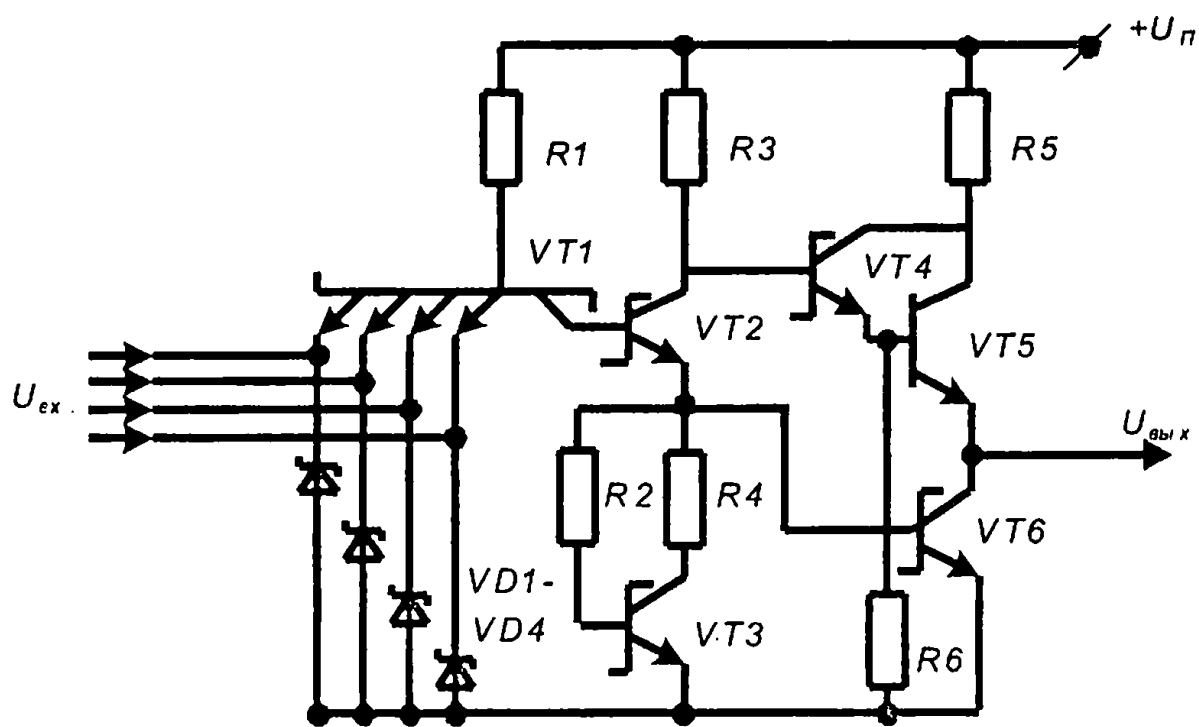
глубокого насыщения. У насыщенных ИМС время, затрачиваемое на формирование фронта выходного импульса, определяется рассасыванием инжектированных неосновных носителей, когда транзистор переходит из насыщения в область отсечки.

Важным достоинством диодов Шоттки помимо низкого порогового напряжения является и то, что в них отсутствует инжекция неосновных носителей. В связи с чем при выключении не затрачивается время на рассасывание избыточного заряда и время их переключения составляет около 0,1 нс. Если бы в качестве элемента VD удалось использовать $p-n$ -переход, то эффект от его применения был бы незначительным, так как опять потребовалось бы время на рассасывание инжектированных неосновных носителей.

На основе транзисторов Шоттки выпущены микросхемы двух основных серий ТТЛШ (530, 531) — рис. 2.24; (533, 555) — рис. 2.25. Их элементы (рис. 2.24) выполняют уже известные функции: МЭТ $VT1$ — входной каскад, реализующий функцию I , $VT2$ — фазоразделительный каскад, $VT3$ (совместно с $R2, R4$) — источник стабильного тока; $VT6$ — транзистор инвертора; $VT4, VT5$ — составной транзистор в цепи активной нагрузки. Транзистор $VT5$ реализуется без диодов Шоттки, так как он работает в активном режиме (эмиттерный повторитель).

Единственное схемотехническое отличие от рассмотренных элементов заключается в использовании обратной связи. И как не парадоксально, но это существенное отличие для ИМС ТТЛШ из принципиальной схемы не видно.

Объясняется это изяществом, с которым технологи решили важную для интегральной схемотехники задачу. Металлический слой интегрального $p-p-n$ -транзистора, служащий для омического (невыпрямляющего) контакта с базой, был продлен в сторону коллектора, образовав с p -областью коллектора переход Шоттки (выпрямляющий



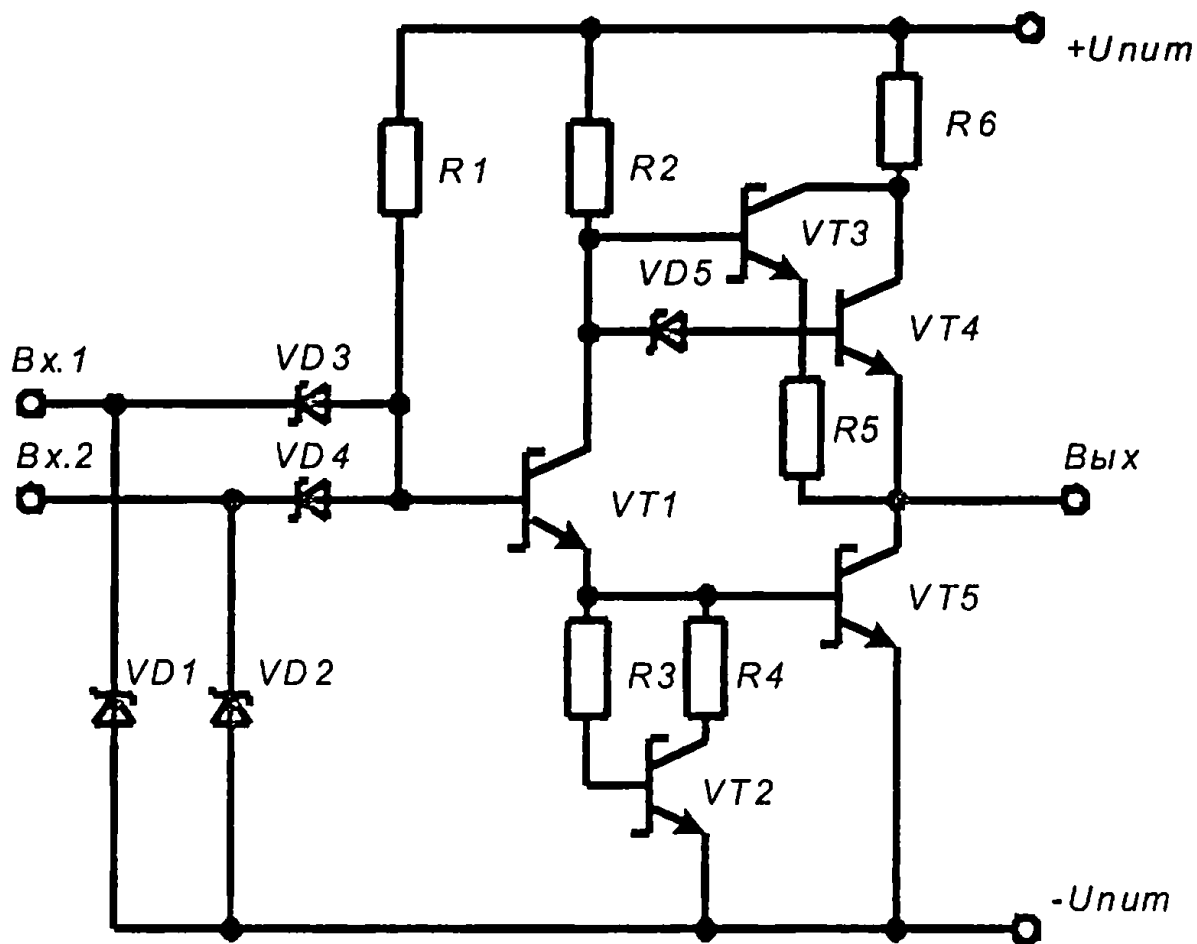
И - НЕ
530, 531

Рис. 2.24

контакт). Таким образом, без введения дополнительной технологической операции переход база — коллектор VT оказался зашунтирован диодом Шоттки (рис. 2.23, в). А это и есть та обратная связь, которая позволила в 5 раз сократить время формирования положительного фронта выходного импульса.

В схемах И-НЕ 530, 531 серий диоды Шоттки приводят к повышению быстродействия в силу указанного свойства.

В схеме И-НЕ 555 серии (рис. 2.25) вместо многоэмиттерного транзистора на входе использована матрица диода Шоттки. Введение диодов Шоттки исключает накопление зарядов, увеличивающих время включения транзистора, и обеспечивает стабильность времени переключения в диапазоне температур. Фиксация входов с помощью диодов Шоттки уменьшает выбросы импульсов напряжения на входе.



И – HE 533, 555

Рис. 2.25

2.3.4. Сопряжение ИМС ТТЛ, ТТЛШ различных серий

Рассмотренные микросхемы ТТЛ, ТТЛШ полностью совместимы между собой по напряжению питания, логическим уровням, помехоустойчивости.

В реальной логической схеме каждый ЛЭ может быть нагружен на разное число других ЛЭ, т. е. выход может работать на один или несколько входов других элементов, в том числе и на свои собственные входы.

Совместная работа ИМС различных серий семейства ТТЛ, ТТЛШ при условии непосредственных связей между ними требует решения задачи статического сопряжения.

2. Базовые логические элементы

Суть сопряжения (согласования) ИМС в статическом режиме сводится к такому выбору нагрузки, при которой значения выходных токов $I_{\text{ВЫХ}}^0$, $I_{\text{ВЫХ}}^1$ и логических уровней напряжений $U_{\text{ВЫХ}}^0$, $U_{\text{ВЫХ}}^1$ нагружаемой ИМС не выходят за пределы, оговоренные в технических условиях, а, следовательно, и сохраняются гарантированные характеристики.

Для определения числа единичных нагрузок в пределах одной серии вычисляют отношение

$$\left(\frac{I_{\text{ВЫХ MAX}}^0}{I_{\text{ВХ}}^0}; \frac{I_{\text{ВЫХ MAX}}^1}{I_{\text{ВХ}}^1} \right) \rightarrow \min \rightarrow K_{\text{РАЗ}}, \quad (2.30)$$

где $I_{\text{ВЫХ MAX}}^0$, $I_{\text{ВЫХ MAX}}^1$ — максимально допустимые токи нагружаемой ИМС;

$I_{\text{ВХ}}^0$, $I_{\text{ВХ}}^1$ — входные токи вентиля данной серии.

Поскольку выходной ток представляет собой сумму токов нагрузок, то из полученных выражений выбирают меньшее, которое и является коэффициентом разветвления по выходу $K_{\text{РАЗ}}$, т. е. числом единичных нагрузок, которые можно одновременно подключить к данному выходу.

Если требуется определить допустимое число единичных нагрузок ИМС других серий, то поступают аналогичным образом, подставляя $I_{\text{ВХ}}^0$, $I_{\text{ВХ}}^1$ значения входных токов базового вентиля соответствующей серии.

По вычислениям для различных серий получены таблицы.

Таблица 2.4

ИМС-передатчик	Число единичных нагрузок			
	155	531	555	1533
155	10	8	20	20
531	12	10	50	50
555	5	4	20	20
1531	2	2	10	20

Таблица 2.5

Серия	$I_{ВХ}^0$, МА	$I_{ВХ}^1$, МА	$I_{ВЫХ}^0$, МА	$I_{ВЫХ}^1$, МА
155	-1,6	0,04	16	-0,4
531	-2	0,05	20	-1
555	-0,36	0,02	8	-0,4
1533	-0,2	0,02	4	-0,4

При выполнении условий в табл. 2.4; 2.5 гарантируются значения логических уровней $U_{ВЫХ}^0$, $U_{ВЫХ}^1$. Превышение выходными токами допустимых значений приводит к изменению $U_{ВЫХ}^0$, $U_{ВЫХ}^1$, причем таким образом, что в целом снижается помехоустойчивость ИМС. Например, при возрастании тока $I_{ВЫХ}^1$ от 3 до 40 мА выходное напряжение $U_{ВЫХ}^1$ ИМС КР531ЛА16 снижается с 2,7 В до 2 В.

При оценке токовых нагрузок ИМС ТТЛ необходимо учитывать, что диодные токи во входных цепях некоторых ИМС (например, буферные, триггерные, повышенной функциональной сложности) больше входных токов обычных ЛЭ.

В семейство ТТЛ, ТТЛШ входят ИМС, нагрузочная способность которых превышает указанную в таблице 2.4. К ним относятся ЛЭ как с открытым коллекторным, так и с активным двухтактным выходом, включая шинные драйверы. Допустимое число единичных нагрузок семейства ТТЛ, ТТЛШ для ИМС с мощными активными выходами показано в таблице 2.6.

Таблица 2.6

ИМС- передатчик	Число единичных нагрузок			
	155	531	555	1533
155ЛА6	30	24	60	60
555ЛА6	15	12	60	60
155ЛА12	30	24	60	60
531ЛА12	37	30	150	150
555ЛА	15	12	60	60
531ЛА16	37	30	150	150

2. Базовые логические элементы

ИМС с открытым коллекторным выходом требуют подключения внешнего нагрузочного резистора, замыкающего коллекторную цепь транзистора выходного каскада (рис. 2.21). Сопротивление внешнего резистора определяют с учетом значения суммарного тока нагрузок при сохранении на выходе ИМС требуемых значений $U^0_{\text{ВЫХ}}$, $U^1_{\text{ВЫХ}}$. В этом случае сопротивление R внешнего резистора должно удовлетворять двойному неравенству

$$\frac{U_{\text{ИП}} - U^0_{\text{ВЫХ}}}{I^0_{\text{ВЫХ}} - \kappa I^0_{\text{ВХ}}} \leq R \leq \frac{U_{\text{ИП}} - U^1_{\text{ВЫХ}}}{I_{\text{УТ.ВЫХ}} - \kappa I^1_{\text{ВХ}}}, \quad (2.31)$$

где $U_{\text{ИП}}$ — напряжение питания, приложенное к резистору;
 $I^0_{\text{ВХ}}$, $I^1_{\text{ВХ}}$ — входные токи ИМС-нагрузки;
 $I^0_{\text{ВЫХ}}$, $I_{\text{УТ.ВЫХ}}$ — выходные токи ИМС-передатчика;
 κ — число единичных нагрузок (фактический коэффициент разветвления).

Если объединяют несколько выходов ИМС с открытыми коллекторами, то сопротивление R единого внешнего резистора вычисляют также по приведенной формуле (2.31), подставляя вместо $I_{\text{УТ.ВЫХ}}$ суммарный ток объединенных ИМС:

$$I_{\text{УТ.ВЫХ}} \rightarrow \sum I_{\text{УТ.ВЫХ}}. \quad (2.32)$$

Выходные цепи ИМС ТТЛ со стандартным выходом нельзя объединять по схеме Монтажное ИЛИ, так как при наличии одного включенного выхода (состояние 0) и одного выключенного выхода (состояние 1) из выходной цепи последнего будет вытекать ток, близкий току короткого замыкания по выходу, и напряжение на включенном выходе значительно возрастает вследствие большого втекающего тока. В результате уменьшится запас помехоустойчивости по уровню логического 0 и возрастает рассеиваемая обоими ЛЭ мощность. Возможность объединения по выхо-

ду имеется у ряда ИМС ТТЛ с открытым коллекторным выходом и у ИМС с тремя устойчивыми состояниями.

Микросхемы ЛА17, ЛА19 — это логические элементы И-НЕ с тремя состояниями на входе, т. е. они имеют дополнительный вход *ЕО* (Enable output), дающий разрешение по выходу (рис. 2.26). Для этой цели в схему стандартного сложного инвертора ТТЛ вводится дополнительный инвертор и диод. Если на этот вход *ЕО* подать напряжение высокого уровня, то транзисторы выходного двухтактного каскада будут находиться в режиме отсечки, т. е. оба закрыты. Следовательно, выходной вывод отключен, микросхема переходит в состояние *Z* с очень большим выходным сопротивлением. Если на вход *ЕО* подается разрешающий низкий уровень, то логический элемент И-НЕ работает как в обычном режиме.

Такие логические элементы разработаны специально для обслуживания проводника шины данных. Если к такому проводнику присоединить много выходов, находя-

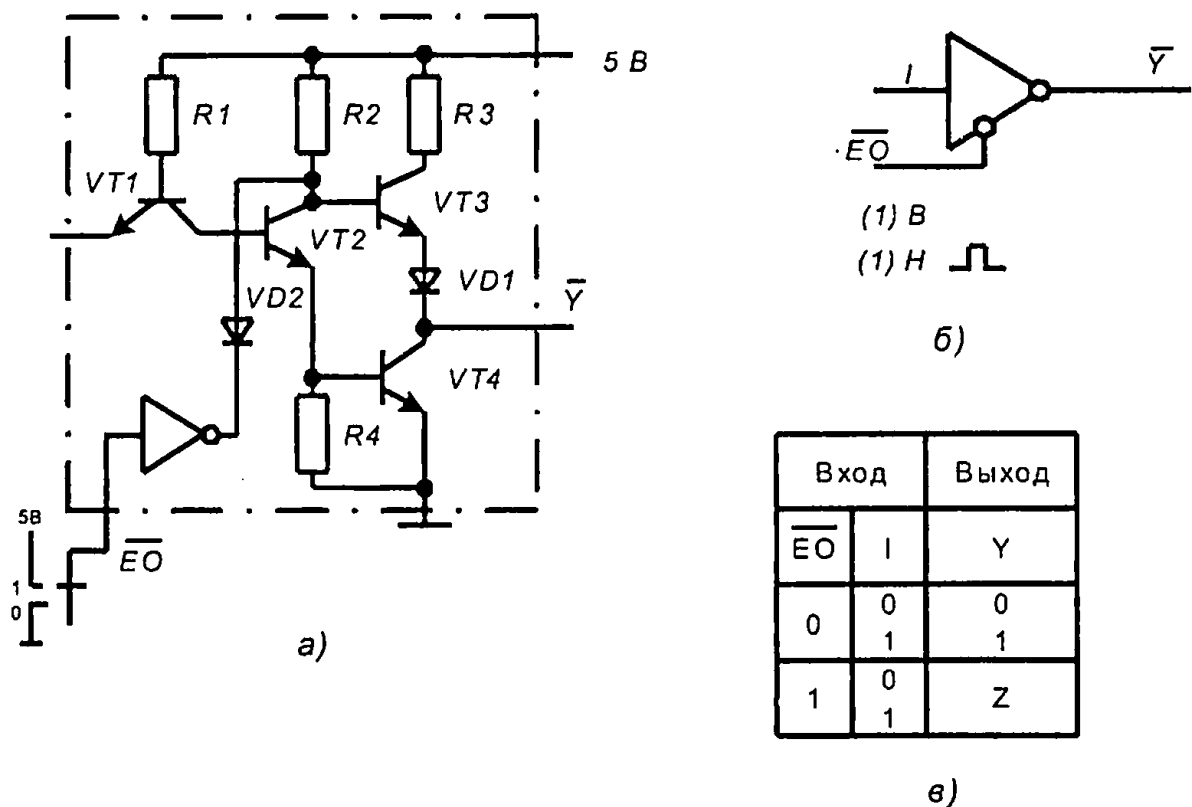


Рис. 2.26

щихся в состоянии Z , то они не будут влиять друг на друга. Активным передающим сигналом должен быть лишь один логический элемент, только от его выхода в проводник шины данных будет поступать информация. Следовательно, соединенные вместе выходы не должны быть одновременно активными.

Третье устойчивое состояние характеризуется тем, что выход ИМС отключается от нагрузки и практически не потребляет ток ни в состоянии логического 0, ни в состоянии логической 1. Однако при расчете нагрузочной способности выходов, подключенных к общей шине, следует учитывать токи утечки в третьем состоянии. При сигнале 1 на внешней шине ток утечки является втекающим для микросхем, при сигнале 0 вытекающим.

Таким образом, для определения количества единичных нагрузок необходимо придерживаться правила: общий потребляемый нагрузками ток не должен превышать максимально допустимый ток ИМС-передатчика.

2.4. Цифровые микросхемы эмиттерно-связанной логики

2.4.1. Общие сведения об ЭСЛ ИМС

Интегральные микросхемы на основе эмиттерно-связанной логики (ЭСЛ) получили широкое распространение в качестве элементной базы быстродействующей вычислительной и радиоэлектронной аппаратуры. Микросхемы на основе ЭСЛ имеют ряд достоинств, которые обеспечили их преимущество перед другими микросхемами при построении данного класса аппаратуры:

1. Хорошая схемно-техническая отработанность и, как следствие, сравнительно невысокая стоимость при изготовлении.

2. Высокое быстродействие при средней потребляемой мощности или сверхвысокое быстродействие при большой потребляемой мощности.

3. Малая энергия переключения.

4. Высокая относительная помехоустойчивость.

5. Высокая стабильность динамических параметров при изменении рабочей температуры и напряжения питания.

6. Большая нагрузочная способность.

7. Независимость тока потребления от частоты переключения.

8. Способность ИМС работать на низкоомные линии связи и нагрузки.

9. Широкий функциональный набор микросхем.

10. Удобство применения в условиях повышенной плотности компоновки с использованием многослойного печатного монтажа и низкоомных коаксиальных и плоских кабелей.

В настоящее время ИС ЭСЛ являются самыми быстродействующими микросхемами на основе кремния, выпускаемыми промышленностью как у нас в стране, так и за рубежом. Опыт проектирования аппаратуры, показывает, что применение ИС ЭСЛ оптимально для построения быстродействующих радиоэлектронных устройств, в частности ЭВМ высокого быстродействия, и менее эффективно при разработке радиоэлектронных устройств малого и среднего быстродействия.

Высокое быстродействие обусловлено тем, что в этих элементах транзисторы работают в ненасыщенном режиме, в результате чего исключается накопление и рассасывание неосновных носителей заряда. Из формулы заряда (разряда) емкости C на величину логического перепада $U_{\text{л}} = U^1 - U^0$ некоторым постоянным током заряда $I_{\text{зар}}$

$$t_{\text{зар}} = \frac{CU_{\text{л}}}{I_{\text{зар}}} \quad (2.33)$$

2. Базовые логические элементы

следует, что снизить время заряда $t_{зар}$ возможно, уменьшая U_d и увеличивая $I_{зар}$. В ИМС ЭСЛ реализованы эти принципы: ненасыщенный режим, большой ток заряда, малый логический перепад. С другой стороны малый логический перепад влечет за собой снижение помехоустойчивости.

К современным цифровым микросхемам ЭСЛ относятся ИС серий 100, К100, 500, К500, 1500, К1500.

Типовое время задержки логических элементов ИМС серии К1550 0,7 нс, серии К500 0,5...2 нс; серии 138 2,9 нс. ЭСЛ микросхемы имеют помехоустойчивость по напряжению низкого и высокого уровней не менее 125 мВ и 150 мВ, разброс выходного напряжения низкого уровня 145...150 мВ, высокого уровня 200 мВ. Амплитуда логического сигнала U_d до 800 мВ. В ИМС серии 500 уровень интеграции до 80 логических элементов на кристалле; функциональный набор микросхем — 48 модификаций, потребляемая элементом мощность $P_{пот} = 8...25$ мВт (в ненагруженном состоянии), энергия, потребляемая при переключении $A = 50$ пДж.

Большая потребляемая и рассеиваемая мощности являются недостатками микросхем ЭСЛ, что является следствием их работы в ненасыщенном режиме. Малый логический перепад, с одной стороны, повышает быстродействие, а с другой снижает помехоустойчивость. Кроме того, в результате возникает необходимость в применении источников питания с хорошей стабилизацией. Для преодоления этих затруднений разработаны так называемые компенсированные ЭСЛ ИМС. В них на самом кристалле размещаются стабилизирующие схемы, которые компенсируют колебания напряжения источника питания и температуры и не допускают существенных изменений запаса помехоустойчивости или логических уровней. Например, в схемах серии К1500 при номинальном напряжении $U_{ип} = -4,5$ В ло-

гические уровни не изменяются, если напряжение питания будет находиться в пределах $-4,2 \text{ В} \leq U_{\text{ип}} \leq -5,7 \text{ В}$.

Для стыковки логических уровней микросхем ЭСЛ со схемами ТТЛ в состав серий входят преобразователи уровней, например, 100ПУ124, 100ПУ125.

Отметим дальнейшую принципиальную особенность микросхем ЭСЛ: они питаются отрицательным напряжением, то есть напряжение подается от эмиттеров, причем, коллекторные цепи заземляются. Этим способом повышается помехоустойчивость, ток потребления $I_{\text{пот}}$ вытекает из микросхемы в источник.

Структурно базовый элемент ЭСЛ содержит: источник опорного напряжения (ИОН), токовый переключатель (ТП) и эмиттерные повторители.

Источник опорного напряжения обслуживает одновременно несколько 5-10 логических элементов на кристалле. Эмиттерные повторители на выходах обеспечивают быстрый разряд емкости нагрузки $C_{\text{н}}$, что повышает быстродействие, согласование со входами других ИМС ЭСЛ, высокую нагрузочную способность. Коэффициент объединения по входу равен 8, коэффициент разветвления по выходу порядка 10.

В основу токового переключателя на входе положена схема с объединенными эмиттерами (рис. 2.27). Главные ее достоинства: постоянство суммарного тока эмиттеров $I_{\text{э}} = I_{\text{э1}} + I_{\text{э2}}$ в процессе работы; наличие прямого и инверсного выходов $U_{\text{вых1}}$, $U_{\text{вых2}}$.

Типовая передаточная характеристика базового логического элемента И/И-НЕ ЭСЛ серии 500 представлена на рис. 2.28. На ней можно выделить четыре области: 1 — область установившегося значения низкого выходного напряжения логической 1 для прямого и высокого выходного напряжения логического 0 для инверсного выходов (напоминаем, что ИМС ЭСЛ работают при отрица-

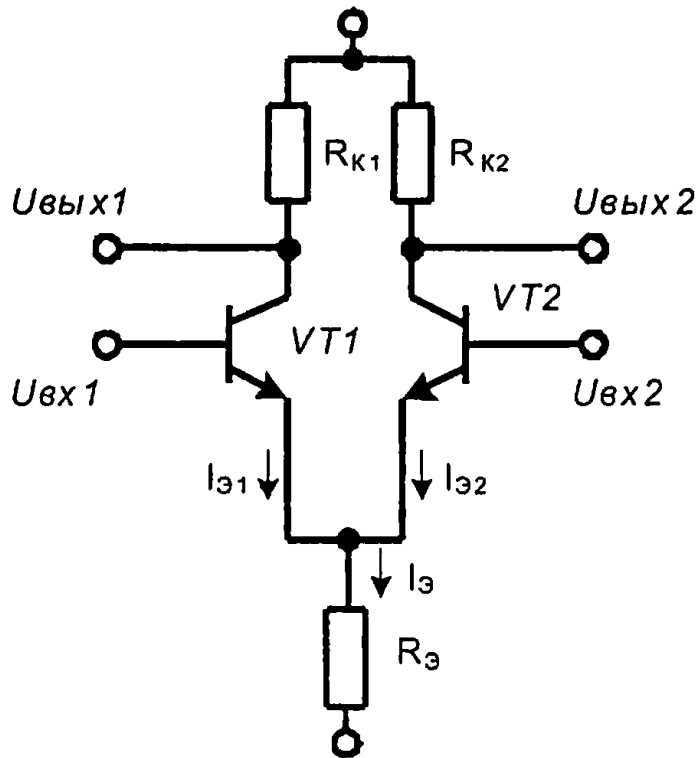


Рис. 2.27

тельных значениях напряжений); 2 — зона переключения; 3 — область установившегося значения логического 0 для прямого и логической 1 для инверсного выходов (в этой области характеристика имеет некоторый наклон вследствие некоторого непостоянства тока эмиттера токовых переключателей из-за неидеальности генератора тока); 4 — область насыщения для инверсного плеча токового переключателя.

В области 4 напряжение коллектора входного транзистора (рис. 2.28) с определенным смещением отслеживает напряжение его базы. Этот режим является нерабочим. Между заштрихованными зонами расположена суммарная область допустимых значений выходных напряжений микросхемы при нагрузке 50 Ом, подключенной к источнику напряжения вспомогательного питания $U = -2$ В. Эта область путем контроля в определенных точках гарантируется техническими условиями.

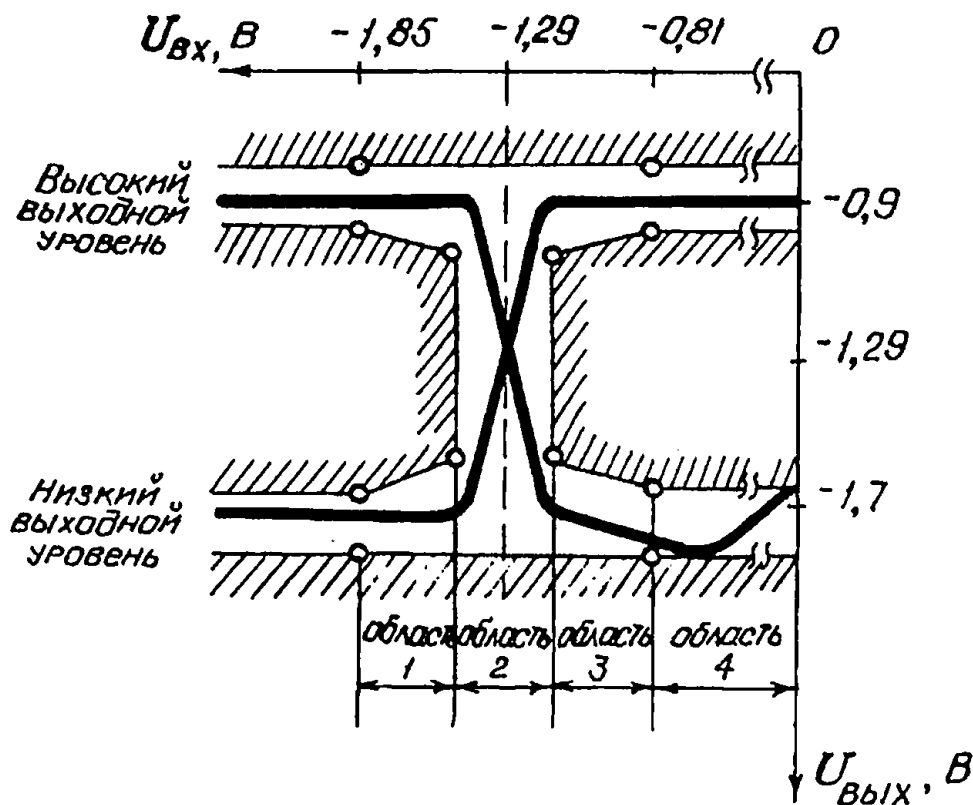


Рис. 2.28

На рис. 2.29 и 2.30 показаны зависимости передаточных характеристик элементов ЭСЛ от воздействия внешних дестабилизирующих факторов. Рис. 2.30 показывает сильную зависимость нижнего уровня выходного напряжения и слабую зависимость верхнего от изменения основного питания $U_{ипп}$.

Чтобы обеспечить правильное функционирование микросхем, в технических условиях установлены максимальные и минимальные нормы параметров при определенных условиях и режимах работы.

В зависимости от того, куда включены эмиттерные повторители, можно выделить ЭСЛ ИМС (эмиттерно-связанная логика с эмиттерными повторителями на выходах) и Э²СЛ ИМС (эмиттер-эмиттерно-связанная логика с эмиттерными повторителями на входах). Наибольшее распространение получили ЭСЛ схемы.

2. Базовые логические элементы

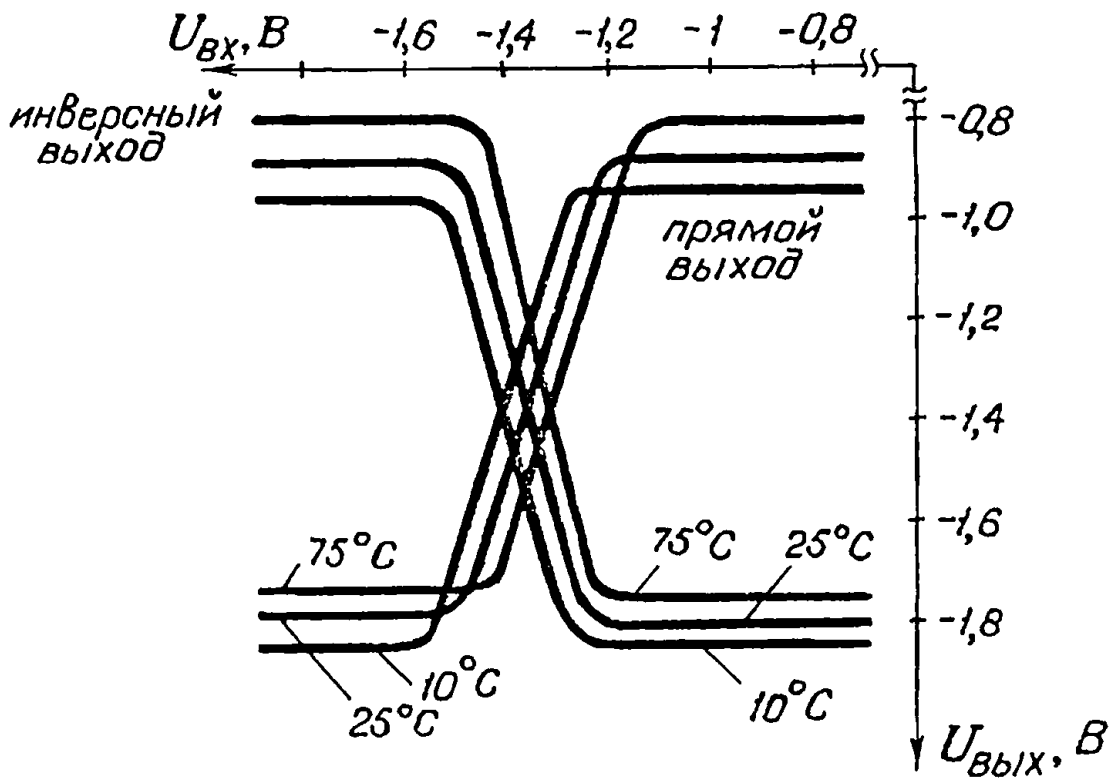


Рис. 2.29

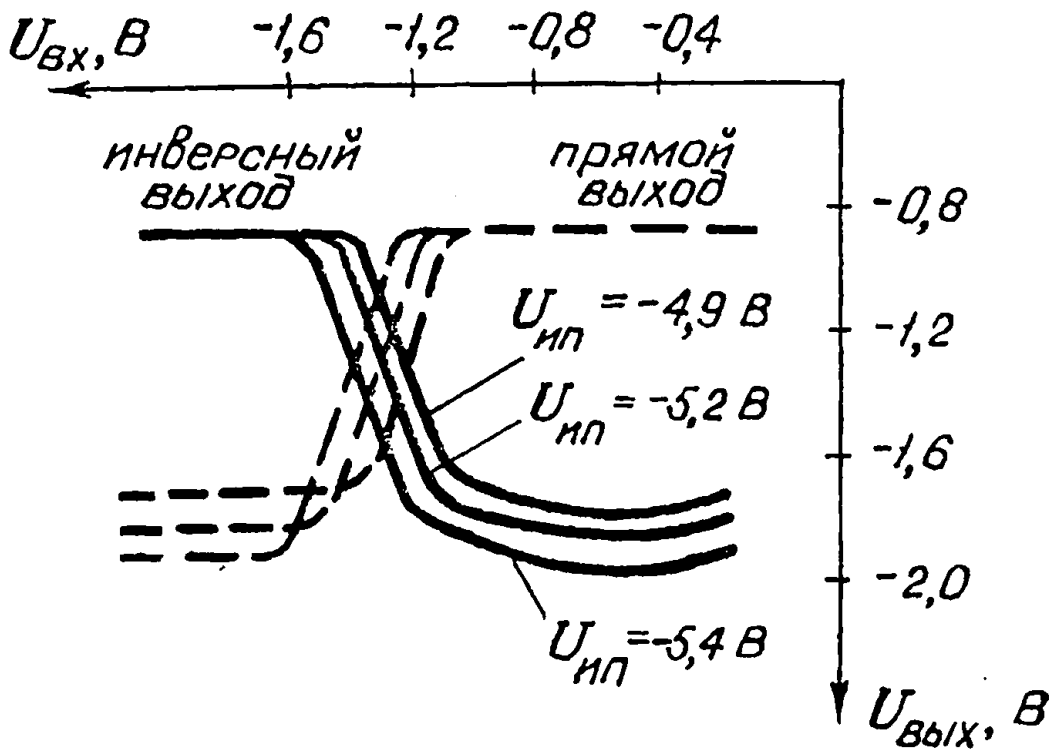


Рис. 2.30

В ИМС Э²СЛ к инвертирующему выходу ключа подключена только коллекторная емкость одного транзистора, а «запараллеливание» выводов транзисторов осуществляется в точке с низким импедансом. Входные емкости схем резко уменьшаются, кроме того, появляется возможность улучшить изоляцию ключевого элемента от остальных элементов ИМС, за счет чего снижаются потери на высоких частотах, ограничивающих быстродействие.

Передаточные характеристики Э²СЛ ИМС подобны по форме характеристикам ЭСЛ, но смещены относительно последних в сторону нуля (рис. 2.31). Логические уровни для Э²СЛ составляют «0 В» и «-0,6 В», а логический перепад 0,6 В. Меньшее значение логического перепада и работа с более низкими по напряжению логическими уровнями позволяют Э²СЛ ИМС осуществлять логические функции с меньшим, чем в ЭСЛ, расходом мощности.

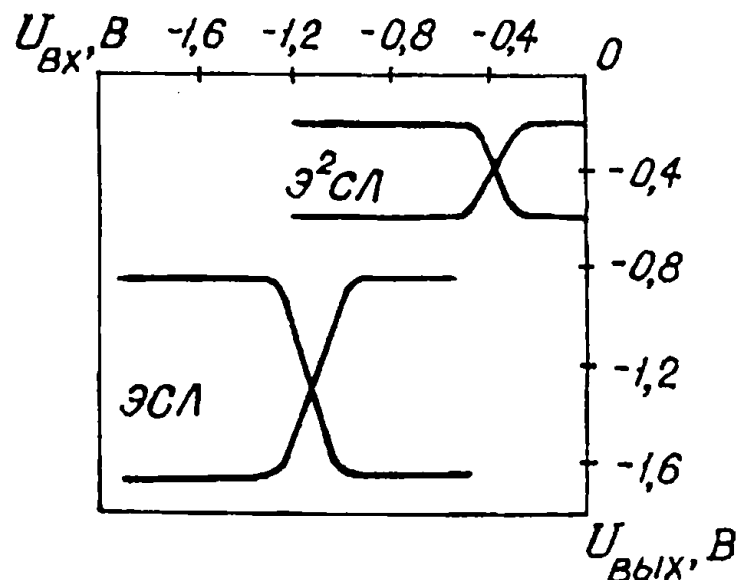


Рис. 2.31

2.4.2. Базовый логический элемент ЭСЛ

Базовый логический элемент ИМС К500 благодаря наличию прямого и инверсного выхода одновременно выполняет две функций: *ИЛИ-НЕ* и *ИЛИ* в положительной логике. В отрицательной логике выполняются функции *И/И-НЕ*. Электрическая схема базового элемента ЭСЛ состоит из трех цепей (рис. 2.32): токового переключателя (ТП), выходных эмиттерных повторителей (ЭП) и источника опорного напряжения (ИОН).

Токовый переключатель построен на транзисторах $VT1-VT5$ и резисторах $R1-R7$ и представляет собой дифференциальный усилитель, работающий в режиме ключа, имеющий несколько входов. Увеличение числа входов ТП достигается параллельным подключением дополнительных входных транзисторов $VT1-VT4$. Токовый переключатель предназначен для получения первой ступени логических

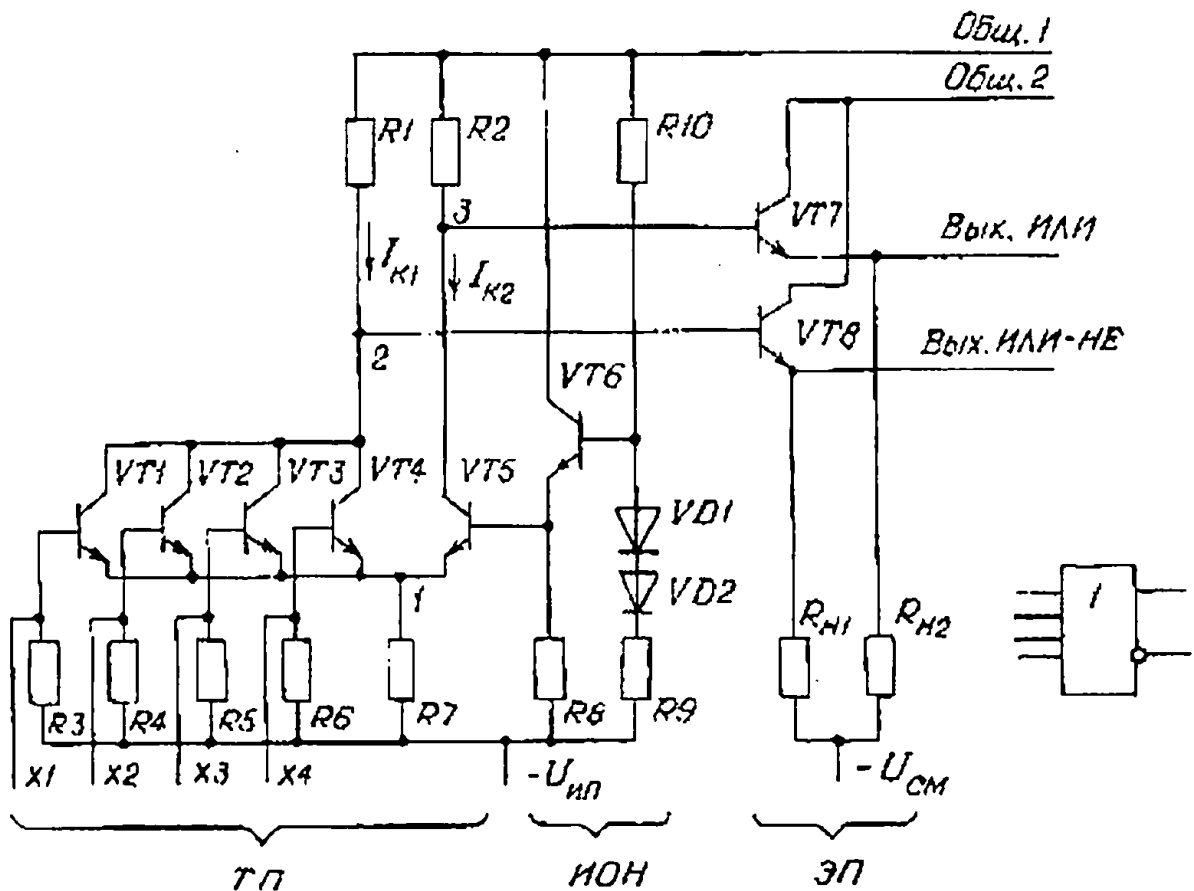


Рис. 2.32

функций, усиления входных сигналов по мощности (в основном по току), формирования парафазных (прямого и инверсного) выходных сигналов и обеспечения требуемой помехозащищенности элемента.

Выходные эмиттерные повторители, выполненные на транзисторах $VT7$, $VT8$, служат для образования второй ступени логики, усиления выходных сигналов по мощности, получения заданной нагрузочной способности и смещения выходных уровней по напряжению с целью обеспечения совместимости ЭСЛ по входу и выходу.

Источник опорного напряжения, построенный на транзисторе $VT6$, термокомпенсирующих диодах $VD1$, $VD2$, резисторах $R8$, $R9$, $R10$ предназначен для обеспечения ТП заданным опорным напряжением. ИОН обслуживает опорным напряжением, как правило, несколько логических элементов на одном кристалле. При наличии более сложных логических и запоминающих элементов ИОН нормирует и другие опорные напряжения.

Амплитуда логического напряжения ЭСЛ элемента равна $U_{\lambda} = 0,8$ В, напряжение высокого уровня $U_{B} = -0,9$ В; низкого уровня $U_{H} = -1,7$ В. ИОН вырабатывает опорное напряжение из условия

$$U_{оп} = \frac{U_{B} + U_{H}}{2} = \frac{-0,9 - 1,7}{2} = -1,3 \text{ В}, \quad (2.34)$$

которое подается на базу $VT5$.

Базовый ЛЭ работает следующим образом. При подаче на все входы схемы $X1-X4$ напряжения низкого уровня ($-1,7$ В) входные транзисторы $VT1-VT4$ закрыты, транзистор $VT5$ открыт, так как напряжение на его базе $U_{оп} = -1,3$ В выше.

Так как падение напряжения на открытом эмиттерном переходе $VT5$ равно $0,75$ В, то напряжение в эмиттерном узле 1 составляет $U_1 = -2,05$ В. Падение напряжения на эмиттерных переходах транзисторов $VT1-VT4$ равно

0,35 В. При таком напряжении кремниевые транзисторы $VT1-VT4$ практически закрыты и ток через них не протекает. Электрический ток, значение которого задается резистором $R7$, протекает через транзистор $VT5$, создает падение напряжения на $R2$. Соотношение сопротивлений резисторов $R2$ и $R7$ выбирается таким образом, чтобы с учетом тока базы транзистора $VT7$ (он создает дополнительное падение напряжения на $R2$) в коллекторном узле 3 напряжение было порядка $U_3 = -0,9$ В.

Транзисторы $VT7$ и $VT8$ выходных эмиттерных повторителей работают постоянно в активном режиме, и падение напряжения на их эмиттерных переходах при рабочем токе составляет примерно 0,8 В. Таким образом, на прямом выходе ЭСЛ (выход *ИЛИ* — эмиттер $VT7$) формируется напряжение низкого уровня $U_H = -1,7$ В.

В коллекторном узле 2 под действием базового тока транзистора $VT8$, протекающего через резистор $R1$ создается напряжение $U_1 = -0,1$ В. Учитывая падение напряжения на эмиттерном переходе $VT8$, на инверсном выходе ЭСЛ (выход *ИЛИ-НЕ* — эмиттер $VT8$) формируется напряжение высокого уровня $U_B = -0,9$ В.

При подаче хотя бы на один из входов, например, $X1$ элемента напряжения высокого уровня ($U_B = -0,9$ В), открывается соответствующий входной транзистор ($VT1$), и весь ток ТП протекает по цепи: $R1 \rightarrow$ входной транзистор ($VT1$) $\rightarrow R7$. В эмиттерном узле 1 устанавливается напряжение $U_1 = -1,65$ В, которое запирает транзистор $VT5$. В коллекторном узле 2 устанавливается напряжение $U_2 = -0,9$ В, в коллекторном узле 3 $U_3 = -0,1$ В. Состояние выходов изменилось: на прямом выходе (*ИЛИ* — эмиттер $VT7$) формируется напряжение высокого уровня $U_B = -0,9$ В; а на инверсном (*ИЛИ-НЕ* — эмиттер $VT8$) — низкого уровня $U_H = -1,7$ В.

Таким образом, в положительной логике ЛЭ ЭСЛ выполняет функцию *ИЛИ/ИЛИ-НЕ*, в отрицательной *И/И-НЕ*.

Источник опорного напряжения построен на основе эмиттерного повторителя, выполненного на транзисторе $VT6$ и резисторе $R8$. Для получения требуемого опорного напряжения $U_{он} = -1,3$ В база транзистора $VT6$ подключена к делителю из резисторов $R10$, $R9$ и диодов $VD1$, $VD2$. Вследствие особенностей схемотехники ЭСЛ серии 500 температурные зависимости выходного напряжения логического нуля и логической единицы несколько отличаются друг от друга. Чтобы выдержать среднюю температурную зависимость $U_{он}$, в ИОН используются термокомпенсирующие диоды $VD1$ и $VD2$. Отсутствие их привело бы к несимметричности статических и динамических характеристик ЭСЛ элемента в диапазоне рабочих температур.

Резисторы $R3$ – $R6$ служат для стекания обратного базового тока и надежного запираения незадействованных входных транзисторов. При их отсутствии самоотпирание незадействованных входных транзисторов будет мешать нормальной работе ЭСЛ элемента и потребует внешнего принудительного подключения входов к источнику отрицательного напряжения.

Особенностью схемотехнического решения ЭСЛ элемента, является применение отдельного подключения шины земли к цепям ТП и ИОН с одной стороны (*общ. 1*), и к цепи ЭП с другой стороны (*общ. 2*). Следует учитывать, что в этих цепях наблюдается принципиально различный характер потребления электрического тока из шины электропитания в момент переключения элемента 1. В общей шине 1 ток практически постоянный, в общей шине 2 — импульсный, причем его значение тем больше, чем ниже сопротивление нагрузки на выходе элемента. Поскольку шина земли от печатной платы к кристаллу микросхем имеет индуктивный характер, то импульсные токи на ней генерируют импульсное напряжение, которое при подключении коллекторов транзисторов $VT7$, $VT8$ к общей шине

2. Базовые логические элементы

земли представляло бы помеху, проходящую через $R1$ и $R2$ на выходы ЭСЛ элемента. В этом случае существенно повысился бы уровень помех в системе.

Выходные эмиттерные повторители подключаются к источнику смещения уровня $U_{см} = -2 \text{ В} \pm 5\%$ через внешние нагрузочные резисторы R_{H1} и R_{H2} с номиналами 51 Ом. Возможно использование других вариантов номиналов R_{H1} и R_{H2} при источниках смещения: 75 или 100 Ом при $U_{см} = -2,4 \text{ В}$, 240–500 Ом при $U_{см} = -5,2 \text{ В}$.

Для расширения логических возможностей ЭСЛ элементов применяют двух- и трехуровневое переключение тока в ТП. Сущность его заключается в том, что один и тот же ток ТП два или более раз переключается на разных уровнях, смещенных относительно друг друга на определенное напряжение. Для этого на входах ТП включаются эмиттерные повторители, смещающие сигналы по напряжению (рис. 2.33). Такие схемотехнические методы в ЭСЛ К500 позволили выполнять сложные функции сложения, мультиплексирования, запоминания в одном элементе с повышенным быстродействием, меньшими затратами и на меньшем числе компонентов, чем аналогичные схемы на логических элементах *И*, *И-НЕ*, *И-ИЛИ*, *И-ИЛИ-НЕ*.

Таким образом, особенностью быстродействующих ЭСЛ микросхем серии 500 является широкое использование схемотехнических решений для получения разнообразных, в том числе сложных логических функций в элементах. Причем сама схемотехника ЭСЛ элементов является функционально гибкой и предоставляет разработчикам широкие возможности. Она позволяет более эффективно реализовывать сложные логические и запоминающие функции по сравнению, например, с ТТЛ.

Наибольшим быстродействием среди ЭСЛ ИМС обладают микросхемы К1500. Логические элементы в этой серии имеют типовое время задержки сигнала при пере-

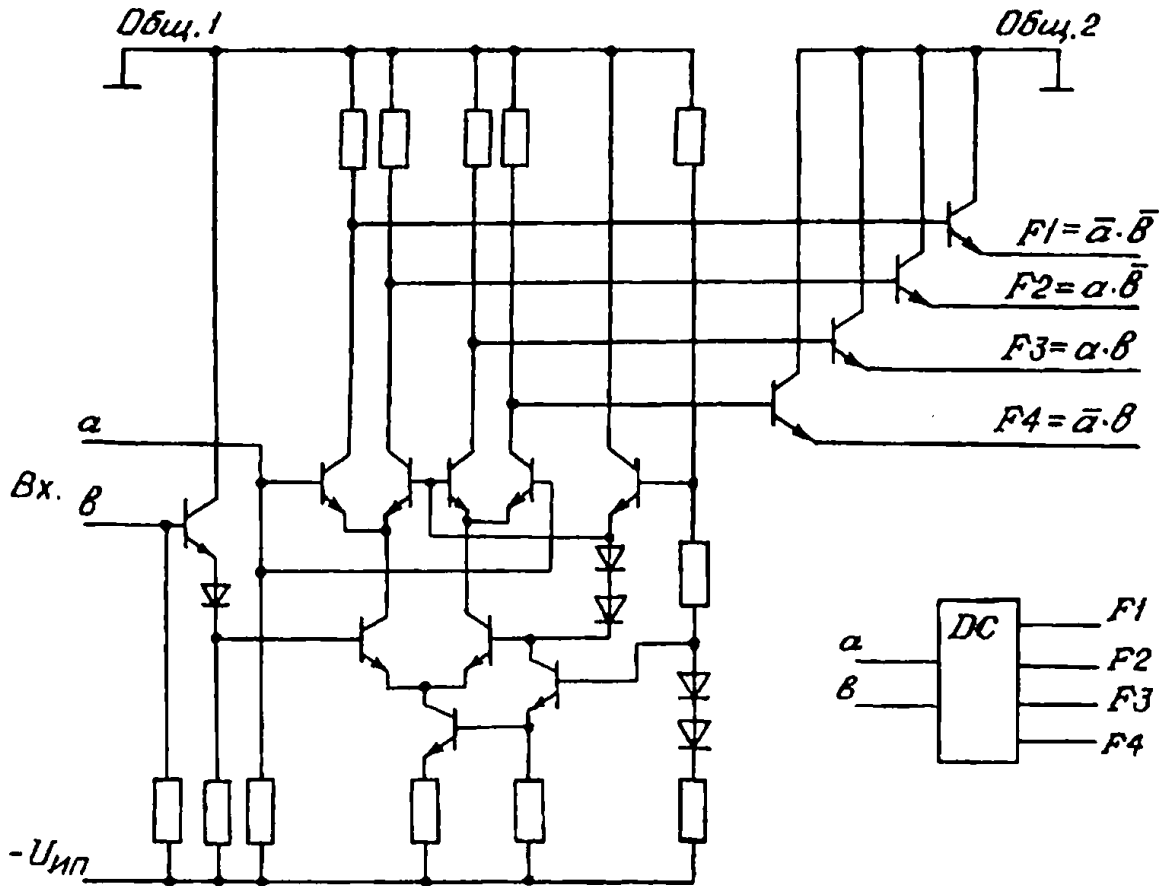


Рис. 2.33

клучения менее 1 нс. Схемотехника, конструкция, технология изготовления их существенно отличаются от ИС К500. При создании новой серии субнаносекундного быстрогодействия были применены более совершенные схемотехнические решения, которые обеспечивали улучшение основных характеристик и параметров микросхем.

Электрическая схема базового логического элемента К1500 (рис. 2.34), так же, как К500, состоит из токового переключателя, источника опорных напряжений и выходных эмиттерных повторителей. С целью стабилизации параметров и характеристик по температуре и напряжению питания электрические схемы ТП и ИОН претерпели значительные изменения. В цепи эмиттера токового переключателя включен генератор тока, выполненный на транзисторе $VT6$ и $R4$. При изменении напряжения питания

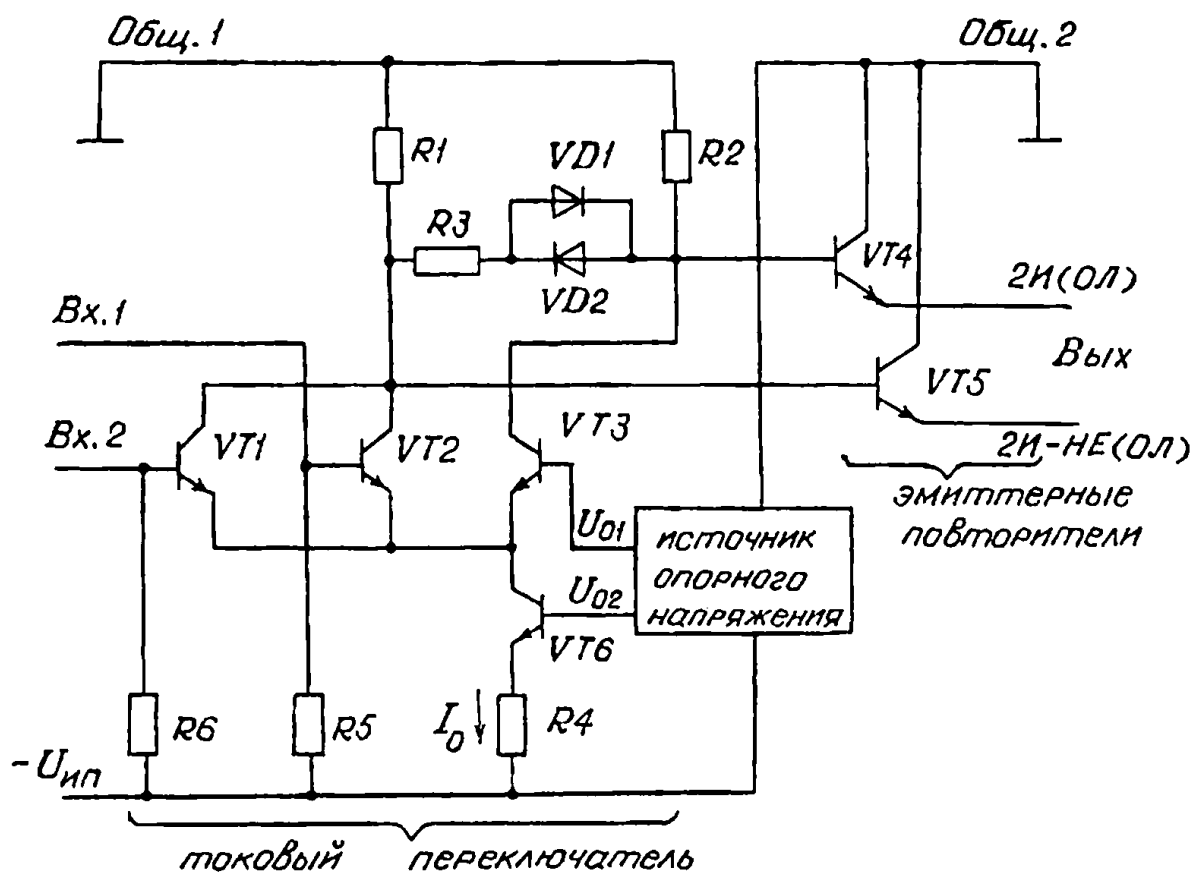


Рис. 2.34

ток генератора остается постоянным. При повышении температуры ток генератора увеличивается. Температурная стабилизация параметров достигается включением термостабилизирующей цепочки, состоящей из диодов $VD1$, $VD2$ и резистора $R3$.

Базовый ЛЭ ИС К1500 работает следующим образом. Типовое значение высокого уровня напряжения $U^0 = -0,95$ В, низкого уровня $U^1 = -1,7$ В (в отрицательной логике); опорное напряжение $U_{он1} = -1,32$ В; амплитуды логического перепада $U_x = 0,75$ В.

При подаче на один из входов (или на оба сразу) высокого уровня напряжения U^0 транзистор $VT1$ (или $VT2$, или оба) открывается, поскольку напряжение на его базе существенно выше напряжения на базе транзистора $VT3$. Ток I_0 , задаваемый генератором тока на транзисторе $VT6$

и резисторе $R1$, протекает через транзистор $VT1$ (или $VT2$, или оба) и создает падение напряжения на резисторе $R1$, равное $0,9$ В. Поскольку смещение на эмиттерном переходе $VT5$ равно $0,8$ В, то на инверсном выходе $2И-НЕ$ элемента образуется низкий уровень напряжения $U^1 = -1,7$ В. Транзистор $VT3$ в это время закрыт, и на его коллекторе устанавливается отрицательное напряжение, равное $(-0,15$ В), за счет протекания базового тока транзистора $VT4$ и некоторого добавочного тока через диод $VD2$. Указанное напряжение, смещаясь на $0,8$ В на эмиттерном переходе транзистора $VT4$, создает высокий уровень напряжения $U^0 = -0,95$ В на прямом выходе $2И$ элемента. При подаче на оба входа низкого уровня напряжения $U^1 = -1,7$ В входные транзисторы $VT1$ и $VT2$ закрываются, транзистор $VT3$ открывается, ток I_0 протекает по прямому плечу токового переключателя. На прямом выходе $2И$ устанавливается низкий уровень напряжения $U^1 = -1,73$ В, на инверсном $2И-НЕ$ — высокий $U^0 = -0,95$ В. Таким образом, базовый ЭСЛ элемент серии К1500 выполняет функцию $2И/2И-НЕ$ в отрицательной логике и $2ИЛИ/2ИЛИ-НЕ$ — в положительной.

Электрические схемы ТП и ИОН спроектированы таким образом, чтобы изменения температуры окружающей среды и напряжения основного источника питания $U_{ип}$ не приводили бы к изменению выходных уровней напряжения, опорного напряжения и помехозащищенности элемента. Стабилизация параметров и характеристик ЭСЛ элемента серии К1500 по температуре осуществляется следующим образом. В ЭСЛ элементе с нестабилизированными по температуре параметрами и характеристиками выходные уровни напряжений (высокий и низкий) повышаются с возрастанием рабочей температуры (рис. 2.29) за счет уменьшения падения напряжения на эмиттерных переходах транзисторов ЭП. В ЭСЛ серии К1500 указанное уменьшение падения напряжения компенсируется

дополнительным падением напряжения на коллекторных сопротивлениях $R1$ и $R2$ токового переключателя за счет добавочного тока.

Добавочный ток вырабатывается генератором ТП при повышении температуры за счет уменьшения падения напряжения на эмиттерном переходе транзистора $VT6$. Добавочный ток в коллекторном узле ТП разделяется на две равные части. Например, при открытом транзисторе $VT3$ основной ток и половина добавочного протекают через резистор $R2$. Вторая половина добавочного тока протекает через резисторы $R1$, $R3$ и диод $VD1$. Диод $VD2$ в это время закрыт. При открытом транзисторе $VT1$ (или $VT2$) основной ток и половина добавочного протекают через резистор $R1$. Вторая половина добавочного тока проходит через резисторы $R2$, $R3$ и диод $VD2$. Диод $VD1$ в это время закрыт.

Добавочный ток минимален при самой низкой рабочей температуре и увеличивается по мере ее повышения. Диоды $VD1$ и $VD2$ применяются для компенсации изменения падения напряжения на резисторе $R3$, которое зависит от температуры, для сохранения постоянной разницы напряжения между коллекторами транзисторов токового переключателя и, следовательно, постоянной амплитуды сигнала. Полная компенсация и постоянство выходных уровней в диапазоне температур выполняются при вполне определенных соотношениях сопротивлений, а именно $R_1 = R_2 = 2R_3$.

Стабилизация параметров и характеристик ЭСЛ элемента К1500 по температуре и питанию в значительной степени определяется источником опорного напряжения, электрическая схема которого приведена на рис. 2.35. Для обеспечения стабилизации по температуре необходимо, чтобы напряжения U_{01} и U_{02} не изменялись в диапазоне температур при постоянном напряжении питания $U_{ип}$. Для обеспечения стабилизации по электропитанию необходимо, чтобы напряжение U_{01} не изменялось при отклонении

$U_{инп}$ от номинального значения, а напряжение U_{02} в точности воспроизводило изменения напряжения питания $U_{инп}$. В этом случае напряжение на генераторе тока сохраняется постоянным, а ток I_0 стабильным.

Рассмотрим, как выполняется стабилизация напряжений U_{01} и U_{02} , при изменении температуры (рис. 2.35). Постоянство напряжения U_{01} обеспечивается определенным включением разных по площади эмиттерных переходов транзисторов $VT1$ и $VT6$ (в $VT6$ она существенно больше). В условиях практически равного напряжения на базах $VT1$ и $VT6$ при задании через транзистор $VT1$ определенного тока I_1 , через транзистор $VT6$ протекает ток I_2 — больший тока I_1 во столько раз, во сколько площадь эмит-

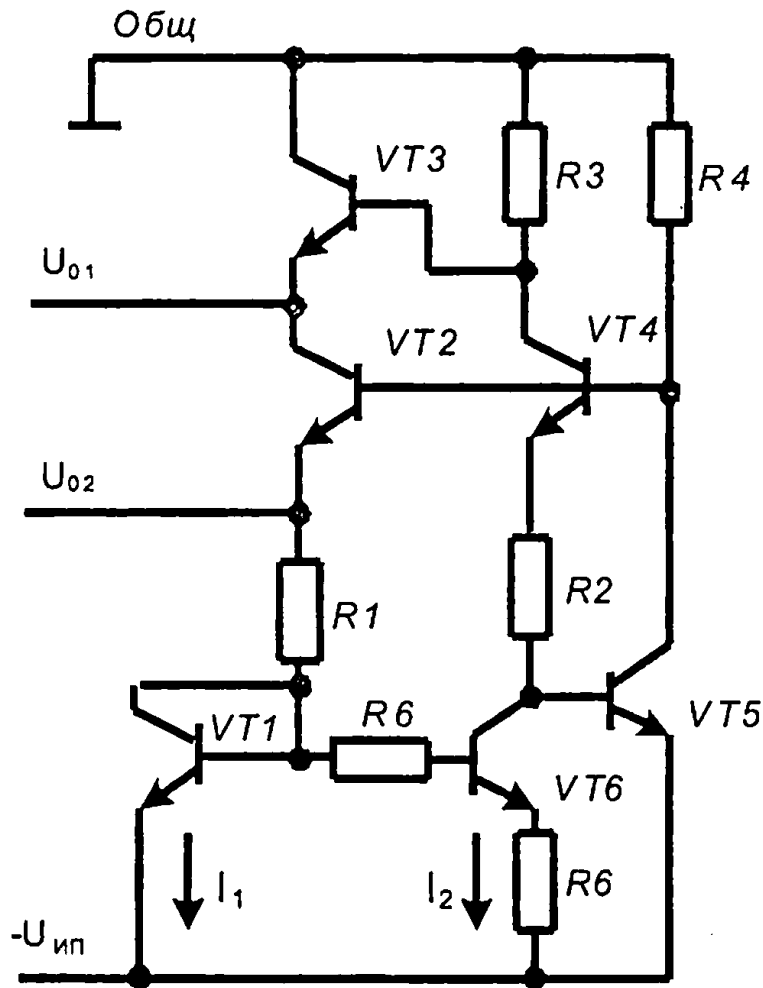


Рис. 2.35

2. Базовые логические элементы

терного перехода транзистора $VT6$ больше площади эмиттерного перехода транзистора $VT1$:

$$\frac{I_2}{I_1} = \frac{S_s(VT6)}{S_s(VT1)}; S_s(VT6) > S_s(VT1). \quad (2.35)$$

На значение тока I_2 влияет также резистор $R5$. Сопротивления резисторов $R2-R5$ выбраны таким образом, чтобы формировались заданные напряжения U_{01} и U_{02} (в серии К1500: $U_{01} = -1,32$ В, $U_{02} = -3,2$ В). При повышении рабочей температуры элемента напряжение $U_{БЭ}(VT1)$ транзистора $VT1$ уменьшается, ток I_1 увеличивается, вызывая увеличение тока I_2 , и, следовательно, возрастает падение напряжения на резисторе $R3$, которое компенсирует уменьшение напряжения на эмиттерном переходе транзистора $VT3$ при повышении температуры. В результате напряжение U_{01} остается постоянным при изменении рабочей температуры.

Напряжение на коллекторе транзистора $VT6$ определяется падением напряжения на эмиттерном переходе транзистора $VT5$. Сопротивление резистора $R2$ выбирается равным сопротивлению $R3$. В результате температурные изменения падения напряжения на эмиттерном переходе транзистора $VT5$ полностью компенсируются увеличением падения напряжения на резисторе $R2$ за счет увеличения тока I_2 . На эмиттере транзистора $VT4$ напряжение остается постоянным в диапазоне рабочих температур. Через общие базы транзисторов $VT4$ и $VT2$ оно формирует постоянное напряжение U_{02} .

Стабилизацию характеристик и параметров по питанию в ЭСЛ элемента серии К1500 полностью обеспечивает схема ИОН. Для выполнения данной функции в источнике опорного напряжения служит цепь из транзистора $VT5$ и резистора $R4$. Отклонения напряжения питания от номинального значения полностью повторяются на резисто-

ре $R4$ и через транзистор $VT2$ на выходе U_{02} . Таким образом, разность $(U_{ин} - U_{02})$ все время сохраняется постоянной, в результате в генераторе тока ТП формируется стабильный ток I_0 (рис. 2.34) даже при изменении напряжения питания. По этой же причине ток I_1 в цепи транзистора $VT1$ и ток I_2 в цепи транзистора $VT2$ ИОН (рис. 2.35) сохраняются постоянными. Постоянный ток I_2 вызывает постоянное падение напряжения на резисторе $R3$. В результате при изменении напряжения питания $U_{ин}$ остается неизменным опорное напряжение U_{01} ИОН, сохраняются стабильными уровни выходного сигнала, амплитуда и помехозащищенность элементов, достигается стабилизация динамических характеристик и параметров.

Так же, как и в серии 500 для значительного расширения логических возможностей, повышения быстродействия и сокращения потребляемой мощности используются различные схемотехнические решения: эмиттерное и коллекторное объединение, двух- и трехуровневое переключение сигнала, уменьшенный логический сигнал для работы внутри СИС и БИС, парафазное управление, двухэмиттерные выходы ЭП.

2.4.3. Особенности применения ЭСЛ ИМС

Некоторые особенности применения ЭСЛ ИМС уже отмечались при рассмотрении принципа действия.

Микросхемы ЭСЛ-типа имеют отрицательное напряжение источника питания и, как следствие, отрицательное напряженно логических уровней. Необходимо использовать 2 источника питания. Для ИС 100, 500 серий $U_{ин} = -5,2 \text{ В} \pm 5\%$ напряжение питания; $U_{см} = -2 \text{ В} \pm 5\%$ напряжение источника смещения.

Логические уровни малы по абсолютному значению, что не позволяет соединять их непосредственно с ТТЛ и КМОП. Для взаимной стыковки этих микросхем следует

2. Базовые логические элементы

применять специальные схемы преобразователей уравнений. Статическая помехоустойчивость схем составляет по верхнему уровню 125 мВ, по нижнему 155 мВ.

При применении ЭСЛ ИМС необходимо учитывать влияние на передаточную характеристику и динамические параметры дестабилизирующих факторов: изменение температуры окружающей среды, напряжения питания, емкости и др.. Динамические параметры ЭСЛ слабо зависят от напряжения питания и температуры окружающей среды. В большой степени они зависят от сопротивления нагрузочного резистора и нагрузочной емкости, т. е. определяются в значительной степени выходным каскадом — эмиттерными повторителями. Наибольшее влияние на задержку распространения сигнала оказывает емкость нагрузки.

Микросхемы серии К1500 вследствие схемотехнических изменений логических элементов несколько отличаются от ИС 100, 500 по своим параметрам. Напряжение источника питания составляет $U_{инт} = -4,5 \text{ В} \pm 5\%$ источника смещения уровня $U_{см} = -2 \text{ В} \pm 5\%$.

При эксплуатации ИС 1500 выделяется значительное количество тепла из-за большой рассеиваемой мощности микросхем, поэтому необходимо обеспечивать эффективный теплоотвод, чтобы температура корпуса согласно требованиям технических условий не превышала 85 °С.

В отличие от ИС 100, 500 микросхемы 1500 имеют встроенную систему стабилизации параметров по питанию и температуре, которая обеспечивает постоянную помехоустойчивость при их эксплуатации.

При конструировании аппаратуры на основе ИС 1500 необходимо уделять внимание вопросам компоновки схем, согласования линии связи, выбора согласующих резисторов, соединителей, вопросам развязки питания. С целью получения максимального быстродействия рекомендуется использовать параллельное согласование 50 Ом линии связи.

Возможны случаи совместного использования в аппаратуре ИС 1500 и 500. В связи с тем, что микросхемы имеют различные источники питания, размещать их необходимо в разных конструктивных блоках. При нормальной температуре и номинальных значениях источников питания микросхемы устойчиво работают друг на друга. Трудности их согласования сказываются при работе с предельными температурами, так как выходные и пороговые напряжения в этих сериях отличаются при измерении температуры и напряжения питания.

При непосредственной работе микросхем друг на друга рекомендуется подключить нагрузочные резисторы 50, 75 и 100 Ом к источнику питания (-2 В).

При работе ИС 1500 на ИС 500 запрещается передача однофазных сигналов из-за потери работоспособности схем. Рекомендуется передача парафазных сигналов на дифференциальные приемники ИС 500 (рис. 2.36).

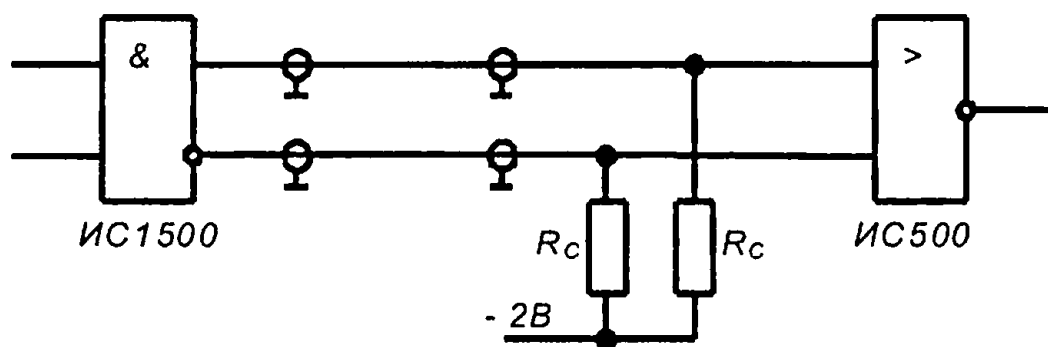


Рис. 2.36

Основное требование при конструировании аппаратуры на ЭСЛ ИС — передача сигналов по согласованным линиям связи. Из-за крутых фронтов ИС 1500 более чувствительны к неоднородностям в линиях передач. Поэтому при правильном применении ИС 1500 в линиях связи должно быть постоянное волновое сопротивление. Таким образом, при использовании ИС 1500 наибольшее внимание необходимо уделять вопросам быстродействия и правильной организации линий связи.

2.5. Цифровые микросхемы интегральной инжекционной логики

Рассмотренные ранее логические элементы ДТЛ, ТТЛ, ЭСЛ строят на транзисторах, диодах, резисторах. Однако при интегральной технологии изготовление транзисторов оказывается более предпочтительным, чем изготовление резисторов, особенно высокоомных. Основные причины этого:

- ♦ высокоомный резистор занимает большую площадь подложки кристалла, чем транзистор;
- ♦ затруднительно обеспечить малый разброс и высокую стабильность сопротивления резистора;
- ♦ резистор является элементом переключающих устройств, на котором рассеивается потребляемая мощность, что ухудшает тепловой режим логического элемента.

В логических элементах резисторы обычно совмещают нагрузочные и токозадающие функции. Для того, чтобы обеспечить достаточно высокую стабильность тока, номинал резистора должен быть большим.

Поэтому для создания интегральных схем стали широко применяться полупроводниковые приборы с инжекционным питанием И²Л (интегрально-инжекционная логика) — одним из наиболее перспективных классов логических микросхем на биполярных транзисторах. Действие этих схем основано на двух принципах.

Первый принцип заключается в совмещении электрически связанных однородных областей полупроводника в кристалле. В большинстве случаев эмиттеры транзисторов в микросхеме электрически связаны общей шиной. Плотность упаковки можно увеличить, если в качестве общего эмиттера для схем транзисторов использовать эпитаксиальный слой или подложку соответствующего типа

проводимости, а не отдельные изолированные диффузионные области n^+ — типа. Металлическая разводка в этом случае упрощается, так как роль общей шины выполняет общий эмиттер.

Второй принцип состоит в отказе от традиционного способа питания цепей базы и коллектора ключевых транзисторов ЛЭ через резисторы, которые ограничивают ток, потребляемый от источника питания. Использование резисторных цепей вызывает дополнительное рассеяние мощности, снижение быстродействия за счет увеличения постоянной времени. Кроме того, диффузионные резисторы занимают значительную площадь кристалла.

Отмеченные недостатки устраняются за счет исключения резисторов питания и непосредственного введения избыточных подвижных носителей заряда в базу переключающего транзистора. В результате этого электронейтральность базы нарушается и возникает ток, смещающий переход эмиттер-база в прямом направлении.

Удаление из схемы резистора значительно повышает плотность упаковки и фактор качества (величина, обратная произведению длительности задержки на рассеиваемую мощность). Для непосредственного введения избыточных носителей заряда в базу переключающего транзистора применяют два способа. При первом способе используется эффект генерации избыточных носителей заряда в объеме полупроводника при воздействии на него излучения, например, видимого света. Вторым способом основан на введении дополнительного инжектирующего p - n -перехода, расположенного вблизи базы переключающего транзистора.

Существенный недостаток первого способа связан с необходимостью использования достаточно мощного миниатюрного источника света. Существующие источники света не удовлетворяют перечисленным требованиям и имеют низкий КПД. Поэтому данный способ в настоящее

время не используется. Преимущество получили приборы с инжектирующим *p-n*-переходом.

Приборы с инжекционным питанием впервые были предложены в 1971 г. для цифровых интегральных микросхем, хотя этот принцип применим и к аналоговым ИМС.

Он имеет ряд достоинств. Элементы И²Л выгодно отличаются простотой технологии и конструкции, так как состоят только из биполярных транзисторов и не требуют особой изоляции. Следовательно, имеют высокую плотность упаковки — более 10^3 вентилей на кристалл, и функциональную плотность $500 \div 600$ вентелей/мм². По этим параметрам, а также по потребляемой мощности $P_{max} = 0,1$ мВт элементы И²Л сопоставимы с МОП и КМОП и даже превосходят их. Схемы И²Л имеют минимальную работу переключения: $A = 0,02 \div 0,1$ пДж. При этом сохраняется быстродействие, характерное для ТТЛ-схем $t_{зд} = 1 \div 1,25$ нс. Имеется возможность регулировки потребляемой мощности и быстродействия в пределах нескольких порядков. Для этих схем достаточно напряжение питания $0,5 \div 0,9$ В. На практике последовательно с инжектором включают внешнее сопротивление. Тогда используют источники питания $E = 1,0 \div 1,5$ В.

Элементы И²Л работоспособны в интервале температур от -60 до $+125$ °С. Это объясняется отсутствием в схемах резисторов. Значительные изменения величины питающего тока не сопровождаются сколько-нибудь существенным изменением питающего напряжения. Увеличение питающего тока в широких пределах не нарушает нормального функционирования схемы, а приводит лишь к возрастанию потребляемой мощности и, как следствие, к повышению быстродействия.

Приемлемые характеристики по довольно высокой радиационной стойкости позволяют использовать И²Л-элементы для проектирования цифровых устройств специального назначения.

Микросхемы с инжекционным питанием легко согласуются с ТТЛ схемами, имеют возможность получения больших выходных токов и создания на одной пластине линейных (аналоговых) и цифровых схем, питаются одним источником низкого постоянного напряжения, отсутствуют импульсное питание и импульсные помехи по цепям питания при переключении схем.

К недостаткам следует отнести: вследствие малого логического перепада (менее 0,5В) чувствительность к помехам (помехоустойчивость к отрицательным помехам составляет $U_{\text{п}}^- = 20-50$ мВ, величина $U_{\text{п}}^+$ приблизительно такая же, как ТТЛ с простым инвертором) и невозможность непосредственного сопряжения с логическими элементами других типов. Поэтому элементы И²Л выполняют все функции внутри кристалла, а выходы на внешние цепи осуществляются через обычные ТТЛ элементы, расположенные на одном кристалле с элементами И²Л.

Рассмотрим в качестве примера одну из простейших конструкций планарного транзистора с инжекционным питанием (рис. 2.37, а). Такие приборы не имеют аналогов в дискретном виде, т. е. они специфичны именно для интегрального исполнения. Транзистор с инжекционным питанием может быть создан с помощью хорошо известного метода двойной диффузии на подложке *n*-кремния, он совместим с технологией изготовления биполяр-

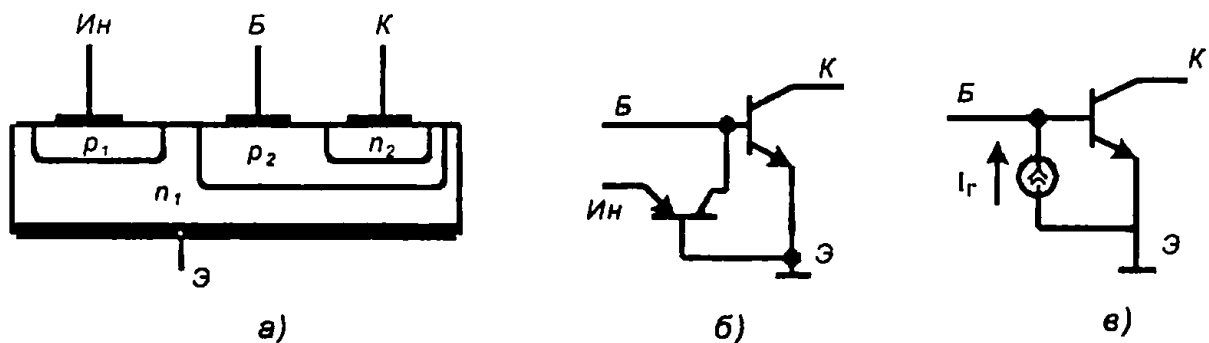


Рис. 2.37

ных транзисторов и представляет собой четырехслойную $p_1-n_1-p_2-n_2$ — структуру, в которой можно выделить два транзистора $n-p-n$ ($n_1-p_2-n_2$) и $p-n-p$ ($p_1-n_1-p_2$) — типа (рис. 2.37, б). Такая структура является одной ячейкой И²Л.

В вертикальном $n_1-p_2-n_2$ -транзисторе кристалл n_1 -типа выполняет роль эмиттера; p_2 — базовая область, n_2 — коллекторная. Горизонтальный $p_1-n_1-p_2$ -транзистор образован инжекционной p_1 -областью, играющей роль эмиттера, n_1 -область служит базой, p_2 -коллектором. Эмиттерная p_1 -область подключается к положительному полюсу источника питания. Она осуществляет инжекцию носителей заряда и поэтому называется инжектором (Ин). От одного инжектора может питаться несколько схем, т. е. горизонтальный $p-n-p$ -транзистор может быть многоколлекторным. Также все транзисторы имеют общую n_1 -область — подложку. При такой физической структуре не требуется изоляция между отдельными элементами И²Л. Этим и обусловлена высокая плотность упаковки. Однако необходимо исключить влияние паразитных горизонтальных связей между элементами.

Эмиттер n_1 структуры заземлен, чем обеспечивается прямое смещение инжекционного p_1-n_1 -перехода (рис. 2.38). Токозадающий $p_1-n_1-p_2$ -транзистор в таком включении работает в режиме, близком режиму генератора тока. Поэтому упрощенную эквивалентную схему изображают в виде переключающего $n-p-n$ -транзистора и генератора тока I_r в цепи его базы (рис. 2.37, в).

При прямом смещении p_1-n_1 -перехода из инжектора в n -эмиттер инжектируются дырки. На рис. 2.38 у каждого $p-n$ -перехода знаками «+» и «-» показаны объемные заряды запирающего слоя, созданные атомами примесей. В эмиттерной n_1 -области у инжекционного p_1-n_1 -перехода возникает избыточная концентрация дырок. Для нейтрализации их заряда через внешний вывод «Э» поступают элек-

троны. Концентрация избыточных электронов приблизительно равна концентрации избыточных дырок. Вследствие появления градиента концентрации происходит диффузия электронов и дырок к эмиттерному n_1 - p_1 -переходу, подвывая к которому, избыточные электроны компенсируют часть объемного заряда, обусловленного ионизированными донорами. Избыточные дырки захватываются полем n_1 - p_2 -перехода и, попадая в область p_2 -базы, компенсируют часть объемного заряда ионизированных акцепторов. В результате эмиттерный потенциальный барьер понижается, n_1 - p_2 -переход сужается и смещается в прямом направлении. Часть избыточных электронов и дырок из области n_1 -эмиттера проходит в область p_2 -базы (рис. 2.38), что эквивалентно подключению генератора тока к p_2 -базе (рис. 2.37, в). Приход электронов можно рассматривать как их инжекцию из n_1 -эмиттера в p_2 -базу, а приход дырок обеспечивает электрическую нейтральность p_2 -базы.

Отметим, что p_1 - n_1 - p_2 -транзистор имеет горизонтальную структуру и однородную базу, т. е. является бездрейфовым.

Избыточные электроны и дырки, диффундируя к коллекторному p_2 - n_2 -переходу, компенсируют часть объемного заряда, так что понижается потенциальный барьер. В результате коллекторный p_2 - n_2 -переход смещается в прямом направлении, а транзистор оказывается в режиме насы-

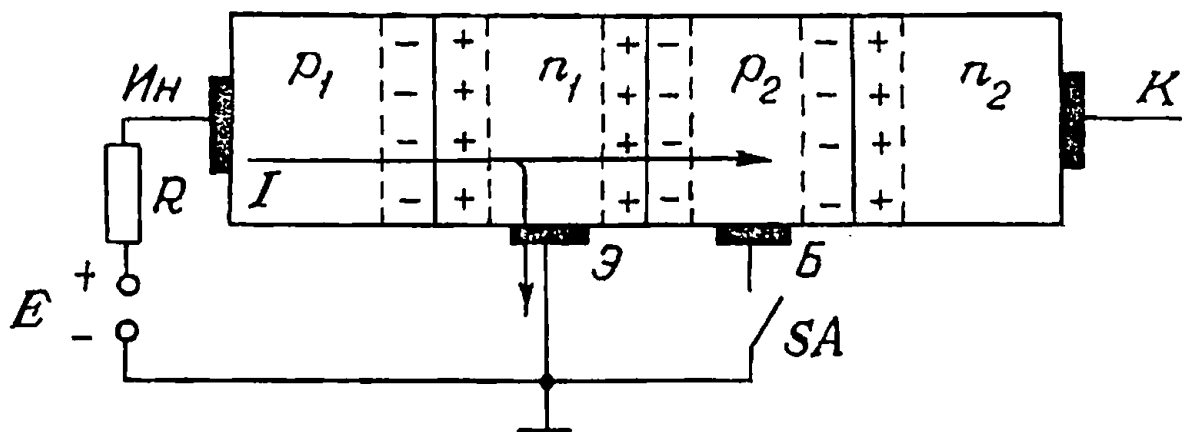


Рис. 2.38

щения, его можно рассматривать как ключ в замкнутом состоянии. Рассмотренные процессы происходят в И²Л структуре при разомкнутом ключе SA (рис. 2.38).

Если p_2 -базу соединить с помощью ключа SA (рис. 2.38) с n_1 -эмиттером, то инжекция электронов в базу прекратится. Разность потенциалов на эмиттерном n_1 - p_1 -переходе окажется равной нулю, и ток в цепи базы I_B будет иметь величину

$$I_B = A_{2N} I_{инж}, \quad (2.36)$$

где A_{2N} — нормальный коэффициент передачи p_1 - n_1 - p_2 -транзистора.

В коллекторной цепи ток отсутствует, и n - p - n -транзистор переходит активный режим на границе с режимом отсечки. Его выходное сопротивление при этом резко увеличивается, что соответствует разомкнутому ключу. Напряжение $U_{кз}$ между n_2 -коллектором и n_1 -эмиттером зависит от характера и величины нагрузки, подключенной к коллектору.

Таким образом, даже при закороченной цепи n_1 -эмиттер — p_2 -база через базу протекает ток, величина которого определяется током инжекции $I_{инж}$ и коэффициентом A_{2N} . Это и позволяет представлять И²Л элемент эквивалентной схемой, содержащей генератор тока I_r .

Роль выключателя SA может выполнять другой И²Л транзистор, находящийся в режиме насыщения. В И²Л-схемах применяют цепочки из нескольких транзисторов, каждый на которых, будучи в режиме насыщения, замыкает эмиттер и базу последующего транзистора, переводя его в закрытое состояние (рис. 2.39). Такая цепочка содержит общую инжектор-дырочную область, созданную в кристалле кремния n -типа, служащего эмиттером. Все p - n - p -транзисторы можно заменить одним многоколлекторным транзистором (рис. 2.39, б), что характерно для схем И²Л. В результате базы n - p - n -транзисторов питаются от разных

коллекторов, «развязаны» друг от друга, а значит, исключена возможность неравномерного распределения тока между ними. Это также существенно облегчает осуществ-

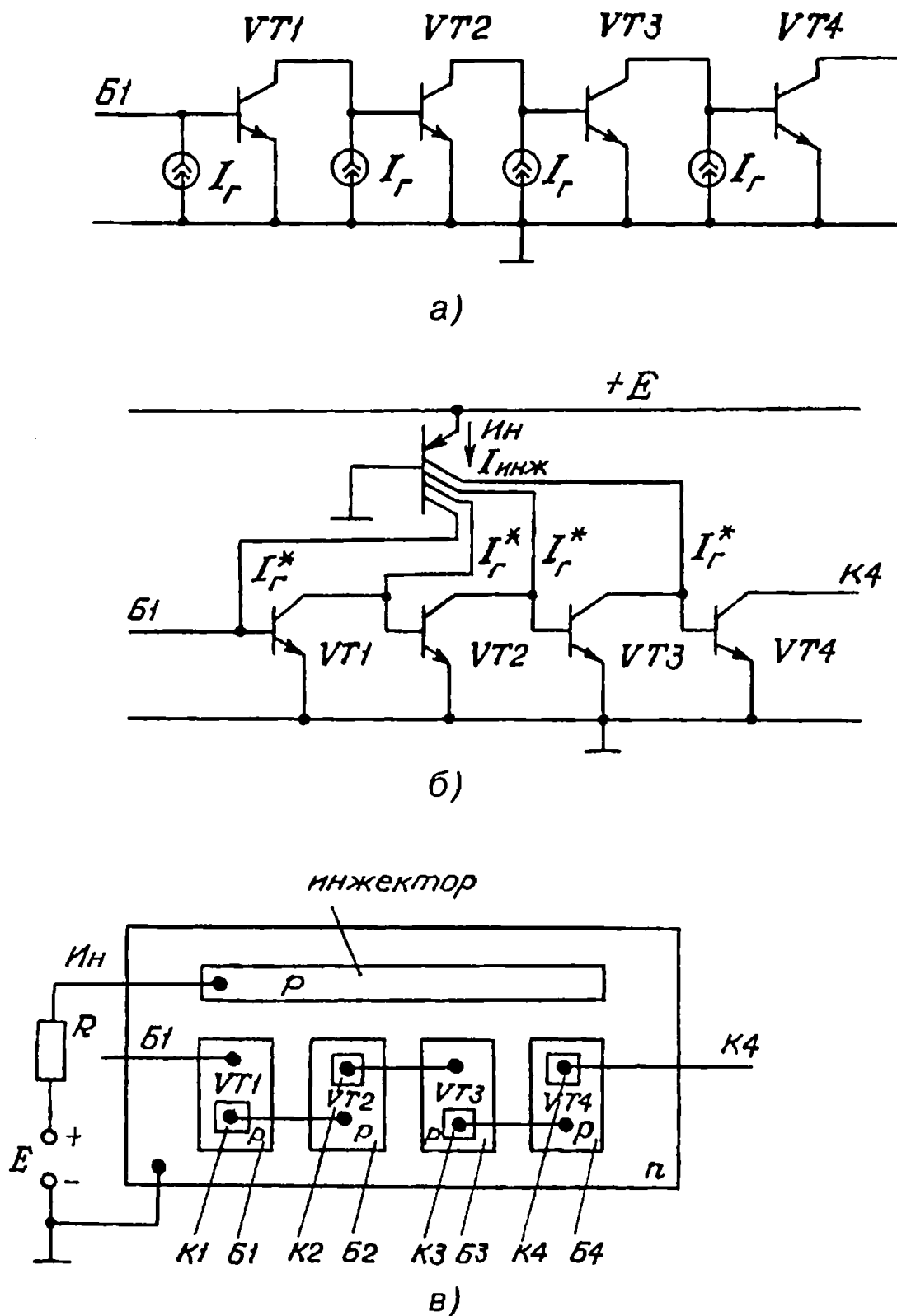


Рис. 2.39

ление разветвленных связей между элементами И²Л в сложных ИМС.

Оригинальность схемотехнического решения сочетается в схемах И²Л с оригинальностью технологического решения. На рис. 2.39, в показана структура и конфигурация типичной ИМС с инжекционным питанием, соединения соответствуют рис. 2.39 а, б. Инжектор осуществлен в виде длинной *p*-полоски, выполненной на этапе базовой диффузии.

Такая цепочка транзисторов представляет собой последовательность ключевых схем, замкнутое и разомкнутое состояние в которых чередуется.

Ток инжектора распределяется между всеми коллекторами *p-n-p*-транзистора, число которых может составлять $n_k = 10-20$ и более. Поэтому, если общий коэффициент передачи инжекторного тока (на все коллекторы) близок к единице ($A_{2N} \geq 0,9$), то коэффициент передачи на каждый из коллекторов будет в n_k раз меньше, отсюда следует, что токи I_k^* и $I_{инж}$ сильно различаются (рис. 2.39)

$$I_{\Gamma}^* = \frac{A_{2N} I_{инж}}{n_k}. \quad (2.37)$$

Обычно в схемах с инжекционным питанием делают общий инжектор для всех транзисторов или нескольких инжекторов, каждый из которых обслуживает группу транзисторов. Поскольку около половины всех транзисторов находится в состоянии замкнутого ключа, то переключение каких-либо транзисторов из одного состояния в другое мало влияет на величину тока, питающего всю схему.

Ток I_n , потребляемый элементом И²Л от источника питания, определяется сопротивлением резистора R (рис. 2.38, 2.39):

$$I_n = (E - U^*) / R, \quad (2.38)$$

где U^* — напряжение на открытом инжекторном переходе.

Резистор обычно располагается вне микросхемы, поэтому мощность, рассеиваемая непосредственно элементом И²Л, составляет $P_{И^2Л}$

$$P_{И^2Л} = U^* I_n. \quad (2.39)$$

Мощность $P_{И^2Л}$ составляет относительно небольшую часть общей потребляемой мощности

$$P_{И^2Л} = P \frac{U^*}{E} \approx (0,15 - 0,25)P. \quad (2.40)$$

Остальная часть потребляемой мощности рассеивается резистором.

Параллельное соединение нескольких элементов И²Л, как показано на рис. 2.40, а образует логический элемент ИЛИ-НЕ. Если оба входа закоротить (состояние логичес-

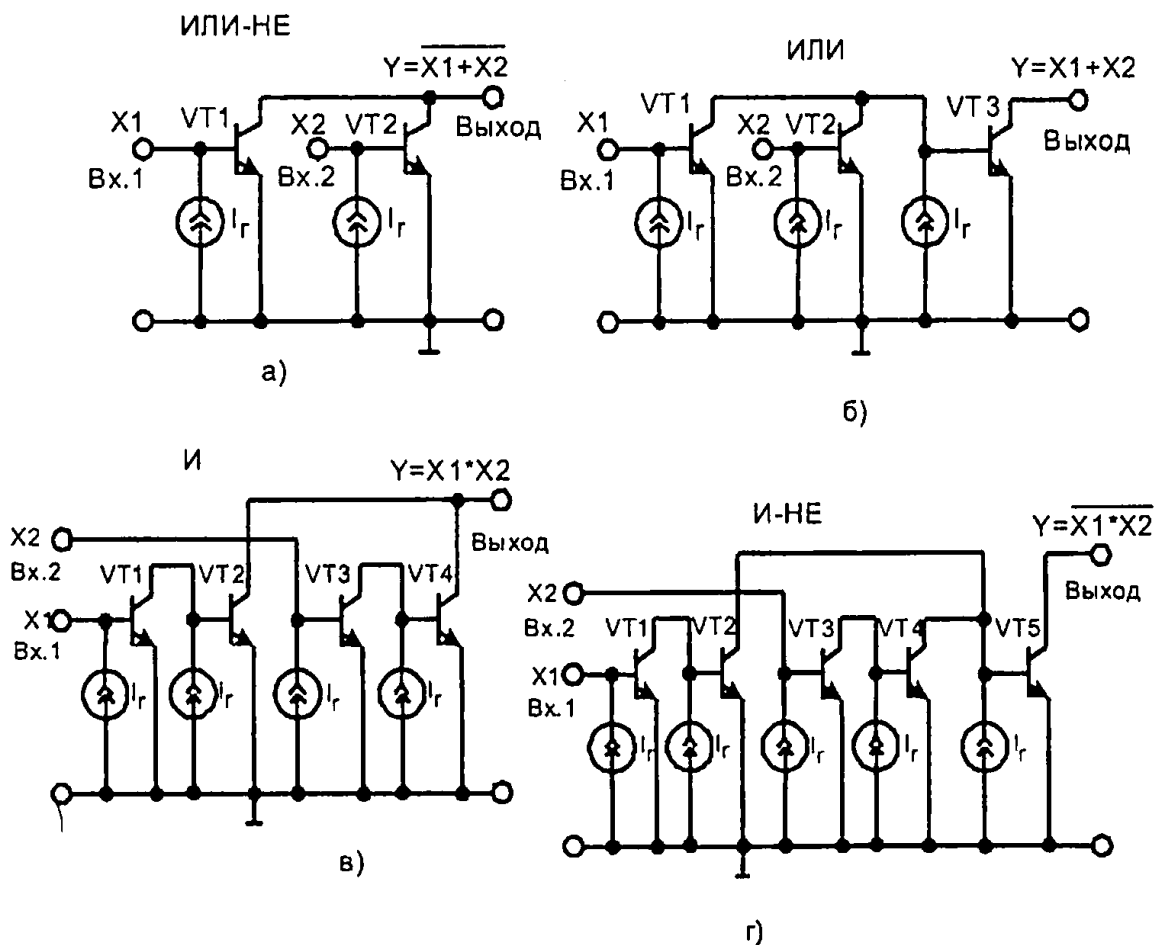


Рис. 2.40

2. Базовые логические элементы

кого нуля на входах $X1 = 0, X2 = 0$), то ток I_k не потечет в базы транзисторов $VT1, VT2$, они будут закрыты. Это состояние соответствует логической 1 на выходе. Если один (или оба) входа разомкнуть $X1 = 1$ (или $X2 = 1$), то ток I_k потечет в базу $VT1$ (или $VT2$), откроет его до насыщения и обеспечит тем самым режим короткого замыкания на выходе — состояние логического 0. Топология (а) и поперечное сечение (б) такого элемента **ИЛИ-НЕ** логической микросхемы с инжекционным питанием, показаны на рис. 2.41.

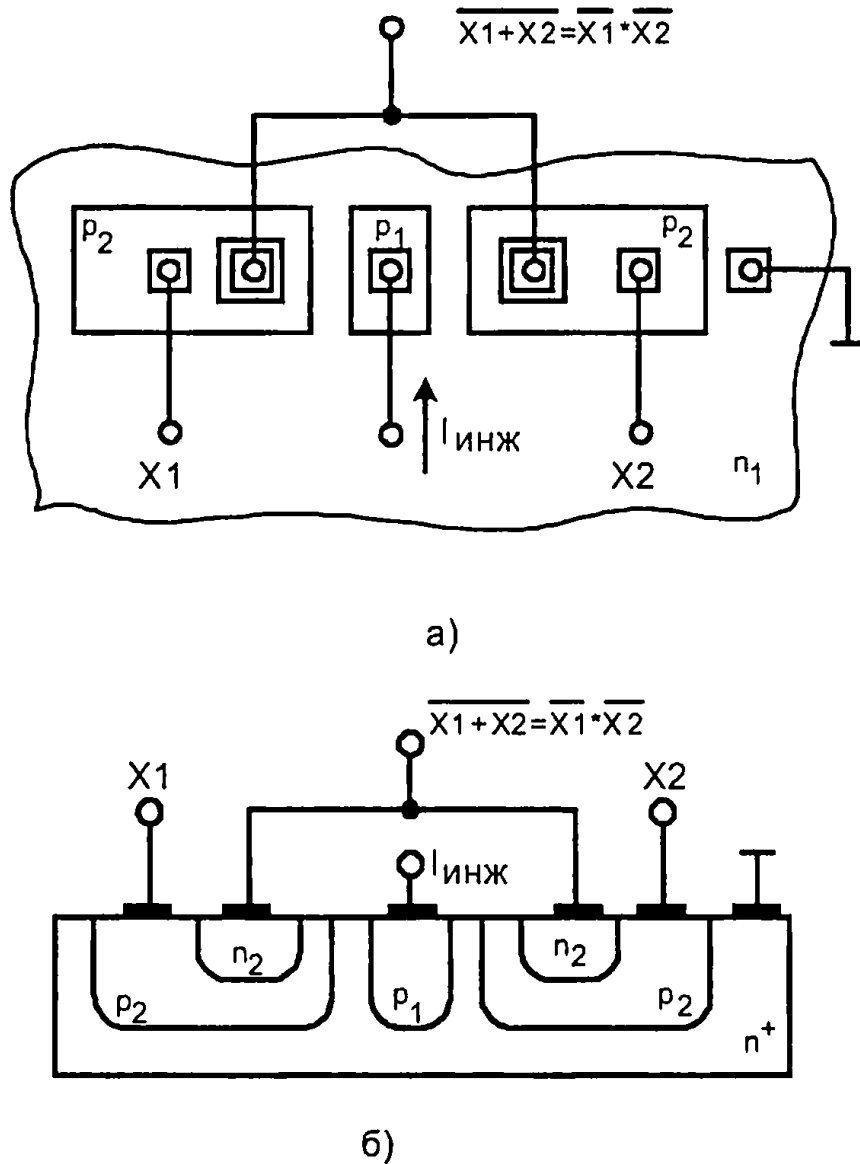


Рис. 2.41

Подключение к выходу такого элемента дополнительного ключа, т. е. инвертора, позволяет выполнить операцию *ИЛИ* (рис. 2.40, б). Схемы логических элементов *И* и *И-НЕ* приведены на рис. 2.40, в, г.

Таким образом, если в схемах ТТЛ или ДТЛ операции выполняются с помощью многоэмиттерного транзистора или диодной сборки, то в схемах И²Л логические операции выполняются монтажным соединением. Реализация логических операций *И* либо *ИЛИ* с помощью монтажных соединений носит название «*Монтажное И*» либо «*Монтажное ИЛИ*». Так как логический базис *И-НЕ*, а также *ИЛИ-НЕ* являются функционально полными, то, используя элементы И²Л с монтажным соединением входов, можно реализовать любую логическую операцию.

Недостатком схем на биполярных транзисторах является критичность к разбросу характеристик из-за неравномерного распределения входных токов в нагрузке. В логических микросхемах с инжекционным питанием проблема равномерного распределения выходного сигнала между параллельно включенными нагрузочными схемами решена с помощью многоколлекторного *n-p-n*-транзистора на выходе.

Максимально возможное число коллекторов (обычно $n_k \leq 4-5$) зависит от коэффициента усиления многоколлекторного транзистора V . Условие насыщения имеет вид

$$V \geq 1. \quad (2.41)$$

Схема инвертора И²Л с многоколлекторным выходным транзистором изображена на рис. 2.42. Коллекторы выходного транзистора остаются «свободными» аналогично ТТЛ схемам с открытым коллекторным выходом.

Для получения выходного сигнала в конечном каскаде устройства необходимо их связать через нагрузочные элементы с источником питания (рис. 2.43).

2. Базовые логические элементы

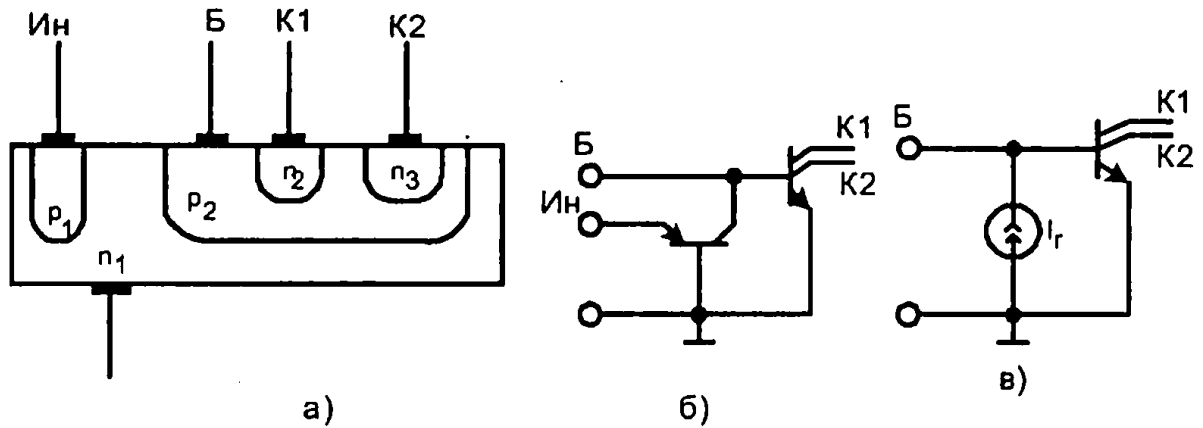


Рис. 2.42

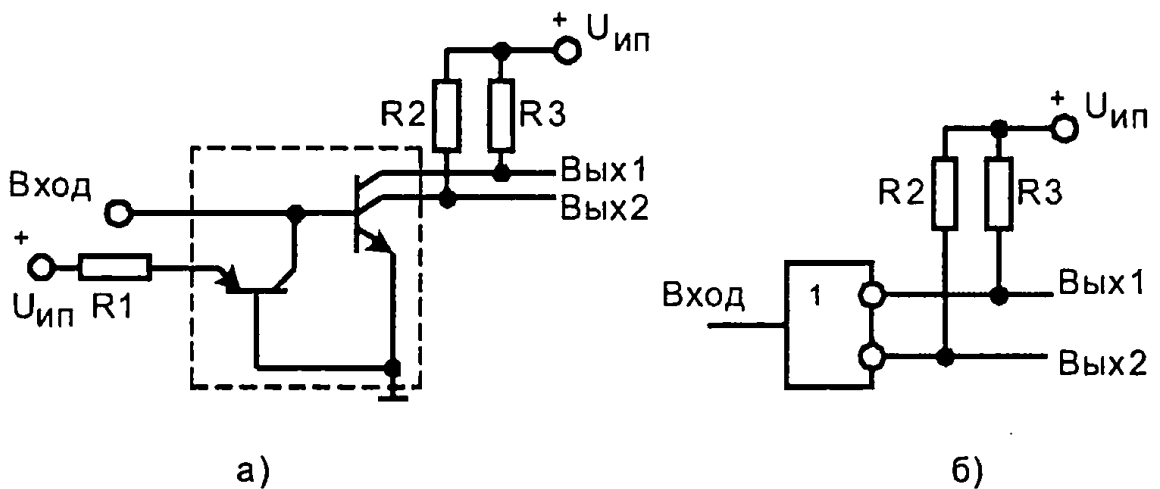


Рис. 2.43

Логическая схема И²Л с многоколлекторными выходными транзисторами приведена на рис. 2.44 (на рис. 2.44, а инжектор представлен генераторами тока, на рис. 2.44, б — многоколлекторным *p-n-p*-транзистором). Когда транзисторы *VT1* и *VT2* закрыты, транзистор *VT3* открыт током инжектора I_r (сплошная линия прохождения тока на рис. 2.44, а) и напряжение в узле (2) логического элемента И²Л

$$U_2 = 0,75 \text{ В} = U^1, \quad (2.42)$$

что соответствует уровню логической 1 в положительной логике.

Если транзистор *VT2* откроется, то ток инжектора *VT3* переключается в цепь коллектора *VT2* (пунктирная ли-

ния тока на рис. 2.44, а) и транзистор $VT3$ закроется. В узле (2) будет напряжение насыщения коллектора $VT2$

$$U_2 = 0,05 \text{ В} = U^0, \quad (2.43)$$

что соответствует напряжению логического 0. Напряжения в узлах (1) и (2) одинаковы, транзистор $VT3$ инвертирует сигнал. Таким образом, данный логический элемент реализует функцию **2ИЛИ/2ИЛИ-НЕ** в положительной логике.

Применение диодов и транзисторов Шоттки и схемах И²Л позволяет без увеличения потребляемой мощности повысить быстродействие.

Основным параметром, характеризующим быстродействие И²Л, является время задержки, которое в режиме малых токов определяется выражением

$$t_{зд} = \frac{[C_{ЭБ} + (n_K + 1)C_{КБ} + C_{П}] \Delta U}{2\alpha_{p-n-p} I_H}, \quad (2.44)$$

где $C_{ЭБ}$ — усредненная барьерная емкость p_2-n_1 -перехода эмиттер-база;

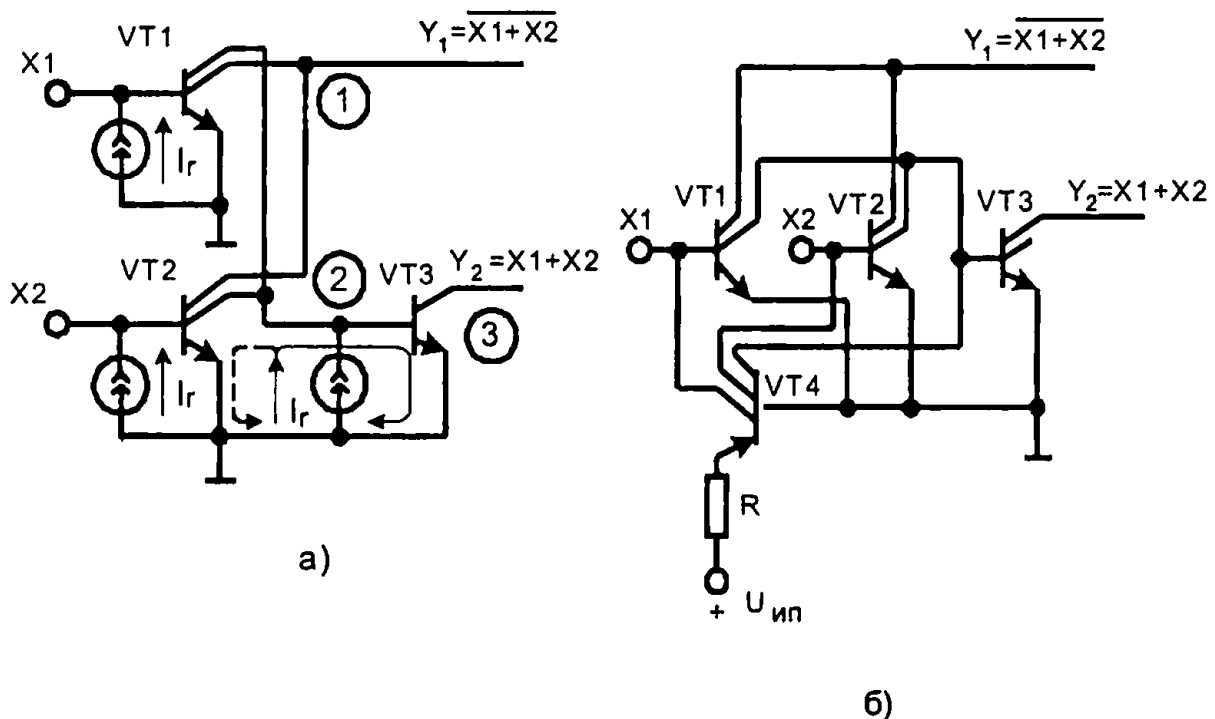


Рис. 2.44

2. Базовые логические элементы

C_{KB} — усредненная барьерная емкость p_2 - n_2 - перехода коллектор-база;

n_K — число коллекторов (для случая многоколлекторного выхода);

$C_{П}$ — паразитная емкость слоя металлизации.

При больших токах преобладающими составляющими паразитных емкостей элемента И²Л являются диффузионные емкости p - n -перехода, связанные с зарядом подвижных носителей, накопленных в базовой и эмиттерной областях.

Введение диодов Шоттки (ДШ) в схемы И²Л обеспечивает увеличение быстродействия путем исключения накопления неравновесных носителей при прямом смещении (диффузионные емкости) и уменьшения логических перепадов, а также упрощает структуру логической схемы за счет электрической развязки логических цепей. Логический перепад снижается до величины $U_{л} = 0,3 \div 0,4$ В.

Существуют две основные модификации элементов И²Л с диодными связями: 1) элементы с диодными сборками на входе — базовыми ДШ (рис. 2.45, а); 2) элементы с диодными сборками на выходе — с коллекторными ДШ (рис. 2.45, б, в). Выходные коллекторные ДШ выполняют функции развязки, обеспечивая разветвление сигнала на входы последующих вентилях. Сборка на ДШ с разделенными коллекторами (рис. 2.45, в) улучшает электрическую развязку.

Особенностью элементов И²Л с диодами Шоттки является то, что диоды Шоттки используются не только для разветвления выходного сигнала, но и для объединения баз переключательных транзисторов последующих каскадов, а также для осуществления функции И (рис. 2.45, а). Функция ИЛИ-НЕ реализуется с помощью объединения нескольких многовыходных элементов (рис. 2.46). Эффект перехвата тока в данном случае отсутствует, поскольку диоды Шоттки обеспечивают развязку между базами пе-

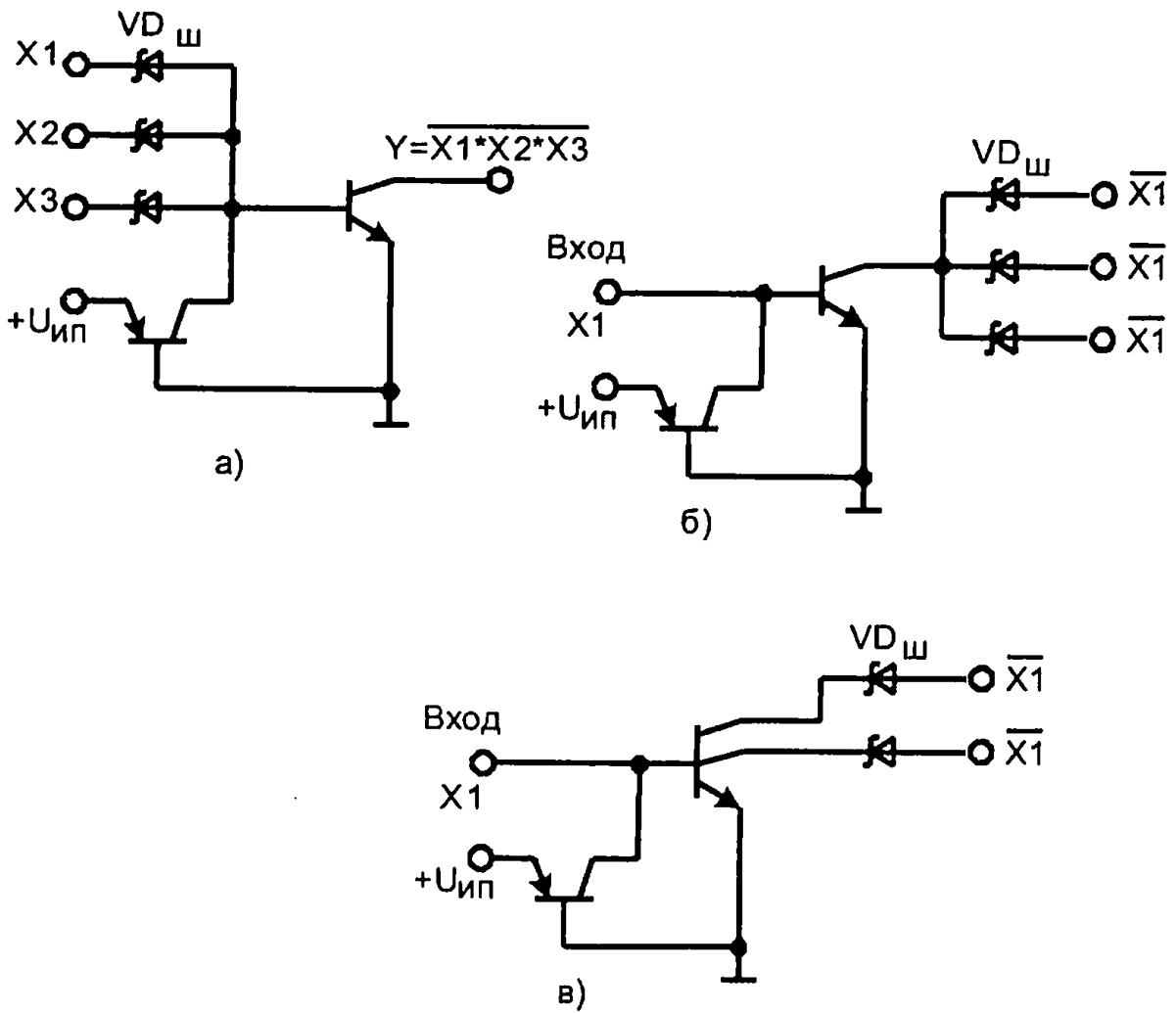


Рис. 2.45

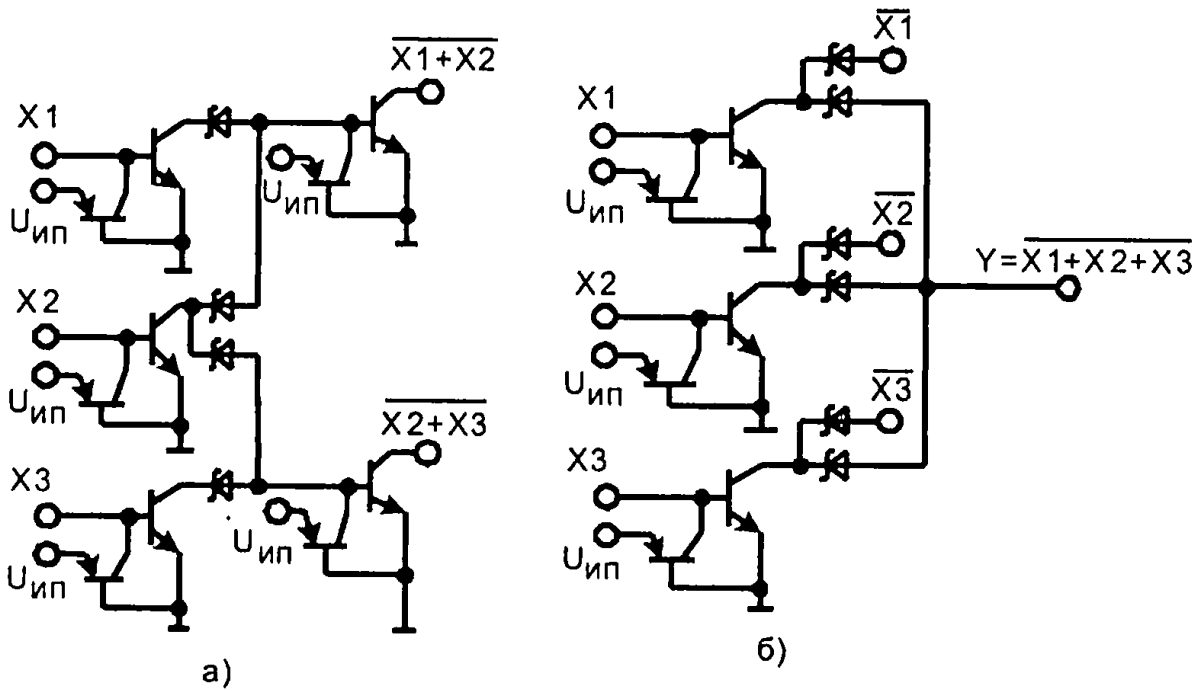


Рис. 2.46

2. Базовые логические элементы

реключаемых транзисторов последующей ступени логического преобразования сигналов.

Дальнейшее уменьшение задержки обеспечивается в элементах с диодами и транзисторами Шоттки (рис 2.47). Транзистор Шоттки образуется путем включения диода Шоттки, $V_{D_{ш0}}$ шунтирующего переход коллектор-база. Развязывающий $V_{D_{ш0}}$ и шунтирующий $V_{D_{ш0}}$ должны иметь различную высоту потенциального барьера. Логический переход в таких элементах И²Л составляет примерно $U_{л} = 150 \div 200$ мВ. Вследствие малых значений $U_{л}$ и $t_{зд}$ для данной схемы характерно высокое быстродействие и низкая работа переключения.

Таким образом, по своим основным параметрам: потребляемой мощности, площади, занимаемой на кристалле, другим И²Л — элементы наиболее перспективны для построения микросхем высокой степени интеграции, содержащих сотни и тысячи элементов на одном полупроводниковом кристалле. Одной из важнейших областей их применения является создание БИС микропроцессоров. Широко используются И²Л микропроцессорные серии 582, 583, 584, 1808, а также микросхемы запоминающих устройств серии 541.

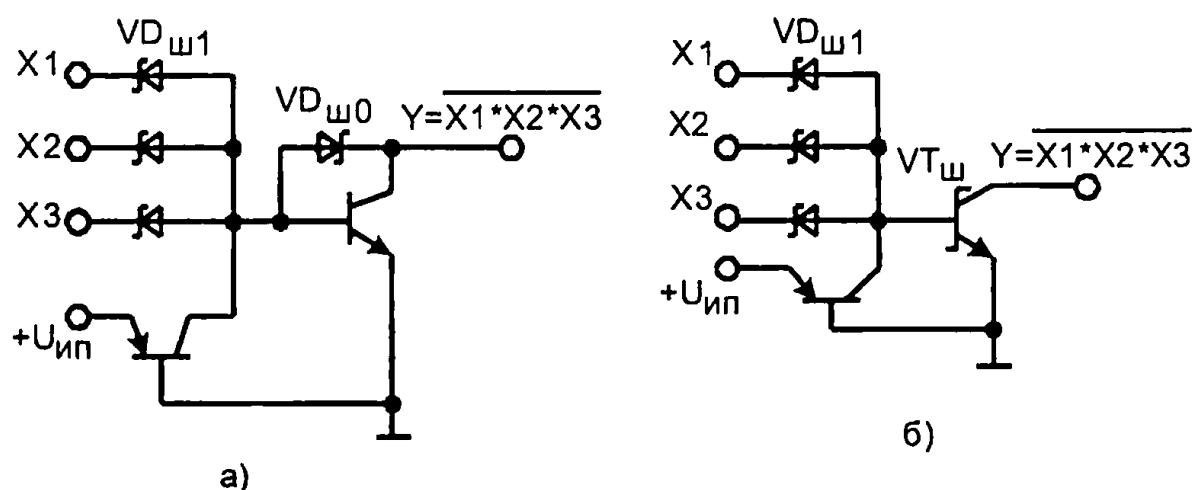


Рис. 2.47

2.6. Логические микросхемы МОП, КМОП

2.6.1. Логические элементы на МОП-транзисторах одного типа проводимости

Рассмотрим элементы, в которых используется только один тип МОП транзистора с каналом p - либо n -типа.

Одной из особенностей схемотехники ИМС следует считать то, что технологическая совместимость является важнейшим критерием выбора элементов для реализации той или иной схемы. Под технологической совместимостью понимают возможность изготовления различных схемных элементов в едином технологическом процессе. Предпочтение отдается схемам, содержащим однотипные элементы. Примером могут служить схемы на полевых транзисторах.

Преимуществами таких схем является малая площадь, занимаемая на кристалле, относительная простота и низкая стоимость изготовления, меньшая работа переключения на невысоких частотах.

Этим можно объяснить широкое применение в БИС и СБИС схем с непосредственными связями на МОП-транзисторах.

Наиболее дешевыми и одновременно самыми медленно действующими являются схемы ЛЭ на p -канальных МОП-транзисторах. Так как для образования p -канала и движения носителей (положительных дырок) в нем необходим отрицательный потенциал, то в этих схемах используются отрицательные напряжения питания; уровни U^0 , U^1 и порог $U_{пор}$ также имеют отрицательные значения.

Элементы на n -канальных МОП — транзисторах находят более широкое применение, поскольку обеспечивают выше быстродействие и по своим логическим уровням и

порогам совместимы с элементами ТТЛ благодаря положительному напряжению питания. Отметим, что по быстродействию схемы ЛЭ на полевых транзисторах уступают схемам на биполярных транзисторах.

Анализ МОП-транзисторных логических элементов проще, чем биполярных, потому что входные (затворные) цепи практически не потребляют тока. Следовательно, при работе в цепочке отдельные ЛЭ функционируют независимо друг от друга и каждый из них можно анализировать, отвлекаясь от влияния предыдущего и последующего ЛЭ. В частности, логические уровни U^0 и U^1 не зависят от нагрузки и остаются такими же, как при холостом ходе. Влияние последующего (нагрузочного) ЛЭ сводится лишь к увеличению выходной емкости.

Также, поскольку входные токи в элементах МОП практически отсутствуют ($I_{вх} \approx 0$), то коэффициент разветвления $K_{раз} > 20$ оказывается весьма большим. На практике число нагрузок ограничивается снижением быстродействия из-за увеличения емкости нагрузки.

Типовые схемы базовых логических элементов, используемых в микропроцессорном комплекте К580, показаны на рис. 2.48. Во всех схемах транзистор $VT3$ служит в качестве динамической нагрузки. Его затвор соединяется с источником питания, транзистор открыт и выполняет токостабилизирующую роль. Использование нагрузочного транзистора $VT3$ вместо нагрузочного резистора приводит к уменьшению занимаемой площади и облегчению технологического процесса.

В логической схеме ИЛИ-НЕ (рис. 2.48, а) переключаемые транзисторы $VT1$ и $VT2$ соединены параллельно, их объединенные стоки подключены к истоку нагрузочного $VT3$. При подаче хотя бы на один из входов (например, $X1$) напряжения логической единицы $U^1 = 5$ В транзистор $VT1$ открывается и на его стоке устанавливается низкий

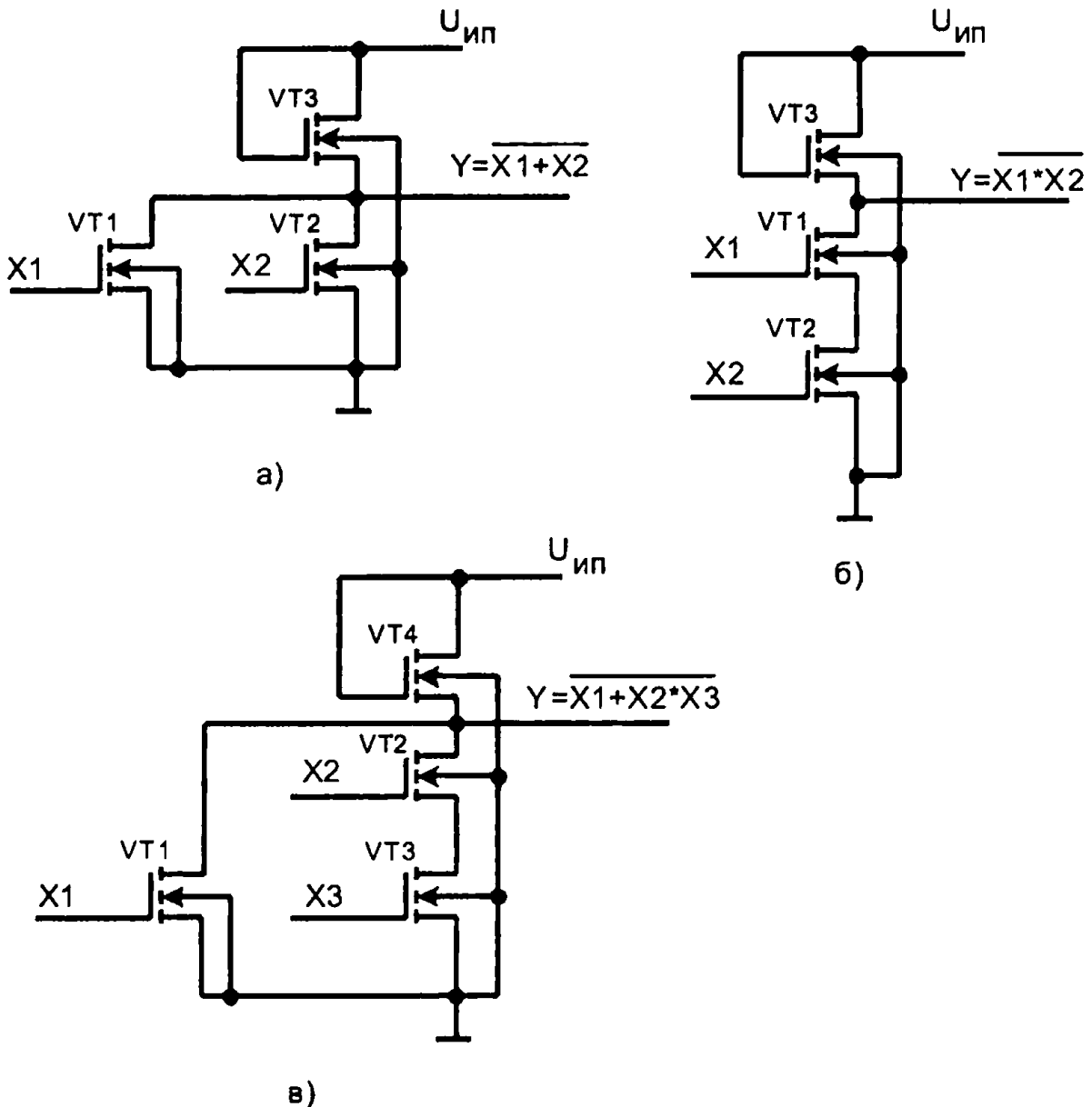


Рис. 2.48

потенциал U^0 логического нуля. Остаточное напряжение имеет малое значение $U^0 \approx 0,15$ В, как и в биполярных ключах. Отметим, что малое остаточное напряжение подразумевает меньшую ширину канала нагрузочного транзистора $VT3$ по сравнению с шириной канала $VT1$. В схемах **ИЛИ-НЕ** МОП остаточное напряжение убывает с увеличением числа открытых переключательных транзисторов, так как они соединены параллельно.

Если на оба входа $X1$ и $X2$ поступят напряжения логического нуля $U_{ex1} = U_{ex2} = U^0$, то транзисторы $VT1$ и $VT2$

2. Базовые логические элементы

будут закрыты. Выходное напряжение (через открытый $VT3$) будет близко к напряжению питания $U_{ип} = 5$ В:

$$U^1 \approx U_{ип}. \quad (2.48)$$

Соответственно, логический перепад составляет

$$U_{\lambda} = U^1 - U^0 \approx U_{ип} - U_{ост} \approx U_{ип}.$$

Логический элемент *И-НЕ* (рис. 2. 48, б) имеет последовательно включенные транзисторы $VT1$ и $VT2$. Поэтому протекание тока в цепи, а значит, и низкий уровень U^0 выходного напряжения возможны только при отпирании всех (в данном случае обоих) переключательных транзисторов $VT1$ и $VT2$. Это имеет место при подаче уровня U^1 на все логические входы ($X1$ и $X2$).

При отсутствии сигнала хотя бы на одном из входов $X1 = 0$ (либо $X2 = 0$) соответствующий транзистор $VT1$ (либо $VT2$) будет заперт и на выходе схемы устанавливается потенциал логической единицы U^1 .

Уровень U^1 в данной схеме такой же, как и в предыдущей, но уровень U^0 больше. Он пропорционален числу последовательно соединенных переключательных транзисторов (числу входов *И-НЕ*) и может составлять $U^0 = (0,2 \div 0,5)$ В и более. Соответственно, меньше будет логический перепад. При напряжениях питания 10В и более этот недостаток малосущественен, однако в низковольтных схемах с малым пороговым напряжением повышенный уровень U^0 представляет определенную проблему.

Различные способы параллельного и последовательного соединения переключательных транзисторов позволяют реализовать кроме простых элементов комплексные логические вентили типа *И-ИЛИ-НЕ* (рис. 2.48, в).

Необходимо отметить, что для МОП ЛЭ характерны также высокая помехоустойчивость 1,5÷3 В (в то время, как у ТТЛ 0,7÷1,4 В) и способность работать в широком диапазоне питающих напряжений.

2.6.2. Логические элементы на комплементарных КМОП-транзисторах

Из многочисленных серий цифровых микросхем на полевых транзисторах наибольшее распространение получили микросхемы на комплементарных полевых транзисторах с изолированным затвором. Сокращение КМОП — это начальные буквы четырех слов из полного определения: комплементарные полевые транзисторы со структурой металл — окисел — полупроводник. Слово «комплементарный» означает «взаимно дополняющий». Так называют пару транзисторов, имеющих примерно одинаковые значения основных параметров, но с полупроводниковыми структурами, взаимно отображенными в виде негатива и позитива. В биполярной технологии это транзисторы $n-p-n$ и $p-n-p$, а в полевой технологии транзисторы с p - и n -каналами. Совместное использование такой пары МОП-транзисторов лежит в основе комплементарной структуры.

По технологии КМОП изготавливаются микросхемы серий К176, 561, 564, 1561, 1564. Их основной особенностью является ничтожное потребление тока в статическом режиме 0,1...100 мкА. При работе на максимальной рабочей частоте 1...5 МГц потребляемая мощность увеличивается и доходит до значения потребляемой мощности наименее мощных ТТЛ-микросхем.

Основными преимуществами КМОП ИМС являются:

- ♦ низкая потребляемая мощность (порядка нановатт в статическом режиме, что обеспечивается за счет отсутствия сквозного тока в статическом режиме; типовая мощность потребления микросхем 564 серии на частоте 2 МГц составляет 0,0025 мВт/ЛЭ);
- ♦ широкий диапазон рабочих напряжений, микросхемы К564 работоспособны при напряжении питания 3...15 В при допустимом отклонении $\pm 10\%$. Однако, с целью повышения надежности аппаратуры,

2. Базовые логические элементы

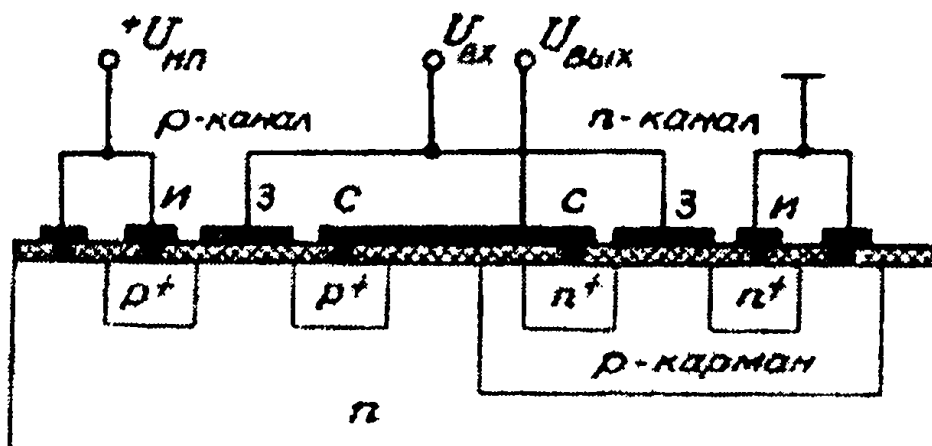
микросхемы следует применять в диапазоне 5...10 В. Номинальное напряжение питания микросхем К176 серии $9\text{В} \pm 5\%$, однако они сохраняют свою работоспособность в диапазоне питающих напряжений 5...12 В;

- ♦ широкий диапазон рабочих температур (от -55 до $+125$ °С);
- ♦ высокая помехозащищенность, достигающая 30...45% от значения питающего напряжения;
- ♦ высокая нагрузочная способность, составляющая до 1000 входов таких же ИМС на частотах до нескольких килогерц;
- ♦ высокое входное сопротивление ($\sim 10^{12}$ Ом);
- ♦ упрощенное сопряжение со слаботочными источниками входного напряжения.

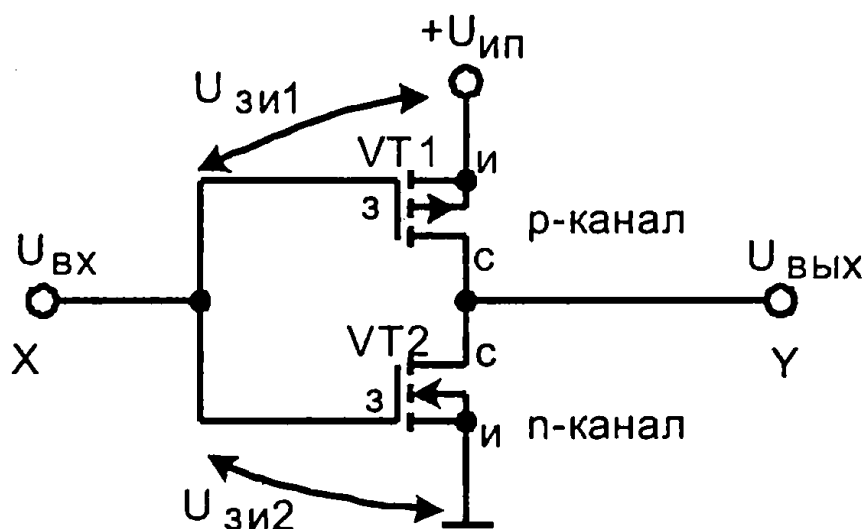
Кроме того, имеются и существенные преимущества в технологии КМОП по сравнению с биполярными, к наиболее важным из которых относятся: меньшее (почти в 3 раза) число технологических операций; самоизоляция от других элементов, расположенных на одной подложке; более высокая степень интеграции (на 30%) на кристалле.

Базовыми элементами для построения КМОП ИМС являются: инвертор (рис. 2.49), тактируемый двунаправленный ключ (рис. 2.50), логические схемы *И-НЕ* (рис. 2.51), *ИЛИ-НЕ* (рис. 2.52).

Элементарная комплементарная структура — инвертор (рис. 2.49) содержит два МОП-транзистора с индуцированными каналами *n*- и *p*-типа. В этой структуре для изоляции *n*-канального транзистора используется «карман» *p*-типа (рис. 2.49, а), играющий роль подложки для указанного транзистора. Необходимое при этом обратное смещение *p-n*-перехода между подложками обеспечивается подачей на *n*-подложку « $+U_{ин}$ », при этом *p*-подложка соединена с общей шиной. В инверторе подложка и исток *p*-канального МОП-транзистора подсоединяются к « $+U_{ин}$ »,



а)



б)

Рис. 2.49

а подложка и исток n -канального МОП-транзистора к земле. Стоки транзисторов соединяются и являются выходом инвертора.

Если на входе действует сигнал низкого уровня $U_{ax} = U^0 \approx 0$, то можно считать, что затвор $VT2$ соединен с истоком, канал отсутствует, транзистор $VT2$ закрыт: $U_{зи2} \approx 0$. В это время затвор транзистора $VT1$ имеет по отношению к своему истоку отрицательный потенциал, транзистор $VT1$ открыт

$$U_{зи1} = U_{ип} - U_{ax} = U_{ип} - U^0 \approx U_{ип}. \quad (2.45)$$

На выходе устанавливается напряжение высокого уровня

$$U_{\text{вых}} = U^1 \approx U_{\text{ИП}}. \quad (2.46)$$

Если на вход подано напряжение высокого уровня $U_{\text{вх}}$, то p -канальный транзистор $VT1$ закрыт, так как потенциал его затвора приблизительно равен потенциалу его истока, а n -канальный транзистор $VT2$ открыт, т. к. на его затворе относительно истока действует высокое положительное напряжение

$$U_{\text{зи2}} = U_{\text{вх}} = U^1 \approx U_{\text{ИП}}. \quad (2.47)$$

На выходе инвертора имеем напряжение низкого уровня. Таким образом, выходное напряжение $U_{\text{вых}}$ противоположно входному $U_{\text{вх}}$

$$Y = \bar{X}. \quad (2.48)$$

При напряжении на затворах в диапазоне

$$U_{\text{зи пор1}} < U_{\text{зи}} - U_{\text{вх}} < (U_{\text{ИП}} - U_{\text{зи пор2}}), \quad (2.49)$$

(где $U_{\text{зи пор1}}$, $U_{\text{зи пор2}}$ — соответственно пороговые напряжения открывания транзисторов $VT1$ и $VT2$); оказываются открытыми оба транзистора, что приводит к появлению сквозного тока в КМОП-инверторе. Однако такой режим работы возможен лишь кратковременно во время переключения. В статическом состоянии один из МОП-транзисторов всегда находится в закрытом состоянии, следовательно, потребляемая статическая мощность определяется произведением тока утечки на напряжение питания.

Так как проводимость транзисторов в открытом и закрытом состоянии отличается примерно в 10^5 раз, то напряжения на выходе инвертора близки по значениям к напряжению питания для состояния логической 1 и к нулю для состояния логического 0. Эти свойства КМОП элементов сохраняются и для более сложных схем.

С помощью МОП-транзисторов легко получить электронные контакты, в которых цепь сигнала гальванически не связана с источником управляющего воздействия. Это возможно благодаря тому, что канал полевого транзистора замыкается и размыкается под воздействием электростатического поля, цепь управления практически не потребляет тока.

Ключи и коммутаторы на КМОП-транзисторах обладают двусторонним действием, т. е. сигналы могут передаваться как от входа к выходу, так и в обратном направлении. Коммутаторы могут иметь много входов и один выход или быть дифференциальными. Дифференциальный канал коммутации посылает сигнал из двух входов на два выхода. Коммутаторы на основе КМОП ИМС могут использоваться как для цифровых, так и для аналоговых сигналов. В цифровых устройствах эти коммутаторы называются цифровыми мультиплексорами (коммутация с нескольких входов на один выход) или демультимплексорами (коммутация с одного входа на несколько выходов). Ввиду двустороннего действия КМОП-ключей коммутаторы могут выполнять обе функции.

Тактируемый двунаправленный ключ состоит из двух МОП-транзисторов с каналами разного типа проводимости (рис. 2.50). Сток n -канального транзистора соединен с истоком p -канального и является входом ключа X . Сток p -канального соединен с истоком n -канального и служит выходом Y .

Питающее напряжение подается на выводы подложек транзисторов: « $+U_{ип}$ » для p -канального транзистора; « $-U_{ип}$ » (общая точка) для n -канального. Вход и выход ключа идентичны, т. е. выход может быть входом и наоборот.

Управление осуществляется одновременно подачей на затворы транзисторов двух взаимноинверсных сигналов (\bar{O}, \bar{T}). Открытое состояние ключа для передачи информации между

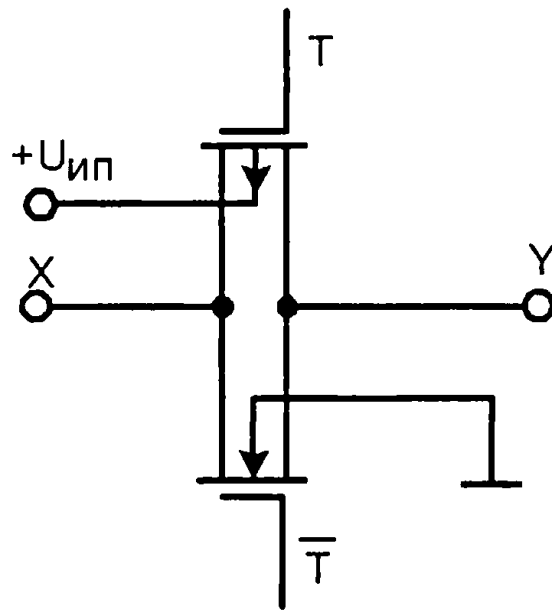


Рис. 2.50

точками X и Y соответствует состоянию, когда оба транзистора открыты, что обеспечивается одновременной подачей на затвор p -канального транзистора напряжения низкого уровня, а на затвор n -канального транзистора — напряжения высокого уровня. При противоположных уровнях напряжения на затворах оба транзистора запираются, ключ закрыт. Двусторонняя проводимость обеспечивается благодаря тому, что МОП-транзисторы сохраняют работоспособность, когда стоки и истоки меняют местами.

При реализации элементов *И-НЕ*, *ИЛИ-НЕ* параллельное и последовательное включение p - и n -канальных МОП-транзисторов комбинируется таким образом, чтобы в статическом режиме в схеме не протекал ток питания при любых комбинациях сигналов на входах. В результате логические элементы КМОП имеют значения $U^1 \approx U_{ип}$, $U^0 \approx 0$ и практически не потребляют мощности в статическом режиме.

Для построения логического элемента *И-НЕ* (рис. 2.51) на 3 входа требуется последовательное включение трех транзисторов с n -каналом и параллельное включение трех транзисторов с p -каналом (положительная логика).

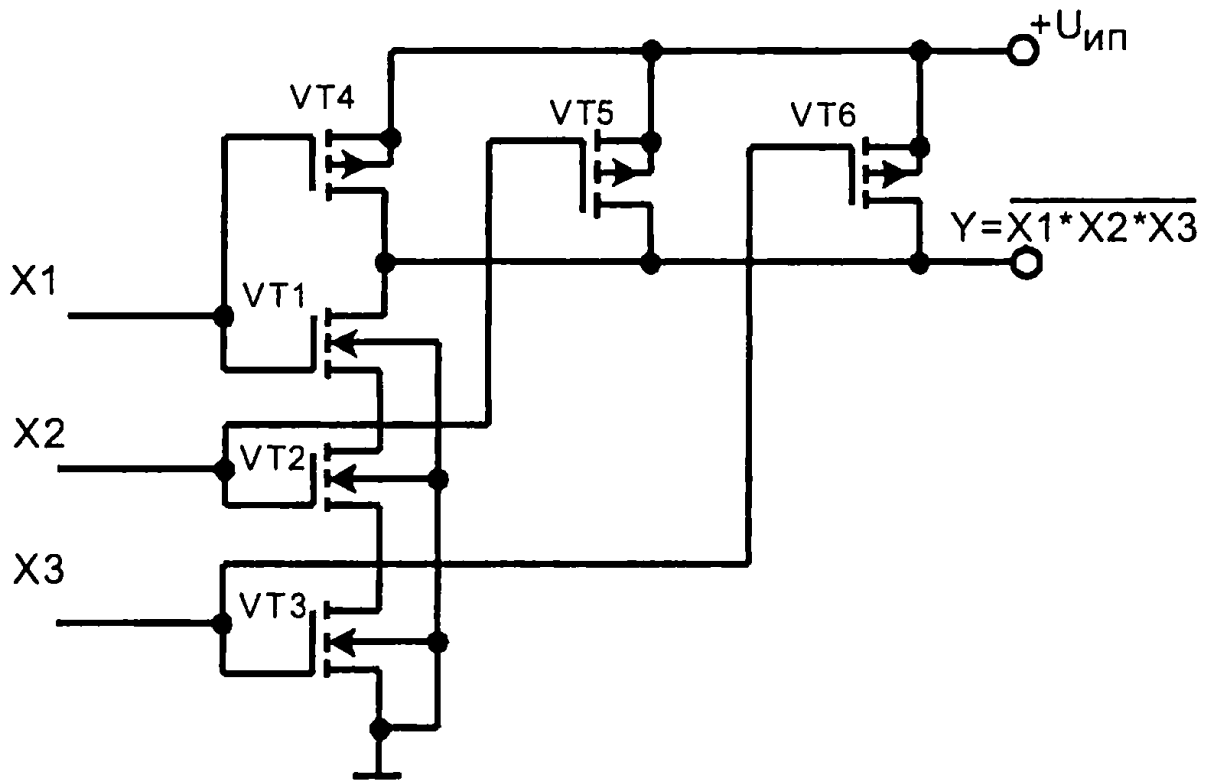


Рис. 2.51

Открытое состояние схемы (на выходе напряжение низкого уровня $U_{\text{вых}} = 0$, $Y = 0$) обеспечивается, если на все входы подано напряжение высокого уровня ($X1 = X2 = X3 = 1$, $U_{\text{вх1}} = U_{\text{вх2}} = U_{\text{вх3}} \approx +U_{\text{ип}}$). При этом все n -канальные транзистора открыты, а p -канальные закрыты, так как на всех затворах действует положительное напряжение.

Закрытое состояние схемы (на выходе напряжение высокого уровня $U_{\text{вых}} \approx +U_{\text{ип}}$, $Y = 1$) обеспечивается, если хотя бы на один из входов подано напряжение низкого уровня (например, $X1 = 0$, $U_{\text{вх1}} \approx 0$). При этом один из параллельно соединенных p -канальных транзисторов ($VT4$), соответствующий данному входу, открыт, а соответствующий ему n -канальный МОП-транзистор ($VT1$) в последовательной цепи закрыт. В этом случае сопротивление последовательной цепи $VT1-VT3$ велико, и по ней не протекает ток.

Для построения схемы ИЛИ-НЕ (рис. 2.52) на 3 входа требуется последовательное соединение 3 транзисто-

2. Базовые логические элементы

ров p -типа и параллельное включение трех транзисторов n -типа.

Открытое состояние схемы (на выходе напряжение низкого уровня $U_{\text{вых}} \approx 0$, $Y = 0$) обеспечивается, если хотя бы на один из входов подано напряжение высокого уровня (например, $X1 = 1$, $U_{\text{ex1}} \approx +U_{\text{ип}}$). Положительный потенциал на затворе открывает соответствующий данному входу n -канальный МОП-транзистор ($VT4$), а соответствующий ему p -канальный МОП-транзистор ($VT1$) закрыт. Следовательно, сопротивление между выходом Y и общей точкой мало, а сопротивление цепочки — $VT1-VT3$ велико.

Закрытое состояние схемы (на выходе напряжение высокого уровня $U_{\text{вых}} \approx +U_{\text{ип}}$, $Y = 1$) обеспечивается, если на все входы подано напряжение низкого уровня ($X1 = X2 = X3 = 0$, $U_{\text{ex1}} = U_{\text{ex2}} = U_{\text{ex3}} \approx 0$). При этом все p -канальные транзисторы ($VT1, VT2, VT3$) открыты, т. к. на их затворах отрицательный потенциал относительно истоков, а все

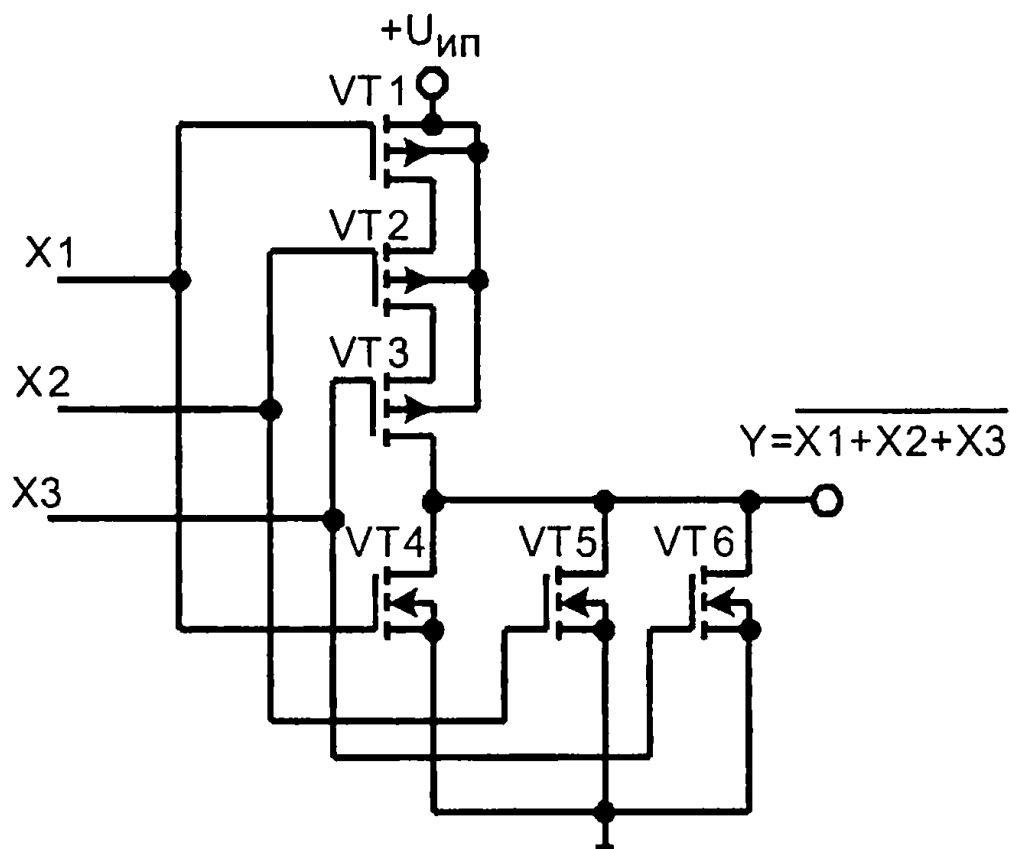


Рис. 2.52

n-канальные закрыты (*VT4*, *VT5*, *VT6*), потому что на их затворах относительно истоков — нулевой потенциал.

Высокое сопротивление подзатворного диэлектрика (до 10^{14} Ом) в сочетании с его малой толщиной (обычно 0,1...0,15 мкм) приводит к тому, что статический заряд способен создать пробивное напряжение и привести к отказу интегральной схемы. Такой разряд уменьшает надежность микросхем. Первый разряд часто не вызывает катастрофического пробоя оксидной пленки, однако он оставляет слабые точки на пленке. Со временем (при повторных разрядах) эти точки продолжают ослаблять пленку, пока пленка не пробивается. Кроме того, еще до полного пробоя пленки электростатические разряды увеличивают токи утечки микросхем. КМОП ИМС, хотя бы однажды подвергнутая электростатическому разряду, становится менее надежной.

Для защиты от высоковольтных зарядов статического электричества на входах КМОП схем имеется специальная диодно-резисторная схема. Уровень безопасного электростатического потенциала К564 серии, обеспечиваемого схемой защиты, составляет 100 В. Типовая схема ИЛИ-НЕ представлена на рис. 2.53. Защитная цепочка на входах состоит из диодов *VD1* — *VD6* и резисторов *R1*, *R2*. При превышении входным напряжением напряжения источника питания $U_{вх} > U_{ип}$ открываются диоды *VD1*–*VD4*, что исключает подачу на затворы транзисторов повышенного напряжения. При снижении входного напряжения до уровня более низкого, чем потенциал общего провода, открываются диоды *VD5*–*VD6*. В микросхемах серии К176 первых выпусков для защиты входов использовались стабилитроны с напряжением включения около 30 В, включенные вместо *VD5* и *VD6*. Диоды *VD1*, *VD2* имеют пробивное напряжение порядка 25В, а диоды *VD3*–*VD6* около 50 В.

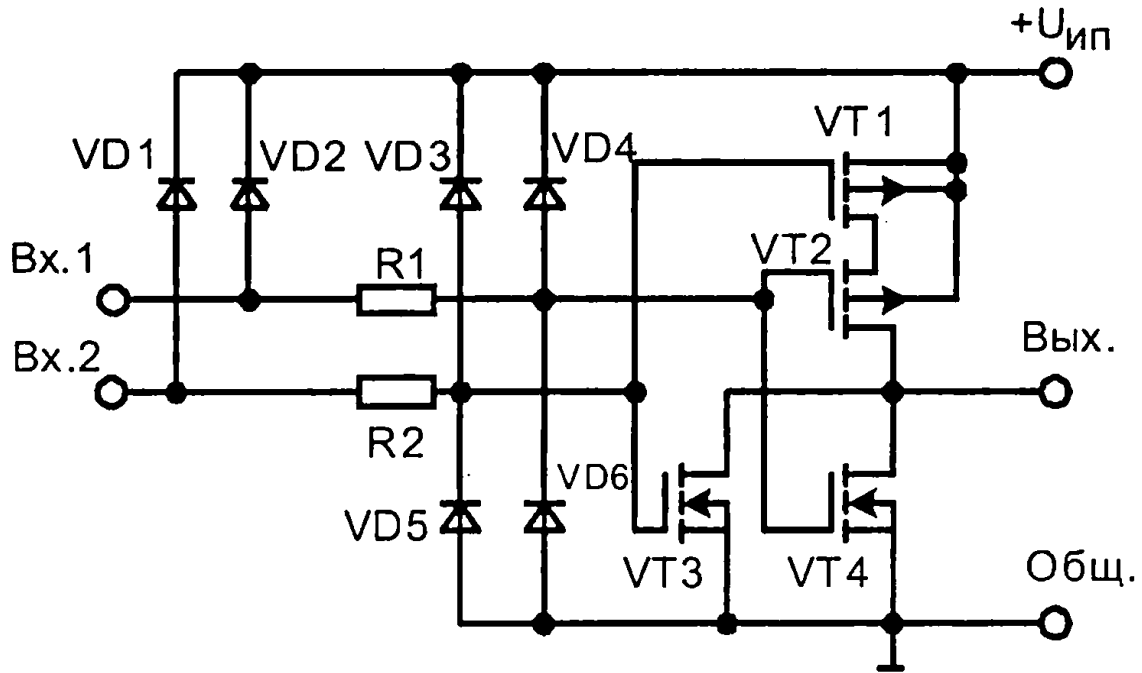


Рис. 2.53

В нормальных условиях работы микросхемы, когда амплитуда входного напряжения не выходит за пределы

$$-0,5 \text{ В} \leq U_{\text{вх}} \leq U_{\text{ип}} + 0,5 \text{ В}, \quad (2.50)$$

отпираания входных диодов не происходит.

Значения защитных сопротивлений $R1, R2$ (0,2...2,0 кОм) обеспечивают требуемое быстродействие микросхем, когда постоянная времени входной цепи не выходит за пределы 10 нс, и служат для ограничения входного тока. Предельно допустимый ток входных диодов 10 мА, однако для достаточной надежности его следует ограничить до 5 мА.

Диоды $VD7, VD8$ являются неотъемлемой составной частью КМОП-структуры. Они защищают выход инвертора от пробоя между n^+ — и p^+ -областями.

Источник питания не должен иметь разнополярных выбросов напряжения питания, превышающих предельные: $U_{\text{ипmin}} = -0,5 \text{ В}$, $U_{\text{ипmax}} = 15 \text{ В}$. При выбросах $U_{\text{ип}} < -0,5 \text{ В}$ возникает перегрузка диодов защиты прямым током, а при $U_{\text{ип}} > 15 \text{ В}$ возможен пробой оксида.

При применении в ИМС рассмотренной схемы защиты недопустима подача на вход напряжения, превышающего напряжения питания более, чем на 0,2 В. Это связано с активизацией паразитных биполярных транзисторов, которые составляют аналог паразитной тиристорной *p-n-p-n*-структуры (см. рис. 2.49, а). Тиристорная защелка является весьма опасным видом отказов КМОП ИМС. Она приводит к перегоранию микросхем, расплавлению металлизации. На время защелки образуется соединение между « $+U_{ип}$ » и заземлением, имеющее малый импеданс. Большой импульсный входной ток может привести к лавинообразному включению тиристорной структуры за счет положительной обратной связи и переводит тиристор в положение «Включено». Если тиристор пробудет во включенном состоянии достаточно долго (до сотых долей миллисекунды), т. е. защелка зафиксируется, то ток включенного тиристора может разрушить микросхему. Тиристор срабатывает при кратковременном коротком замыкании на « $+U_{ип}$ » или заземление либо при прохождении импульса фототока, создающего прямое смещение на переходе.

Причиной для возникновения тиристорного эффекта может быть наличие входных сигналов, когда питание $U_{ип}$ находится в стадии выключения, превышение напряжения питания над предельным значением $U_{ип} > 15$ В, большая скорость нарастания фронта входного импульса (чем она больше, тем легче условия включения тиристора).

Степень защищенности КМОП ИМС от возникновения защелки может быть охарактеризована предельным значением тока, который еще может пройти через тиристорную структуру без образования защелки. Для КМОП ИС К564 ток, фиксирующий защелку, меньше 10...15 мА.

Недопустима подача на вход микросхемы постоянного напряжения $U_{вх} > U_{ип}$. При включении аппаратуры на-

2. Базовые логические элементы

пряжение питания должно подаваться раньше входного сигнала, а выключение наоборот. Кроме того, если позволяют требования по быстродействию, желательно включение во входные цепи ограничивающих резисторов.

Характеристики КМОП интегральных схем создают условия для их широкого применения в радиоэлектронной аппаратуре. Для всех серий КМОП характерны большие входные сопротивления (порядка 10^{12} Ом), т. е. входные токи, по сути дела, определяются токами утечки. Поэтому можно считать, что КМОП ИС по входам управляются напряжением. Второй особенностью КМОП ИС является малое потребление тока от источника питания в статическом режиме (без учета тока нагрузки). Это объясняется тем, что в любом из двух состояний один из МОП-транзисторов закрыт.

Для КМОП ИМС ток потребления $I_{пот}$ образуется из трех составляющих

$$I_{пот} = I_{ут} + I_{зар} + I_{скв}, \quad (2.51)$$

где $I_{ут}$ — ток утечки обратно смещенных $p-n$ - переходов;

$I_{зар}$ — ток перезаряда емкостей нагрузки;

$I_{скв}$ — сквозной ток.

Соответственно, мощность, потребляемая от источника питания, складывается из трех составляющих

$$P_{потр} = \frac{U_{ин}}{2} \left(I_{он} + I_{ор} + \frac{U_{ин}}{R_{ут}} \right) + C_{экв} U_{ин}^2 f + U_{ин} f \int_0^t I(t) dt, \quad (2.52)$$

где $I_{он}, I_{ор}$ — остаточные токи n - и p -канальных МОП-транзисторов;

$R_{ут}$ — сопротивление утечки;

$C_{экв}$ — эквивалентная емкость;

f — рабочая частота;

t — время переходного процесса.

Первый член суммы (2.51) характеризует статическую мощность. В статическом состоянии один из транзисторов КМОП — структуры закрыт, и теоретически существует непроводящий канал между питанием « $+U_{ин}$ » и землей « \perp ». Однако наблюдается тепловое движение неосновных носителей заряда через обратносмещенные переходы, которые создает очень малый ток утечки, не превышающий обычно для одного инвертора десятков наноампер. На статический ток потребления оказывают влияние три фактора: температура, сложность схемотехники, напряжение питания (рис. 2.54).

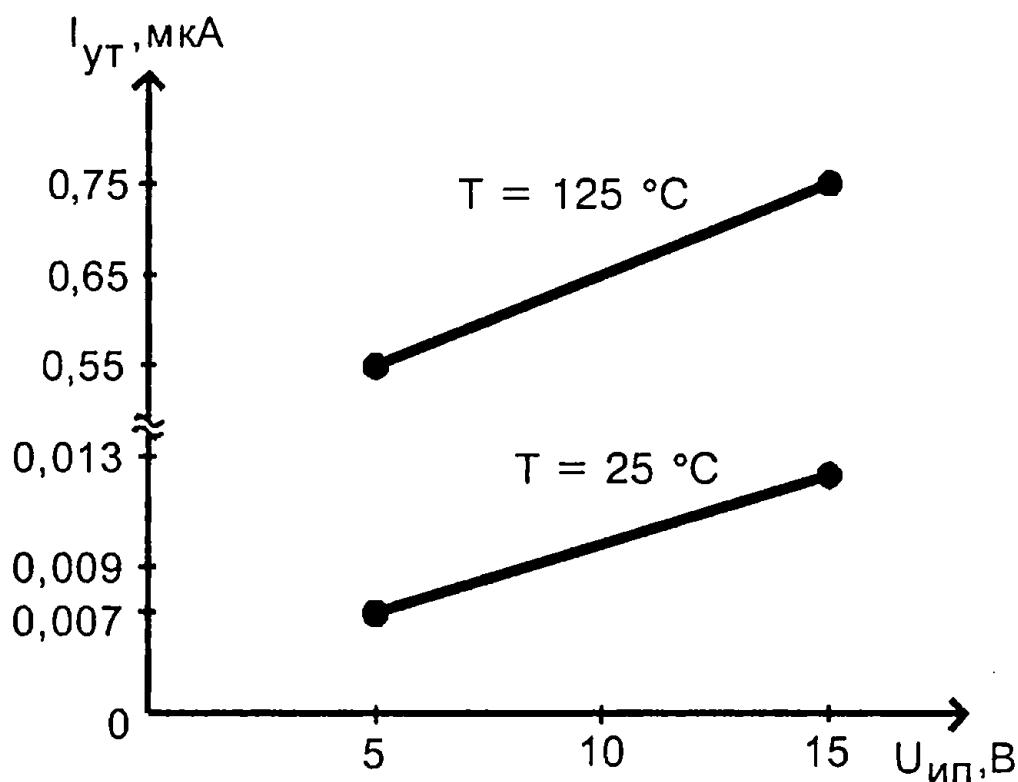


Рис. 2.54

Второй и третий члены суммы (2.51) определяют динамическую составляющую мощности потребления. Она растет с увеличением частоты в основном в результате перезарядки суммарной емкости нагрузки и влияния паразитных емкостей схемы.

2. Базовые логические элементы

Токи переключения или сквозные токи возникают в период перехода микросхем из одного логического состояния в другое, когда оба транзистора выходного каскада открыты, т. е. во время нарастания и спада импульса (рис. 2.55).

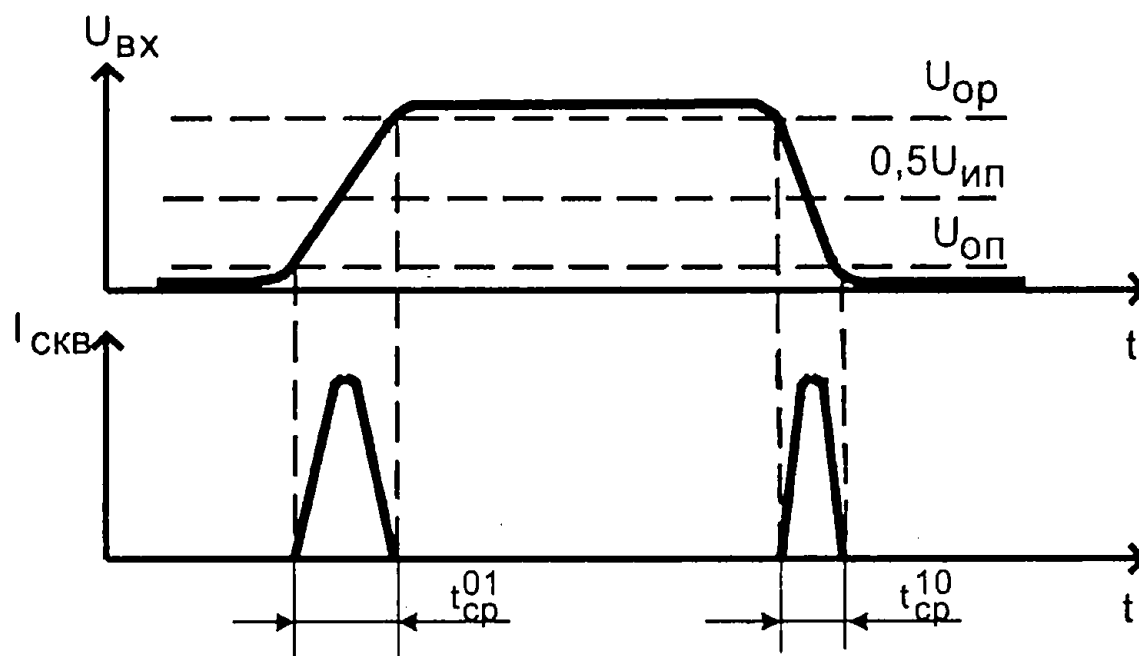


Рис. 2.55

Среднее значение этих токов растет линейно с увеличением частоты переключения. Типовая зависимость динамической мощности потребления от частоты переключения при разных напряжениях питания и емкостях нагрузки приведена на рис. 2.56.

С увеличением тактовой частоты до предельных значений резко возрастает потребляемая мощность, что приводит к увеличению выделяемого тепла и ухудшению условий эксплуатации. Минимизацию потребляемой мощности устройств на микросхемах с КМОП-технологией можно осуществить снижением тактовой частоты, уменьшением емкости нагрузки, обеспечением крутых фронтов импульсов и уменьшением длины цепей постоянного тока.

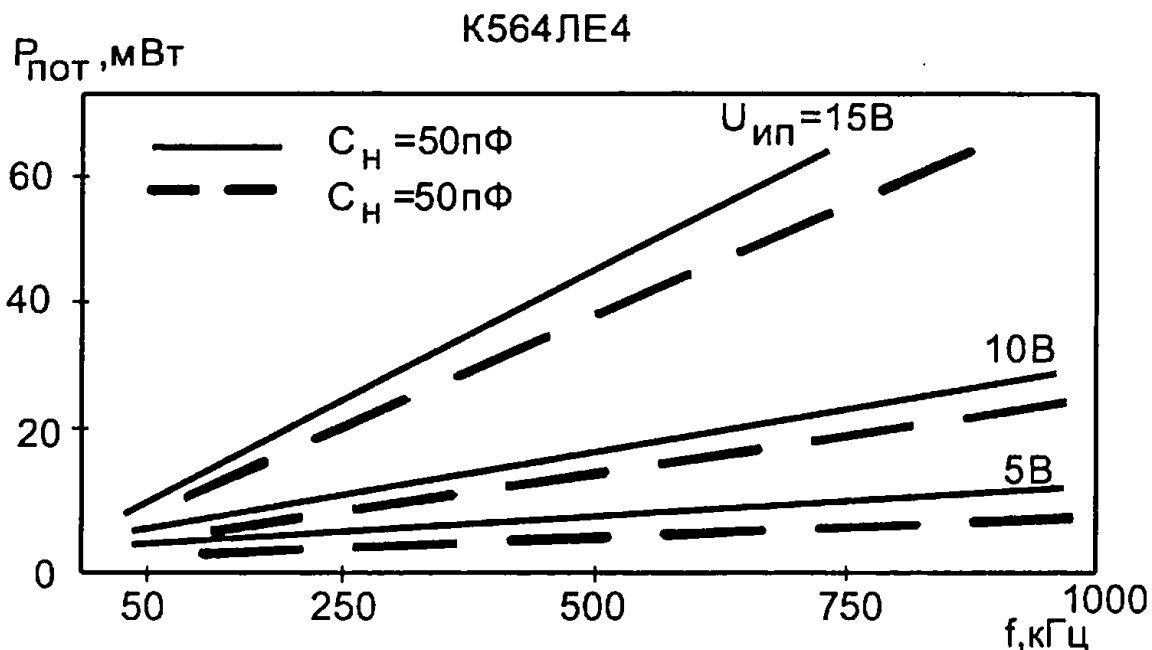


Рис. 2.56

Потребление мощности можно снизить в результате переключения тактовой частоты на более низкую на период времени, когда нет необходимости в более высокой. Снижение емкости нагрузки можно добиться путем уменьшения монтажной емкости. При увеличении длительности фронта оба входных транзистора остаются открытыми продолжительное время, что приводит к дополнительному потреблению мощности.

Особенность идеальных передаточных характеристик МОП — структур — это симметричность относительно точки переключения схемы из одного логического состояния в другое. На рис. 2.57 изображены типовые передаточные характеристики одного ЛЭ по напряжению (рис. 2.57, а) и по току (рис. 2.57, б) при различных напряжениях питания и температуре. Характеристики показывают высокую помехозащищенность $45\% U_{\text{ип}}$ и температурную стабильность, т. е. незначительные колебания точки переключения при изменении температуры. Кривая нарастания тока потребления (рис. 2.57, б) схемы из одного состояния в другое. За первую полови-

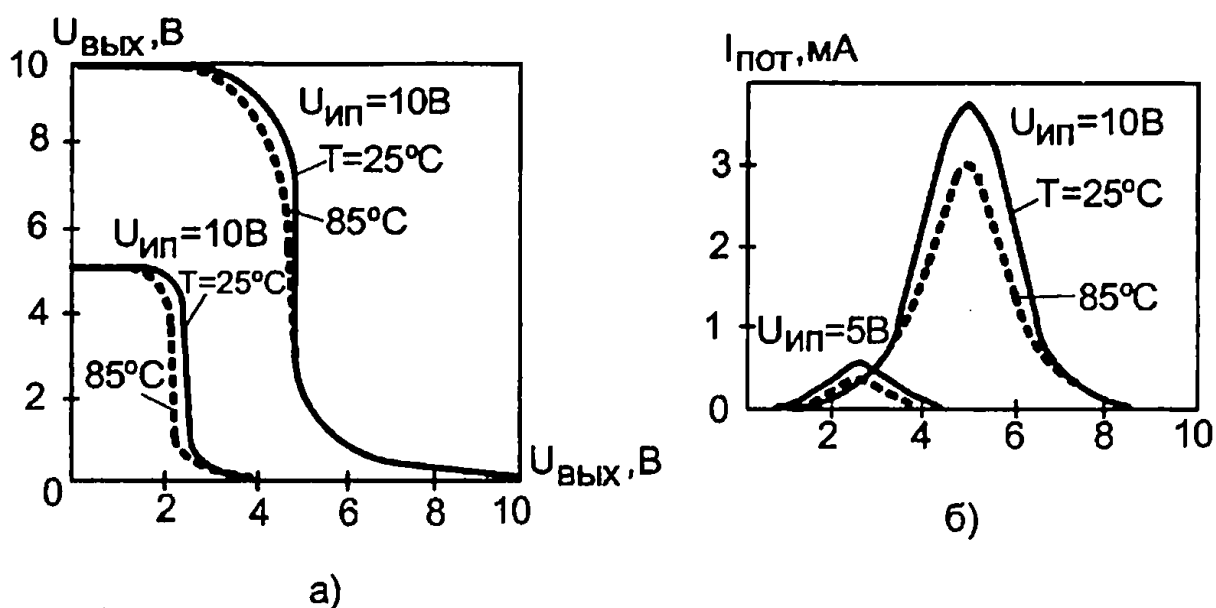


Рис. 2.57

ну фронта импульса происходит нарастание тока потребления в результате появления сквозного тока. За вторую половину ток падает до нуля, что соответствует закрыванию транзистора.

КМОП ИС имеют высокую статическую и динамическую помехоустойчивости. Большой запас помехоустойчивости обеспечивается тем, что входное напряжение, при котором микросхемы меняют логическое состояние, примерно равно $0,5 U_{ип}$, однако для обеспечения гарантированных запасов помехоустойчивости в технических условиях приводится обычно 30% — ное значение допустимой помехи. Это означает, что логические уровни в КМОП ИМС могут быть определены как напряжения, составляющие не менее 70% (логическая 1) и не более 30% (логический 0) напряжения источника питания. На рис. 2.58 показаны гарантированные уровни помехоустойчивости в диапазоне напряжений 3...15 В.

Статическая помехоустойчивость микросхем увеличивается с ростом напряжения питания, а колебания помехоустойчивости в зависимости от температуры незначи-

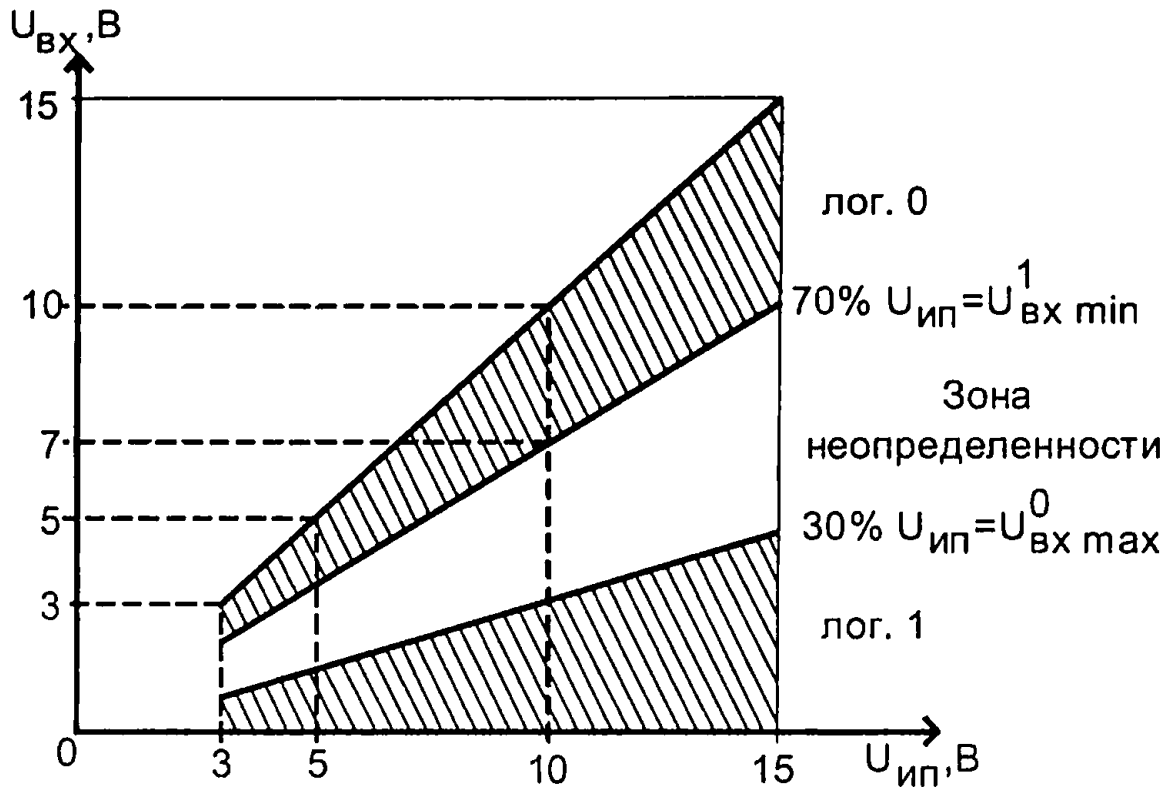


Рис. 2.58

тельны из-за высокой температурной стабильности передаточных характеристик.

Высокая динамическая помехоустойчивость КМОП ИС объясняется относительно невысоким их быстродействием, а также высоким уровнем статической помехоустойчивости.

Особо следует оговорить устойчивость переключения синхронных устройств на микросхемах КМОП. Необходимо, чтобы время фронтов нарастания и спада тактовых импульсов было бы меньше, чем 5...15 мкс (т. е. тактовые импульсы должны иметь крутые фронты). Во-первых, если фронт импульса длительный, пологий, инвертор КМОП долго находится в усилительном режиме, поэтому сквозной импульс тока чрезмерное время течет через него, структура может перегреться и разрушиться.

Во-вторых, время нарастания перепада на тактовом входе t^{01} должно быть меньшим, чем время задержки рас-

2. Базовые логические элементы

пространения $t_{зд.р}$ плюс время переходного процесса на выходе триггерного элемента. На рис. 2.59, а показано последовательное соединение двух D -триггеров. При медленно нарастающем перепаде на входе C выходной сигнал триггера $DD1$ запишется на D входе триггера $DD2$, который ошибочно переключится на низкий уровень (рис. 2.59, б), поскольку фронт C еще не превысил уровень $0,7 U_{ип}$.

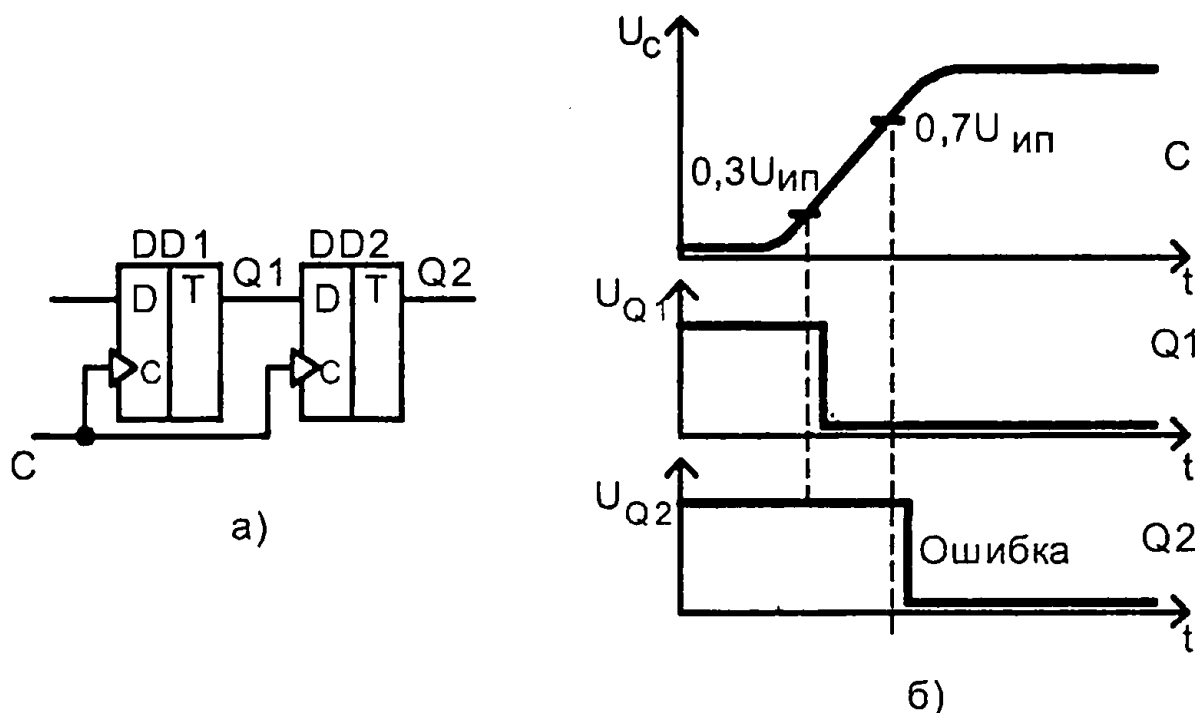


Рис. 2.59

Микросхемы КМОП характеризуются относительно невысоким по сравнению с ТТЛ быстродействием. Предельная частота не превышает единиц МГц. Динамические параметры зависят от сложности схемы, напряжения питания, емкости нагрузки и температуры. На рис. 2.60 приведены типовые зависимости времени задержки распространения сигнала для микросхем 564 серии, откуда видно, что с повышением C_H оно линейно растет. С другой стороны, увеличение напряжения питания $U_{ип}$ увеличивает быстродействие практически пропорционально из-за уменьшения сопротивления каналов проводимости.

Время задержки распространения для ИМС КМОП составляет десятки-сотни наносекунд. В общем случае следует заметить, что все результаты по повышению быстродействия достигаются уменьшением емкости переходов, в то время как входная емкость не может быть уменьшена ниже 15 пФ.

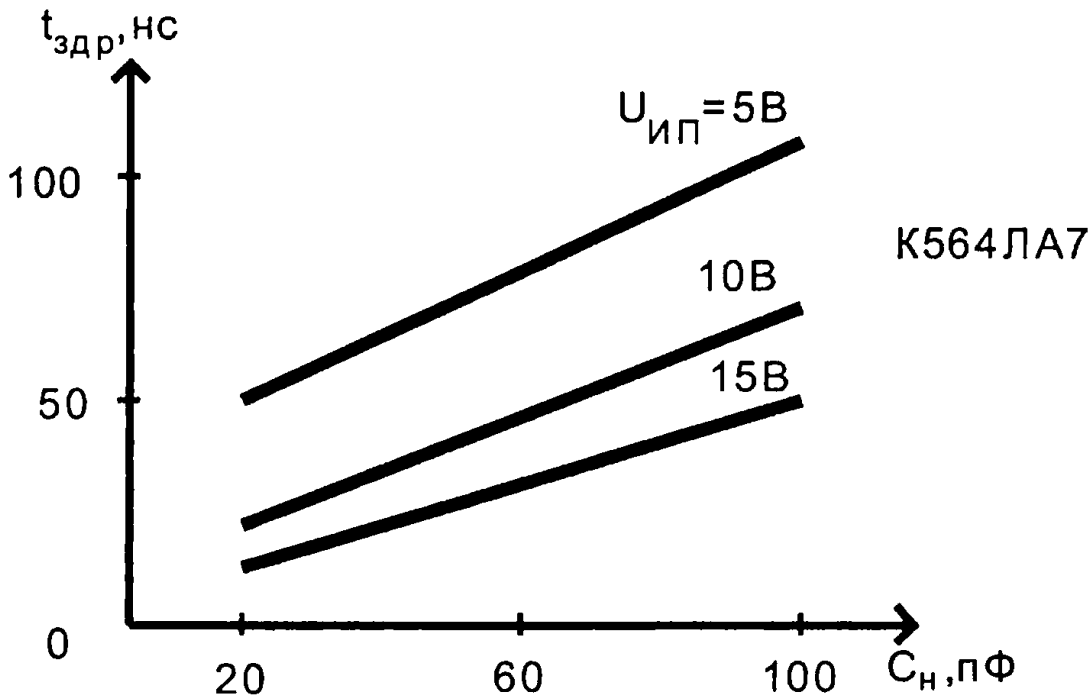


Рис. 2.60

Микросхемы, изготовленные по КМОП-технологии, имеют высокую нагрузочную способность, которая ограничивается предельно допустимым током нагрузки. Коэффициент разветвления по выходу $K_{РАЗ}$ микросхем по постоянному току рассчитывают как наименьшее из коэффициентов разветвления по выходу в режимах низкого ($K_{РАЗ}^0$) и высокого ($K_{РАЗ}^1$) уровней:

$$\begin{aligned}
 I_{вых}^1 &= \sum_{i=1}^{K_{РАЗ}^1} I_{вых_i}^1; \\
 I_{вых}^0 &= \sum_{i=1}^{K_{РАЗ}^0} I_{вых_i}^0.
 \end{aligned}
 \tag{2.53}$$

2. Базовые логические элементы

Входной ток очень мал. Например, максимальное значение входного тока для всех ИС серии 564 не превышает 0,05 мкА при $t = +25^\circ\text{C}$ и 1 мкА при $t = +125^\circ\text{C}$. Основное влияние на этот ток оказывает диодная схема защиты, используемая на входах. Зависимость входного тока от напряжения питания при нормальной температуре изображена на рис. 2.61.

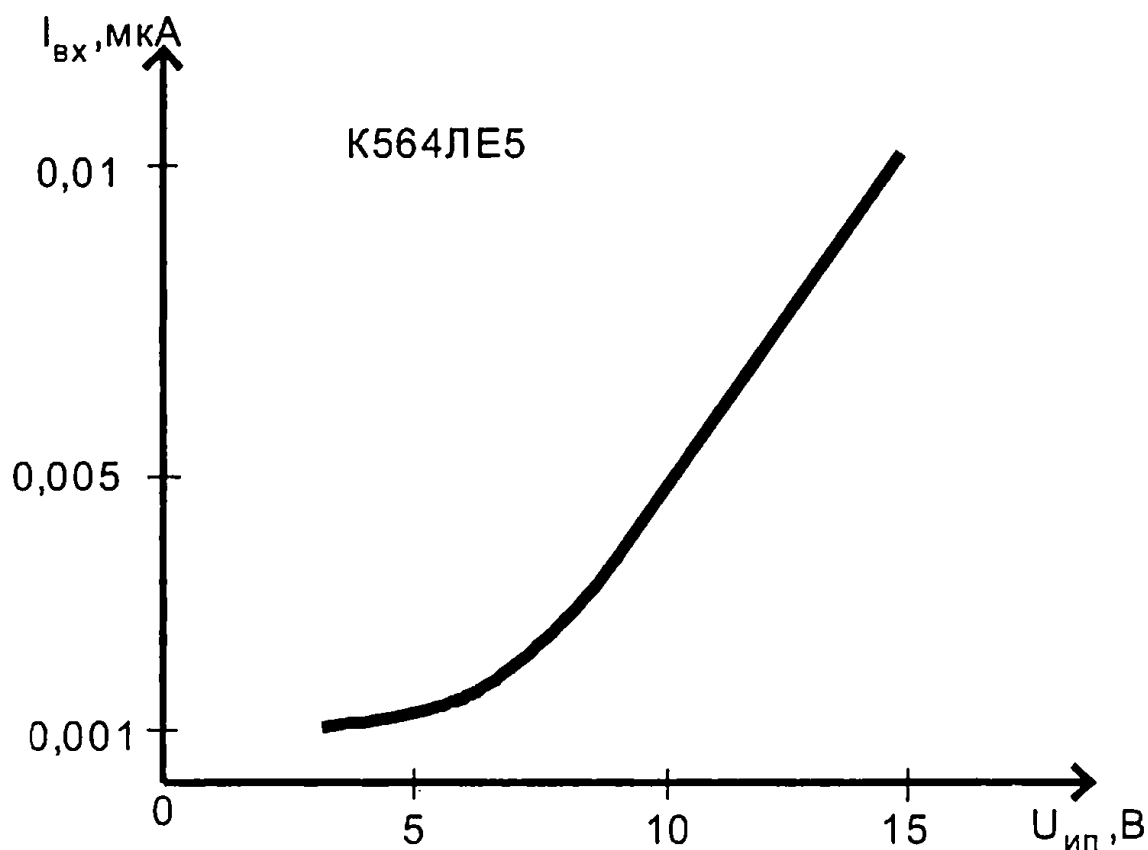


Рис. 2.61

Выходной ток характеризует нагрузочную способность по постоянному току. Различают выходные токи $I_{\text{ВЫХ}}^0$ и $I_{\text{ВЫХ}}^1$. Первый $I_{\text{ВЫХ}}^0$ представляет собой ток, входящий в ИС при открытом n -канальном и закрытом p -канальном транзисторе выходного каскада. Вторым $I_{\text{ВЫХ}}^1$ является ток, выходящим из ИС при закрытом n -канальном и открытом p -канальном транзисторе. Для различных типов ИС токи $I_{\text{ВЫХ}}^0$ и $I_{\text{ВЫХ}}^1$ могут отличаться в десятки раз из-за

сильного различия размеров каналов транзисторов выходного каскада.

Номинальные величины выходных токов зависят от напряжения питания ИС. Это объясняется изменением уровня напряжений на затворах. Например, для КМОП ИМС 561ЛА8 $I_{ВЫХ}^0 = 0,12$ мА, $I_{ВЫХ}^1 = 0,22$ мА при $U_{ИП} = 5$ В; $I_{ВЫХ}^0 = 0,25$ мА, $I_{ВЫХ}^1 = 0,55$ мА при $U_{ИП} = 10$ В.

Эффективное значение предельно допустимого тока на один выход определяется максимальным током, не приводящим к пережогу шины металлизации, для ИС К564 он не должен превышать 10 мА.

Допустимые емкости нагрузки C_H и входные емкости $C_{ВХ}$ характеризуют коэффициент разветвления по выходу по переменному току $K_{развет}$.

$$C_H \geq \sum_{i=1}^{K_{развет}} C_{вх_i} + C_{монт}, \quad (2.54)$$

где $C_{монт}$ — емкость монтажа.

При эксплуатации аппаратуры рекомендуется применять микросхемы с $C_H < 500$ пФ, при этом мощность, рассеиваемая корпусом не должна превышать 200 мВт.

Таким образом, нагрузочная способность составляет до 1000 входов таких же КМОП ИС на частотах до нескольких килогерц.

Применение микросхем КМОП имеет свои особенности. Ни один из входов не может быть оставлен неподключенным, даже если логический элемент в микросхеме не использован. Свободные входы элементов должны быть или соединены с используемыми входами того же элемента, или подключены к шине питания или общему проводу в соответствии с логикой работы микросхемы.

При использовании в аппаратуре микросхем различных логических серий возникает необходимость для их сопряжения. При интерфейсе ИС К564 с ТТЛ ИС, высоко-

2. Базовые логические элементы

пороговыми КМОП и p - и n -канальными МОП ИС необходимо уделять внимание согласованию таких параметров, как напряжение питания, логические уровни входного и выходного напряжений, входные и выходные токи, быстродействие и помехоустойчивость.

Исключительно малая потребляемая мощность открывает для КМОП ИС широкую перспективу применения, в первую очередь в аппаратуре с автономным питанием: различных бортовых устройствах, автономных устройствах сбора и обработки данных, запоминающих устройствах без разрушения информации, то есть там, где энергетический фактор оказывается решающим при выборе элементной базы и где по существу им нет альтернативы.

Перспективно применение КМОП ИС и там, где потребление мощности не имеет жестких ограничений. При использовании биполярных ИС требуется создание мощных вторичных источников питания, удельный вес которых в общих массогабаритных характеристиках занимает до 40–50%. Поэтому становится очень привлекательной идея применения, по возможности, и здесь КМОП ИС, резко снижающих указанные затраты как за счет непосредственного уменьшения потребляемого тока, так и в результате уменьшения требований по степени фильтрации питающих напряжений, что становится возможным благодаря их высокой помехоустойчивости. В конечном счете, дополнительно улучшается температурный режим аппаратуры и повышается ее надежность, а также отпадает необходимость в организации сложных систем охлаждения ИС.

Большое количество положительных качеств обеспечивает широкое использование КМОП ИС в различной радиоэлектронной аппаратуре. Основной задачей совершенствования этого класса микросхем является повышение их быстродействия, доводя его до уровня, достигнутого

биполярными ИМС. Решение этой задачи связано с уменьшением емкостей перехода и сводится к поиску оптимальных технологий, использованию новых технологий производства, уменьшению линейных размеров.

Контрольные вопросы

1. Какие микросхемы называются логическими? Поясните их маркировку.

2. Записать формулу логического перепада.

3. Дать определение переходной характеристики логического элемента.

4. Дать определение статической помехоустойчивости логических элементов.

5. Поясните порядок определения пороговых точек по переходной характеристике логического элемента.

6. Поясните порядок определения динамических параметров логических элементов.

7. Поясните характер зависимости потребляемой мощности от частоты переключения различных логических микросхем: ТТЛ, КМОП, ЭСЛ.

8. Назовите специфические особенности, достоинства, недостатки различных логических микросхем: ТТЛ, ТТЛШ, КМОП, ЭСЛ, И²Л.

9. Поясните характер зависимости амплитуды импульсной помехи от ее длительности.

10. Дать определение и записать формулу работы переключения.

11. Что определяют коэффициент разветвления по выходу и коэффициент объединения по входу?

12. Какие микросхемы являются насыщенными, а какие ненасыщенными? Приведите пример.

3. ФУНКЦИОНАЛЬНЫЕ УЗЛЫ ЦИФРОВЫХ УСТРОЙСТВ

3.1. Триггеры

Триггером называют устройство, имеющее два устойчивых состояния и способное под действием внешних сигналов переключаться из одного состояния в другое. При этом напряжение на его выходе изменяется скачкообразно.

Способность поддерживать устойчивое состояние на выходе без изменения при отсутствии входных сигналов сколь угодно длительный интервал времени обуславливает применение триггеров в качестве элементов памяти. В общем случае триггер содержит собственно элемент памяти и входную комбинационную схему, преобразующую входные сигналы триггера в сигналы, требуемые для управления элементом памяти.

Особенностью последовательностных логических устройств является их зависимость не только от действующих в настоящий момент на входе логических сигналов, но и от тех значений переменных, которые действовали на входах в предыдущие моменты времени. Очевидно, что для выполнения этого условия значения предыдущих переменных должны быть запомнены логическим устройством. Таким образом, триггер, выполняя функцию памяти, является неотъемлемой частью любого последовательностного устройства.

Триггер — это простейший цифровой автомат с памятью, способный хранить 1 бит (*binary digit* — двоичный разряд) информации.

В основе любого триггера находится регенеративное кольцо из двух инверторов, охваченных глубокой положительной обратной связью. Поэтому переход из одного состояния в другое происходит лавинообразно за очень короткое время.

Триггер имеет два выхода: прямой Q и инверсный \bar{Q} . Состояние триггера определяют по значению сигнала на прямом выходе Q . Значения сигналов на прямом Q и инверсном \bar{Q} выходах всегда противоположны.

Существующие типы триггеров классифицируются по различным признакам. Наиболее часто используется классификация по типу используемых информационных входов. Приняты следующие обозначения входов триггеров:

S — отдельный вход установки триггера в единичное состояние по прямому выходу Q (*Set* — установка); $Q = 1$;

R — отдельный вход установки триггера в нулевое состояние по прямому выходу Q (*Reset* — сброс); $Q = 0$;

J — вход установки универсального триггера в состояние 1 (*jerk* — резко включить); $Q = 1$;

K — вход сброса универсального триггера в состояние 0 (*kill* — резко выключить); $Q = 0$;

D — информационный вход переключения триггера в состояние, соответствующее логическому уровню на этом входе. В различных источниках по-разному объясняют происхождение названия этого входа: от слова *Delay* — задержка, состояние триггера повторяет входной сигнал, но с задержкой, определяемой тактовым импульсом; от слов *Data input* — на вход подается информация, предназначенная для записи в триггер;

T — счетный вход (*Toggle* — переключатель);

C — синхронизирующий вход (*Clock*).

3. Функциональные узлы цифровых устройств

Одновременная подача сигналов установки S и сброса R не допускается (такая комбинация сигналов называется запрещенной). Назначение входов J и K такое же, как и входов S и R , однако, универсальность J и K допускает возможность одновременной подачи сигналов на оба входа $J = K = 1$. В этом случае триггер переключается в противоположное предыдущему состояние.

Кроме основных входов триггеры могут иметь дополнительные: вход V — запрет и входы начальной установки. Вход запрета V блокирует работу триггера, запрещает запись новой информации, триггер сколь угодно долго сохраняет ранее записанную информацию.

Наименование триггера определяется типами его входов. Например; RS -триггер, универсальный JK -триггер, D -триггер, счетный T -триггер.

Микросхемы, составляющие подгруппу триггеров, имеют в маркировке букву T . Функциональное назначение микросхем-триггеров определяется двумя буквами: TB -универсальные (типа JK); TD — динамические; TK — комбинированные ($D-T$, $R-S-T$ др.); TL — триггер Шмитта; TM — с задержкой (типа D); TP — с отдельным запуском (типа RS); TT — счетные (типа T); TP — прочие. Например, К1533ТМ8; 564ТВ1.

По моменту реакции на входной сигнал триггеры подразделяют на асинхронные (нетактируемые) и синхронные (тактируемые).

Асинхронный триггер изменяет свое состояние непосредственно в момент изменения сигнала на его информационных входах.

Синхронный триггер изменяет свое состояние лишь в строго определенные (тактовые) моменты времени, соответствующие воздействию активного синхросигнала на его синхронизирующем входе C , и не реагирует на любые из-

менения информационных сигналов при пассивном значении сигнала на синхровходе.

По виду активного логического сигнала, действующего на входах, триггеры различают на статические — управляемые уровнем, и динамические — управляемые перепадом (фронтом) входного сигнала.

Входы бывают прямыми и инверсными. Для переключения триггера на прямой вход необходимо подать единичный сигнал, а на инверсный — нулевой. Прямое динамическое управление означает переключение при изменении входного сигнала с нулевого значения на единичное, инверсное динамическое — при изменении входного сигнала с единичного на нулевое.

По характеру процесса переключения триггеры делятся на одноступенчатые и двухступенчатые.

В одноступенчатом триггере переключение в новое состояние происходит сразу, в двухступенчатом — по этапам. Двухступенчатые триггеры состоят из входной и выходной ступеней. Переход в новое состояние происходит в обеих ступенях поочередно. Один из уровней тактового сигнала разрешает прием информации во входную ступень при неизменном состоянии выходной ступени. Другой уровень тактового сигнала разрешает передачу нового состояния из входной ступени в выходную. Двухступенчатые триггеры часто называют триггерами *MS* (от английского *Master-Slave*, т. е. хозяин-раб). Это сокращение показывает характер работы триггера: входная ступень вырабатывает новое значение переменной Q , а выходная ее копирует.

3.1.1. *RS*-триггеры

RS-триггер — это триггер с отдельной установкой состояний логического нуля и логической единицы (с отдельным запуском). Он имеет два информационных вхо-

3. Функциональные узлы цифровых устройств

да S и R . По входу S триггер устанавливается в состояние $Q = 1$ ($\bar{Q} = 0$), по входу R — в состояние $Q = 0$ ($\bar{Q} = 1$).

Асинхронные RS -триггеры. В асинхронных триггерах срабатывание происходит непосредственно в момент изменения сигнала на информационных входах. Асинхронные RS -триггеры являются наиболее простыми. В качестве самостоятельного устройства используются редко, но являются основой для построения более сложных систем.

В зависимости от логической структуры асинхронные RS -триггеры бывают с прямыми либо инверсными входами. Схемы и условные обозначения приведены на рис. 3.1; 3.2. Триггеры такого типа построены на двух логических элементах: 2ИЛИ-НЕ — триггер с прямыми входами (рис. 3.1); 2И-НЕ — триггер с инверсными входами (рис. 3.2).

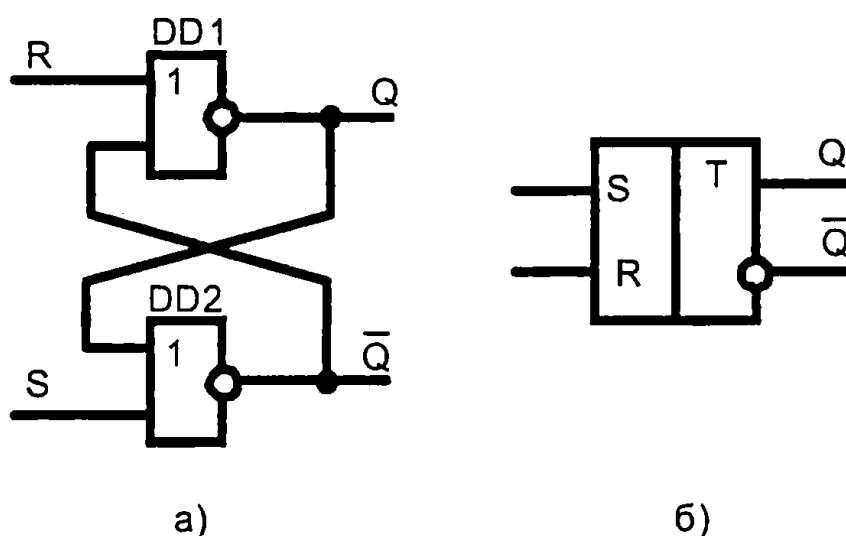


Рис. 3.1

Логические элементы ИЛИ-НЕ (И-НЕ) с инвертированием сигнала схвачены петлей положительной обратной связи. При таком соединении логическая единица на выходе одного логического элемента (ЛЭ) поступает на вход другого ЛЭ и обеспечивает логический ноль (инвертирование) на его выходе. Логический ноль на выходе ЛЭ,

поступая на вход другого, при инвертировании дает логическую 1. Таким образом, выходы Q и \bar{Q} всегда находятся в противоположных состояниях. Соединение элементов по данной схеме позволяет получить цепь с двумя устойчивыми состояниями. Устойчивое состояние будет поддерживаться сколь угодно до поступления входных управляющих сигналов.

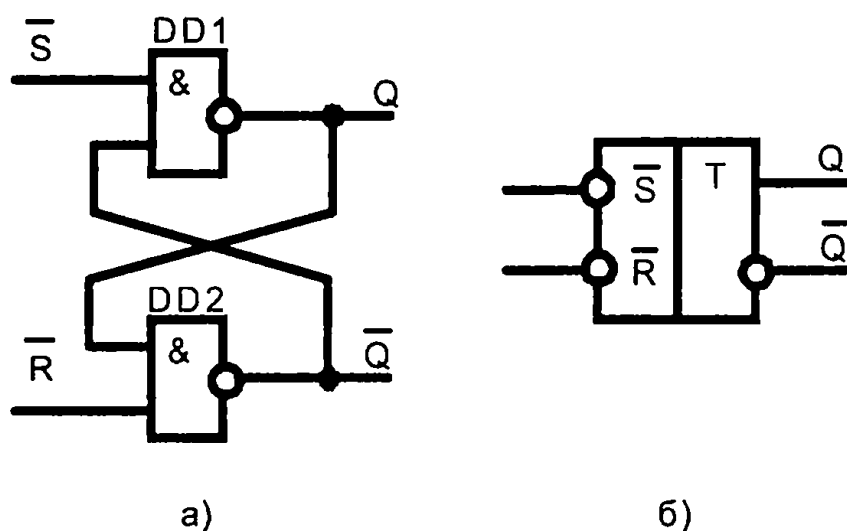


Рис. 3.2

Состояния триггеров под воздействием входных сигналов приведены в таблицах переходов. Знаками Q_n (\bar{Q}_n) обозначают состояния триггеров до подачи управляющих сигналов, и знаками Q_{n+1} (\bar{Q}_{n+1}) — состояния триггеров после подачи управляющих сигналов.

Активным называют логический уровень, действующий на входе логического элемента и однозначно определяющий логический уровень выходного сигнала независимо от логических уровней, действующих на остальных входах. Для элементов ИЛИ-НЕ активным является высокий уровень — логическая 1, а для элементов И-НЕ — низкий уровень, логический 0. Уровни, подача которых

3. Функциональные узлы цифровых устройств

на один из входов не приводит к изменению логического уровня на выходе элемента, называют пассивным.

Триггер с прямыми входами на элементах 2ИЛИ-НЕ представлен на рис. 3.1. Функционирование этого триггера описано в таблице 3.1.

Таблица 3.1

Таблица переходов RS -триггера на элементах 2ИЛИ-НЕ

R	S	Q_{n+1}
0	0	Q_n
1	0	0
0	1	1
1	1	X

Пассивные уровни на входах $R = 0, S = 0$ не влияют на состояние триггера. Оно определяется уровнями на других входах, то есть сигналами, поступающими по обратной связи с выходом Q и \bar{Q} , действующих до поступления пассивных сигналов $R = S = 0$.

$$Q_{n+1} = Q_n \text{ при } R = 0, S = 0. \quad (3.1)$$

Следовательно, в этом случае выходной сигнал зависит от предыдущего состояния, триггер сохраняет («запоминает») свое состояние. Поэтому триггеры относятся к последовательностным устройствам (устройствам с памятью).

Подача сигналов $R = 1, S = 0$ однозначно устанавливает элемент $DD1$ в нулевое состояние $Q = 0$. Нулевой логический уровень с выхода $DD2$ поступает на вход $DD2$ и устанавливает $DD2$ в единичное состояние $\bar{Q} = 1$, т. к. $S = 0$.

$$Q_{n+1} = 0 \text{ при } R = 1, S = 0. \quad (3.2)$$

Аналогичные рассуждения показывают, что входной сигнал $S = 1, R = 0$ (комбинация 00 на входах $DD1$ и комбинация 10 на входах $DD2$) устанавливает элемент $DD1$ в единичное состояние $Q = 1, DD2$ — в нулевое $\bar{Q} = 0$.

$$Q_{n+1} = 1 \text{ при } R = 0, S = 1. \quad (3.3)$$

При $R = S = 1$ во время действия информационных входных сигналов состояния общих элементов ИЛИ-НЕ $DD1$ и $DD2$ одинаково $Q = \bar{Q} = 0$. После одновременного окончания входных сигналов триггер непредсказуемо равновероятно может перейти в любое из двух устойчивых состояний. Поэтому подача одновременно на оба информационных входа активных сигналов $R = S = 1$ запрещена (запрещенная комбинация).

Логическая функция переходов RS -триггера с прямым входом получается из таблицы переходов путем составления дизъюнктивной нормальной формы (ДНФ) и ее минимизации. При этом необходимо учитывать, что $R \cdot S = 0$, т. к. комбинация $R = 1, S = 1$ является запрещенной, в результате получаем

$$Q_{n+1} = S \vee \bar{R} Q_n. \quad (3.4)$$

Временные диаграммы, характеризующие работу асинхронного RS -триггера с прямыми входами, показаны на рис. 3.3.

Асинхронный RS -триггер с инверсными входами на логических элементах 2И-НЕ представлен на рисунке 3.2. Для этих ЛЭ пассивным уровнем является логическая 1, поэтому сигнал $R = S = 1$ не влияет на состояние триггера и обеспечивает хранение предыдущего значения на выходах $Q_{n+1} = Q_n$.

Логический ноль на входе $DD1$ устанавливает его в единичное состояние $Q = 1$, что ведет к логическому нулю на выходе $DD2$ $\bar{Q} = 0$. Поэтому режим $\bar{S} = 0, \bar{R} = 1$ является

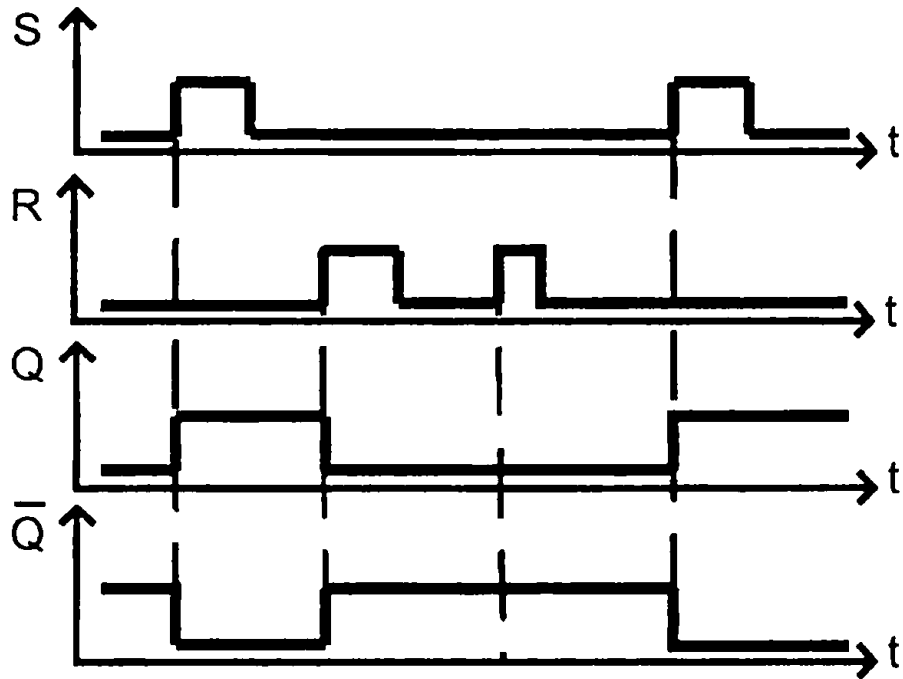


Рис. 3.3

режимом записи логической единицы. Аналогично, режим записи логического нуля $Q = 0$ реализуется при $\bar{S} = 1, \bar{R} = 0$.

Комбинация входных сигналов $\bar{S} = \bar{R} = 0$ является запрещенной, т. к. после нее невозможно точно назвать состояние триггера. Подача активных уровней на оба входа ведет к неопределенности.

В таблице 3.2 показано функционирование асинхронного RS -триггера в инверсными входами на элементах 2И-НЕ.

Таблица 3.2

Таблица переходов RS -триггера на элементах 2И-НЕ

\bar{R}	\bar{S}	Q_{n+1}
0	0	X
1	0	1
0	1	0
1	1	Q_n

Знак «х» при $\bar{R} = \bar{S} = 0$ означает, что такая комбинация является запрещенной.

Временные диаграммы работы асинхронного RS-триггера на элементах И-НЕ показаны на рис. 3.4

Логическая функция переходов описывается формулой

$$Q_{n+1} = \bar{S} \vee Q_n R, \quad (3.5)$$

которая может быть получена из таблицы 3.2 аналогично (3.4).

Синхронный RS-триггер имеет дополнительный вход синхронизации, который также называют тактирующим входом. Синхронизирующий вход разрешает прием сигналов с информационных входов. При наличии синхросигнала происходит переключение триггера. При отсутствии сигнала на синхровходе информационные сигналы не влияют на состояние триггера.

Достоинство синхронных триггеров: они позволяют устранить влияние задержки распространения сигнала в различных частях схемы. Таким образом, достигается одновременный прием сигналов в заданные интервалы времени в разных точках схемы.

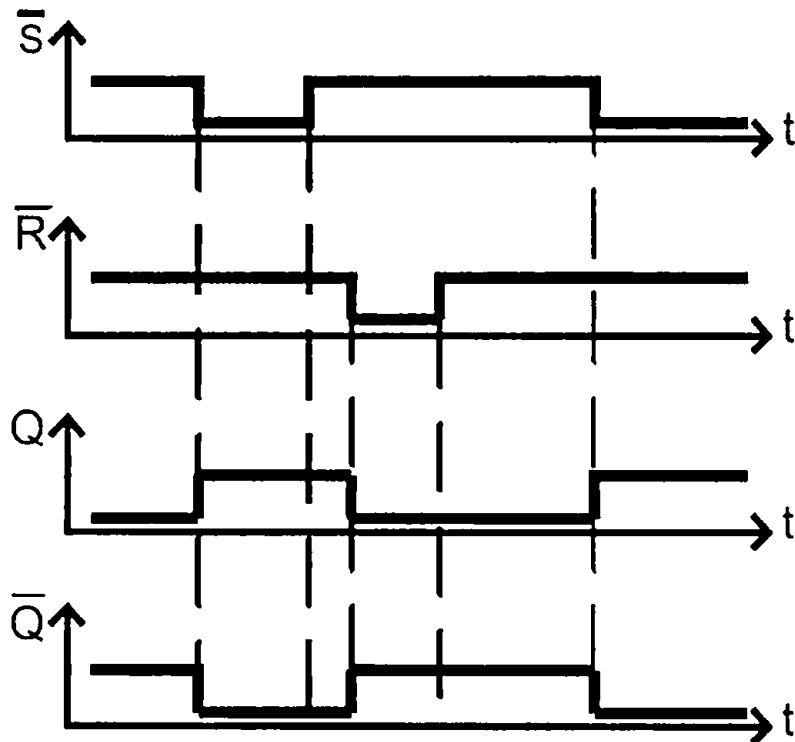


Рис. 3.4.

3. Функциональные узлы цифровых устройств

Синхронные триггеры бывают со статическим и динамическим управлением. При статическом управлении триггер реагирует на изменение информационных сигналов в течение всего времени действия синхросигналов. Поэтому изменение информационных сигналов возможно только при отсутствии сигнала на синхровходе.

В синхронных триггерах с динамическим управлением прием сигналов с информационных входов происходит в течение короткого фронта сигнала на синхровходе. В остальное время информационные входы логически отключены и допускаются изменения сигналов на информационных входах.

Логическая структура синхронного RS -триггера содержит синхронный триггер и дополнительную входную логическую схему, которая управляет работой синхронного триггера. На рис. 3.5 изображена схема синхронного RS -триггера с прямыми информационными и синхронизирующим

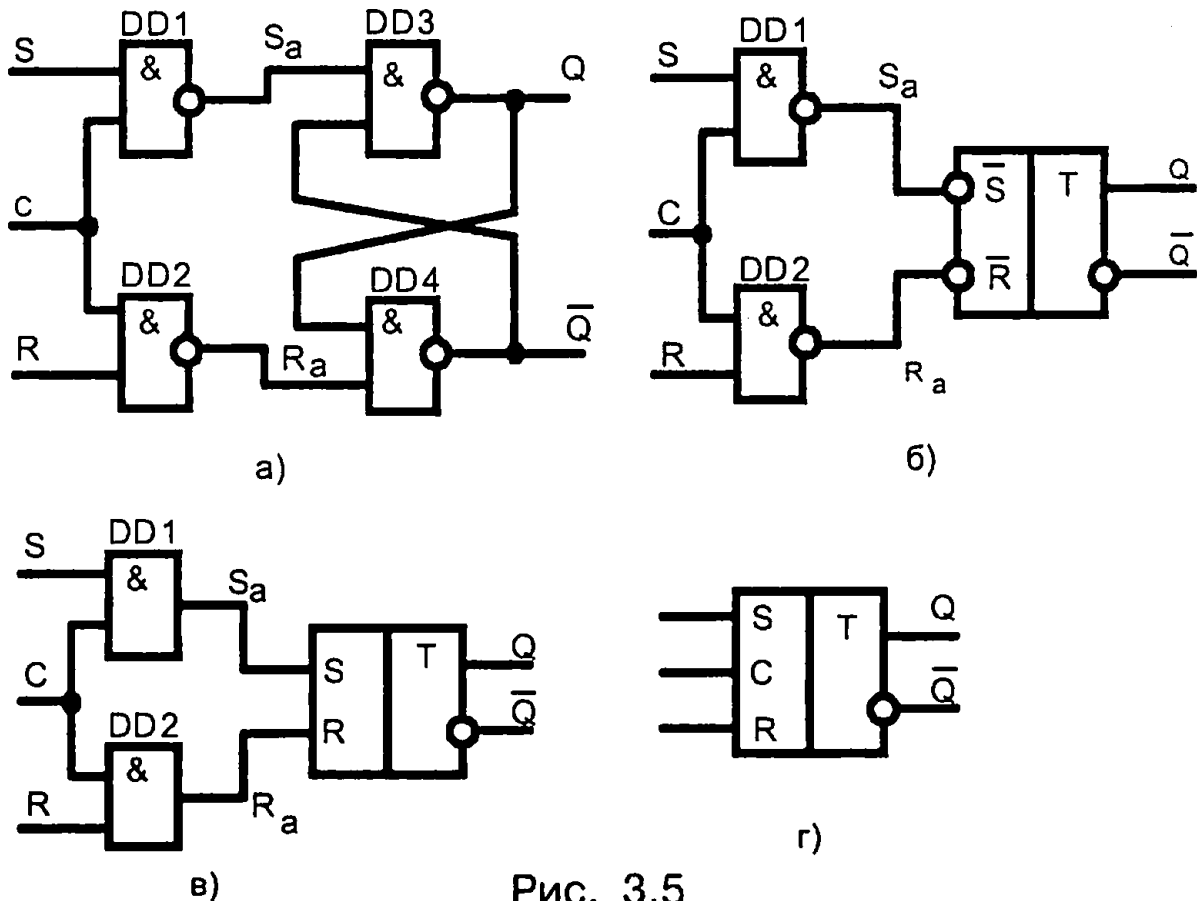


Рис. 3.5

входами. Такой триггер также называют *RST*-триггером, полагая вход *C* тактовым входом *T*.

На входах кроме информационных сигналов *R*, *S* действует сигнал синхронизации *C*. Буквами R_a , S_a обозначены сигналы на входах асинхронного триггера. С помощью логических элементов *DD1*, *DD2* обеспечивается передача входных сигналов на асинхронные триггеры.

Таблица 3.3

Таблица истинности синхронного *RS*-триггера с прямыми входами (рис. 3.5, в)

<i>C</i>	<i>R</i>	<i>S</i>	R_a	S_a	Q_{n+1}
0	—	—	0	0	Q_n
1	0	0	0	0	Q_n
1	1	0	1	0	0
1	0	1	0	1	1
1	1	1	1	1	X

При отсутствии синхронизирующего сигнала $C = 0$ триггер не переключается независимо от входной информации *R*, *S* (прочерки в таблице 3.3). Действительно, логический ноль является активным сигналом для логических элементов И, И-НЕ. Он однозначно устанавливает выходной уровень этих ЛЭ независимо от логических уровней на других входах. При этом на выходе И устанавливается логический 0, на выходе И-НЕ логическая единица.

Поэтому для триггера (рис. 3.5, в) с ЛЭ И на входе $R_a = S_a = 0$ при $C = 0$. Такая комбинация соответствует режиму хранения предыдущей информации в асинхронном *RS*-триггере с прямыми входами

$$Q_{n+1} = Q_n.$$

При $C=1$ триггер изменяет свое состояние в соответствии с поступившей на входы *R* и *S* информацией, поэтому такие же информационные сигналы должны быть на

3. Функциональные узлы цифровых устройств

выходе асинхронного триггера $R_a = R$, $S_a = S$. Таблица истинности (табл. 3.3.) позволяет получить функции для R_a , S_a , которые после минимизации принимают вид

$$S_a = SC = \overline{\overline{C}} \vee \overline{\overline{S}} \quad R_a = CR = \overline{\overline{C}} \vee \overline{\overline{R}}. \quad (3.6)$$

При построении синхронного RS -триггера на элементах И-НЕ необходимо учесть, что асинхронный RS -триггер на таких же элементах имеет инверсные входы (рис. 3.5, а, б).

Тогда

$$S_a = \overline{CS} \quad R_a = \overline{CR}.$$

При $C = 0$ на $R_a = 1$, $S_a = 1$ устанавливаются логические единицы, при которых асинхронный RS -триггер с инверсными входами хранит предшествующее значение. При $C = 1$ состояние триггера определяется действующими на входах R и S уровнями в соответствии с рассмотренной ранее логикой работы асинхронного триггера. Логика работы синхронного RS -триггера на элементах И-НЕ иллюстрируется таблицей 3.4.

Таблица 3.4

Таблица истинности синхронного RS -триггера с прямыми входами на элементах И-НЕ (рис. 3.5, а, б)

C	R	S	R_a	S_a	Q_{n+1}
0	—	—	1	1	Q_n
1	0	0	1	1	Q_n
1	1	0	0	1	0
1	0	1	1	0	1
1	1	1	0	0	X

Функционирование синхронного RS -триггера описывается логическим выражением

$$Q_{n+1} = \overline{C}Q_n \vee C(S \vee \overline{R} \cdot Q_n). \quad (3.7)$$

или

$$Q_{n+1} = (\overline{CR})Q_n \vee (CS).$$

Эти формулы легко преобразуются одна в другую. Комбинация на входах $C = 1, R = 1, S = 1$ является запрещенной, т. к. после нее асинхронный RS -триггер непредсказуемым образом может перейти в любое из двух устойчивых состояний, т. е. последующее состояние неопределенно. На рис. 3.6 изображены временные диаграммы работы синхронного RS -триггера с прямыми входами.

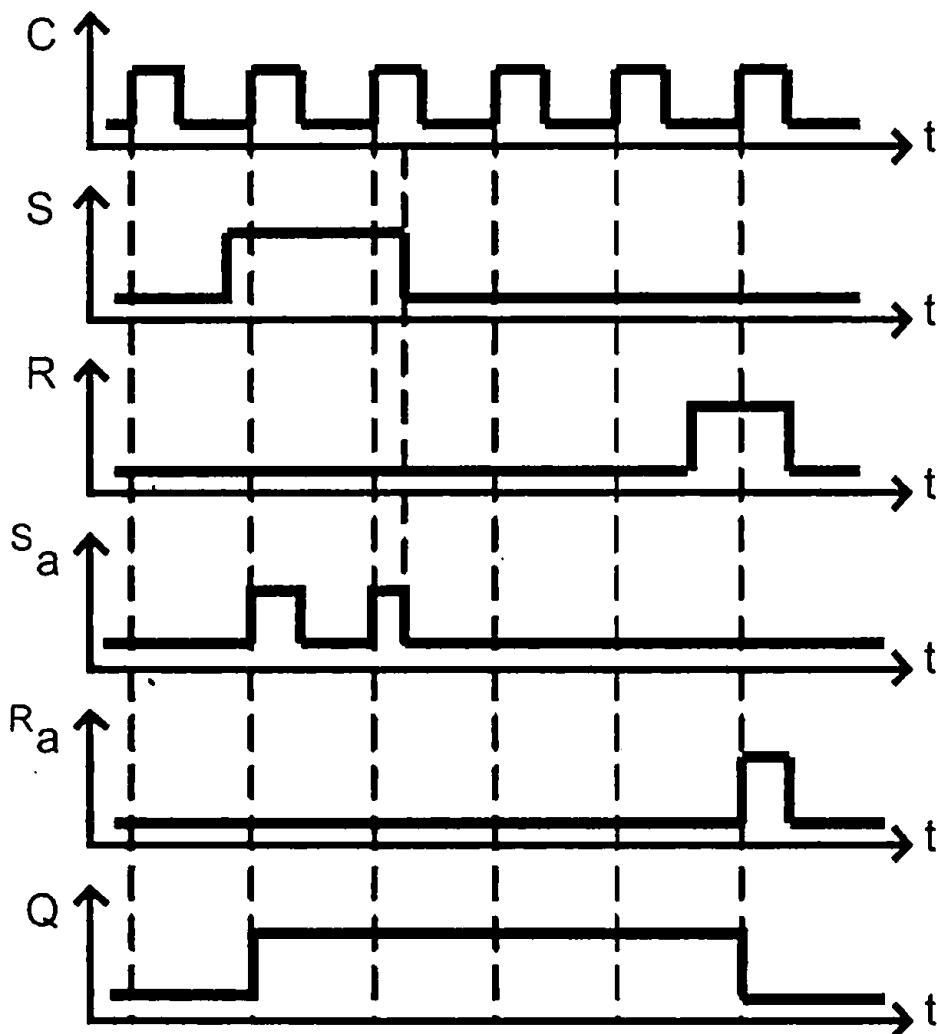


Рис. 3.6

Условное обозначение синхронного RS -триггера с прямыми входами показано на рис. 3.5, г.

3. Функциональные узлы цифровых устройств

Очень часто при построении логических устройств выдвигается требование регулярной структуры, т. е. чтобы при построении использовались однотипные элементы.

Рассмотрим синхронный RS -триггер, у которого асинхронный RS -триггер и логическая входная схема выполнены на элементах ИЛИ-НЕ (рис. 3.7).

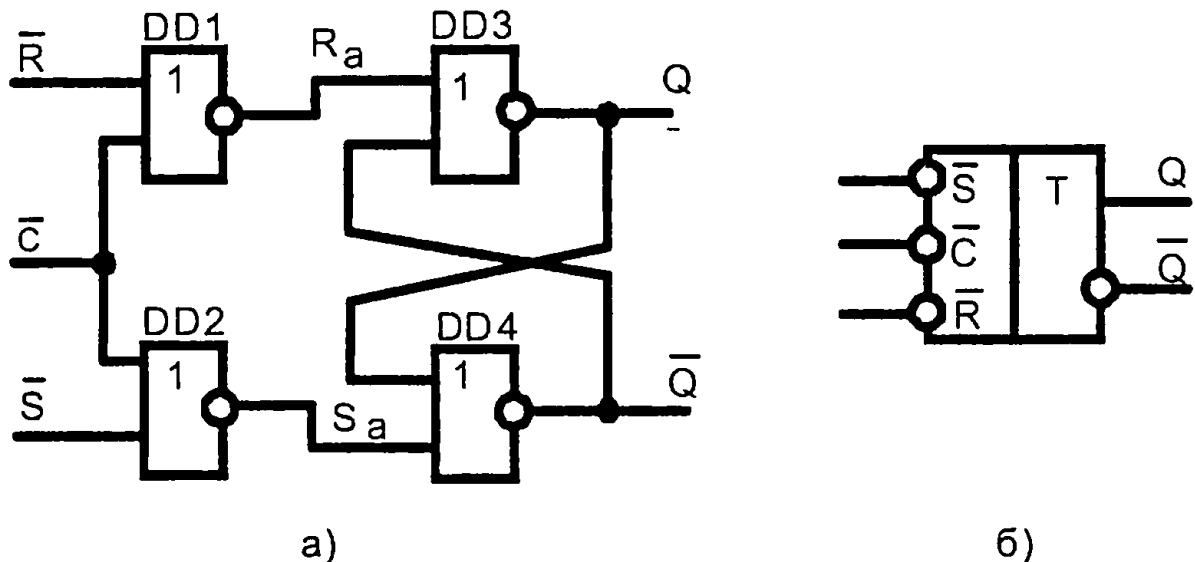


Рис. 3.7

На элементах $DD1$, $DD2$ выполнена входная логическая схема, на элементах $DD3$, $DD4$ — асинхронный RS -триггер.

Для ЛЭ ИЛИ-НЕ активным уровнем является логическая единица. Поэтому при $\bar{C} = 1$ элементы ИЛИ-НЕ $DD1$, $DD2$ однозначно устанавливаются в состоянии логического нуля независимо от сигналов на информационных входах:

$$R_a = S_a = 0.$$

Такое состояние на входах асинхронного RS -триггера на ЛЭ ИЛИ-НЕ соответствует режиму хранения предыдущей информации $Q_{n+1} = Q_n$, т. е. информационные входы R , S не изменяют состояние триггера.

При сигнале $\bar{C} = 0$ состояние синхронного триггера определяется таблицей истинности (табл. 3.5).

Таблица 3.5

Таблица истинности синхронного RS -триггера с инверсными входами на элементах ИЛИ-НЕ (рис. 3.7)

\bar{C}	\bar{R}	\bar{S}	R_a	S_a	Q_{n+1}
1	–	–	0	0	Q_n
0	1	1	0	0	Q_n
0	0	1	1	0	0
0	1	0	0	1	1
0	0	0	1	1	X

Логическое выражение, описывающее функционирование синхронного RS -триггера на элементах ИЛИ-НЕ, можно получить из таблицы 3.5 путем минимизации.

$$Q_{n+1} = (\bar{C} \vee \bar{R})Q_n \vee (\overline{\bar{C} \vee \bar{S}}). \quad (3.8)$$

Таким образом, синхронный RS -триггер на элементах ИЛИ-НЕ имеет инверсные входы $\bar{C}, \bar{R}, \bar{S}$. Запрещенной комбинацией входных сигналов является $\bar{C} = \bar{R} = \bar{S} = 0$, т. к. после ее действия состояние триггера неопределенно.

Формулы (3.7) и (3.8) можно преобразовать одна в другую, т. е. они эквивалентны (тождественны). Но каждая из них лучше отражает конкретную структуру соответствующего триггера: формула (3.7) — синхронный RS -триггер на элементах И-НЕ (рис. 3.5), формула (3.8) — синхронный RS -триггер на элементах ИЛИ-НЕ (рис. 3.7)

Временные диаграммы работы синхронных триггеров аналогичны, только для синхронного RS -триггера на элементах ИЛИ-НЕ необходимо взять инверсные значения сигналов R, S, C (рис. 3.8)

Условное графическое изображение синхронного RS -триггера с инверсными входами приведено на рис. 3.7, б.

Триггеры могут дополнительно иметь установочные входы R_y, S_y , сигналы которых непосредственно устанавливают триггер в заданное состояние независимо от синхросигналов (рис. 3.9).

3. Функциональные узлы цифровых устройств

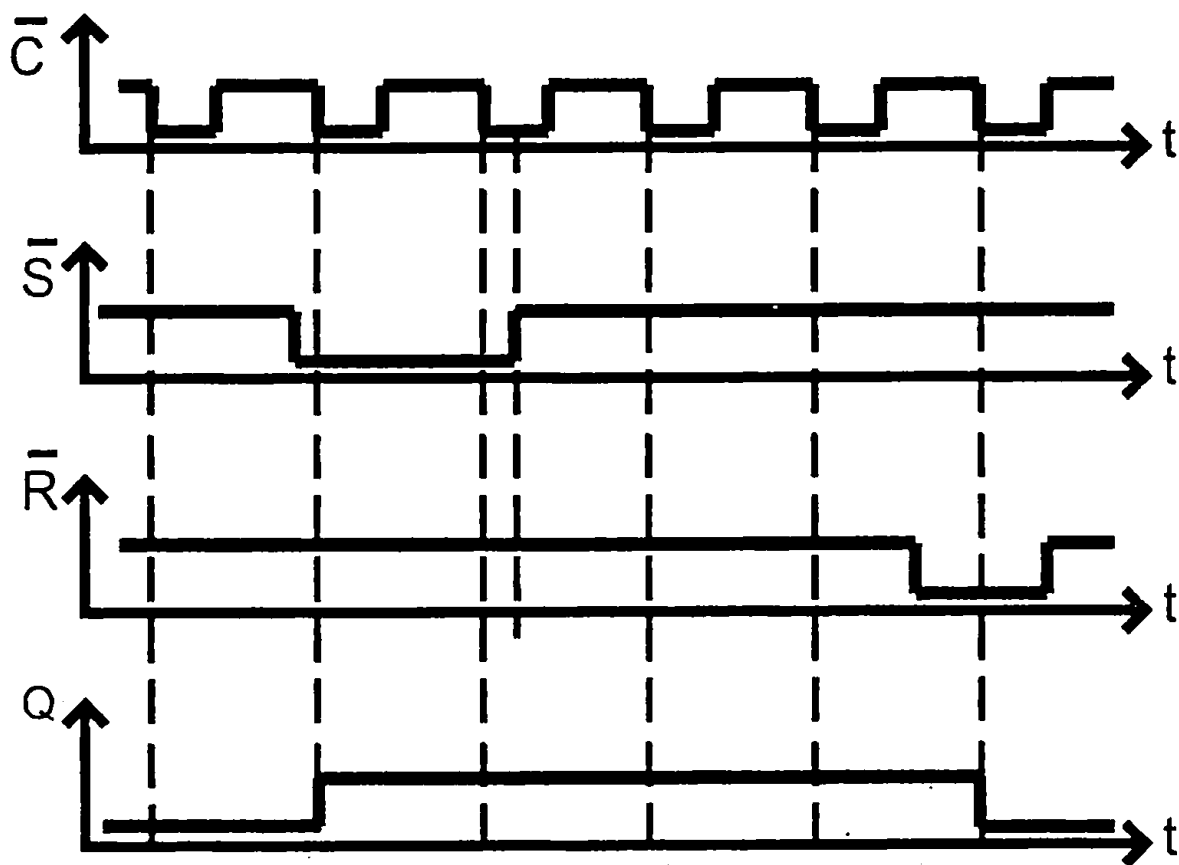


Рис. 3.8

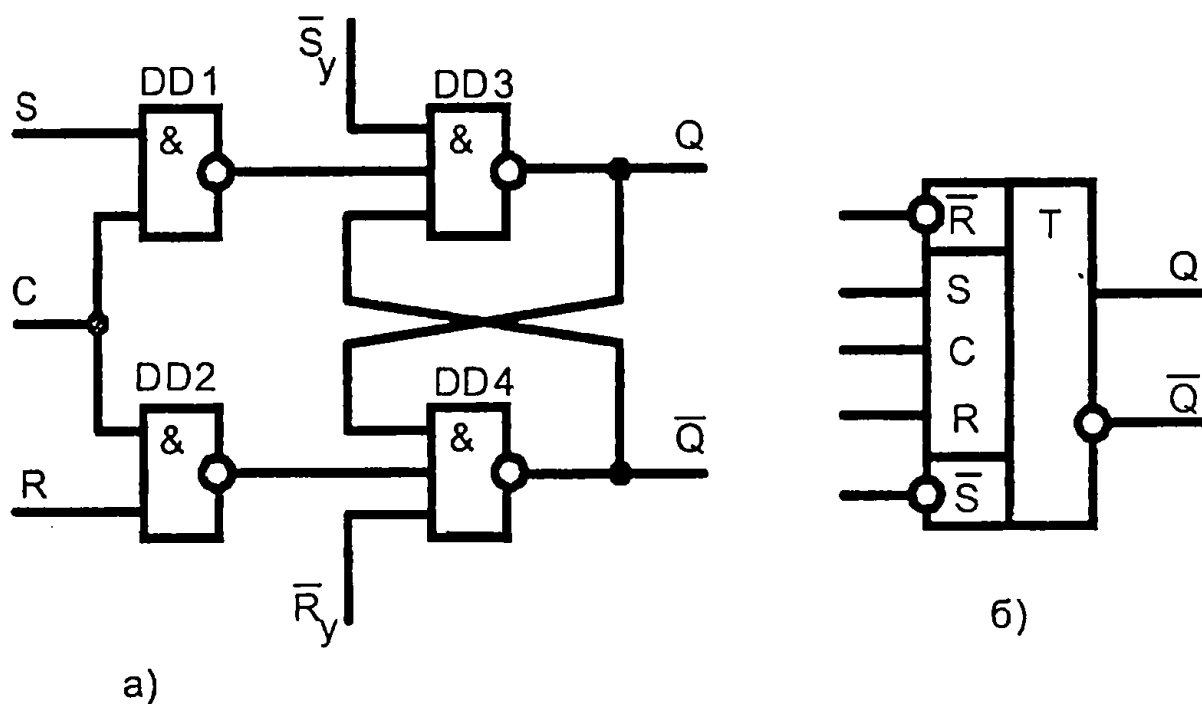


Рис. 3.9

При использовании для построения синхронного RS -триггера однотипных логических элементов (I -НЕ либо ИЛИ-НЕ) его синхронные либо асинхронные входы управляются различными активными логическими уровнями. В случае элементов I -НЕ для синхронных входов активным является сигнал логической единицы, а для асинхронных входов активным является сигнал логического 0. Условное графическое обозначение RS -триггера с прямыми информационными и инверсными установочными входами показано на рис. 3.9, б.

3.1.2. D -триггеры

D -триггер или триггер задержки передает информацию со входа на выход при появлении синхронизирующего импульса. Поэтому момент смены информации на выходе задержан относительно момента смены на входе на время прихода синхросигнала. D -триггер имеет один информационный вход. Поскольку смена информации в D -триггере происходит по синхросигналу, то этот триггер может быть только синхронным. Его также называют тактируемым.

D -триггер может быть построен по различным схемам (рис. 3.10). Его можно получить из синхронного RS -триггера дополнением инвертора $DD5$.

При $C = 0$ (активном сигнале для логических элементов I , I -НЕ) на входах синхронных RS -триггеров устанавливаются сигналы, соответствующие режиму хранения информации. Это логическая 1 на выходах схем I -НЕ на рис. 3.10, а, б и логический 0 на выходах ЛЭ I на рис. 3.10, в. D -триггер сохраняет прежнюю информацию:

$$Q_{n+1} = Q_n \text{ при } C = 0.$$

При подаче на вход синхронизации уровня $C = 1$ информация на выходе будет зависит от сигнала, подаваемо-

3. Функциональные узлы цифровых устройств

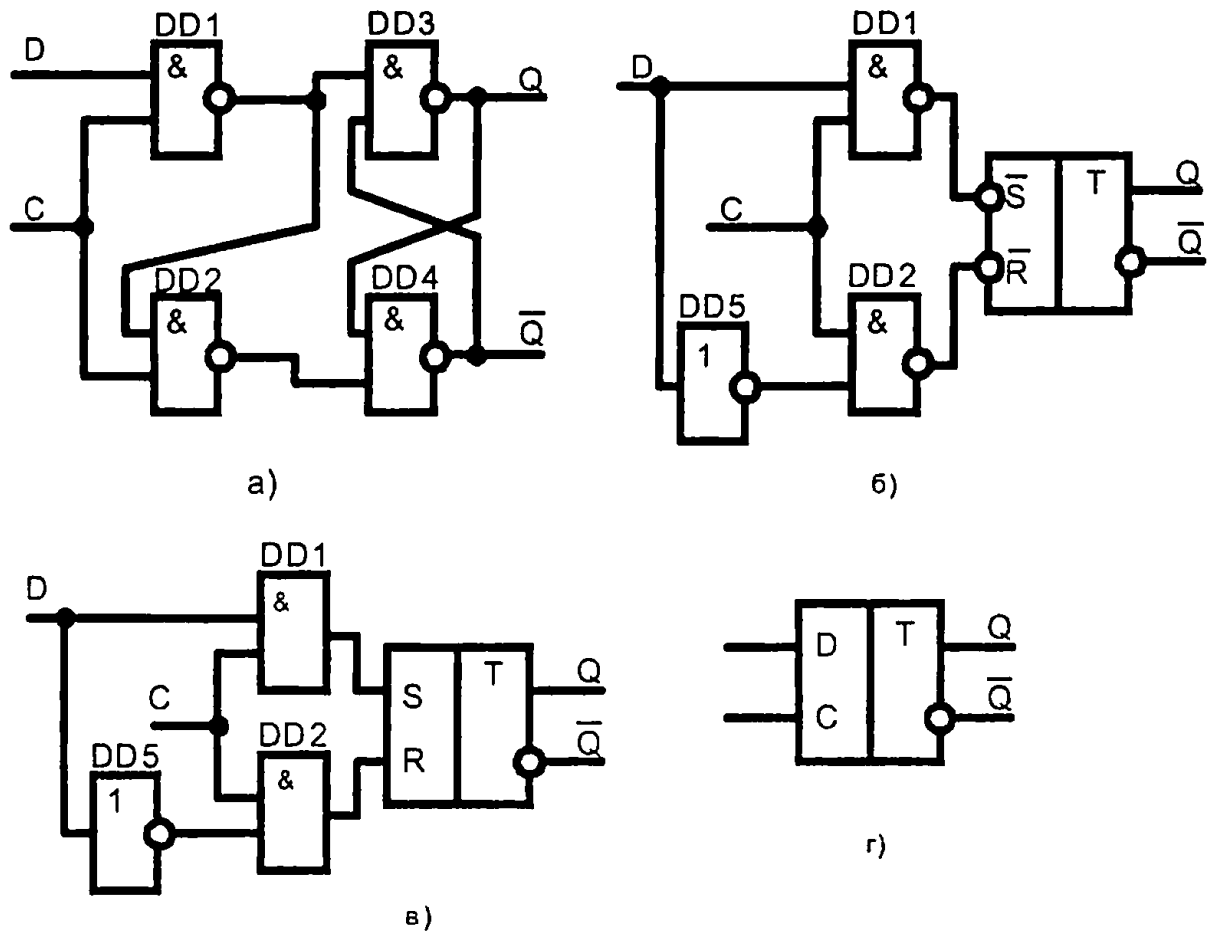


Рис. 3.10

го на вход D . Следует отметить, что на ЛЭ $DD1, DD2$ со входа D всегда поступают противофазные сигналы. Это объясняется наличием инвертора $DD5$ на рис. 3.10, б, в, либо соединением выхода ЛЭ И-НЕ $DD1$ со входом ЛЭ И-НЕ $DD2$ на рис. 3.10, а. Поэтому запрещенных комбинаций на входах асинхронного RS -триггера не возникает. Записываемая в триггер информация определяется уравнением

$$Q_{n+1} = D \text{ при } C = 1.$$

Если $D = 1$, то на выходе устанавливается единица, а при $D = 0$ имеем $Q_{n+1} = 0$.

Функционирование D -триггера определяется таблицей 3.6 и описывается логическим выражением

$$Q_{n+1} = \bar{C}Q_n \vee CD. \quad (3.9)$$

Таблица 3.6

Таблица истинности *D*-триггера

<i>C</i>	<i>D</i>	Q_{n+1}
0	0	Q_n
0	1	Q_n
1	0	0
1	1	1

После окончания синхроимпульса *D*-триггер сохраняет записанную информацию.

Временные диаграммы тактируемого *D*-триггера показаны на рис. 3.11.

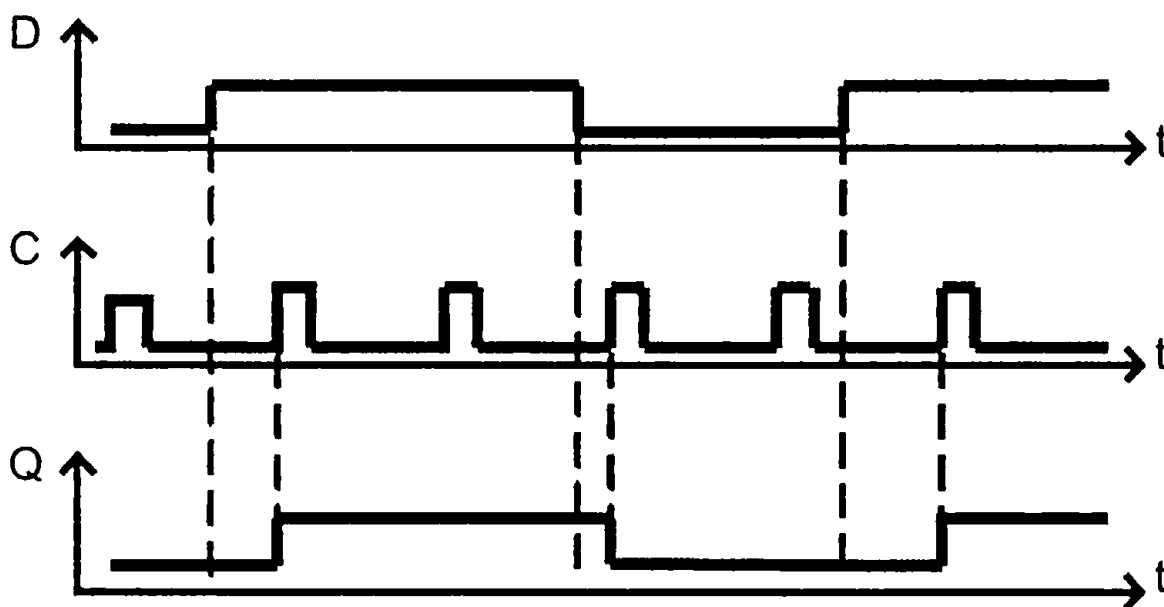


Рис. 3.11

Из рис. 3.11 видно, что задержка на выходе происходит на один такт по отношению ко входной информации. Тогда в триггер записываются данные со входа *D*.

Отметим, для устойчивой работы *D*-триггера необходимо, чтобы в течение синхроимпульса информация на входе была неизменной, т. е. необходим защитный интервал времени, равный длительности синхроимпульса.

3.1.3. Счетный T-триггер

T-триггер — это триггер со счетным входом. Он имеет один информационный вход. При приходе активного сигнала T-триггер меняет свое состояние на противоположное и сохраняет предыдущее значение при отсутствии сигнала на входе.

Функционирование T-триггера описывается логическим выражением

$$Q_{n+1} = Q_n \bar{T} \vee \bar{Q}_n T. \quad (3.10)$$

Таблица 3.7

Таблица истинности T-триггера

T	Q _{n+1}
0	Q _n
1	\bar{Q}_n

Для обеспечения такого режима функционирования необходимо обеспечить обратную связь с выхода на вход. Соответственно, T-триггер может быть построен по схемам, представленным на рис. 3.12. Видно, что для этого используются другие триггеры RS, D.

Временные диаграммы работы T-триггера показаны на рис. 3.13.

Структуры на рис. 3.12 правильно отражают работу T-триггера, но на практике они зачастую оказываются неработоспособны. Причина заключается в обратных связях, т. к. выход передает на вход записанную ранее информацию. Выходной элемент памяти одновременно является и приемником новой информации, и источником (памятью) предыдущей.

Триггер принимает новую информацию и сразу же передает ее по цепи обратной связи на вход. В результате, возможна ситуация, что триггер вновь переключится.

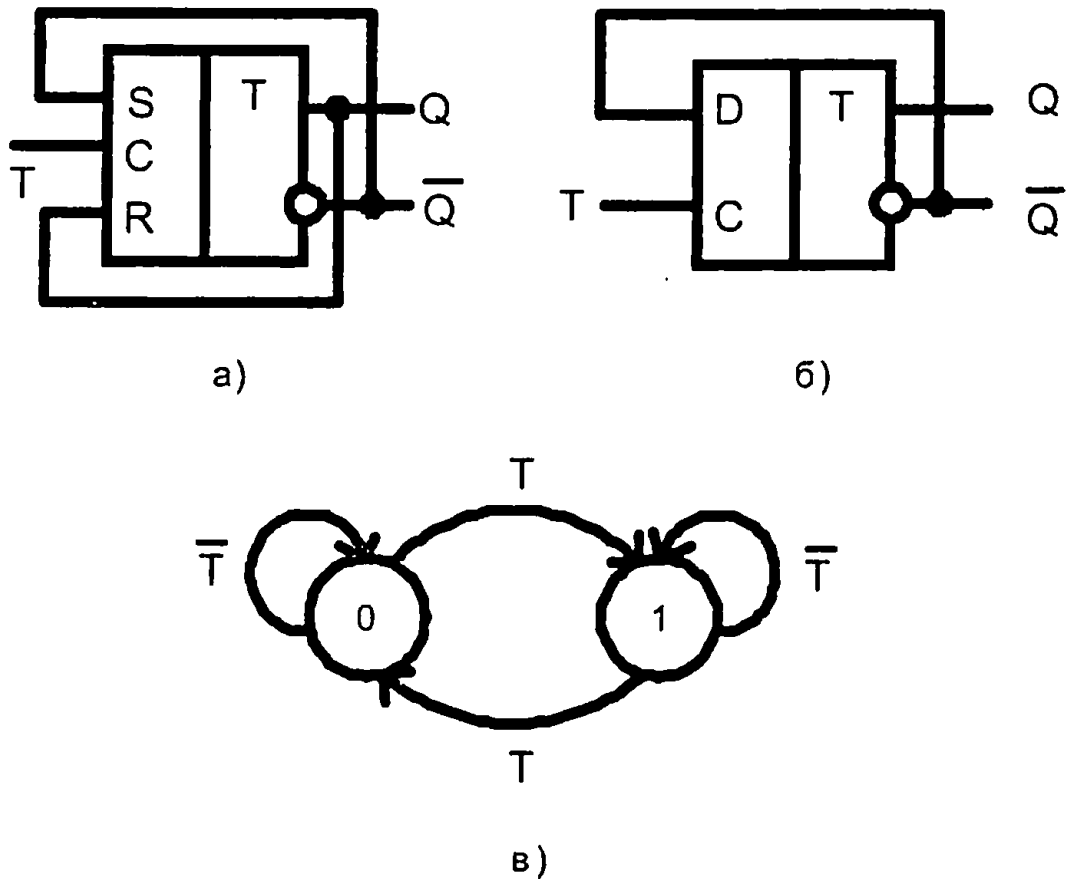


Рис. 3.12

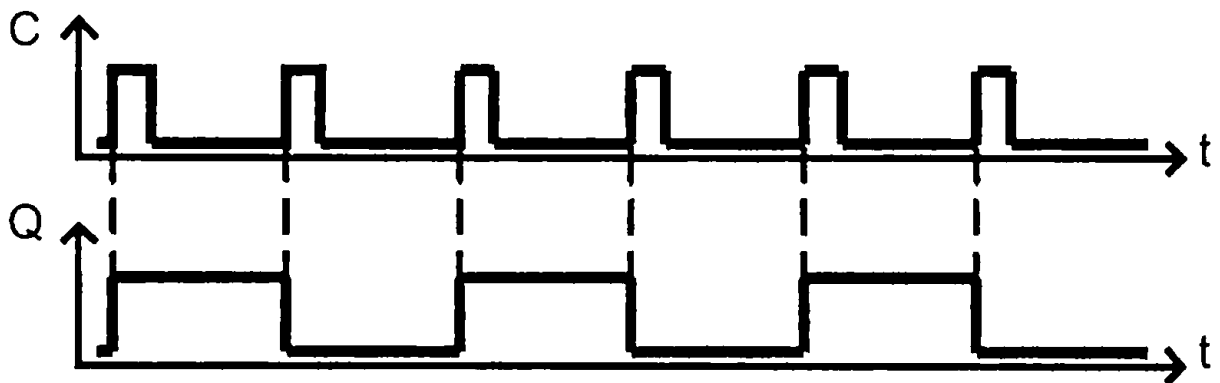


Рис. 3.13

Этого можно избежать ограничением длительности управляющего сигнала на входе T , однако, быстродействие, как правило, высоко, и такая мера малоэффективна. Введение в цепи обратных связей дополнительных линий задержки также не всегда приводит к желаемому результату. Передавая сигнал по цепи обратной связи, триггер может превратиться в генератор незатухающих колебаний.

3. Функциональные узлы цифровых устройств

Более эффективно такая задача решается в триггерах с динамическим управлением, которые реагируют на фронт импульса, т. е. переключение происходит в течение короткого интервала времени, и в двухступенчатых триггерах, разделяющих процесс записи новой информации и передачи ее на выход.

T-триггеры широко используются в различных цифровых устройствах в качестве делителей частоты и двоичных счетчиков. Действительно, из рис. 3.12 видно, что период следования импульсов на выходе увеличивается в два раза, соответственно, частота уменьшается также в 2 раза.

3.1.4. Триггеры с динамическим управлением

В триггерах с динамическим управлением срабатывание происходит по фронту синхронизирующего сигнала. Поэтому процессы, связанные с переключением, происходят в течение короткого времени вблизи фронта сигнала на синхронизирующем входе только при перепаде тактового сигнала.

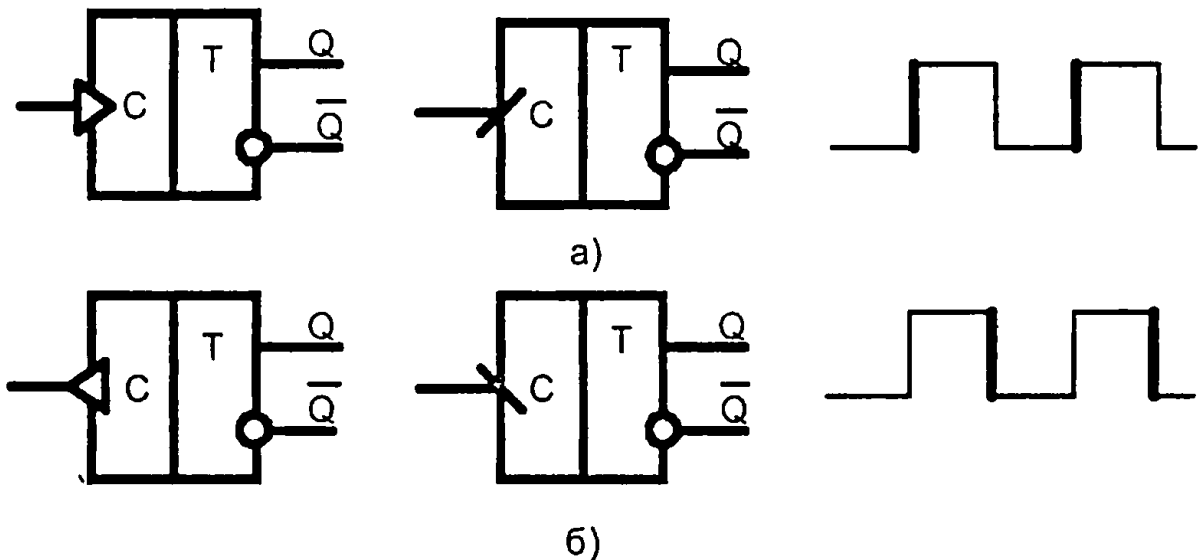


Рис. 3.14

Переключение триггера может происходить при положительном фронте сигнала, тогда этот вход называется

прямым динамическим входом (рис. 3.14, а), либо при отрицательном — инверсный динамический вход (рис. 3.14, б). Положительный фронт означает изменение с нулевого значения на единичное, отрицательный фронт — с логической 1 в логический 0.

Работу такой схемы удобно рассмотреть на примере шестиэлементного триггера (рис. 3.15), которая получила название — схема «трех триггеров». Элементы $DD2, DD3, DD5, DD6$ образуют синхронный RS -триггер с управлением по уровню сигнала. Входы \bar{S} и \bar{R} — статические инверсные. Элементы $DD1, DD4$ обеспечивают срабатывание триггера только при положительном перепаде на прямом динамическом входе C . Они образуют два дополнительных триггера. Отсюда название «схема трех триггеров».

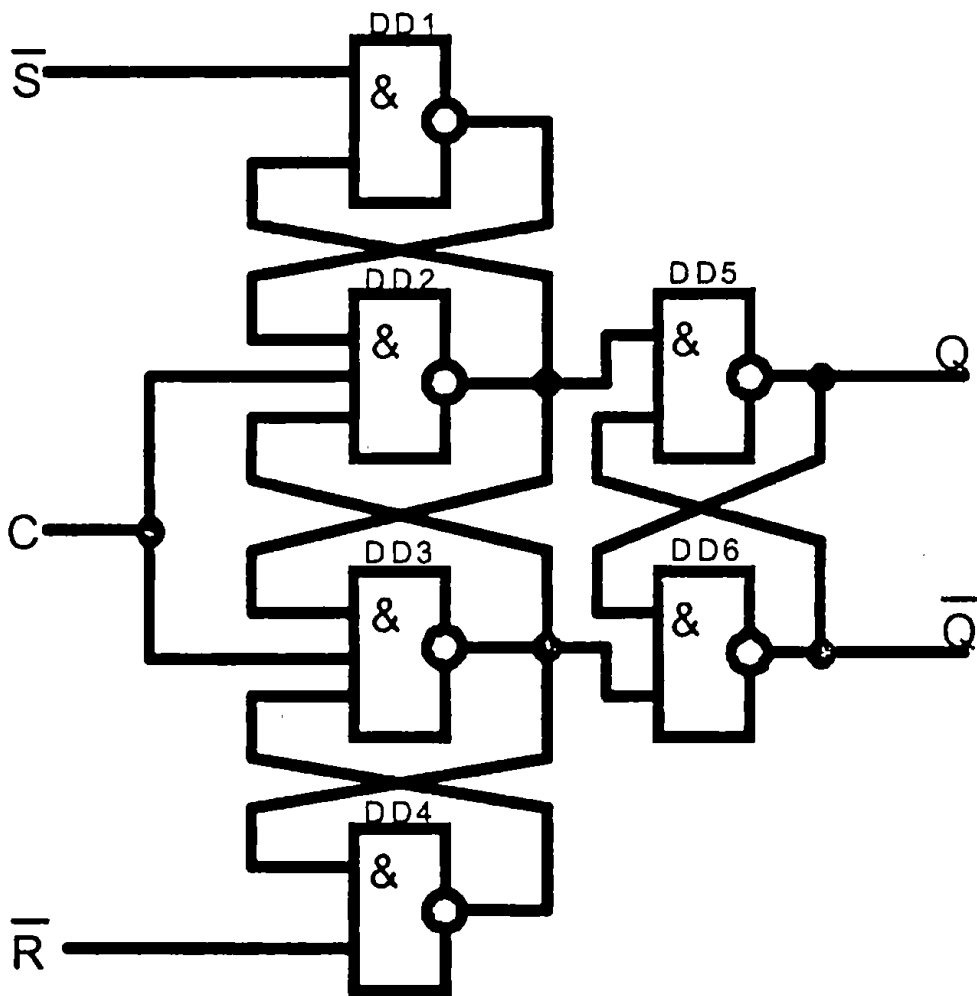


Рис. 3.15

3. Функциональные узлы цифровых устройств

При нулевом уровне на входе $C = 0$ на выходах элементов $DD2, DD3$ устанавливается логическая 1, что соответствует режиму хранения предыдущего состояния асинхронным RS -триггером $DD5, DD6$ независимо от сигналов на других входах.

Если поступает на синхронизирующий вход 1, то процессы зависят от состояния на входах S и R . При $\bar{S} = \bar{R} = 1$ на выходах $DD1, DD4$ — логический 0, который, поступая на входы $DD2, DD3$, поддерживает единичном состоянии выходы $DD2, DD3$. Асинхронный RS -триггер $DD5, DD6$ хранит предыдущий сигнал.

Если какой-либо из асинхронных входов $\bar{S} = 0$ (либо $\bar{R} = 0$) находится в нулевом состоянии, то соответствующая схема 2И-НЕ $DD1$ (либо $DD4$) переходит в состояние логической единицы. Тогда на одном из элементов $DD2$ (либо $DD3$) появляется логический ноль. Асинхронный RS -триггер $DD5, DD6$, устанавливается в заданное состояние логической единицы (либо логического нуля).

При $S = 0 \rightarrow Q(DD1) = 1 \rightarrow Q(DD2) = 0 \rightarrow Q(DD5) = 1$.

При $\bar{R} = 0 \rightarrow Q(DD4) = 1 \rightarrow Q(DD3) = 0 \rightarrow Q(DD5) = 0$.

Строго говоря, переключение происходит не непосредственно по фронту или срезу импульса синхронизации. Для гарантированного срабатывания входные сигналы \bar{S}, \bar{R} должны оставаться без изменения в течение короткого интервала при изменении сигнала синхронизации. Длительность этого интервала определяется временами задержки в логических элементах и равна $2t_{зад}$, где $t_{зад}$ — время задержки в одном логическом элементе.

Отметим, что триггер с динамическим управлением не чувствителен к изменению сигналов на информационных входах при постоянном уровне на синхронизирующем входе $C = 1$ либо $C = 0$. Переключение происходит только при логическом перепаде.

На основе шестиэлементного триггера (рис. 3.15) строятся триггеры *D*, *T*, *JK*. Динамические триггеры свободны от недостатков, присущих статическим триггерам.

3.1.5. Двухступенчатые триггеры

Триггеры с двухступенчатым запоминанием информации состоят из двух триггерных структур. Одна называется ведущий триггер, другая — ведомый триггер (рис. 3.16).

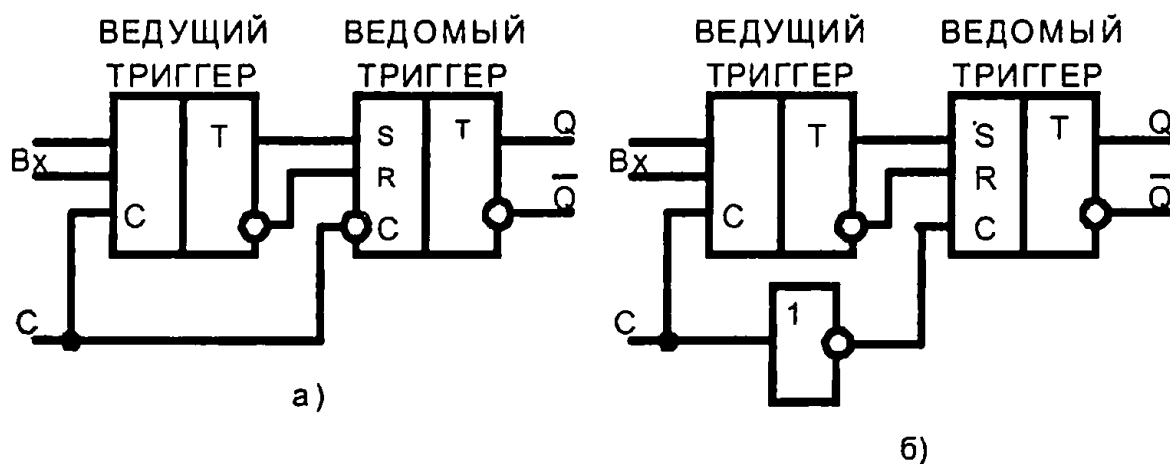


Рис. 3.16

Оба триггера — синхронные, но имеют противоположные синхровходы. На рис. 3.16 ведущий триггер срабатывает при $C = 1$, имеет прямой синхронизирующий вход, а ведомый при $C = 0$ — инверсный синхронизирующий вход.

На первом этапе, когда происходит запись информации в ведущий триггер, ведомый отключен, продолжает сохранять предыдущее состояние. Когда снят активный уровень с синхровхода ведущего триггера, происходит перезапись информации в ведомый триггер. Таким образом, происходит поэтапная запись информации благодаря управлению инверсными логическими уровнями.

В двухступенчатом триггере устраняется противоречие между процессами хранения старой и приема новой информации. Это дает возможность построения синхронных

3. Функциональные узлы цифровых устройств

автоматов без опасных временных состояний, исключить предпосылки к режиму генерации. Позволяет обеспечить высокую надежность функционирования триггеров с внутренними цепями обратной связи. В то же время схемы этих триггеров более сложные, чем схемы триггеров с динамическим входом, а быстродействие ниже.

Часто двухступенчатый триггер называют *MS*-триггером от английских слов «*master*» и «*slave*» — хозяин и раб. На принципиальных схемах двухступенчатые триггеры обозначаются сдвоенной буквой (*TT*) рис. 3.17.

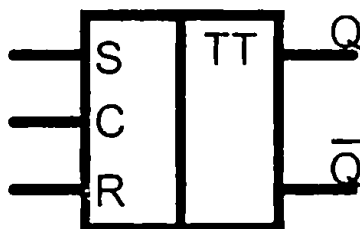


Рис. 3.17

По структуре двухступенчатого триггера могут быть построены любые типы триггеров.

3.1.6. *JK*-триггер

JK-триггеры — это двухступенчатые универсальные синхронные триггеры. Универсальность заключается в том, что на их основе можно сделать любой другой тип логических триггеров *RS*, *D*, *T*.

Вход *J* аналогичен входу *S* уже рассмотренного *RS*-триггера, т. е. устанавливает в единичное состояние

$$Q = 1 \text{ при } J = 1.$$

Вход *K* устанавливает *JK*-триггер в нулевое состояние, т. е. аналогичен входу *R*.

$$Q = 0 \text{ при } K = 1.$$

При $K = 0$ и $J = 0$ в JK -триггере сохраняется предыдущее состояние: $Q_{n+1} = Q_n$.

Отличие от RS -триггера заключается в том, что JK -триггер не имеет запрещенных входных комбинаций. Если на оба входа J и K подать активный логический уровень, то триггер перейдет в состояние, противоположное предыдущему: $Q_{n+1} = \bar{Q}_n$ при $J = K = 1$.

Входной сигнал зависит не только от состояния входных сигналов, но и от предыдущего состояния JK -триггера. Таблица 3.8 переходов RS -триггера показана при условии, что активным уровнем является логическая единица.

Таблица 3.8

Таблица переходов JK -триггера

J	K	C	Q_{n+1}
-	-	0	Q_n
0	0	1	Q_n
1	0	1	1
0	1	1	0
1	1	1	\bar{Q}_n

Из таблицы 3.8 получаем аналитическое выражение, описывающее работу JK -триггера

$$Q_{n+1} = C(J\bar{Q}_n \vee \bar{K}Q_n) \vee \bar{C}Q_n, \quad (3.11)$$

или

$$\begin{aligned} \cdot Q_{n+1} &= J\bar{Q}_n \vee \bar{K}Q_n \text{ при } C = 1; \\ Q_{n+1} &= Q_n \text{ при } C = 0. \end{aligned}$$

Анализ работы показывает, что JK -триггер должен содержать цепи обратной связи. Поэтому структурная схема строится на основе двухступенчатого триггера с динамическим входом (рис. 3.18).

Схема содержит два асинхронных RS -триггера, комбинационную схему управления на элементах И $DD1-DD4$ и инвертор НЕ $DD5$.

3. Функциональные узлы цифровых устройств

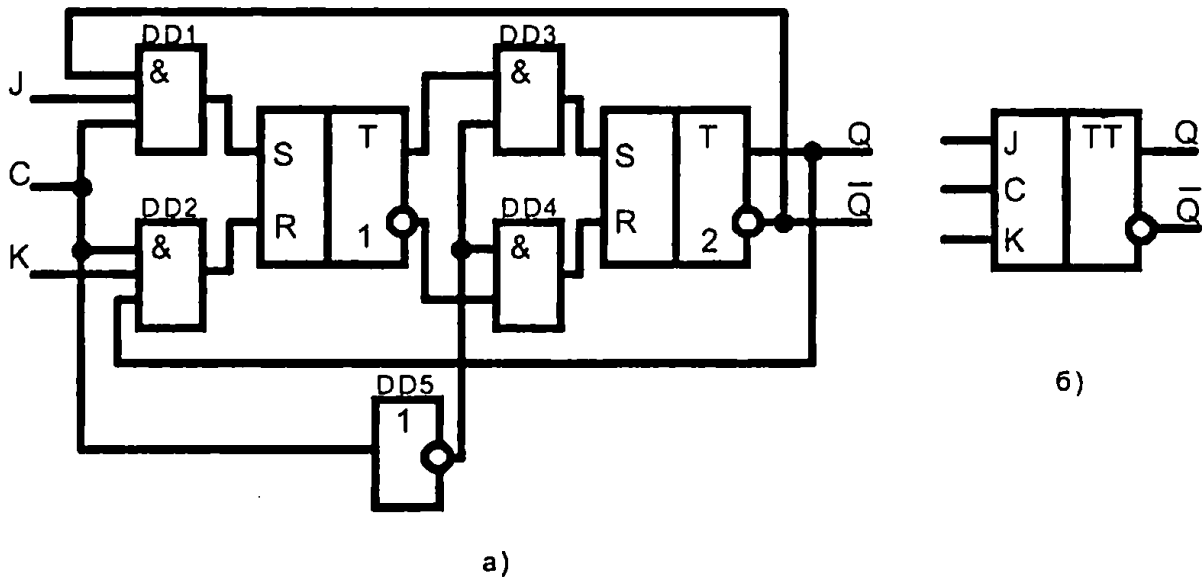


Рис. 3.18

При уровне логического 0 на входе C первый RS -триггер не реагирует на сигналы входов J и K . При подаче на вход $C = 1$ уровня логической единицы связь между RS -триггерами обрывается, т. к. элементы И $DD3$ – $DD4$ устанавливаются в нулевое состояние. При этом первый RS -триггер 1 устанавливается в состояние, определяемое выражением (3.11). Подача вновь сигнала $C = 0$ на синхровход JK -триггера приводит к отключению первого RS -триггера от входных сигналов из-за элементов $DD1$, $DD2$. Однако, при $C = 0$ через инвертор $DD5$ на входы элементов $DD3$, $DD4$ поступает логическая единица и состояние первого RS -триггера перезаписывается во второй.

С выходов Q, \bar{Q} триггера по цепи обратной связи на выходы элементов ЗИ-НЕ $DD1$, $DD2$ всегда поступают противоположные сигналы, тем самым исключается появление на входах первого асинхронного RS -триггера запрещенной комбинации.

На рис. 3.18, б показано условное изображение JK -триггера.

Как уже отмечалось, на основе JK -триггера может быть построен любой другой триггер (рис. 3.19). На рис. 3.19, а —

синхронный RS -триггер, на рис. 3.19, б — D -триггер, на рис. 3.19, в — синхронный T -триггер, на рис. 3.19, г — асинхронный T -триггер.

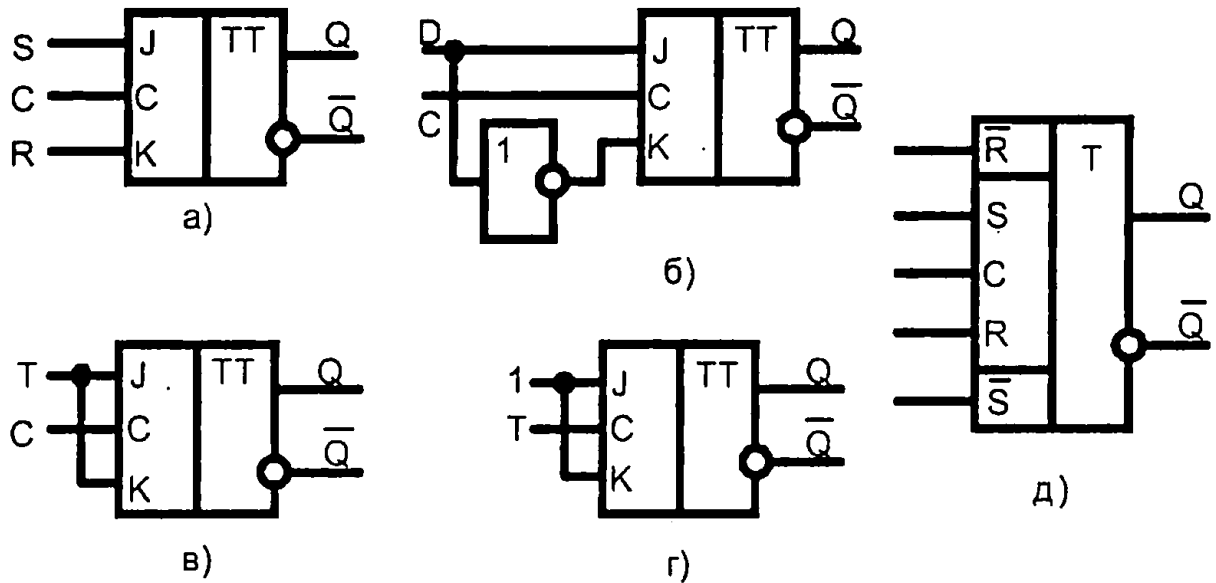


Рис. 3.19

JK -триггер, как и другие типы триггеров, может дополнительно иметь входы начальной установки (рис. 3.19, д), которые являются инверсными по отношению ко входам J, K .

JK -триггеры — это более сложные триггеры, содержат большее число элементов, поэтому потребляемая мощность $P_{пот}$ оказывается большой. Меры, принимаемые к уменьшению потребляемой мощности, нередко приводят к ухудшению частотных свойств. JK -триггер вследствие своей универсальности и отсутствия запрещенных комбинаций находит широкое применение в цифровой технике.

3.2. Регистры

Регистром называется последовательностное устройство, предназначенное для записи, хранения и (или) сдвига информации, представленной в виде многоразрядного двоичного кода (от английского — *Register*).

3. Функциональные узлы цифровых устройств

Из определения вытекает, что регистры должны содержать элементы памяти и, следовательно, строятся на триггерах. Также в регистрах используются вспомогательные элементы в виде комбинационных схем для управления работой триггеров.

В регистрах выполняются следующие операции:

- ♦ ввод и вывод хранимой информации;
- ♦ хранение информации;
- ♦ сдвиг хранимой информации вправо либо влево на определенное число разрядов;
- ♦ преобразование кода числа из последовательного в параллельный и наоборот.

Регистры также могут использоваться в различных устройствах для организации обработки чисел, выполнения над ним различных преобразований.

Основная функция регистра — хранение многоразрядного числа, которое представлено в двоичной системе счисления. Таким образом, для хранения n -разрядного двоичного числа регистр должен содержать n -триггеров.

По способу приема информации регистры подразделяются:

- ♦ параллельные — информация записывается и считывается только в параллельной форме;
- ♦ последовательные, которые также называются сдвигающие (сдвиговые) — запись и считывание информации происходит только в последовательной форме;
- ♦ последовательно-параллельные, такие универсальные регистры можно использовать для преобразования кода из параллельного в последовательный и наоборот.

По числу каналов передачи информации регистры подразделяются:

- ♦ однофазные — информация вводится либо в прямом, либо в обратном коде;
- ♦ парафазные — одновременно и в прямом, и в обратном кодах.

При этом как входная, так и выходная информация может быть представлена как в прямом, так и инверсном входе.

По способу тактирования (синхронизации) регистры подразделяют:

- ♦ одноктактные, синхронизируемые одной управляющей последовательностью;
- ♦ двуктактные;
- ♦ многотактные, управляемые несколькими последовательностями импульсов.

Сдвиговые регистры могут быть однонаправленные, когда записанную информацию сдвигают только в одном направлении, и двунаправленные, в которых информация сдвигается как вправо, так и влево. Для таких регистров предусматривается специальный вход включения режима направления сдвига.

В отечественных сериях микросхем регистры определяют по буквам ИР — функциональное назначение, например, 555ИР8, К561ИР2. Первая буква И соответствует подгруппе «Схемы арифметических и дискретных устройств». На принципиальных схемах регистры обозначают буквами *RG* (рис. 3.20, в).

Чаще всего регистры строят на основе *D* и *JK*-триггеров.

3.2.1. Параллельный регистр

В параллельных регистрах прием и выдача двоичных слов осуществляется по всем разрядам одновременно. Поэтому триггеры, соответствующие разным разрядам не связаны между собой (рис. 3.20).

Каждый триггер в параллельном регистре имеет свои независимые входы и выходы. Тактовые входы всех триггеров соединены между собой.

Подавая на входы *RS*- триггеров (рис. 3.20, а) паразитные сигналы, в регистр записывается двоичный код. При $x_i = 1$ ($\bar{x}_i = 0$) активный сигнал воздействует на *S* вход

3. Функциональные узлы цифровых устройств

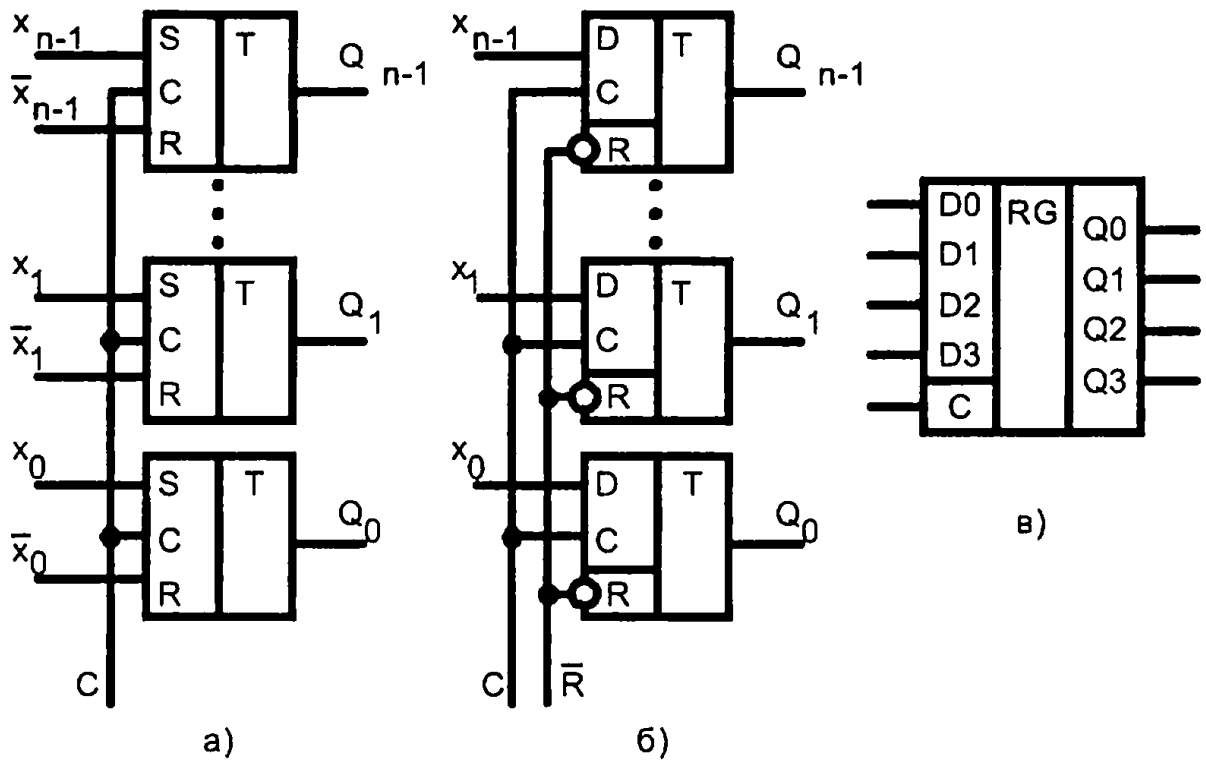


Рис. 3.20

и триггер устанавливается в единичное состояние. При $x_i = 0$ ($\bar{x}_i = 1$) логическая единица поступает на R вход и триггер устанавливается в состояние 0. Следовательно, состояния регистров определяется поступающими на входы сигналами. Запись входного входа происходит во время прихода синхроимпульса на вход C .

Если для записи в данном регистре используется только прямой или только обратный входной код, то запись информации выполняется за два такта синхронизации. По первому такту необходимо сбросить или установить все триггеры регистра подачей на соответствующие входы активного логического уровня, а по второму — записать в регистр новую информацию.

На рис. 3.20, б параллельный регистр построен на D -триггерах: одноканальный регистр с однофазным входом. В таком регистре при уровне логической 1 на C -синхровходе все триггеры устанавливаются в состояния, определяемые действующим на D -входах входными сигналами. Для за-

писи информации необходим только один импульс синхронизации. Дополнительный вход \overline{R} начальной установки переводит все триггеры в нулевые состояния одним управляющим импульсом.

На рис. 3.20, в показано условное графическое обозначение четырехразрядного параллельного регистра. Этот триггер имеет четыре однофазных прямых входа $D0, D1, D2, D3$, четыре соответствующих выхода $Q0, Q1, Q2, Q3$ и вход синхронизации C .

Параллельные регистры могут иметь дополнительно вспомогательные комбинационные схемы, которые расширяют функциональные возможности. Они используются для установки начального состояния, режима приема, хранения либо выдачи информации, реализуют запись с двух направлений и т. д.. В этом случае регистр имеет соответствующие входы.

3.2.2. Сдвиговые регистры

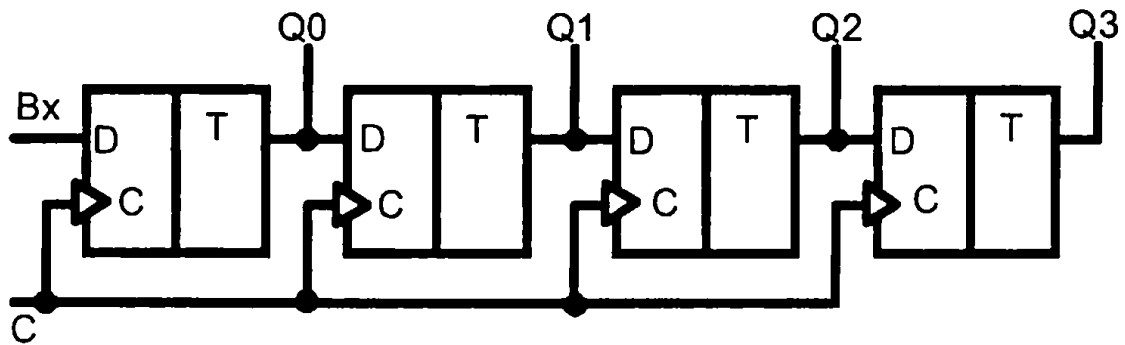
В сдвиговом (последовательном) регистре триггеры соединены последовательно, т. е. выходы предыдущего триггера передают информацию на входы последующего. Простейший однофазный сдвиговой регистр на D -триггерах изображен на рис. 3.21, а.

Управление осуществляется фронтом синхронизирующего сигнала, который является общим для всех триггеров. Пусть триггеры регистра находятся в состоянии: $Q0 = 1, Q1 = 0, Q2 = 1, Q3 = 1$. Предположим, что на вход поступает нулевая информация. При отсутствии синхроимпульса в регистре хранится информация без изменения. В момент положительного фронта синхронизирующего сигнала каждый из триггеров устанавливается в состояние, соответствующее действовавшему на входе D сигналу:

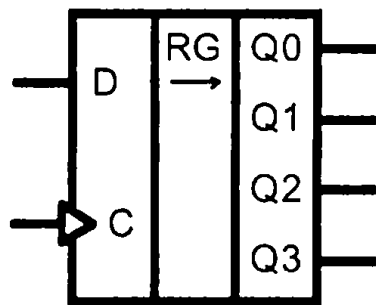
- ♦ по первому тактовому импульсу:
лог. 1 из $Q0$ в $Q1$, лог. 0 из $Q1$ в $Q2$; лог. 1 из $Q2$ в $Q3$;

3. Функциональные узлы цифровых устройств

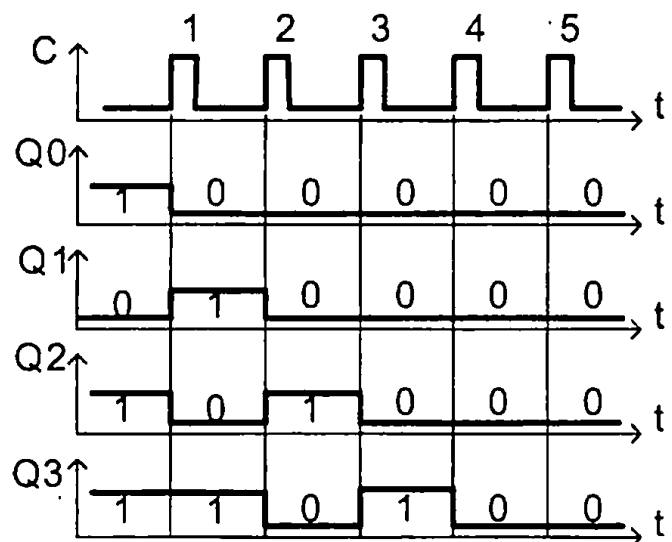
- ♦ по второму тактовому импульсу:
лог. 0 из $Q0$ в $Q1$, лог. 1 из $Q1$ в $Q2$; лог. 0 из $Q2$ в $Q3$;
- ♦ по третьему тактовому импульсу:
лог. 0 из $Q0$ в $Q1$, лог. 0 из $Q1$ в $Q2$; лог. 1 из $Q2$ в $Q3$.



а)



б)



в)

Рис. 3.21

Работу сдвигового регистра можно проиллюстрировать рис. 3.21, в и таблицей 3.9, в которых приведено содержимое регистров при выполнении последовательных сдвигов вправо.

Суть сдвига состоит в том, что логическая переменная (1 либо 0), записанная в i -разряде, передается в соседний справа ($i + 1$) разряд. В крайний левый разряд заносится

Таблица 3.9

Таблица состояний сдвигового регистра

Номер разряда	$Q0$	$Q1$	$Q2$	$Q3$
1 такт	1	0	1	1
	→	→	→	→
	0	1	0	1
2 такт	0	1	0	1
	→	→	→	→
	0	0	1	0
3 такт	0	0	1	0
	→	→	→	→
	0	0	0	1

число, подаваемое с внешнего входа. Из крайнего правого разряда двоичный код последовательно поступает из регистра во внешнюю цепь. В настоящем случае — выход $Q3$.

Для осуществления сдвига влево необходимо в сдвиговом регистре ввести элементы, изменяющие направление передачи информации, т. е. изменить связи между триггерами, подключая выход триггера ко входу соседнего слева разряда. На рис. 3.22. показан пример с использованием элементов И-ИЛИ-НЕ, изменяющих направление передачи сигнала.

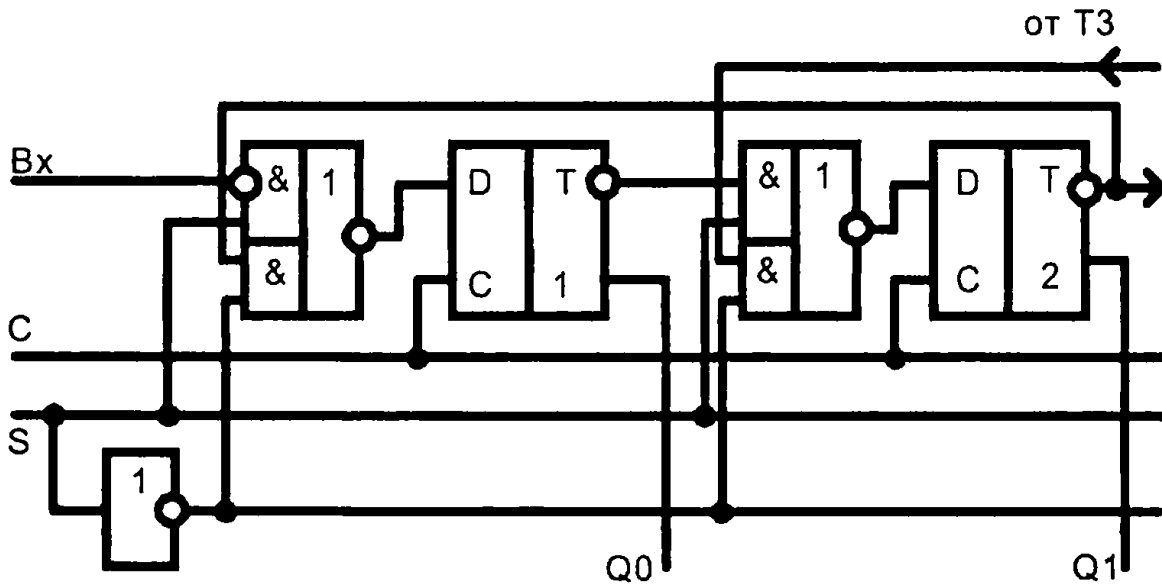


Рис. 3.22

3. Функциональные узлы цифровых устройств

При $S = 1$ открываются верхние по схеме элементы I , осуществляется передача сигнала в регистр из левого триггера в правый. При $S = 0$ открываются нижние по схеме элементы I , информация сдвигается влево. На рис. 3.22 показан фрагмент схемы регистра из двух триггеров и обозначены связи с последующими триггерами.

В сдвиговых регистрах используются только двухступенчатые триггеры или триггеры с динамическим управлением. Это гарантирует сдвиг информации строго на один разряд по каждому импульсу синхронизации. При использовании других триггеров процесс сдвига становится неуправляемым и за один импульс синхронизации кодовое число может быть сдвинуто на несколько разрядов.

При использовании одного входа и только одного выхода двоичное слово вводится в сдвиговый регистр и выводится из него в последовательной форме. Такое представление позволяет уменьшить разрядность шин в цифровом устройстве. С другой стороны, при этом замедляется быстроедействие. Для осуществления ввода либо вывода числа в n -разрядном регистре требуется n -синхронизирующих импульсов по числу триггеров.

На рис. 3.21, а у каждого триггера показан самостоятельный вывод. Через n тактов в n -разрядный регистр последовательно будет записано число, которое может быть затем снято в параллельной форме одновременно с выходов триггеров всех разрядов. Так осуществляется преобразование двоичного кода из последовательной формы в параллельную.

Каждый триггер сдвигового регистра может быть снабжен через вспомогательную комбинационную схему входами начальной установки в любое заданное состояние. Это позволяет осуществить прием числа в параллельной форме. После того как n -разрядное число будет записано в регистр, путем подачи n синхронизирующих импульсов двоичный код в последовательной форме снимается с вы-

хода старшего разряда регистра. Так происходит преобразование параллельного кода в последовательный.

Помимо основного предназначения (хранения двоичного кода, преобразования, сдвига и передачи на выход) регистры также используются для выполнения и других функций. На их основе строятся такие устройства: линии задержки на заданное число тактов, накапливающие сумматоры, формирователи импульсов большей длительности, генераторы псевдослучайных последовательностей. Регистры применяются в арифметическо-логических устройствах в качестве узлов, выполняющих различные логические операции.

3.3. Кодирующие устройства

3.3.1. Преобразователи кодов

В цифровых устройствах часто возникает необходимость преобразования информации из одной двоичной системы в другую (из одного двоичного кода в другой). Для представления двоичных систем используются различные виды кодирования: прямой, обратный, дополнительный, двоично-десятичный и т. д. Особая роль отводится корректирующим кодам и кодам, обнаруживающим и исправляющим ошибки. Они удобны для передачи сигналов по линиям связи в условиях воздействия помех.

На аппаратном уровне задачу преобразования информации из одного кода в другой выполняют комбинационные устройства — преобразователи кодов.

Преобразователь кода — комбинационное устройство, предназначенное для изменения вида кодирования информации (английское — *converter*).

На принципиальных схемах преобразователи кодов обозначаются X/Y. В отечественных сериях преобразователи код-код можно определить по буквам ПР. Буква П соответствует подгруппе преобразователей сигналов. На-

3. Функциональные узлы цифровых устройств

пример, 155ПР6 — преобразователь двоично-десятичного кода в двоичный; 155ПР7 — преобразователь двоичного кода в двоично-десятичный (рис. 3.23, а, б). Вход E_0 является входом разрешения выхода.

При проектировании и конструировании преобразователей кодов можно выделить два подхода:

1) метод, основанный на преобразовании исходного двоичного кода в десятичный и последующем преобразовании десятичного представления в требуемый код;

2) метод, основанный на использовании логического устройства комбинационного типа, непосредственно реализующего данное преобразование.

В первом методе каскадно соединяют дешифратор и шифратор. Сами шифраторы и дешифраторы являются частным случаем преобразователей кодов.

Во втором случае, как для любого комбинационного устройства, составляют таблицу истинности и устанавливают однозначное соответствие между подаваемыми на входы и снимаемыми на выходах комбинациями. Далее проводят синтез логического комбинационного устройства в заданном базисе.

Отметим также, что любые преобразования параллельных кодов легко и удобно осуществить на микросхемах постоянной памяти и программируемых логических матрицах.

Рассмотрим пример управления семисегментным светодиодным либо жидкокристаллическим индикатором (рис. 3.23, в).

Такие индикаторы при различных комбинациях светящихся элементов высвечивают цифры от 0 до 9. Для цифры 0 необходимо погасить сегмент g , а остальные должны светиться. Для цифры 1 — светятся сегменты b и c ; сегменты a , d , e , f , g погашены и т. д.. Сегмент будет гореть, если на него будет подано напряжение логического нуля. Сегмент будет погашен, если на него будет подано напряжение логической единицы.

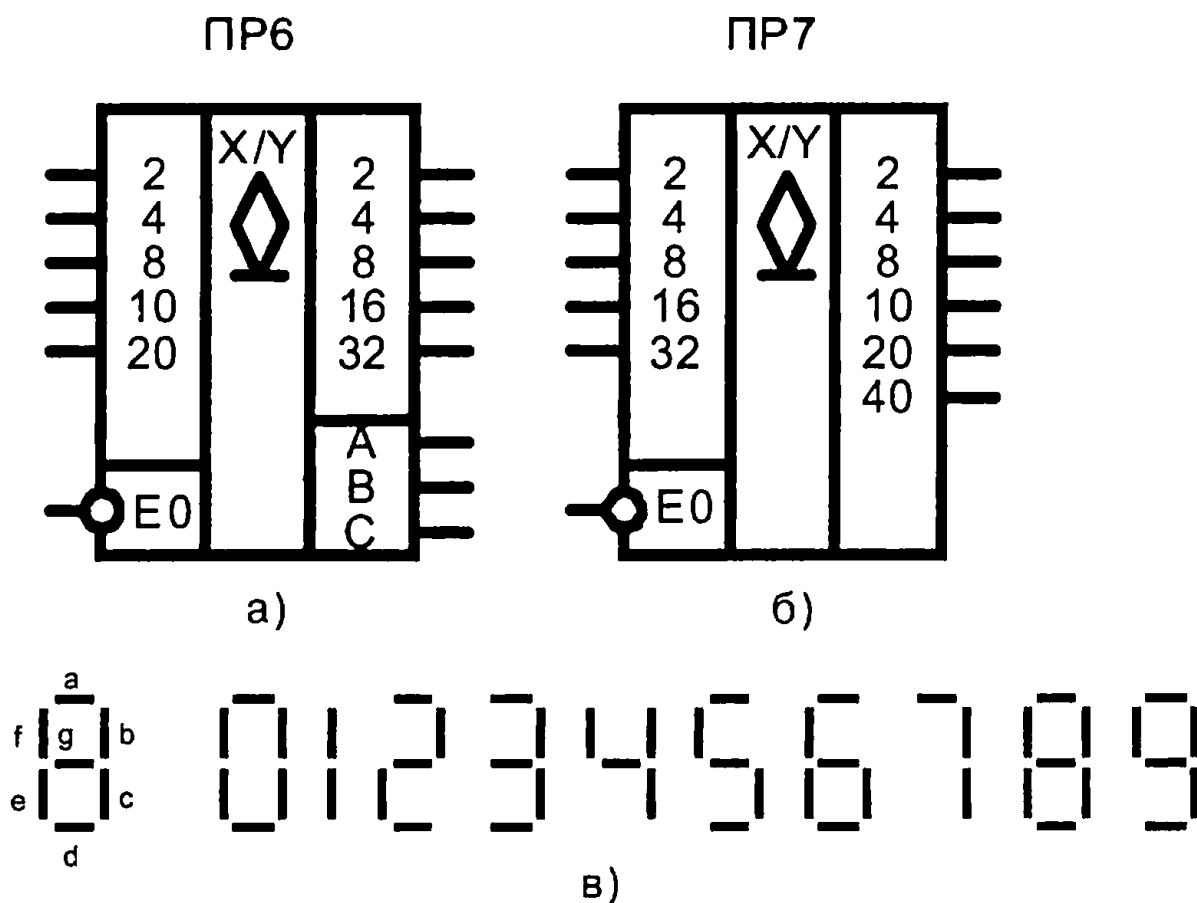


Рис. 3.23

Запишем таблицу истинности для данного преобразования кодов.

Таблица 3.10

Таблица преобразования десятичного кода
в семисегментный

Десятичная цифра	Код 8421				Состояние сегментов						
	X4	X3	X2	X1	a	b	c	d	e	f	g
0	0	0	0	0	0	0	0	0	0	0	1
1	0	0	0	1	1	0	0	1	1	1	1
2	0	0	1	0	0	0	1	0	0	1	0
3	0	0	1	1	0	0	0	0	1	1	0
4	0	1	0	0	1	0	0	1	1	0	0
5	0	1	0	1	0	1	0	0	1	0	0
6	0	1	1	0	0	1	0	0	0	0	0
7	0	1	1	1	0	0	0	1	1	1	1
8	1	0	0	0	0	0	0	0	0	0	0
9	1	0	0	1	0	0	0	0	1	0	0

3. Функциональные узлы цифровых устройств

Синтезируемое комбинационное устройство имеет четыре входа и семь выходов, поэтому для каждого из семи выходов получаем формулу в базисе И-НЕ:

$$\begin{aligned} a &= (\bar{x}_1|\bar{x}_2|\bar{x}_3) |(x_1|\bar{x}_2|\bar{x}_3|\bar{x}_4); \\ b &= (\bar{x}_1|x_2|x_3) |(x_1|\bar{x}_2|x_3); \\ c &= \overline{\bar{x}_1|x_2|\bar{x}_3}; \\ d &= (\bar{x}_1|\bar{x}_2|x_3) |(x_1|\bar{x}_2|\bar{x}_3|\bar{x}_4) |(x_1|x_2|x_3); \\ e &= (x_1|\bar{x}_2|x_3) |\bar{x}_1; \\ f &= (x_1|\bar{x}_2|\bar{x}_3|\bar{x}_4) |(\bar{x}_1|x_2|x_3) |(x_1|x_3); \\ g &= (\bar{x}_1|\bar{x}_2|x_3) |(\bar{x}_2|\bar{x}_3|\bar{x}_4). \end{aligned} \quad (3.12)$$

Полученные формулы (3.12) позволяют без большого труда построить схему преобразователя кода двоичного в семисегментный.

3.3.2. Шифраторы

Шифратор преобразует сигнал, поданный только в один входной провод, в выходной параллельный двоичный код на выходах шифратора. Шифратор также называют кодером (*CD*). Таким образом, подача сигнала на один из входов приводит к появлению на выходах двоичного числа, соответствующего номеру возбужденного входа.

Полный шифратор имеет 2^n входов и n выходов (рис. 3.24, а).

В отечественных схемах шифраторы обозначаются буквами ИВ, например К555ИВ1.

Шифраторы также применяются для преобразования десятичных чисел в двоичную систему счисления (рис. 3.24, б), тогда число входов меньше 2^n , где n — число выходов. Например, шифратор на рис. 3.24, б при возбуждении од-

ного из 10 входов (x_0, x_1, \dots, x_9) формирует на выходах двоичный код номера возбужденной входной линии. Так, при подаче сигнала на вход x_9 на выходах появится код 1001.

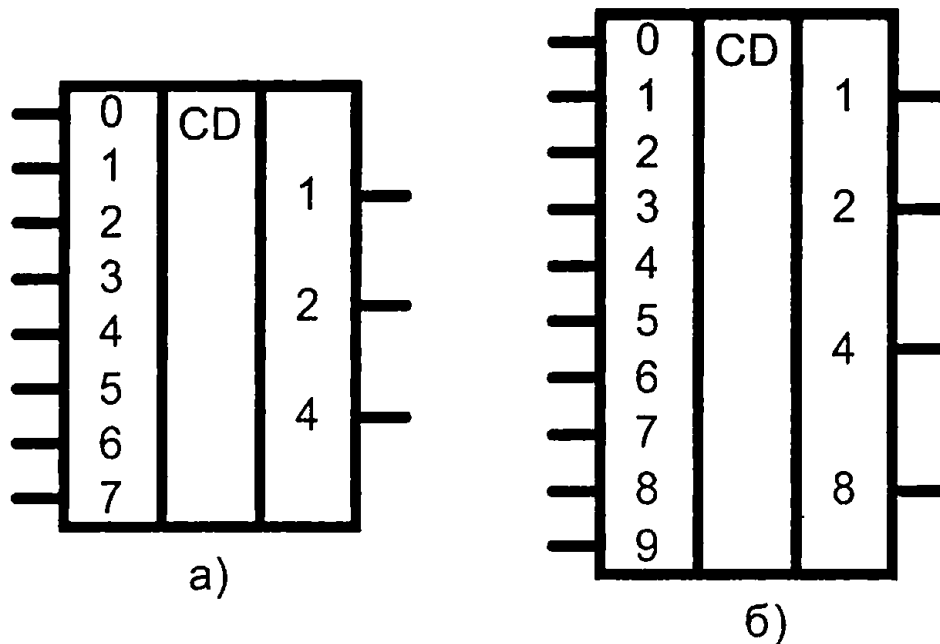


Рис. 3.24

Применение шифраторов приводит к сокращению количества сигналов в цифровых устройствах (линий передачи). Также шифраторы используют в разнообразных устройствах ввода информации в цифровые системы. Рассмотрим таблицу истинности шифратора (рис. 3.24, б), преобразующего десятичные числа 0, 1, 2, ..., 9 в двоичное представление в коде 8421.

Входные и выходные сигналы могут быть как прямыми, так и инверсными.

В соответствии с таблицей 3.11 для входов можно записать, полагая активной логическую 1:

$$\begin{aligned}
 y_1 &= x_1 \vee x_3 \vee x_5 \vee x_7 \vee x_9; \\
 y_2 &= x_2 \vee x_3 \vee x_6 \vee x_7; \\
 y_4 &= x_4 \vee x_5 \vee x_6 \vee x_7; \\
 y_8 &= x_8 \vee x_9.
 \end{aligned}
 \tag{3.13}$$

3. Функциональные узлы цифровых устройств

Таблица 3.11

Таблица истинности шифратора

Номер входа	Выходной код			
	Y_8	Y_4	Y_2	Y_1
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1

Этой системе уравнений соответствует схема на элементах ИЛИ, показанная на рис. 3.25.

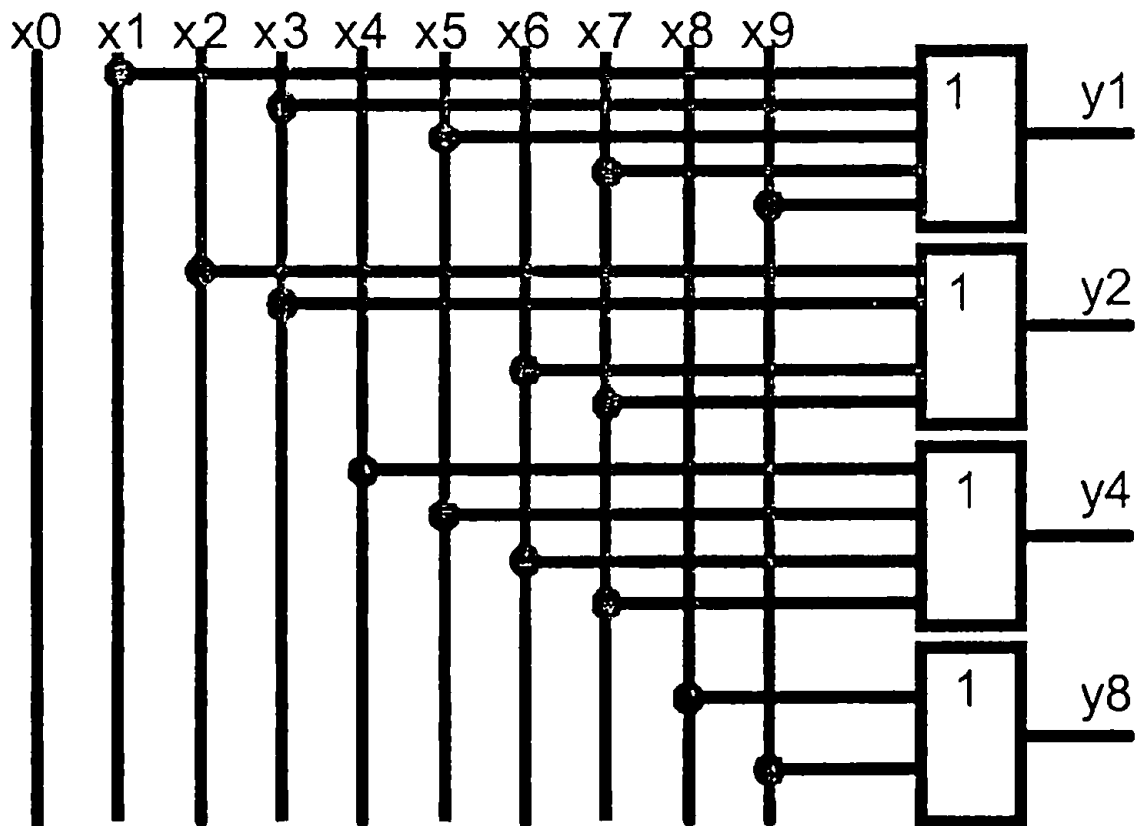


Рис. 3.25

При построении шифратора на элементах ИЛИ-НЕ он будет иметь инверсные выходы в соответствии с выражениями.

$$\begin{aligned} \overline{y_1} &= \overline{x_1 \vee x_3 \vee x_5 \vee x_7 \vee x_9} = x_1 \downarrow x_3 \downarrow x_5 \downarrow x_7 \downarrow x_9; \\ \overline{y_2} &= x_2 \downarrow x_3 \downarrow x_6 \downarrow x_7; \\ \overline{y_4} &= x_4 \downarrow x_5 \downarrow x_6 \downarrow x_7; \\ \overline{y_8} &= x_8 \downarrow x_9. \end{aligned} \quad (3.14)$$

Схема шифратора показана на рис. 3.26.

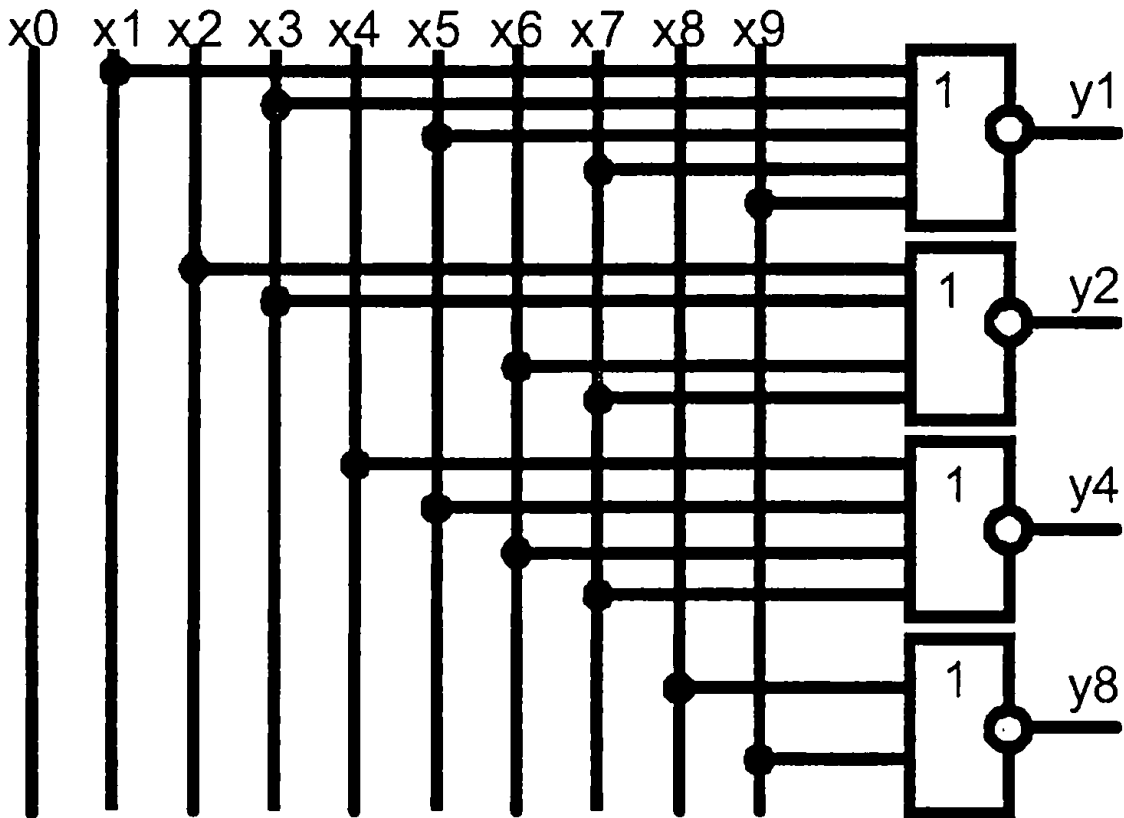


Рис. 3.26

При выполнении шифратора на элементах И-НЕ система выражений приводится к виду

$$\begin{aligned} y_1 &= \overline{x_1 \vee x_3 \vee x_5 \vee x_7 \vee x_9} = \overline{x_1 \cdot x_3 \cdot x_5 \cdot x_7 \cdot x_9} = \overline{x_1} | \overline{x_3} | \overline{x_5} | \overline{x_7} | \overline{x_9}; \\ y_2 &= \overline{x_2 \cdot x_3 \cdot x_6 \cdot x_7}; \\ y_4 &= \overline{x_4 \cdot x_5 \cdot x_6 \cdot x_7}; \\ y_8 &= \overline{x_8 \cdot x_9}. \end{aligned} \quad (3.15)$$

3. Функциональные узлы цифровых устройств

В этом случае на входы необходимо подавать инверсные значения, т. е. для получения на выходе двоичного числа, представляющего определенный вход (десятичную цифру), должен поступить логический 0 на соответствующий вход, а на остальные входы — логическая 1. Схема шифратора на элементах И-НЕ показана на рис. 3.27.

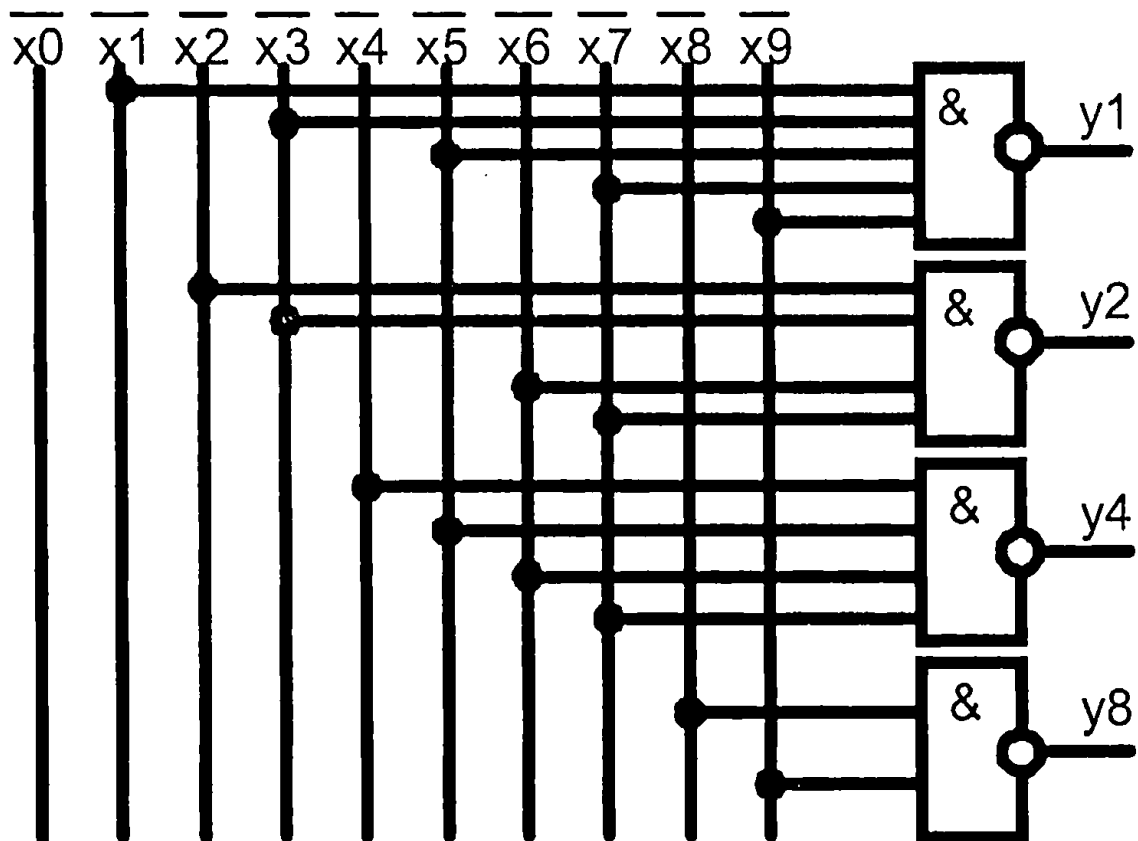


Рис. 3.27

В ТТЛ микросхемах используются шифраторы $8 \rightarrow 3$ (ИВ1, ИВ2), $10 \rightarrow 4$ (ИВ3).

Помимо информационных входов, шифраторы содержат дополнительные, обеспечивающие разрешение ввода и вывода, осуществление расширения без привлечения дополнительных цепей.

При работе шифратора в составе цифрового устройства возможен приход сигналов на несколько входов. В этом случае необходимо выбрать тот вход, которому предостав-

ляется право первоочередного обслуживания. Поэтому шифраторы осуществляют приоритетное кодирование входных сигналов со входа с наивысшим приоритетом.

Таким образом, при наличии на входах нескольких возбужденных линий на выходе будет та комбинация, которая соответствует старшему (приоритетному) входу.

Дополнительные входы также позволяют проводить наращивание шифраторов.

3.3.3. Дешифраторы

Дешифратор преобразует код, поступающий на его входы, в сигнал только на одном из его выходов, т. е. двоичные дешифраторы преобразуют двоичный код в код «1 из N».

Активным всегда является только один выход дешифратора, причем номер этого выхода однозначно определяется входным кодом.

Дешифраторы относятся к комбинационным устройствам. На принципиальных схемах в условном обозначении дешифраторов ставятся буквы *DC* (от английского *Decoder*) (рис. 3.28). Входы дешифраторов обозначаются двоичными весами 1248. В отечественных микросхемах маркировка дешифраторов содержит две буквы ИД, например, К555ИД4, 564ИД5.

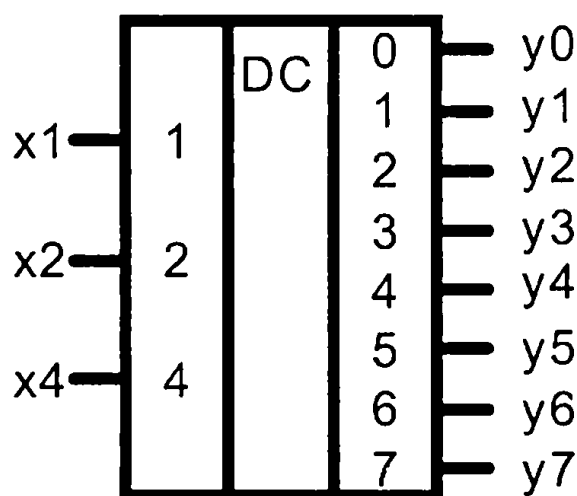


Рис. 3.28

3. Функциональные узлы цифровых устройств

Если число адресных входов дешифратора n , то максимальное число выходов 2^n . В этом случае дешифратор называют полным. Если число выходов меньше 2^n , дешифратор называют неполным. В стандартные серии микросхем входят дешифраторы на 4 выхода (2 разряда входного кода), на 8 выходов (3 разряда входного кода), на 16 выходов (4 разряда входного кода), неполный двоично-десятичный дешифратор 4×10 (ИД6). Они обозначаются 2-4, 3-8, 4-16, 4-10. Имеются дешифраторы управления различного типа светоизлучающими шкалами.

Дешифраторы различаются по емкости, по числу каналов, а также форматом выходного кода.

Работа дешифратора описывается таблицей истинности, обратной таблице истинности шифратора. В них входные и выходные сигналы меняются местами. Входные сигналы представлены в коде 8421. В выходной колонке обозначен номер активного выхода.

Таблица 3.12

Таблица истинности дешифратора

Входной код 8421				Номер выхода в десятичной системе
X_8	X_4	X_2	X_1	
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9

На каждом выходе образуется уровень логической 1 при определенной комбинации на входах. Значения выходных переменных описываются логическими выражениями:

$$\begin{aligned}
 y_0 &= \overline{x_8 x_4 x_2 x_1}; & y_5 &= \overline{x_8 x_4 x_2 x_1}; \\
 y_1 &= \overline{x_8 x_4 x_2 x_1}; & y_6 &= \overline{x_8 x_4 x_2 x_1}; \\
 y_2 &= \overline{x_8 x_4 x_2 x_1}; & y_7 &= \overline{x_8 x_4 x_2 x_1}; \\
 y_3 &= \overline{x_8 x_4 x_2 x_1}; & y_8 &= \overline{x_8 x_4 x_2 x_1}; \\
 y_4 &= \overline{x_8 x_4 x_2 x_1}; & y_9 &= \overline{x_8 x_4 x_2 x_1}.
 \end{aligned}
 \tag{3.16}$$

Если дешифратор выполняется на элементах И-НЕ, то выходные сигналы получаем с инверсией. Каждой комбинации входного кода соответствует активный уровень логического нуля на определенном выходе, а на остальных выходах устанавливается уровень логической единицы, формулы (3.16) записываются в виде:

$$\begin{aligned}
 \overline{y_0} &= \overline{x_8} \overline{x_4} \overline{x_2} \overline{x_1}; & \overline{y_5} &= \overline{x_8} \overline{x_4} \overline{x_2} \overline{x_1}; \\
 \overline{y_1} &= \overline{x_8} \overline{x_4} \overline{x_2} \overline{x_1}; & \overline{y_6} &= \overline{x_8} \overline{x_4} \overline{x_2} \overline{x_1}; \\
 \overline{y_2} &= \overline{x_8} \overline{x_4} \overline{x_2} \overline{x_1}; & \overline{y_7} &= \overline{x_8} \overline{x_4} \overline{x_2} \overline{x_1}; \\
 \overline{y_3} &= \overline{x_8} \overline{x_4} \overline{x_2} \overline{x_1}; & \overline{y_8} &= \overline{x_8} \overline{x_4} \overline{x_2} \overline{x_1}; \\
 \overline{y_4} &= \overline{x_8} \overline{x_4} \overline{x_2} \overline{x_1}; & \overline{y_9} &= \overline{x_8} \overline{x_4} \overline{x_2} \overline{x_1}.
 \end{aligned}
 \tag{3.17}$$

Структура дешифратора с инверсными выходами и его условное графическое обозначение показаны на рис. 3.29.

Дешифраторы с инверсными выходами удобно применять в схемах позиционной индикации на светодиодах. В качестве примера, на рис. 3.29, б показано подключение светодиода к четвертому выходу дешифратора.

Дешифраторы бывают с парафазными и однофазными входами. Применение однофазных входов позволяет уменьшить число линий связи и исключает необходимость дополнительного применения инверторов. Инверсный вход формируется в самом дешифраторе. Более того, входной прямой сигнал

3. Функциональные узлы цифровых устройств

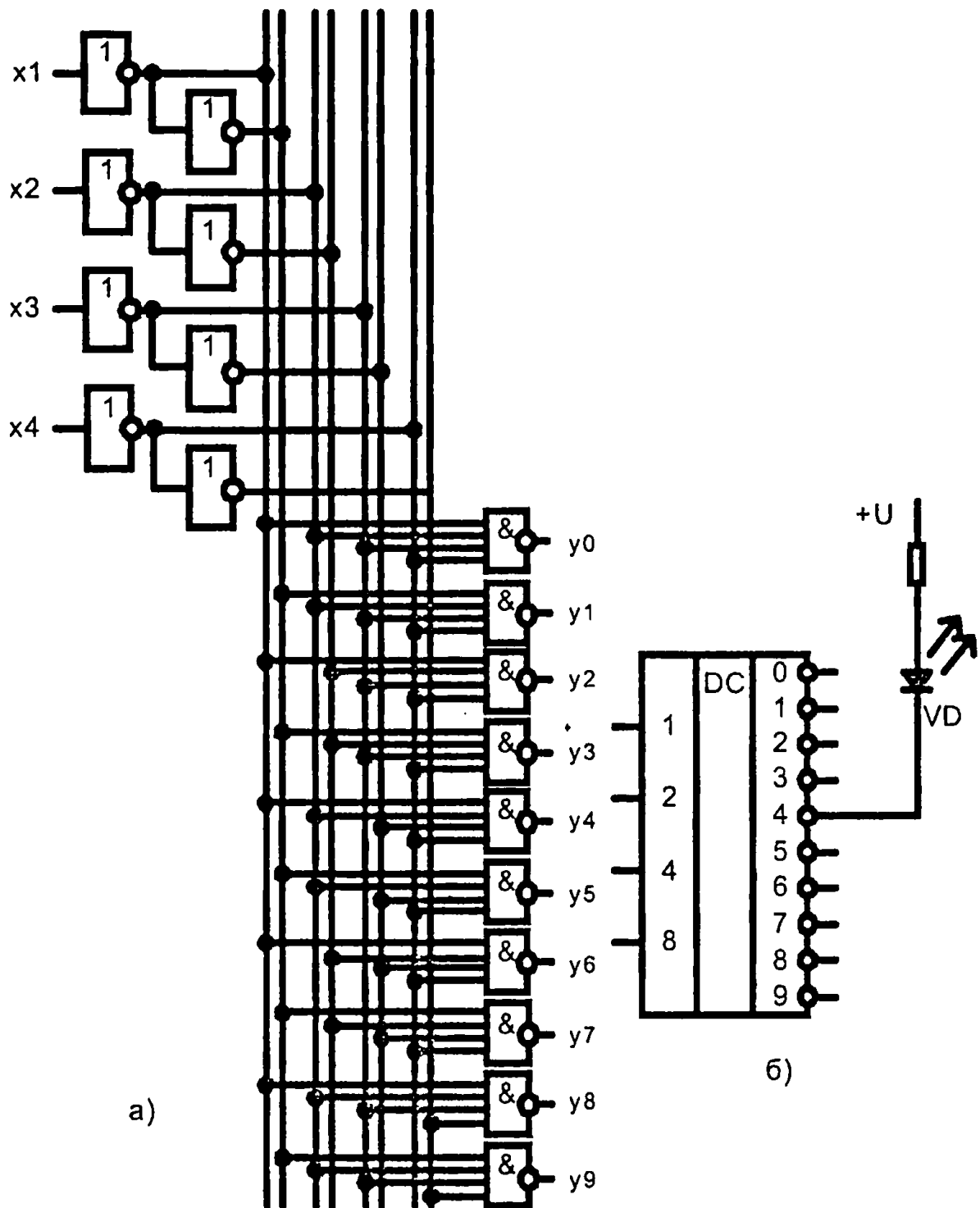


Рис. 3.29

также непосредственно в схеме не используется, а получается как двоичная инверсия от входного. Тем самым максимально снимается нагрузка, обусловленная длиной линии связи, ее емкостью, что повышает быстродействие.

Дешифраторы при относительно малом числе элементов и несложной внутренней структуре имеют большое число внешних выходных выводов. Поэтому не изготавливают дешифраторов с более, чем 4 информационными входами. Увеличение числа выходов осуществляется путем наращивания разрядности (рис. 3.30).

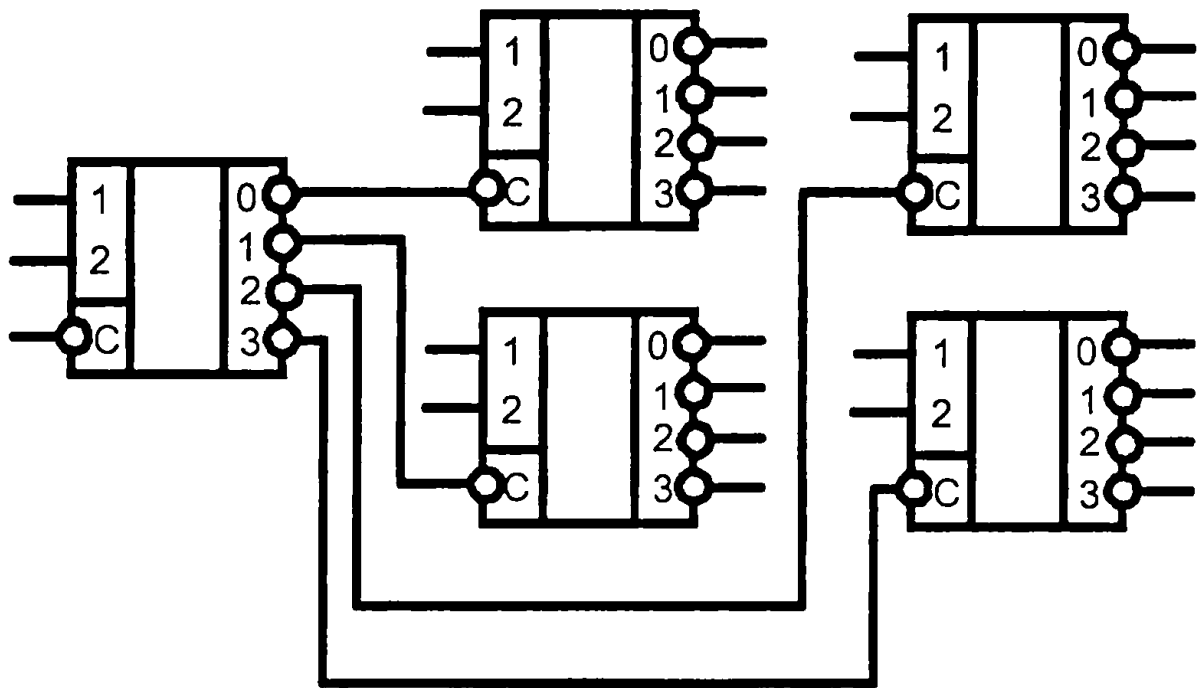


Рис. 3.30

Выходы дешифратора первой ступени подключают к стробирующим входам С разрешения/запрета работы дешифраторов второй ступени. Из дешифраторов второй ступени активным будет только один выход только одного из дешифраторов.

При использовании на второй ступени дешифраторов 3–8 получаем устройство с 24 выходами.

На основе дешифраторов можно строить различные схемы преобразования кодов: мультиплексоры, демультимплексоры, формирователи произвольных логических функций, схемы управления различными индикаторными устройствами и т. д.

3.3.4. Компараторы кодов

Цифровой компаратор — комбинационное устройство, предназначенное для сравнения двоичных слов.

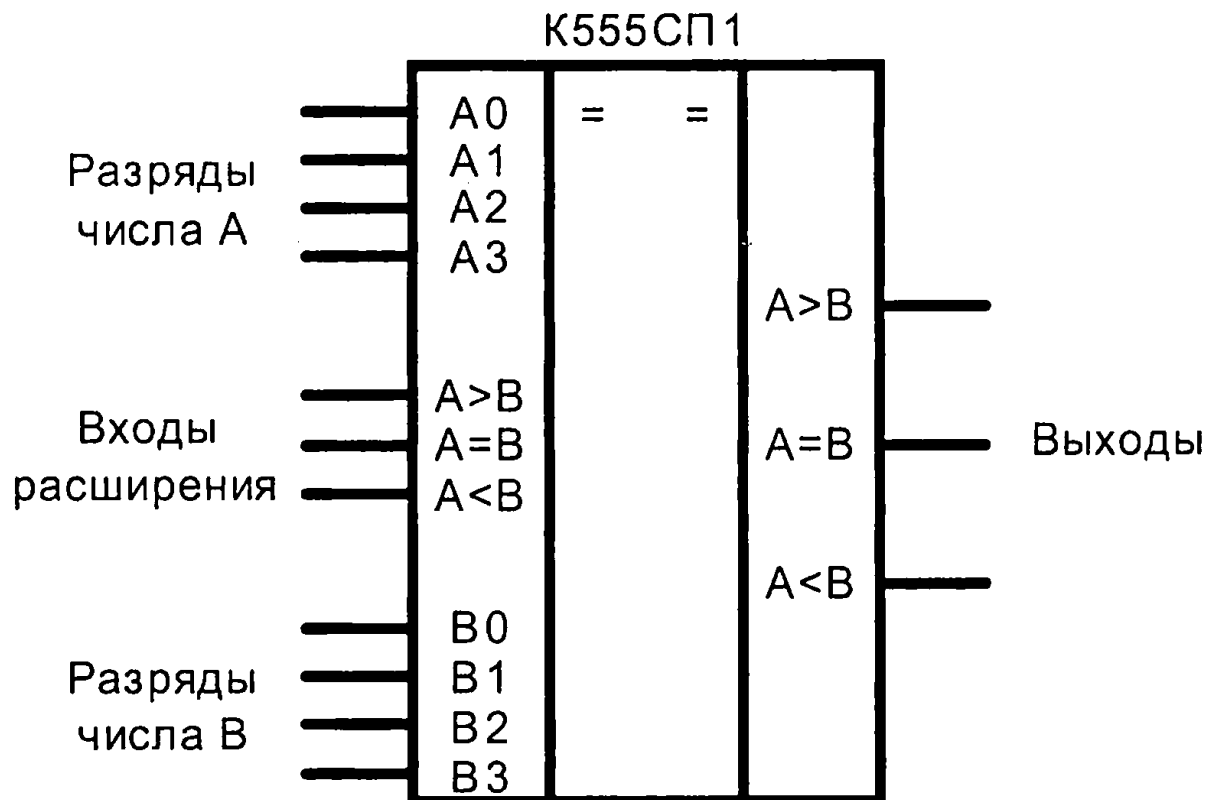
Компаратор выполняет следующие действия над двумя двоичными словами:

$F(A = B)$ — равенство двоичных слов A и B ;

$F(A > B)$ — слово A больше слова B ;

$F(A < B)$ — слово A меньше слова B .

Примером компараторов является микросхема К554СП1 — схема сравнения двух четырехразрядных слов. Результатом является обнаружение одного из трех возможных состояний: $A < B$, $A = B$, $A > B$. Критерием равенства двух двоичных чисел является совпадение их по всем разрядам. Выход схемы сравнения устанавливается в высокое состояние логической 1, если два числа равны, в противном случае выход находится в нулевом состоянии логического нуля.



Микросхема К555СП1 имеет четыре сравниваемых входа чисел A и B ($A_0, B_0, A_1, B_1, A_2, B_2, A_3, B_3$) и три дополнительных входа переноса $A < B, A = B, A > B$ для сравнения чисел большей разрядности путем последовательного соединения компараторов в каскад. Возможно построение многоразрядных компараторов в двоичном коде.

Устройства сравнения на равенство строятся на основе поразрядных операций над одноименными разрядами обоих слов. Слова равны, если равны все одноименные разряды, т. е. если в обоих нули или единицы.

Рассмотрим случай сравнения одного двоичного разряда.

Таблица 3.14

**Таблица истинности компаратора
одноразрядных слов**

A	B	$F(A=B)$	$F(A>B)$	$F(A<B)$
0	0	1	0	0
0	1	0	0	1
1	0	0	1	0
1	1	1	0	0

Из таблицы 3.14 видно, что при любой комбинации входных сигналов на выходе компаратора может быть сформирован только один активный логический сигнал.

Таблице 3.14 соответствует система логических выражений

$$\begin{aligned}
 F(A=B) &= ab \vee \bar{a}\bar{b}; \\
 F(A>B) &= a\bar{b}; \\
 F(A<B) &= \bar{a}b.
 \end{aligned}
 \tag{3.18}$$

Формулы (3.18) можно реализовать в базисе (И, ИЛИ, НЕ). Остановимся более внимательно на функции $F(A=B)$. Эта функция имеет самостоятельное значение, широко при-

3. Функциональные узлы цифровых устройств

меняется в практике цифровых устройств и называется «ИСКЛЮЧАЮЩЕЕ ИЛИ-НЕ» (рис. 3.32), инверсия суммы по модулю два.

Использование элемента ИСКЛЮЧАЮЩЕЕ ИЛИ-НЕ позволяет упростить реализацию функций $F(A = B)$, $F(A > B)$, $F(A < B)$ согласно формулам (3.18). Соответствующая схема компаратора для одного разряда показана на рис. 3.32.

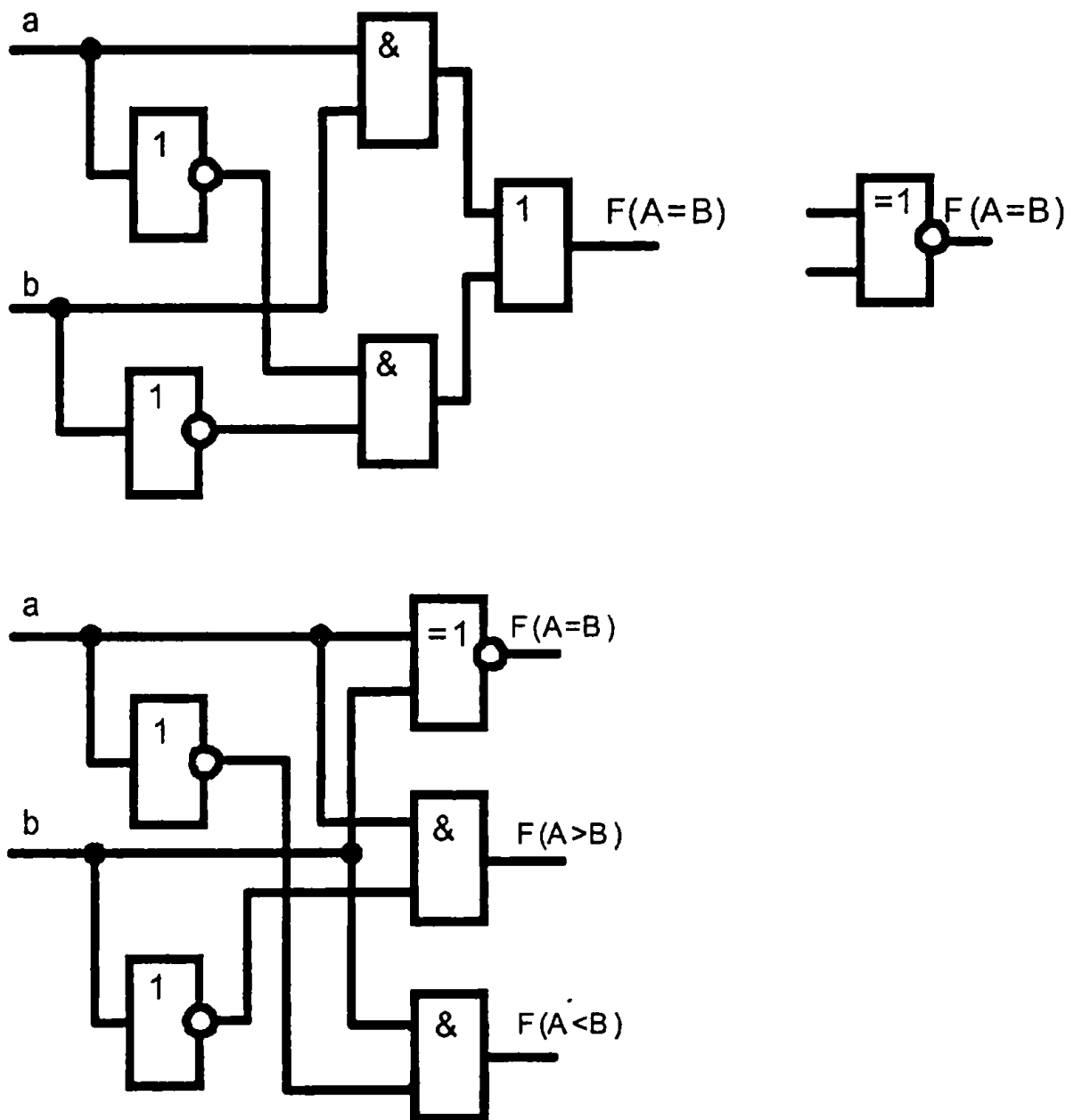


Рис. 3.32

Отметим, что две из трех функций $F(A = B)$, $F(A > B)$, $F(A < B)$ никогда не могут одновременно принимать единичные значения. Поэтому возможно реализовать только две из них, а третью получить по двум известным. Они связаны между собою соотношениями:

$$\begin{aligned} F(A = B) &= \bar{F}(A > B) \cdot \bar{F}(A < B); \\ F(A > B) &= \bar{F}(A = B) \cdot \bar{F}(A < B); \\ F(A < B) &= \bar{F}(A = B) \cdot \bar{F}(A > B). \end{aligned} \quad (3.19)$$

Проверка на равенство двух слов подразумевает равенство каждого разряда. При проверке на «больше» $F(A > B)$ старшие разряды преобладают. Младшие разряды следует проверять при равенстве старших. Обозначим $r_i = F(a_i = b_i)$ — равенство i -го разряда слова. Тогда для двухразрядных слов проверка $A > B$ сводится к проверке старших разрядов a_1, b_1 . Младшие разряды a_0, b_0 проверяются при равенстве старших:

$$a_1 = b_1 \rightarrow r_1 = F(a_1 = b_1) = 1.$$

Поэтому для слов, имеющих два разряда $A(a_0, a_1)$, $B(b_0, b_1)$, запишем формулу проверки $A > B$

$$F(A > B) = a_1 \bar{b}_1 \vee r_1 a_0 \bar{b}_0. \quad (3.20)$$

Обобщая формулу (3.20) для слов произвольной разрядности n , получим

$$F(A > B) = a_{n-1} \bar{b}_{n-1} \vee r_{n-1} a_{n-2} \bar{b}_{n-2} \vee \dots \vee r_{n-1} r_{n-2} r_{n-3} \dots r_1 a_0 \bar{b}_0. \quad (3.21)$$

Как уже отмечалась, микросхема К555СП1 предназначена для сравнения четырехразрядных слов. Для сравнения слов большей разрядности компаратор строят наращиванием с использованием нескольких интегральных схем компараторов (рис. 3.33).

Неопределенные состояния на выходах компараторов могут возникать при смене любого из кодов. Это вызвано неодновременным изменением входных сигналов в различных разрядах. На выходах появляются короткие паразит-

3. Функциональные узлы цифровых устройств

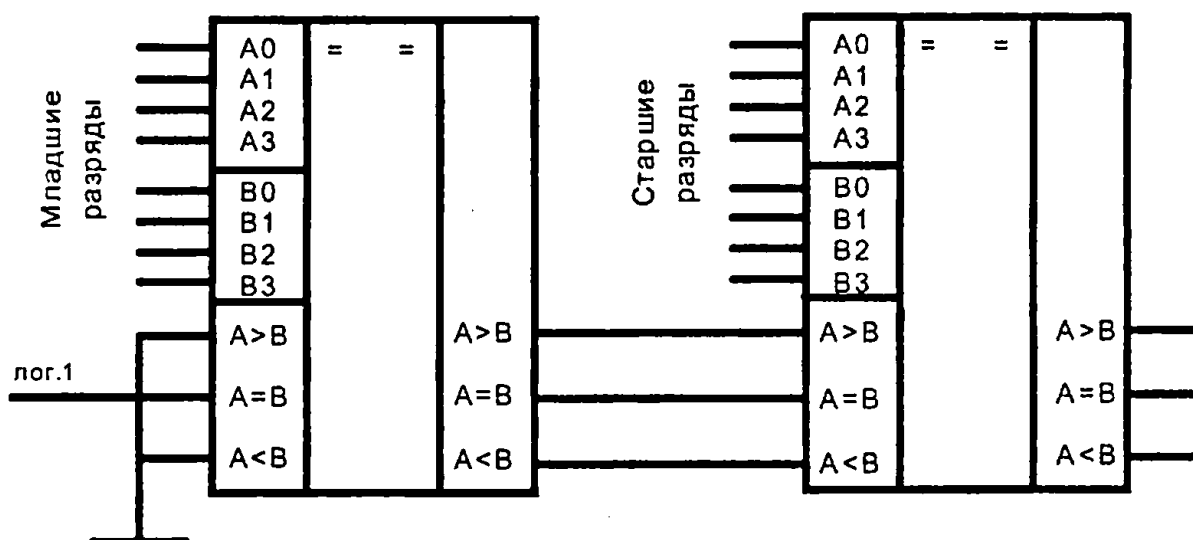


Рис. 3.33

ные помеховые импульсы. Борьба с ними осуществляется путем синхронизации и стробирования.

Также надо учитывать, что при каскадировании (рис. 3.32) n -микросхем общая задержка сигнала возрастает в n -раз. Компараторы кодов являются довольно медленно действующими устройствами.

3.3.5. Мультиплексоры

Устройство, которое осуществляет выборку одного из нескольких входов и подключает его к своему выходу, называется мультиплексором.

Название произошло от английского *Multiplexer*. Другими словами мультиплексоры подключают один из входных каналов к выходному под действием управляющего (адресного) кода.

Мультиплексор имеет информационные входы (D_0, D_1, \dots), адресные входы (A_0, A_1, \dots), вход C для подачи стробирующего сигнала и один выход Q .

Символически мультиплексор можно представить многоканальным коммутатором, имеющим одностороннюю передачу данных (рис. 3.34).

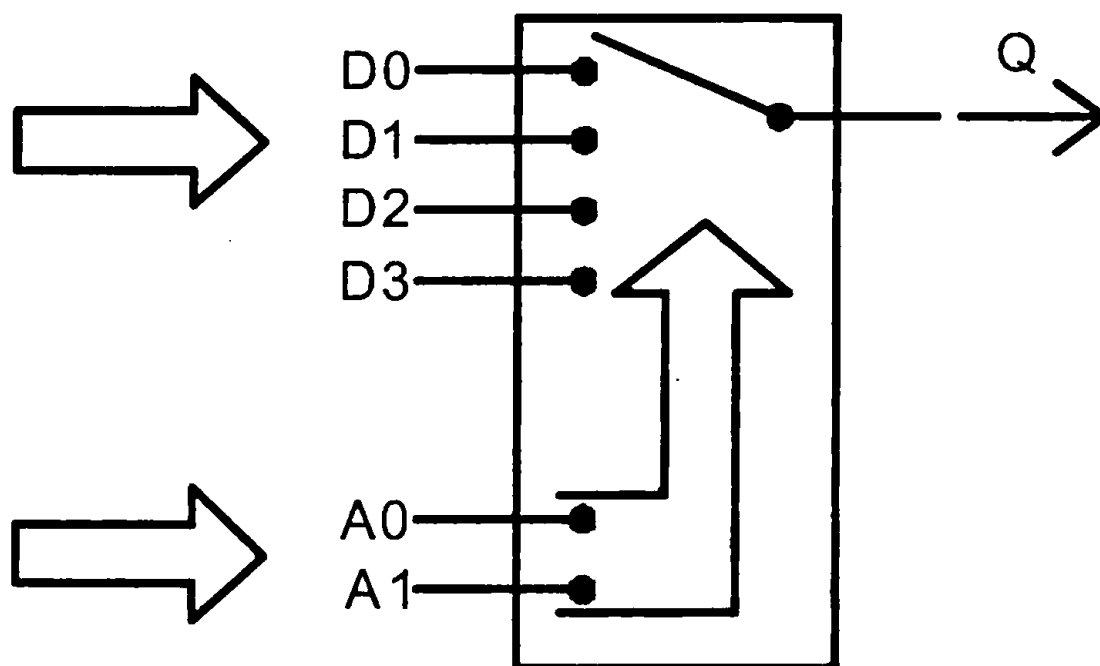


Рис. 3.34

Каждому информационному входу D_i мультиплексора присваивается номер A , называемый адресом. При подаче строблирующего сигнала на вход S мультиплексор выбирает один из входов D_i , адрес которого задается двоичным кодом на адресных входах A , и подключает его к выходу Q . Число информационных входов $n_{инф}$ и число адресных входов $n_{адр}$ связаны соотношением

$$n_{инф} = 2^{n_{адр}}. \quad (3.22)$$

Мультиплексор представляет собой двухступенчатое устройство, выполненное на основе инверторов и схем типа И-ИЛИ, И-ИЛИ-НЕ, которые используют строблирующие свойства функции И аргументов канала информации и адреса.

На рис. 3.35 показано символическое изображение мультиплексора с четырьмя информационными входами.

В общем случае функционирование мультиплексора описывается таблицей 3.15.

3. Функциональные узлы цифровых устройств

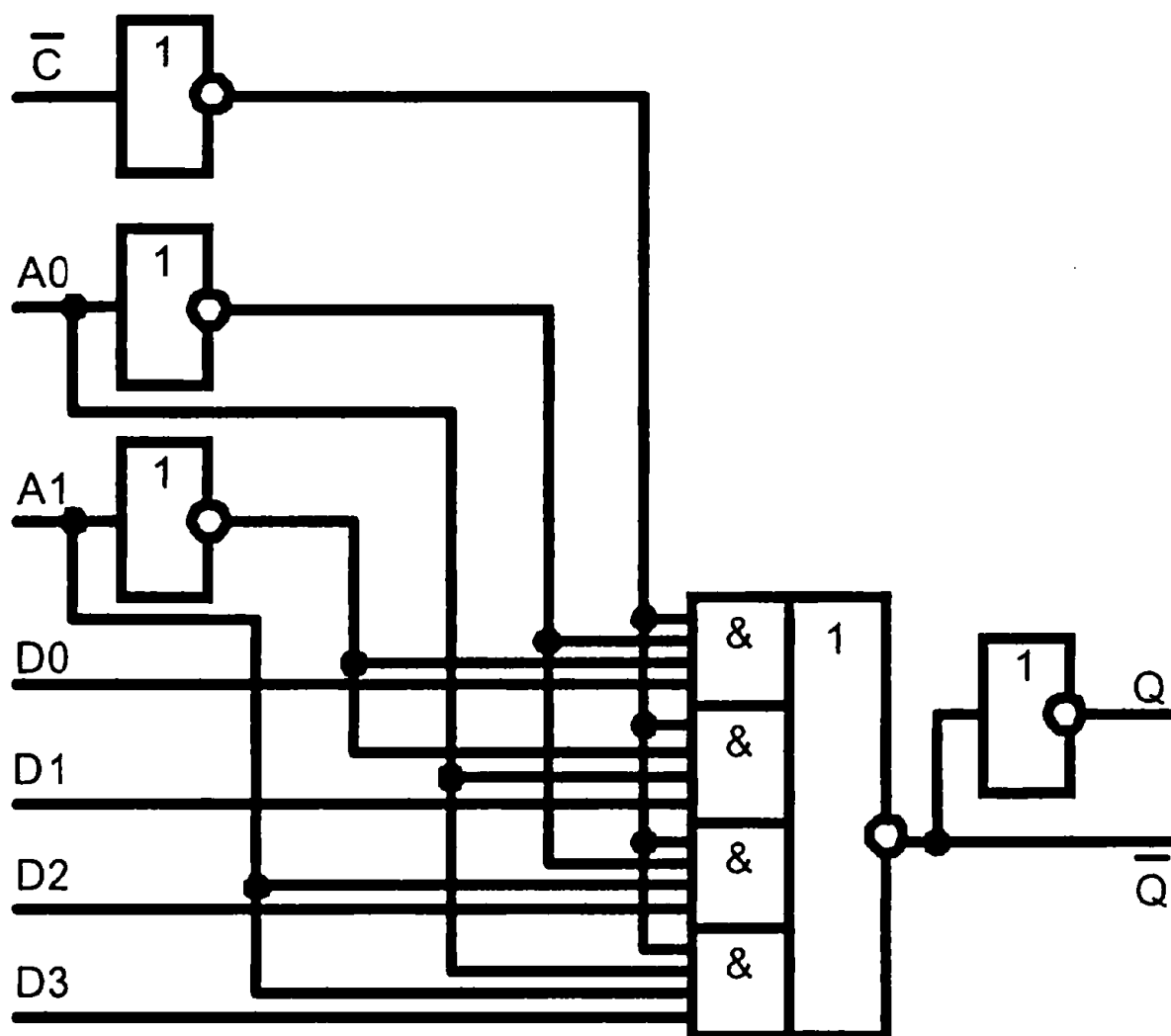


Рис. 3.35

Таблица 3.15

Таблица истинности мультиплексора

Адресные входы		Стробирующий сигнал	Выход
A_1	A_0	C	Q
X	X	0	0
0	0	1	D_0
0	1	1	D_1
1	0	1	D_2
1	1	1	D_3

При отсутствии стробирующего сигнала ($C = 0$) отсутствует разрешение работы, отсутствует связь между информационными входами и выходом $Q = 0$. Выход явля-

ется нулевым независимо от информационных и адресных сигналов. При подаче стробирующего сигнала ($C = 1$) на выход передается логический уровень того из информационных входов D_i , номер которого i в двоичной форме задан на адресных входах.

Так, например, при задании адреса $A_1A_0 = 11_2 = 3_{10}$ на выход Q будет передаваться сигнал информационного входа с адресом 3_{10} , т. е. D_2 .

По таблице истинности можно записать следующее логическое выражение для выхода Q :

$$Q = (D_0 \overline{A_1} \overline{A_0} \vee D_1 \overline{A_1} A_0 \vee D_2 A_1 \overline{A_0} \vee D_3 A_1 A_0) C, \quad (3.23)$$

которое называется мультиплексной формулой. Нетрудно записать формулу для другого количества входов.

В тех случаях, когда требуется передавать на выходы многоразрядные входные данные в параллельной форме, используется параллельное включение мультиплексоров по числу разрядов передаваемых данных.

На схемах мультиплексора обозначаются буквами MS или MUX (*MULTipleXer*). В отечественных сериях микросхем мультиплексорам соответствуют буквы КП, например: К555КП2 — два мультиплексора ТТЛШ с общим дешифратором адреса канала, К564КП1 — двойной четырехканальный мультиплексор КМОП.

Максимальное число информационных входов мультиплексоров, выполненных в виде интегральных схем, равно 16. Если требуется построить мультиплексорное устройство с большим числом входов, можно объединить мультиплексоры в схему так называемого мультиплексорного дерева. Такое мультиплексорное дерево, построенное на четырехвходовых мультиплексорах, показано на рис. 3.36.

Схема состоит из четырех мультиплексоров первого уровня с адресными переменными A_1, A_2 и мультиплексора второго уровня с адресными переменными A_3, A_4 . Мульт-

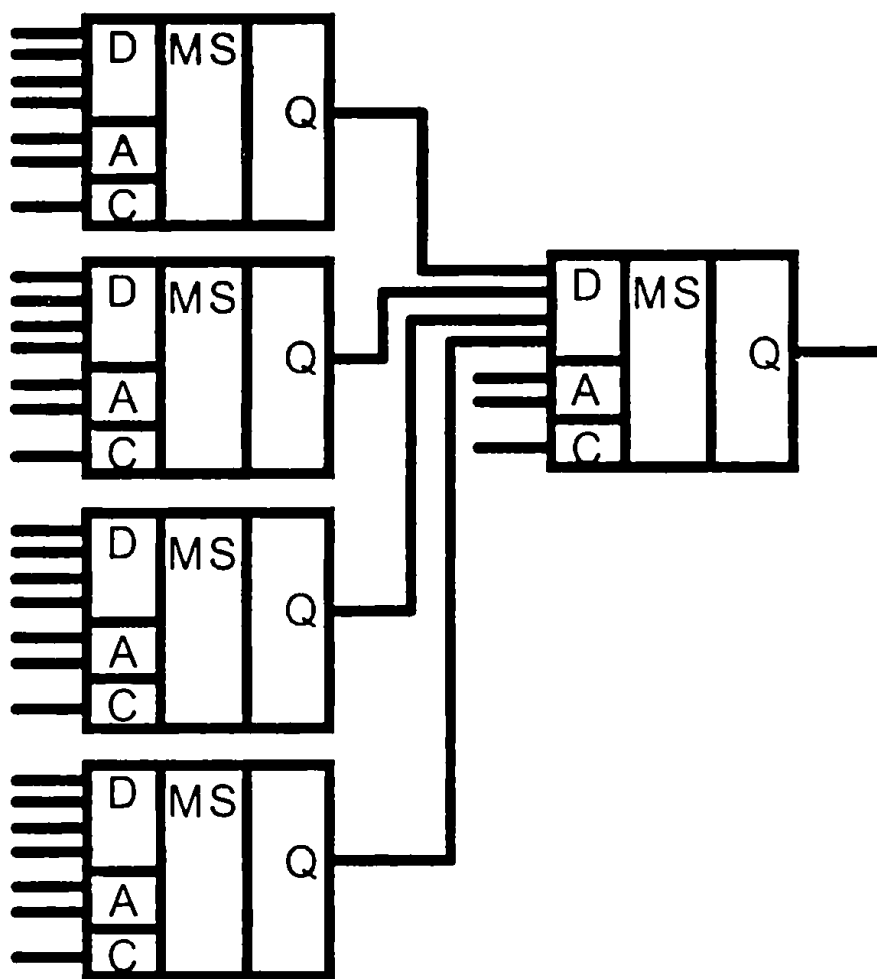


Рис. 3.36

типлексорное устройство имеет 16 входов, разбитых на четверки, которые подключены к отдельным мультиплексорам первого уровня. Мультиплексор второго уровня, подключая к общему выходу устройства выходы отдельных мультиплексоров первого уровня, переключает четверки входов. Внутри четверки требуемый вход выбирается мультиплексором первого уровня. По такой схеме, используя восьмивходовые мультиплексоры, можно построить мультиплексорное устройство, имеющее 64 входа.

На первом и втором уровнях мультиплексорного дерева можно использовать мультиплексоры с разным числом входов. Если на первом уровне такого дерева используются мультиплексоры с числом адресных переменных $n_{\text{адр1}}$,

на втором — с числом переменных $n_{\text{адр}2}$, то общее число входов мультиплексорного дерева

$$n_{\text{инф}} = 2^{n_{\text{адр}1} + n_{\text{адр}2}}, \quad (3.24)$$

а число мультиплексоров в схеме составит

$$n_{\text{MUX}} = 2^{n_{\text{адр}2} + 1}. \quad (3.25)$$

Формулы (3.25) и (3.24) при сравнении с формулой (3.22) показывают эффективность и целесообразность построения мультиплексорного дерева.

3.3.6. Демультимплексор

Демультимплексоры выполняют операцию, обратную операции мультиплексоров — передают данные из одного входного канала в один из нескольких каналов приемников. Демультимплексор имеет один информационный вход и несколько выходов и осуществляет коммутацию входа к одному из выходов, имеющему заданный адрес (номер).

На рис. 3.37 показана структурная схема демультимплексора. Она включает в себя дешифратор, выходы которого управляют ключами. В зависимости от поданной на адресные входы кодовой комбинации, определяющей номер выходной цепи, дешифратор открывает соответствующий ключ, и вход демультимплексора подключается к определенному выходу.

Нетрудно заметить, что дешифратор со входом E разрешения работы будет функционировать в режиме демультимплексора, если на вход E разрешения подавать информационный сигнал (рис. 3.38).

Действительно, при единичном значении сигнала E разрешения работы адресация дешифратора (подача ад-

3. Функциональные узлы цифровых устройств

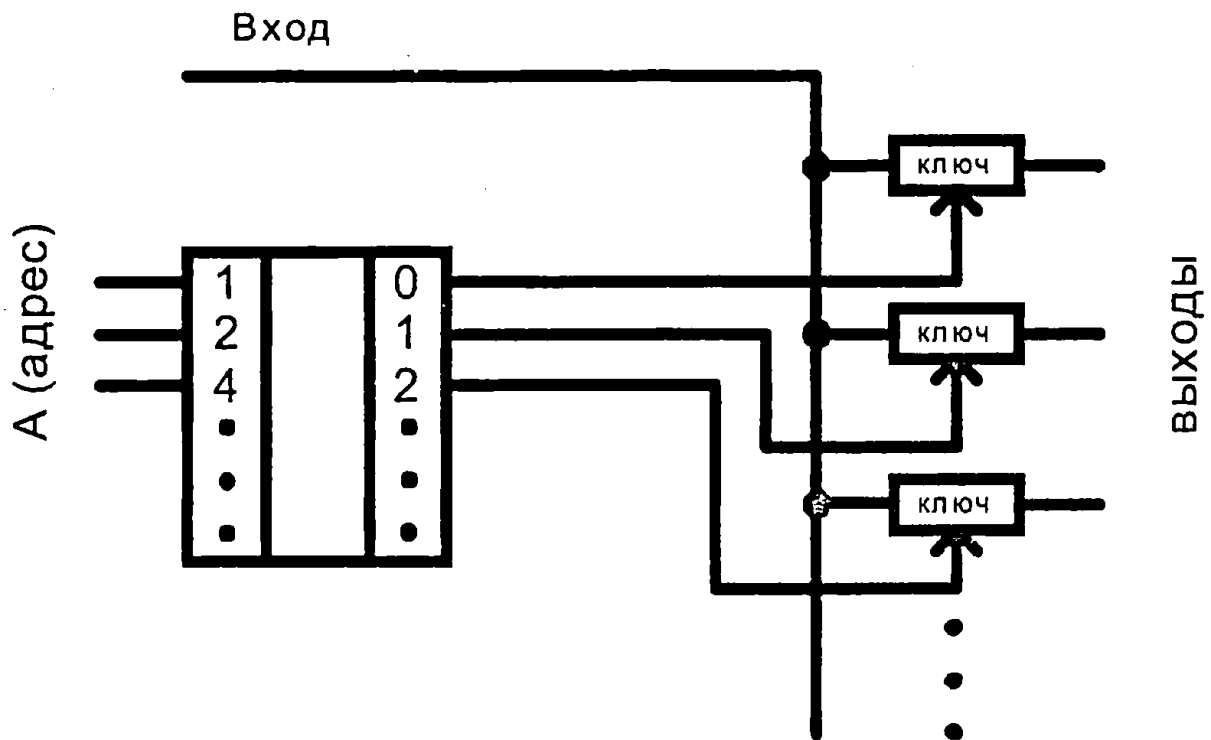


Рис. 3.37

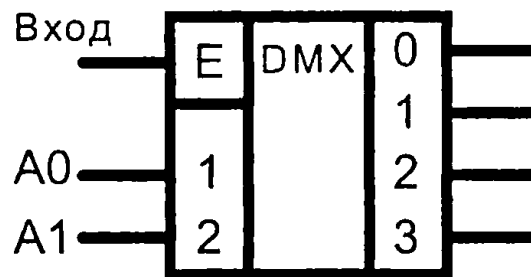


Рис. 3.38

ресного кода на его входы) приведет к возбуждению соответствующего выхода, при нулевом нет. Это означает передачу информационного сигнала в адресованный выходной канал. Поэтому в сериях элементов отдельные демultipлексоры могут отсутствовать, а дешифратор со входом *E* разрешения работы часто называют дешифратором — демultipлексором.

Объединяя мультимultipлексор с демultipлексором, можно построить устройство, в котором по заданным адресам один из входов подключается к одному из выходов (рис. 3.39).

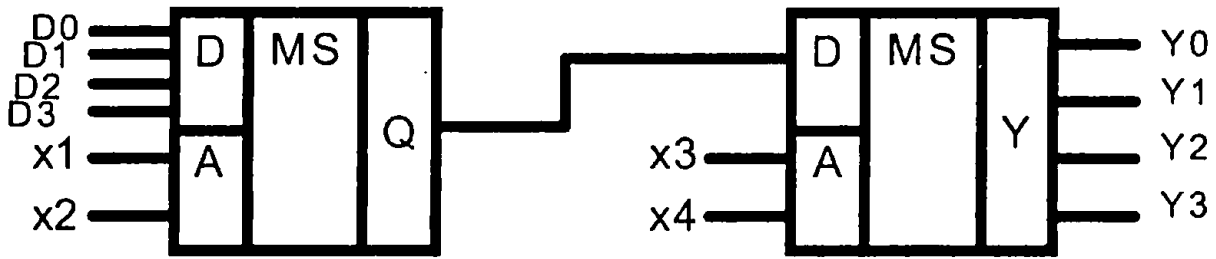


Рис. 3.39

Таким образом, может быть выполнена любая комбинация соединений входов с выходами. Например, при комбинации значений адресных переменных

$$x_1 = 1, x_2 = 0, x_3 = 0, x_4 = 0$$

вход D_2 окажется подключенным к выходу Y_0 .

Если потребуется большое число выходов, может быть построено демультиплексорное дерево.

3.4. Счетчики

Счетчиком называется последовательностное устройство, предназначенное для счета входных импульсов и фиксации их числа.

Счет импульсов является одной из наиболее распространенных операций в устройствах дискретной обработки информации.

Основное функциональное назначение счетчиков:

- ♦ счет импульсов, поступивших на вход;
- ♦ деление частоты.

Из определения и логики работы счетчиков следует, что их текущее состояние зависит не только от нового пришедшего импульса, но также и от количества предыдущих импульсов. Значит, счетчики относятся к устройствам с памятью. Строятся счетчики, как и регистры, на основе однотипных связанных между собой триггеров. Наиболее часто используются T - и JK -триггеры. Ведь T -тригге-

3. Функциональные узлы цифровых устройств

ры так и называются — счетные триггеры. С другой стороны в JK -триггерах обеспечивается смена состояния на противоположное предыдущему

$$Q_{n+1} = \bar{Q}_n \text{ при } J = K = 1.$$

Комбинационные элементы в счетчиках используются для управления работой триггеров. Число триггеров определяет максимальное количество импульсов, которое может быть подсчитано счетчиком.

В счетчиках выполняются следующие логические операции:

- ♦ установка в нулевое состояние (сброс);
- ♦ запись входной информации в параллельной форме — начального кода, с которого начинается счет;
- ♦ хранение записанной информации;
- ♦ выдача хранимой информации в параллельной форме;
- ♦ инкремент — увеличение хранящегося числа на единицу;
- ♦ декремент — уменьшение хранящегося числа на единицу.

Основным параметром счетчика является модуль счета M , равный максимальному числу импульсов, после которых счетчик устанавливается в исходное состояние (обнуляется) и начинается новый цикл работы счетчика.

По значению модуля счета различают:

- ♦ двоичные счетчики, модуль счета которых равен целой степени числа два

$$M = 2^n, \quad (3.26)$$

где n — число используемых триггеров;

- ♦ двоично-кодированные, в которых модуль счета может быть любым числом, не равным 2.

По направлению счета счетчики бывают:

- ♦ суммирующие (прямого счета), в которых происходит увеличение состояния счетчика — инкремент;

- ♦ вычитающие (обратного счета), в которых состояние счетчика уменьшается — декремент;
- ♦ реверсивные, которые по управляющему сигналу могут как увеличивать, так и уменьшать свое состояние.

Как и все цифровые устройства, счетчики бывают синхронные и асинхронные.

Быстродействие счетчиков характеризуется временем установления в нем нового состояния, а также максимальной частотой следования поступающих импульсов.

Отечественные микросхемы счетчики можно определить по маркировке функционального назначения буквами ИЕ, например, К555ИЕ2. На принципиальных схемах счетчики обозначаются буквами СТ2, СТ10.

По способу кодирования внутренних состояний различают двоичные счетчики, счетчики Джонсона, счетчики с кодом «1 из N», счетчики в коде Грея и др. Наибольшее распространение получили двоичные счетчики, а из двоично-кодированных чаще всего применяют двоично-десятичные. Счетчики с другим модулем счета можно получить путем введения дополнительных связей между рядами.

3.4.1. Двоичные счетчики

Работу асинхронного счетчика рассмотрим на примере микросхемы К555ИЕ5 — четырехразрядного двоичного счетчика на двухступенчатых счетных триггерах. Этот счетчик имеет два счетных входа С1, С2 и два входа установки нуля R0 (1), R0 (2) (рис. 3.40).

Триггеры срабатывают по срезу входного импульса (при переходе из 1 в 0). Четыре последовательно соединенных триггера образуют счетчик модулю $2^4 = 16$. Максимально хранимое в счетчике число полном его заполнении

$$N = 2^4 - 1 = 15_{10} = 1111_2.$$

3. Функциональные узлы цифровых устройств

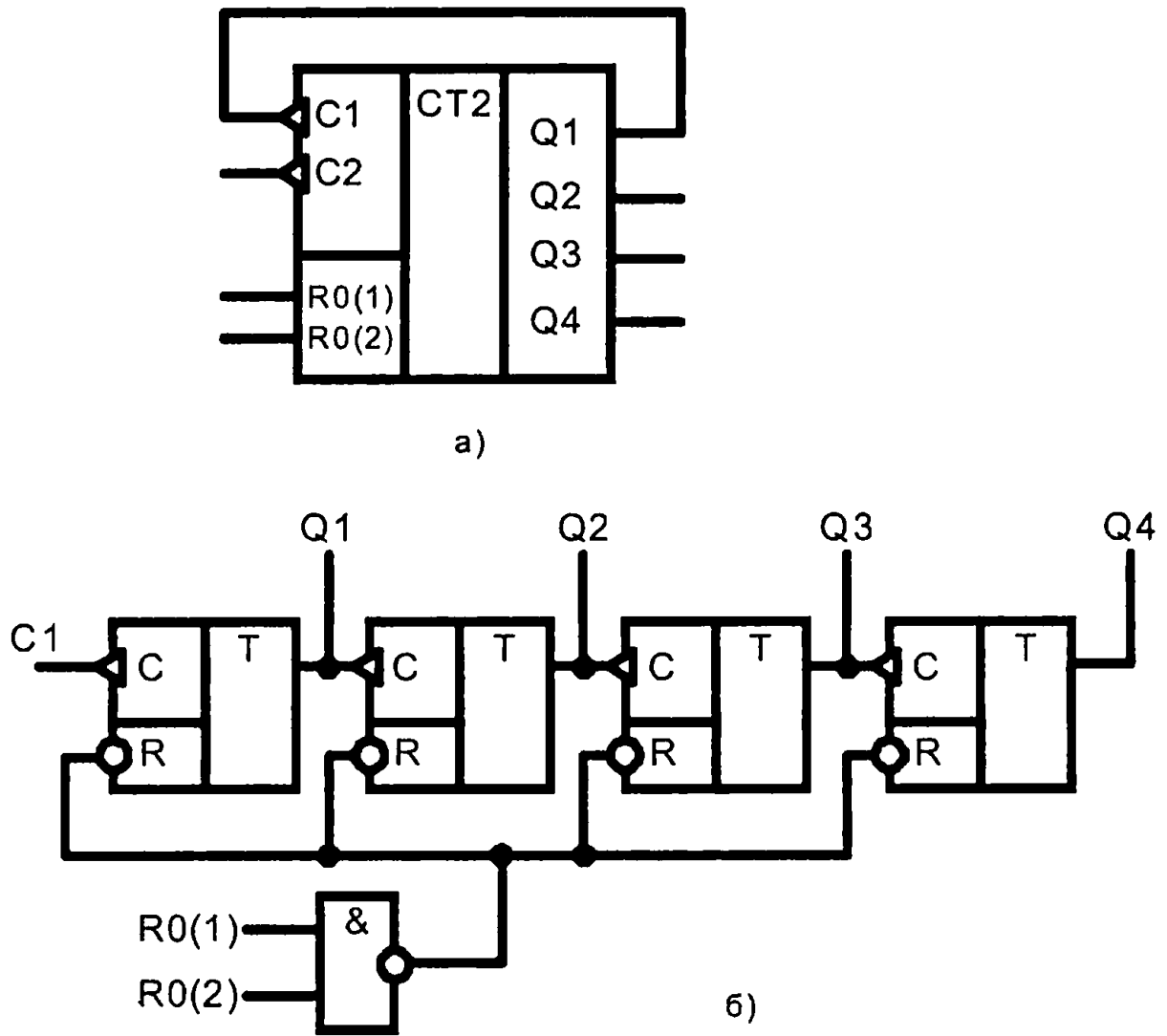


Рис. 3.40

Временные диаграммы на рис. 3.41 показывают состояния каждого из триггеров при поступлении на вход периодической последовательности импульсов.

В таблице 3.16 приведено состояние триггеров, соответствующее числу поступивших на вход импульсов.

Из таблицы 3.16 и рис. 3.41 видно, что при срабатывании по заднему фронту (срезу) триггеры имеют инверсные динамические входы. Состояние счетчика в двоичном коде по приходу на вход каждого нового импульса увеличивается на единицу, осуществляется операция инкремента.

Так как счетный триггер делит частоту входных импульсов на два, то цепочка из четырех последовательно

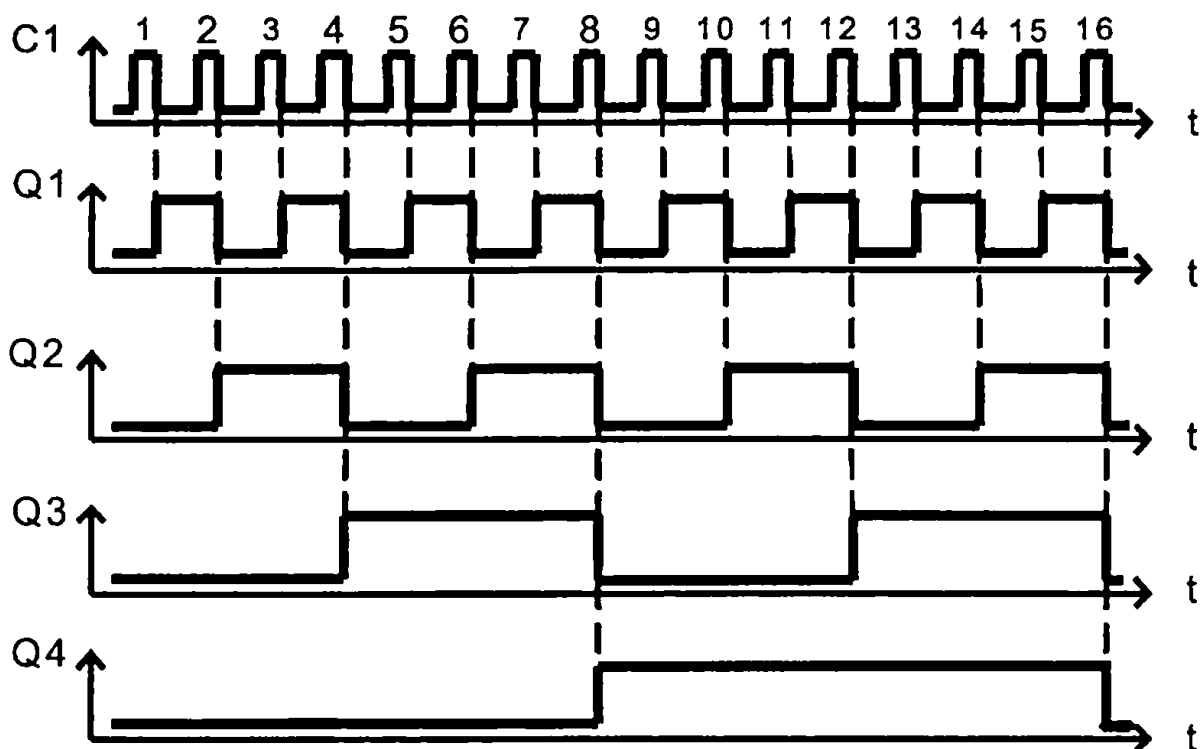


Рис. 3.41

Таблица 3.16

Таблица истинности четырехразрядного счетчика

Число поступивших импульсов		0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17
ВЫХОДЫ	Q1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0	1
	Q2	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1	1	0	0
	Q3	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1	1	0	0
	Q4	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1	1	0	0

соединенных триггеров делит частоту на 16. По приходу каждого шестнадцатого импульса счетчик обнуляется и цикл счета начинается сначала.

Представленный на рис. 3.40 счетчик является суммирующим.

Если исходные асинхронные T -триггеры имеют прямые динамические входы, срабатывают по переднему фронту импульса при переходе из 0 в 1, то счетчик превращается в

3. Функциональные узлы цифровых устройств

вычитающий. Он выполняет операцию декремента. Временные диаграммы такого счетчика приведены на рис. 3.42.

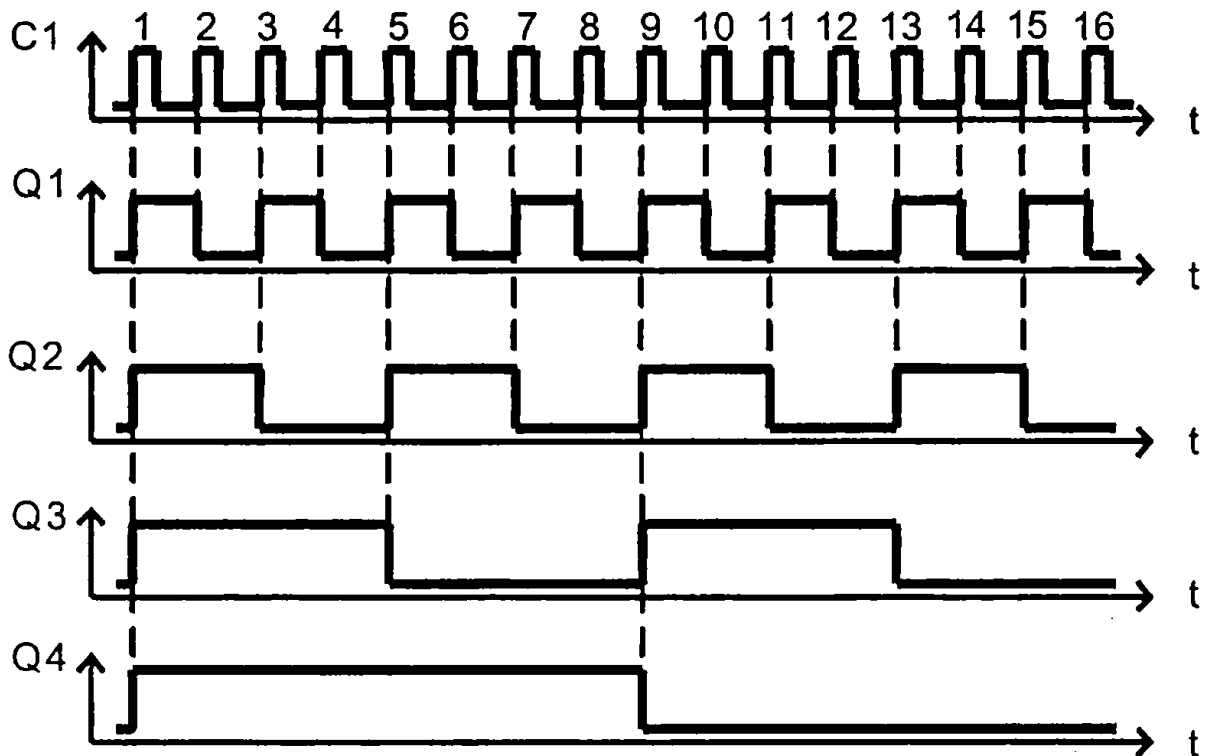


Рис. 3.42

В обоих рассмотренных случаях для синхронизации каждого последующего асинхронного T -триггера использовался прямой выход предыдущего триггера Q . Если ко входам подключать инверсный выход \bar{Q} , то суммирующим будет счетчик с прямыми динамическими входами.

Используя различные варианты прямого и обратного счета, можно получить реверсивный счетчик. Такое переключение осуществляется с использованием элементов *И*-*ИЛИ*, *И*-*ИЛИ*-*НЕ*, которые устанавливаются между триггерами (рис. 3.43).

При поступлении на вход V логического нуля $V = 0$ на выходы верхних по схеме элементов *И* поступает логическая единица и к инверсным динамическим входам триггеров подключены прямые входы предыдущих триггеров. Счетчик выполняет операцию суммирования. При подаче

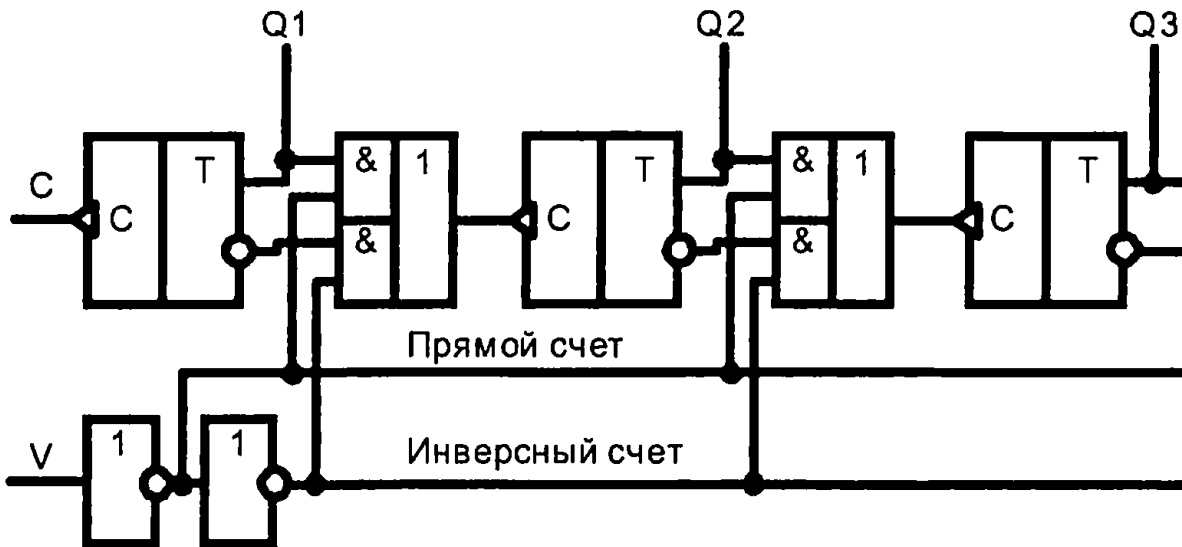


Рис. 3.43

сигнала $V = 1$ по входам триггеров (инверсным динамическим) подключается инверсный выход предыдущих триггеров и выполняется операция вычитания.

На рис. 3.43 показан один из вариантов построения реверсивного счетчика. Возможны и другие варианты, использующие тот же самый принцип организации межразрядных связей.

В рассмотренных счетчиках при последовательном соединении триггеров переключение каждого триггера может произойти только после переключения предыдущего. Поэтому они называются счетчиками с последовательным переносом. Такие счетчики отличаются простой схемой, но в то же время имеют наибольшее время установления выходного кода, которое к тому же является различным при различном состоянии счетчика. Например, если в счетчике записаны числа $0_{10} = 0000_2$, $0100_2 = 4_{10}$, и т. д., то переключается только один триггер, а при переходе из состояния $15_{10} = 1111_2$, либо $7_{10} = 0111_2$ переключаются все четыре триггера. Новый тактовый импульс можно подавать на счетчик после того, когда установятся все триггеры. Таким образом, период следования T входных импульсов должен удовлетворять соотношению

3. Функциональные узлы цифровых устройств

$$T > N t_{\text{зад тр}}, \quad (3.27)$$

где N — число разрядов счетчика;

$t_{\text{зад тр}}$ — время задержки одного разряда.

Уменьшить время установления можно при условии, что все разряды счетчика будут переключаться одновременно. В этом случае следует отказаться от асинхронных счетчиков и перейти к использованию синхронных.

Из анализа таблицы 3.16 и рис. 3.41 для суммирующего асинхронного счетчика отметим: переключение каждого i -го триггера происходит по приходу нового входного импульса при условии, что все предыдущие триггеры находятся в единичном состоянии. В этом случае i -й триггер меняет свое состояние. Математически с помощью формул алгебры логики данный алгоритм записывается

$$Q_{i,n+1} = \bar{Q}_{i,n} p_i \vee Q_{i,n} \bar{p}_i = Q_{i,n} \oplus p_i \quad (3.28)$$

$$p_i = Q_{0,n} Q_{1,n} \dots Q_{i-1,n},$$

где p_i — сигнал переноса;

\oplus — символ сложения по модулю два.

Из формул 3.28 следует, что сигнал переноса p_i формируется с помощью многовходовых элементов И. На рис. 3.44 представлен фрагмент схемы.

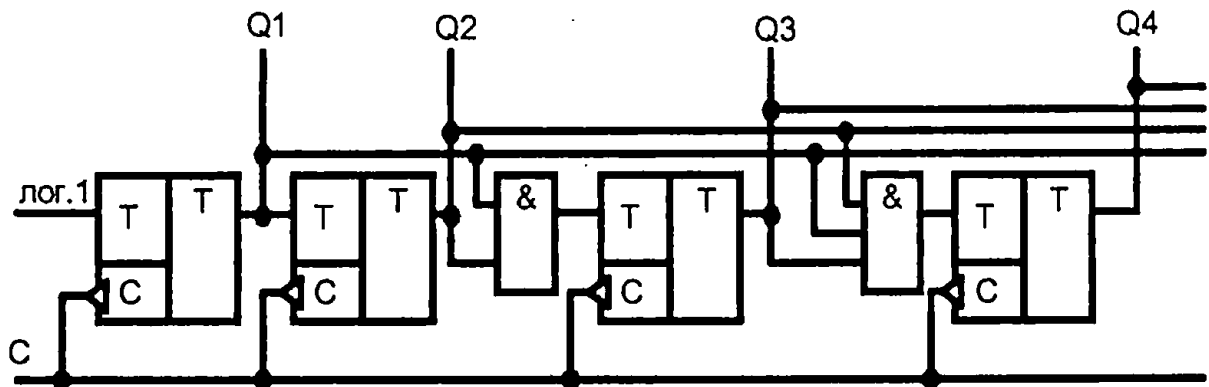


Рис. 3.44

В схеме на рис. 3.44 все триггеры устанавливаются одновременно по приходу синхроимпульса C . Время установки счетчика равно времени задержки в одном разряде. Счетчики, реализующие алгоритм (3.28), называются счетчиками с параллельным переносом. Они имеют значительно более высокое быстродействие.

Повышение быстродействия достигается за счет усложнения схемы. Время установления $t_{уст}$ таких счетчиков не зависит от числа разрядов и равно

$$t_{уст} = t_{зад\ tr} + t_{зад\ И}, \quad (3.29)$$

где $t_{зад\ И}$ — время задержки элемента $И$.

Однако, с ростом числа разрядов реализация параллельных счетчиков вызывает затруднения. Растет число входов элементов $И$, растет нагрузка на выходы триггеров. Кроме того, одновременное переключение сразу многих триггеров в счетчике создает значительный импульс тока в цепях питания.

Поэтому при большом числе разрядов используют комбинированную структуру последовательно — параллельного переноса. Суть данной организации состоит в объединении нескольких триггеров в группы. Формирование сигнала переноса осуществляют между группами (рис. 3.45).

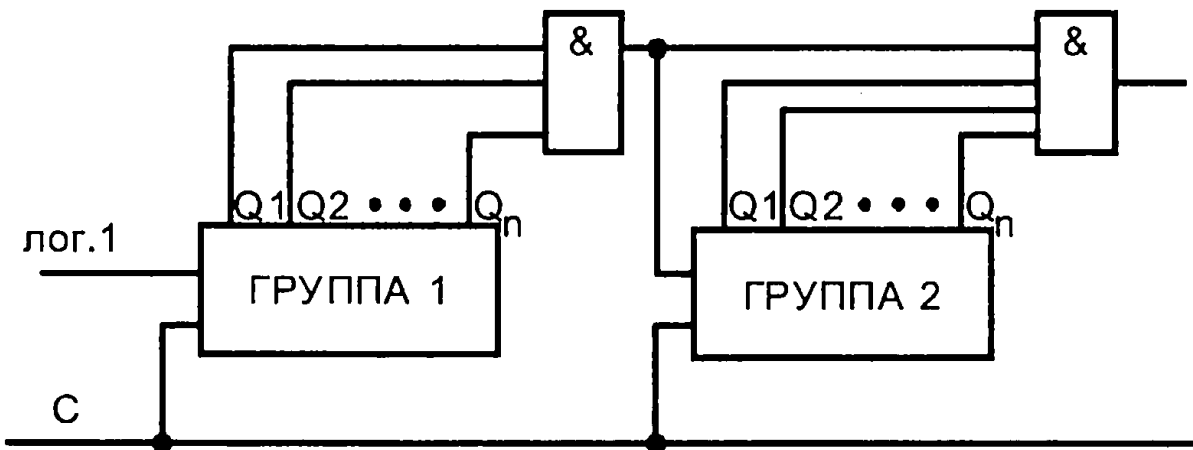


Рис. 3.45

3. Функциональные узлы цифровых устройств

Сигнал переноса из группы триггеров возникает при условии, что все триггеры этой группы находятся в единичном состоянии.

Упрощение комбинированного счетчика с последовательно-параллельным переносом приводит к некоторому снижению его быстродействия:

$$t_{уст} = t_{задИ} (l - 1) + t_{зр}, \quad (3.30)$$

где l — число групп;

$t_{зр}$ — время задержки (установления) в группе.

При необходимости формирования счетчиков большой размерности и уменьшения импульсов тока при переключении переходят к формированию счетчиков в коде Грея. Суть кода Грея заключается в том, что при переходе от одной кодовой комбинации к следующей соседней изменяется состояние только одного разряда. Однако полученный результат затем необходимо перевести в двоичный код с использованием преобразователя кода.

3.4.2. Двоично-кодированные счетчики с произвольным модулем счета

Нередко на практике необходимо создавать счетчики с модулями, не равным целой степени числа 2 — счетчики с произвольным модулем. Из них наиболее часто встречаются двоично-десятичные счетчики, поскольку десятичная система счисления является общепринятой.

Для построения счетчика с произвольным модулем M число $\log_2 M$ округляют до ближайшего большего целого числа

$$n \geq \log_2 M, \quad n — \text{целое.} \quad (3.31)$$

В результате получаем число необходимых триггеров. Основанием для счетчика с произвольным модулем служит двоичный счетчик, имеющий 2^n состояний. Следователь-

но, счетчик с произвольным модулем будет иметь L лишних неиспользуемых состояний, подлежащих исключению

$$L = 2^n - M. \quad (3.32)$$

Наибольшее распространение при построении таких счетчиков получили:

- ♦ метод исключения лишних состояний;
- ♦ метод управляемого сброса.

Первый метод основывается на алгоритме синтеза цифрового устройства. При таком подходе составляется граф и таблица переходов-выходов, производится выбор используемых триггеров. Затем составляется таблица истинности и минимизируется комбинационная схема. Полученное последовательностное устройство с памятью обладает схемой с однозначно определенными видами связи между отдельными элементами. Составление такой схемы целесообразно при проектировании устройств, выпускаемых большими партиями. Иначе первый подход экономически нецелесообразен.

Гораздо чаще на практике применяют метод управляемого сброса. Для реализации данного алгоритма пригоден любой двоичный счетчик, имеющий входы сброса и начальной установки.

Идея метода состоит в принудительном формировании сигнала сброса триггеров разрядных схем двоичного счетчика при появлении на его выходе кода, совпадающим с требуемым модулем счета M . Рассмотрим схему на рис. 3.46.

Четырехразрядный двоичный счетчик имеет дополнительно четырехходовый элемент $4И-НЕ$, на входы которого подаются сигналы с выходов триггера $Q_4\bar{Q}_3Q_2\bar{Q}_1$. При появлении на синхронизирующем входе S одиннадцатого по счету импульса триггера счетчика устанавливаются в состояние 1010

3. Функциональные узлы цифровых устройств

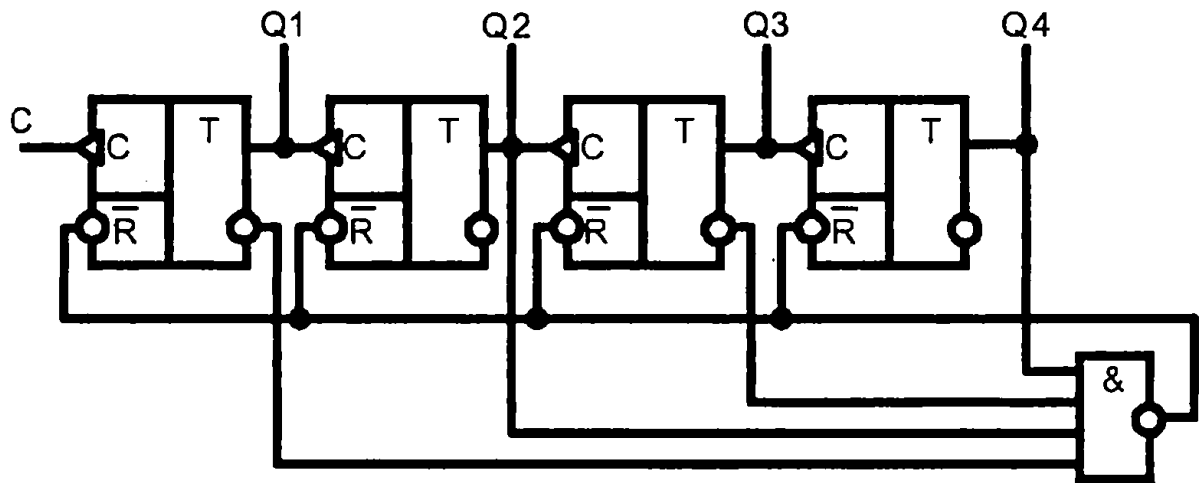


Рис. 3.46

$$Q_4 = 1 \quad Q_3 = 0 \quad Q_2 = 1 \quad Q_1 = 0, \quad (3.33)$$

что соответствует

$$Q_4 \bar{Q}_3 Q_2 \bar{Q}_1 = 1111. \quad (3.34)$$

Тогда элемент *4И-НЕ* через время, равное задержке распространения сигнала формирует на своем выходе нулевой сигнал сброса, который, поступая на асинхронные входы \bar{R} всех триггеров, принудительно устанавливает их в нулевое состояние. Далее начинается новый цикл счета.

Временные диаграммы, иллюстрирующие работу десятичного счетчика, представлены на рис. 3.47.

В методе управляемого сброса на короткое время, обусловленное задержкой $t_{\text{зад}}$ в элементах тракта *4И-НЕ* и срабатыванием триггеров по входу обнуления \bar{R} , в счетчике устанавливается лишнее выходное состояние 1010 (рис. 3.47). Если такое явление даже кратковременное является недопустимым, то проектируют счетчик по методу исключения лишних состояний.

Решение задачи управляемого сброса можно упростить. Например, при формировании двоично-десятичного счетчика обратим внимание, что единичные выходы берут с двух разрядов — второго и четвертого. Тогда можно ис-

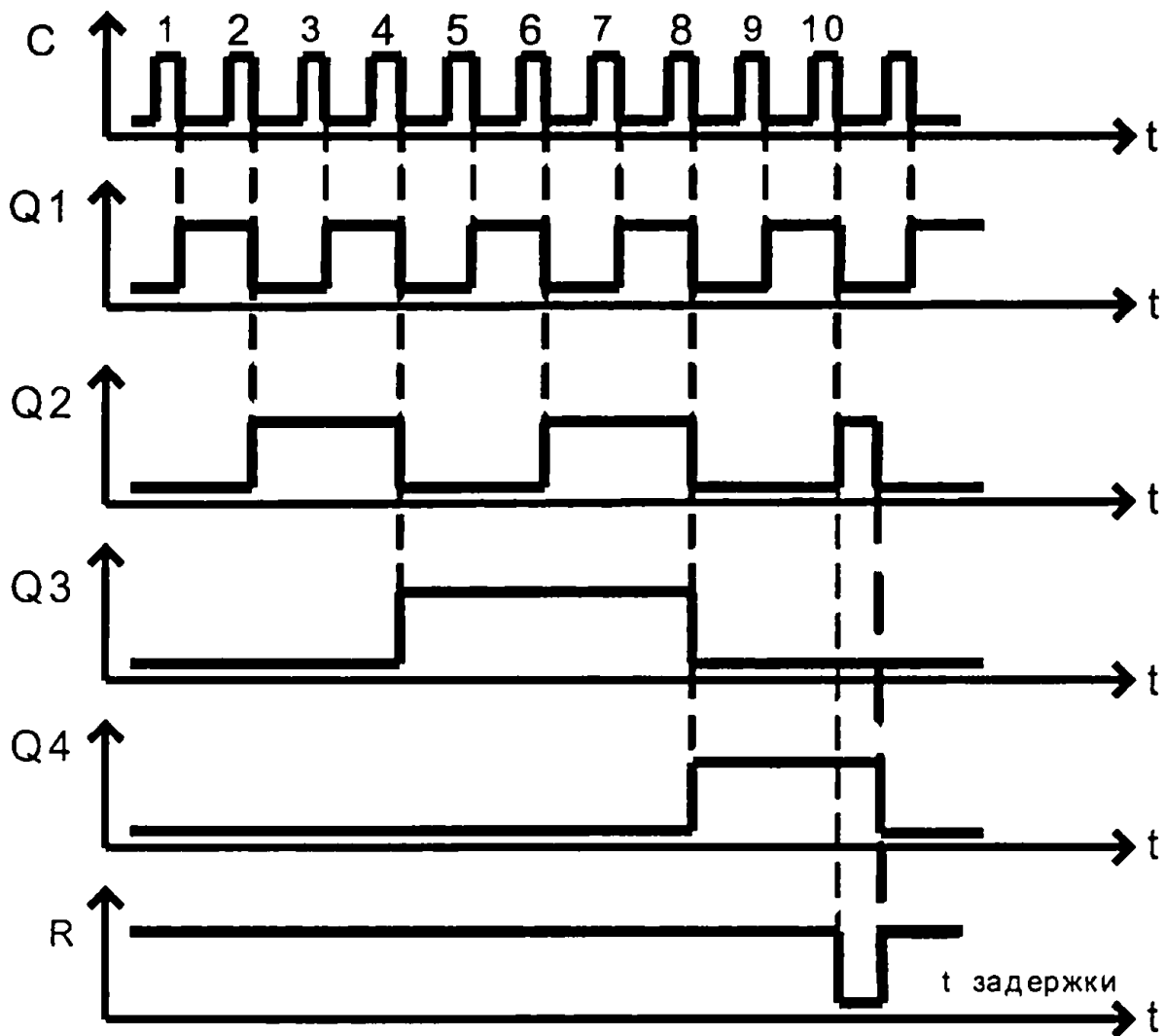


Рис. 3.47

пользовать двухвходовый элемент *2И-НЕ*, подавая на его входы сигналы Q_4 Q_2 , а инверсные выходы с первого и третьего счетчиков $\overline{Q_3}$ $\overline{Q_1}$ не использовать.

По такому принципу строится десятичный счетчик на микросхеме К555ИЕ5, имеющий два входа асинхронного сброса (рис. 3.48, а), объединенных операцией *И-НЕ*. Для выполнения десятичного счета достаточно входы RO (1), RO (2) соединить с выходами Q_4 Q_2 .

Ввиду особой важности десятичных счетчиков в стандартных сериях микросхем имеются десятичные счетчики. Например, микросхема К555ИЕ9 (рис. 3. 48, б) — четырехразрядный двоично-десятичный счетчик с асин-

3. Функциональные узлы цифровых устройств

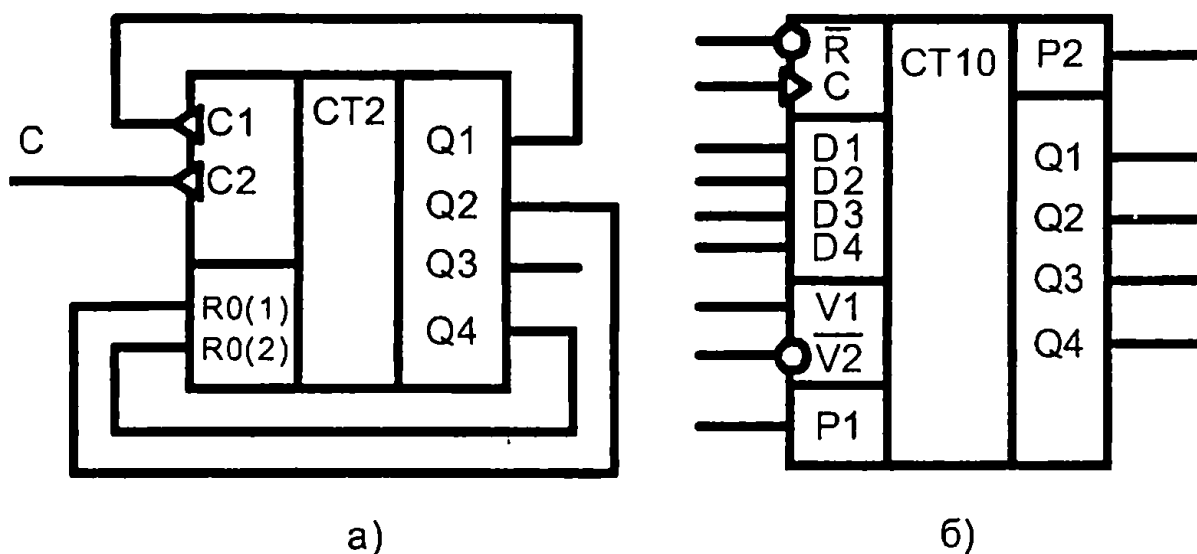


Рис. 3.48

хронным сбросом, дешифрирующим счетным выходом, с возможностью синхронной установки с произвольное состояние от нуля до девяти. Счетчик имеет вход синхронизации C , вход установки нуля R , четыре информационных входа $D1-D4$, входы разрешения счета $V1$, разрешения предварительной записи $V2$, разрешения переноса $P1$, четыре выхода $Q1-Q4$ и выход переноса информации $P2$.

Для переноса импульса в следующий каскад предусмотрена специальная схема с входом разрешения переноса $P1$ и выходом $P2$. При подаче на вход схемы девятого счетного импульса на выходе $P2$ появляется высокий уровень. После десятого импульса, когда счетчик обнуляется, выход $P2$ снова переходит в состояние низкого уровня. Следовательно, на каждые десять импульсов счета формируется один импульс переноса на вход счетчика старшего разряда.

Аналогичным образом могут быть построены счетчики на любое другое значение модуля счета. Например, для построения счетчика по модулю 5 согласно (3.31) необходимо три триггера $3 \geq \log_2 5$. На рис. 3.49 показан пример счетчика по модулю 5.

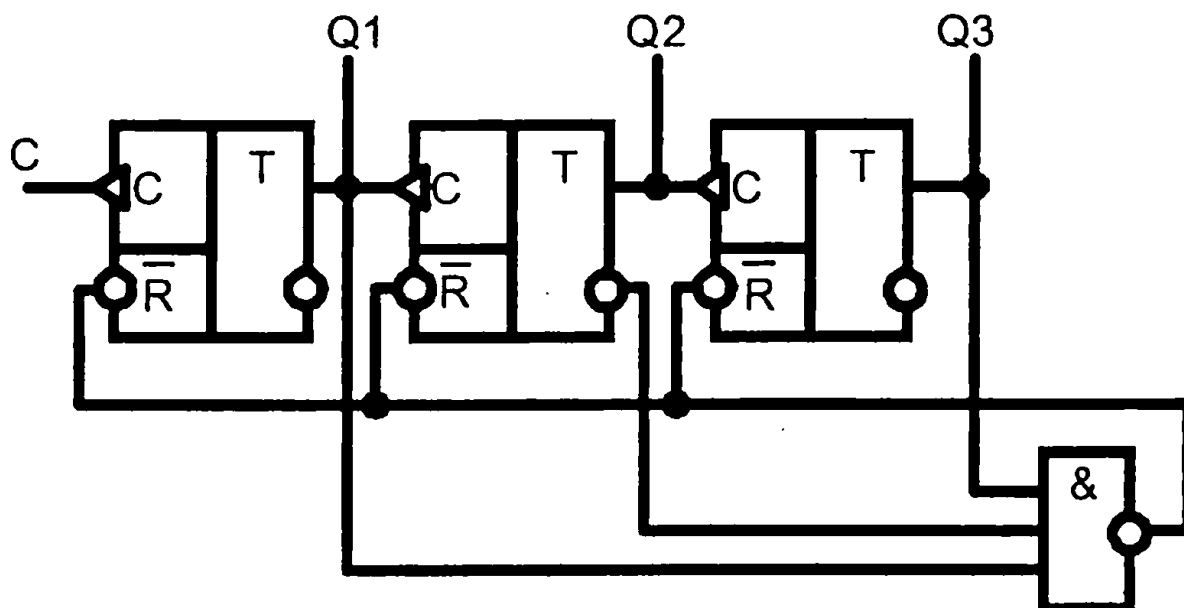


Рис. 3.49

На входы элемента *ЗИ-НЕ* подаются сигналы $Q_3\bar{Q}_2Q_1$ в соответствии с $5_{10} = 101_2$. Далее по приходу пятого импульса на выходе элемента *ЗИ-НЕ* формируется нулевой уровень, который обнуляет счетчик, поступая на входы асинхронного сброса \bar{R} всех триггеров.

Отметим, что среди других счетчиков с недвоичным кодированием практическое значение имеют счетчики с кодом Грея, счетчики Джонсона, счетчики с кодом «1 из N».

3.5. Сумматоры

Сумматоры выполняют арифметическую операцию сложения двух чисел.

Они имеют как самостоятельное значение, так и являются составной частью арифметическо-логического устройства (АЛУ). При организации различных вычислительных процессов суммированию отводится главная роль, оно является основной операцией. Например, вычитание — это суммирование с использованием дополнительного либо обратного кода, умножение сводится к сдвигу и сложе-

3. Функциональные узлы цифровых устройств

нию (суммированию) двоичных чисел. Следует отметить, что сумматоры являются логическими устройствами, функционируют по законам алгебры логики, но выполняют операцию арифметического, а не логического сложения.

В соответствии с определением, сумматор суммирует два числа. Выходной сигнал зависит только от двух входных сигналов, действующих на входе в текущий момент. Следовательно, сумматор является комбинационным устройством. Однако, некоторые сумматоры, например, накапливающий сумматор и другие, содержат в своем составе элементы памяти.

По числу выводов различают: полусумматоры, одноразрядные сумматоры, многоразрядные сумматоры.

Полусумматор имеет два входа и два выхода, предназначен для сложения двух одноразрядных слов и формирует на своих выходах сигнал суммы и сигнал переноса в старший разряд.

Одноразрядный сумматор имеет три входа и два выхода, предназначен для сложения двух одноразрядных слов и формирует сигнал выхода и сигнал переноса в старший разряд из входных слов и сигнала переноса из младшего разряда.

Многоразрядный сумматор предназначен для сложения многоразрядных слов.

В настоящее время выпускают микросхемы одно-, двух- и четырехразрядные сумматоры. Маркировку микросхем — сумматоров можно определить по буквам ИМ — функциональное назначение, например, К555ИМ6 — четырехразрядный полный двоичный сумматор. На принципиальных схемах сумматоры обозначают буквами *SM* (рис. 3.50).

В зависимости от способа обработки чисел сумматоры разделяются на сумматоры последовательного и параллельного типов. Сложение чисел в последовательных сумматорах осуществляется поразрядно, последовательно во време-

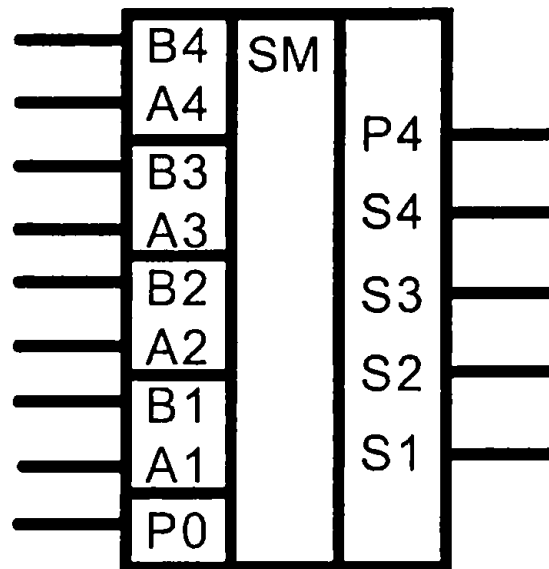


Рис. 3.50

ни. В сумматорах параллельного действия сложение всех разрядов многоразрядных чисел происходит одновременно.

По способу тактирования различают синхронные и асинхронные сумматоры. В синхронных сумматорах операция сложения осуществляется по тактовым импульсам, и время ее проведения не зависит от длины разрядов кодов, остается постоянным. В асинхронных сумматорах время выполнения операции зависит от длины входных кодов и поэтому необходимо формировать признак окончания операции.

В зависимости от используемой системы счисления различают двоичные, двоично-десятичные и другие типы сумматоров.

В виду особой важности сумматоров разработано большое количество разнообразных схем на основе различных алгоритмов синтеза. Рассмотрим наиболее характерные схемы построения сумматоров.

3.5.1. Одноразрядный полусумматор

В сумматорах операция суммирования чисел, представленных в двоичном коде, осуществляется поразрядно.

3. Функциональные узлы цифровых устройств

Простейший случай — это суммирование двух одnorазрядных слов. В десятичной системе

$$0 + 0 = 0; 0 + 1 = 1; 1 + 0 = 1; 1 + 1 = 2; \quad (3.35)$$

что соответствует в двоичной системе счисления

$$0 + 0 = 0; 0 + 1 = 1; 1 + 0 = 1; 1 + 1 = 10. \quad (3.36)$$

В последнем случае результат суммы оказался двухразрядным $10_2 = 2_{10}$. Обычное явление, когда при суммировании двух чисел в любой системе счисления результат имеет на один разряд больше. В двоичной системе единица в старшем разряде суммы называется единицей переноса. Сведем формулы (3.36) в таблицу.

Таблица 3.17

Таблица истинности полусумматора

Слагаемые		Результат	
<i>a</i>	<i>b</i>	Сумма <i>S</i>	Перенос <i>P</i>
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Из таблицы 3.17 получим аналитические выражения для суммы *S* и переноса *P*

$$S = \bar{a}b \vee a\bar{b} = (\bar{a}|b)|(a|\bar{b}); \quad (3.37)$$

$$p = ab. \quad (3.38)$$

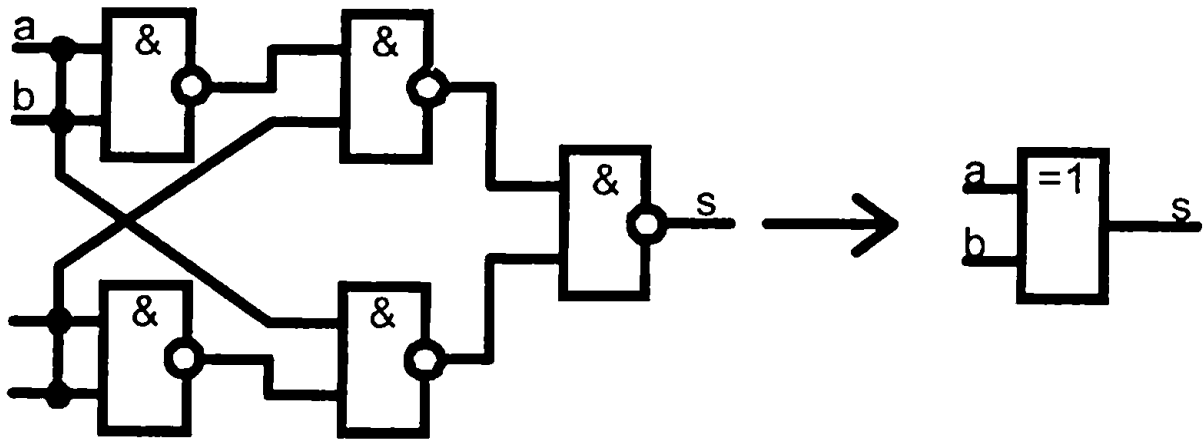
Выражение для *S* можно записать с помощью известной операции **ИСКЛЮЧАЮЩЕЕ-ИЛИ**

$$S = a \oplus b. \quad (3.39)$$

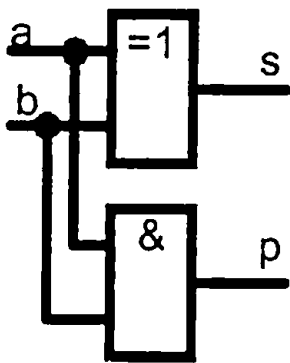
Техническая реализация полусумматора на основе (3.37) — (3.39) представлена на рис. 3.51.

Используя представление в базисе **ИЛИ-НЕ**, из таблицы 3.17 получим

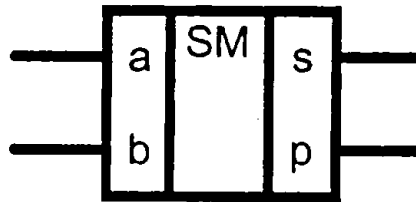
$$S = (a \vee b)(\bar{a} \vee \bar{b}) = (a \vee b)(\overline{ab}) = (a \vee b)\bar{p}. \quad (3.40)$$



а)



б)



в)

Рис. 3.51

На основе формулы (3.40) построим схему полусумматора, содержащего меньшее число логических элементов (рис. 3.52)

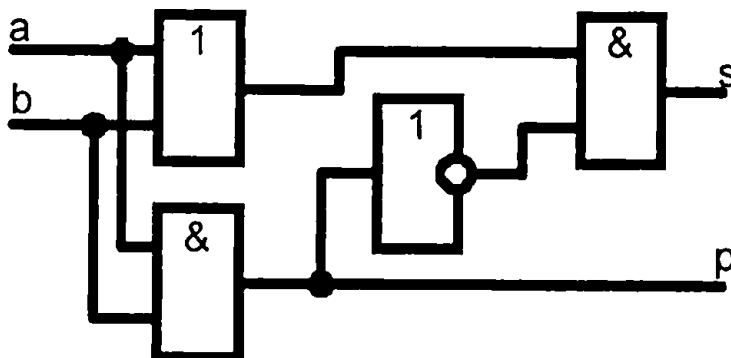


Рис. 3.52

В то же время схема (рис. 3.52) содержит различные элементы: И, НЕ, ИЛИ.

3. Функциональные узлы цифровых устройств

Полусумматор (рис. 3.51; 3.52) не имеет входа переноса с предыдущего разряда, поэтому его можно использовать только в младших разрядах устройства обработки многоразрядных двоичных слов.

Составим таблицу истинности сложения одного разряда многоразрядного двоичного слова с учетом переноса из младшего разряда (таблица 3.18).

Таблица 3.18

Таблица истинности одnorазрядного сумматора

Входы			Выходы	
слагаемые		перенос	сумма	перенос
a_i	b_i	p_i	S_i	P_{i+1}
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

Пользуясь таблицей истинности 3.18 в базисе *И-ИЛИ-НЕ* получаем выражения для

$$\begin{aligned}
 S_i &= \overline{\overline{a_i b_i p_i} \vee a_i b_i \overline{p_i} \vee \overline{a_i} b_i p_i \vee a_i \overline{b_i} p_i}, \\
 p_{i+1} &= \overline{\overline{a_i b_i} \vee \overline{a_i} \overline{p_i} \vee \overline{b_i} \overline{p_i}}.
 \end{aligned}
 \tag{3.41}$$

С другой стороны, составляем совершенную дизъюнктивную нормальную форму

$$\begin{aligned}
 S_i &= \overline{a_i} b_i \overline{p_i} \vee a_i \overline{b_i} \overline{p_i} \vee \overline{a_i} \overline{b_i} p_i \vee a_i b_i p_i, \\
 p_{i+1} &= a_i b_i \overline{p_i} \vee \overline{a_i} b_i p_i \vee a_i \overline{b_i} p_i \vee a_i b_i p_i.
 \end{aligned}
 \tag{3.42}$$

После преобразований (3.42), используя функции «равнозначность» (*ИСКЛЮЧАЮЩЕЕ ИЛИ-НЕ*), «неравнозначность» (*ИСКЛЮЧАЮЩЕЕ ИЛИ*), получим

$$S_i = p_i \overline{(a_i \oplus b_i)} \vee \bar{p}_i (a_i \oplus b_i) = (a_i \oplus b_i) \oplus p_i; \quad (3.43)$$

$$p_{i+1} = a_i b_i \bar{p}_i \vee p_i (a_i \vee b_i) = a_i b_i \vee p_i (a_i \oplus b_i).$$

Полный одноразрядный сумматор в соответствии с (3.43) построим из двух полусумматоров (рис. 3.53)

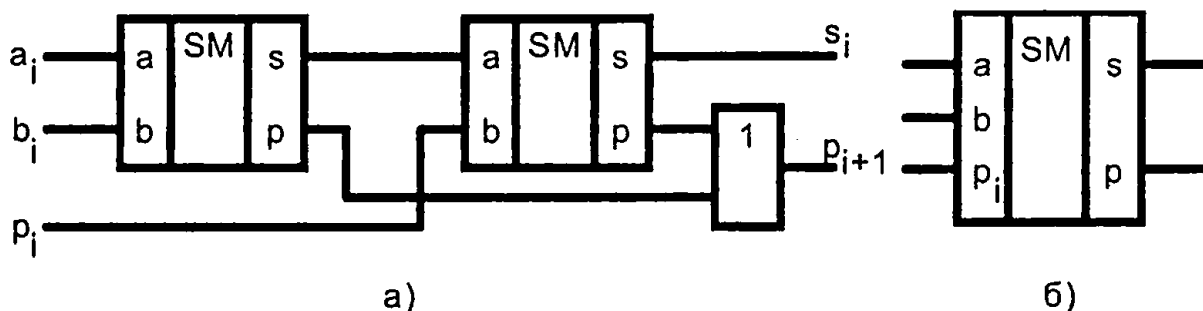


Рис. 3.53

Полные одноразрядные сумматоры являются основой, из которых получают различные схемы многоразрядных сумматоров.

3.5.2. Многоразрядные сумматоры

Сумматор параллельного действия содержит одноразрядные сумматоры, число которых равно разрядности суммируемых двоичных слов (рис. 3.54).

Разряды двоичных слов поступают на соответствующие одноразрядные сумматоры. Каждый одноразрядный сумматор формирует выходы суммы $S_1 - S_n$ и выходы переноса P . Перенос передается на вход следующего одноразрядного сумматора более старшего разряда. По цепям переноса сумматоры соединены последовательно. Импульс переноса в каждом сумматоре формируется после того, как будет сформирован и поступит на сумматор перенос из предыдущего разряда. Поэтому быстродействие такого параллельного сумматора с последовательным переносом невысокое. В наихудшем случае перенос может последовательно пройти все сумматоры.

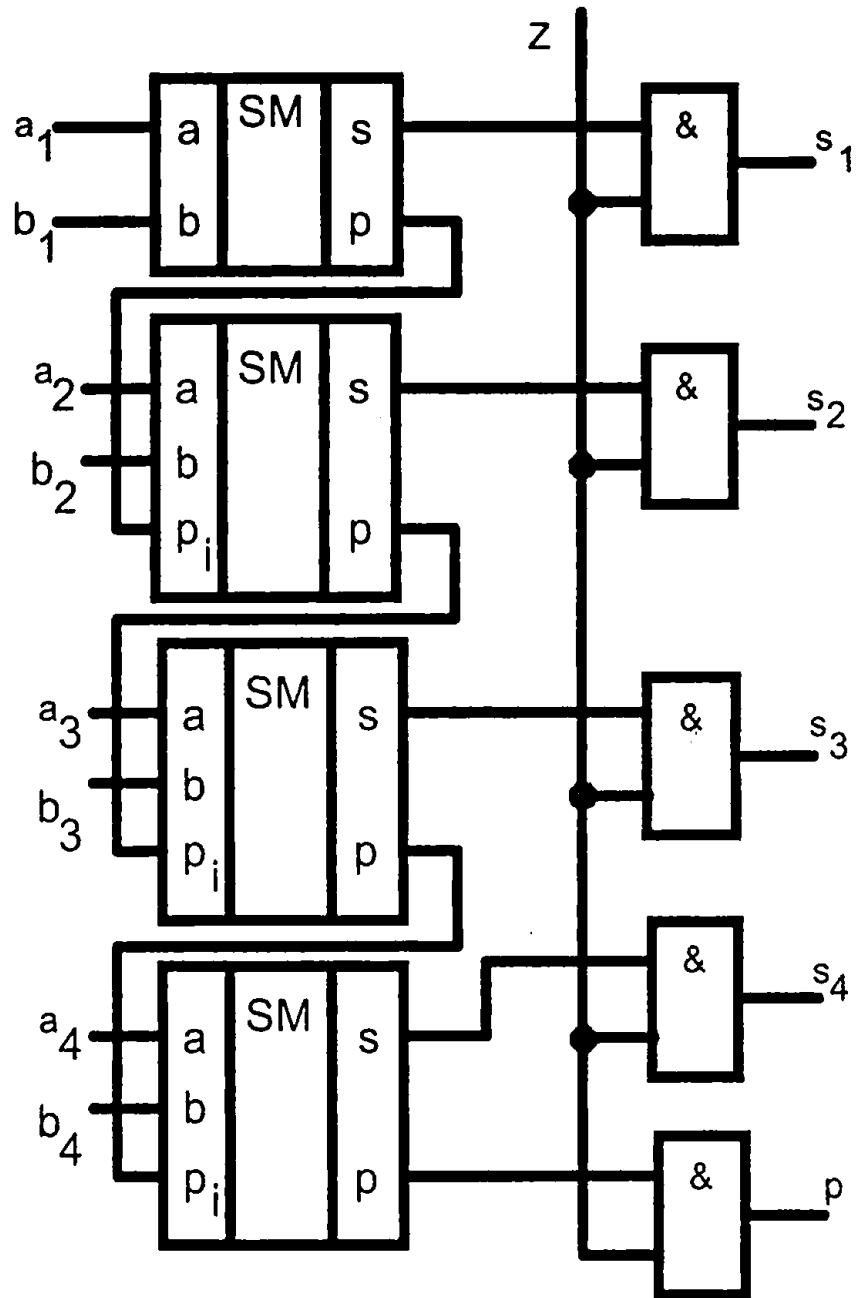


Рис. 3.54

Общая задержка сигнала

$$\tau = n\tau_1, \quad (3.44)$$

где τ_1 — задержка распространения в одном сумматоре.

Повышение быстродействия достигается несколькими направлениями.

1. Повышение быстродействия элементов, используемых в цепях переноса.

2. Уменьшение числа нагрузок на выходы переноса P . В этом случае снижается суммарная емкость нагрузки, что ведет к повышению быстродействия.

3. Уменьшение числа элементов в цепях переноса. Этот принцип реализуется путем использования элементов типа *И-ИЛИ*, *И-ИЛИ-НЕ*.

4. Формирование переносов в параллельной форме одновременно для всех сумматоров.

5. Использование отдельных комбинационных схем для формирования импульсов переноса независимо от одноразрядных сумматоров, например, с использованием формул типа (3.41) — (3.42). Также разрабатывают сумматоры, в комбинационных схемах ускоренного переноса которых формируются дополнительные величины, используемые для формирования сигнала переноса.

В результате задержки сигналов в логических элементах и неодновременного прихода сигналов на входы a , b , p сумматоров (задержка переноса) выходной код суммы может принимать в течение коротких интервалов времени ложные значения, не соответствующие входным суммируемым кодам.

Для того, чтобы избежать неопределенных состояний, применяют синхронизирование или стробирование выходных сигналов. В схеме рис. 3.54, а для этой цели используются логические элементы *И*. На один вход ЛЭ *И* поступают сигналы с выходов одноразрядных сумматоров, а на другой вход подается сигнал Z , который определяет момент выдачи результата суммы. При $Z = 0$ на выходах всех элементов *И* устанавливается логический 0. При $Z = 1$ выход схем *И* определяется выходами одноразрядных полусумматоров и равен им.

В параллельных сумматорах с параллельным переносом повышение быстродействия сумматоров достигается путем существенного усложнения схемы. Компромиссным

3. Функциональные узлы цифровых устройств

является построение сумматоров с групповой структурой. В таких сумматорах одноразрядные сумматоры разбиваются на группы с условием

$$n = ml, \quad (3.45)$$

где n — число разрядов сумматора;

m — число одноразрядных сумматоров в группе;

l — число групп.

Внутри группы и между группами осуществляются различные виды переноса.

В качестве примера на рис. 3.50 показана микросхема К555ИМ6 — четырехразрядный двоичный полный сумматор с ускоренным переносом на основе схем *И-ИЛИ-НЕ*. Выполняет операцию сложения двух четырехразрядных чисел в двоичном коде с учетом переноса из младшего разряда и выдает сумму этих чисел и перенос в старший разряд.

Сумматор последовательного действия содержит один одноразрядный сумматор, D -триггер и три сдвиговых регистра (рис. 3.55). Два сдвиговых регистра используются для хранения слагаемых, а в третий записывается результат суммирования. Регистры обычно выполняются отдельно от сумматора и являются отдельными микросхемами.

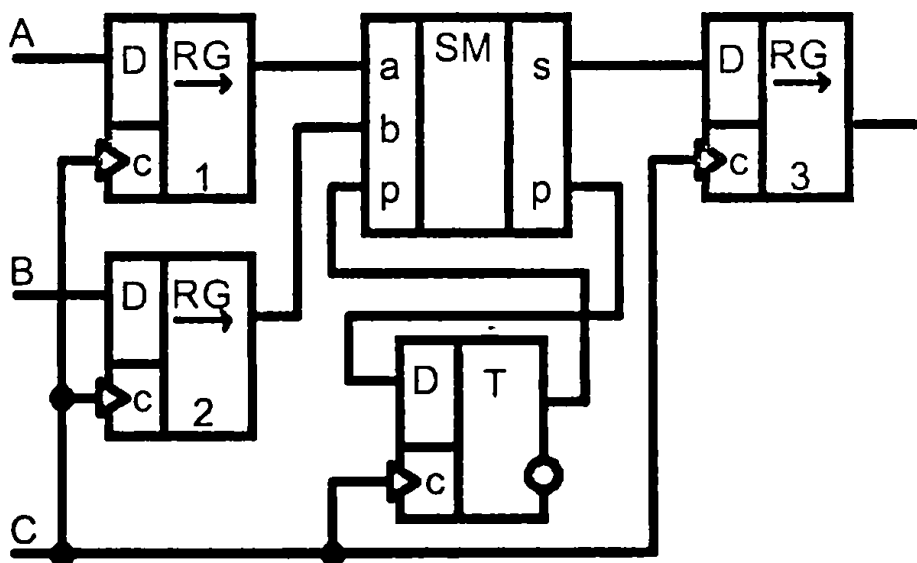


Рис. 3.55

Под действием каждого синхроимпульса на входы a , b одноразрядного сумматора поступают разряды кодовых слов, начиная с младшего. На вход p подается сигнал переноса с выхода D -триггера. Результаты суммирования в последовательной форме записываются в третий регистр, новый сигнал переноса записывается в D -триггер по приходу следующего синхроимпульса.

Для выполнения суммирования на тактовый вход необходимо подать n синхронизирующих импульсов по числу разрядов суммируемых двоичных чисел. После каждого синхроимпульса выполняется счет одного разряда и формирование переноса в следующий разряд.

Достоинство последовательных сумматоров — малые аппаратные затраты, с другой стороны приводит к снижению быстродействия сумматора.

3.6. Триггер Шмитта

Триггеры Шмитта представляют собой специфические логические элементы, способные работать как с цифровыми, так и с аналоговыми сигналами на входе. Логические элементы со свойствами триггера Шмитта имеют внутреннюю положительную обратную связь, которая обеспечивает гистерезисную передаточную характеристику. Поэтому триггеры Шмитта способны преобразовывать аналоговые сигналы в цифровые. В частности, формировать импульсную последовательность из синусоидального сигнала.

Фронты цифровых сигналов, искаженные после прохождения по линиям связи, становятся пологими в результате воздействия шумов и помех. Импульс с зашумленными несформированными фронтом и срезом не пригоден для переключения цифровых устройств. Для восстановления формы импульсов, устранения помех и шумов применяются триггеры Шмитта.

3. Функциональные узлы цифровых устройств

Триггер Шмитта строится на базе двухкаскадного усилителя. Выходной сигнал триггера Шмитта имеет крутые импульсные перепады, длительность которых не зависит от скорости нарастания или спада входного сигнала. Передаточная характеристика триггера Шмитта двухпороговая, гистерезисная (рис. 3.56). Пороговые напряжения срабатывания $U_{срб}$ и отпускания $U_{отп}$ составляют

$$\begin{aligned} U_{пор1} &= U_{срб} = 1,7 \text{ В}; \\ U_{пор2} &= U_{отп} = 0,9 \text{ В}. \end{aligned} \quad (3.46)$$

При низком входном напряжении (точка А) на выходе устанавливается напряжение высокого логического уровня. При повышении входного напряжения $U_{вх}$ до 1,7 В напряжение на выходе скачком уменьшается до напряжения логического нуля (переходит от точки В к точке В). Участку $Б \rightarrow В$ соответствует $U_{вх} = U_{срб} = 1,7 \text{ В}$.

Далее, увеличивая входное напряжение, поддерживаем на выходе низкий уровень $U_{вых} \leq 0,3 \text{ В}$ (участок $В \rightarrow Г$). При уменьшении входного напряжения от точки $Г \rightarrow В \rightarrow Д$ в точке В не произойдет возрастание $U_{вых}$. Выходное напряжение скачком перейдет от низкого уровня к высокому в точке Д ($Д \rightarrow Е$) при $U_{вх} = U_{отп} = 0,9 \text{ В}$. При дальнейшем уменьшении $U_{вх}$ до 0 возвращаемся в точку А.

Таким образом, триггер Шмитта имеет различные пороги срабатывания и отпускания, которые определяют зону гистерезиса 800 мВ

$$U_{пор1} - U_{пор2} = U_{срб} - U_{отп} = 1,7 \text{ В} - 0,9 \text{ В} = 800 \text{ мВ}. \quad (3.47)$$

Зона гистерезиса согласно (3.47) симметрична относительно напряжения $1,3 \text{ В} \pm 400 \text{ мВ}$.

Графическое обозначение триггера Шмитта представляет собой упрощенное изображение его передаточной характеристики с гистерезисом (рис. 3.57).

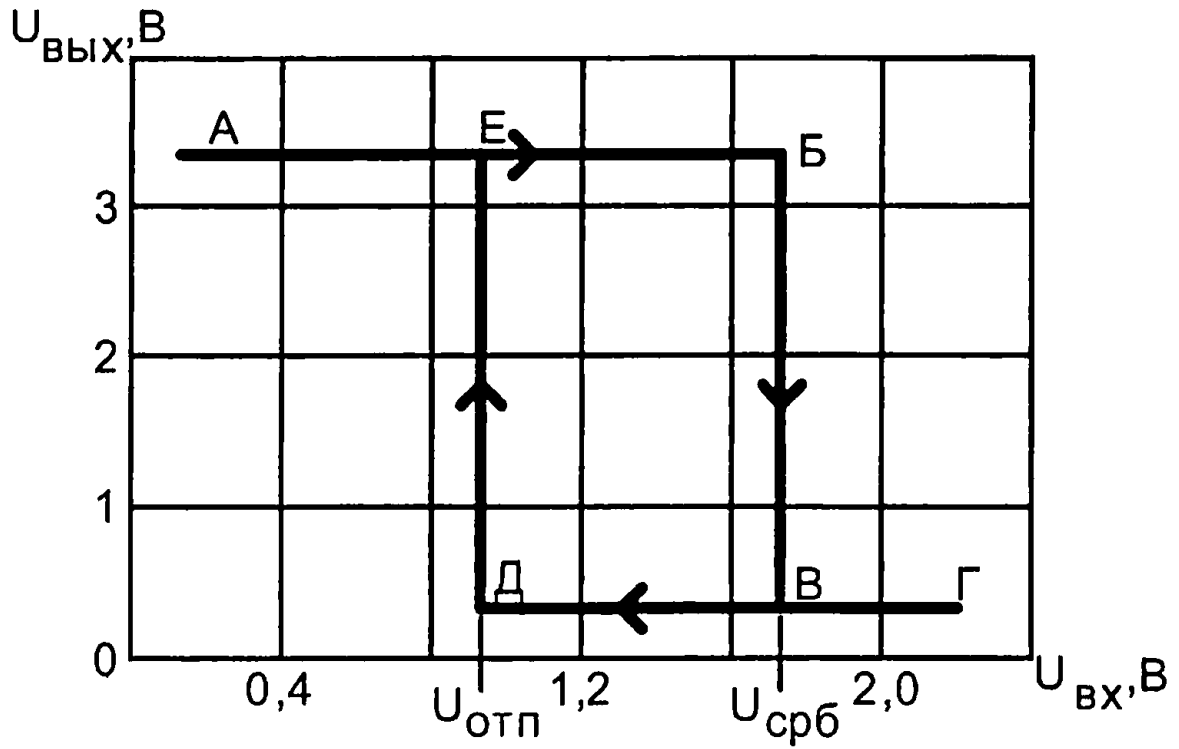


Рис. 3.56

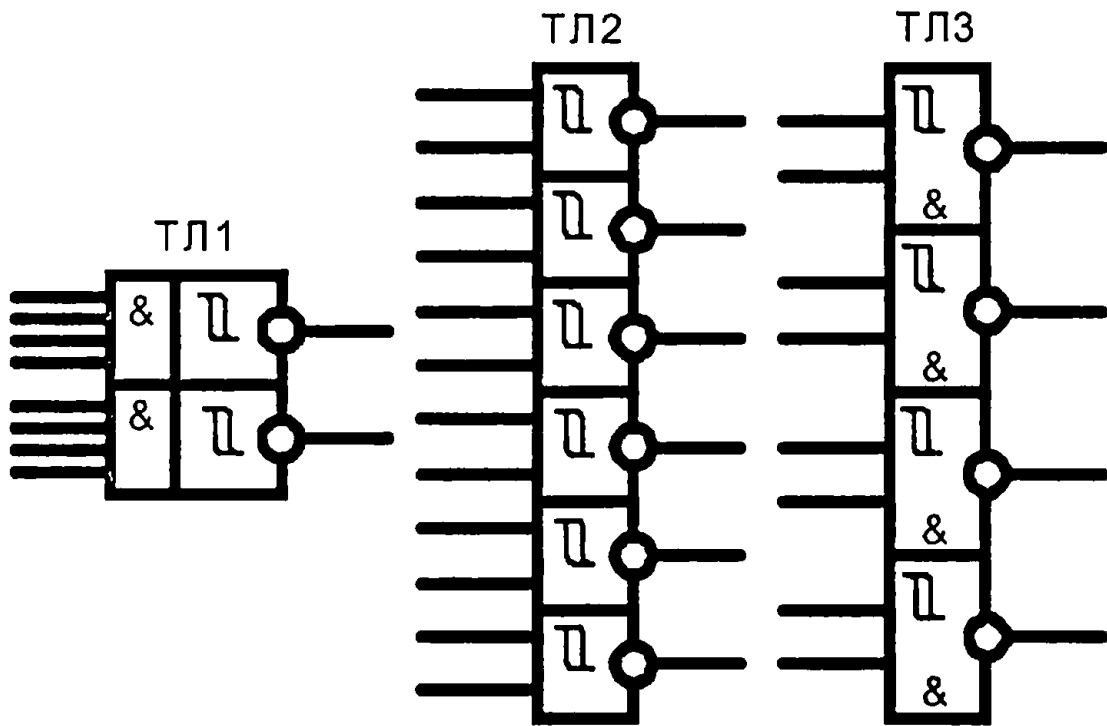


Рис. 3.57

3. Функциональные узлы цифровых устройств

Маркировка микросхем триггеров Шмитта по функциональному назначению содержит буквы *ТЛ*. Микросхема *ТЛ1* состоит из двух четырехходовых логических элементов *И-НЕ* с порогом Шмитта, *ТЛ2* имеет 6 инвертирующих усилителей с повышенной амплитудой выходного напряжения, *ТЛ3* — 4 двухходовых элемента *И-НЕ* с гистерезисной петлей триггера Шмитта. Использование элемента *И-НЕ* на входе дает возможность легко разрешать или запрещать работу элемента Шмитта.

На рис. 3.58 показана возможность реализации триггера Шмитта на простых инверторах. Подбором номиналов резисторов *R1*, *R2*, *R3* можно подбирать значения пороговых напряжений. Стандартные микросхемы триггера Шмитта *ТЛ1*, *ТЛ2*, *ТЛ3*, как уже отмечалось (3. 46) имеют $U_{пор1} = 1,7 \text{ В}$, $U_{пор2} = 0,9 \text{ В}$.

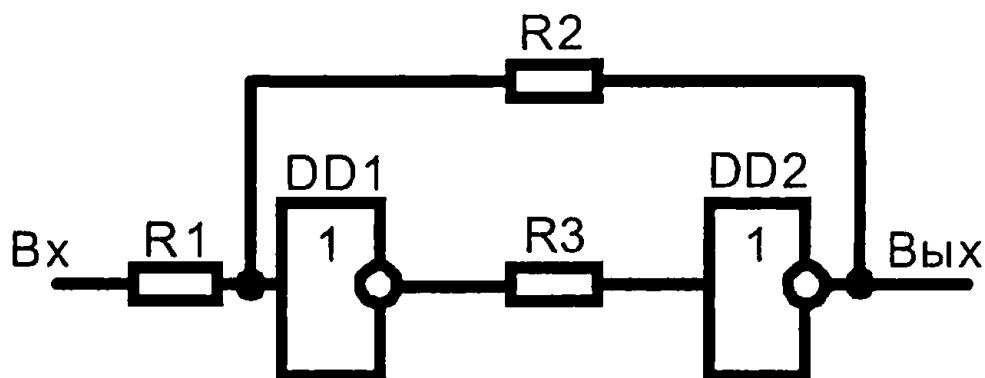


Рис. 3.58

Наличие гистерезиса позволяет отсекают любой шум, меньшей величины ($U_{пор1} - U_{пор2}$), и формировать крутые фронты импульсов. Благодаря своим свойствам: повышенная помехоустойчивость, восстановление искаженной формы импульса, усиление сигналов до стандартных уровней логического нуля и логической единицы, триггер Шмитта находит специфическое применение в цифровой технике. Особенно заслуживает внимания его использование в линиях приема и передачи сигналов.

3.7. Шинные приемопередатчики

К шине передачи данных обычно подключается много источников и приемников цифровых сигналов. При передаче сигналов по проводникам протекают большие импульсные токи, достигающие десятков миллиампер. Поэтому необходимы специальные микросхемы, обслуживающие шины данных.

Буферные микросхемы не выполняют логических функций, но формируют цифровые сигналы, усиливают импульсы по току, по мощности при работе на шину, отключают источник информации от шины, когда он не участвует в обмене, формируют при необходимости требуемые уровни сигналов логической 1 или логического 0. Буферные усилители передают сигнал без инверсии либо с инверсией, имеют вывод разрешения по входу или по выходу. Наиболее удобны для применения буферные элементы с тремя состояниями: выходные состояния высокого и низкого уровней, а также третье состояние высокого сопротивления — размыкания выхода по специальной команде. Третье состояние обозначается Z . Выходное сопротивление в режиме Z для буферного элемента составляет сотни килоом.

Буферные элементы, включаемые между источником информации и шиной, называются шинные формирователи, приемопередатчики, шинные драйверы или магистральные вентиль-буферы. Двухнаправленные шинные формирователи позволяют в зависимости от управляющего сигнала передавать информацию в шину данных или наоборот, принимать с шины и передавать приемнику. Различные шинные формирователи отличаются разрядностью, прямыми или инверсными сигналами разрешения-запрета работы, электрическими характеристиками.

В составе микросхем *ТТЛШ* имеются приемопередатчики *АП2-АП6*, *ИП6*, *ИП7* четырехканальные формиро-

3. Функциональные узлы цифровых устройств

ватели с тремя состояниями на выходах. Микропроцессорный комплект КР580 включает КР580ВА93 — приемопередатчики микропроцессор-канал общего пользования, КР580ВА86/КР580ВА87 — шинные формирователи. Буква И (в обозначении ИП) — соответствует подгруппе «схемы арифметических и дискретных устройств» (ИП-прочие); буква А — подгруппа формирователи (АП — формирователи прочие); буквы ВА — схемы вычислительных средств, сопряжение с магистралью.

Микросхемы К555ИП6 и К555ИП7 (рис. 3.59; таблица 3.19) — четырехшинные приемопередатчики с инверсией (ИП6) и без инверсии (ИП7) входного сигнала.

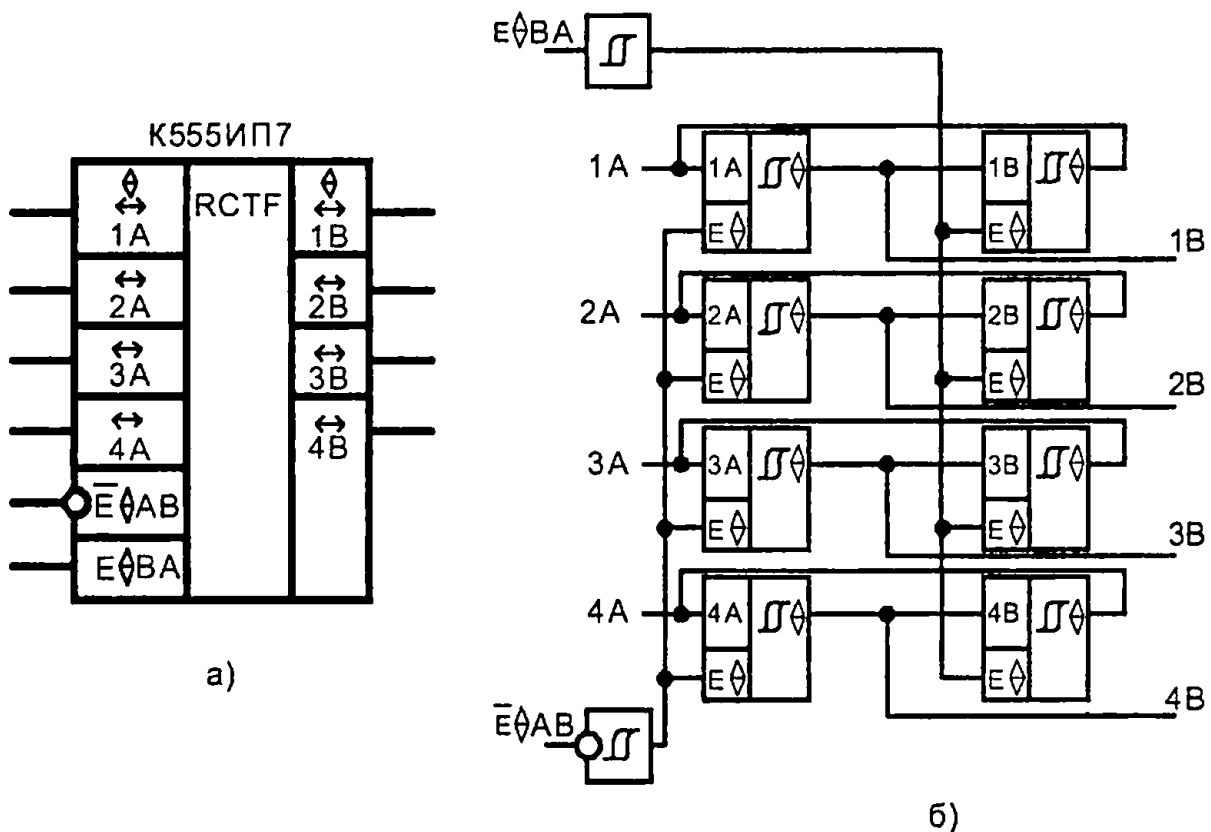


Рис. 3.59

Передача информации происходит от одного вывода к другому как в прямом, так и в обратном направлении, возможно также отключение выводов друг от друга. Каждая схема состоит из десяти триггеров Шмитта, два из

которых являются управляющими. Восемь триггеров включены попарно. Каждый вход триггера *A* соединяется с выходом триггера *B*, и они образуют один вывод *A*. Выход триггера *A* соединяется со входом триггера *B*. Так образуется вывод *B* схемы. Эти выводы *A–B* образуют одну шину приемопередатчика вход-выход или выход-вход (рис. 3.59).

Таблица 3.19

Таблица истинности ИС К555ИП7

$\bar{E}\diamond AB$	$E\diamond BA$	<i>A</i>	<i>B</i>	Примечание
1	1	0	0	<i>B</i> → <i>A</i>
1	1	1	1	<i>B</i> → <i>A</i>
0	1	X	X	X
1	0	Z	Z	Z
0	0	0	0	<i>A</i> → <i>B</i>
0	0	1	1	<i>A</i> → <i>B</i>

Работа интегральной схемы (ИС) К555ИП7 поясняется таблицей 3.19. Если на входах управляющих триггеров подано напряжение высокого уровня

$$E\diamond BA = 1, \bar{E}\diamond AB = 1,$$

то на $E\diamond$ входы *A*-триггеров поступает логический нуль, *A*-триггеры закрыты, а на входы $E\diamond$ *B*-триггеров — логическая единица, *B*-триггеры открыты. Передача информации осуществляется в направлении от выходов *1B–4B* к выходам *1A–4A*. При смене напряжения на направляющих входах с высокого (лог. 1) на низкое (лог. 0)

$$E\diamond BA = 0, \bar{E}\diamond AB = 0,$$

лог. 1 поступает на *A*-триггеры, лог. 0 — на *B*-триггеры. Передача информации будет осуществляться в обратном направлении от *A* к *B*.

При подаче на вход неинвертирующего управляющего триггера напряжения низкого уровня

$$E\diamond BA = 0,$$

3. Функциональные узлы цифровых устройств

а на вход инвертирующего — напряжения высокого уровня

$$\bar{E} \diamond AB = 1,$$

на выходах управляющих триггеров установится логический ноль — напряжение низкого уровня, что приведет к отключению всех остальных триггеров. Это и есть состояние схемы, когда выводы A и B отключены друг от друга — режим Z высокого выходного сопротивления.

Недостаток шинных формирователей (приемопередатчиков) ИП6, ИП7 заключается в том, что возможен прием недопустимой и опасной комбинации сигналов управления

$$E \diamond BA = 1, \bar{E} \diamond AB = 0.$$

Тогда на управляющих входах $E \diamond$ всех восьми триггеров установится напряжение высокого уровня лог. 1, и схема сможет пропускать информацию в обоих направлениях, что является недопустимым в работе, так как приводит к сбою аппаратуры.

Микросхемы К555АП3-К555АП5 представляют собой вдвоенные четырехканальные однонаправленные шинные формирователи с тремя состояниями на выходе, выполненные на основе триггеров Шмитта, предназначены для построения внутреннего интерфейса цифровой аппаратуры (рис. 3.60).

Для подключения к магистрали внешнего устройства также служат буферные регистры. В отличие от шинных формирователей буферные регистры содержат в своем составе триггеры и способны хранить поступающие данные (рис. 3.61), что составляет их важную функцию.

Буферные регистры с тремя состояниями обеспечивают портам возможность отключения от магистрали под воздействием управляющих сигналов \bar{E} , а также необходимую нагрузочную способность. Запись информации в регистры происходит при сигнале строба $STB = 1$. Через порты ввода данные поступают в магистраль, а через пор-

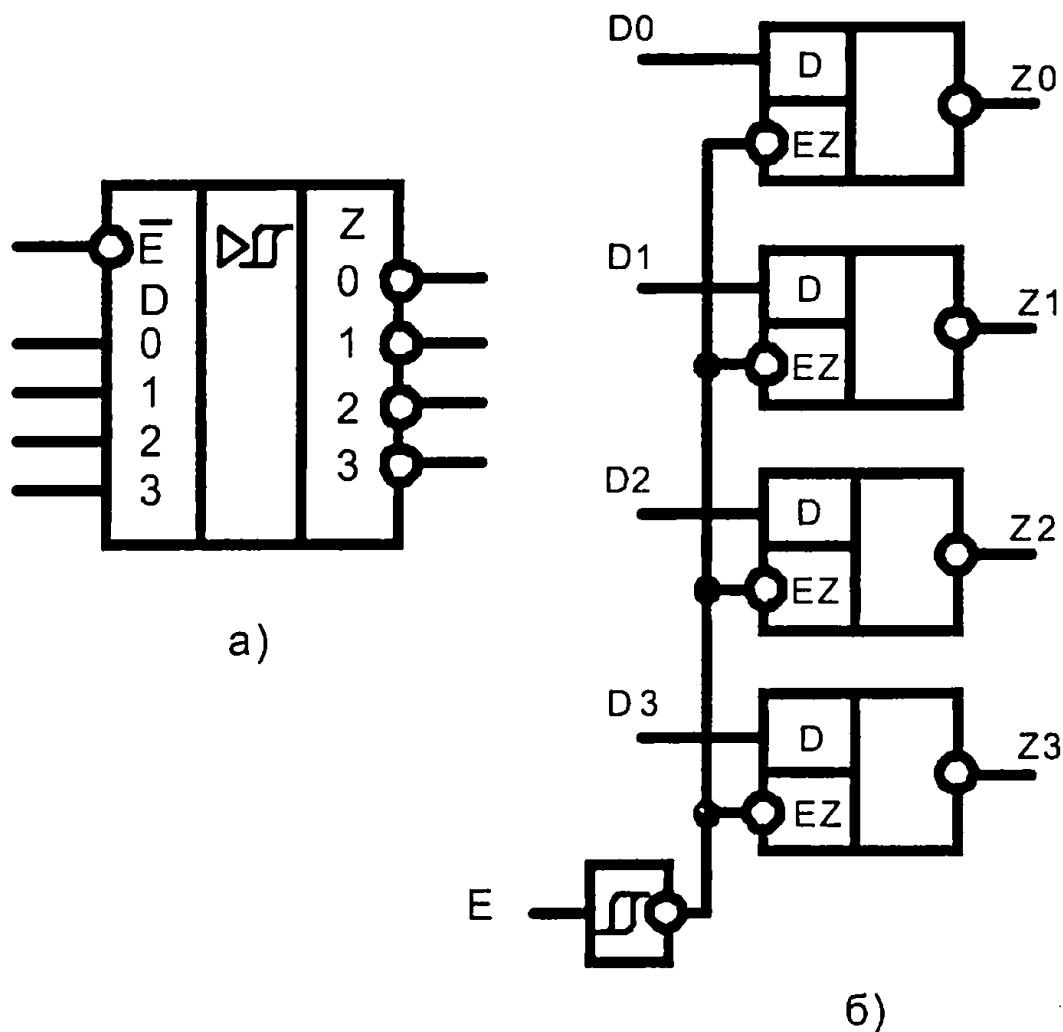


Рис. 3.60

ты вывода данные с магистрали передаются тому либо иному модулю. Порты ввода-вывода могут выполнять обе указанные операции.

Обозначаются буферные регистры также как и другие регистры буквами ИР. В микропроцессорном комплекте К580 имеются восьмиразрядные буферные регистры К580ИР82, К580ИР83. Примером часто применяемого порта может служить многоцелевой регистр К589ИР12. Буферные регистры широко представлены в сериях ИС. В серии КР1533 ТТЛШ буферные регистры обеспечивают выходные токи 15...70 мА при максимальных задержках тактируемого входа около 15 нс, временах выхода из тре-

3. Функциональные узлы цифровых устройств

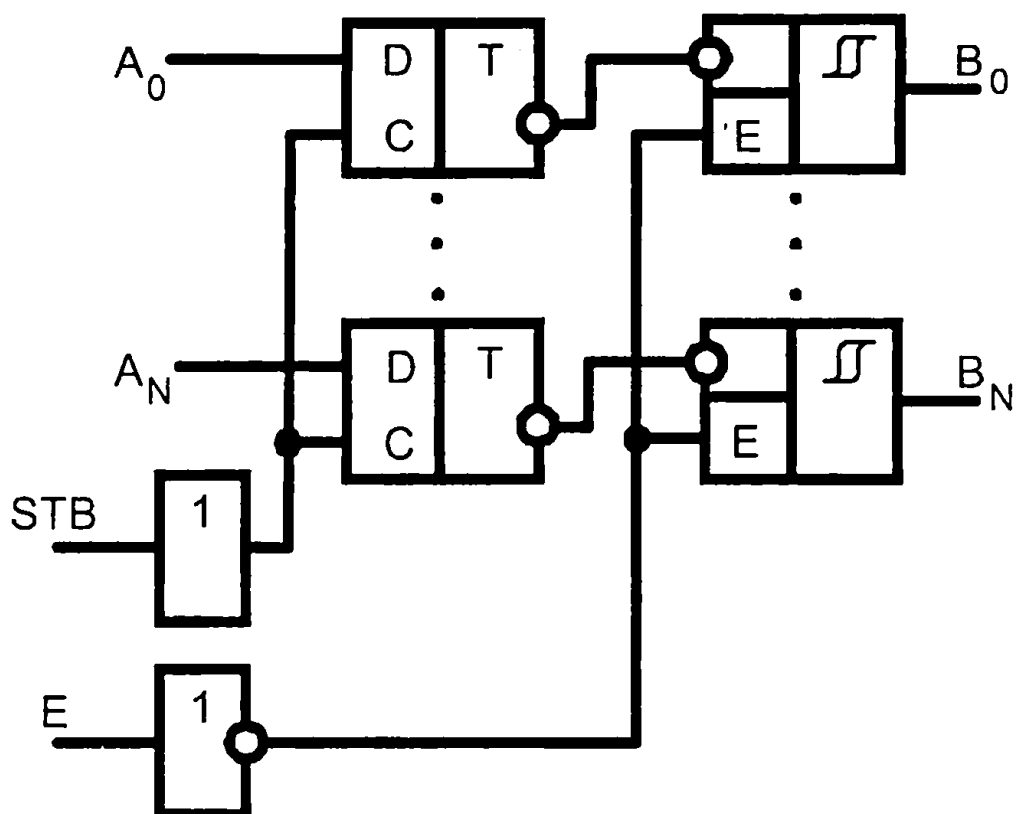


Рис. 3.61

того состояния Z около 20 нс и входа в третье состояние Z около 20...30 нс.

Шинные формирователи, приемопередатчики, буферные регистры связывают выходы микропроцессора с внешней средой, так как нагрузочная способность микропроцессора недостаточна.

Контрольные вопросы

1. Приведите и поясните классификацию триггеров по назначению входов: R, S, J, K, D, T.
2. Что обозначает вход C триггеров?
3. Приведите примеры комбинационных и последовательностных устройств, изученных в этой главе.
4. Поясните назначение мультиплексора и демultipлексора.
5. Поясните назначение шифратора и дешифратора.

Цифровые устройства и микропроцессоры

6. С какой целью строится мультиплексорное дерево?
7. Назовите классификацию регистров по способу ввода-вывода информации.
8. Покажите способы повышения быстродействия сумматоров.
9. Покажите способы повышения быстродействия счетчиков.

4. ЦИФРОВЫЕ УСТРОЙСТВА НА БИС

4.1. Общие сведения о микросхемах памяти

Компактная микроэлектронная память находит широкое применение в самых различных по назначению электронных устройствах. Понятие «память» связывается с ЭВМ и определяется как ее функциональная часть, предназначенная для записи, хранения и выдачи данных. Комплекс технических средств, реализующий функцию памяти, называется запоминающим устройством (ЗУ).

В цифровых системах ЗУ подразделяются на внешние и внутренние. Внешние ЗУ служат для хранения больших объемов информации: запасов данных и программного обеспечения системы, но работают со сравнительно низкой скоростью. Внешние ЗУ характерны неопределенно длительным сохранением информации при отсутствии питания. Такие ЗУ могут быть реализованы на основе самых разнообразных физических принципов и элементов. К их числу относятся широко известные магнитные элементы, в которых носитель информации выполнен в виде тонкого слоя магнитного материала (ленты, диски, барабаны, магнитопроводы); ЗУ на эффекте Джозефсона, оптических эффектах, компакт-диски и др. Различные типы ЗУ используются так, чтобы можно было свести к минимуму их недостатки и максимально использовать преимущества.

Из внешних ЗУ отдельные массивы информации, подлежащие текущей обработке, поступают во внутренние ЗУ, которые служат для хранения данных, используемых при реализации решения задачи или ее части. Это полупроводниковые ЗУ. Чтобы обеспечить высокую производительность системы, быстродействие внутренних ЗУ должно быть близким к быстродействию операционного и управляющего устройств.

Полупроводниковые ЗУ являются одним из основных типов в силу следующих особенностей.

1. Широкий диапазон быстродействия и функционального назначения.

2. Конструктивная, электрическая и технологическая совместимость с другими микросхемами.

3. Отсутствие необходимости применения мощных формирователей токов для записи и считывания информации, а также сложных высокочувствительных усилителей воспроизведения.

4. Высокая надежность и возможность обеспечения высокой информативной плотности.

5. Технологичность.

Микросхемы полупроводниковых ЗУ, как правило, представляют собой БИС и СБИС. Они входят в состав микропроцессорных комплектов микросхем или выполняются в виде автономных БИС.

В зависимости от назначения современных ЭВМ запоминающие устройства занимают 40–70% их объема. При проектировании предъявляются высокие и часто противоречивые требования к быстродействию, информационной емкости, потребляемой мощности, стоимости, надежности. Кроме того, ЗУ должны сохранять работоспособность в широком диапазоне температур, в условиях повышенных механических воздействий и т. д. Поэтому при разработке принимают компромиссные решения, используя в ЭВМ многоуровневую память.

4. Цифровые устройства на БИС

По функциональному назначению БИС ЗУ делят на оперативные (ОЗУ) и постоянные (ПЗУ).

Оперативные ЗУ выполняют запись, хранение и считывание произвольной двоичной информации. Они являются основным устройством памяти цифровых систем, в котором хранятся программы, определяющие процесс текущей обработки информации. Такие ЗУ позволяют в ходе выполнения программы заменять старую информацию новой, причем для записи и считывания доступна любая отдельная ячейка ОЗУ, поэтому их называют также — память с произвольной выборкой (английское *RAM* — *Random Access Memory*).

По способу хранения информации ОЗУ подразделяют на статические и динамические.

Элементы памяти статических ОЗУ представляют собой бистабильные ячейки, что определяет потенциальный характер управляющих сигналов и возможность считывания информации без ее разрушения. В статических ЗУ сохранение информации в матрице элементов памяти обеспечивается с помощью непрерывного потребления энергии от источника питания, при отключении которого информация разрушается.

В динамических ОЗУ в качестве запоминающего элемента используется конденсатор, в котором информация хранится в виде заряда. Заряд на запоминающем конденсаторе с течением времени уменьшается за счет токов утечки. Для восстановления заряда требуется периодическая подзарядка (регенерация) накопительного конденсатора, т. е. для управления требуются импульсно-потенциальные сигналы. При считывании информация, как правило, разрушается, но за счет регенерации снова восстанавливается. В современных конструкциях динамических ЗУ регенерация совмещается с обращением к элементу памяти или к группе элементов памяти. Динамические ЗУ вы-

полняются обычно на n -МОП-транзисторах, имеют высокую степень интеграции, эффективны для построения ЗУ большей емкости.

Постоянные запоминающие устройства (ПЗУ) — предназначены для хранения и считывания информации, которая не изменяется в процессе работы системы. Это стандартные подпрограммы и микропрограммы, преобразователи кодов, табличные значения различных функций, константы, которые будут часто использоваться. ПЗУ избавляют от необходимости загружать (записывать) программу каждый раз заново. Когда необходимо периодически менять информацию, используются перепрограммируемые ПЗУ. Информация в ПЗУ, в отличие от ОЗУ, записывается на кристалле с изменением его физических свойств, поэтому при отключении питания она сохраняется, т. е. хранение информации в ПЗУ энергонезависимо.

Этот класс ЗУ называют в зарубежной литературе ROM (*Read — Only — Memory* — память только для считывания).

В наиболее простых масочных ПЗУ информация записывается при их изготовлении на заводе заменой одного из фотошаблонов слоя коммутации.

Более удобны для пользователя электрически программируемые ПЗУ, однако они позволяют только однократно записывать информацию. Запись производится у потребителя на специальном стендовом оборудовании путем разрушения элементов структуры под действием приложенного электрического напряжения или тока. Разрушаемыми элементами структуры могут быть проводящие плавкие перемычки, а также тонкий слой диэлектрика или p - n -переходы. К недостаткам программируемых ПЗУ относятся самовосстановление перемычек и достаточно большое время на процесс программирования (несколько сотен миллисекунд на каждую перемычку или диод).

4. Цифровые устройства на БИС

Перепрограммируемые ПЗУ позволяют многократно записывать и стирать информацию. Электрическая запись и стирание в таких ПЗУ на МНОП (металл — нитрид — оксид — полупроводник) и МАОП (металл — алунд — оксид — полупроводник) осуществляют на специальном стендовом оборудовании. В перепрограммируемых ПЗУ с ультрафиолетовым стиранием стирание информации происходит под действием облучения через входное окно корпуса микросхемы, а запись — электрическими сигналами.

Перепрограммируемые ПЗУ сохраняют информацию при отключении питания, например, микросхемы ПЗУ на МНОП-транзисторах К1601РР1 в течение 5000 часов, перепрограммируемое ПЗУ с ультрафиолетовым стиранием К513РФ1 — 15000 часов.

Разработчики микроэлектронной аппаратуры применяют БИС перепрограммируемых ПЗУ для отладки и проверки правильности используемых программ, а затем, убедившись в их правильности, заменяют более дешевыми и быстродействующими БИС ПЗУ. Недостатком перепрограммируемых ПЗУ является их низкое быстродействие.

По способу обращения к массиву элементов памяти все ЗУ делятся на адресные и ассоциативные. В адресных ЗУ обращение к элементам памяти производится по их физическим координатам, задаваемым внешним двоичным кодом — адресом. Адресные ЗУ бывают с произвольным обращением, которые допускают любой порядок следования адресов, и с последовательным обращением, где выборка элементов памяти возможна в порядке возрастания или убывания адресов; функционально такие ЗУ представляют собой сдвигающие регистры. Ассоциативные ЗУ (АЗУ) — память со встроенной логикой, в которых выборка информации осуществляется по содержанию произвольного количества разрядов хранящихся в АЗУ чисел независимо от физических координат ячеек памяти.

По технологическому исполнению интегральные ЗУ имеют следующие разновидности: полупроводниковые ЗУ на основе биполярных структур, использующие схемотехнику ЭСЛ, ТТЛ и инжекционную И²Л; полупроводниковые ЗУ на основе МОП структур, использующие структуры *p*-МОП, *n*-МОП, КМОП, ЗУ на приборах с зарядовой связью.

По уровням входных и выходных сигналов ЗУ любого типа изготавливаются совместимыми с логическими элементами одной из трех стандартных систем: ЭСЛ, ТТЛ, КМОП. ЗУ на основе И²Л рассчитаны на работу с микросхемами ТТЛ или реже ЭСЛ, а ЗУ на основе *p*-МОП и *n*-МОП совместимы с микросхемами ТТЛ. При необходимости устанавливают схемы преобразователей уровней, например, ТТЛ — КМОП.

При маркировке микросхем ЗУ по функциональному назначению первая из двух букв является Р. Например,

РУ — оперативные запоминающие устройства (ОЗУ);

РМ — матрицы оперативных запоминающих устройств;

РВ — матрицы постоянных запоминающих устройств;

РТ — ПЗУ с возможностью однократного программирования;

РЕ — масочные ПЗУ;

РЦ — запоминающие устройства на цилиндрических магнитных доменах;

РР — постоянные запоминающие устройства с возможностью многократного электрического перепрограммирования;

РФ — ПЗУ с ультрафиолетовым стиранием и электрической записью информации;

РА — ассоциативные запоминающие устройства;

РП — прочие.

Основными параметрами микросхем памяти являются: информационная емкость, разрядность, быстродействие, потребляемая мощность, удельная стоимость, время хранения информации.

4. Цифровые устройства на БИС

Информационная емкость определяется максимальным числом одновременно хранящейся информации, выражается в битах. Этот параметр характеризует степень интеграции элементов на кристалле.

Разрядность определяется числом двоичных символов (разрядов) в запоминаемом числе.

Быстродействие микросхем памяти характеризуется временными параметрами. Время выборки — интервал времени между подачей на вход заданного сигнала и получением на выходе микросхемы данных. Время цикла записи считывания — интервал времени между началами (окончаниями) сигналов на одном из управляющих входов, в пределах, которого БИС выполняет одну из функций: запись либо считывание.

Время хранения информации — интервал времени, в течение которого микросхема в заданном режиме сохраняет информацию.

В систему временных параметров входят также длительности управляющих сигналов, их взаимный сдвиг, период повторения и длительность сигналов регенерации.

Потребляемая мощность обычно указывается, исходя из расчета на 1 бит. Для тех микросхем, у которых имеется существенное различие потребляемой мощности для разных режимов, приводятся два значения этого параметра: при хранении и при обращении.

Удельная стоимость одного бита информации — общая стоимость БИС, поделенная на информационную емкость. Этот параметр — один из решающих при сравнительных оценках микросхем памяти.

Остальные параметры — логические уровни U^0 , U^1 , помехоустойчивость, нагрузочная способность — определяются как и для других типов цифровых микросхем.

На рис. 4.1 приведена типовая схема полупроводниковой БИС ЗУ.

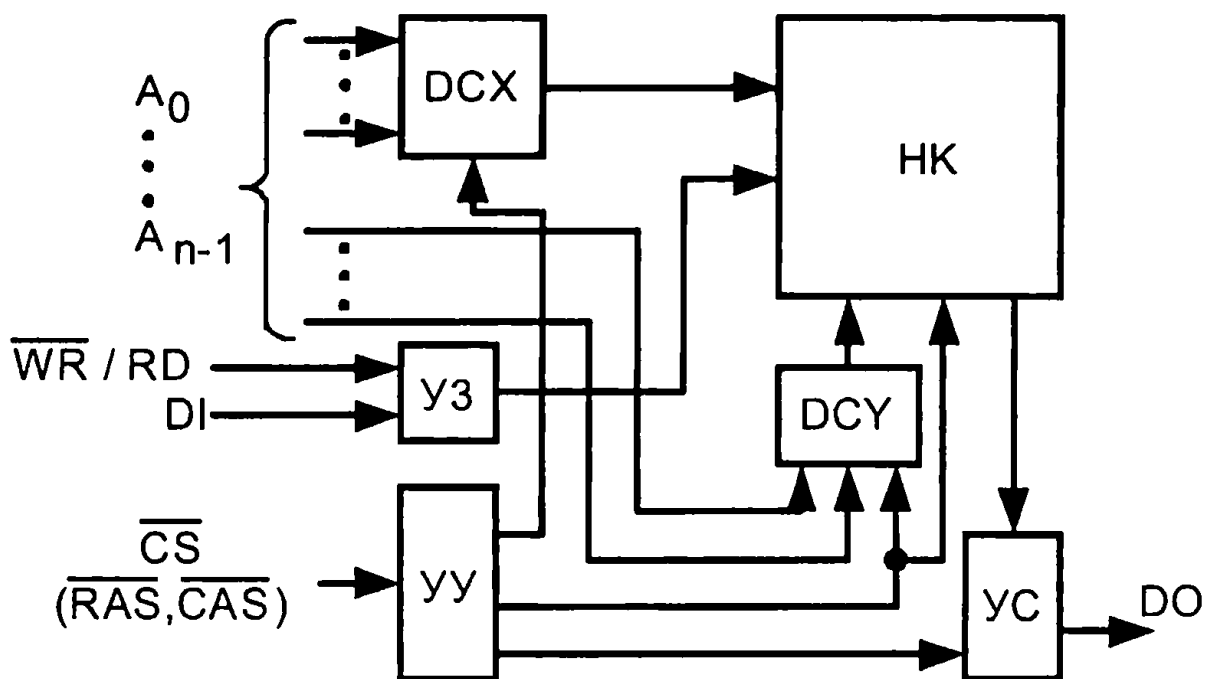


Рис. 4.1

Она состоит из следующих узлов: матрицы — накопителя (НК), дешифраторов строк и столбцов (DCX , DCY), устройства записи ($УЗ$), устройства считывания ($УС$), устройства управления ($УУ$). В зависимости от типа ЗУ те или иные типовые узлы могут в схеме отсутствовать. Основным узлом БИС ЗУ является матрица памяти — накопитель, представляющий собой совокупность элементов памяти. Элемент памяти может хранить один разряд числа, т. е. бит информации. Элементы памяти размещаются по строкам m и столбцам n , так что их общее число равно произведению $N = mn$. Местоположение элемента памяти (ЭП) определяется двумя координатами X и Y . Для обращения к нужному элементу памяти (выборки ЭП) сигналами единичного уровня возбуждаются адресные линии строки и столбца, на пересечении которых находится данный ЭП. На всех остальных адресных шинах должны быть сигналы нулевого уровня. Такая система адресации информации (выборки ЭП) при обращении к накопителю получила название матричной. Кроме матричной органи-

4. Цифровые устройства на БИС

зации существует словарная и комбинированная. Формирование сигналов выборки производится дешифратором кода адреса. После того, как ЭП выбран, можно либо записать в него информацию, либо считать.

Входные информационные сигналы DI поступают в устройство записи УЗ, которое служит для записи информации в ЭП. Выходные информационные сигналы DO считываются из БИС ЗУ через устройство считывания УС. Управляющие сигналы \overline{CS} , \overline{RAS} , \overline{CAS} , \overline{WR} / RD , \overline{CS} поступают в УУ и УЗ и определяют режим работы БИС ЗУ (запись, хранение, считывание информации).

Входы и выходы ЗУ имеют следующие обозначения: DO (от англ. *Data output*) — данные выходные; DI (*data input*) — данные входные; CS (*chip select*) — выбор микросхемы; WR (*write*) — писать; RD (*read*) — читать; RAS (*row address select*) — выбор адреса строки (строб адреса строки); CAS (*calumn address select*) — выбор адреса столбца (строб адреса столбца). Входной сигнал (запись — считывание) на входе микросхемы означает, что нулем (\overline{WR}) осуществляется режим записи, а единицей по этому же входу — режим чтения (RD).

Адресные сигналы A_0, \dots, A_{n-1} поступают на схемы дешифрации DCX , DCY , которые определяют, к какому элементу памяти накопителя производится обращение в соответствии с заданным кодом адреса. Выходные схемы связаны с устройством считывания УС, которое служит для усиления считанной информации из накопителя и передачи ее на выход DO . Во многих случаях выходные схемы имеют возможность передачи трех логических состояний: 1; 0 и состояния высокого сопротивления на выходе R_{ff} , что облегчает объединение по выходу БИС ЗУ в системах с шинной организацией передачи данных.

Выпускаются БИС ЗУ как одноразрядной ($N \times 1$), так и многоразрядной ($N \times n$) конфигурации, где N — число ад-

ресов, n — число разрядов БИС ЗУ. В многоразрядных БИС ЗУ записываемые и считываемые информационные сигналы часто передаются по одним и тем же выводам с целью экономии их числа. Отдельные типы БИС ЗУ имеют регистры для хранения поступающих адресных сигналов, а также мультиплексный (с разделением по времени) режим ввода адресов, применяемый для экономии числа выводов БИС ЗУ.

4.2. Оперативные запоминающие устройства

Микросхемы статических ОЗУ имеют, как правило, матричную структуру с двухкоординатной системой адресации (выборки). Матричная структура накопителя и двухкоординатная система выборки обеспечивают возможность доступа к каждому элементу памяти.

Всякое ОЗУ состоит из двух основных частей: накопителя и схемы управления или, как говорят, периферии. Периферия предназначена для ввода и вывода данных, в нее входят дешифраторы, усилители, регистры, разного рода ключи, коммутаторы и другие схемы общего назначения.

Накопитель — основная часть ОЗУ, где хранятся данные (двоичные коды), он состоит из элементов памяти (запоминающих ячеек), каждый из которых хранит один бит информации (0 или 1). Элементы памяти являются бистабильными запоминающими ячейками, основным свойством которых является наличие двух устойчивых состояний $Q = 1$ или $Q = 0$.

На рис. 4.2 показана типичная матричная организация ОЗУ, где отдельный элемент памяти ЭП расположен в узлах решетки, образованной адресными шинами X и Y . Количество ячеек равно произведению количества горизонтальных шин на количество вертикальных (например,

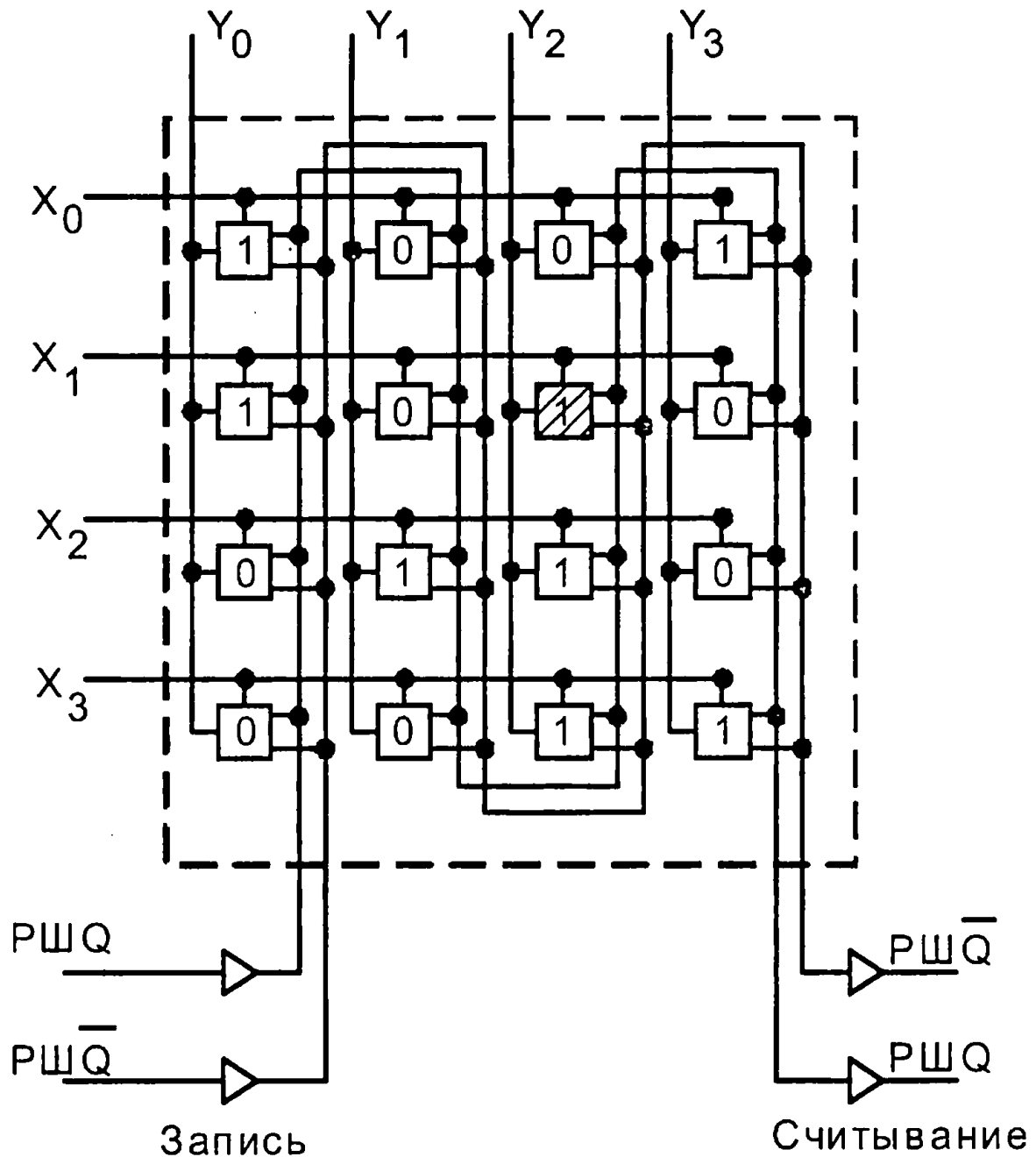


Рис. 4.2

$4 \times 4 = 16$ ячеек). Каждый ЭП связан с одной горизонтальной и одной вертикальной шинами. Поэтому, если подаются напряжения на определенные горизонтальную и вертикальную шины (например, X_1 и Y_2), то к периферии подключается вполне определенный ЭП (в нашем примере заштрихованный ЭП_{1,2}). В этот элемент (со своим адресом $X_1 Y_2$) можно записать необходимый бит информации (0 или 1), либо считать информацию (в элемент памяти записана 1).

И запись, и считывание осуществляются с помощью разрядных шин $PШ$, которые подключены ко всем ЭП; шины $PШQ$ подключены к прямым выходам, $PШ\bar{Q}$ — к инверсным. При считывании входы записи отключаются и уровни, характеризующие состояние ЭП, поступают через усилители в соответствующие внешние узлы. Коммутирующие устройства, которые подключают (или отключают) разрядные шины к управляющим устройствам, показаны на рис. 4.2 треугольниками на входах и выходах разрядных шин.

Запоминающие ячейки (элементы памяти), используемые в накопителях ОЗУ, чрезвычайно разнообразны. Рассмотрим типовые примеры.

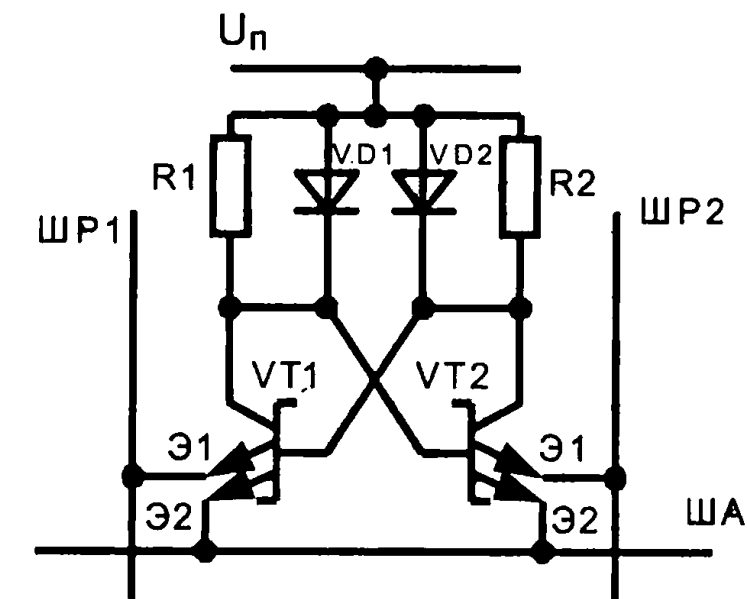
БИС ОЗУ на основе биполярных структур выполняются типа ТТЛ, ЭСЛ, И²Л. Накопитель БИС ОЗУ представляет собой матрицу триггерных элементов.

На рис. 4.3 представлен элемент памяти ТТЛШ на двухэмиттерных транзисторах. Схема работает следующим образом.

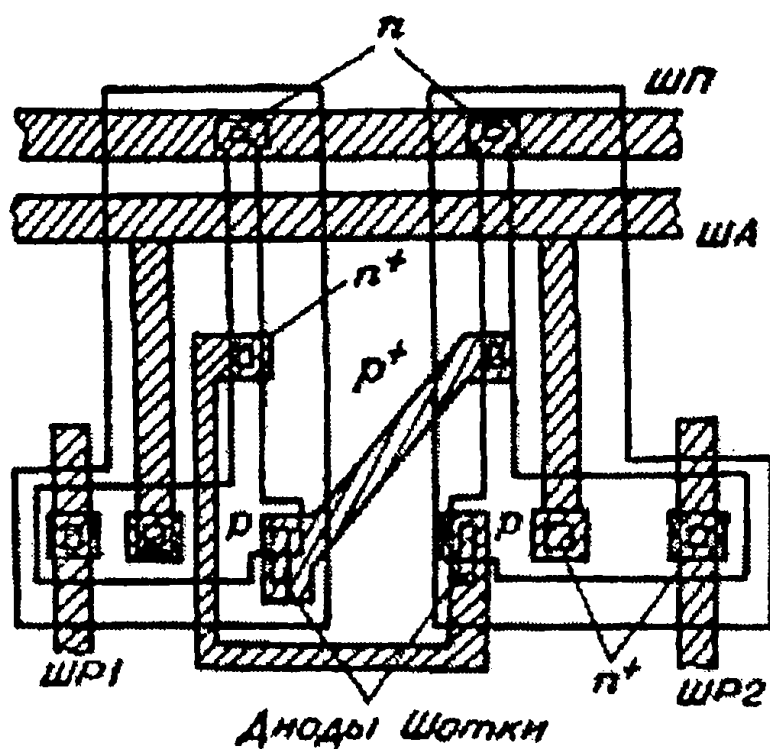
В режиме хранения информации шина адреса (ША) находится под низким потенциалом U_1 . На обе шины разряда (ШР1 и ШР2) подан более высокий потенциал $U_2 > U_1$. При этом эмиттерно-базовые переходы транзисторов, соединенные с шинами разряда, закрыты напряжением смещения U_2 . Пусть, например, в режиме хранения транзистор $VT1$ открыт, а транзистор $VT2$ закрыт. Ток питания в этом случае протекает по цепи: шина питания, нагрузочный резистор $R1$, переход эмиттер-база Э1 транзистора $VT1$, шина адреса ША.

В режиме считывания потенциал шины адреса повышается до $U_3 > U_2 > U_1$. Вследствие этого ток эмиттера Э1 открытого транзистора $VT1$ переключается в эмиттер Э2 и будет отводиться в шину разряда ШР1 и далее в усилитель считывания, так как эмиттерный переход, соединен-

4. Цифровые устройства на БИС



а)



б)

Рис. 4.3

ный с ША, закрывается. После окончания опроса U_3 шина адреса вновь оказывается под потенциалом U_1 и схема возвращается в исходное состояние.

В режиме записи шина адреса вновь возбуждается до потенциала U_3 , а на шину разряда ШР2 подается импульс, либо повышающий ее потенциал до U_3 (запись нуля), либо понижающий до U_1 (запись единицы). В первом случае транзистор $VT2$ остается в закрытом состоянии, а ток протекает через транзистор $VT1$. Состояние элемента памяти (ЭП) не изменяется. Во втором случае состояние ЭП меняется на противоположное, так как транзистор $VT2$ переходит в проводящее состояние, а транзистор $VT1$ закрывается.

Использование транзистора Шоттки значительно увеличивает быстродействие ЗУ. Элемент памяти выполнен в функционально-интегрированном исполнении (рис. 4.3, б), базовые области транзисторов (p -типа) выполняют роль резистивного слоя, а также роль базы диодов.

На основе схем ЭСЛ, как правило, строятся БИС ОЗУ для сверхскоростных ЗУ. На рис. 4.4 приведен один из вариантов элемента памяти с нелинейной коллекторной

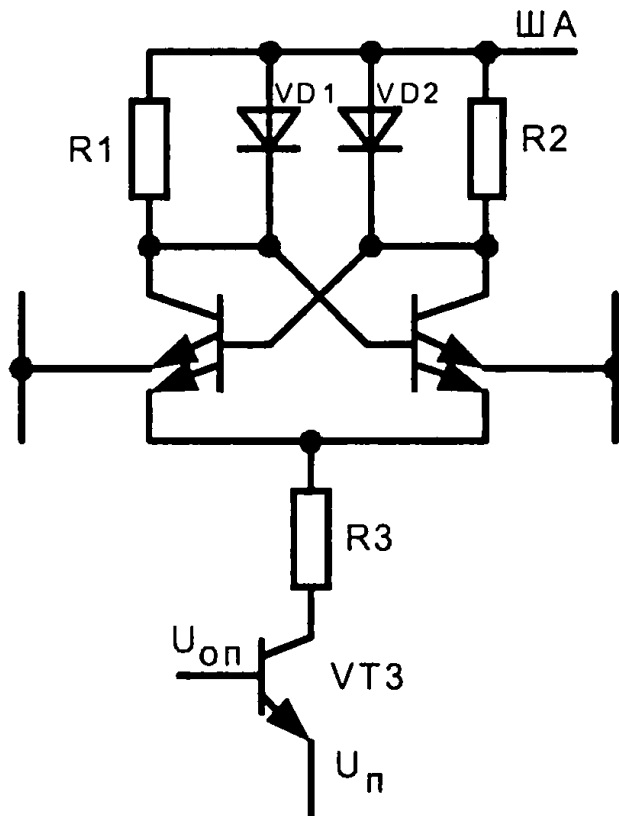


Рис. 4.4

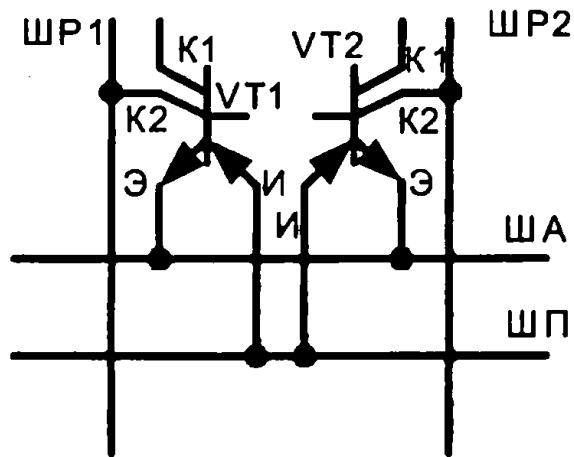
4. Цифровые устройства на БИС

нагрузкой. Накопитель представляет собой матрицу таких элементов памяти, связанных по строкам шинами адреса и шинами питания, а по столбцам — шинами разряда через эмиттеры транзисторов их ЭП.

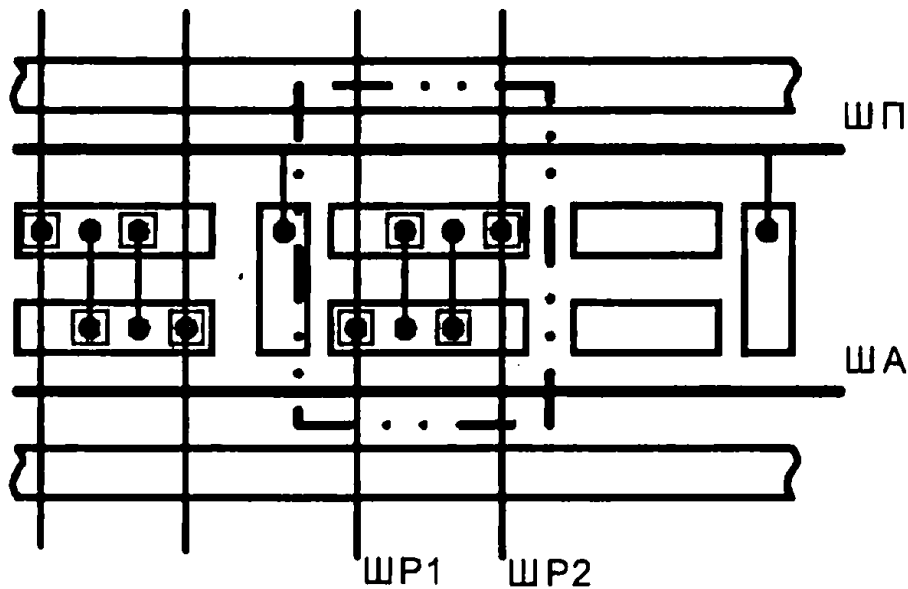
Элементы памяти БИС с инжекционным питанием отличаются от других типов ЭП на биполярных структурах максимальной плотностью упаковки и степенью интеграции, простотой конструкции; минимальной работой переключения; простотой технологии. Однако они имеют меньшее быстродействие по сравнению со схемами ЭСЛ и ТТЛ. Элементы памяти на основе И²Л классифицируют по способу записи информации: по коллекторам, инжекторам и базам. На рис. 4.5 представлена электрическая схема элемента памяти И²Л с записью по коллекторам и его топология. Элемент памяти содержит два двухколлекторных транзистора *VT1* и *VT2*. Первые коллекторы соединены с базами перекрестными связями для образования триггера, вторые (управляющие) соединены с разрядными шинами ШР1, ШР2. Инжектор *И* задает питание в два ЭП. Все ЭП одной строки изолируются от ЭП соседних строк *p*⁺-областями. Одна шина строки (ША) соединяется с общей эмиттерной областью всех транзисторов строки, другая (ШП) — со всеми инжекторами строки. БИС ОЗУ на основе биполярных структур улучшаются с каждым годом: уменьшаются их размеры и увеличивается быстродействие.

БИС ОЗУ на основе *p*-МДП структур практически не применяются вследствие меньшего быстродействия и необходимости применения более мощных, больших по геометрии транзисторов для сохранения быстродействия, что снижает степень интеграции, а, следовательно, информационную емкость ЗУ.

Элемент памяти БИС ОЗУ на основе *n*-МДП структур состоит из шести *n*-канальных транзисторов (рис. 4.6), причем четыре из них *VT1–VT4* представляют собой взаимно



а)



б)

Рис. 4.5

связанную инверторную пару (триггер), предназначенную для хранения 1 бит информации. Транзисторы $VT5$ и $VT6$ вводят и выводят данные в ЭП в тот момент, когда адресная и разрядная шины одновременно активированы. В качестве нагрузки используются транзисторы $VT1$ и $VT2$ со встроенными n -каналами. Истоки и затворы этих транзисторов соединены друг с другом. Данные: логическая 1 или логичес-

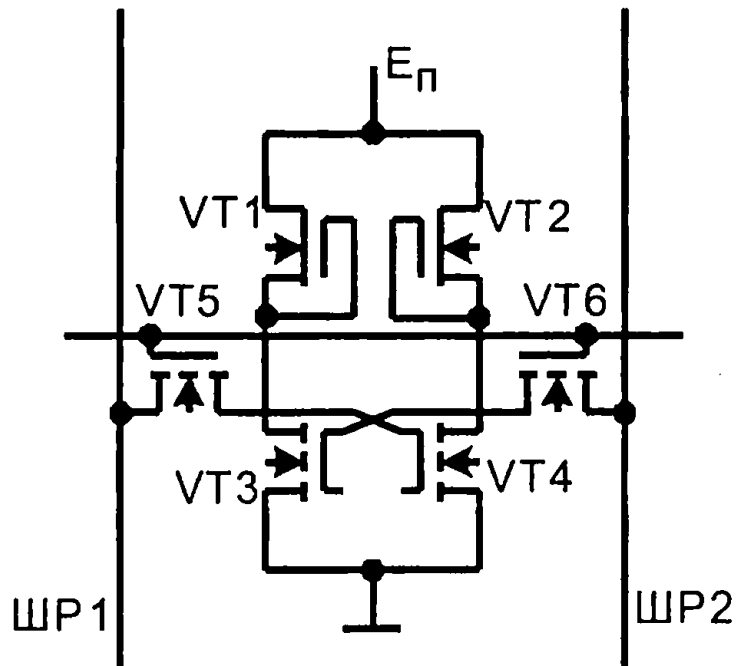


Рис. 4.6

кий 0 сохраняются в ЭП за счет существующей в триггере положительной обратной связи. Например, когда затвор транзистора $VT4$ находится под высоким потенциалом, на его стоке — низкий потенциал. Этот потенциал, в свою очередь, поступает на затвор транзистора $VT3$ и удерживает его в закрытом состоянии. Сток транзистора $VT3$ находится под высоким потенциалом за счет транзистора $VT1$ (который всегда открыт), и поэтому под таким же потенциалом находится затвор транзистора $VT4$. Такое устройство гарантирует, что сток транзистора $VT3$ сохраняет высокий потенциал; а сток транзистора $VT4$ — низкий потенциал. Это состояние элемента определяет логическую 1 или логический 0 и сохраняется в нем до тех пор, пока через транзисторы $VT5$ и $VT6$ не поступят новые данные. Для нагрузочных резисторов, работающих в режиме обеднения, отношение ширины канала к его длине подобрано таким образом, чтобы обеспечить необходимое для быстрогодействия значение тока транзисторов, не приводя к излишним затратам рассеиваемой мощности в статическом состоянии.

Транзисторы со встроенными каналами, выполняющие роль нагрузки, могут быть заменены поликремниевыми высокоомными резисторами, полученными с помощью ионного легирования и сформированными в одном слое с затворами и межсоединениями. В этом случае размер ЭП уменьшается на 40%. Еще большая экономия площади ЭП может быть достигнута при использовании второго уровня поликремния для формирования нагрузочных резисторов и расположения их над активной площадью элемента. При таком варианте площадь ЭП статических ОЗУ может быть уменьшена вдвое по сравнению с площадью, расходуемой в случае ЭП с традиционной транзисторной нагрузкой.

Элементы памяти на КМОП структурах обладают сверхмалой потребляемой мощностью в режиме хранения и высокой помехоустойчивостью, поэтому они относятся к числу основных схем для изготовления БИС ОЗУ. Элемент памяти на КМОП структурах представляет собой триггер, состоящий из двух перекрестно связанных КМОП инверторов и двух вентильных транзисторов, которые могут открываться сигналом, поступающим с шины адреса. Принцип работы ЭП на КМОП структурах аналогичен работе ЭП на основе n -МДП структур. Однако необходимо учитывать, что нагрузками в триггере ЭП на КМОП-структурах являются p -канальные транзисторы, которые работают не в режиме нагрузочных сопротивлений, как в обычной ячейке, а в переключательном режиме.

Кроме того, в качестве ЭП применяют пятитранзисторную ячейку с управлением по одному входу. Достоинством данного ЭП является его простота и значительный выигрыш в площади кристалла, что достигается благодаря сокращению числа транзисторов и шин ввода-вывода.

В динамических ЗУ информация запоминается на емкости p - n -перехода. По количеству активных элементов, необходимых для записи единицы информации, динами-

ческие ЗУ значительно проще статических и требуют одного или трех транзисторов. Это позволяет в одной БИС разместить большее число элементов памяти динамического типа, чем статического. Из-за токов утечек p - n -перехода потенциал элемента памяти в динамических ЗУ изменяется. Для восстановления записанной информации в динамических ЗУ регулярно производится регенерация записанной информации, т. е. считывание записанных ранее кодов и их перезапись. В целом динамические БИС ОЗУ характеризуются высокой информативной емкостью и малой стоимостью, обычно такие микросхемы изготавливаются на основе n -канальных МДП — приборов.

Главные отличия динамических микросхем памяти от статических заключаются в следующем: 1) отсутствует источник питания элементов памяти; 2) необходимы блоки, обеспечивающие регенерацию информации; 3) более сложная организация; 4) максимальная простота схем обслуживания для обеспечения минимальных занимаемой площади и потребляемой мощности.

Управление последовательностью включения блоков микросхем динамической памяти осуществляется тактовыми импульсами, формируемыми с помощью внешних или внутренних (встроенных) генераторов. Более сложная структура динамических микросхем памяти, отключение или понижение питания большинства блоков приводят к некоторому ухудшению временных характеристик по сравнению со статическими микросхемами. Однако меньшая рассеиваемая мощность, возможность повышения информационной емкости искупают этот недостаток.

Несмотря на большое разнообразие схем памяти, современные динамические БИС ЗУ чаще проектируются на основе однотранзисторных элементов памяти (рис. 4.7), поскольку площадь, занимаемая ЭП на кристалле, всегда является решающим фактором при оценке различных конструкции ЭП.

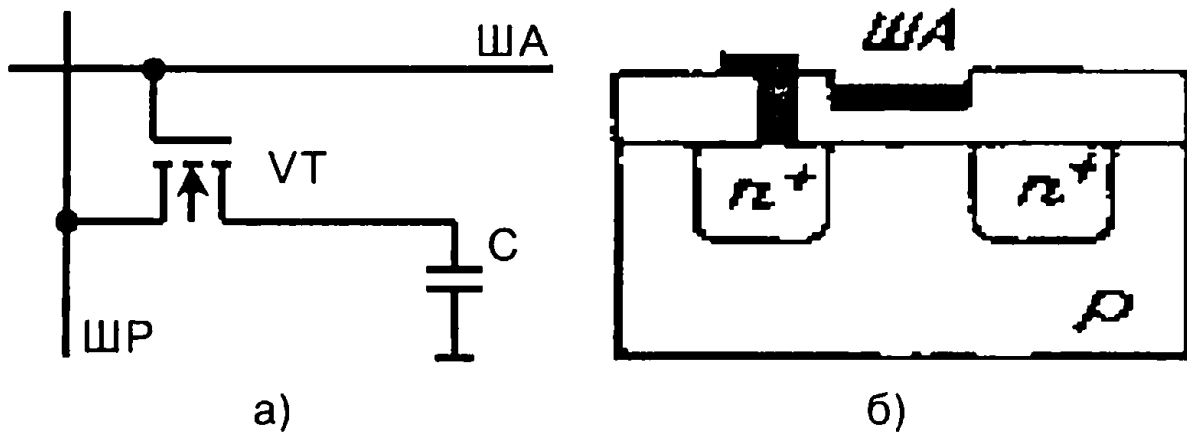


Рис. 4.7

Электрическая схема однотранзисторного ЭП предельно проста (рис. 4.7, а). В ней имеется лишь две шины — разрядная и адресная. С помощью ШР осуществляется запись и считывание информации, хранящейся в ЭП в виде заряда на запоминающем конденсаторе. Доступ к ЭП осуществляется, когда подается напряжение на ША и открывается транзистор. Для того, чтобы записать логическую 1, необходимо одновременно подать на ША и ШР высокий потенциал, при этом происходит заряд конденсатора, если он предварительно не был заряжен (хранится логический 0). Когда напряжение на ША возвращается в исходное состояние, информация в виде электрического заряда определенной величины сохраняется на конденсаторе. Для записи логического 0 напряжение на ША повышается при низком напряжении на ШР. В этом случае заряд конденсатора окажется равным нулю. Чтобы считать записанную информацию, надо повысить напряжение на ША. При этом заряд конденсатора считывается на ШР.

Поскольку запоминающий конденсатор постепенно самопроизвольно разряжается, заряд на нем необходимо периодически возобновлять, чтобы не допустить потери информации. Другими словами, информация в ЭП должна регенерироваться. Для этой цели используются специальные электрические схемы, которые увеличивают площадь кристалла.

При построении на микросхемах памяти модуля динамического ОЗУ предусматривается специальный цикл регенерации, который представляет собой цикл считывания по адресу регенерации. Адрес регенерации формируется счетчиком, разрядность которого определяется разрядностью кода адреса строк. Число циклов регенерации равно числу строк в матрице — накопителе. Поскольку регенерация осуществляется одновременно во всех ЭП выбранной строки, цикл обращения к матрице реализуется при отсутствии разрешающего сигнала, когда разрядные шины изолированы от дешифратора столбцов и шины ввода-вывода. Необходимое для обеспечения регенерации оборудование включает помимо счетчика мультиплексор, триггер и генератор регенерации.

Время, необходимое для регенерации одной строки, равно длительности цикла считывания. В это время обращение к микросхеме запрещено. В частности для модулей ОЗУ на микросхемах К565РУ1 время занятости на регенерацию составляет 1,3% общего времени работы ОЗУ.

Простейшей структурой, реализующей однотранзисторный элемент памяти, является МДП — транзистор с расширенной диффузионной областью стока (истока), образующей с подложкой обратносмещенный n^+p -переход, емкость обедненного слоя которого можно использовать в качестве запоминающего конденсатора (рис. 4.7, б).

Амплитуда сигнала, считываемого с ЭП прямо пропорциональна емкости запоминающего конденсатора, поэтому желательно изготавливать $p-n$ -переход с большой удельной емкостью. Однако концентрация акцепторной примеси в подложке микросхемы с МДП структурами определяется требуемым пороговым напряжением. Кроме того, уменьшение емкости $p-n$ -перехода важно еще по двум причинам: для минимизации эффекта влияния подложки на изменение порогового напряжения транзистора и для

уменьшения произведения быстродействия на мощность. Поэтому реализация одностранзисторных ЭП основана на использовании конденсатора с диэлектриком (МДП — конденсатора). Рядом с электродом затвора располагают другой электрод, служащий обкладкой конденсатора и находящийся под фиксированным потенциалом.

При уменьшении размеров микросхем и их элементов желательно сократить площадь и запоминающего конденсатора, и динамических ОЗУ. Однако при уменьшении площади конденсатора уменьшается и величина хранимого в нем заряда. Для увеличения емкости конденсатора возможно применение более тонких подзатворных диэлектриков с большей диэлектрической проницаемостью, например, Si_3N_4 и Ta_2O_5 , диэлектрическая проницаемость которых равна 8 и 22 соответственно.

Накопитель динамических микросхем памяти, т. е. та ее часть, в которой хранится информация, занимает 40–60% всей площади кристалла, поэтому от габаритных размеров ЭП непосредственно зависит информационная емкость, а значит, и удельная стоимость ЗУ. Уменьшать площадь ЭП можно усовершенствованием технологических методов и разработкой новых конструкций ЭП. Современные динамические ОЗУ БИС выполняются с двумя и тремя уровнями поликремния, осуществляется вертикальная интеграция.

В микросхеме памяти отказ многих кристаллов обусловлен наличием локализованных дефектов, которые вызывают отказ только в одной строке или в одной столбце накопителя памяти. Выход годных динамических БИС ОЗУ может быть в значительной степени увеличен резервированием, т. е. введением в накопитель дополнительных (запасных) строк и столбцов, которые могли бы заменить дефектные элементы накопителя. Для исключения дефектных строк и столбцов будут выполнять резервные эле-

менты, которые подключаются к накопителю ЗУ путем пережигания соответствующих, легкоплавких перемычек в декодирующей электрической схеме памяти. Использование резервирования в динамических БИС ОЗУ позволило снизить себестоимость производства этих микросхем.

4.3. Постоянные запоминающие устройства

Постоянные запоминающие устройства предназначены для хранения не меняющейся или редко меняющейся информации: таблиц функции констант, стандартных подпрограмм и ряда другой информации.

Основной особенностью ПЗУ является неразрушаемость хранимой информации и энергонезависимость, т. е. способность сохранять информацию при отключении питания.

Проектирование ПЗУ началось с создания матриц ферритовой памяти, где роль ячеек выполняли кольцевые ферритовые сердечники с намотанным на них в определенном направлении проводом. Так как магнитный кольцевой сердечник может намагничиваться по часовой стрелке и против, то эти два состояния намагниченности использовались для представления двоичной информации.

Трудоемкость изготовления таких устройств была очень высока, т. к. требовалось вручную прошивать проводом ферритовые кольца. Поэтому стали применять технологию создания полупроводниковых ПЗУ на основе интегральных микросхем.

В настоящее время имеется большая номенклатура БИС ПЗУ, различающихся способами записи информации, элементной базой, схемотехникой, топологической организацией.

По способу записи ПЗУ подразделяют на следующие виды:

1) программируемые маской на заводе — изготовителе (масочные);

2) программируемые пользователем на специальных установках;

3) перепрограммируемые ПЗУ.

Первые два вида допускают только однократное программирование, третий вид ПЗУ позволяет изменять хранимую информацию многократно.

Информация в масочные ПЗУ, иногда их называют программируемые по заказу, заносится на одной из завершающих технологических операций изготовления микросхем. Весь комплект фотошаблонов, за исключением фотошаблона одного слоя (металлизации или контактные окна), является постоянным для данного типа ПЗУ и не зависит от записываемой в данный кристалл информации. В качестве элементов программирования применяют контактные окна или металлизацию внутрисхемных соединений в накопителе. Запись осуществляют в процессе изготовления на этапе создания металлизации внутрисхемных соединений с помощью фотошаблонов металлизации или контактных окон. Вскрытие контактного окна, например, к эмиттеру транзистора запоминающего элемента или подключение его и помощью металлизации к разрядной вине соответствует записи 1, невскрытие или неподключение — записи 0.

Изготовитель по подготовленной пользователем информации делает необходимые фотошаблоны, с помощью которых заносит эту информацию в процессе производства на кристалл. Таким образом, конфигурация фотошаблона, определяющего картину металлизации, зависит от заносимой в кристалл информации. Этот способ является самым дешевым и наиболее экономичным при массовом крупносерийном производстве ПЗУ.

Масочные ПЗУ строятся на основе диодов, биполярных и МОП-транзисторов.

На рис. 4.8 изображена структурная схема ПЗУ на биполярных транзисторах. Масочные ПЗУ на биполярных

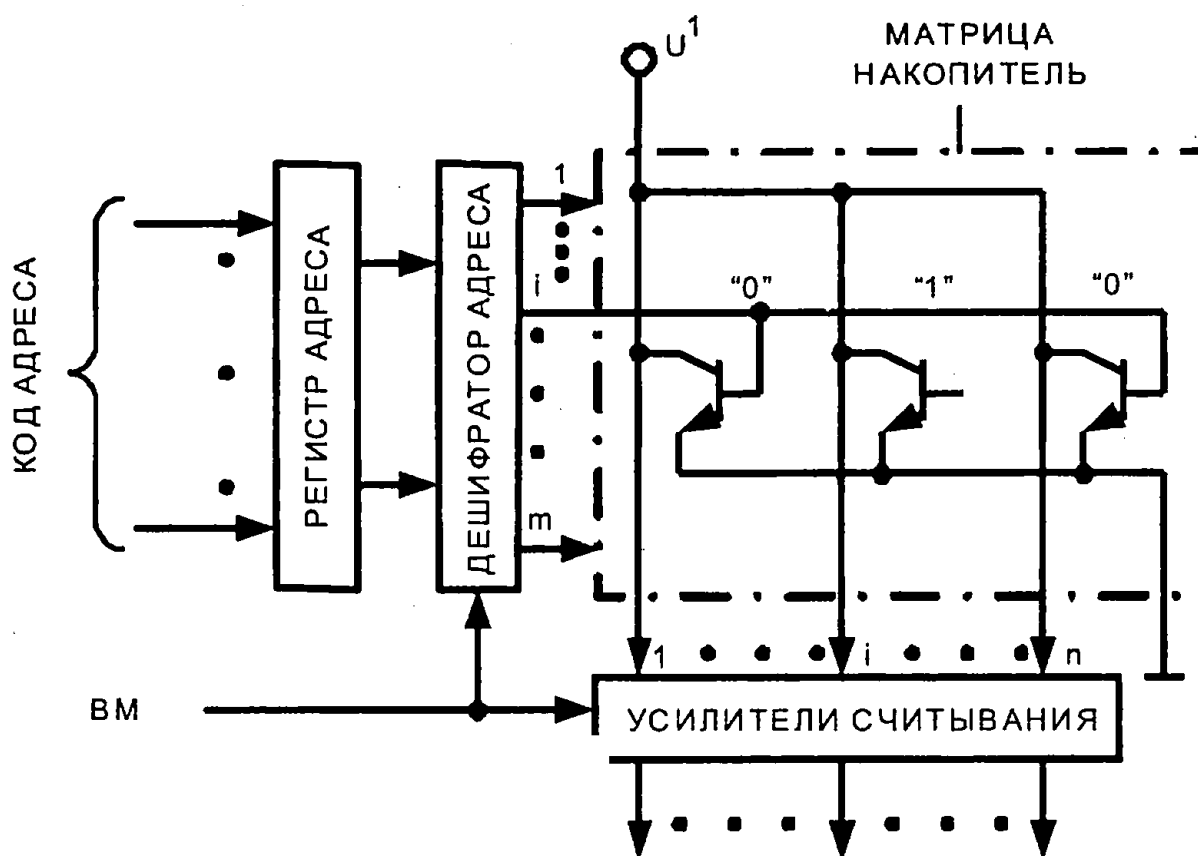


Рис. 4.8

транзисторах строятся в виде матрицы, в которой 0 соответствует наличию соединения базы транзистора с шиной строки, а 1 — отсутствию такого соединения. При выборке строки открываются транзисторы, соединенные с адресной шиной и на соответствующих им разрядных шинах фиксируется 0, а на остальных шинах 1.

Примером ПЗУ, программируемого маской, является диодное ПЗУ (рис. 4.9). Выбор нужного слова производится подачей сигнала низкого уровня на соответствующую адресную линию A_i . При этом диоды, соединяющие разрядные линии и выбранную адресную линию, в соответствии с кодируемой информацией имеют малое сопротивление, что обуславливает низкий уровень напряжения на соответствующих разрядных линиях. Если же диода в точке пересечения нет, то ток через резистор не протекает и на выходе соответствующей разрядной линии I_j , уста-

навливается единичный сигнал. Например, в ПЗУ записано восемь трехразрядных кодов, соответствующих первым восьми двоичным числам от 000 до 111.

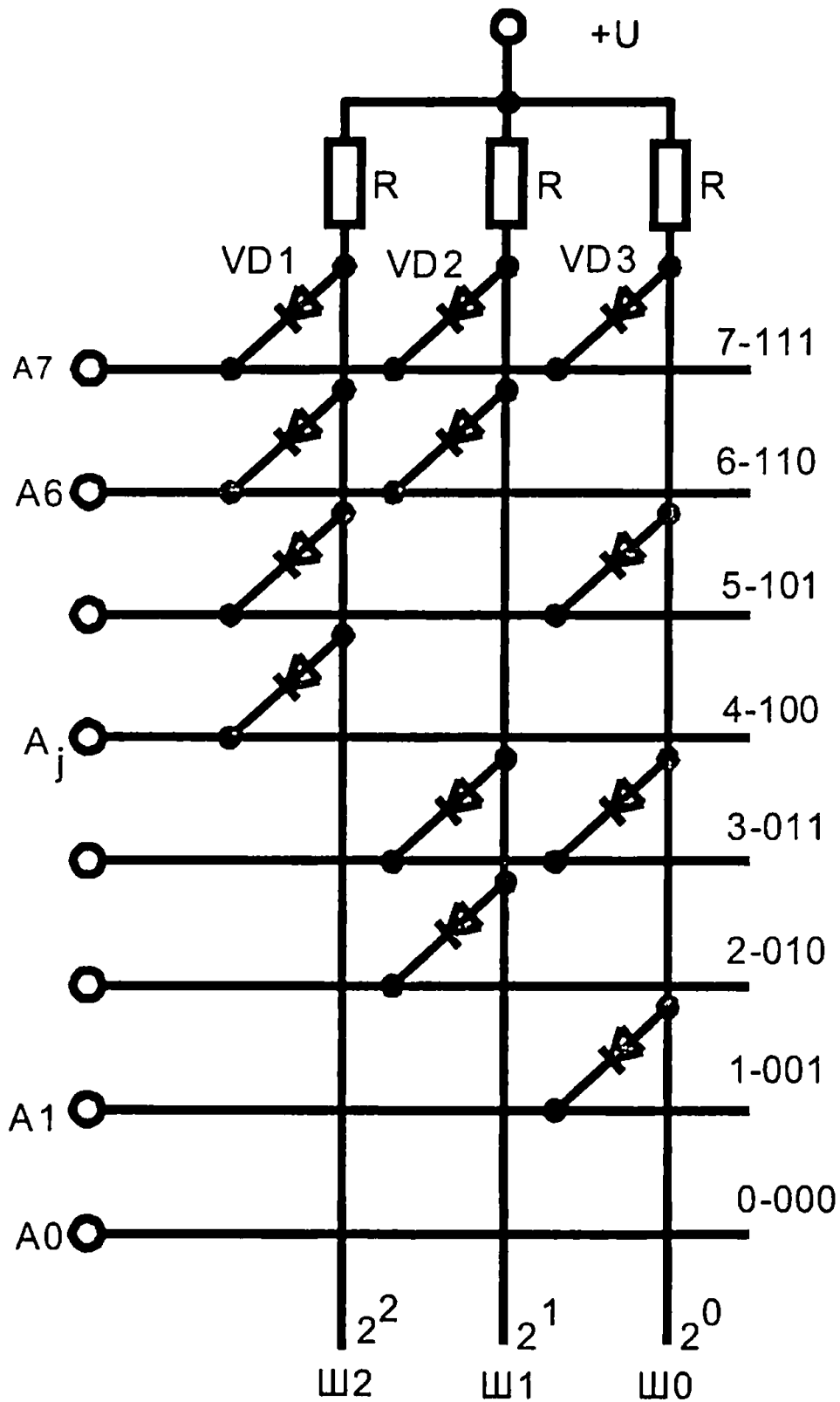


Рис. 4.9

4. Цифровые устройства на БИС

Матрица ПЗУ может быть сформирована на МОП-транзисторах (рис. 4.10), где запись информации в ПЗУ осуществляется подключением или неподключением МОП-транзистора к общей шине путем металлизации стока транзистора в соответствующих точках БИС. При выборе опре-

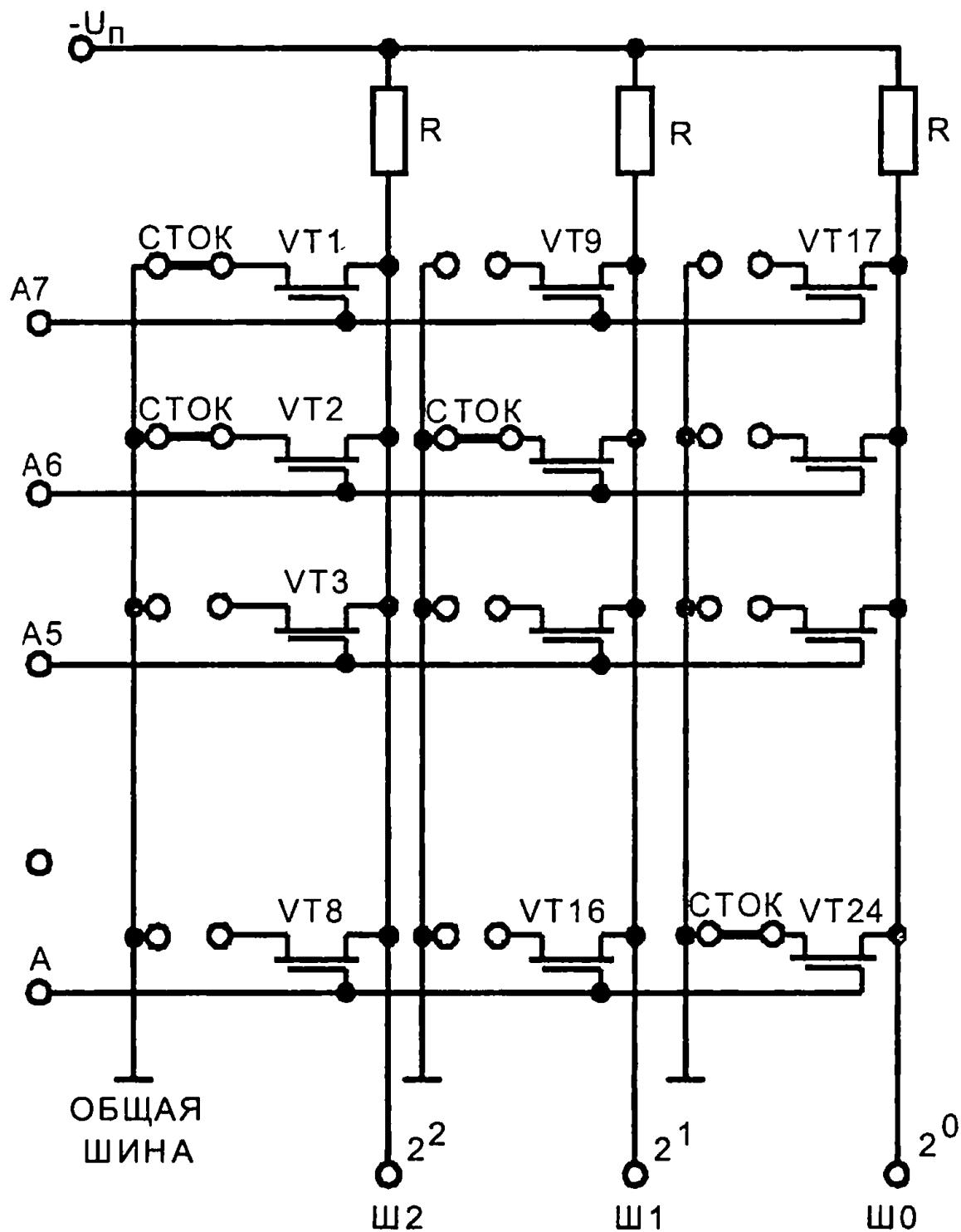


Рис. 4.10

деленного адреса транзисторы, подключенные к соответствующей адресной линии A_j ($j = 0, 1, 2, \dots, 7$), переходят в открытое состояние. Если сток транзистора подключен к общей шине источника питания, на соответствующей разрядной линии $Ш_j$ ($j = 0, 1, 2$) установится низкий потенциал 0. Если металлизация стока транзистора отсутствует, то на разрядной шине будет высокий потенциал 1.

Программирование маской применяется преимущественно для матриц МОП — транзисторов. На кристалле формируется базовая матрица без металлизации в областях стока, затвора и истока. Когда заказчик указывает требуемое ему содержимое ПЗУ, то изготавливается маска металлизации, и с ее помощью в процессе металлизации к общей шине подключаются только те транзисторы, которые должны обеспечивать потенциал 0. Так как металлизация является частью окончательного этапа изготовления ИМС, то такое ПЗУ можно изготовить и запрограммировать только на заводе — изготовителе.

ПЗУ, программируемые пользователем, являются наиболее универсальными. Они представляют собой матрицы приборов, связи которых с адресными и разрядными шинами разрушаются при занесении на специальных программирующих устройствах соответствующих кодовых комбинаций — программаторах. Эти устройства вырабатывают напряжения, необходимые и достаточные для пережигания плавких перемычек в выбранных ячейках ПЗУ. Возможность программировать самостоятельно пользователем сделала ПЗУ этого типа чрезвычайно удобными при разработке микро-ЭВМ. Применение таких ПЗУ целесообразно при небольшом числе БИС ПЗУ.

На рис. 4.11 приведена электрическая схема ПЗУ в виде диодной матрицы, в которой последовательно с каждым диодом включена плавкая перемычка ПВ. В исходном состоянии все перемычки должны быть целы, и с лю-

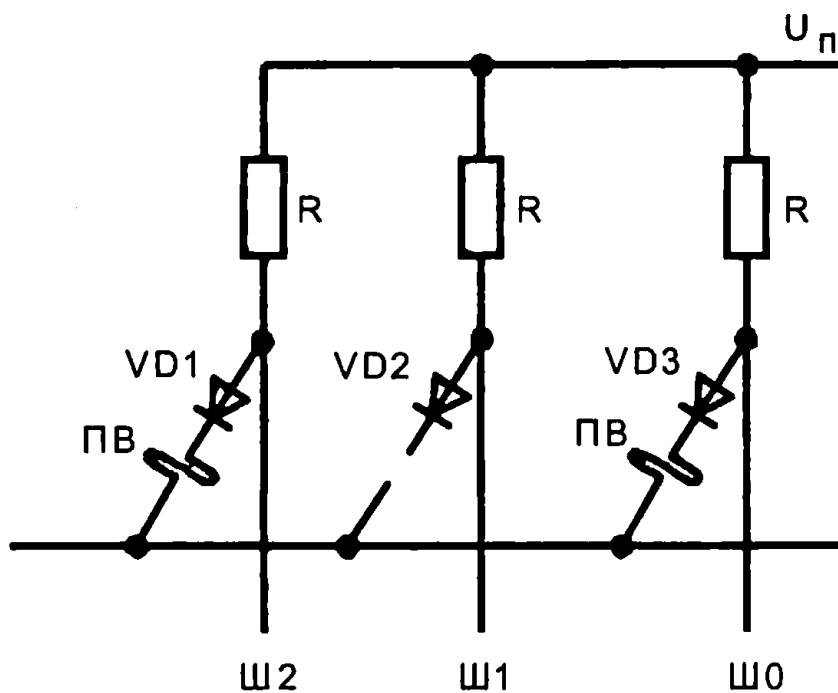


Рис. 4.11

бого выхода будет считываться 1. Занесение информации в ПЗУ производится путем пережигания плавких перемычек при пропускании импульсов тока через некоторые диоды, в результате часть диодов оказывается отключенной от разрядных шин (например, $VD2$ на рис. 4.11).

На рис. 4.12 показан вариант программируемого ПЗУ на основе многоэмиттерных транзисторов (МЭТ). Плавкие вставки ПВ включены последовательно с переходами база — эмиттер. Один транзистор составляет строку. Базы МЭТ подключаются к шинам слов, а эмиттеры через плавкие перемычки — к разрядным шинам. При программировании такого ПЗУ (записи информации) для записи 0 необходимо пережечь перемычку. При выборке по адресной шине на базу транзистора поступает сигнал, который открывает этот транзистор и, если эмиттер соединен с шиной, то в эту шину поступает ток от источника питания. Если перемычка разрушена, то тока в шине не будет. Выходными усилителями это различие в состояниях разрядных шин преобразуется в код числа.

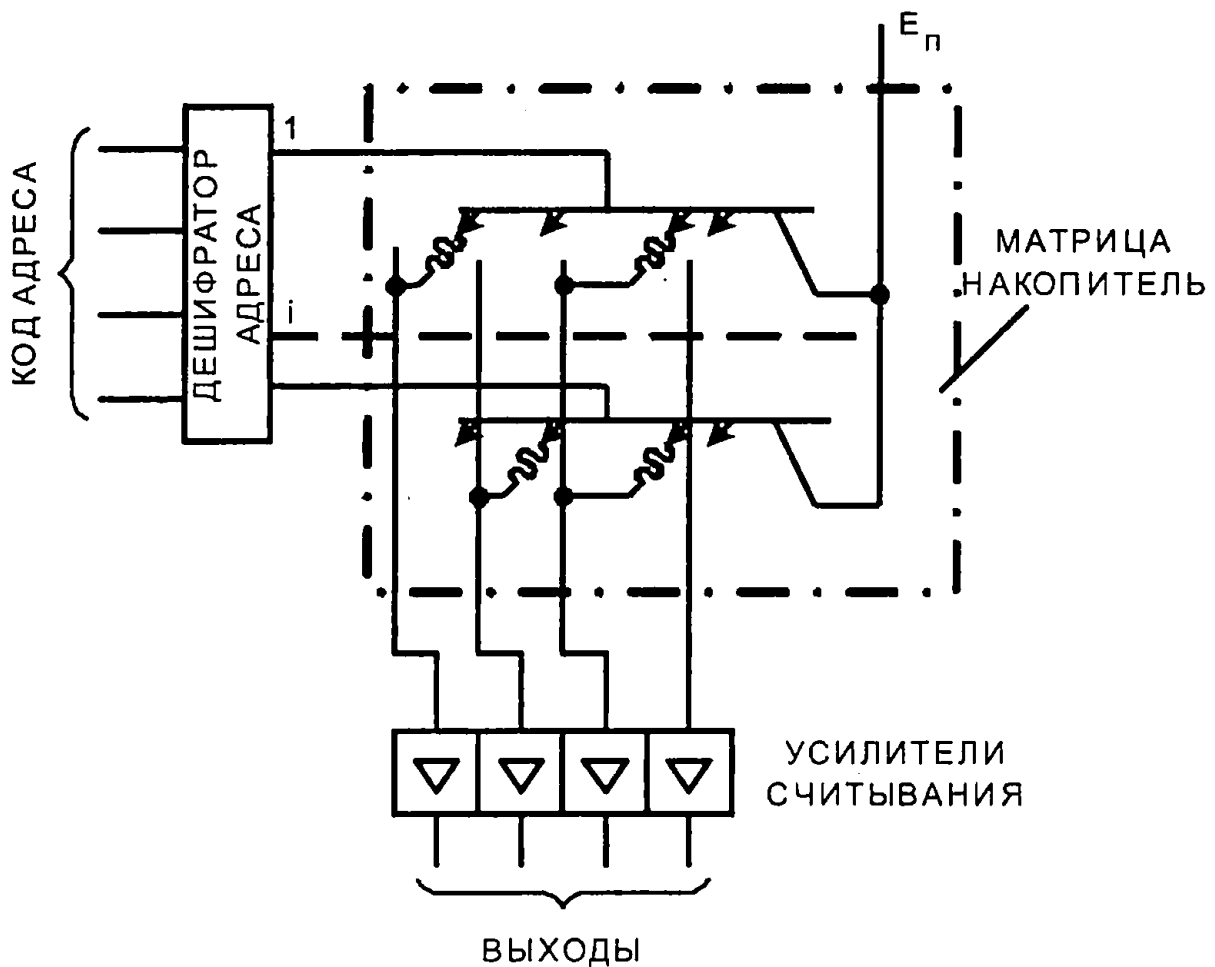


Рис. 4.12

ПЗУ выполняются также на основе ЭСЛ, И²Л и МОП — структур. Плавкие перемычки представляют собой небольшой участок металлизации и могут выполняться из нихрома, поликремния, силицида, платины и т. д. При программировании они разрушаются (расплавляются) импульсами тока значением обычно 50–100 мкА и длительностью 2 мс. Для пережигания нихромовой перемычки достаточный ток составляет 20–50 мА, а время, необходимое для пережигания — несколько десятков миллисекунд. Каждый тип ПЗУ, программируемых пользователем, требует специальной установки для программирования связей в матрице, так как энергия, необходимая для разрыва плавкой вставки, зависит от особенностей технологического процесса.

ПЗУ рассматриваемого типа программируются только один раз. После введения содержимое памяти уже нельзя изменить. Как и в ПЗУ, программируемых маской, ошибки, допущенные при программировании, исправить нельзя. В случае ошибочного разрыва связи необходимо программирование новой ИМС.

Репрограммируемые ПЗУ допускают перепрограммирование, т. е. многократное стирание и многократную запись информации. Репрограммируемые ПЗУ нашли широкое применение в аппаратуре периодически требующей изменение содержимого ПЗУ. Они представляют собой МОП — приборы с изменяемым содержимым на затворах матрицы МОП-транзисторов и способны длительное время хранить заряды, образующие заданный код. РПЗУ относятся к классу полупостоянных ЗУ. После стирания хранимой в ПЗУ информации в тот же накопитель можно заносить новые данные. Возможность замены информации удобна при изготовлении экспериментальных программных ПЗУ, так как ошибка в программировании не разрушает устройства, а приводит к необходимости стирания информации и перепрограммирования ПЗУ.

ПЗУ этого типа подразделяются на два класса: на приборах с захватом заряда и на приборах с плавающим затвором. По способу стирания информации репрограммируемые ПЗУ делят на два класса: со стиранием информации электрическими сигналами и со стиранием информации с помощью лучей (ультрафиолетовых, рентгеновских и др.).

Среди ПЗУ на приборах с захватом заряда наибольшее распространение получили структуры МНОП (металл — нитрид кремния — оксид кремния — полупроводник). МНОП структура представляет собой транзистор с двухслойным диэлектриком (рис. 4.13, а) под затвором. Нижний примыкающий к полупроводнику слой SiO_2 толщиной 3-4 нм «прозрачен» для электронов. Если к затвору

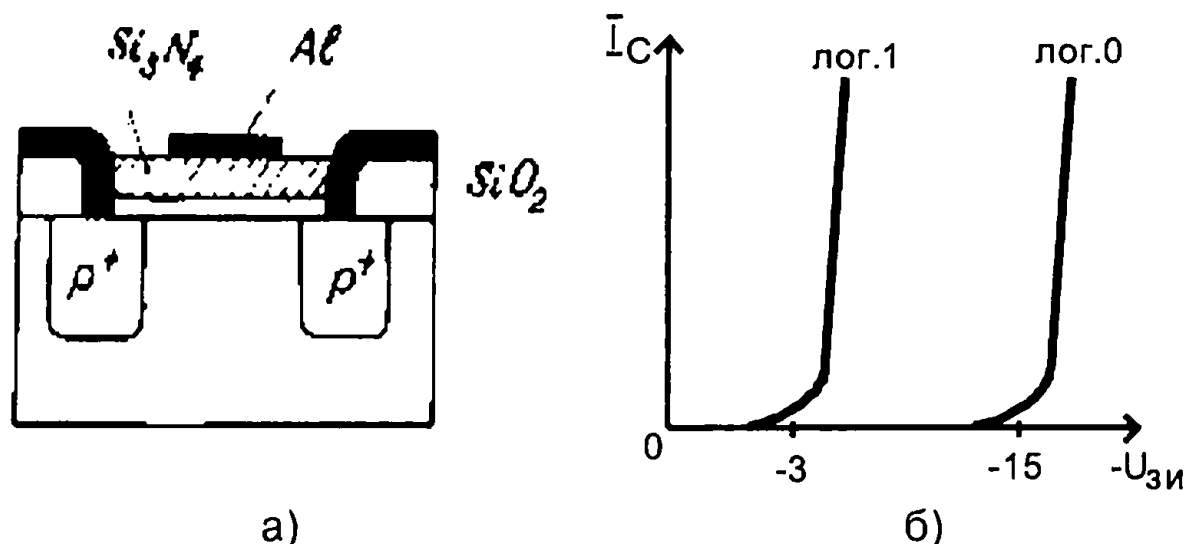


Рис. 4.13

относительно подложки приложить импульс напряжения положительной полярности, то под действием сильного электрического поля между затвором и подложкой электроны приобретут достаточную энергию, чтобы за счет туннельного эффекта пройти тонкий диэлектрический слой до границы раздела двух диэлектриков. Верхний слой Si_3N_4 имеет значительную толщину, так что электроны преодолеть его не могут.

Накопленный на границе раздела двух диэлектриков заряд электронов снижает пороговое напряжение, смещает стокзатворную характеристику влево (рис. 4.13, б). Так записывается логическая 1. Логическому 0 соответствует состояние транзистора без заряда электронов на границе раздела диэлектриков. Чтобы обеспечить это состояние, на затвор подается импульс напряжения отрицательной полярности. При этом электроны вытесняются в подложку. При отсутствии заряда под затвором стокзатворная характеристика смещается в область высоких пороговых напряжений.

Для считывания записанной информации на затвор необходимо подать напряжение, значение которого лежит между двумя пороговыми уровнями, соответствующими 0

4. Цифровые устройства на БИС

и 1. Тогда при записанной единице транзистор откроется, а при 0 останется в закрытом состоянии.

Слой нитрида кремния имеет свойство сохранять электрический заряд после подачи на затвор программирующего импульса. При отсутствии дополнительных сигналов программирования или при отключении источника питания заряд в слое нитрида кремния будет сохраняться достаточно долго. Гарантированное время сохранения информации для многих приборов составляет 10 лет.

Стирание информации и перепрограммирование осуществляется путем подачи на затвор импульсов соответствующей полярности. Число циклов перепрограммирования составляет несколько тысяч.

На рис. 4.14 представлена МОП структура с плавающим затвором (лавинно-инжекционный МОП транзистор). Особенность устройства такого элемента памяти заключается в том, что затвор формируется внутри диэлектрика и не имеет наружных выводов. Затвор отделен от подложки тонким, прозрачным для электронов слоем диэлектрика. Для записи 1 между стоком (истоком) и подложкой прикладывается обратное напряжение, достаточное для создания лавинного размножения электронов в $p-n$ -переходе. Эти электроны, имея большую кинетическую энергию, попадают на затвор, накапливаются в нем и создают по-

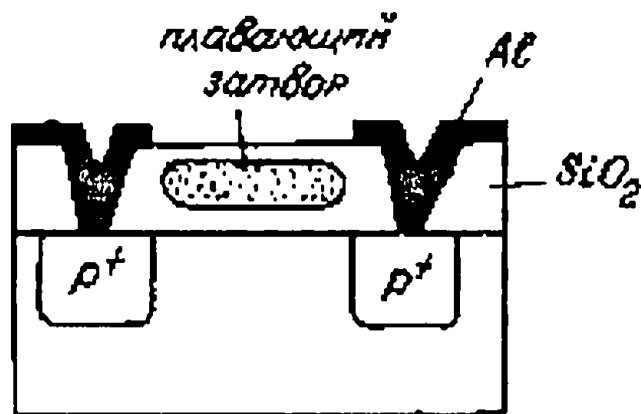


Рис. 4.14

тенциал, достаточный для индуцирования канала между стоком и истоком. Поскольку затвор со всех сторон окружен диэлектриком, утечка заряда очень мала и обеспечивается длительное хранение информации. Если на затворе заряд отсутствует, канал не формируется. Это состояние транзистора соответствует логическому 0.

В состав матрицы накопителя МОП транзистор $VT2$ с плавающим затвором включается в паре с обычным МОП транзистором $VT1$ (рис. 4.15). Очевидно, что в проводящем состоянии транзистора $VT2$, когда записана 1, через $VT1$ и $VT2$ в выходную шину потечет ток считывания. Если же записан 0, транзистор $VT2$ закрыт, и тока в выходной шине не будет при подаче сигнала на адресную шину ША.

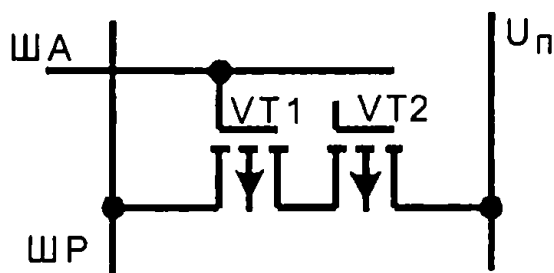


Рис. 4.15

Информацию в репрограммируемых ПЗУ такого типа нельзя стереть подачей обратного напряжения между стоком и истоком, так как в транзисторе установлен проводящий тракт и при подаче такого напряжения транзистор выйдет из строя. Стирание производится ультрафиолетовым облучением кристалла микросхемы через окно в крышке корпуса, что увеличивает ток утечки в диэлектрике и способствует рассасыванию хранимого заряда. Таким образом, ультрафиолетовое излучение через кварцевую крышку (окно) снимает заряд затвора и переводит все транзисторы устройства в непроводящее состояние. Комнатное освещение, солнечный свет и флуоресцентные лампы не оказывают заметного влияния на сохранение инфор-

4. Цифровые устройства на БИС

мации. Подача же ультрафиолетового излучения на 10–20 минут полностью возвращает все запрограммированные транзисторы в исходное состояние. Тем самым осуществляется перевод структуры в состояние логического 0.

Число циклов перепрограммирования порядка 100. Репрограммируемые ПЗУ способны сохранять заряд (информацию) при отключенном питании в течение нескольких тысяч часов.

Другой способ перезаписи, который используется в ПЗУ с плавающим затвором, основан на размещении над плавающим затвором второго затвора (управляющего), подача напряжения на который приводит к рассасыванию заряда на плавающем затворе (рис. 4.16).

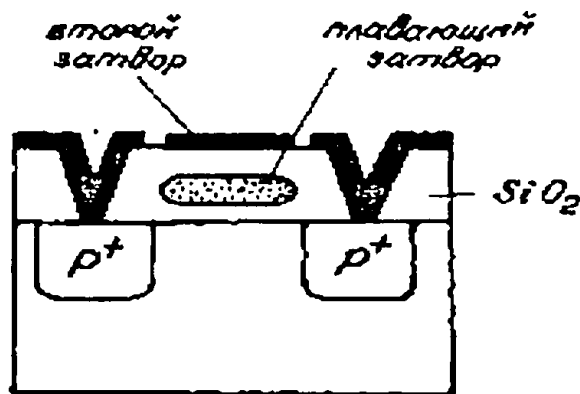


Рис. 4.16

Следует отметить, что структуры с двумя затворами имеют значительные преимущества перед однозатворными структурами с ультрафиолетовым стиранием информации. Они не требуют специальных источников света и позволяют выполнять полностью электрическое программирование.

Следует отметить, что интегральные микросхемы запоминающих устройств изготавливаются, как правило, в виде функционально законченных элементов, допускающих наращивание по разрядности и емкости ЗУ простым объединением микросхем.

4.4. БИС программируемых логических устройств

Применение больших и сверхбольших интегральных схем (БИС и СБИС) с высокой степенью интеграции в цифровых устройствах позволяет существенно повысить надежность и быстродействие, снизить габаритные размеры и потребляемую мощность. С другой стороны, проектирование и разработка сложных функциональных интегральных схем БИС и СБИС длится продолжительное время, требуя значительных затрат. Узкоспециализированные БИС и СБИС имеют ограниченную область применения, уменьшается объем их применения и производства, что приводит к увеличению стоимости.

Выход из такого противоречия находят в создании более универсальных полужаказных БИС и СБИС. К ним относятся базовые матричные кристаллы (БМК) и программируемые логические интегральные схемы (ПЛИС). Завод — изготовитель производит универсальную БИС (СБИС). Затем путем изменения ее внутренней структуры по желанию потребителя проводят программирование для получения заданных свойств, чтобы ПЛИС реализовывала заданную функцию на аппаратном уровне.

В зависимости от уровня сложности программируемая БИС (СБИС) может заменить от 60 и более интегральных микросхем средней степени интеграции. Но ПЛИС дополнительно содержит элементы и цепи настройки, поэтому ее электрические параметры (в том числе быстродействие) хуже, чем у специализированных БИС (СБИС). Этот результат является платой за универсальность и многофункциональность программируемых схем.

Проектирование на программируемых логических микросхемах (ПЛИС) эффективным будет тогда, когда учитывается специфика логической структуры и функциональ-

4. Цифровые устройства на БИС

ных возможностей. Непосредственная реализация на программируемых структурах принципиальных схем, разработанных на основе традиционных методов для ИМС малой и средней степени интеграции, не приводит к желаемому эффекту. Методы и алгоритмы проектирования на микросхемах с программируемой логикой требуют при математическом описании учитывать особенности базовой логической структуры ПЛИС.

Существует три разновидности двухуровневых комбинационных логических микросхем — с двумя программируемыми матрицами И, ИЛИ либо с одной из них. В таблице 4.1 приведены примеры логических микросхем с программируемой матрицей.

Таблица 4.1

Типы программируемых матриц

Тип микросхемы	556РТ1	1556ХП4	556РТ7
Программируемый уровень	И, ИЛИ	И	ИЛИ
Фиксируемый уровень	ИЛИ	ИЛИ	И
Условное обозначение логических микросхем	ПЛМ	ПМЛ	ППЗУ

Потребители имеют в своем распоряжении программируемые логические матрицы (ПЛМ), программируемую матричную логику (ПМЛ) и программируемые постоянные запоминающие устройства (ППЗУ). Использование той или иной ПЛИС обусловлено их функциональными особенностями и возможностями, которые характеризуются параметрами: число входных переменных N_p ; число конъюнкторов M_p ; число одноразрядных выходных функций K_p ; максимальное число конъюнкторов m_p , подключаемых к одному выходу, число обратных связей с выходов на входы Z_p . Данные параметры принято называть ресурсом ПЛИС. В таблице 4.2 приведены функциональные возможности некоторых программируемых логических микросхем.

Таблица 4.2

Ресурсы логических микросхем

Тип микросхемы	Максимальное значение параметров				
	N_p	M_p	K_p	m_p	Z_p
K556PT1	16	48	8	48	0
KM1556XП1	16	64	8	7	6
KM556PT7	11	2^{11}	8	2^{11}	0

Выбор типа программируемой логики прежде всего зависит от вида реализуемых функций. Логические функции записываются в дизъюнктивной нормальной форме (ДНФ). Выявляются связанные функции, которые имеют одинаковые конъюнкции, и несвязанные (при отсутствии одинаковых конъюнкций).

Например, рассмотрим систему функций алгебры логики:

$$\begin{aligned}
 y_1 &= \overline{x_2 x_3} \vee x_1 \overline{x_3 x_4}; \\
 y_2 &= \overline{x_2 x_4} \vee \overline{x_2 x_3}; \\
 y_3 &= x_3 \vee x_1 \overline{x_4}.
 \end{aligned}
 \tag{4.1}$$

Функции y_1, y_2 являются связанными, они имеют одинаковую конъюнкцию ($\overline{x_2 x_3}$). Функция y_3 не связана с функциями y_1, y_2 .

Критерии реализуемости заданных логических функций и выбора ППЗУ, ПЛМ, либо ПМЛ рассматриваются с точки зрения избыточности и достаточности ресурса микросхемы.

Таким образом, математической основой для построения БИС программируемой логики является представление системы логических функций в дизъюнктивной нормальной форме либо в виде таблицы истинности. Технически операции конъюнкций реализуют матрицей логических элементов И, а дизъюнкции — матрицей логических элементов ИЛИ.

Переход от аппаратного способа конструирования к программированию уже изготовленной микросхемы позволяет существенно сократить сроки и затраты на проектирование устройств.

4.5. Реализация ПЛИС на основе ППЗУ

Входной дешифратор ППЗУ преобразует n входных переменных в $2^n = N$ выходных сигналов. Сигнал на каждом из выходов дешифратора соответствует одной определенной конъюнкции, содержащей все входные переменные либо их инверсии. На выходе ППЗУ согласно таблице истинности либо логической формуле каждому выходу дешифратора (каждой конъюнкции) можно поставить в соответствие логическую 1 либо логический 0. Таким образом, получаем на выходе ППЗУ функцию алгебры логики n переменных.

ППЗУ с организацией $N \times M$ позволяет реализовать на своем выходе систему M логических функций n переменных, где

$$n = \log_2 N. \quad (4.2)$$

На каждом из выходов реализуется своя функция.

Например, интегральная схема ППЗУ 556РТ5 имеет организацию 512×8 , следовательно, позволяет реализовать систему из восьми функций девяти переменных ($\log_2 512 = 9$).

Для реализации в ППЗУ логические функции представляются в совершенной дизъюнктивной нормальной форме. Минимизация логических функций не требуется. Более того, если имеется сокращенная или минимальная ДНФ, то ее необходимо привести к совершенной форме. Такие действия можно выполнить путем заполнения карты Карно и записи СДНФ без объединения единиц в обла-

сти, либо дополнением каждой конъюнкции путем домножения на единичную сумму вводимых переменных

$$(x_i \vee \bar{x}_i) = 1. \quad (4.3)$$

После получения СДНФ либо таблицы истинности составляется таблица программирования ППЗУ.

Покажем пример перевода функции y_1 (4.1) в СДНФ. Первая конъюнкция не содержит переменные x_1, x_4 , во второй отсутствует переменная x_2

$$\begin{aligned} y_1 &= \bar{x}_2 x_3 \vee x_1 \bar{x}_3 x_4 = \bar{x}_2 x_3 (x_1 \vee \bar{x}_1) (x_4 \vee \bar{x}_4) \vee x_1 \bar{x}_3 x_4 (x_2 \vee \bar{x}_2) = \\ &= x_1 \bar{x}_2 x_3 x_4 \vee x_1 \bar{x}_2 x_3 \bar{x}_4 \vee \bar{x}_1 \bar{x}_2 x_3 x_4 \vee \bar{x}_1 \bar{x}_2 x_3 \bar{x}_4 \vee x_1 x_2 \bar{x}_3 x_4 \vee x_1 \bar{x}_2 \bar{x}_3 x_4. \end{aligned} \quad (4.4)$$

Для воспроизведения этой функции четырех переменных y_1 необходимо по шести адресам 1011, 1010, 0011, 0010, 1101, 1001 записать единичные значения, а по остальным десяти адресам — логические 0.

Постоянные запоминающие устройства характеризуются простотой и регулярностью структуры, высокой технологичностью, имеют максимальную степень интеграции, что является предпосылкой к низкой стоимости.

Реализация ПЛИС на ППЗУ требует сложную аналитическую запись и, как следствие, большие затраты элементов памяти. В то же время любая функция n переменных при реализации на ППЗУ требует одинаковых аппаратных затрат независимо от числа единиц и нулей. Это обусловлено возможностью получения всех наборов переменных и их инверсий.

Быстродействие программируемых логических устройств на ППЗУ выше, чем при реализации на стандартных микросхемах логических элементов и определяется временем обращения и считывания данных с ЗУ.

Использование ПЛИС на ППЗУ приводит к большой аппаратной избыточности, растет потребляемая мощность. Увеличение числа входных переменных на 1 ведет к уве-

личению в 2 раза числа выходов дешифратора ППЗУ. Система логических функций содержит ограниченное число единичных значений.

Необходимо сделать вывод, что часто использование ППЗУ в качестве программируемой логики становится экономически и технически неэффективно. При большом числе входных переменных сильно растет размерность ППЗУ. При малом числе входных переменных целесообразно применять малоразрядные интегральные схемы.

4.6. Программируемые логические матрицы

Развитие интегральной схемотехники от микросхем малой и средней степени интеграции к БИС/СБИС привело к противоречию. Специализированные БИС обладают повышенной надежностью, значительно снижается масса и габариты, возрастает быстродействие. Но проектирование специализированных БИС/СБИС требует больших затрат средств и времени.

Разрешением этого противоречия явились полузаказные БИС/СБИС, которые выпускаются универсальными, имеют общую универсальную структуру. Дальнейшее программирование путем изменения внутренних физических свойств делает их специализированными, способными выполнять специфические логические операции по заказу потребителя.

Представителями данного направления являются программируемые логические матрицы (ПЛМ), программируемая матричная логика (ПМЛ) и базовые матричные кристаллы (БМК).

Основой ПЛМ служат последовательно соединенная матрица конъюнкций $M1$ (матрица элементов И) и матрица дизъюнкций $M2$ (матрица элементов ИЛИ) (рис. 4.17).

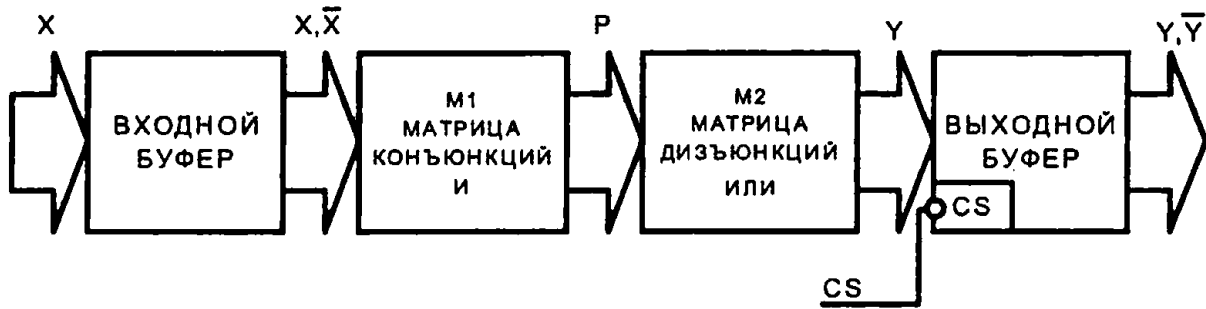


Рис. 4.17

Входной буфер формирует прямые и инверсные значения x_i , входных переменных x_1, \dots, x_n , которые потом поступают в матрицу M1 (И). Входные буферы построены на основе двух последовательно включенных инверторов (рис. 4.18.)

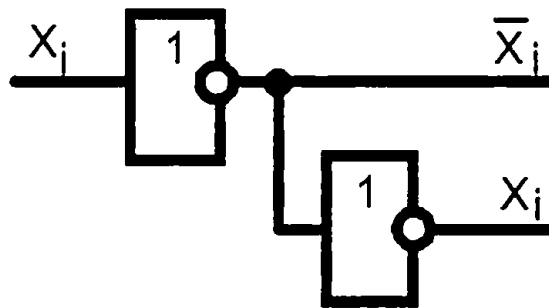


Рис. 4.17

Выходные каскады содержат схемы исключающее ИЛИ, а также усилители считывания. Усилители считывания управляются сигналом, поступающим от матрицы ИЛИ. Они обеспечивают нагрузочную способность для выдачи во внешние шины, осуществляют разрешение (запрет) на выход из ПЛМ по сигналу CS.

Наличие схемы исключающее ИЛИ позволяет программным образом инвертировать уровень выходного сигнала, программировать активный высокий либо активный низкий уровень выходного сигнала (рис. 4.19.).

Сигналы Y , вырабатываемые матрицей M2 (ИЛИ) проходят на выход через схему исключающее ИЛИ (сумматор по модулю 2). При наличии плавкой вставки ПВ (пе-

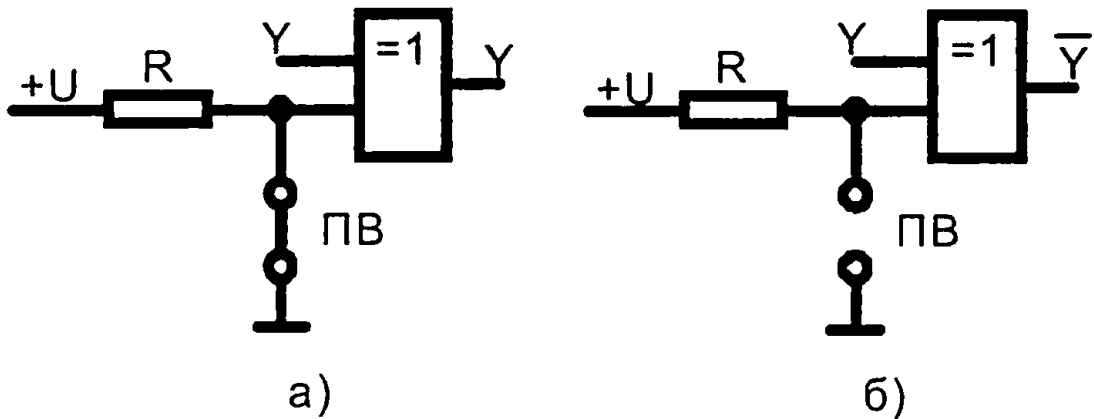


Рис. 4.19

ремычки) ко второму входу схемы выключающее ИЛИ подключен логический 0, функции с выхода матрицы М2 (ИЛИ) передаются без изменения (рис. 4.19, а). Если пережечь перемычку ПВ (рис. 4.19, б), то на второй вход схемы выключающее ИЛИ через резистор R от « $+U$ » поступает логическая 1. Складываясь по модулю 2, функция Y инвертируется.

Основными узлами схем ПЛМ являются матрицы М1 (И), М2 (ИЛИ), реализующие двухуровневые логические функции.

Технология и физические принципы ПЛМ и ПМЛ аналогичны ППЗУ и повторяют схемное построение. ПЛМ и ПМЛ по биполярной технологии программируются путем пережигания плавких перемычек. ИС ПЛМ, ПМЛ выполняются также по КМОП-технологии с плавкими перемычками. Выпускается ПЛМ и ПМЛ с ультрафиолетовым и электрическим стиранием записанной информации.

Основными параметрами ПЛМ является число входов n , число термов (конъюнкций) l , число выходов m . Например, микросхема 556РТ1 содержит 16 входов, 48 конъюнкторов (матрицы И), соединяемых при помощи плавких нихромовых перемычек с любым из 16 общих входов через буферные схемы. В матрице И реализуются конъюнкции входных переменных, причем каждая входная

переменная может входить в конъюнкции либо прямым, либо инверсным значением, либо не входить вообще. Выходные сигналы, появляющиеся на выходных шинах матрицы И, вводятся в матрицу ИЛИ, образующую второй логический уровень и реализующую дизъюнкции заданных конъюнкций. Матрицу ИЛИ образуют 8 дизъюнкторов (по одному на каждом выходе прибора), каждый из которых может быть выборочно связан с любым из 48 конъюнкторов. Соответственно, схема 556PT1 имеет 8 выходов.

Программируемым элементом матрицы И является диод с плавкой нихромовой перемычкой, а матрицы ИЛИ — включенный по схеме эмиттерного повторителя *n-p-n*-транзистор с плавкой перемычкой в цепи эмиттера. Функциональная схема базовой структуры ПЛМ изображена на рис. 4.20.

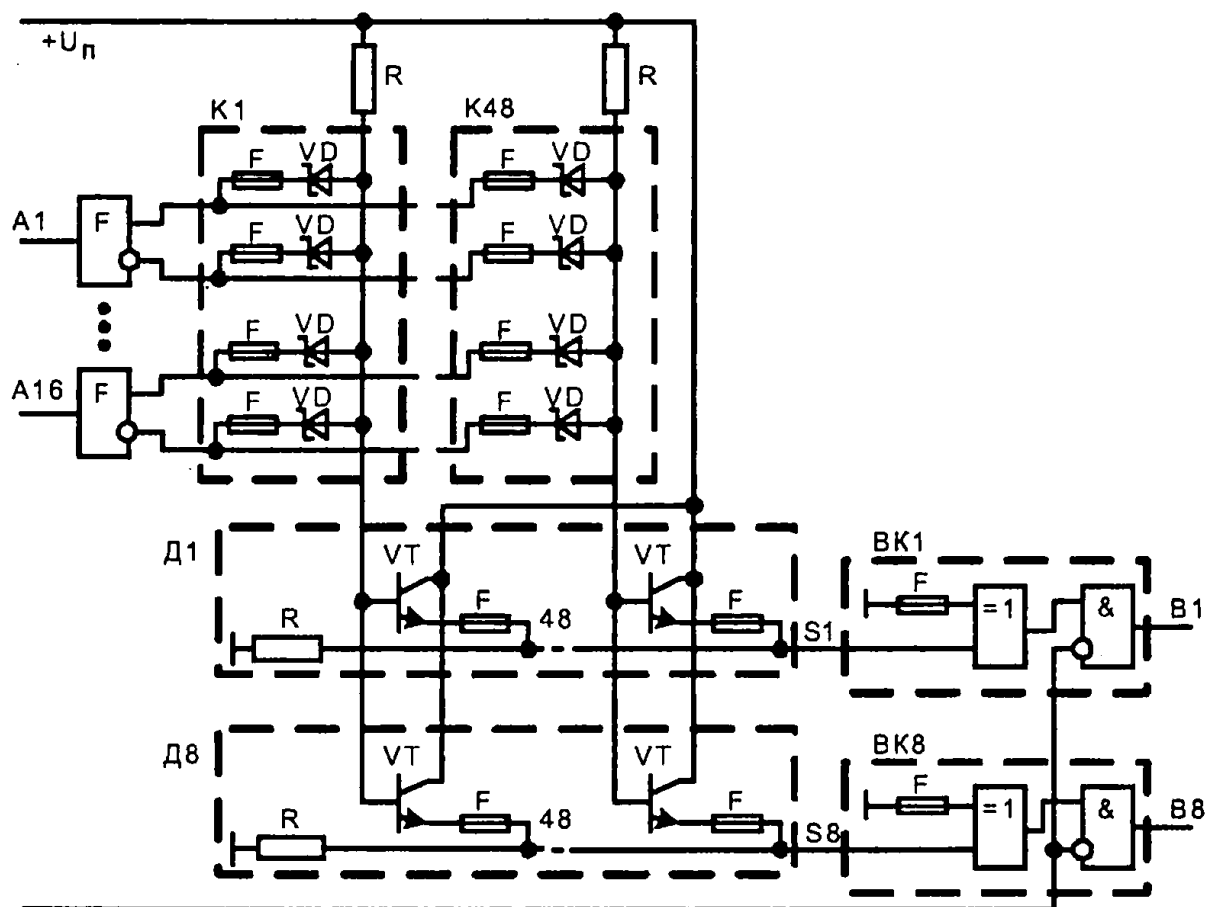


Рис. 4.20

Из рассмотренного следует, что данная схема ПЛМ имеет ограниченное число конъюнкций. Поэтому для реализации системы функций алгебры логики на ПЛМ необходимо проводить минимизацию. Поиск кратчайших дизъюнктивных форм целесообразно проводить до тех пор, пока число конъюнкций (термов) становится равным l — параметру имеющихся в ПЛМ конъюнкций. При этом учитывается наличие одинаковых конъюнкций в связанных логических функциях. В результате уменьшения числа конъюнкций интегральные схемы ПЛМ и ПМЛ по сравнению с ППЗУ при одинаковой площади кристалла способны реализовать логические функции большого числа переменных.

После минимизации и получения кратчайшей дизъюнктивной формы системы логических функций составляется таблица и осуществляется программирование. Программирование выполняется пользователем на специальном оборудовании — программаторах. Если переменная x_i входит в конъюнкцию в прямом виде, то надо оставить переключатель в матрице M1 (И) прямого входа и переключить переключатель инверсного входа. Если переменная x_i входит в конъюнкцию в инверсном виде, то наоборот.

Если полученная конъюнкция подключается к выходу y_j ПЛМ, то в матрице M2 (ИЛИ) сохраняется переключатель в цепи эмиттера. Если нет, то данная конъюнкция будет иметь переключенную переключатель.

Схемы ПЛМ достаточно громоздки (рис. 4.20). Поэтому принято их изображать в упрощенном виде (рис. 4.21). Рассмотрим систему функций алгебры логики

$$\begin{aligned}y_1 &= x_1 \bar{x}_2 \vee \bar{x}_3; \\y_2 &= x_1 \bar{x}_2 \vee \bar{x}_1 x_2 x_3 \vee \bar{x}_3; \\y_3 &= \bar{x}_1 \bar{x}_2 \vee x_2 x_3.\end{aligned}\tag{4.5}$$

и соответствующую ей структуру ПЛМ (рис. 4.21).

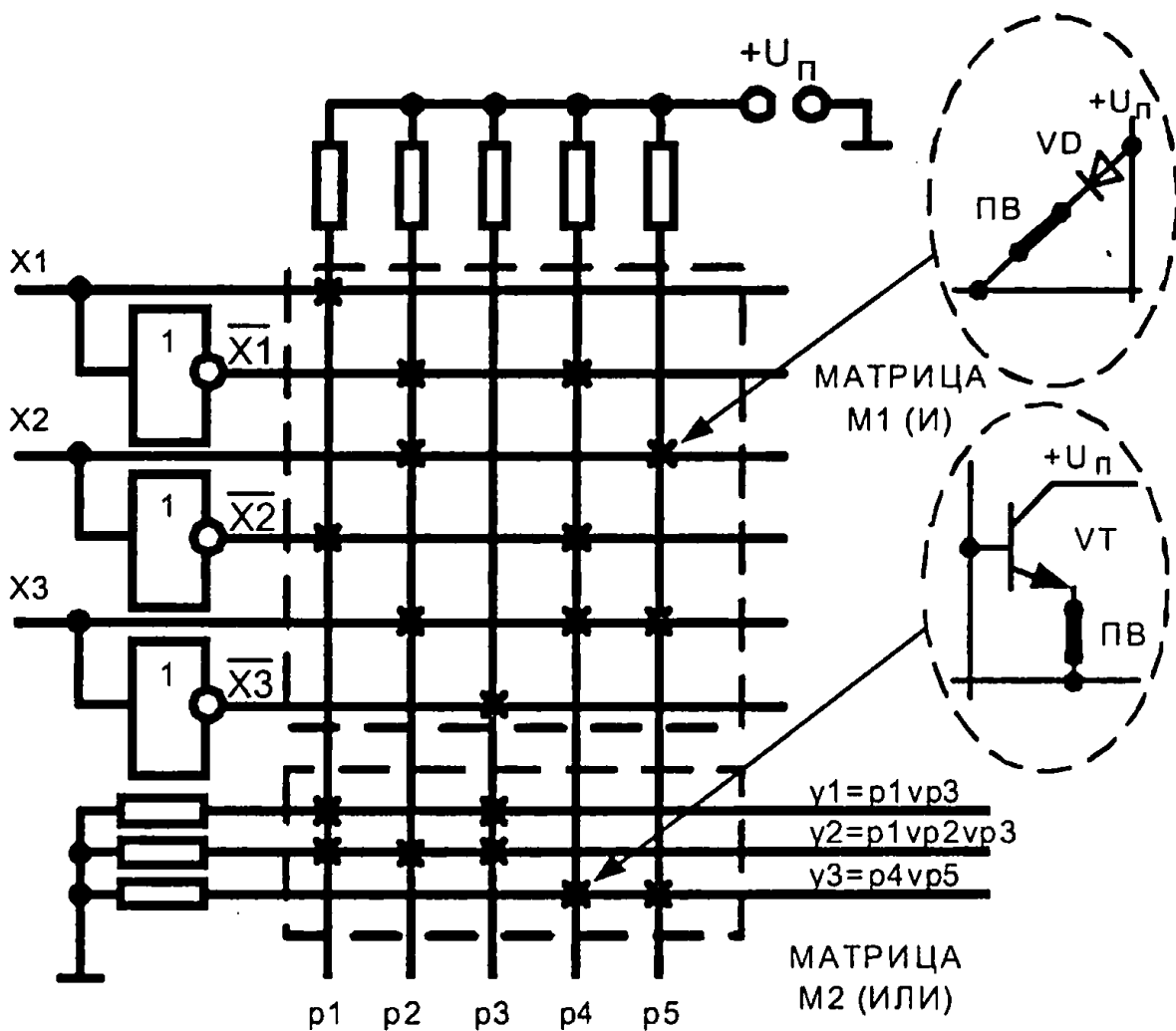


Рис. 4.21

На рис. 4.21 входные переменные x и их инверсии составляют горизонтальные цепи матрицы $M1$ (И), вертикальными цепями которой служат цепи конъюнкций p . Матрицу $M2$ (ИЛИ) образуют вертикальные цепи конъюнкций с горизонтальными цепями выходов y . Крестиками на рис. 4.21 показаны пересечения, в узлах которых при программировании сохраняются перемычки (плавкие вставки).

В узлах матрицы $M1$ (И) включены диоды. Высокий потенциал в вертикальной цепи p будет только в том случае, если на тех входах, где сохранены перемычки будет высокий потенциал 1. При низком потенциале логического нуля на одном из входов соответствующий диод откры-

4. Цифровые устройства на БИС

вается и уровень логического нуля передается на вертикальную цепь матрицы.

Значит, на вертикальных цепях реализуются конъюнкции И.

$$p_1 = x_1 \bar{x}_2; p_2 = \bar{x}_1 x_2 x_3; p_3 = \bar{x}_3; \quad (4.6)$$

$$p_4 = \bar{x}_1 \bar{x}_2 x_3; p_5 = x_1 x_2.$$

В узлах матрицы М2 (ИЛИ) между цепями конъюнкций p и выходов y включены транзисторы, базы которых подключены к цепям p , а эмиттеры — цепям y . На коллекторы подаются напряжения питания « $+U_{п}$ ». Если в вертикальной цепи конъюнкций p действует высокий потенциал логической 1, транзистор открывается и высокий потенциал поступает на выход y . Следовательно, в горизонтальных цепях матрицы М2 реализуется логическая операция дизъюнкции ИЛИ.

Включая в соответствующие узлы матрицы М1 диоды, можно на выводах p сформировать любые конъюнкции входных переменных либо их инверсии. Включая в узлы матрицы М2 транзисторы, можно на выходах y реализовать любые дизъюнкции сформированных конъюнкций.

В схеме на рис. 4.21 реализованы уравнения согласно формулам (4.5, 4.6). Программирование такой ПЛМ проводится по таблице (4.3).

Таблица 4.3

Таблица программирования ПЛМ

	входы			Выходы		
	X_1	X_2	X_3	Y_1	Y_2	Y_3
P_1	1	0	—	1	1	*
P_2	0	1	1	*	1	*
P_3	—	—	0	1	1	*
P_4	0	0	1	*	*	1
P_5	—	1	1	*	*	1

В столбце входа x записывается 1 при прямом входе, либо 0 — если вход инверсный. Если вход x не входит в конъюнкцию, то ставится прочерк. В выходном столбце y ставится 1, если конъюнкция входит в ДНФ, в противном случае — знак *.

В схемах ПЛМ на МОП-транзисторах в качестве базовой ячейки используются инвертирующие логические элементы (ИЛИ-НЕ), (И-НЕ). Также изменяется математическая запись и выполняемые логические операции в матрицах M1 и M2. Структура ПЛМ из двух последовательно соединенных матриц ИЛИ-НЕ показана на рис. 4.22.

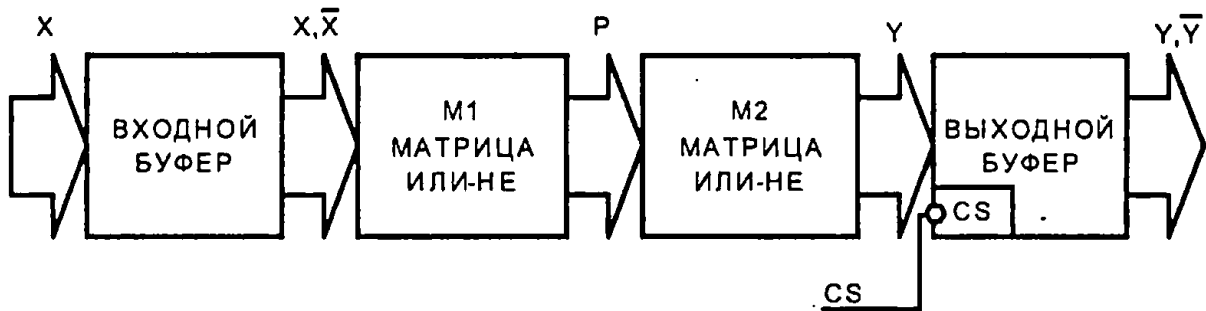


Рис. 4.22

Первая матрица M1 служит для выработки термов P , вторая — для получения выходных функций. Например:

$$p_1 = \overline{x_1 \vee x_2 \vee \bar{x}_3} = \bar{x}_1 \bar{x}_2 x_3;$$

$$y_1 = p_1 \vee p_2 \vee p_3.$$

Используя известные взаимосвязи логических функций по правилам де Моргана, можно поставить друг другу в соответствие выходные y -функции биполярной ПЛМ и ПЛМ на МОП транзисторах. Входы и выходы этих ПЛМ будут различаться только инвертированием, которые легко можно учесть во входных и выходных буферах.

По мере развития ПЛМ совершенствуется их структура, математические методы и алгоритмы описания, расширяются функциональные возможности. В частности, с

помощью введения обратных связей реализуются скобочные функции. Нередко в ПЛМ вводят дополнительные элементы — триггеры и т. п.

Если размерность задачи превосходит размерность микросхемы ПЛМ, то производят их наращивание.

4.7. Программируемая матричная логика

В рассмотренных ранее программируемых логических матрицах предусмотрена возможность программирования обеих матриц M_1 , M_2 . Зачастую логическая мощность ПЛМ используется в неполной мере, становится излишним усложнением, влечет увеличение размеров, уменьшение надежности и быстродействия, необходимость цепей программирования для двух матриц.

В структуре программируемой матричной логики ПМЛ матрица ИЛИ не программируется. Выходы элементов И (первой матрицы) распределены между входами элементов ИЛИ (второй матрицы). В сравнении с ПЛМ схемы ПМЛ имеют меньшую функциональную гибкость, т. к. матрица ИЛИ фиксирована, но значительно проще изготовление, программирование и использование (рис. 4.23).

Многовходовые логические элементы И, ИЛИ в схемах БИС ПМЛ (рис. 4.23, а) принято изображать в упрощенном виде (рис. 4.23, в). Упрощение N -входового элемента И поясняется рис. 4.23, б. На пересечении горизонтальных и вертикальных линий в матрице И незапрограммированной БИС ПМЛ находятся целые перемычки. На рис. 4.24 представлен пример реализации функции исключающее ИЛИ

$$y = x_1 \oplus x_2 = \overline{x_1 x_2} \vee \overline{\overline{x_1 x_2}}$$

в обычном виде (рис. 4.24, а) и в виде, реализуемом БИС ПМЛ (4.24, б).

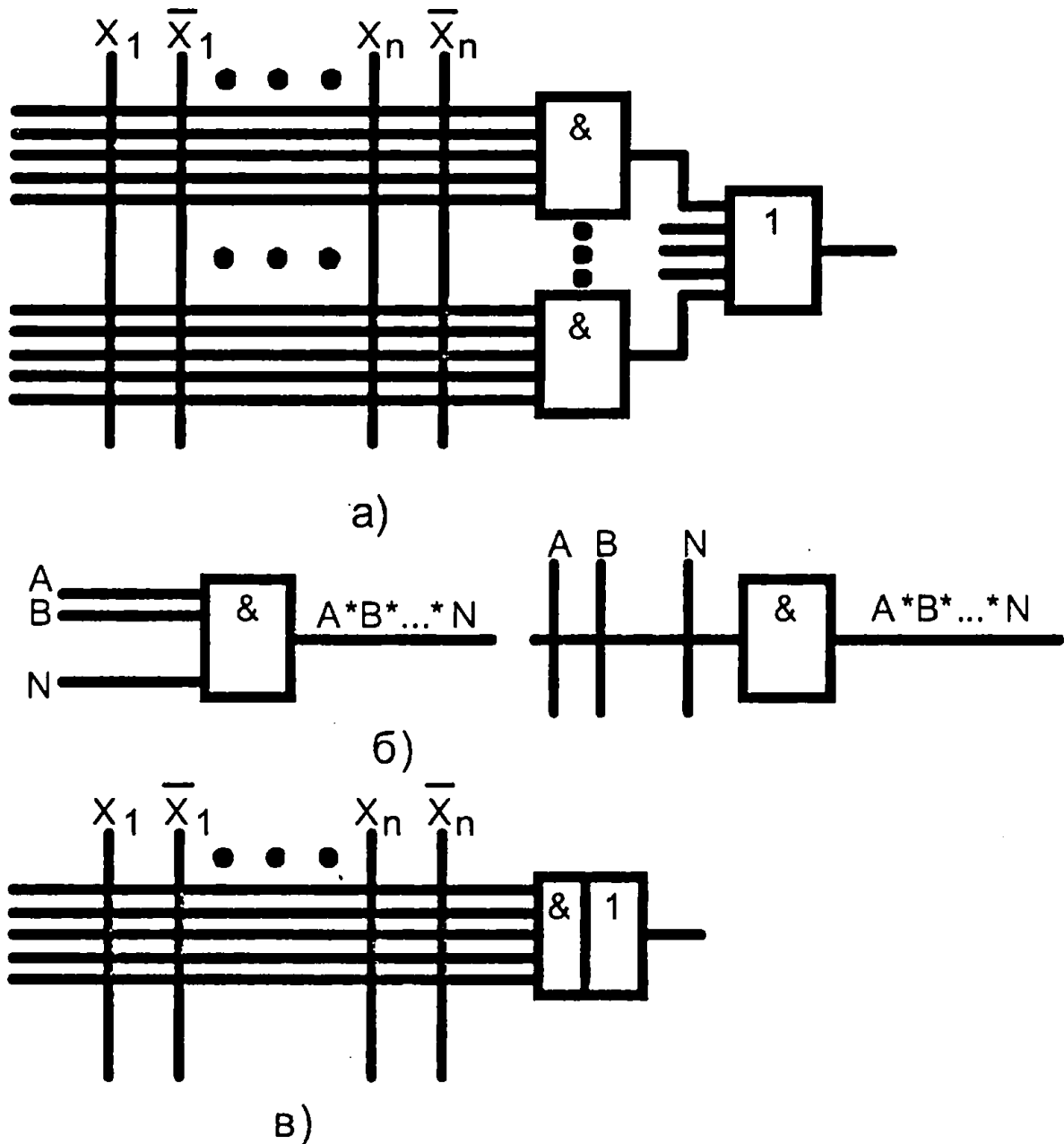
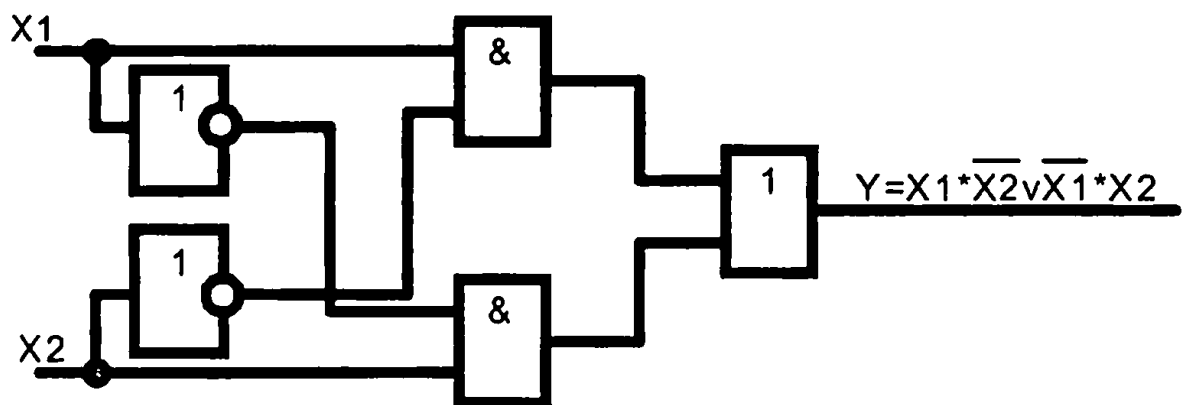


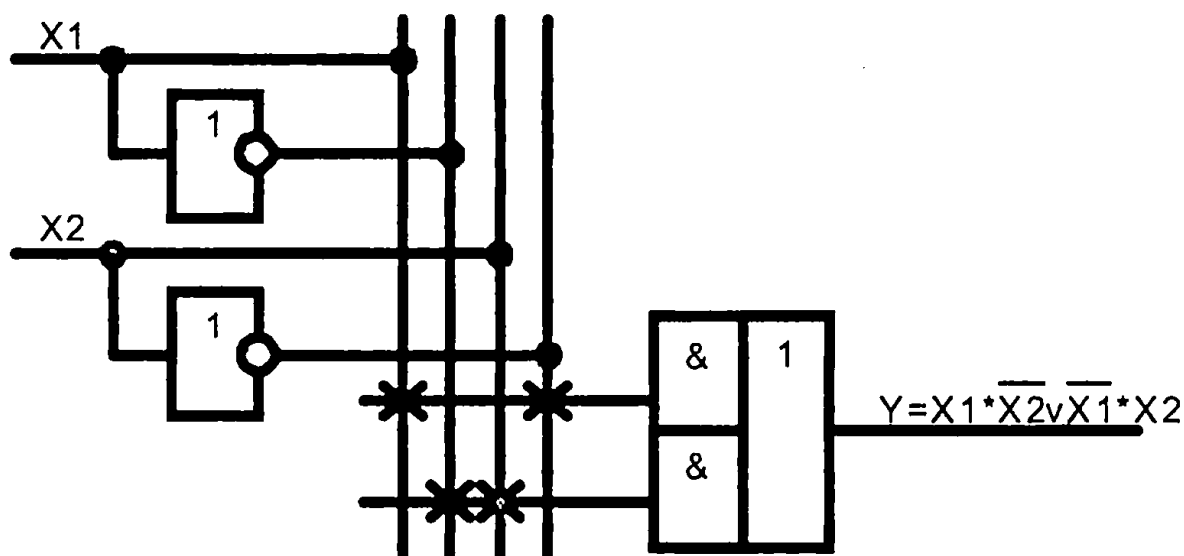
Рис. 4.23

Примером ПМЛ является микросхема КМ1556ХП4, реализующая 8 выходных функций от 16 входных переменных. Она включает до 60 термов. Разработана на базе ТТЛ с диодами Шоттки (ТТЛШ), выполнена методами планарно-эпитаксиальной технологии с изоляцией $p-n$ -переходом. Число элементов в схеме 6500.

Основными узлами микросхемы КМ1556ХП4 являются электрически программируемая матрица И и жестко



а)



б)

Рис. 4.24

фиксированная матрица ИЛИ, реализующие двухуровневые логические функции. Первый логический уровень составляет 60 конъюнкторов, реализуемых матрицей И и связанных при помощи плавких перемычек с любой из 16 входных переменных и их инверсий через буферные схемы. Каждая входная переменная может входить в конъюнкции прямым, инверсным значением либо не входить вообще. Программируемым элементом матрицы И является транзистор с плавкой титан-вольфрамовой перемычкой в цепи эмиттера.

Выходные сигналы матрицы И поступают на входы элементов ИЛИ, образующих второй логический уровень и реализующих дизъюнкции заданных конъюнкций. Матрицу ИЛИ образуют 8 дизъюнкторов, каждый из которых может быть связан с одной из 8 групп конъюнкторов (по 7–8 конъюнкторов в группе).

Микросхемы поставляются потребителю незапрограммированными (с целыми перемычками в матрице И). Программирование микросхем потребителем заключается в программировании основного поля матрицы И, а также контроль чистоты поля. При программировании пережигаются ненужные перемычки.

ИМС ПМЛ имеет ограниченное число входных переменных, термов (конъюнкций), выходных переменных. Поэтому для реализации заданной системы логических функций необходимо провести минимизацию.

Минимизация и программирование ПМЛ имеют много общего с подходом к решению задач на ПЛМ. Однако есть и различие. Для ПМЛ необходимо уменьшить число конъюнкций (элементов И) для каждого отдельного входа. Для ПЛМ важно представить систему функции с возможно большим числом общих конъюнкций. Для ПМЛ поиск общих конъюнкций не играет роли, т. к. выходы элементов И жестко связаны со входами своего элемента ИЛИ, не могут быть использованы для других функций.

Интегральные схемы ПМЛ предпочтительнее применять при реализации менее сложных устройств.

Контрольные вопросы

1. Поясните порядок построения цифрового устройства на микросхемах с программируемой логикой.

2. Какими преимуществами обладают микросхемы БИС/СБИС?

3. Для чего предназначены микросхемы памяти?

4. Цифровые устройства на БИС

4. Поясните различия между микросхемами памяти, программируемыми на предприятии и программируемыми пользователями.

5. Поясните различия между однократно программируемыми и перепрограммируемыми микросхемами постоянных запоминающих устройств.

6. Назовите методы стирания информации в перепрограммируемых микросхемах постоянных запоминающих устройств.

7. Поясните различия между ПЛИС и ПМЛ.

8. Поясните принцип действия транзистора МНОП.

9. Для чего предназначена память RAM.

10. Для чего предназначена память ROM.

5. АНАЛОГО-ЦИФРОВЫЕ И ЦИФРОАНАЛОГОВЫЕ ПРЕОБРАЗОВАТЕЛИ

5.1. Назначение, основные свойства и классификация АЦП и ЦАП

В электронных системах одинаково широко используется обработка информации, представленной в аналоговой и цифровой формах. Объясняется это тем, что первичная, исходная информация о различных физических величинах и процессах носит, как правило, аналоговый характер. Обработку же этой информации удобнее вести в цифровой форме. Использование полученных после цифровой обработки результатов также в большинстве случаев требует их аналогового представления. Следовательно, любая система, использующая цифровые методы обработки информации, должна содержать устройства взаимного преобразования аналоговых и цифровых сигналов. Роль таких устройств выполняют аналого-цифровые и цифро-аналоговые преобразователи (АЦП и ЦАП).

Аналого-цифровой преобразователь — устройство, предназначенное для преобразования непрерывно изменяющейся во времени аналоговой физической величины в эквивалентные ей значения числовых кодов.

5. Аналогово–цифровые и цифроаналоговые преобразователи

Цифро-аналоговый преобразователь — устройство, предназначенное для преобразования входной величины, представленной последовательностью числовых кодов, в эквивалентные им значения заданной физической величины.

В качестве аналоговой физической величины, оговоренной в данных определениях, в общем случае могут фигурировать различные параметры, например угол поворота, линейное перемещение, давление жидкости или газа и т. д. В дальнейшем под этой величиной будем понимать напряжение либо ток, которые, при необходимости, можно легко преобразовать в другие физические величины.

Основным вопросом, с которым приходится сталкиваться при проектировании и использовании ЦАП и АЦП, является вопрос адекватности полученного в результате преобразования сигнала исходному физическому процессу, т. е. вопрос точности преобразования. Поэтому рассмотрим алгоритмы этих преобразований с точки зрения погрешностей, возникающих при их выполнении.

Процесс аналого-цифрового преобразования предполагает последовательное выполнение следующих операций:

- ♦ выборка значений исходной аналоговой величины в некоторые наперед заданные дискретные моменты времени, т. е. дискретизация сигнала по времени;
- ♦ квантование (округление до некоторых известных величин) полученной в дискретные моменты времени последовательности значений исходной аналоговой величины по уровню;
- ♦ кодирование — замена найденных квантованных значений некоторыми числовыми кодами.

Проиллюстрируем эту последовательность действий. Пусть задана некоторая аналоговая зависимость $U(t)$. Для получения ее дискретного эквивалента $U(nT_d) = \{U(0), U(T_d), U(2T_d), \dots\}$ необходимо провести выборку ее значений в дискретные моменты времени nT_d , где $n = 0, 1, 2, \dots$

целое число. Постоянная величина T_d — носит название периода выборки или периода дискретизации, а сам процесс замены исходной аналоговой функции $u(t)$ некоторой дискретной функцией $U(nT_d)$ называется дискретизацией сигнала во времени. Следует отметить, что полученная дискретная функция $U(nT_d)$ относительно самого сигнала $u(t)$ носит по-прежнему аналоговый характер, так как может принимать бесконечное число различных значений.

Операция квантования по уровню дискретной функции $U(nT_d)$ заключается в отображении бесконечного множества ее значений на некоторое конечное множество значений U_n^* , называемых уровнями квантования. Для выполнения этой операции весь динамический диапазон $D = U(nT_d)_{\max} - U(nT_d)_{\min}$ изменения дискретной функции $U(nT_d)$ разбивают на некоторое заданное число уровней N и производят округление каждой величины $U(nT_d)$ до ближайшего уровня. Величина $h = D/N$ носит название шага квантования. Результатом операции квантования по уровню является дискретная функция U_n^* , которая может принимать $N + 1$ значение.

Для выполнения последней операции необходимо выбрать некоторый код $K = \{K_1, K_2, \dots\}$, способный отображать не менее $(N + 1)$ -го значения, и каждому дискретному значению U_n^* поставить в соответствие некоторый код K_i . В простейшем случае в качестве кода может быть использована последовательность чисел, соответствующих порядковым номерам уровней квантования. При таком выборе кода функция $u(t)$ может быть заменена последовательностью десятичных чисел: $K_n = \{0, 1, 3, 4, 4, 5, 4, 4, 3, 2, 2\}$, или в двоичной форме $K_n = \{000, 001, 011, 100, 100, 101, 100, 100, 011, 010, 010\}$.

В аналитической форме процесс аналого-цифрового преобразования может быть представлен выражением

5. Аналогово-цифровые и цифроаналоговые преобразователи

$$K_{n_i} = \left[\frac{u(t)_{t=n_i T_d}}{h} \right] \pm \delta K_{n_i}, \quad (5.1)$$

где результат в квадратных скобках округлен до ближайшего целого числа, δK_{n_i} — погрешность преобразования на i -м шаге.

Как следует из описанного алгоритма, переходы от исходной функции $u(t)$ к дискретной $U(nT_d)$ и далее к квантованной по уровню U_n^* сопряжены с некоторой потерей информации. На этапе же кодирования подобные потери отсутствуют. Рассмотрим вопрос потери информации более подробно.

Предположим, что исходная аналоговая функция $u(t)$ может быть представлена в виде конечной суммы гармонических сигналов, т. е. ее частотный спектр ограничен:

$$u(t) = \sum_{i=1}^k U_i \sin(\omega_i t + \varphi_i) \quad (5.2)$$

Тогда согласно известной из теории информации теореме Котельникова, если период дискретизации T_d отвечает условию

$$T_d \leq 1/2 f_{\max} \quad (5.3)$$

где f_{\max} — частота максимальной гармоники исходного сигнала $u(t)$, дискретные значения $U(nT_d)$ полностью определяют исходную зависимость $u(t)$, и замена аналоговой функции $u(t)$ на дискретную $U(nT_d)$ не сопряжена с искажением вида исходной зависимости, так как по $U(nT_d)$ можно однозначно восстановить исходный вид $u(t)$. Следовательно, при выполнении условия (5.3) погрешность преобразования на этапе дискретизации по времени отсутствует.

Процесс квантования по уровню дискретной функции $U(nT_d)$ всегда связан с внесением некоторой погрешнос-

ти ε_{KB} , значение которой определяется неравенством $-\hbar/2 \leq \varepsilon_{KB} \leq \hbar/2$.

Величина ε_{KB} носит название шума квантования и однозначно определяется числом допустимых значений функции U_n^* , т. е. разрядностью используемого числового кода.

Поэтому погрешность аналого-цифрового преобразования, обусловленная шумом квантования, при увеличении разрядности выходного кода может быть уменьшена до сколь угодно малой величины. Но, в отличие, от погрешности дискретизации по времени она принципиально присуща данному алгоритму и не может быть сведена к нулю выбором параметров устройства.

Рассмотренные погрешности обусловлены самим алгоритмом аналого-цифрового преобразования. Кроме них в реальных АЦП возникают погрешности, связанные с неидеальностью используемой элементной базы, т. е. инструментальные погрешности.

Процесс цифро-аналогового преобразования предполагает последовательное выполнение следующих операций:

- ♦ формирование в заданном диапазоне изменения выходного сигнала M его дискретных значений U_M^* , отличающихся на некоторое значение a , и постановка каждому сформированному уровню в соответствие некоторого кода K_i ;
- ♦ последовательное, с заданным временным интервалом T_1 , присвоение выходному сигналу значений выделенных уровней, соответствующих входной последовательности кодов K_i .

Если предположить, что $a = \hbar$ и $T_1 = T_d$, то результатом цифро-аналогового преобразования полученной ранее последовательности кодов K_n будет, показанная на рис. 5.3, ступенчатая функция U_n^* . Эта функция, хотя и непрерывна во времени, но остается дискретной по уровню, что

5. Аналогово–цифровые и цифроаналоговые преобразователи

является результатом погрешности, обусловленной шумом квантования. Сам процесс цифро-аналогового преобразования не вносит собственных принципиальных погрешностей, а лишь материализует погрешности, полученные в АЦП. Реально возникающие при преобразовании погрешности носят чисто инструментальный характер.

Математически алгоритм цифро-аналогового преобразования можно записать в виде

$$U_{n_i} = \alpha K_{n_i} + \delta U_{n_i}, \quad (5.4)$$

где δU_{n_i} — погрешность преобразования на i -м шаге.

Подводя итог сказанному, отметим, что погрешности, обусловленные самим алгоритмом работы, возникают только на этапе аналого-цифрового преобразования и их уменьшение требует уменьшения периода дискретизации T_d и шага квантования h .

Существует большое число признаков, по которым могут быть классифицированы ЦАП и АЦП. Ниже остановимся на наиболее часто встречающейся классификации, базирующейся на реализуемом методе преобразования. С этой точки зрения все существующие ЦАП могут быть разделены на два класса: устройства, реализующие метод многократного суммирования одного эталона; устройства, реализующие метод суммирования нескольких различных эталонов.

Цифро-аналоговые преобразователи первого класса используют при работе единственный эталон, число повторов (суммирований) которого определяется значением входного единичного кода. Этот код подается на вход ЦАП в последовательной форме. Единичным называется код, число единиц в записи которого равно его числовому эквиваленту. Например, десятичное число 5 в единичном коде равно 11111.

Цифро-аналоговые преобразователи второго класса имеют число эталонов, равное разрядности входного кода. При-

чем значения этих эталонов пропорциональны величинам весовых коэффициентов используемого кода. Входной код подается на вход таких ЦАП в параллельной форме.

Следует отметить, что в настоящее время используются только ЦАП второго класса.

Интегральные схемы ЦАП могут выполняться как функционально завершенными, т. е. не требующими для своей работы дополнительных элементов, так и функционально незавершенными. В последнем случае в качестве внешних элементов, как правило, применяют источник эталонного напряжения, операционный усилитель, регистры и т. д.

Работа с внешним источником эталонного напряжения позволяет разделить все ЦАП на две группы: умножающие — работающие с изменяющимся во времени источником эталонного сигнала, и неумножающие — работающие с эталонным источником, величина которого в течение всего времени работы устройства остается постоянной.

С позиции используемого метода преобразования все АЦП делятся на: устройства, реализующие метод последовательного счета, устройства, реализующие метод поразрядного кодирования, устройства, реализующие метод считывания.

Аналого-цифровые преобразователи, работающие по методу последовательного счета, осуществляют уравнивание входной аналоговой величины суммой одинаковых эталонов. Момент равенства этих величин фиксируется сравнивающим устройством. На выходе таких АЦП формируется последовательный единичный код. Далее этот код может быть преобразован к любому требуемому виду.

Аналого-цифровые преобразователи, работающие по методу поразрядного кодирования, используют несколько эталонов. Причем их число равно числу разрядов, а значения пропорциональны весовым коэффициентам выход-

5. Аналогово–цифровые и цифроаналоговые преобразователи

ного позиционного кода. Каждый эталон сравнивается с входной величиной устройством сравнения. Процесс сравнения начинается с эталона, имеющего максимальное значение. В зависимости от результата этого сравнения формируется цифра старшего разряда выходного кода. Если эталон больше входной величины, то в старшем разряде формируется нулевое значение и производится сравнение входной величины с наибольшим из оставшихся эталонов. Если максимальный эталон оказался меньше входной величины, то в старшем разряде выходного кода формируется сигнал лог. 1 и дальнейшему сравнению подлежит сигнал разности входной величины и максимального эталона. Аналогичные действия выполняются для всех используемых эталонов.

Аналого-цифровые преобразователи, работающие по методу считывания, используют N эталонов (N — число уровней квантования). При этом младший эталон равен h (шагу квантования), следующий $2h$ и т. д. Входная величина сравнивается с каждым эталоном своим устройством сравнения, в результате чего на выходе устройства формируется параллельный единичный код, в котором число единиц соответствует числу эталонов, выходной сигнал которых меньше входного.

5.2. Основные характеристики АЦП и ЦАП

Рассмотрим основные электрические характеристики ЦАП и АЦП. Они подразделяются на статические, которые задают конечную точность преобразования, и динамические, характеризующие быстродействие данного класса устройств. Статические характеристики преобразователей определяются видом характеристики преобразования, которая устанавливает соответствие между значениями

аналоговой величины и цифрового кода. Рассмотрим их подробнее.

Число разрядов (b) — число разрядов кода, отображающего исходную аналоговую величину, которое может формироваться на выходе АЦП или подаваться на вход ЦАП. При использовании двоичного кода под b понимают двоичный логарифм от максимального числа кодовых комбинаций (уровней квантования) на выходе АЦП или входе ЦАП.

Абсолютная разрешающая способность — средние значения минимального изменения сигнала на выходе ЦАП (α), или минимального изменения входного сигнала АЦП (m), обусловленные увеличением или уменьшением его кода на единицу.

Значение абсолютной разрешающей способности является мерой измерения всех основных статических характеристик данного класса устройств и часто обозначается как ЕМР (единица младшего разряда), или просто МР (младший разряд).

Абсолютная погрешность преобразования в конечной точке шкалы (δF_s) — отклонение реальных максимальных значений входного для АЦП (U_{IRN}) и выходного для ЦАП (U_{ORN}) аналоговых сигналов от значений, соответствующих конечной точке идеальной характеристики преобразования (U_{IRNmax} и U_{ORNmax}). Применительно к АЦП наличие δF_s означает, что максимальный выходной код будет сформирован на выходе устройства при входном сигнале ($U_{ex} = U_{IRNmax} - F_s$). По аналогии для ЦАП можно сказать, что при подаче на вход максимального кода его выходное напряжение будет отличаться от U_{ORNmax} на величину F_s . Обычно δF_s измеряется в ЕМР. В технической литературе δF_s иногда называют мультипликативной погрешностью.

Напряжение смещения нуля U_0 — для АЦП — это напряжение (U_{ex0}), которое необходимо приложить к его входу

5. Аналогово–цифровые и цифроаналоговые преобразователи

для получена нулевого выходного кода. Для ЦАП — это напряжение, присутствующее на его выходе ($U_{\text{выхо}}$) при подаче на вход нулевого кода. Величина U_0 обычно выражается в ЕМР.

Нелинейность (δL) — отклонение действительной характеристики преобразования от оговоренной линейной. Т. е. это разность реального напряжения, соответствующего выбранному значению кода, и напряжения, которое должно соответствовать этому коду в случае идеальной характеристики преобразования устройства. Для ЦАП это напряжение измеряется относительно центров ступеней указанных характеристик. В качестве оговоренной линейной характеристики используют либо прямую, проведенную через точки $0, U_{\text{max}}$, либо прямую, обеспечивающую минимизацию δL , например, среднеквадратическое отклонение всех точек которой от реальной характеристики минимально. Величину δL измеряют в ЕМР ($\delta L = \delta' L/h$) или процентах ($L = 100 \cdot 'L_{\text{д max}}$), где $\delta' L$ — абсолютное значение нелинейности. В справочной литературе обычно задается максимально возможная величина δL .

Дифференциальная нелинейность ($\delta L_{\text{д}}$). Это отклонение действительного шага квантования $\delta' L_{\text{д}}$ от его среднего значения (h). Величина $\delta L_{\text{д}}$ измеряется либо в ЕМР [$\delta L_{\text{д}} = (\delta' L_{\text{д}} - h)/h$], либо в процентах $\delta L_{\text{д}} = (\delta' L_{\text{д}} - h) \cdot 100/U_{\text{max}}$.

Величина дифференциальной нелинейности однозначно связана с понятием монотонности характеристик ЦАП и АЦП. Если $|\delta L_{\text{д}}| > 1 \text{ ЕМР}$, то приращение выходного сигнала в данной точке характеристики может быть как положительным, так и отрицательным. В последнем случае характеристика преобразования перестает быть монотонной.

Динамические свойства ЦАП и АЦП обычно характеризуют следующими параметрами:

- ♦ максимальная частота преобразования (f_{smax}) — наибольшая частота дискретизации, при которой заданные параметры соответствуют установленным нормам;
- ♦ время установления выходного сигнала (t_s) — интервал от момента заданного изменения кода на входе ЦАП до момента, при котором выходной аналоговый сигнал окончательно войдет в зону заданной ширины, симметрично расположенную относительно установившегося значения. Обычно ширина этой зоны задается равной 1EMР . Отсчет времени t_s ведется от момента достижения входным сигналом значения половины логического перепада. Очевидно, что, в силу выражения (5.3), значение t_s связано с f_{cmax} условием $f_{cmax} < 1/(2t_s)$. Аналогичный параметр для АЦП называют временем преобразования (t_c).

5.3. Принцип аналого-цифрового преобразования информации

В большинстве случаев получаемый непосредственно от источника информации сигнал представлен в форме непрерывно меняющегося по значению напряжения, либо тока (рис. 5. 1). Таков, в частности, характер электрического сигнала, соответствующего телефонным, телевизионным и другим видам сообщений.

Преобразование сигналов из аналоговой формы в цифровую выполняется в устройстве, называемом аналого-цифровым преобразователем (АЦП). В преобразователе сигналов из аналоговой формы в цифровую можно выделить следующие процессы:

- ♦ дискретизацию;
- ♦ квантование;
- ♦ кодирование.

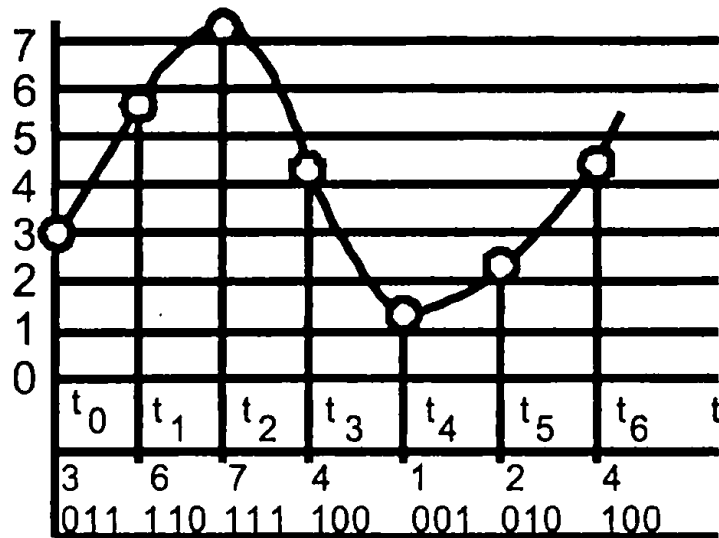


Рис. 5.1. Вид электрического сигнала

Рассмотрим сущность этих процессов. При этом для определенности в последующем изложении будем считать, что преобразование в цифровую форму осуществляется над сигналом, представленным в форме меняющегося во времени напряжения.

Дискретизация непрерывных сигналов. Процесс дискретизации заключается в том, что из непрерывного во времени сигнала выбираются отдельные его значения, соответствующие моментам времени, следующим через определенный временной интервал T (на рис. 5.1 моменты t_0, t_1, \dots). Интервал T называется тактовым интервалом времени, а моменты t_0, t_1, \dots , в которые берутся отчеты, — тактовыми моментами времени.

Дискретные значения сигнала следует отсчитывать с таким малым тактовым интервалом T , чтобы по ним можно было бы восстановить сигнал в аналоговой форме с требуемой точностью.

Квантование и кодирование. Сущность этих операций заключается в следующем. Создается сетка так называемых уровней квантования (рис. 5.1), сдвинутых друг относительно друга на величину h , называемую шагом кван-

тования. Каждому уровню квантования можно приписать порядковый номер (0, 1, 2, 3, 4 и т. д.). Далее полученные в результате дискретизации значения исходного аналогового напряжений заменяются ближайшими к ним уровнями квантования. Так, на диаграмме рис. 5.1 значение напряжения в момент t_0 заменяется ближайшим к нему уровнем квантования с номером 3, в тактовый момент t_1 значение напряжения ближе к уровню 6 и заменяется этим уровнем и т. д.

Следующая операция, выполняемая при аналого-цифровом преобразовании сигналов, — кодирование. Смысл ее состоит в следующем. Округление значения напряжения, осуществляемое при операции квантования, позволяет эти значения представлять числами — номерами соответствующих уровней квантования. Для диаграммы, представленной на рис. 5.1, образуется последовательность чисел: 3, 6, 7, 4, 1, 2 и т. д. Получаемая таким образом последовательность чисел представляется двоичным кодом.

Вернемся к искажениям, связанным с процессом квантования, названным шумом квантования. При телефонной связи шум квантования воспринимается ухом человека действительно в виде шума, сопровождающего речь.

Так как в процессе квантования значение напряжения в каждый тактовый момент округляется до ближайшего уровня квантования, ошибка в представлении значений напряжения оказывается в пределах $-h/2 \leq \varepsilon_{KB} \leq +h/2$. Следовательно, чем больше шаг квантования h , тем больше ошибки квантования ε_{KB} . Считая, что в указанных пределах любые значения ε_{KB} равновероятны, можно получить выражение среднеквадратичного значения ошибки квантования $\sigma_\varepsilon = h/(2\sqrt{3})$.

Уменьшение шума квантования достигается только уменьшением шага квантования. Так как h — промежуток между соседними уровнями квантования, то с умень-

5. Аналогово–цифровые и цифроаналоговые преобразователи

шением h , очевидно, должно возрасти число уровней квантования в заданном диапазоне значений напряжения. Пусть $A = U_{max} - U_{min}$ — ширина диапазона изменений напряжения. Тогда требуемое число уровней квантования $N = A/h + 1$. Обычно $A/h \gg 1$ и $N \approx A/h$. Отсюда видно, что уменьшение шума квантования путем уменьшения h приводит к увеличению числа уровней квантования N . Это увеличивает число разрядов при представлении номеров уровней квантования двоичными кодами. При организации телефонной связи номера уровней квантования обычно выражаются семи- восьмиразрядными двоичными числами, а число уровней квантования $N = 2^7 \dots 2^8 = 128 \dots 256$.

Наряду с рассмотренными выше погрешностями квантования при аналого-цифровом преобразовании возникают аппаратные погрешности, связанные с неточностью работы отдельных узлов АЦП. Эти погрешности будут выявляться при рассмотрении различных схемных построений АЦП.

5.4. Схема ЦАП с суммированием напряжений

Схема ЦАП с суммированием напряжений на операционном усилителе приведена на рис. 5.2. Триггеры $1 \dots n$ образуют регистр, в который помещаются двоичные числа, предназначенные для перевода в пропорциональные им значения напряжения на выходе. Будем считать, что напряжение на выходе каждого из триггеров может принимать одно из двух возможных значений: E при состоянии 1 и 0 при состоянии 0.

Напряжения с выходов триггеров передаются на выход ЦАП через операционный усилитель (ОУ), работающий в режиме взвешенного суммирования напряжений (аналогового сумматора). Для каждого триггера предус-

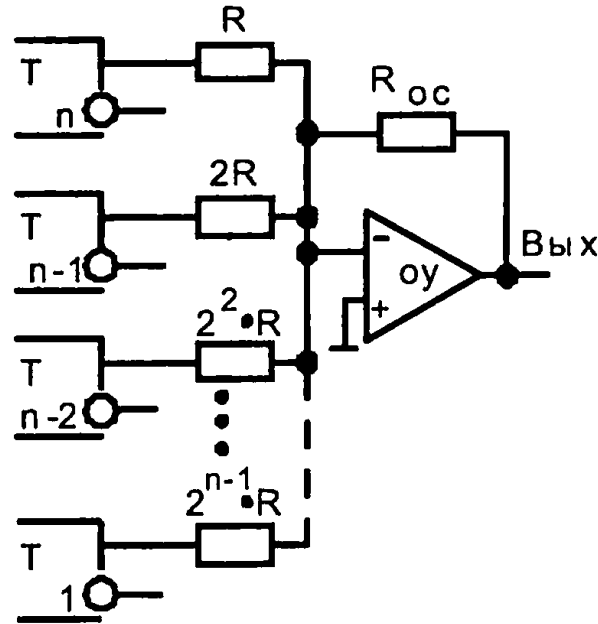


Рис. 5.2. Схема ЦАП с суммированием напряжений

матривается отдельный вход в сумматоре с коэффициентом передачи:

$$K_i = R_{oc} / R_{exi} = R_{oc} / (R \cdot 2^{n-i}) = R_{oc} \cdot 2^{-(n-i)} / R.$$

Таким образом, напряжение с выхода триггера n -го разряда передается на выход усилителя с коэффициентом передачи $K_n = R_{oc} / R$; этот коэффициент для $(n - 1)$ -го разряда $K_{n-1} = 2^{-1} R_{oc} / R$; для $(n - 2)$ -го разряда $K_{n-2} = 2^{-2} R_{oc} / R$; и т. д.

Обратим внимание на то, что коэффициенты передачи усилителя с отдельных его входов находятся в том же соотношении, что и весовые коэффициенты соответствующих разрядов двоичного числа. Так, K_n в два раза больше K_{n-1} и весовой коэффициент n -го разряда в два раза больше весового коэффициента $(n - 1)$ -го разряда. Следовательно, напряжения, передаваемые на выход усилителя с выходов триггеров отдельных разрядов, находящиеся в состоянии 1, пропорциональны весовым коэффициентам разрядов.

Если в состоянии 1 находятся одновременно триггеры нескольких разрядов, то напряжение на выходе усилителя

5. Аналогово-цифровые и цифроаналоговые преобразователи

равно сумме напряжений, передаваемых на этот выход от отдельных разрядов двоичного числа в регистре: $\alpha_n, \alpha_{n-1}, \dots, \alpha_1$. Тогда напряжение на выходе усилителя

$$\begin{aligned} U_{\text{вых}} &= E \frac{R_{\text{ос}}}{R} \alpha_n + E \frac{R_{\text{ос}}}{R} 2^{-1} \alpha_{n-1} + \dots + E \frac{R_{\text{ос}}}{R} 2^{-(n-1)} \alpha_1 = \\ &= E \frac{R_{\text{ос}}}{R} 2^{-(n-1)} (2^{n-1} \alpha_n + 2^{n-2} \alpha_{n-1} + \dots + \alpha_1) = E \frac{R_{\text{ос}}}{R} 2^{-(n-1)} N. \end{aligned}$$

Здесь N — десятичное значение двоичного числа, введенного в регистр. Из последнего выражения видно, что напряжение на выходе ЦАП пропорционально числу в регистре.

Рассмотрим работу ЦАП в случае, когда на триггерах $1 \dots n$ построен двоичный счетчик. Если подать на вход этого счетчика последовательность импульсов, то с приходом каждого очередного импульса число в счетчике будет увеличиваться на единицу и напряжение на выходе ЦАП будет возрастать на ступеньку h , соответствующую единице младшего разряда счетчика: $h = ER_{\text{ос}} 2^{-(n-1)} / R$. Таким образом, напряжение на выходе ЦАП будет иметь ступенчатую форму, как показано на рис. 5.3.

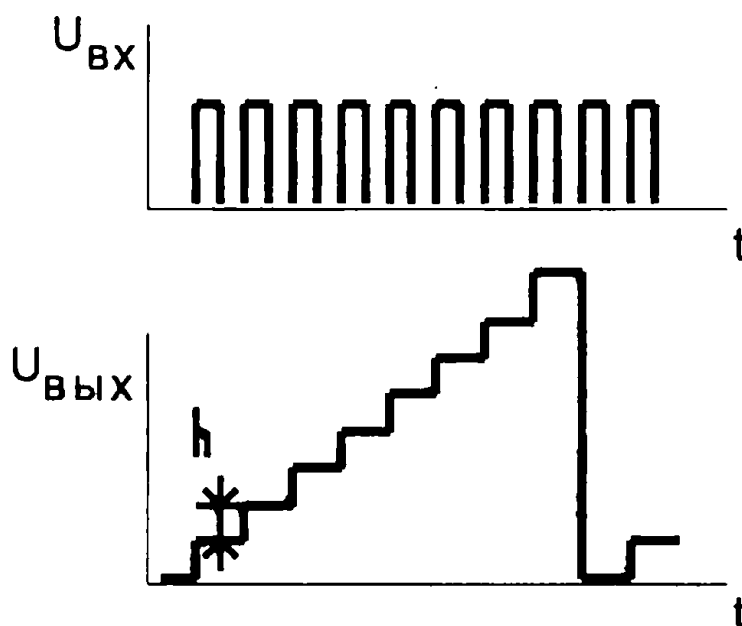


Рис. 5.3. Напряжение на выходе ЦАП

После поступления 2^{n-1} импульсов все разряды счетчика будут содержать 1, на выходе ЦАП образуется максимальное напряжение

$$U_{\text{выхmax}} = (2^n - 1)h = E \frac{R_{\text{ос}}}{R} 2^{-(n-1)} (2^{n-1} - 1) = E \frac{R_{\text{ос}}}{R} (2 - 2^{-(n-1)}).$$

При большом числе разрядов $2 \gg 2^{-(n-1)}$ и $U_{\text{выхmax}} \approx 2ER_{\text{ос}}/R$.

Далее очередным импульсом счетчик будет сброшен в нулевое состояние, нулевым будет и выходное напряжение ЦАП. После этого счетчик начинает счет импульсов сначала, и на выходе ЦАП вновь формируется напряжение ступенчатой формы.

Суммарная абсолютная погрешность преобразования $\Delta U_{\text{вых}}$ должна быть меньше выходного напряжения, соответствующего единице младшего разряда входного двоичного числа:

$$\Delta U_{\text{двых}} < E \frac{R_{\text{ос}}}{R} 2^{-(n-1)}.$$

Отсюда можно получить условие для относительной погрешности:

$$\eta = \Delta U_{\text{вых}} / U_{\text{выхmax}} < 2^{-(n-1)} / (2 - 2^{-(n-1)}) \approx 2^{-n}.$$

Это соотношение определяет связь между относительной погрешностью преобразователя η и числом его разрядов n . Так, при $n = 10$ имеем

$$\eta < 2^{-10} \approx 0,001 \approx 0,1\%.$$

Недостатки рассмотренной схемы преобразователя:

- ♦ используются высокоточные резисторы с различными значениями сопротивления;
- ♦ трудно обеспечить высокую точность выходного напряжения триггеров.

Эти недостатки устранены в схеме ЦАП, приведенной на рис. 5.4, где показана схема трехразрядного преобразователя. Нетрудно построить схему с любым заданным числом разрядов.

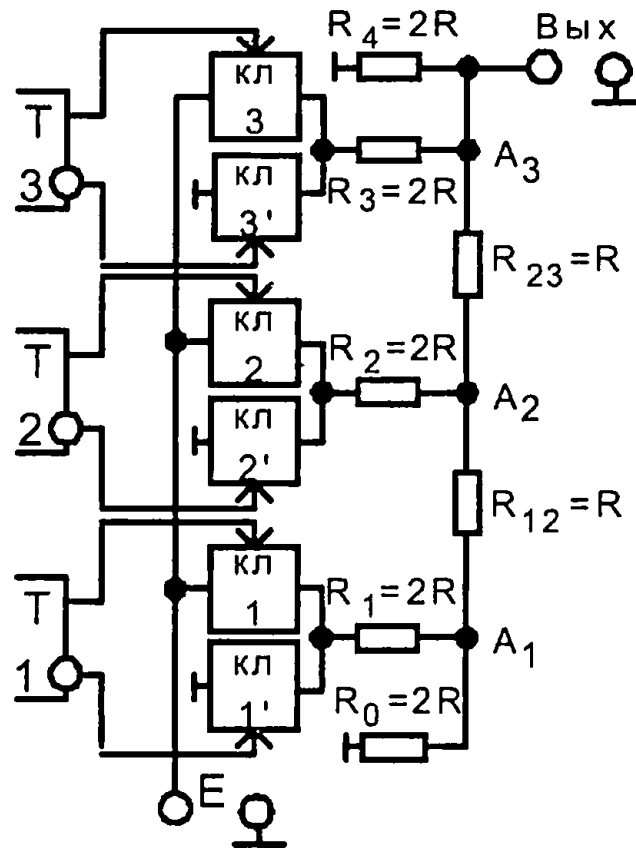


Рис. 5.4. Фрагмент схемы трехразрядного ЦАП

Особенности этой схемы, называемой схемой с суммированием напряжений на резисторной матрице, состоит в том, что, во-первых, используются резисторы лишь с двумя значениями сопротивления (R и $2R$). Во-вторых, выходные напряжения триггеров непосредственно не участвуют в формировании выходного напряжения ЦАП, а используются лишь для управления состоянием ключей, т. е. устранены отмеченные выше недостатки предыдущей схемы ЦАП (см. рис. 5.2).

Рассмотрим подробнее работу такого преобразователя. В каждом разряде имеется два ключа, через один из них в резисторную матрицу подается напряжение E , через другой — нулевое напряжение. Определим напряжения на выходе ЦАП, соответствующие единицам разрядов числа, помещаемого в регистр. Пусть в регистр введено число 100_2 . Триггер 3 в состоянии 1, и в третьем разряде открыт

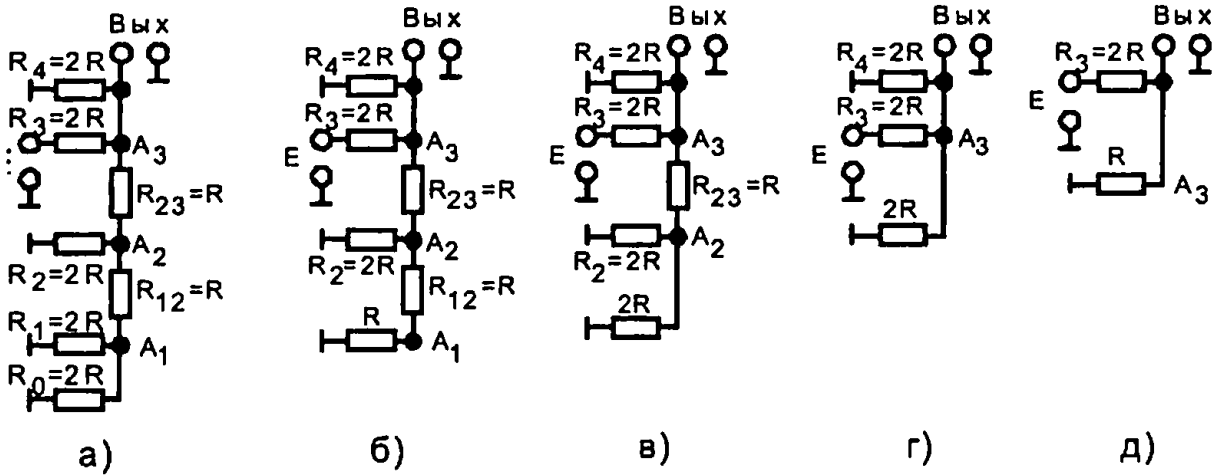


Рис. 5.5. Преобразование схемы ЦАП

ключ (Кл 3), в остальных разрядах триггеры в состоянии 0 и открыты ключи 2' и 1' (рис. 5.5, а). Последовательными преобразованиями можно получить схему (рис. 5.5. д), из которой следует, что напряжение в точке A_3 равно $U_{A3} = U_{ВЫХ} = E/3$.

Если в регистр поместить число 010_2 , то резисторную матрицу можно представить схемой, показанной на рис. 5.6, а. Путем преобразования ее можно привести к схеме, представленной на рис. 5.6, в.

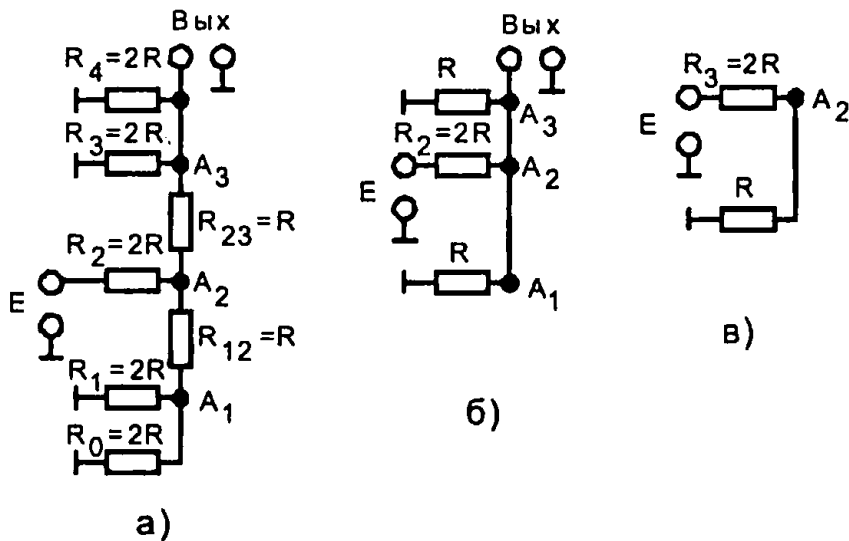


Рис. 5.6. Преобразование схемы ЦАП

5. Аналогово–иФровые и цифроаналоговые преобразователи

Возникающее в точке A_2 напряжение имеет то же значение, что и в точке A_3 , схемы на рис. 5.5. Из рис. 5.6, б видно, что при передаче на выход преобразователя это напряжение делится на два и, таким образом, $U_{\text{ВЫХ}} = U_{A_2} = 0,5 E/3$.

Можно показать, что при числе 001_2 напряжение в точке A_1 равно $U_{A_1} = E/3$. При передаче этого напряжения в точку A_2 и далее от точки A_2 к точке A_3 , напряжение каждый раз делится на два и $U_{\text{ВЫХ}} = 0,25 E/3$.

Итак, напряжение на выходе, соответствующее единицам отдельных разрядов двоичного числа в регистре, пропорционально весовым коэффициентам разрядов. При n -разрядном регистре, обозначив цифры разрядов двоичного числа $\alpha_n, \alpha_{n-1}, \dots, \alpha_1$, получим выражение напряжения на выходе ЦАП:

$$\begin{aligned} U_{\text{вых}} &= \frac{1}{3} E(\alpha_n + 2^{-1} \alpha_{n-1} + 2^{-2} \alpha_{n-2} + \dots + 2^{-(n-1)} \alpha_1) = \\ &= \frac{1}{3} E 2^{-(n-1)} (2^{(n-1)} \alpha_n + 2^{(n-2)} \alpha_{n-1} + 2^{(n-3)} \alpha_{n-2} + \dots + \alpha_1) = \frac{1}{3} E 2^{-(n-1)} N. \end{aligned}$$

Из выражения видно, что выходное напряжение ЦАП пропорционально числу N , помещаемому в регистр.

Аппаратурные погрешности преобразования в данной схеме связаны с отклонениями сопротивления резисторов от их номинальных значений, неидеальностью ключей (сопротивление реального ключа в закрытом состоянии не равно бесконечности, а в открытом — не равно нулю), нестабильностью источника напряжения E . Наибольшее влияние на погрешность ЦАП оказывают эти отклонения в старших разрядах.

5.5. Схема ЦАП с суммированием токов

Схема ЦАП с суммированием токов. На рис. 5.7 показан еще один вариант схемы ЦАП — схема с суммированием токов в резисторной матрице. Вместо источника стабильного напряжения E в данной схеме используются источники стабильного тока I . Если триггер находится в состоянии 1, ток I источника через открытый ключ втекает в резисторную матрицу, если триггер в состоянии 0, то открывается другой ключ, который замыкает источник. На рис. 5.8, а показана схема, соответствующая числу 1000_2 . Путем пре-

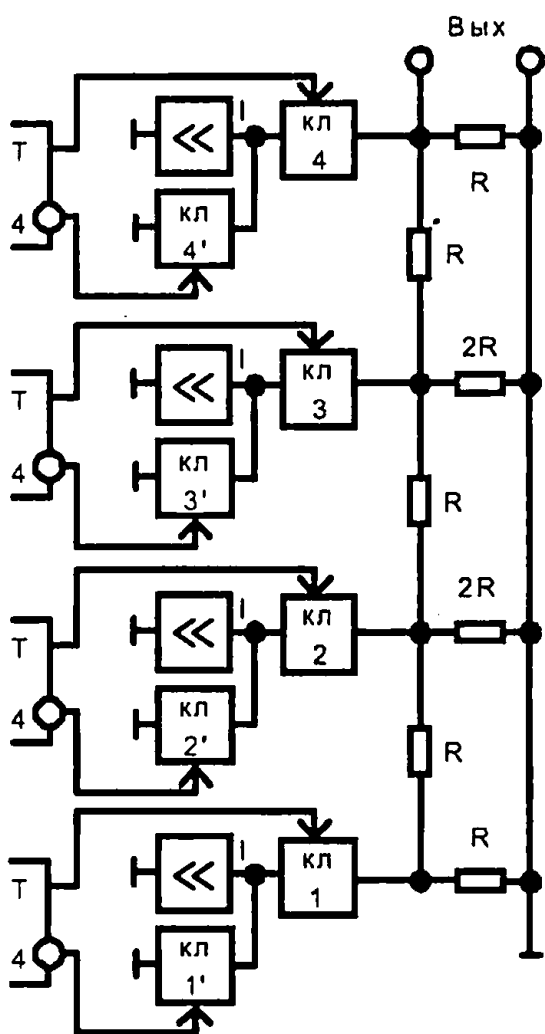


Рис. 5.7

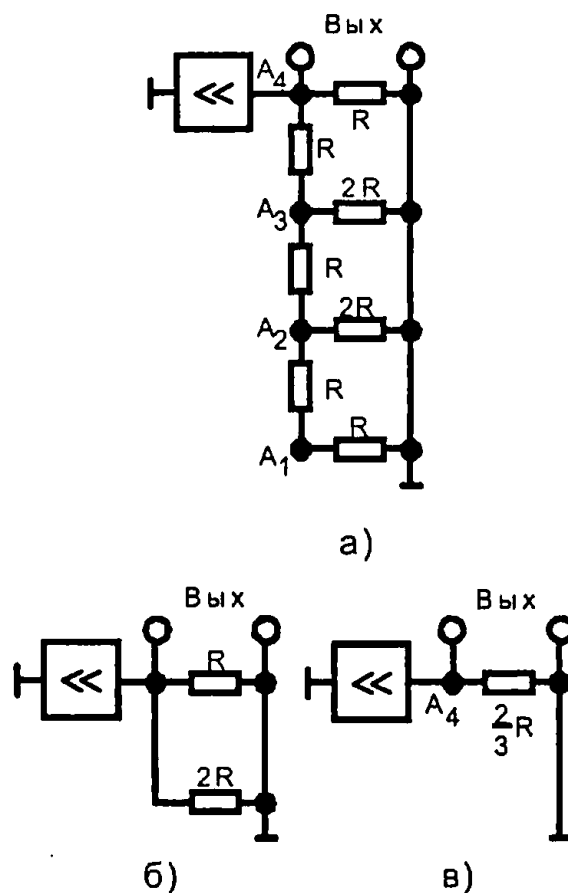


Рис. 5.8

5. Аналогово-цифровые и цифроаналоговые преобразователи

образования она приводится к эквивалентным схемам на рис. 5.8, б и в, откуда следует $U_{A4} = U_{ВЫХ} = 2/3 RI$. Такое же напряжение образуется в любой из точек A_1, A_2, A_3, A_4 , если соответствующий разряд регистра содержит 1. При передаче напряжения между этими точками напряжение делится на два и, следовательно, выходное напряжение

$$U_{вых} = \frac{2}{3} RI 2^{-(n-1)} (2^{(n-1)} \alpha_n + 2^{(n-2)} \alpha_{n-1} + 2^{(n-3)} \alpha_{n-2} + \dots + \alpha_1) = \frac{2}{3} RI 2^{-(n-1)} N.$$

Рассмотрим схемные решения элементов, используемых в ЦАП.

Источник стабильного напряжения. На рис. 5.9 представлена схема простого стабилизатора напряжения.

В цепь между входом и выходом стабилизатора последовательно включен транзистор $VT1$. Стабилизация выходного напряжения $U_{ст}$ обеспечивается тем, что при возрастании входного напряжения $U_{вх}$ увеличивается напряжение на транзисторе $VT1$ и, наоборот, при снижении $U_{вх}$ напряжение на транзисторе уменьшается. Таким образом, все изменения входного напряжения гасятся на транзисторе $VT1$. Такой режим транзистора $VT1$ обеспечивается усилителем, построенным на транзисторе $VT2$. Пусть, например, $U_{вх}$ растет и вследствие этого имеется тенденция к увеличению и $U_{ст}$. Малое увеличение $U_{ст}$, далее усиливаясь, уменьшает напряжение на коллекторе $VT2$ и базе $VT1$, увеличивается падение напряжения между коллектором и эмиттером транзистора $VT1$.

Цепочка из резистора $R1$ и стабилитрона $VD1$ обеспечивает в цепи эмиттера $VT2$ постоянное напряжение E_0 , которое стремится запереть транзистор. Для компенсации этого отрицательного смещения используется положительное напряжение снимаемое с резистора $R4$ делителя напряжения, составленного из резисторов $R3$ и $R4$. Чем больше E_0 , тем большая часть напряжения $U_{ст}$ должна передаваться с $R4$ на базу $VT2$ и вместе с

этим и большая часть изменений напряжения $U_{ст}$ будет прикладываться к базе $VT2$ и, усиливаясь, передаваться на базу $VT1$.

Источник стабильного тока. Стабилизатор тока, схема которого приведена на рис. 5.10, работает аналогично стабилизатору напряжения. Отличие состоит в том, что входное напряжение усилителя на транзисторе $VT2$ снимается с резистора $R4$, который в схеме стабилизатора тока включен последовательно с нагрузкой (ток нагрузки I проходит через R_H , $VT1$, $R3$, $R4$). Если, например, U_{ax} возрастет или сопротивление R_H уменьшается и, таким образом, ток имеет тенденцию к росту, возрастает напряжение на $R4$ и на базе транзистора $VT2$. Это приводит к снижению потенциала коллектора $VT2$ и базы $VT1$, растет напряже-

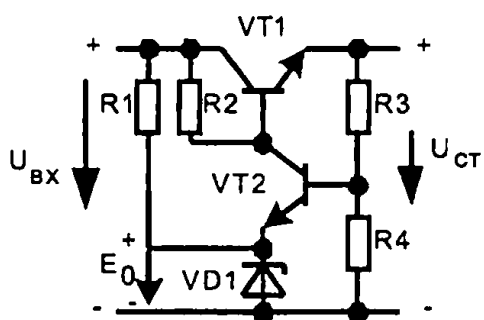


Рис. 5.9. Источник стабильного напряжения

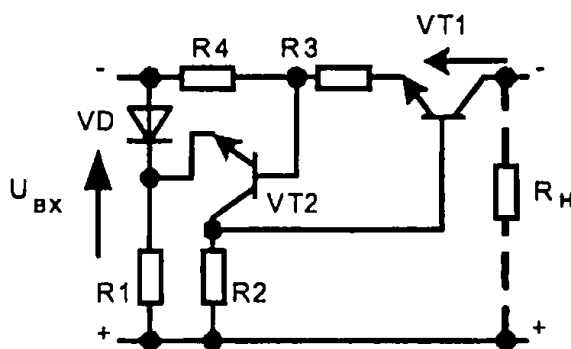


Рис. 5.10. Источник стабильного тока

ние между коллектором и базой транзистора $VT1$, что препятствует росту тока I .

Ключи преобразователя с суммированием напряжений на резисторной матрице могут быть выполнены по схеме, представленной на рис. 5.11, а. Транзисторы $VT1$ и $VT2$ управляются напряжениями с выходов триггера. Выход схемы подключается к резисторной матрице.

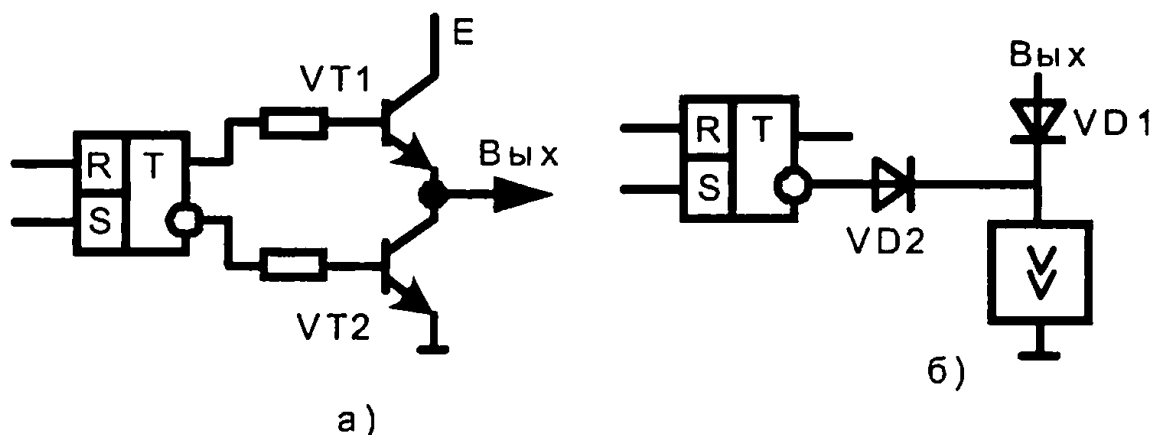


Рис. 5.11. Ключевые устройства

Пусть триггер находится в состоянии 1. На его инверсном выходе низкий потенциал и транзистор $VT2$, на базу которого поступает этот потенциал, закрыт. На прямом выходе триггера напряжение высокого уровня. Оно поступает на вход транзистора $VT1$ и удерживает его в открытом состоянии. Через открытый транзистор $VT1$ в резисторную матрицу подается напряжение, близкое к E . Если триггер находится в состоянии 0, закрыт транзистор $VT1$, а через открытый транзистор $VT2$ в резисторную матрицу поступает напряжение низкого уровня. Таким образом, реализованное по данной схеме устройство выполняет роль двух ключей в разряде преобразователя.

В преобразователе с суммированием токов не обязательно стремиться к малому сопротивлению открытого ключа. В этом преобразователе, может быть использован диодный переключатель, схема которого представлена на рис. 5.11, б. Если триггер находится в состоянии 0, высокое напряжение, поступающее с инверсного выхода триггера, удерживает диод $VD2$ в открытом состоянии. Ток источника замыкается через диод $VD2$ и триггер. Если триггер находится в состоянии 1, диод $VD2$ закрыт и ток I замыкается через диод $VD1$ и резисторную матрицу.

5.6. АЦП с промежуточным преобразованием напряжения во временной интервал

По своей структуре схемы АЦП делятся на два типа: схемы, содержащие цифроаналоговый преобразователь (ЦАП), и схемы, не содержащие ЦАП.

АЦП с промежуточным преобразованием напряжения во временной интервал. Схема преобразователя данного типа приведена на рис. 5.12, а, временные диаграммы, иллюстрирующие процессы в преобразователе, — на рис. 5.12, б. В схеме этого типа ЦАП не используется.

Рассмотрим работу преобразователя. Очередным тактовым импульсом счетчик сбрасывается в нулевое состояние и одновременно запускается генератор линейно изменяющегося напряжения (ГЛИН). Выходное напряжение ГЛИН поступает на входы компараторов $K1$ и $K2$, на другие входы которых подаются соответственно нулевое напряжение и подлежащее преобразованию в числовую форму

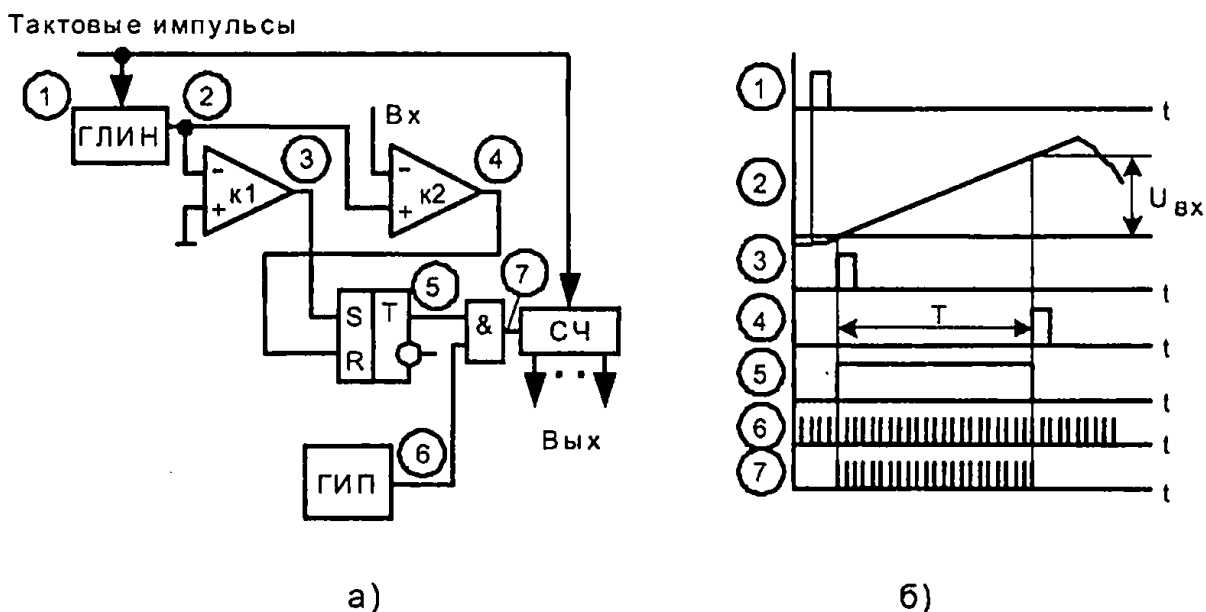


Рис. 5.12 АЦП с промежуточным преобразованием напряжения во временной интервал

5. Аналогово-цифровые и цифроаналоговые преобразователи

напряжение $U_{\text{вх}}$ на входе схемы (Bx). В момент времени, когда линейно изменяющееся напряжение, нарастая от небольших отрицательных значений, проходит нулевое значение, выдает импульс первый компаратор. Этим импульсом триггер устанавливается в состояние 1. В момент, когда линейно изменяющееся напряжение достигает значения $U_{\text{вх}}$, выдается импульс вторым компаратором. Этим импульсом триггер возвращается в состояние 0.

Время T , в течение которого триггер находится в состоянии 1, пропорционально входному напряжению. Таким образом, входное напряжение преобразуется во временной интервал, длительность которого пропорциональна значению входного напряжения.

В течение времени T с выхода триггера подается высокое напряжение на вход элемента И, и импульсы генератора импульсной последовательности (ГИП) проходят через элемент И на вход счетчика (Сч). Очевидно, устанавливающееся в счетчике число пропорционально T , а следовательно, и $U_{\text{вх}}$. Для получения нового отсчета напряжения следует вновь подать импульс запуска. Таким образом, импульсы запуска должны следовать с частотой дискретизации входного напряжения. Покажем, как определяются параметры элементов преобразователя.

По заданной относительной погрешности η преобразователя определяется максимальное число N_{max} , до которого счетчик должен производить счет: $N_{\text{max}} - 1/\eta$. Число рядов счетчика находится как минимальное h , удовлетворяющее неравенству $N_{\text{max}} \leq 2^h$.

Процесс преобразования значения $U_{\text{вх}}$ в число занимает время T , пропорциональное $U_{\text{вх}}$. Максимальное значение T_{max} называется временем преобразования:

$$T_{\text{ПР}} = T_{\text{max}} = \tau \cdot N_{\text{max}} = N_{\text{max}} / F,$$

где τ и F — соответственно период и частота генератора импульсов.

Отсюда

$$F = N_{\max} / T_{\text{пр.}}$$

При проектировании преобразователя время $T_{\text{пр}}$ бывает задано. Этот параметр определяет так называемую динамическую погрешность преобразователя, связанную с тем, что за время преобразования входное напряжение $U_{\text{вх}}$ может измениться. Изменение $U_{\text{вх}}$ за время $T_{\text{пр}}$ должно быть меньше напряжения, соответствующего единице младшего разряда счетчика.

$$\text{Крутизна напряжения ГЛИН } \beta = U_{\max} / T_{\max} = U_{\max} / T_{\text{пр.}}$$

Аппаратурные погрешности преобразователя связаны с неточностью работы отдельных его элементов: нелинейностью напряжения ГЛИН; отклонениями момента времени, в который компаратором выдается импульс, от момента точного равенства входных напряжений компаратора; конечным временем срабатывания триггера, элемента И; нестабильностью частоты следования импульсов генератора.

5.7. АЦП с двойным интегрированием

АЦП с двойным интегрированием. Схема АЦП приведена на рис. 5.13, а. В ней, как и в схеме рассмотренного выше типа АЦП, не используется ЦАП, который для своего построения требует применения резисторной матрицы с высокоточными значениями сопротивлений.

Рассмотрим работу преобразователя. В момент t_0 (рис. 5.13, б) подачей импульса $U_{\text{н}}$ в цепь «Пуск» осуществляется запуск схемы: сбрасывается в 0 счетчик (Сч), первый ключ (Кл1) устанавливается в замкнутое состояние, второй ключ (Кл2) — в разомкнутое.

Предварительно разряженный конденсатор С начинает заряжаться током от источника входного напряжения $U_{\text{вх}}$.

5. Аналогово-цифровые и цифроаналоговые преобразователи

Так как входное напряжение операционного усилителя (ОУ) близко к нулю, практически все напряжение $U_{вх}$ падает на резисторе R_1 и ток в цепи резистора $I_{зар} = U_{вх}/R_1$. Этот ток замыкается через конденсатор C . Если за время длительности импульса $U_{п}$ ($T_{п} = t_1 - t_0$) значение напряжения $U_{вх}$ считать неизменным, конденсатор будет заряжаться постоянным током и напряжение на нем будет изменяться по линейному закону, достигая к моменту t_2 значения

$$U_{C\max} = I_{зар} \frac{T_{п}}{C} = \frac{U_{вх}}{R_1} \frac{T_{п}}{C}.$$

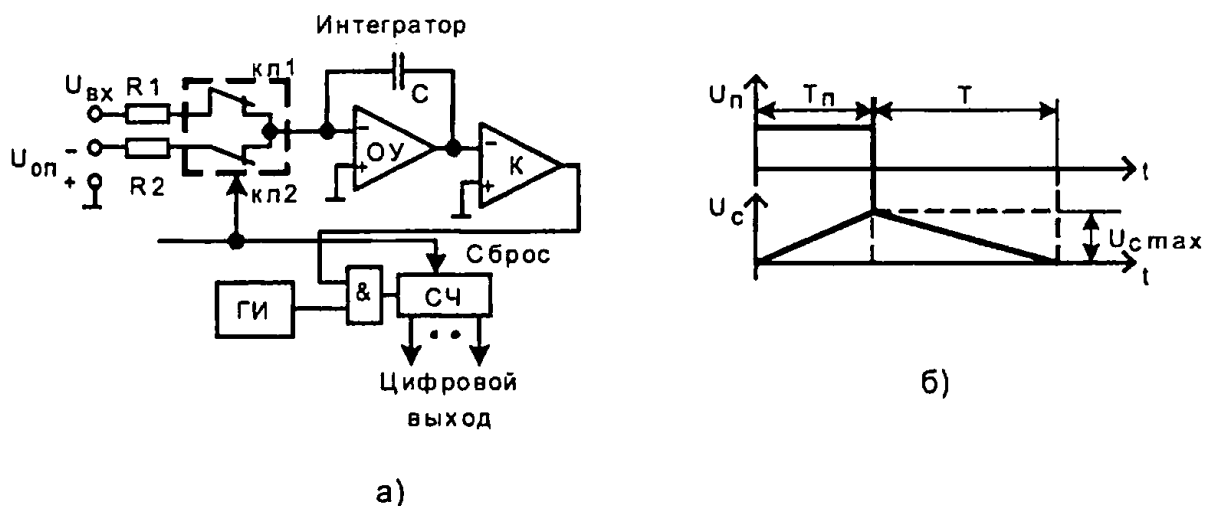


Рис. 5.13. АЦП с двойным интегрированием

В момент окончания импульса на входе «Пуск» (в момент t_1) счетчик начинает счет импульсов, поступающих в него из генератора импульсной последовательности (ГИ) через элемент И. В этот же момент ключ $Кл_1$ устанавливается в разомкнутое состояние, ключ $Кл_2$ — в замкнутое. В цепи конденсатора возникает ток обратного направления $I_{раз} = U_{оп}/R_2$. Конденсатор разряжается постоянным током $I_{раз}$, и напряжение на нем снижается по линейному закону. В момент t_2 напряжение на конденсаторе U_c и напряжение на выходе операционного усилителя $U_{оу} = -U_c$ проходят нулевое значение, на

выходе компаратора (K) устанавливается уровень лог. 0, прекращается прохождение импульсов ГИ через элемент И на вход счетчика ($Cч$). Образующееся к этому моменту в $Cч$ число N есть значение $U_{вх}$, представленное в цифровой форме.

Определим значение N . Время разряда конденсатора

$$T = \frac{CU_{C_{max}}}{I_{раз}} = \frac{U_{C_{max}}C}{U_{оп}} R_2.$$

Подставляя выражение $U_{C_{max}}$, получаем

$$T = \frac{U_{вх}}{R_1} \frac{T_{п}}{U_{оп}} R_2.$$

Если период следования импульсов ГИ равен τ , то количество импульсов N , поступающих в счетчик за время T , определится выражением

$$N = \frac{T}{\tau} = U \left(\frac{1}{U_{оп}} \frac{T_{п}}{\tau} \frac{R_2}{R_1} \right) = U_{вх} k.$$

Как видим, N пропорционально $U_{вх}$. Величина

$$k = \frac{1}{U_{оп}} \frac{T_{п}}{\tau} \frac{R_2}{R_1}.$$

определяет масштаб, в котором представляется значение $U_{вх}$.

5.8. Аналого-цифровой преобразователь последовательного счета

Структурная схема преобразователя данного типа приведена на рис. 5.14, а. Тактовым импульсом (ТИ) счетчик ($Cч$) сбрасывается в нулевое состояние. Нулевое напряжение $U_{ЦАП} = 0$ возникает на выходе ЦАП, преобразующего числа в счетчике в пропорциональное напряже-

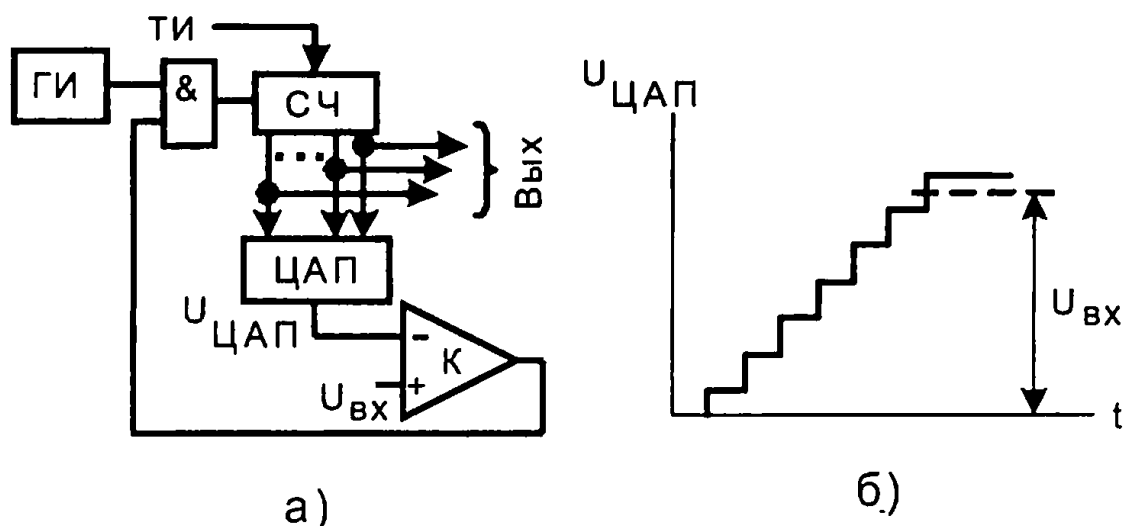


Рис. 5.14. Аналого-цифровой преобразователь последовательного счета

ние. Устанавливается неравенство $U_{вх} > U_{ЦАП}$ при котором компаратор (\hat{E}) подает на вход элемента И уровень лог. 1. При этом импульсы генератора импульсной последовательности (ГИ) проходят через элемент И на вход счетчика.

Каждый поступивший на вход счетчика импульс вызывает увеличение на единицу хранившегося в нем числа, на одну элементарную ступеньку возрастает напряжение на выходе ЦАП. Таким образом, напряжение $U_{ЦАП}$ растет по ступенчатому закону, как показано на рис. 5.14, б. В момент времени, когда $U_{ЦАП}$ достигает значения, превышающего $U_{вх}$, компаратор выдает уровень лог. 0, и в дальнейшем прекращается доступ импульсов генератора в счетчик. Полученное к этому моменту времени в счетчике число пропорционально напряжению $U_{вх}$.

Из-за того, что в АЦП рассматриваемого типа не используется генератор линейно изменяющегося напряжения, его аппаратные погрешности меньше, чем могут быть в АЦП с промежуточным преобразованием напряжения во временной интервал.

5.9. Аналого-цифровой преобразователь следящего типа

Рассмотренные выше типы АЦП работают в циклическом режиме. В них каждый очередной тактовый импульс устанавливает преобразователь в исходное состояние, после чего начинается процесс преобразования. Быстродействие таких преобразователей ограничивается главным образом быстродействием счетчика (а именно быстродействием триггеров его младших разрядов, в которых переключение происходит с высокой частотой).

На практике часто используется нециклический преобразователь, структурная схема которого представлена на рис. 5.15. Эта схема отличается от предыдущей тем, что в ней используется реверсивный счетчик (Сч), управляемый сигналами с выхода компаратора (\hat{E}). При $U_{\text{вх}} > U_{\text{ЦАП}}$ счетчик устанавливается в режим прямого счета, поступающие на вход импульсы генератора последовательно увеличивают в нем число, растет $U_{\text{ЦАП}}$ пока не достигнет значения $U_{\text{вх}}$.

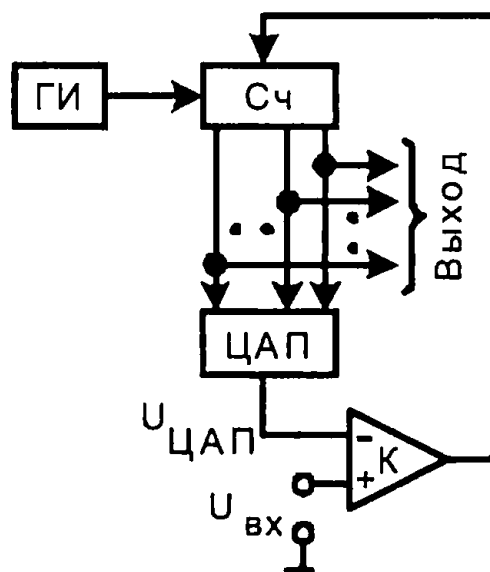


Рис. 5.15. Нециклический преобразователь

5. Аналогово-цифровые и цифроаналоговые преобразователи

При $U_{\text{вх}} < U_{\text{ЦАП}}$ счетчик переводится в режим обратного счета, при котором убывает число в счетчике и, следовательно, убывает напряжение $U_{\text{ЦАП}}$ пока не будет достигнуто значение $U_{\text{вх}}$. Таким образом, все происходящие во времени изменения напряжения $U_{\text{вх}}$ отслеживаются напряжением $U_{\text{ЦАП}}$ на выходе ЦАП.

В необходимые моменты времени с выхода счетчика могут сниматься числа, пропорциональные значениям $U_{\text{вх}}$.

5.10. Аналого-цифровой преобразователь последовательного приближения

Структурная схема преобразователя приведена на рис. 5.16. В схеме предусмотрен построенный на RS-триггерах $1 \dots n$ регистр числа. В этом регистре формируется число, пропорциональное напряжению $U_{\text{вх}}$.

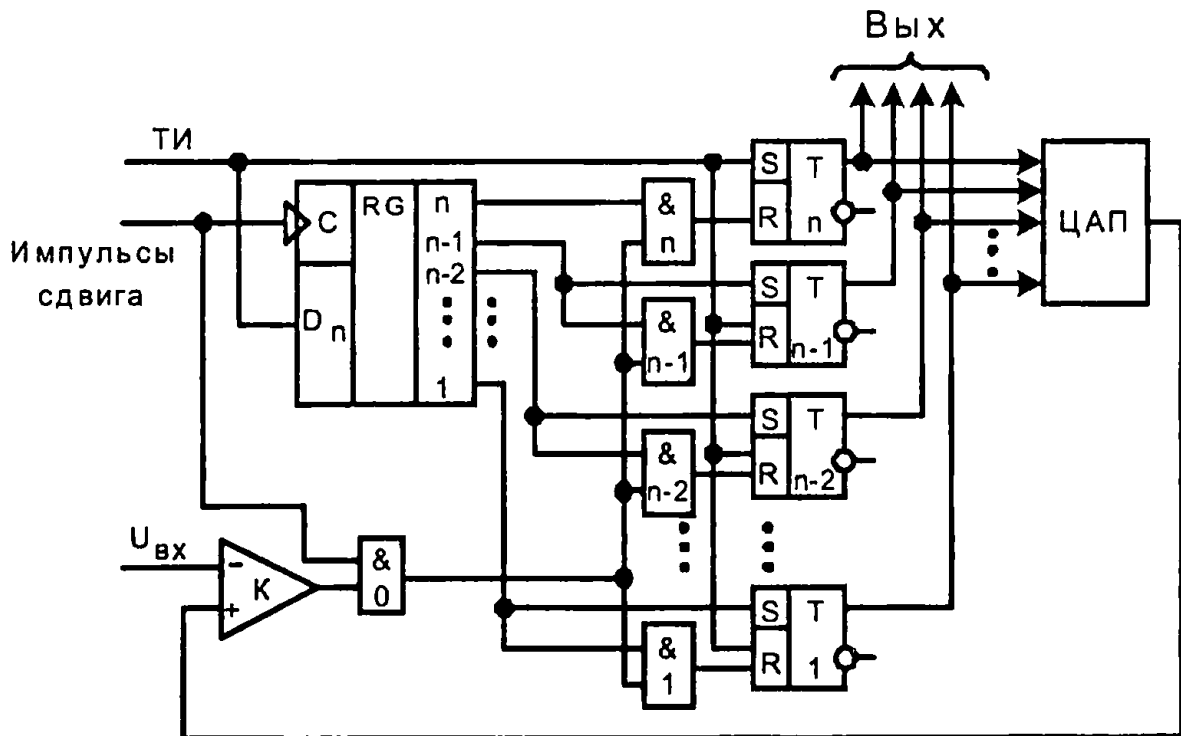


Рис. 5.16. Аналого-цифровой преобразователь последовательного приближения

Вначале записывается единица только в триггер n старшего разряда этого регистра. Получающееся в регистре число с помощью ЦАП преобразуется в напряжение $U_{\text{цал}}$, которое сравнивается с напряжением $U_{\text{вх}}$. Если выполняется неравенство $U_{\text{вх}} \geq U_{\text{цал}}$, то число, в которое преобразуется $U_{\text{вх}}$, действительно содержит единицу в старшем разряде. При невыполнении неравенства триггер n сбрасывается в нуль. Далее производится запись единицы в триггер $(n - 1)$ следующего разряда регистра и вновь сравнением напряжения $U_{\text{вх}}$ с $U_{\text{цал}}$ соответствующим имеющемуся к этому моменту времени числу в регистре, выясняется, должна ли быть сохранена единица в данном разряде или триггер этого разряда должен быть возвращен в состояние 0. Аналогичные операции выполняются во всех разрядах, после чего получающееся в регистре число может быть выдано на выход.

Рассмотрим выполнение указанных действий в преобразователе, схема которого представлена на рис. 5.16. Тактовый импульс устанавливает триггер n в состояние 1, остальные триггеры $1 \dots (n - 1)$ — в состояние 0. Этим же импульсом одновременно производится запись единицы в старший разряд сдвигового регистра RG, и на n -м выходе регистра появляется уровень лог. 1.

Компаратор сравнивает $U_{\text{вх}}$ с $U_{\text{цал}}$, соответствующим имеющемуся к этому моменту числу в регистре числа, и при выполнении условия $U_{\text{вх}} < U_{\text{цал}}$ выдает уровень лог. 1. При поступлении импульса сдвига логический уровень с выхода компаратора через элемент И0 передается на вход элемента И n , и если этот уровень был уровнем лог. 1, то триггер n возвращается в состояние 0. В момент окончания импульса сдвига завершается процесс сдвига на один разряд вправо содержимого регистра, появляется уровень лог. 1 на $(n - 1)$ -м выходе этого регистра, триггер n устанавливается в состояние 1. Далее с прихо-

5. Аналогово-цифровые и цифроаналоговые преобразователи

дом очередного импульса сдвига определяется требуемое состояние триггера ($n - 1$) и в момент окончания импульса триггер ($n - 2$) устанавливается в состояние 1. Эти действия повторяются до тех пор, пока не будет определено состояние всех триггеров.

5.11. Схема выборки и хранения

В тех случаях, когда аналоговый сигнал на входе АЦП изменяется с большой скоростью, за время преобразования может произойти существенное изменение входного напряжения. Получаемое при этом на выходе АЦП числовое значение не будет соответствовать значению входного сигнала в тактовый момент времени. Устранение этого явления достигается использованием так называемой схемы выборки и хранения. Эта схема производит из входного напряжения выборку значения, соответствующего тактовому моменту времени, и хранит эту выборку неизменной в течение времени, необходимого для ее преобразования в числовую форму.

На рис. 5.17 приведена упрощенная схема выборки и хранения. В исходном состоянии ключ ($Кл$) замкнут. При малой постоянной времени R_1C напряжение на конденсаторе (C) следует за изменениями напряжения $U_{вх}$ с требу-

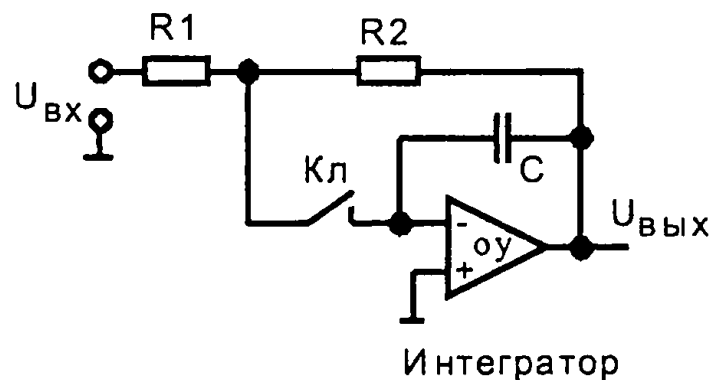


Рис. 5.17. Схема выборки и хранения

емой точностью. В тактовый момент времени ключ переводится в разомкнутое состояние. Напряжение на конденсаторе U_c , имевшееся к моменту размыкания ключа (представляющее собой выборку из напряжения U_{ex}) может сохраняться практически неизменным в течение достаточно длительного времени. Напряжение с выхода операционного усилителя $U_{oy} = -U_c$ поступает в АЦП и преобразуется в числовую форму. После окончания преобразования ключ вновь замыкается.

Контрольные вопросы

1. Поясните принцип действия аналого-цифрового и цифроаналогового преобразователя.
2. Дайте классификацию АЦП и ЦАП.
3. Перечислите основные характеристики АЦП и ЦАП.
4. Сформулируйте принцип аналого-цифрового преобразования информации.
5. Поясните принцип действия схемы ЦАП с суммированием напряжений.
6. Поясните принцип действия схемы ЦАП с суммированием токов.
7. Поясните принцип действия АЦП с промежуточным преобразованием напряжения. во временной интервал.
8. Для чего используется схема выборки и хранения?
9. Поясните принцип действия АЦП с двойным интегрированием.
10. Поясните принцип действия аналого-цифрового преобразователя последовательного счета.
11. Поясните принцип действия аналого-цифрового преобразователя следящего типа.
12. Поясните принцип действия аналого-цифрового преобразователя последовательного приближения.

6. МИКРОПРОЦЕССОРНЫЕ УСТРОЙСТВА

6.1. Структура и функционирование микроспроцессорной системы

Микропроцессор осуществляет непосредственно обработку данных и программное управление процессом обработки данных. Популярность микропроцессоров объясняется тем, что их появление привело к внедрению вычислительной техники в самые разнообразные сферы жизни.

Универсальность микропроцессоров ведет к большой тиражности их производства и, следовательно, к снижению их стоимости, а это, в свою очередь, расширяет круг потребителей и способствует дальнейшему удешевлению микропроцессоров. Микропроцессоры появились, когда уровень интеграции ИС достиг значений, при которых необходимые для программной реализации алгоритмов блоки удалось разместить на одном или нескольких кристаллах.

Микропроцессором (МП) называют построенное на одной или нескольких БИС/СБИС программно-управляемое устройство, осуществляющее процесс обработки информации и управление им.

Обычно решаемая задача определяется реализуемой МП программой, структура микроспроцессорной системы остается неизменной, что и определяет ее универсальность.

МП — центральный процессорный элемент микропроцессорной системы (микроЭВМ), он состоит из устройства управления и арифметико-логического устройства. В состав микропроцессорной системы, в свою очередь, также входят память и устройства ввода/вывода (внешние устройства).

Совокупность БИС/СБИС, пригодных для совместного применения в составе микроЭВМ, называют микропроцессорным комплектом БИС/СБИС (МПК). Понятие МПК задает номенклатуру микросхем с точки зрения возможностей их совместного применения: совместимость по архитектуре, электрическим параметрам, конструктивным признакам и др. В состав МПК могут входить микросхемы различных серий и схемотехнологических типов при условии их совместимости.

С помощью МПК реализуются микропроцессорные системы (МПС). Если в устройстве, построенном на принципе схемной логики, любое изменение или расширение выполняемых функций влечет демонтаж устройства и монтаж другого устройства по новой схеме, то в МПС благодаря использованию принципа программируемой логики изменение функций может быть достигнуто заменой хранящейся в памяти программы, новой программой, соответствующей новым функциям устройства. Подобная гибкость вместе с другими связанными с использованием БИС достоинствами — низкой стоимостью, малыми размерами, а также высокая точность и помехозащищенность, характерные для цифровых методов, обусловили бурное развитие и внедрение МПС в различные радиотехнические устройства.

Процесс выполнения заданной программы организуется и решаются путем выполнения последовательности команд, свойственных данному МП, то есть входящих в его систему команд. Вычислительные, контрольно-измерительные или управляющие системы, обрабатывающим элементом которых служит МП, относятся к числу МПС.

6. Микропроцессорные устройства

Структура МПС практически всегда является магистрально-модульной. В такой структуре имеется группа магистралей (шин), к которым подключаются различные модули (блоки), обменивающиеся между собой информацией поочередно, в режиме разделения времени. Термин «шины» относится к совокупности цепей (линий), число которых определяет разрядность шины.

Типична трехшинная структура МПС с шинами адресов ША, данных ШД и управления ШУ. Наряду с русскими терминами применяются английские АВ (Address Bus), DB (Data Bus) и СВ (Control Bus).

На рис. 6.1 показана структура микропроцессорной системы с МП, имеющим мультиплексируемую шину адресов/данных (например, с МП К1821ВМ85А). Линии A_{15-8} являются адресными, через них в систему передается старший байт 16-разрядного адреса. В эту шину включен формирователь на постоянно открытом по входу разрешения EN буферном регистре ИР82, обеспечивающем работу шины на нагрузку, образуемую внешними цепями. Собственной нагрузочной способности у выводов МП, как правило, не хватает.

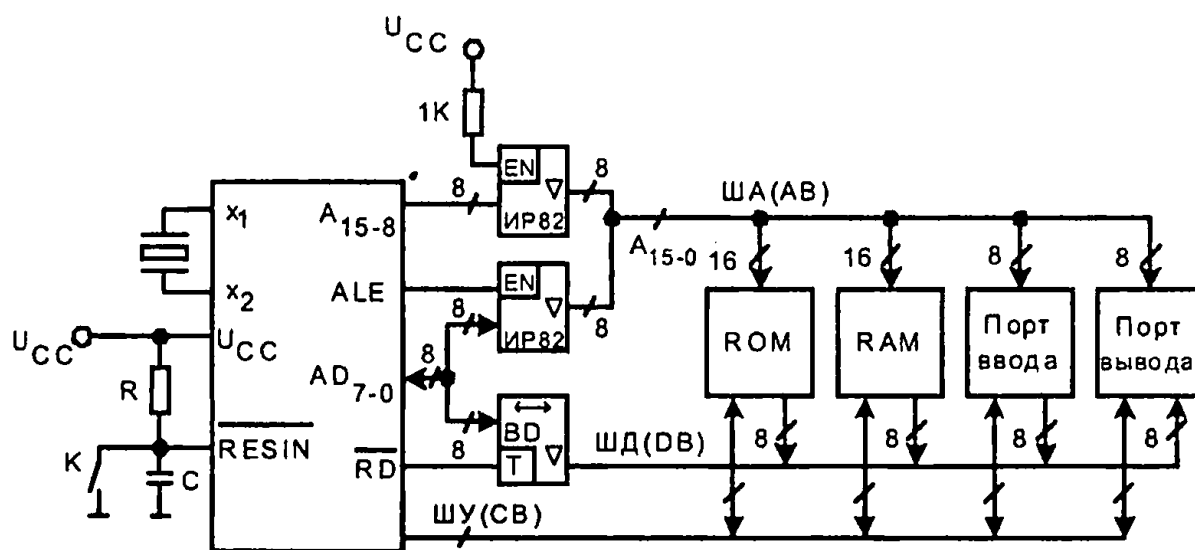


Рис. 6.1. Структура микропроцессорной системы

Линии $AD_{7.0}$ мультиплексируются, то есть используются для выполнения двух функций. Вначале они передают младший байт адреса, признаком чего служит наличие сигнала ALE (Address Latch Enable), загружающего этот байт в регистр IP82. После загрузки регистра сигнал ALE снимается, и содержимое регистра остается неизменным вплоть до новой загрузки в следующем цикле работы процессора. Так формируется 16-разрядная шина адреса, содержащая адрес $A_{15.0}$. Этот адрес используется блоками постоянной и оперативной памяти ROM и RAM.

Адресация портов ввода и вывода данных требует восьмиразрядного адреса, что соответствует возможности работы не более чем с 256 портами каждого из типов. Адрес портов можно снимать с любой половины адресной шины. В данном МП состояния обеих полушин адреса при адресации портов дублируются.

После передачи младшего байта адреса шина $AD_{7.0}$ отдается для передачи данных. Эти передачи двунаправлены, направление задается буфером данных BD в зависимости от сигнала T (Transit). При активном состоянии сигнала чтения \overline{RD} (Read) данные передаются справа налево, при пассивном — в обратном направлении. К шине данных подключены информационные выходы всех модулей МПС.

Тактирование системы производится на частоте, равной половине частоты резонанса кварца или иного контура, поскольку генератор работает на триггер, с которого снимаются сигналы тактирования модулей МПС, а триггер делит частоту на 2. Выводы x_1 и x_2 служат для подключения кварцевого резонатора или иных контуров, задающих частоту тактовому генератору, расположенному в МП. Вход \overline{RESIN} является входом асинхронного сброса, приводящим МП в исходное состояние. Сброс может быть осуществлен замыканием ключа K и автоматически происходит при включении питания U_{cc} . В этом случае благо-

даря цепочке RC напряжение на входе \overline{RESIN} нарастает постепенно, и в течение некоторого времени после включения питания остается низким (ниже порогового), что равноценно подаче сигнала \overline{RESIN} .

Выполняя программу, МП обрабатывает команду за командой. Команда задает выполняемую операцию и содержит сведения об участвующих в ней операндах. После приема команды происходит ее расшифровка и выполнение, в ходе которого МП получает необходимые данные из памяти или внешних устройств. Ячейки памяти и внешние устройства (порты) имеют номера, называемые адресами, которыми они обозначаются в программе.

В микропроцессоре предусматривается возможность выполнения большого числа различных операций. Несмотря на то что число таких операций может быть более 100, каждая из них представляет собой простейшие арифметические либо логические действия, такие, например, как сложение, вычитание, умножение и деление чисел, пересылка кодов и т. п. При этом в каждой операции участвует не более двух операндов. В связи с этим решаемая задача должна быть предварительно представлена последовательностью таких операций, которые он способен выполнять. Затем на каждую из этих операций должна быть составлена так называемая команда. Совокупность команд, образующая программу решения задачи, должна быть помещена в ОЗУ.

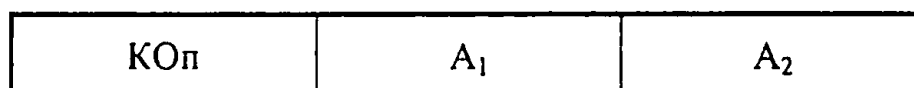
Команда должна содержать все необходимые для выполнения операции указания: вид операции, место, где хранятся операнды данной операции и куда должен быть помещен результат операции. Такая команда имеет следующий формат:

КОп	A ₁	A ₂	A ₃
-----	----------------	----------------	----------------

Здесь КОп — код операции. В каждом микропроцессоре предусматривается определенная система кодиро-

вания операций. Например, может быть принят следующий способ записи вида операции: 01 — сложение, 02 — вычитание, 03 — умножение и т. д.; A_1 — первый адрес — адрес ячейки оперативной памяти, в которой хранится первый операнд; A_2 — второй адрес — адрес второго операнда; A_3 — третий адрес — адрес ячейки оперативной памяти, в которую должен помещаться результат операции. Команда с таким содержанием называется трехадресной.

Также могут использоваться двухадресные команды, имеющие следующий формат:



Результат операции в этом случае помещается в ячейку одного из операндов либо остается в АЛУ.

Одноадресные команды имеют следующий формат:



При таком формате для выполнения одного арифметического действия над двумя числами от машины может потребоваться исполнение нескольких команд. Например, для сложения двух чисел необходимо выполнить три команды:

- ♦ ввести в АЛУ число, хранящееся в оперативной памяти (ОЗУ) по приведенному в команде адресу;
- ♦ прибавить к принятому числу число, хранящееся в памяти по указанному в команде адресу;
- ♦ поместить полученный в АЛУ результат в память по адресу, указанному в данной команде.

Рассмотрим взаимодействие устройств микропроцессора в процессе решения задачи. Для определенности примем, что рассматриваемый микропроцессор является трехадрес-

ным. Перед решением задачи набор команд, образующий программу решения, помещается в последовательные ячейки оперативной памяти так, что адрес ячейки, содержащей следующую команду, на единицу больше адреса ячейки, в которую помещена предыдущая команда.

Процесс реализации программы состоит в последовательной выборке из ОП команд и их исполнении. Вызванная из ОЗУ в центральное устройство управления (ЦУУ) очередная команда хранится в нем все время исполнения операции. ЦУУ выбирает из команды первый адрес A_1 , пересылает его в ОЗУ и подает сигнал считывания. Из ОЗУ выдается первый операнд. ЦУУ подает в АЛУ сигнал отпираания входов регистра, в который должен быть принят этот операнд. Аналогично по второму адресу A_2 производится передача из ОЗУ в АЛУ второго операнда. Затем ЦУУ подает в АЛУ управляющие сигналы, под действием которых выполняется предусмотренная командой операция. После получения результата операции ЦУУ передает в ОЗУ третий адрес A_3 , подает сигнал записи и открывает выход регистра АЛУ, хранящего результат операции.

Далее в ОЗУ передается адрес очередной команды, сформированной в ЦУУ (например, путем увеличения на единицу адреса предыдущей команды), в ЦУУ поступает следующая команда и т. д.

По однонаправленной адресной шине МП посылает адреса, определяя объект, с которым будет обмен, по шине данных (двунаправленной) обменивается данными с модулями (блоками) системы, по шине управления идет обмен управляющей информацией.

ПЗУ (ROM) хранит фиксированные программы и данные, оно является энергонезависимым и при выключении питания информацию не теряет.

ОЗУ (RAM) хранит оперативные данные (изменяемые программы, промежуточные результаты вычислений и др.),

является энергозависимым и теряет информацию при выключении питания. Для приведения системы в работоспособное состояние после включения питания ОЗУ следует загрузить необходимой информацией.

Устройства ввода-вывода (УВВ) или внешние устройства (ВУ) — технические средства для передачи данных извне в МП или память либо из МП или памяти во внешнюю среду. Для подключения ВУ необходимо привести и сигналы, форматы слов, скорость передачи и т. п. к стандартному виду, воспринимаемому данным МП. Это выполняется специальными блоками, называемыми адаптерами или интерфейсными блоками ввода-вывода. Интерфейсом называют совокупность аппаратных и программных средств, унифицирующих процессы обмена между модулями системы.

На схеме рис. 6.1 модули системы показаны укрупненно. Кроме обозначенных блоков, в состав систем входят обычно и более сложные, чем адаптеры блоки управления внешними устройствами — контроллеры. К их числу относятся, прежде всего, контроллеры прерываний и прямого доступа к памяти.

Контроллеры прерываний обеспечивают обмен с внешними устройствами в режиме прерывания, то есть временной остановки выполняемой программы для обслуживания запроса от внешнего устройства.

Контроллеры прямого доступа к памяти обслуживают режим прямой связи между внешними устройствами и памятью без участия МП. При управлении обменом со стороны МП пересылка данных между внешними устройствами и памятью происходит в два этапа — сначала данные принимаются микропроцессором, а затем выдаются им на приемник данных. В режиме прямой доступа к памяти МП отключается от шин системы и передает управление ими контроллеру прямого доступа, а передачи дан-

ных осуществляются в один этап — непосредственно от источника к приемнику.

В состав МПС часто входят также программируемые таймеры, формирующие различные сигналы (интервалы, последовательности импульсов и т. д.) для проведения операций, связанных со временем.

6.2. Структура микроконтроллера

Разновидность микропроцессорных систем (микроЭВМ), ориентированная на реализацию алгоритмов управления техническими устройствами, элементами систем и технологическими процессами называется микроконтроллерами (МК). В сравнении с универсальными микроЭВМ микроконтроллеры проще, и уже около 25 лет тому назад оказалось возможным разместить практически всю схемотехнику МК на одном кристалле, что и дало начало их развитию. Вторым названием МК стало название «однокристальная микроЭВМ». Разработка МК означала появление БИС такой функциональной законченности, которая позволяет решать в полном объеме задачи определенного класса.

Существуют отличия МК от микроЭВМ универсального назначения. Прежде всего, это малый объем памяти и менее разнообразный состав внешних устройств. В состав универсальной микроЭВМ входят модули памяти большого объема и высокого быстродействия, имеется сложная иерархия ЗУ, поскольку многие задачи — автоматизированное проектирование, компьютерная графика, мультимедийные приложения и другие без этого решить невозможно. Для МК ситуация иная, они реализуют заранее известные несложные алгоритмы, и для размещения программ им требуются емкости памяти, на несколько по-

рядков меньше, чем у микроЭВМ широкого назначения. Набор внешних устройств также существенно сужается, а сами они значительно проще. В результате модули микроЭВМ конструктивно самостоятельны, а МК выполняется на одном кристалле, хотя в его составе имеются модули того же функционального назначения.

Сопоставляя микропроцессор — центральный процессорный элемент системы и МК то есть микросхему простой системы в целом с точки зрения коммерческих потребностей, можно четко видеть преобладание МК. Число пользователей МК в несколько раз превышает число пользователей отдельных микросхем МП.

Первые МК выпущены фирмой Intel в 1976 г. Это был восьмиразрядный МК 8048. В настоящее время многими поставщиками выпускаются 8-, 16- и 32-разрядные МК с емкостью памяти программ до десятков Кбайт, небольшими ОЗУ данных и набором таких интерфейсных и периферийных схем, как параллельные и последовательные порты ввода/вывода, таймеры, аналого-цифровые и цифроаналоговые преобразователи, широтно-импульсные модуляторы. Среди выпускаемых МК широко известно семейство восьмиразрядных контроллеров MCS-51/151/251 и 16-разрядных MCS-96/196/296 фирмы Intel. Это связано с тем, что производительности данных МК достаточно для реализации несложных устройств.

Очень многие производители выпускают аналоги этих семейств или совместимые с ними МК. В отечественной номенклатуре это восьмиразрядные МК К1816ВЕ51, К1830ВЕ51. В последнее время фирма Intel сосредоточила усилия на разработке сложных микропроцессоров для компьютеров и уступила сектор рынка простых МК другим фирмам, в частности, фирме Atmel, которая выпускает популярное семейство МК серии AT89 с флэш-памятью программ, являющееся функциональным аналогом семейства восьмиразрядных МК фирмы Intel.

6. Микропроцессорные устройства

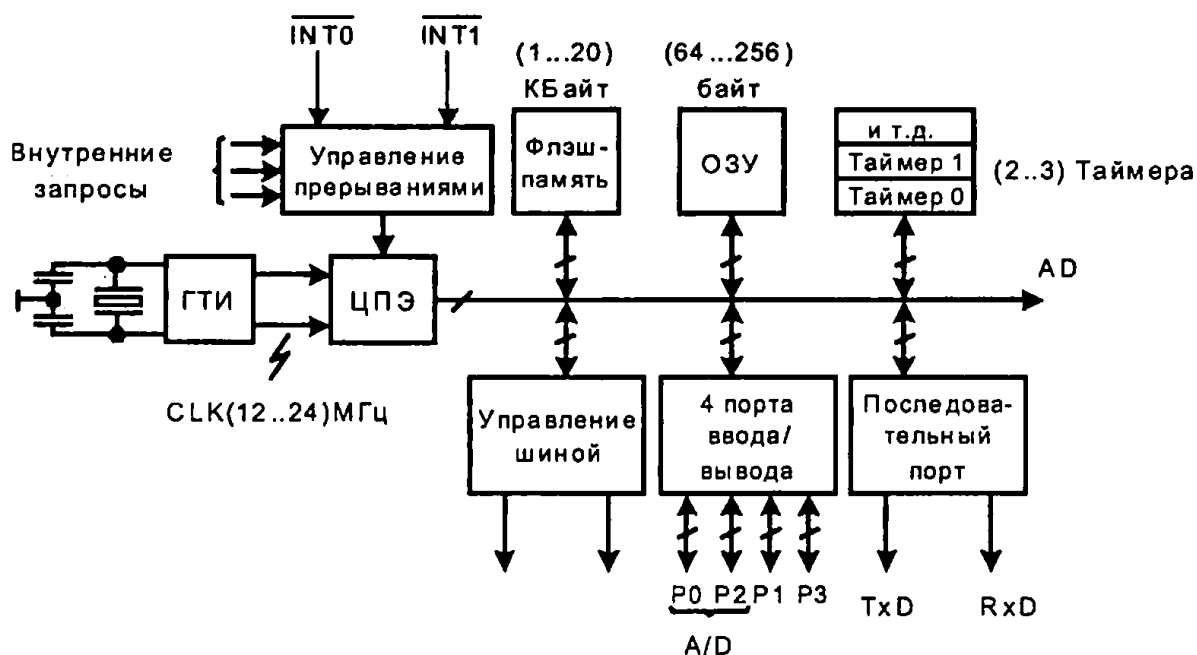


Рис 6.2. Структура микроконтроллера AT89C

В структуре МК семейства AT89C (рис. 6.2) используются отдельные блоки программной памяти типа флэш и ОЗУ данных то есть так называемая гарвардская архитектура. Диапазоны емкостей памяти, как и частот генератора тактовых импульсов ГТИ, приведенные на рис. 6.2, характеризуют параметры представителей семейства от младшего до старшего. При необходимости возможно подключение внешних БИС ПЗУ, ОЗУ для расширения пространства памяти.

Средства ввода/вывода представлены 4 параллельными портами (32 линии и линиями TxD (выход передатчика) и RxD (вход приемника) для последовательного ввода/вывода. В состав МК входят 2–3 таймера-счетчика (16 разрядных), которые дают системные метки времени и обрабатывают интервалы. Для сокращения ширины физического интерфейса функции линий параллельных портов совмещены, и в разных режимах имеют разное назначение. Система прерываний с 5 источниками запросов радиального типа обслуживает 2 внешних запроса, 2 запроса от тайме-

ров и 1 от последовательного порта. При частоте ГТИ 12 МГц большинство команд выполняется за 1 мкс, некоторые команды — за 2 мкс.

6.3. Принципы управление памятью и внешними устройствами

Память состоит из ячеек, каждой из которых присваивается свой адрес. Совокупность адресов, которые могут быть сформированы процессором, образует адресное пространство МПС. Адреса памяти могут занимать все адресное пространство (АП) или его часть, а сама память независимо от ее технической реализации может быть условно представлена набором регистров (ячеек), число которых M , а разрядность — N (рис. 6.3).

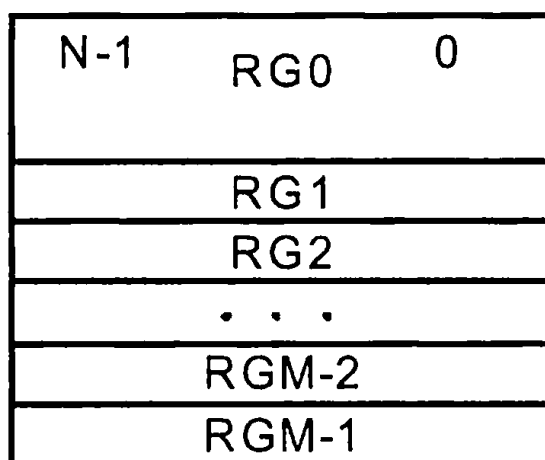


Рис. 6.3. Структура памяти

Внешние устройства (ВУ) имеют свои адреса. Процессор при обмене данными всегда должен выбрать только одну из ячеек памяти или одно ВУ. Такой выбор осуществляется схемами декодирования адреса.

При управлении памятью и ВУ процессор должен вначале сформировать нужный адрес, который затем декоди-

руется. В МПС применяют несколько способов формирования адресов.

При прямой адресации код адреса содержится в команде, подлежащей выполнению. Прямая адресация удобна, но удлиняет команды (увеличивает их разрядности), т. к. при значительных емкостях памяти разрядности адреса достаточно велики. В случае прямой регистровой адресации, когда операнд находится в одном из внутренних регистров процессора, адрес является малоразрядным, поскольку число таких регистров мало. В этом случае прямая адресация проявляет все свои достоинства.

При косвенной адресации в команде явно или неявно указывается регистр процессора, содержащий адрес операнда. Команда сохраняет компактность, но для ее выполнения требуется предварительная настройка — загрузка адреса в регистр (регистр косвенного адреса). Косвенная адресация удобна при обработке списков, когда настройка производится однократно, а очередной адрес получается модификацией предыдущего (изменением его на единицу).

При непосредственной адресации в команде содержится сам операнд.

Помимо перечисленных имеются и более сложные способы адресации: индексная, относительная и др., однако в простейших МП они не используются.

Возможность использования различных видов адресации сокращает объем и время выполнения программ. С помощью того или иного способа адресации формируется физический адресный код, поступающий на шину адреса для выбора ячейки памяти или ВУ, с которыми взаимодействует процессор.

Адресация может быть абсолютной или неабсолютной. При абсолютной адресации обратиться к ячейке памяти или ВУ можно только по одному единственному адресу. При неабсолютной адресации для ячейки памяти или ВУ

можно выделить некоторую зону адресов. Число таких зон, естественно, будет меньше, чем число отдельных адресов, поэтому для указания зоны потребуются меньшая разрядность адреса. Иными словами, абсолютная адресация требует полного декодирования адреса, а неабсолютная — частичного, что упрощает схемы декодирования. Возможность использования неабсолютной адресации связана с наличием в АП «лишнего» пространства.

В простых МПС часто адресный код рассматривается как состоящий из двух частей. Одна часть указывает на страницу, в которой расположен искомый объект адресации, другая является адресом этого объекта на данной странице. Страницей является та или иная часть АП (какая именно — зависит организации микросхем, из которых строится модуль памяти).

С точки зрения использования АП памятью и ВУ различают концепции интерфейса с общей шиной и раздельной шиной.

В рамках первой концепции для адресов памяти и ВУ выделяются части общего АП. К ВУ обращение происходит так же, как и к ячейкам памяти, т. е. с помощью тех же команд и той же шины. Недостатком этой концепции является сужение АП для памяти, поскольку часть АП занята внешними устройствами. Достоинство состоит в том, что над данными, получаемыми от ВУ, можно производить все те операции, которые имеются в системе команд процессора для данных, находящихся в ячейках памяти. Таких операций много и это способствует улучшению параметров программ и упрощению программирования. Концепцию «с общей шиной» называют также вводом/выводом, отображенным на память.

В концепции «с раздельной шиной» ячейки памяти и ВУ имеют свои АП. При этом требуется наличие управляющих сигналов, определяющих, с каким типом объектов ведется

обмен. Например, вводится сигнал ИО/М, указывающий, адресуется память или ВУ. При этом память может использовать все АП. Для обмена с ВУ обычно имеются только операции ввода IN port и вывода OUT port, и теряется возможность применять к данным от ВУ широкий набор команд, имеющихся для работы с данными, хранимыми в памяти.

Диапазон адресов, к которым может обращаться процессор (т. е. емкость АП) связан с разрядностью шины адреса m соотношением $АП = 2^m$. Например, с помощью 16-разрядной шины адреса можно адресовать $2^{16} = 64К$ объектов, с помощью 20-разрядной 1 М объектов и т. д.

АП используется блоками ОЗУ, ПЗУ и ВУ, к которым обращается процессор. Распределение АП между указанными претендентами производится проектировщиком системы, имеющим известную свободу действий, хотя у конкретных процессоров могут быть особенности, заставляющие отдавать определенную область АП для адресации определенных объектов.

Для краткости записей адреса в АП обычно выражают в шестнадцатеричной системе счисления, для оценки емкостей АП используется часто единица измерения $К = 2^{10} = 1024$ или $М = 2^{20} = 1048576$.

6.4. Построение модуля памяти

Рассмотрим принцип построения модуля памяти. Он обычно состоит не из одной микросхемы, а из нескольких. Для микросхем памяти типична организация $2^k \times l$, где k — четное число; 2^k — число хранимых слов; l — разрядность слов. Если требуется модуль памяти с организацией $2^m \times n$, а имеются микросхемы с организацией $2^k \times l$, где $k < m$ и $l < n$, то при страничной организации модуля его состав и структура определяются следующими соображениями.

Для наращивания разрядности хранимых слов до требуемой включаются параллельно несколько микросхем (а именно n/l ИС). Это образует submodule (страницу), который хранит 2^k слов.

Для увеличения числа хранимых слов до 2^m требуется взять 2^{m-k} submodule. Адрес слова в пределах submodule указывается k младшими разрядами адреса, поступающими непосредственно на адресные входы микросхем, а старшие разряды адреса используются для формирования сигнала разрешения работы того или иного submodule (рис. 6.4).

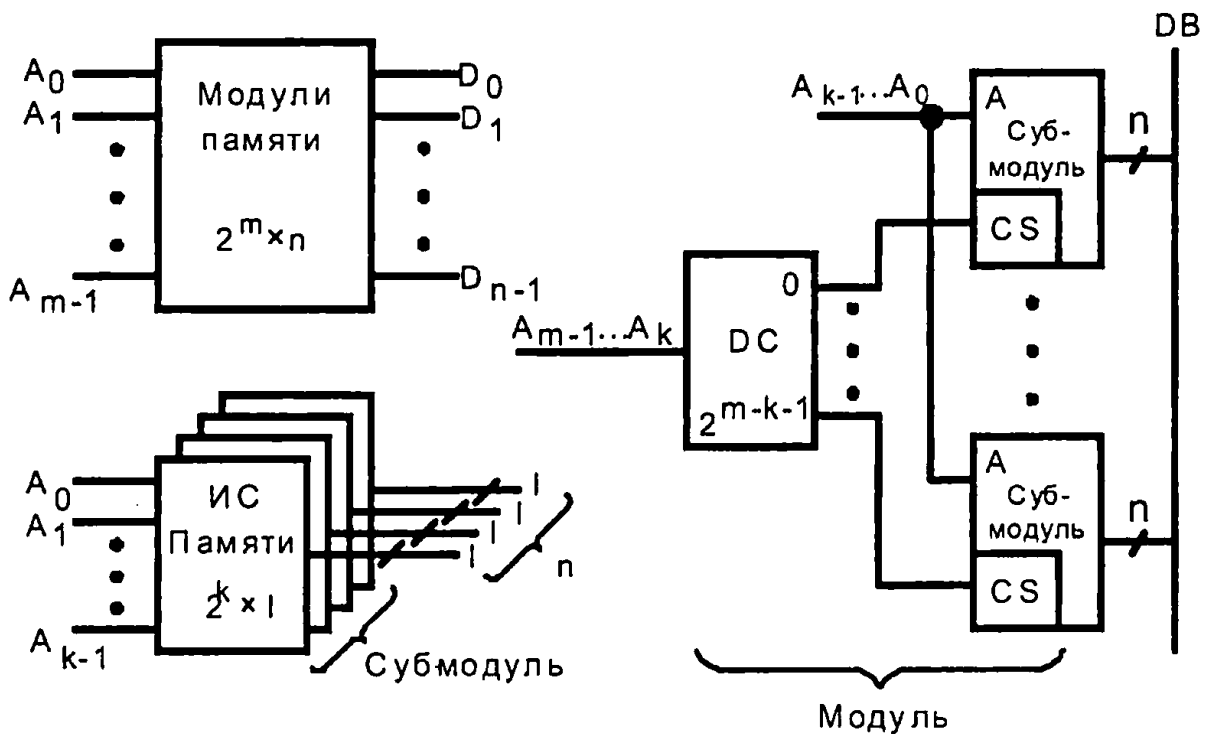


Рис. 6.4. Структуры модуля памяти

Адресация — только часть процесса управления памятью и ВУ. Кроме адресов требуются стробы чтения и записи (\overline{RD} и \overline{WR}), задающие направление обмена, сигналы разрешения работы (\overline{CS} , EN), признак обращения к ВУ или памяти (IO/M). Процессор обычно вырабатывает минимальную группу сигналов, тогда как в системном интерфейсе может быть предусмотрена несколько иная группа. В частности, МП К1821 ВМ85А дает три сигнала: сигнал

чтения (\overline{RD}), записи (\overline{WR}) и сигнал IO/M, т. е. обращения к ВУ при высоком уровне и к памяти — при низком. В системном же интерфейсе используется система из четырех сигналов: сигнала чтения из памяти \overline{MEMR} , записи в памяти \overline{MEMW} , чтения из ВУ \overline{IOW} и записи в ВУ \overline{IOR} .

Статические ОЗУ могут быть асинхронными или тактируемыми. Для тактируемых ОЗУ нужен импульсный характер какого-либо сигнала управления (обычно сигнала \overline{CS}). В этом случае для повторного разрешения работы памяти нужно предварительно вернуть сигнал в пассивное состояние. Иногда условием обмена является готовность к нему памяти или ВУ. Для выявления готовности применяют такой метод: появление адреса медленного устройства ведет к запуску генератора одиночного импульса необходимой длительности, на время существования которого сигнал готовности RDY снимается. Длительность интервала неготовности рассчитывается согласно требованиям медленного устройства. Процессор ждет появления сигнала готовности и только после его появления выполняет операцию обмена. Чтобы избежать потерь времени, желательно генерировать интервал неготовности с привязкой его к синхроимпульсам МПС.

6.5. Виды обмена в микропроцессорных системах

Выполнение процессором операций записи и чтения данных может проходить в режимах:

- ♦ программно-управляемого обмена;
- ♦ прерывания;
- ♦ прямого доступа к памяти (ПДП).

В первом случае инициатором обмена является программа. Возможно взаимодействие с устройством, всегда готовым к обмену или с ожиданием готовности устройства. В

последнем случае вырабатываются сигналы, сообщающие о состоянии устройства. Процессор анализирует их и при готовности устройства реализует программу обслуживания данного устройства. Такой обмен может быть сопряжен с большими потерями времени. Быстродействие внешних устройств, с которыми идет обмен, зачастую очень мало в сравнении с быстродействием процессора. Ожидая готовности устройства, процессор не выполняет полезной работы, а занят в каждом цикле проверкой состояния внешнего устройства и простаивает в течение больших интервалов времени.

При обменах по прерываниям ожидание исключается, т. к. инициатива обмена происходит от внешнего устройства (ВУ). При своей готовности ВУ сигнализируют процессору, запрашивая у него прерывания основной программы и обслуживания обмена. Процессор завершает выполнение текущей команды и переходит к подпрограмме обслуживания прерывания. Отсутствие длительных интервалов ожидания существенно увеличивает производительность МПС.

Режим ПДП используется для обмена между памятью и ВУ без участия процессора. В обычном режиме пересылка данных между памятью и ВУ требует вначале приема данных в процессор, а затем выдачи их приемнику, что снижает темп передачи. В режиме ПДП процессор отключается от системных шин и передает управление обменом специальному контроллеру ПДП, что увеличивает темп передачи данных. Наличие ПДП повышает эффективность МПС.

6.6. Микропроцессор серии 1821 (Intel 8085A)

Рассмотрим МП К1821ВМ85А — аналог микропроцессора Intel 8085А. Это простой для изучения объект, на котором легко проследить основные принципы рабо-

6. Микропроцессорные устройства

ты МП. Несмотря на свой многолетний возраст, этот МП до сих пор выпускается промышленностью и встречается в каталогах фирм. Естественно, что областью его применения не являются компьютеры, в которых сейчас применяют гораздо более мощные и производительные МП. Такие МП, как К1821ВМ85А используются в системах управления различной аппаратурой, где их возможностей хватает.

Структура микропроцессора К1821ВМ85А показана на рис. 6.5.

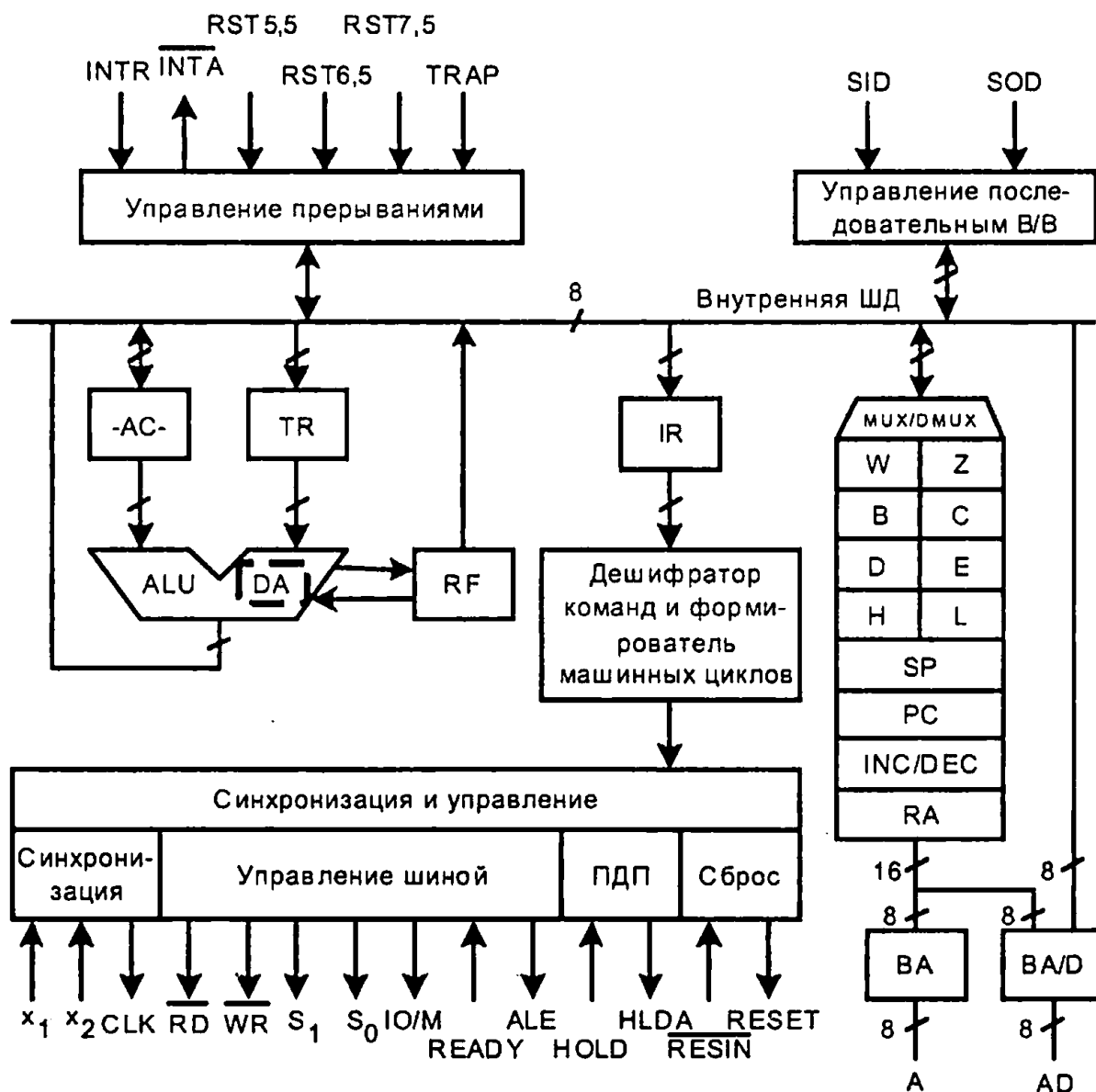


Рис. 6.5. Структура микропроцессора К1821ВМ85А

Микропроцессор имеет восьмиразрядную шину данных (внутреннюю), через которую его блоки обмениваются информацией. На схеме приняты следующие обозначения:

- ♦ AC (Accumulator) — регистр-аккумулятор, выполненный на двухступенчатых триггерах и способный хранить одновременно два слова (один из операндов и результат операции);
- ♦ TR (Temporary Register) — регистр временного хранения одного из операндов;
- ♦ ALU (Arithmetic-Logic Unit) — арифметико-логическое устройство, выполняющее действия над двумя словами-операндами, подаваемыми на его входы. Аккумулятор служит источником и приемником данных, TR — источником слова данных, хранимым на время выполнения операции. АЛУ функционирует согласно соотношению $A := A * B$, где B хранится в TR, второй операнд поступает от аккумулятора, в него же поступает результат операции. АЛУ непосредственно выполняет лишь операции сложения, вычитания, сдвига, сравнения слов, поразрядные логические операции (конъюнкцию, дизъюнкцию, сложение по модулю 2). Более сложные операции (умножение, деление и др.) выполняются по подпрограммам. В АЛУ имеется схема перевода двоичных чисел в двоично-десятичные (DA, Decimal Adjust);
- ♦ RF (Register Rags) — регистр флажков, т. е. битов, указывающих признаки результатов арифметических или логических операций, выполненных в АЛУ.

В нем указываются пять признаков:

- ♦ Z (Zero) — нулевой результат;
- ♦ C (Carry) — перенос;
- ♦ AC (Auxiliary Carry) — вспомогательный перенос;
- ♦ S (Sign) — знак;
- ♦ P (Parity) — четность веса слова.

6. Микропроцессорные устройства

Признак вспомогательного переноса (переноса между младшей и старшей тетрадами восьмиразрядного слова) нужен при выполнении операций в двоично-десятичном коде. Смысл остальных признаков ясен из их наименований. Признаки служат для управления ходом процесса обработки информации.

С внутренней шиной данных через мультиплексор связан блок регистров. Регистры обозначены через W, Z, B, C, D, E, H, L, SP и PC. Регистры W и Z предназначены только для временного хранения данных при выборке команды из памяти и недоступны для программиста.

Регистры B, C, D, E, H, L относятся к регистрам общего назначения, т. к. могут быть использованы по усмотрению программиста. Эти восьмиразрядные регистры могут применяться либо по отдельности, либо в виде пар B-C, D-E, H-L, играющих роль 16-разрядных регистров.

Пары регистров именуются по первым регистрам пары как пары B, D, H. Пара H-L, как правило, используется для размещения в ней адресов при косвенной регистравой адресации. В блоке регистров имеются также 16-разрядные регистры SP и PC. Регистр SP (Stack Pointer) — указатель стека. Стек (магазинная память) удобен для запоминания массива слов, т. к. при этом не требуется адресовать каждое слово отдельно.

В стек слова загружаются в определенном порядке, при считывании также заранее известен порядок их следования. В частности, стек удобен при запоминании состояний регистров в момент прерывания программы. Порядок ввода слов в стек и их считывания predeterminedны его устройством. При организации типа LIFO (Last In — First Out) последнее записанное в стек слово при считывании появляется первым. Стек имеет дно и верхушку, направление возрастания номеров ячеек в нем может быть различным (обычный и перевернутый сте-

ки). Операции со стеком — Push (запись слова) и Pop (считывание слова).

Аппаратно стек реализуется в ОЗУ, где для него выделяется определенная область. Указатель стека SP содержит адрес последней занятой ячейки.

При выполнении операций Push и Pop значение SP уменьшается или увеличивается. Задавая в SP начальное значение, можно размещать стек в той или иной области ОЗУ, следя при этом за тем, чтобы эта область не использовалась для других целей.

При байтовой организации памяти и занесении в стек содержимого регистровой пары старший байт запоминается по адресу SP-1, а младший — по адресу SP-2, содержимое SP уменьшается на 2. При выборке содержимое двух верхних ячеек стека помещается в соответствующие регистры, а содержимое SP увеличивается на 2. Основное назначение стека — обслуживание прерываний программы и выполнения подпрограмм.

Программный счетчик PC (Program Counter) дает адрес команды, и может обращаться в любую из 64К ячеек АП. При сбросе МП PC принимает нулевое состояние, которое, таким образом, является адресом первой исполняемой команды, иначе говоря, выполнение программы начинается с нулевой ячейки. Длина команды составляет 1...3 байта. Содержимое программного счетчика после выборки очередного байта из памяти автоматически инкрементируется, то есть увеличивается на единицу, так что в PC появляется адрес следующей команды, если текущая команда была однобайтовой, или следующего байта текущей команды в противном случае.

Второй и третий байты команды поступают в регистры W и Z, которые не адресуются программой и используются только блоком внутреннего управления. Схема INC/DEC (Increment/Decrement) изменяет передаваемые через нее слова на +1 или -1.

Регистр команд IR (Instruction Register) принимает из памяти первый байт команды, который после дешифрации порождает сигналы, необходимые для реализации машинных циклов, предписанных кодом операции.

Блок синхронизации и управления использует выход дешифратора команд и шифратора машинных циклов для синхронизации циклов, генерации сигналов состояния и управления шиной (внешними устройствами микропроцессорной системы).

При обмене между МП и памятью или ВУ адрес соответствующей ячейки памяти или ВУ от выбранной команды или одной из регистровых пар передается в регистр адреса RA.

Буфер адреса BA с тремя состояниями выхода выдает сигналы старших разрядов адреса на линии адресной шины $A_{15.8}$.

Буфер шины адресов/данных BA/D с тремя состояниями выхода передает на шину A/D с разделением во времени младший байт адреса или байт данных.

Внутренняя восьмиразрядная шина данных передает байты между различными внутренними регистрами или обменивается с другими модулями МПС через мультиплексируемую шину адресов/данных.

Назначение блоков управления прерыванием и последовательным вводом-выводом ясно из их названий. Режимы прерывания и последовательного ввода-вывода подробнее рассмотрены ниже.

При естественном следовании команд МП, начав работу, выбирает из памяти и выполняет одну команду за другой, пока не дойдет до команды «Останов» (HLT). Выборка и выполнение одной команды образуют командный цикл. Командный цикл состоит из одного или нескольких машинных циклов МЦ. Каждое обращение к памяти или ВУ требует машинного цикла, который связан с пере-

дачей байта в МП или из него. В свою очередь машинный цикл делится на то или иное число тактов T , число которых зависит от типа машинного цикла.

Микропроцессор К1821 имеет следующие типы машинных циклов:

1. Выборки команды (OF, Opcode Fetch).
2. Чтения из памяти (MR, Memory Read).
3. Записи в память (MW, Memory Write).
4. Чтения из ВУ (IOR, Input-Output Read).
5. Записи в ВУ (IOW, Input-Output Write).
6. Подтверждения прерывания (INA, Interrupt Acknowledge).
7. Освобождения шин (BI, Bus Idle).
8. Останов (HALT).

В начале каждого машинного цикла генерируются сигналы состояния, идентифицирующие тип цикла и действующие в течение всего цикла.

Функции выводов и сигналов:

- A_{15-8} — выходные линии с тремя состояниями для выдачи старшего байта адреса памяти или полного адреса ВУ. Переходят в третье состояние в режимах HOLD, HALT и RESET;
- AD_{7-0} — двунаправленные мультиплексированные линии с тремя состояниями для выдачи младшего байта адреса памяти или полного адреса ВУ в первом такте машинного цикла, после чего используются как шина данных. Как видно из сказанного, при адресации ВУ адресная информация обеих полушин (A_{15-8} и AD_{7-0}) дублируется;
- ALE — строб разрешения загрузки младшего байта адреса памяти во внешний регистр для его хранения в течение машинного цикла. Появляется в первом такте машинного цикла. Регистр загружается задним фронтом сигнала ALE;

6. Микропроцессорные устройства

- \overline{RD} , \overline{WR} — стробы чтения или записи. Низкий уровень соответствующего сигнала свидетельствует о том, что адресованная ячейка памяти или внешнее устройство должны выполнить операцию чтения или записи. Выводы переходят в третье состояние в режимах HOLD, HALT и RESET;
- READY — входной сигнал, доказывающий, что память или ВУ готовы обмену с МП. Если готовности памяти или ВУ нет, МП входит в состояние ожидания, которое может длиться любое число тактов вплоть до появления единичного уровня сигнала READY;
- S_1 , S_0 — сигналы состояния МП, сообщаемые внешней среде. Формируются в начале и сохраняются во время всего машинного цикла;
- IO/M — сигнал выбора памяти или внешнего устройства. При высоком уровне происходит обращение к ВУ, при низком — к памяти.

Совместно с сигналами S_1S_0 сигнал IO/M идентифицирует тип машинного цикла. Сигналы состояния и управляющие сигналы \overline{RD} , \overline{WR} и \overline{INTA} для различных машинных циклов имеют следующие значения (табл. 6. 1):

Таблица 6.1

Тип МЦ	Сигналы состояния			Сигналы управления		
	IO/M	S_1	S_0	\overline{RD}	\overline{WR}	\overline{INTA}
OF	0	1	1	0	1	1
MR	0	1	0	0	1	1
MW	0	0	1	1	0	1
IOR	1	1	0	0	1	1
IOW	1	0	1	1	0	1
INA	1	1	1	1	1	0
BI	TC	X	X	1	1	1
HALT	TC	0	0	TC	TC	1

В приведенной таблице через ТС обозначено третье состояние.

- ♦ X_1, X_2 — эти выводы присоединяются к кварцевому резонатору или другим частотно-задающим цепям для обеспечения работы внутреннего генератора синхроимпульсов МП. Частота на выводах X_1 и X_2 в 2 раза выше рабочей частоты;
- ♦ $\overline{\text{RESIN}}$ ($\overline{\text{RESET IN}}$) — вход сигнала сброса МП в начальное состояние. Сигнал может поступить в любое время по команде оператора. Автоматически формируется при включении питания. Под его воздействием сбрасываются регистры РС и IR, триггеры разрешения прерывания, подтверждения захвата и др.;
- ♦ CLK — выход синхроимпульсов для микропроцессорной системы. Частота этих импульсов в два раза ниже частоты на выводах X_1 и X_2 ;
- ♦ RESET — выходной сигнал сброса для внешних модулей системы, привязанный к тактовым импульсам CLK, т. е. отличающийся от сигнала $\overline{\text{RESIN}}$ по фазе;
- ♦ INTR (Interrupt Request) — вход запроса векторного прерывания, вызывающий генерацию stroba $\overline{\text{INTA}}$, если прерывание разрешено программой. Адрес подпрограммы, вызываемой этим входом, выдается внешним устройством. При сбросе прием сигнала запрещается (прерывания запрещены);
- ♦ $\overline{\text{INTA}}$ (Interrupt Acknowledge) — выход stroba подтверждения векторного прерывания после завершения текущего командного цикла. Используется для чтения вектора прерывания;
- ♦ RST 5,5; RST 6,5; RST 7,5 — входы запросов радиального прерывания типа RST $_n$ ($n = 5,5; 6,5; 7,5$). Начальные адреса подпрограмм обслужива-

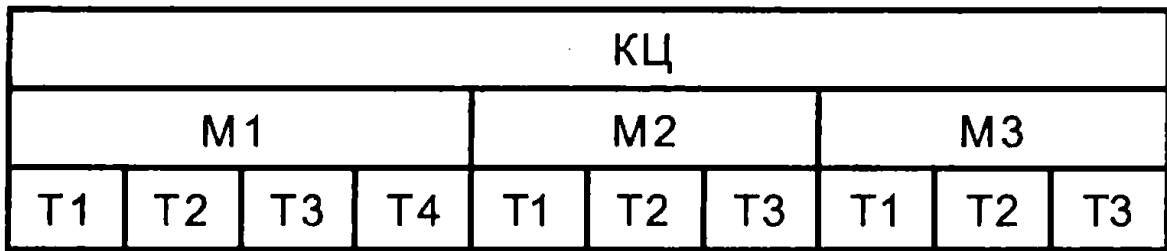
ния равны 8n. Приоритеты фиксированы, высший приоритет у входа RST 7,5. Приоритеты всей группы запросов выше приоритета запроса INTR. Запросы маскируемые, причем независимо друг от друга;

- ♦ TRAP — вход запроса немаскируемого прерывания, имеющий максимальный приоритет;
- ♦ SID, SOD (Serial Input Data, Serial Output Data) — вход и выход последовательной передачи данных. По команде RIM входной бит загружается в старший разряд аккумулятора, по команде SIM выводится из этого разряда;
- ♦ HOLD — сигнал запроса захвата шин. Формируется внешним устройством;
- ♦ HLDA — сигнал подтверждения захвата (Hold Acknowledge). Является ответом на сигнал HOLD, формируемым в конце текущего машинного цикла. Свидетельствует об отключении МП от системных шин. При этом шины и линии управляющих сигналов \overline{RD} , \overline{WR} , IO/M и ALE переводятся в третье состояние.

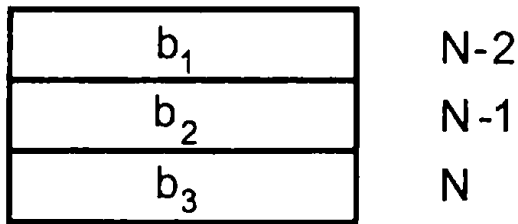
Выводы X_1 и X_2 , предназначенные для создания совместно с внутренними элементами МП генератора тактовых импульсов.

6.7 Последовательность действий МП и синхронизация

Командный цикл КЦ (рис. 6.6, а) начинается с выборки команды (Opcode Fetch, OF). Первый машинный цикл М1 всегда OF, в нем МП получает первый байт команды. После этого могут быть еще один или два машинных цикла типа MR (Memory Read), поскольку команда может быть однобайтной, двухбайтной или трехбайтной.



а)



б)

Рис. 6.6. Циклы и такты микропроцессора К1821ВМ85А (а) и пример размещения команды в памяти микропроцессорной системы (б)

Если команда трехбайтная, то она хранится в памяти так, как показано на рис. 6.8, б. Первый байт содержит код операции КОП, сведения о способе адресации, а если команда однобайтная, то и адрес операнда. Наличие адреса возможно для операций типа «регистр-регистр» с короткими адресами.

Для адресации 8 регистров общего назначения достаточно трехразрядного адреса, а для адресации регистровых пар даже двухразрядные. Второй байт содержит младший полуадрес операнда, если команда трехбайтная, или непосредственный операнд либо адрес ВУ, если команда двухбайтная. Третий байт содержит старший полуадрес операнда или байт непосредственных данных при загрузке пары регистров. Адреса регистров и регистровых пар даны в табл. 6.2.

Таблица 6.2

Регистры						Пары регистров				
B	C	D	E	H	L	A	B	D	H	SP
000	001	010	011	100	101	111	00	01	10	11

После выборки и декодирования команды могут понадобиться дополнительные машинные циклы для ее выполнения. Всего в командном цикле может быть от одного до пяти машинных циклов.

Машинный цикл состоит из тактов, в которых выполняются типовые действия, рассмотренные ниже. Число тактов в различных машинных циклах — 3...6. Большинство машинных циклов содержат три такта. В командном цикле может содержаться от 4 до 18 тактов. Сигналы, реализующие тот или иной МЦ, генерируются блоком управления МП на основании информации, содержащейся в первом байте команды.

Проиллюстрируем сказанное примером выполнения команды STA $b_1 b_2$ (Store Accumulator Direct), передающей содержимое аккумулятора в ячейке памяти при прямой адресации, т. е. указании адреса ячейки в самой команде. Команда трехбайтная, для ее передачи в МП требуются три машинных цикла, в первом из которых байт b_1 передается в регистр команд IR, в последующих байты b_2 и b_3 передаются в регистры временного хранения W и Z. После получения всей команды МП выполняет ее, передавая байт из аккумулятора в ячейку памяти, адрес которой поступил в МП. Таким образом, цикл команды составит из четырех машинных циклов в следующем порядке OF-MR-MR-MW.

Каждый машинный цикл делится на такты (состояния) — интервалы между одноименными фронтами тактовых импульсов.

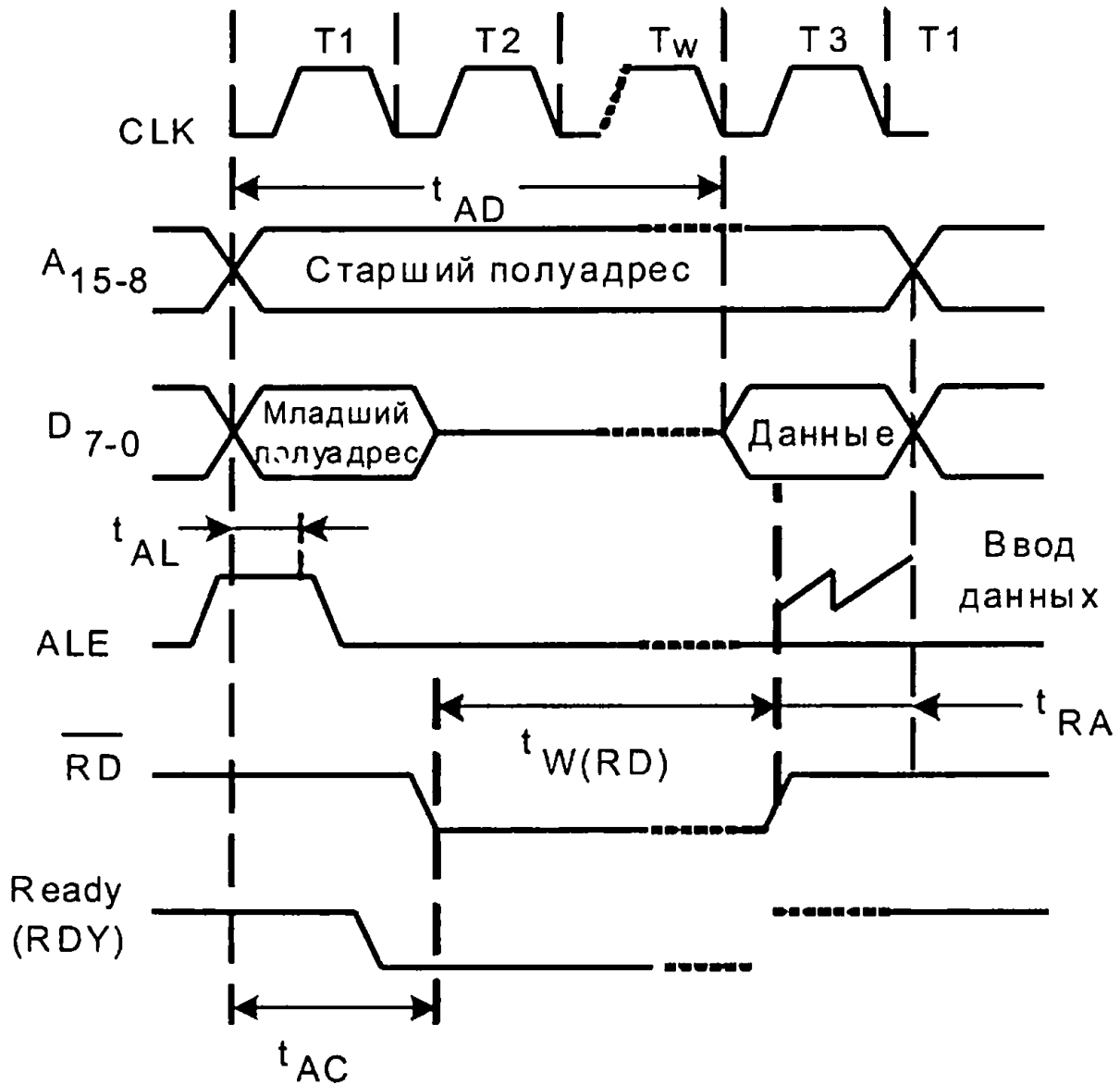


Рис. 6.7. Временные диаграммы цикла чтения микропроцессора

Типовые действия, выполняемые в тактах машинного цикла:

T₁ — Адрес памяти или ВУ выставляется на AD_{7,0} и A_{15,8}, генерируется сигнал ALE для фиксации битов АД_{7,0}. На линиях IO/M, S₁ и S₀ выставляется информация, определяющая тип цикла. Проверяется флаг HALT.

T₂ — Проверяются входы Ready и Hold. Программный счетчик инкрементируется, если данный машинный цикл есть часть выборки команды. Во всех машинных циклах

кроме цикла \overline{VI} (освобождения шин) один из управляющих стробов \overline{RD} , \overline{WR} или \overline{INTA} переходит из единичного состояния в активное нулевое.

T_w — Появляется при неготовности памяти или ВУ к обмену (на линии \overline{READY} низкий уровень напряжения). Состояния линий адресов, данных и управления остаются теми же, что и в конце такта. Сигнал \overline{READY} проверяется в каждом такте ожидания.

T_3 — Байт команды или данных передается в микропроцессор или из него. Уровень активного управляющего stroba изменяется с нулевого на единичный.

T_4 — Декодируется содержимое регистра команд.

$T_{5,6}$ — Используются при необходимости для завершения некоторых команд. Системные шины не используются.

Машинный цикл всегда содержит такты $T_1 \dots T_3$, иногда имеет большее число тактов, но для чтения или записи требуется только три такта. Временные диаграммы цикла чтения с тактом ожидания приведены на рис. 6. 7.

6.8. Система прерываний

При работе микропроцессорной системы в ней или вне ее могут произойти события, требующие немедленной реакции. Такая реакция обеспечивается прерыванием программы и переходом к обслуживанию источников запроса на прерывание. Внутри системы запросы возникают при сбоях в работе, переполнении разрядной сетки, попытке деления на нуль и т. д., а также при требованиях обслуживания от внешних устройств. Извне могут поступать сигналы аварийных ситуаций в управляемых объектах, неисправности источников питания и др.

Прерывания по запросам от медленно действующих внешних устройств увеличивают производительность системы, позволяя ВУ занимать время процессора только при

их готовности к обмену. Когда ВУ нуждается в обслуживании, оно устанавливает триггер запроса прерывания, и сигнал запроса сохраняется, пока не будет воспринят и обработан микропроцессором.

В ответ на принятый и запрос прерывания в микропроцессорной системе завершается выполнение текущей команды, запоминается состояние МП, выполняется подпрограмма обслуживания прерывания, восстанавливается состояние МП, и затем возвращается управление соответствующей команде основной программы.

Микропроцессор К1821 имеет пять входов прерывания и один выход управления им \overline{INTA} . Прерывание должно ввести в действие команду CALL, согласно которой состояние программного счетчика РС передается в стек, а в РС загружается адрес подпрограммы, подлежащей выполнению. Инициатива ввода команды CALL принадлежит аппаратным средствам микропроцессорной системы. Если прерывания разрешены, то они осуществляются микропроцессором в конце выполнения текущей команды.

Входы МП, связанные с прерываниями, называются TRAP; RST 5,5; RST 6,5; RST 7,5; INTR. При организации прерываний решаются задачи маскирования запросов и определяются их уровни приоритета при конфликтах из-за одновременного поступления нескольких запросов.

Маскирование состоит в запрещении действия соответствующего входа. Входы запросов прерывания могут быть маскируемыми или не маскируемыми т. е. принимаемыми всегда.

Вход TRAP является немаскируемым и имеет наивысший приоритет. Он не может быть запрещен командами программы. К этому входу подключают сигналы, оповещающие о наиболее важных событиях в микропроцессор-

ной системе, появление которых требует безусловной реакции (например, сигнал, оповещающий об аварии питания, требующей немедленных мер).

Начальный адрес подпрограммы обслуживания прерывания TRAP размещен в фиксированной ячейке памяти с адресом 24H. Таким образом, появление запроса прерывания по входу TRAP независимо ни от чего вызовет соответствующее прерывание после завершения выполнения текущей команды.

Обозначение входов RST n ($n = 5,5; 6,5; 7,5$) происходит от слова Restart. Прерывания по этим входам маскируемые, т. е. могут быть разрешены или запрещены командами EI (Enable Interrupt) и DI (Disable Interrupt), действующими на все три входа одновременно. Начальный сброс микропроцессора запрещает обслуживание этих запросов, для их последующего разрешения следует подать команду EI. Имеется также возможность отдельного маскирования запросов RST n с помощью специальной команды SIM (Set Interrupt Mask), по которой маски устанавливаются в соответствии со значениями битов A_0-A_3 содержимого аккумулятора.

Вход RST 7,5 является динамическим, реагирует на положительный фронт сигнала, а входы RST 6,5 и RST 5,5 — статические, реагируют на уровень сигнала и, следовательно, автоматически снимаются при исчезновении запросов по этим входам. Запрос RST 7,5, принимаемый триггером с динамическим входом, после снятия сигнала запроса не снимается и сохраняется, пока не будет обработано прерывание или до команды SIM или RESET.

При поступлении запроса по входу INTR (Interrupt) вектор прерывания должен быть передан извне. К этому входу, в частности, подключают контроллер прерываний — блок, который воспринимает несколько запросов от вне-

шних устройств, решает задачу приоритетности и маскирования и вырабатывает для МП единственный сигнал $INTR$, с пересылкой в МП соответствующего вектора прерывания. В данном случае также выполняется команда $RSTn$, но n зависит от источника прерываний. Аппаратный ввод байта в ответ на запрос $INTR$ может быть реализован, например, согласно рис. 6.8. Появление запроса $INTR$ при разрешенных прерываниях ведет к ответу микропроцессора сигналом \overline{INTA} , во время действия которого на шине AD появляется вводимый байт. Сигнал \overline{INTA} при этом поступает на входы разрешения выхода буферных усилителей.

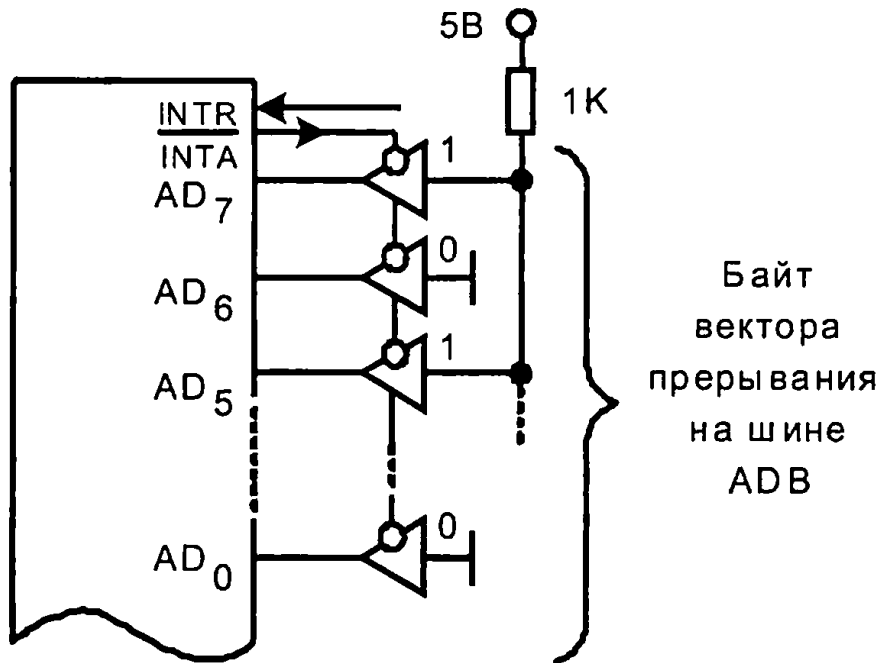


Рис. 6.8. Аппаратная реализация пересылки байта при выполнении операции рестарта

Во время обработки прерываний, пока не выполнится команда EI , запрещаются другие прерывания кроме $TRAP$. Немаскируемое же прерывание $TRAP$ блокирует другие прерывания, но сохраняет состояние разрешения поступившего уже сигнала прерывания.

6.9 Последовательный ввод-вывод

Микропроцессор имеет два вывода для передач последовательных данных SOD и SID (Serial Output Data и Serial Input Data).

Вывод SOD управляется командой SIM, а сигнал с вывода SID считывается командой RIM. Эти команды упоминались ранее как команды установки и сброса масок для входов прерываний RST_n, они же используются и для управлений последовательным вводом-выводом. До выполнения команды SIM в аккумуляторе формируется слово, биты которого интерпретируются следующим образом:

7	6	5	4	3	2	1	0
SOD	SOE	X	R7,5	MSE	M7,5	M6,5	M5,5

где SOD — последовательный выход данных, SOE (Serial Input Enable) — сигнал, единичное значение которого передает последовательные данные SOD на соответствующий выход микропроцессора, бит 5 не используется, R7.5 сбрасывает вход RST 7,5 MSE (Mask Set Enable) — сигнал, активное состояние которого разрешает действие битов 2... 0, биты M 7,5...M 5,5 маскируют запросы RST 7, 5... RST 5,5, если соответствующий бит имеет единичное значение.

Например, установка SOD = 1, разрешение RST 6,5, сброс триггера RST 7, 5 и маскирование RST 7, 5 и RST 5,5 будут выполнены двумя командами по программе:

- MVI A, b₂ — установка битов аккумулятора;
- SIM — изменение масок и бита SOD.

Команда MVI A, b₂ передает в аккумулятор байт b₂, т. е. выполняет действие (A) — (b₂) пересылки в аккумулятор данных при непосредственной адресации. Байт b₂ в данном случае имеет вид: 11X11101.

Для ввода последовательных данных через контакт SID используется команда RIM, обеспечивающая ввод последовательных данных и чтение масок прерывания. После выполнения команды RIM в аккумуляторе фиксируется слово со следующим значением битов:

7	6	5	4	3	2	1	0
SID	I 7,5	I 6,5	I 5,5	IE	M7,5	M6,5	M5,5

где SID— последовательные данные ввода через контакт SID; I 7,5; I 6,5; I 5,5— логические уровни на выводах RST 7,5; RST 6,5 и RST 5,5, соответственно, IE— сигнал разрешения прерывания, M 7,5... M 5,5 — логические уровни масок.

Биты I 7,5... I 5,5 индицируют уровни во время команды RIM. Бит IE показывает, какая из команд EI и DI выполнялась последней, на него влияет также наличие в данное время режима прерывания, поскольку он сопровождается сбросом триггера IE, запрещая другие прерывания. Биты M 7,5... M 5,5 индицируют текущие состояния масок прерывания.

6.10 Система команд микропроцессора

Команды МП приведены в таблице (табл. 6.3). В первой графе таблицы даны мнемокоды команд с обозначениями регистров через r, пар регистров через r_p, ячеек памяти через M, третьего и второго байтов команды через b₃b₂, адресов ВУ через port. Ссылки на ячейки памяти M подразумевают косвенную адресацию — адреса этих ячеек берутся из регистровой пары Н (регистров Н и L) и, следовательно, не нуждаются в указании в самой команде.

6. Микропроцессорные устройства

Таблица 6.3

Мнемокод	Код	Флажки	Число			Содержание
			Бай- тов	Так- тов	Цик- лов	
1	2	3	4	5	6	7
Команды пересылки						
MOV r ₁ ,r ₂	01ППП1111	–	1	4	1	Пересылка из регистра r ₂ в r ₁ регистр
MOV M,r	011101111	–	1	7	2	Пересылка из регистра в память
MOV r,M	01ППП1110	–	1	7	2	Пересылка из памяти в регистр
MVI r,b ₂	00ППП1110	–	2	7	2	Пересылка непосредственных данных в регистр
MVI M,b ₂	36	–	2	10	3	Пересылка непосредственных данных в память
LXI _{r_p} b ₃ b ₂	00PP0001	–	3	10	3	Загрузка непосредственных данных в пару регистров
LDA b ₃ b ₂	3A	–	3	13	4	Прямая загрузка аккумулятора
STA b ₃ b ₂	32	–	3	13	4	Прямая запись аккумулятора в память
LHLD b ₃ b ₂	2A	–	3	16	5	Прямая загрузка пары регистров
SHLD b ₃ b ₂	22	–	3	16	5	Прямая запись пары регистров H в память
LDAX _{r_p}	00PP1010	–	1	7	2	Косвенная загрузка аккумулятора посредством пары регистров B или D

Продолжение табл. 6.3

1	2	3	4	5	6	7
STAX r _p	00ПР0010	–	1	7	2	Косвенная запись аккумулятора в память посредством пары регистров В и D
XCHG	EB	–	1	4	1	Обмен между парами регистров H и D
Команды арифметических и логических операций						
ADDr	10000ИИИИ	+	1	4	1	Сложение регистра и аккумулятора
ADDM	86	+	1	7	2	Сложение памяти и аккумулятора
ADlb ₂	C6	+	2	7	2	Сложение непосредственных данных и аккумулятора
ADCr	10001ИИИИ	+	1	4	1	Сложение регистра и аккумулятора с переносом
ADCM	8E	+	1	7	2	Сложение памяти и аккумулятора
ACI b ₂	CE	+	2	7	2	Сложение непосредственных данных и аккумулятора с переносом
SUB r	10010ИИИИ	+	1	4	1	Вычитание регистра из аккумулятора
SUB M	96	+	1	7	2	Вычитание памяти из аккумулятора
SUI b ₂	D6	+	2	7	2	Вычитание непосредственных данных из аккумулятора

6. Микропроцессорные устройства

Продолжение табл. 6.3

1	2	3	4	5	6	7
SBB r	10011111	+	1	4	1	Вычитание регистра из аккумулятора с заемом
SBB M	9E	+	1	7	2	Вычитание памяти из аккумулятора с заемом
SBI b ₂	DE	+	2	7	2	Вычитание непосредственных данных из аккумулятора с заемом
INR r	00ППП100	(+)	1	4	1	Инкремент регистра
INR M	34	(+)	1	10	3	Инкремент памяти
DCR r	00ППП101	(+)	1	4	1	Декремент регистра
DCR M	35	(+)	1	10	3	Декремент памяти
INX r _p	00ПР0011	-	1	6	1	Инкремент пары регистров
DCX r _p	00ПР1011	-	1	6	1	Декремент пары регистров
DAD r _p	00ПР1001	C	1	10	3	Сложение регистровой пары H с регистровой парой
DAA	27	+	1	4	1	Преобразование аккумулятора в двоично-десятичный код
ANA r	10100111	+	1	4	1	Логическое И регистратора и аккумулятора
ANA M	A6	+	1	4	1	Логическое И памяти и аккумулятора

Продолжение табл. 6.3

1	2	3	4	5	6	7
ANI b_2	E6	+	2	7	2	Логическое И непосредственных данных и аккумулятора
XRA r	10101111	+	1	4	1	Исключающее ИЛИ регистра и аккумулятора
XRA M	AE	+	1	7	2	Исключающее ИЛИ памяти и аккумулятора
XRI b_2	EE	+	2	7	2	Исключающее ИЛИ непосредственных данных и аккумулятора
ORA r	10110111	+	1	7	2	Логическое ИЛИ регистра и аккумулятора
ORAM	B6	+	1	7	2	Логическое ИЛИ памяти и аккумулятора
ORI b_2	F6	+	2	7	2	Логическое ИЛИ непосредственных данных и аккумулятора
CMP r	10111111	+	1	4	1	Сравнение регистра и аккумулятора
CMP M	101111110	+	1	7	2	Сравнение памяти и аккумулятора
CPI b_2	FE	+	2	7	2	Сравнение непосредственных данных и аккумулятора
CMA	2F	-	1	4	1	Инвертирование аккумулятора
STC	37	C	1	4	1	Установка флажка переноса

6. Микропроцессорные устройства

Продолжение табл. 6.3

1	2	3	4	5	6	7
CMC	3F	C	1	4	1	Инвертирование флажка переноса
RLC	07	C	1	4	1	Циклический сдвиг аккумулятора влево
RRC	0F	C	1	4	1	Циклический сдвиг аккумулятора вправо
RAL	17	C	1	4	1	Аккумулятора влево через разряд переноса
RAR	1F	C	1	4	1	Циклический сдвиг аккумулятора вправо через разряд переноса
Команды управления						
JMP b_3b_2	C3	—	3	10	3	Безусловный переход
$J_{усл} b_3b_2$	11УУУУ01	—	3	10	3	Условный переход
CALL b_3b_2	CD	—	3	18	5	Безусловный вызов подпрограммы
$C_{усл} b_3b_2$	11УУУ100	—	3	2/5	9/18	Условный вызов подпрограммы
RET	C9	—	3	10	3	Возврат
$R_{усл}$	11УУУ100	—	3	17/1	5/3	Возврат при условии
RST n	11nnn111	—	1	11	3	Повторный запуск
SPHL	E9	—	1	6	1	Пересылка пары регистров H в SP
Специальные команды						
PUSH r_p	11PP0101	—	1	11	3	Пересылка пары регистров в стек
PUSH PSW	F5	—	1	11	3	Пересылка аккумулятора и регистра флажков в стек

1	2	3	4	5	6	7
POP r_p	11PP0001	—	1	10	3	Загрузка регистровой пары из стека
POP PSW	F1	+	1	10	3	Загрузка аккумулятора и регистра флажков из стека
XTHL	F3	—	1	18	5	Обмен между регистровой парой H и стеком
PCHL	F9	—	1	5	1	Пересылка регистровой пары H в PC
IN port	DB	—	2	10	3	Ввод
OUT port	D3	—	2	10	3	Вывод
EI	FB	—	1	4	1	Разрешение прерывания
DI	F3	—	1	4	1	Запрещение прерывания
HLT	76	—	1	7	2	Останов
NOP	00	—	1	4	1	Нет операции
RIM	20	—	1	4	1	Чтение маски прерывания
SIM	30	—	1	4	1	Запись маски прерывания

Во второй графе коды первого байта команды b_1 даются в двоичном восьмиразрядном представлении, если требуется указать в них адреса операнда или в двухразрядном шестнадцатеричном представлении в иных случаях.

Разряды обобщенных адресов регистров — источников данных выражены буквами ИИИ, регистров — приемников данных — буквами ППП, пар регистров — буквами ПР. Подставляя вместо буквенных символов определенные адреса, получим коды конкретных вариантов команды

6. Микропроцессорные устройства

(например, из обобщенной формы «пересылка из регистра в регистр» конкретный вариант «пересылка из регистра В в регистр D»). Коды условий, при выполнении которых осуществляется указанная в команде операция, обозначены буквами УУУ, расшифровка которых имеет вид табл. 6.4.

Таблица 6.4

УУУ	Мнемокод	Условия
000	NZ	Неравенство нулю
001	Z	Равенство нулю
010	NC	Отсутствие переноса
011	C	Наличие переноса
100	PO	Нечетность
101	PE	Четность
110	P	Плюс
111	M	Минус

Включая конкретные условия в мнемкоды команд, получаем их варианты. Например, команда условного перехода из обобщенной формы $J_{\text{усл}} b_3 b_2$ переводится в вариант $JNZ b_3 b_2$ — переход к команде с адресом $b_3 b_2$, если признак результата говорит о том, что результат не равен нулю. Признаки формируются в регистре флажков, формат которого представляется в виде:

S	Z	O	AC	O	P	I	C
---	---	---	----	---	---	---	---

причем $S = 0$ означает «плюс», $S = 1$ — «минус», $Z = 0$ — неравенство нулю, $Z = 1$ — равенство нулю, C или $AC = 1$ — наличие переноса, C или $AC = 0$ — его отсутствие, $P = 0$ — нечетность, $P = 1$ — четность. Разряды 5, 3, 1 содержат константы и для признаков не используются.

В коде команды рестарта RST три разряда, отмеченные буквами ppp, формируются системой прерываний или указываются программистом. При выполнении команды

текущее содержимое программного счетчика РС загружается в стек, а в РС формируется код с нулевым старшим байтом и младшим байтом вида 000pppp000.

Операция сравнения производится вычитанием операндов с установкой признака результата ($Z = 1$ — равные операнды, $S = 0$ — содержимое аккумулятора больше второго операнда, $S = 1$ — меньше).

В третьей графе прочерк означает, что выполнение команды не сопровождается выработкой флажков-признаков, знак плюс говорит об установке всех признаков, знак плюс в скобках — об установке всех признаков, кроме признака наличия или отсутствия переноса C, а символ C означает, что вырабатывается только признак наличия или отсутствия переноса.

Команды RLC, RRC, RAL и RAR реализуют циклические (кольцевые) сдвиги содержимого аккумулятора на один разряд в ту или иную сторону без включения (RLC и RRC) или с включением (RAL и RAR) в кольцо разряда C регистра флажков (рис. 6.9).

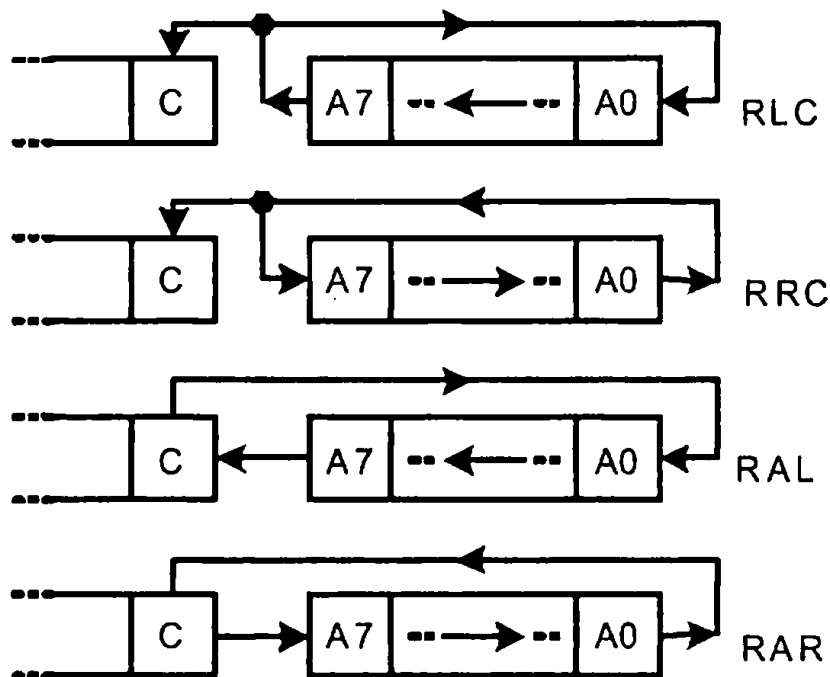


Рис. 6.9 Схемы, поясняющие выполнение сдвигов микропроцессором

Для МП 8085А укажем также следующие данные, необходимые для практической работы с ним:

напряжение питания, В	$5 \pm 10 \%$
ток потребления, мА	≤ 170
ток входа, мкА	≤ 10
емкость входа, пФ	≤ 10
ток выхода при низком уровне выходного напряжения, мА	≤ 2
ток выхода при высоком уровне выходного напряжения, мА	$\leq 0,4$
максимальная емкость нагрузки, пФ	150

По мере развития микропроцессорной техники происходит естественный процесс специализации МП соответственно областям их применения. Важнейший класс проблемно ориентированных МП — процессоры цифровой обработки сигналов, которые находят применение в современных системах связи, обработки графических изображений, медицине и многих других областях.

6.11 Программирование работы МП

Рассмотрим последовательность действий при выполнении программы. Выполнение команды реализуется в МПС через работу ее шин. Для иллюстрации рассмотрим выполнение короткого фрагмента программы передачи байта из одной ячейки памяти в другую. Пусть численное значение байта будет 10Н, а его передача производится из ячейки 0100Н в ячейку 0101Н. Пусть также фрагмент программы размещается в памяти, начиная с ячейки 2000Н.

Для выполнения фрагмента сначала нужно переслать байт в аккумулятор, а затем из аккумулятора в память. Так как обращение к памяти подразумевает косвенную адресацию, вначале требуется загрузка пары регистров

Н адресом ячейки, к которой идет обращение. С учетом сказанного фрагмент программы в мнемокодах (на ассемблере МП) примет вид, показанный в левом столбце

LXI H, 0100H	2000 21 00 01
MOV A, M	2003 7E
INX H	2004 23
MOV V, A	2005 77

Команда загрузки непосредственных данных в пару регистров LXI $r_p b_3 b_2$ имеет код 00ПР0001 (см. табл. 6.3). Пара регистров имеет адрес ПР = 10. Подставив это значение в код команды, получаем код 21. В правом столбце записана команда в кодах. Она имеет вид: 21 00 01, т. к. после кода операции из памяти извлекаются сначала младший (00), а затем старший (01) байты. Команда трехбайтная и занимает ячейки памяти 2000... 2002.

Однобайтная команда MOV A, M пересылки из памяти в аккумулятор является вариантом команды MOV г, М с кодом 01 ППП 110. Подставив в этот код адрес регистра А = 111, получаем код команды 7E.

Команда INX H прибавляет единицу к содержимому регистровой пары и является вариантом, код которого получается из кода 00ПР0011 при подстановке адреса пары регистров 10, что дает код 23.

Последняя команда фрагмента программы (пересылка из аккумулятора в память) MOV M, A, имеющая код 77, передает в ячейку памяти, адрес который находится в регистровой паре H, содержимое аккумулятора. Эта команда завершает выполнение фрагмента программы.

Последовательность четырех рассмотренных команд сгенерирует временные диаграммы (рис. 6.10), посредством которых программа будет выполнена.

До сих пор, записывая команды, мы применяли язык кодовых комбинаций, единственно понятный микропроцессору. Пользование этим языком вызывает трудности,

6. Микропроцессорные устройства

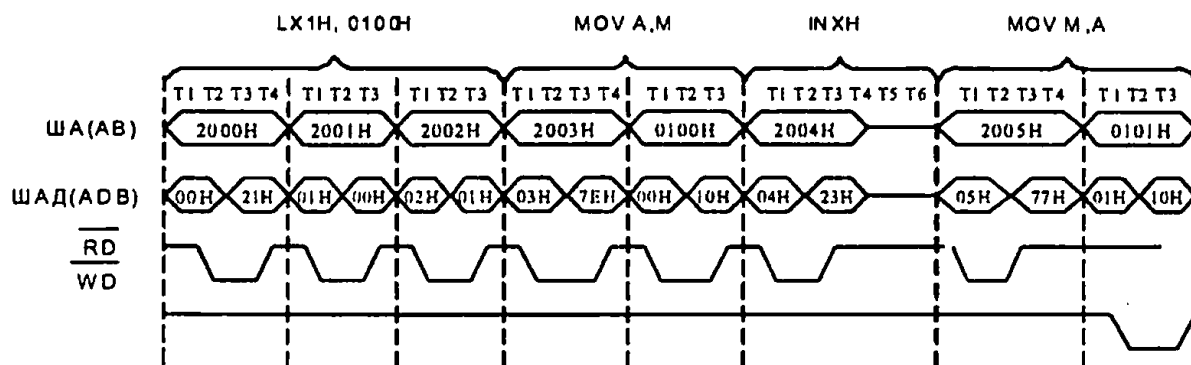


Рис. 6.10 Реализация программы сигналами шин микропроцессорной системы

связанные, во-первых, с необходимостью записи громоздких, труднозапоминаемых двоичных кодовых комбинаций (использование для этих кодовых комбинаций представления в восьмеричной либо шестнадцатеричной системе счисления не приводит к существенному облегчению записи программы), во-вторых, со сложностью поиска ошибок в составленной программе из-за того, что записанная с помощью кодовых комбинаций программа оказывается трудно читаемой, плохо обозримой, и, в-третьих, с трудностью внесения изменений в составленную программу.

Рассмотрим, в чем состоят последние трудности. Пусть исправление некоторого участка программы привело к тому, что после коррекции этот участок занимает меньшее число ячеек в ОП. Таким образом, в последовательности адресов ячеек, занимаемых программой, возникает разрыв. На рис. 6.11 A_{k+1}, \dots, A_{k+m} — адреса m освободившихся ячеек памяти. Такие разрывы недопустимы. Это связано с тем, что счетчик команд микропроцессора после выборки очередной команды формирует адрес следующей команды путем увеличения своего содержимого на единицу. Следовательно, после выполнения последней команды участка программы перед разрывом счетчик в качестве адреса очередной команды укажет адрес ячейки A_{k+1} . Для устранения образовавшихся разрывов можно воспользо-

ваться следующими приемами. Если $m \geq 3$, то в первые три ячейки разрыва следует поместить трехбайтовую команду безусловного перехода к ячейке A_{k+m+1} — первой после разрыва. Если число ячеек в разрыве меньше трех, в эти ячейки помещается однобайтовая команда отсутствие операции, имеющая кодовую комбинацию 00 000 000.

Может оказаться, что в результате коррекции некоторого участка программы выясняется, что исправленный участок программы не помещается в той группе ячеек, которая ранее под него отводилась. В этом случае в указанную группу ячеек помещают начальную часть скорректированного участка, заканчивая ее трехбайтовой командой безусловного перехода к некоторой свободной ячейке, например следующей за ячейкой, которую занимает последняя команда программы (рис. 6.11). Начиная с этой ячейки, производится размещение команд конечной части скорректированного участка программы. Завершить эту часть участка программы необходимо командой безусловного перехода.

Следует иметь в виду, что подобные приемы приводят к появлению в программе дополнительных команд, за счет

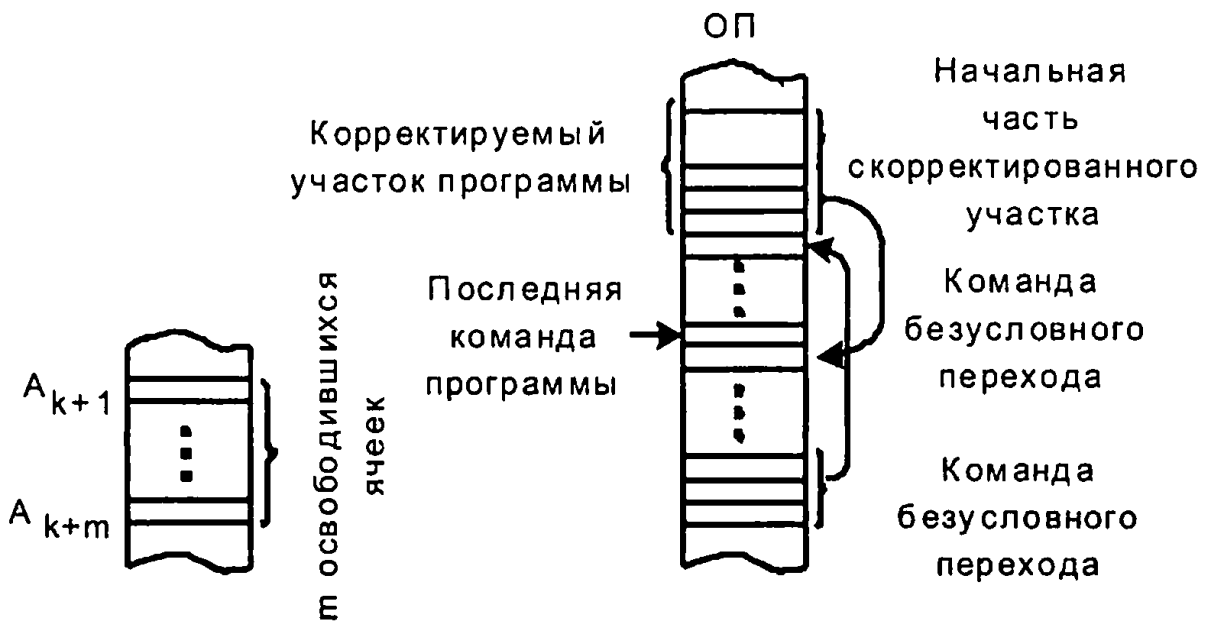


Рис. 6.11. Корректировка программы

чего возрастают расходуемая емкость оперативной памяти и время исполнения программы. При большом числе исправляемых участков программы, по-видимому, целесообразно составить программу заново, не пользуясь описанными выше приемами.

Наряду с указанными недостатками язык кодовых комбинаций имеет и достоинства. Программа на этом языке оказывается наиболее эффективной, она занимает минимальный объем памяти и быстрее исполняется. Уменьшение памяти (часто выполняемой в виде ПЗУ) снижает затраты на этот наиболее дорогостоящий узел микропроцессорной системы, а уменьшение времени позволяет решать более сложные задачи. Кроме того, записанная на бумаге программа может быть непосредственно введена в память микропроцессорной системы.

Трудности программирования уменьшаются при использовании языка ассемблера. В этом языке вместо кодовых комбинаций применяется мнемоническая форма записи операций, выполняемых в микропроцессоре. Такой мнемонической записью (в виде сочетания букв, взятых из соответствующих английских слов) представляют вид выполняемой операции, операнды и адреса. Каждой команде на языке ассемблера соответствует команда на языке кодовых комбинаций.

Язык ассемблера упрощает запись команд, облегчает поиск в них ошибок, обеспечивает лучший обзор программы и простоту внесения исправлений в программу без специальных приемов, подобных тем, которые описывались выше для исправления написанных на языке кодовых комбинаций программ.

Перед исполнением программа должна быть переведена с языка ассемблера на язык кодовых комбинаций и в таком виде помещена в память микропроцессорной системы. Этот перевод осуществляется на ЭВМ с помощью програм-

мы трансляции, называемой ассемблером. Языком ассемблера можно пользоваться для программирования и в тех случаях, когда отсутствует программа для трансляции (отсутствует ассемблер). Выполнение трансляции в этом случае производится вручную (такая трансляция называется ручным ассемблированием).

Язык ассемблера (так же, как и язык кодовых комбинаций) индивидуален для каждого микропроцессорного комплекта, т. е. каждый микропроцессорный комплект имеет свой язык ассемблера, отличный от языков ассемблера других комплектов.

Следующий уровень языка программирования — язык макроассемблера. В нем предусматривается возможность присвоения имени некоторой последовательности команд, и в любых местах программы, в которых должна быть использована эта последовательность, указывается лишь имя последовательности. Применение языка макроассемблера сокращает запись программы в среднем на 5...20 % и тем самым улучшает ее обзорность. Каждая серия МПК имеет свой индивидуальный язык макроассемблера, как и язык ассемблера, т. е. программа, составленная на этом языке для МПК одной серии, непригодна для использования в микропроцессорах, построенных на комплектах других серий.

Следующий уровень языка программирования — язык высокого уровня. Языки высокого уровня близки к обычному математическому языку, описывающему процесс решения задачи, поэтому они легко усваиваются. Кроме того, они обеспечивают большую компактность программы, при этом сложные вычислительные процессы представляются короткими записями, что улучшает обзор программы и выявление в ней ошибок.

Различают машинно-независимые и машинно-зависимые языки высокого уровня. Первые позволяют вести запись программы независимо от серии микропроцессорно-

го комплекта, используемого для построения микропроцессорного устройства — к таким языкам относятся Бейсик, Фортран, Паскаль и др. Вторые пригодны для определенных серий МК. Для программирования устройств, построенных с использованием комплекта серии КР580, разработан язык высокого уровня PLM-80, относящийся к классу машинно-зависимых языков высокого уровня.

Языки высокого уровня требуют более сложных трансляторов для перевода программы на язык кодовых комбинаций. Следует отметить, что для машинно-независимых языков они сложнее, чем для машинно-зависимых. Кроме того, полученная после трансляции программа занимает больший объем памяти — на 10... 100 % и медленнее исполняется, чем в том случае, когда эта программа составляется непосредственно в кодовых комбинациях. При этом эффективность программ, для составления которых используются машинно-независимые языки, обычно ниже, чем в случае использования машинно-зависимых языков программирования.

Для относительно несложных программ (например, объемом до одной тысячи команд) целесообразно использовать языки низкого уровня: язык кодовых комбинаций, язык ассемблера или язык макроассемблера.

6. 12 Методика и средства проектирования цифровых устройств

Проектирование — разработка технической документации, позволяющей изготовить заданное устройство в заданных условиях.

Стратегия проектирования представляет собой функциональную декомпозицию. Для системы в целом и ее блоков используется концепция «черного ящика». Для

«черного ящика» разрабатывается функциональная спецификация, включающая внешнее описание блока (входы и выходы) и внутреннее описание — функцию или алгоритм работы:

$$F = \Phi (X, t),$$

где X — вектор входных величин; F — вектор выходных величин; t — время.

При декомпозиции функция Φ разбивается на более простые функции Φ_1, \dots, Φ_k , между которыми должны быть установлены определенные связи, соответствующие принятому алгоритму реализации функции $\Phi (X, t)$. В результате разбиения в конечном счете получается структура. Переход от функции к структуре — синтез.

Синтез неоднозначен. Выбор наилучшего варианта осуществляется по результатам анализа, когда проверяется правильность работы и некоторые показатели, характеризующие устройство.

Декомпозиция функций блоков выполняется до тех пор, пока не получатся типовые функции, каждая из которых может быть реализована той или иной микросхемой.

Процесс проектирования — многошаговый и итерационный, с возвратами назад и пересмотром ранее принятых решений.

К этому наглядному описанию процесса проектирования следует добавить лишь, отражая возможности современной элементной базы, что декомпозиция заканчивается при получении типовых функций, соответствующих тем или иным микросхемам или элементам функциональных библиотек программируемых БИС/СБИС. Характер проектирования существенно зависит от вида применяемой элементной базы.

Классификация цифровых ИС по признакам, связанным с методами и; проектирования, приведена на рис. 6.12.

6. Микропроцессорные устройства

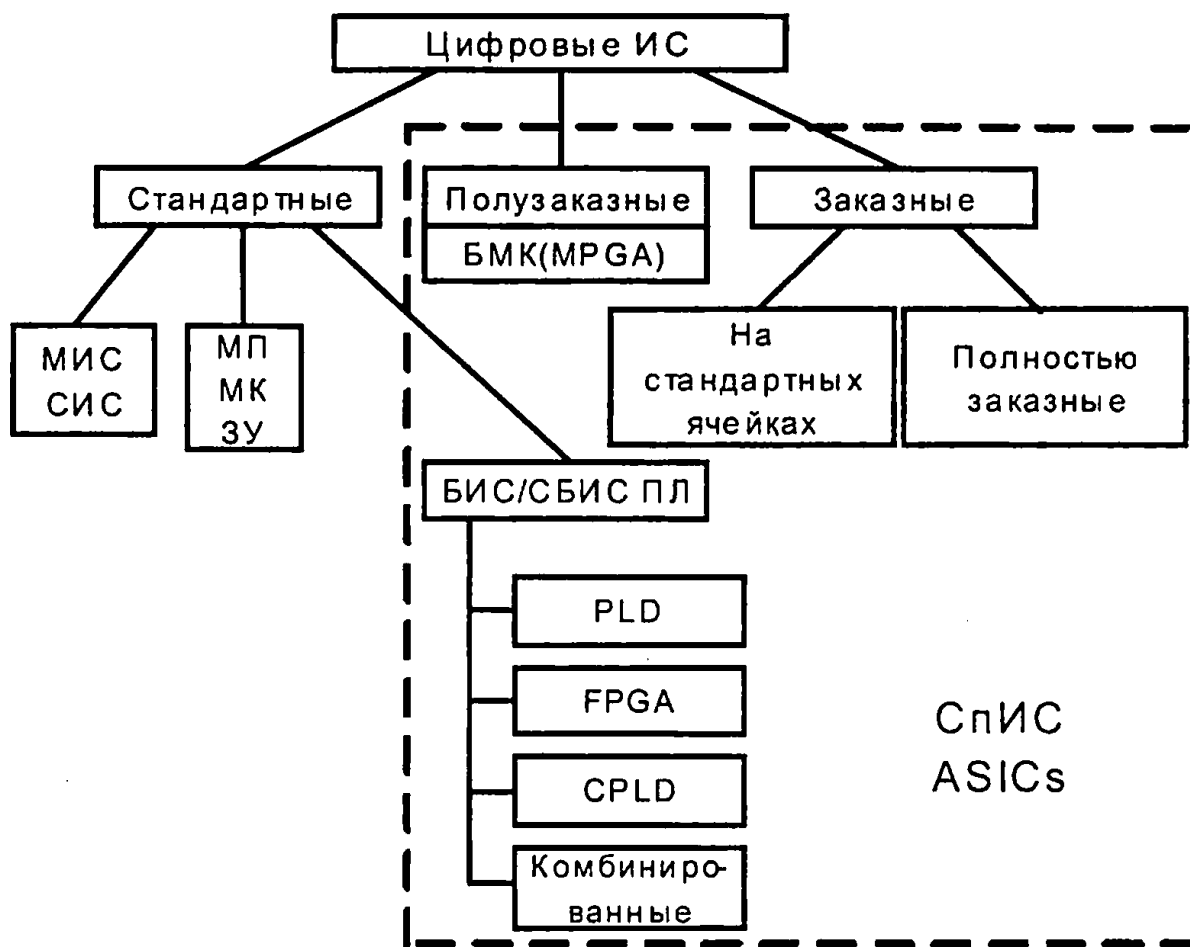


Рис. 6.12. Классификация цифровых ИС по признаку методов проектирования

К стандартным микросхемам отнесены схемы малой и средней степени интеграции МИС и СИС. Эти микросхемы производятся массовыми тиражами и реализуют стандартные элементы и узлы, функционирование которых никак не определяется конкретными потребителями. К стандартным схемам высокого уровня интеграции (БИС и СБИС) относятся микропроцессоры МП, микроконтроллеры МК и запоминающие устройства ЗУ, остающиеся неизменными после изготовления независимо от устройств и систем, в которых они используются. Стандартные ИС имеют обширный рынок, что благоприятно для снижения их стоимости.

К специализированным ИС (СпИС) относятся все, структура которых в отличие от структур стандартных ИС мас-

сового производства каким-либо способом приспособливается к конкретным требованиям того или иного проекта. В английской терминологии СпИС именуется ASICs (Application Specific Integrated Circuits). Среди СпИС различают классы полузаказных и заказных. Разновидностями заказных микросхем являются полностью заказные и спроектированные методом «на стандартных ячейках».

Полностью заказные схемы целиком проектируются по требованиям конкретного заказчика. Проектировщик имеет полную свободу действий, определяя схему по своему усмотрению вплоть до уровня схемных компонентов (отдельных транзисторов и т. п.). Для изготовления схемы требуется разработка всего комплекта фотошаблонов, верификация и отладка всех схемных фрагментов. Такие схемы очень дороги и имеют длительные циклы проектирования.

Схемы на стандартных ячейках отличаются от полностью заказных тем, что их фрагменты берутся из заранее разработанной библиотеки схемных решений. Такие фрагменты уже хорошо отработаны, стоимость и длительность проектирования при этом снижаются. Для производства схем тоже требуется изготовление полного комплекта фотошаблонов, но разработка их облегчена. Потери сравнительно с полностью заказными ИС состоят в том, что проектировщик имеет меньше свободы в построении схемы, т. е. результаты оптимизации ее по критериям площади кристалла, быстродействию и т. д. менее эффективны. Наивысших технических параметров добиваются от полностью заказных схем, однако метод стандартных ячеек популярен, т. к. при небольших потерях в технических характеристиках, с его помощью можно заметно упростить проектирование схемы. Полностью заказные схемы разрабатываются за время, превышающее время разработки методом стандартных ячеек приблизительно в два раза.

К полузаказным схемам относятся базовые матричные кристаллы БМК (в английской терминологии MPGA, Mask Programmable Gate Arrays). В этом случае имеется стандартный полуфабрикат, который доводится до готового изделия с помощью индивидуальных межсоединений. Реализация требует изготовления лишь малого числа фотошаблонов. Стоимость и длительность проектирования в сравнении с полностью заказными схемами сокращаются в 3...4 раза, но результат еще дальше от оптимального, поскольку в матричных БИС (МАБИС) менее рационально используется площадь кристалла — при этом на кристалле остаются неиспользованные элементы и т. п., длины связей не минимальны и быстродействие не максимально.

Сходство методов проектирования на БМК и стандартных ячейках состоит в использовании библиотек функциональных элементов. Различие в том, что для схем, проектируемых по методу стандартных ячеек, библиотечный набор элементов имеет более выраженную топологическую свободу. Например, стандартизируется только высота ячеек, а их длины могут быть различными. При проектировании вначале из набора библиотечных элементов подбираются необходимые функциональные блоки, а затем решаются задачи их размещения и трассировки.

САПР для проектирования по методу стандартных ячеек более сложны, чем для проектирования на основе БМК, которому свойственны более жесткие топологические ограничения. Ограничения вводятся и для метода стандартных ячеек (постоянство высоты ячеек, определенность геометрических размеров и положения шин питания, тактирования и др.), но по мере применения более мощных САПР ограничения ослабляются.

Длительность изготовления БИС/СБИС методом стандартных ячеек превышает этот же показатель для МАБИС на основе БМК в 1,3...1,8 раз.

Особое место в классификации занимают БИС/СБИС ПЛ. С одной стороны, они относятся к СпИС, т. к. в конечном счете приспособляются к требованиям конкретного проекта. В то же время этот процесс (конфигурация схемы) не затрагивает изготовителя, для которого схемы являются стандартным продуктом со всеми вытекающими из этого выгодами.

Все типы СпИС имеют свои области применения. Каждому типу свойственно определенное соотношение таких параметров как сложность (достижимый уровень интеграции), быстродействие, стоимость. На выбор типа СпИС для реализации проекта влияет совокупность свойств. Основные соображения можно пояснить с позиций экономики, обратившись к формуле стоимости ИС, изготавливаемой уже освоенным технологическим процессом:

$$C_{ис} = C_{изг} + C_{пр}/N$$

где $C_{изг}$ — стоимость изготовления ИС — стоимость кристалла и других материалов, стоимость технологических операций по изготовлению ИС, контрольных испытаний. Затраты на изготовление относятся к каждой ИС, т. е. повторяются столько раз, сколько ИС будет произведено;

$C_{пр}$ — стоимость проектирования ИС, т. е. однократные затраты для данного типа ИС;

N — объем производства (тиражность), т. е. число ИС, которое будет произведено.

Стоимость проектирования БИС/СБИС велика и может достигать сотен миллионов долларов. Для дорогостоящих вариантов проектирования БИС/СБИС производство становится рентабельным только при большом объеме их продаж.

Затраты $C_{пр}$ и $C_{изг}$ — находятся во взаимосвязи. Рост затрат на проектирование, как правило, ведет к снижению $C_{изг}$, поскольку чем совершеннее проект, тем рациональнее используется площадь кристалла и другие его

ресурсы. Отсюда видно, что выигрыш по экономичности могут получать те или иные типы СпИС в зависимости от тиражности их производства N и сложности.

Применительно к микросхемам программируемой логики справедливы следующие положения. Простые устройства со сложностью в сотни эквивалентных вентиляей целесообразно реализовывать на PLD (PAL, GAL, PLA).

При росте сложности проекта естественен переход к FPGA и CPLD, если тиражность ИС сравнительно невелика. Рост тиражности (приблизительно свыше десятков тысяч) ведет к преимуществам реализаций на БМК, т. к. стоимость изготовления небольшого числа шаблонов для создания межсоединений разложится на большое число микросхем, а стоимость изготовления каждой ИС уменьшится благодаря исключению из схемы схем программируемых связей и средств их программирования.

При еще большей тиражности выгодным оказывается метод стандартных ячеек, позволяющий дополнительно улучшить параметры схемы, плотнее разместить ее элементы на кристалле, т. е. уменьшить $C_{изг}$ и улучшить быстродействие. При этом слагаемое $C_{пр}/N$ в формуле стоимости ИС не окажется слишком большим благодаря большой величине N , хотя необходимость проектировать весь комплект шаблонов для технологических процессов приводит к большим затратам $C_{пр}$.

Полностью заказное проектирование для СпИС не характерно. Оно стоит настолько дорого, что применяется практически только для создания стандартных БИС/СБИС массового производства. Например, проектирование первого 32-разрядного микропроцессора обошлось в свое время в 140 млн долларов, а ЗУ емкостью в 1 Мбит — в 395 млн долларов.

Диаграмма областей целесообразного применения разных типов СпИС в зависимости от их сложности и тиражности, приведена на рис. 6.13.

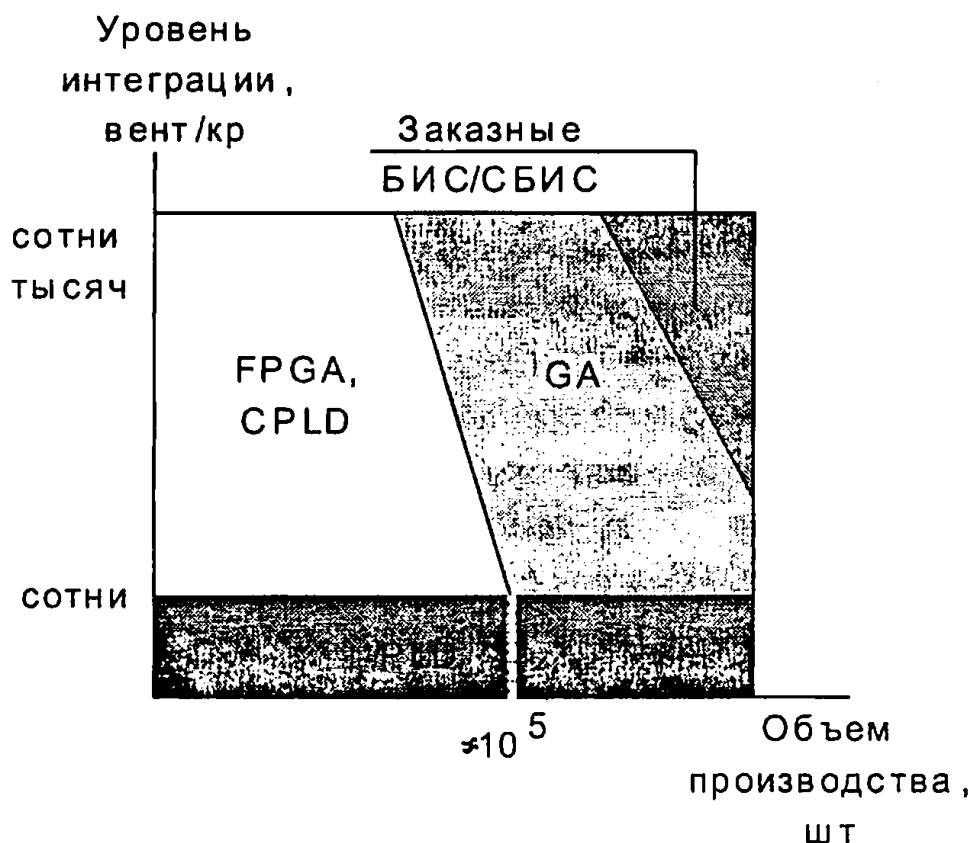


Рис. 6.13. Диаграмма областей целесообразного применения различных типов специализированных БИС/СБИС

Интересно отметить, что ведущая компьютерная фирма IBM использует методологию проектирования смешанного типа БМК/СЯ (Gate-Array/Standard Cell Intermix), размещая в одной СБИС области, выполненные по методу стандартных ячеек СЯ и по методу БМК. Более плотные и быстродействующие схемы типа СЯ используются в критических трактах обработки сигналов, остальная площадь занимает транзисторами БМК.

Проектирование стандартных ИС массового производства, как и проектирование заказными методами вообще, — удел крупных специализированных фирм. На долю системотехников приходится главным образом другие разработки: цифровых устройств малой сложности на МИС и СИС, микропроцессорных систем для целей управления техни-

ческими объектами и технологическими процессами, малотиражной аппаратуры либо прототипов систем на основе ИС программируемой логики.

Проектирование на основе МИС, СИС— наиболее традиционный процесс, в котором используются как эвристические подходы, так и формализованные методики. Проектировщик задает структуру устройства на базе своих знаний, идей и освоения опыта предшественников, а при определении функций отдельных блоков пользуется и формальными методами. Требуется знание типовых функциональных узлов, их свойств и параметров.

Микропроцессорная система создается в результате разработки комплекса программно-аппаратных средств. Разработка аппаратной части сводится к компоновке системы из типовых модулей: центрального процессорного элемента, различных видов памяти, адаптеров, контроллеров и внешних устройств.

Львиной долей инженерных разработок аппаратуры в условиях современной России по-видимому явится использование программируемой логики для создания требуемых устройств и/или их отладки. Этому вопросу следует уделить дополнительное внимание.

Проектирование на основе схем программируемой логики высокой сложности выполняется только с помощью систем автоматизированного проектирования САПР. Укрупненная структура алгоритмов проектирования показана на рис. 6.14.

Проектирование на концептуальном уровне возлагается на проектировщика и слабо связано с автоматизацией. На этом уровне по существу определяется требуемое функционирование устройства, множества входных и выходных сигналов, их характер и взаимосвязь, разбиение проекта на части и т. д. Результаты концептуального синтеза вводятся в САПР, которая производит компиляцию про-

екта, т. е. синтезирует устройство в базе библиотеки своих моделей.

Полученный проект требует тщательной проверки, поэтому за этапом синтеза следует этап анализа, проводимого моделированием и теоретической верификацией. Моделирование имеет несколько уровней с разной степенью отображения свойств реального объекта. Оно может быть функциональным, проверяющим правильность логической структуры устройства, временным, учитывающим задержки сигналов в схемах устройства без учета окончательной топологии трассировки, и т. д. В результа-

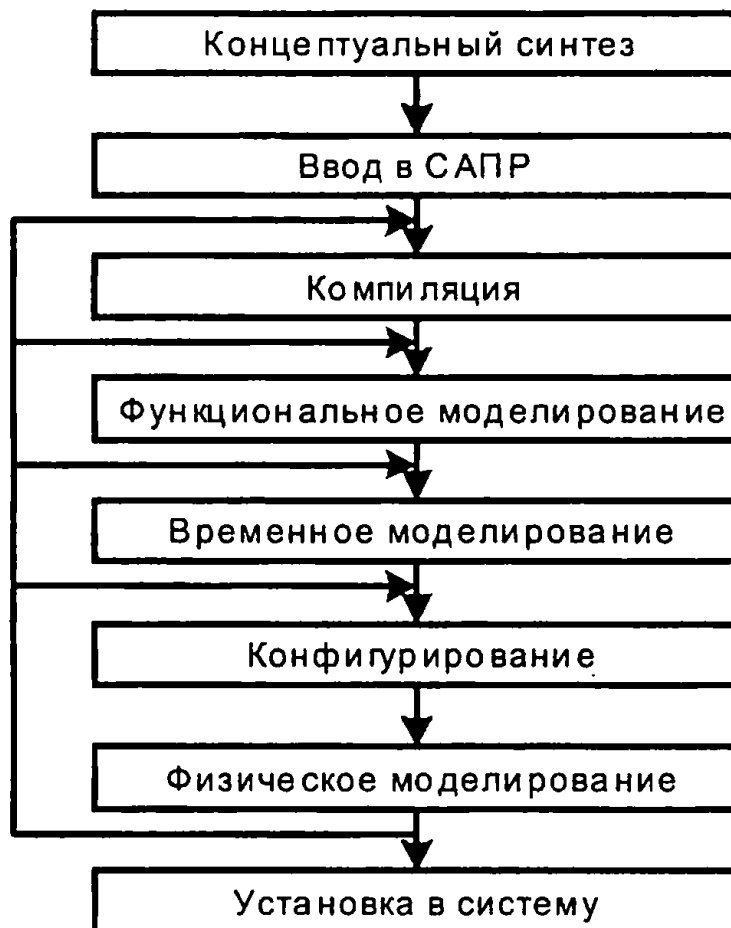


Рис. 6.14. Укрупненная структура алгоритмов автоматизированного проектирования цифровых устройств на основе микросхем программируемой логики

6. Микропроцессорные устройства

те моделирования могут выявиться ошибки, требующие исправления, что придает процессу проектирования итеративный характер с возвратами к прежним этапам и введением в проект нужных коррекций.

Далее производится конфигурирование микросхемы программируемой логики, после чего возможна реальная проверка работы устройства — физическое моделирование проекта. При успешном завершении физического моделирования устройство готово к установке в систему.

Контрольные вопросы

1. Дайте определение микропроцессорного устройства.
2. Поясните структур и функционирование микропроцессорной системы.
3. В чем отличие микропроцессора от микроконтроллера?
4. Поясните принципы управление памятью и внешними устройствами микропроцессорного устройства.
5. Поясните структуру модуля памяти.
6. Какие виды обмена в микропроцессорных системах вы знаете?
7. Какова последовательность действий в МП?
8. Для чего используется система прерываний?
9. Что такое последовательный ввод-вывод?
10. Система команд микропроцессора.
11. Поясните последовательность программирования работы МП.
12. Поясните методику и средства проектирования цифровых устройств.

ДОМАШНЕЕ ЗАДАНИЕ ПО ДИСЦИПЛИНЕ «ЦИФРОВЫЕ УСТРОЙСТВА И МИКРОПРОЦЕССОРЫ»

Введение

Главной целью домашнего задания является закрепление теоретических знаний по теме «Основы теории конечных автоматов», приобретение практических навыков расчета, анализа и синтеза простейших комбинационных схем на логических элементах и проведения экспериментальных исследований по определению логических функций, устройств на интегральных микросхемах и устройств, построенных на ПЭВМ в системе Electronics Workbench.

На выполнение задания отводится 10 часов самостоятельной работы.

По окончании выполнения домашнего задания представляется пояснительная записка в сброшюрованном виде на листах формата А1 (297 × 210 мм). На титульном листе должны быть указаны наименование кафедры; наименование дисциплины; заголовок домашнего задания; номер варианта, фамилия и инициалы студента; фамилия и инициалы преподавателя, дата и место выполнения.

В тексте пояснительной записки приводится содержание задания, исходные данные и условия, вычерчиваются необходимые схемы. Все основные положения, приводи-

мые в расчетах, должны сопровождаться обоснованием. При записи цифровых данных и результатов измерений необходимо указывать единицы измерений. Все записи, таблицы, схемы должны выполняться с соблюдением требований ЕСКД. При выполнении экспериментальных исследований необходимо указывать используемое лабораторное оборудование, макеты, измерительные приборы и их характеристики. К пояснительной записке прикладываются программы и результаты расчета на ПЭВМ, вычерчиваются графики и осциллограммы. В конце пояснительной записки ставится личная подпись студента, выполнявшего домашнее задание.

Варианты задач домашнего задания для каждого обучаемого приведены в приложении и определяются порядковым номером в журнале.

1. Содержание домашнего задания

Домашнее задание предполагает последовательное решение следующих задач:

1. По принципиальной электрической схеме провести анализ и установить функциональную зависимость в виде формул алгебры логики и таблицы истинности.

2. По заданной таблице истинности составить совершенную дизъюнктивную нормальную форму (СДНФ) и совершенную конъюнктивную нормальную форму (СКНФ).

3. Минимизировать логическую функцию любым известным методом.

4. Синтезировать комбинационное устройство в заданном базисе И-НЕ, ИЛИ-НЕ.

5. Синтезировать комбинационное устройство в заданном базисе двухвходовых элементов 2И-НЕ, 2ИЛИ-НЕ.

6. Экспериментально проверить результаты расчета и работу синтезированного устройства на лабораторном макете на микросхемах 555 серии.

7. Экспериментально проверить работу синтезированного устройства на ПЭВМ в системе Electronics Workbench.

2. Методические указания по выполнению задания. Основные теоретические положения

Интегральные логические микросхемы имеют широкий набор различных логических элементов, функциональных узлов цифровых устройств. Они отличаются высокой надежностью, малыми габаритами и массой, малым потреблением энергии. Реальные цифровые комбинационные устройства выполняются с использованием интегральных микросхем.

Дискретный автомат — комбинационное устройство без памяти можно представить в виде n, m — многополюсника (рис. 1).

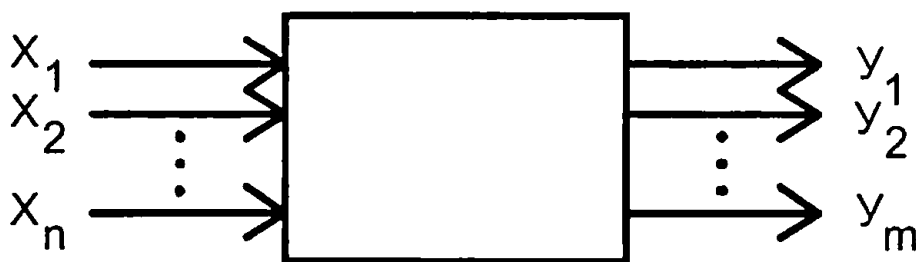


Рис. 1

Условия функционирования дискретного автомата можно представить в виде системы логических функций, называемых функциями выходов:

$$\begin{aligned}y_1 &= f_1(x_1, x_2, \dots, x_n); \\y_2 &= f_2(x_1, x_2, \dots, x_n); \\&\dots \\y_m &= f_m(x_1, x_2, \dots, x_n).\end{aligned}$$

Задача анализа условия функционирования сводится к определению всех функций выхода автомата по известной принципиальной электрической схеме реального устройства. Результат анализа представляется в виде функций алгебры логики и таблицы истинности. Другими словами, необходимо установить функциональную зависимость между входными переменными дискретного автомата и значениями выходных дискретных сигналов в виде формул алгебры логики и таблицы истинности.

Анализ дискретного автомата целесообразно проводить в следующей последовательности:

1. На функциональной схеме дискретного автомата выходы всех логических элементов (ЛЭ) обозначить символами промежуточных переменных.

2. Определить и записать функции непосредственных связей, устанавливающие зависимости выхода каждого ЛЭ от его входов.

3. Путем подстановок исключить все внутренние переменные. Получить зависимости выходов комбинационного устройства от его входов.

4. Составить таблицу истинности.

После составления таблицы истинности целесообразно перейти к совершенной дизъюнктивной нормальной форме (СДНФ) и к совершенной конъюнктивной нормальной форме (СКНФ).

Дизъюнктивной нормальной формой (ДНФ) называется такая форма представления функции, при которой логическое выражение строится в виде дизъюнкции (логической суммы) ряда членов, каждый из которых является

простой конъюнкцией (логическим произведением) аргументов или их инверсий. Каждый аргумент или его инверсия в конъюнкцию входит один раз. Если в каждом члене ДНФ представлены все аргументы (или их инверсии) функции, то такая форма называется совершенной ДНФ (СДНФ).

Совершенная дизъюнктивная нормальная форма из таблицы истинности получается по следующему простому алгоритму. Она построена из суммы конъюнкций, которые составлены в соответствии только с теми комбинациями значений переменных, на которых функция принимает значение единицы. В конъюнкцию собираются в качестве сомножителей без знака отрицания все аргументы, значения которых в наборе равны 1, и со знаком отрицания (инверсии) те аргументы, значения которых в наборе равны 0. Число конъюнкций в совершенной дизъюнктивной нормальной форме равно числу единичных значений функции на всех возможных комбинациях значений ее аргументов (переменных). Так как члены СДНФ связаны операцией дизъюнкции, то при обращении в единицу одного из членов функция оказывается равной единице. Любая функция имеет единственную СДНФ.

Конъюнктивной нормальной формой (КНФ) называется форма представления функции в виде конъюнкции (логического произведения) ряда членов, каждый из которых является простой дизъюнкцией аргументов или их инверсий. Каждый аргумент или его инверсия в дизъюнкцию входит один раз. Если в каждом члене КНФ представлены все аргументы (или их инверсии), то такая форма называется совершенной конъюнктивной нормальной формой (СКНФ).

Совершенная конъюнктивная нормальная форма из таблицы истинности получается по следующему простому алгоритму. Она построена из логического произведения

дизъюнкций, которые составлены в соответствии только с теми комбинациями значений переменных, на которых функция принимает нулевое значение. В дизъюнкцию собираются в качестве слагаемых без знака отрицания все аргументы, значения которых в наборе равны 0, и со знаком отрицания (инверсии) те аргументы, значения которых в наборе равны 1.

Выражение для СКНФ содержит столько членов, сколько нулей имеется среди значений функции в таблице истинности. Таким образом, каждому набору значений аргументов, на котором функция равна нулю, соответствует определенный член СКНФ, принимающий на этом наборе значений нуль. Так как члены СКНФ связаны операцией конъюнкции, то при обращении в нуль одного из членов функция оказывается равной нулю. Любая функция имеет единственную СКНФ.

Структурная схема логического устройства может быть построена непосредственно по канонической форме (СДНФ или СКНФ) реализуемой функции. Но получающиеся схемы чаще всего неоправданно сложные, требуют использования большого числа логических элементов, имеют низкие экономичность и надежность. Представление функции в виде СДНФ или СКНФ может быть сокращено. Методы упрощения функции называются методами минимизации функций.

Для минимизации алгебраических выражений используются известные соотношения булевой алгебры.

$x \vee 0 = x$	$x \cdot 0 = 0$
$x \vee 1 = 1$	$x \cdot 1 = x$
$x \vee \bar{x} = 1$	$x \cdot x = x$
$x \vee x = x$	$x \cdot \bar{x} = 0$
$x \vee y = y \vee x$	$x \cdot y = y \cdot x$
$x \vee (y \vee z) = (x \vee y) \vee z$	$(x \cdot y) \cdot z = x \cdot (y \cdot z)$
$x (y \vee z) = xy \vee xz$	$x \vee (y \cdot z) = (x \vee y)(x \vee z)$

$$\overline{(x \vee y)} = \bar{x} \cdot \bar{y}$$

$$(x \vee y) \cdot y = y$$

$$\overline{x \cdot y} = \bar{x} \vee \bar{y}$$

$$(xy) \vee y = y.$$

Из этих основных соотношений следуют, например, такие полезные соотношения, как $x \vee \bar{x} \cdot y = x \vee y$, $\bar{x}(x \vee y) = \bar{x}y$, $x y (x \vee y) = xy$.

Из дискретного анализа известно, что существуют такие формулы представления функции, которые дальше уже нельзя упростить. Они называются сокращенными. Известно также, что не всякая сокращенная форма является минимальной. Однако минимальную по числу переменных следует искать среди сокращенных форм. Переход к сокращенной форме основан на последовательном применении двух операций: операции склеивания и операции поглощения.

Для выполнения операции склеивания в выражении функции выявляются пары членов вида

$$wx \text{ и } w\bar{x},$$

различающиеся лишь тем, что один из аргументов в одном из членов представлен без инверсии, а в другом — с инверсией. Затем проводится склеивание таких пар членов:

$$wx \vee w\bar{x} = w(x \vee \bar{x}) = w.$$

Результаты склеивания w вводятся в выражение функции.

Операция поглощения основана на равенстве

$$w \vee w \cdot z = w \cdot (1 \vee z) = w.$$

Член w поглощает член $w \cdot z$. При проведении этой операции из логического выражения вычеркиваются все члены, поглощаемые членами, которые введены в результате операции склеивания. Операции склеивания и поглощения выполняются последовательно до тех пор, пока это возможно.

Для получения минимальной конъюнктивной нормальной формы логической функции имеются следующие особенности:

- ♦ исходной формой для минимизации логического выражения является СКНФ;
- ♦ пары склеиваемых членов имеют вид

$$w \vee x \text{ è } w \vee \bar{x},$$

- ♦ операция поглощения проводится в соответствии с выражением

$$z(z \vee y) = z \vee z \cdot y = z(1 \vee y) = z.$$

Сокращенная форма может содержать лишние члены, исключение которых из выражения не повлияет на значение функции. Дальнейшее упрощение логического выражения достигается исключением из выражения лишних членов. В этом заключается содержание минимизации.

Целью минимизации логической функции является уменьшение стоимости ее технической реализации. Критерий минимизации далеко не однозначен и зависит как от типа решаемой задачи, так и от технологии. С развитием микроэлектроники критерии минимизации претерпели существенные изменения. Стоимость БИС и СБИС определяется в основном площадью схемы на кристалле и мало зависит от числа входящих в нее транзисторов и других элементов. На первое место при проектировании самих ИС выдвигается требование регулярности внутренней структуры и минимизации числа внешних соединений даже за счет увеличения числа элементов и внутренних соединений. Эти требования диктуются требованиями повышения надежности электронных средств.

Однако при проектировании аппаратуры с применением БИС и СБИС, требование уменьшения числа корпусов ИС и их межсоединений по-прежнему остается важным.

Минимизацию логической функции можно проводить любым известным методом, например, методами Квайна — Мак-Класки, методом Петрика, с использованием карт Вейча, карт Карно. Методы минимизации изучаются в теоретическом курсе.

В результате минимизации получается логическая функция, для технической реализации которой необходимо использовать разнообразные логические элементы: И, ИЛИ, НЕ. В то же время с точки зрения обеспечения регулярной структуры устройство требуется строить на однотипных элементах.

Программируемые логические СБИС и полужаказные СБИС на основе базовых матричных кристаллах содержат отдельные некоммутированные между собой элементарные логические элементы 2И–НЕ либо 2ИЛИ–НЕ, которые могут быть соединены между собой в соответствии с заданным алгоритмом обработки логических сигналов.

Для синтеза функции в базисе ИЛИ–НЕ получают нормальную минимальную конъюнктивную форму, дважды ее инвертируют, далее проводят преобразование по формуле де Моргана.

$$(x_1 \vee x_2)(x_1 \vee x_3) = \overline{\overline{(x_1 \vee x_2)(x_1 \vee x_3)}} = \overline{\overline{(x_1 \vee x_2)} \vee \overline{\overline{(x_1 \vee x_3)}}} = (x_1 \downarrow x_2) \downarrow (x_1 \downarrow x_3)$$

При синтезе в базисе И–НЕ должна быть получена минимальная нормальная дизъюнктивная форма. Преобразование проводят по другой формуле де Моргана в виде

$$x_1 x_2 \vee x_1 x_3 = \overline{\overline{x_1 x_2} \cdot \overline{\overline{x_1 x_3}}} = \overline{(\overline{x_1} \overline{x_2})(\overline{x_1} \overline{x_3})} = (\overline{\overline{\overline{x_1} \overline{x_2}}}) | (\overline{\overline{\overline{\overline{x_1} \overline{x_3}}}})$$

Приведем формы записи логических операций:

2И–НЕ (штрих Шеффера) $\overline{\overline{x_1} \overline{x_2}} = \overline{x_1 x_2} = \overline{x_1} \vee \overline{x_2}$;

2ИЛИ–НЕ (стрелка Пирса) $x_1 \downarrow x_2 = \overline{x_1 \vee x_2} = \overline{x_1} \cdot \overline{x_2}$.

Обычно задается не только тип логического элемента, но и число его входов. При этом реальное число входов заданных логических элементов не соответствует числу переменных в полученных после соответствующего преобразования выражениях. Рассмотрим ситуацию, когда число входов логического элемента меньше числа переменных, входящих в реализуемую с их помощью функцию алгеб-

ры логики. На рис. 2 показан способ реализации трехбуквенного члена логического выражения функции на различных типах элементов с двумя входами 2ИЛИ-НЕ (рис. 2, а), 2И-НЕ (рис. 2, б).

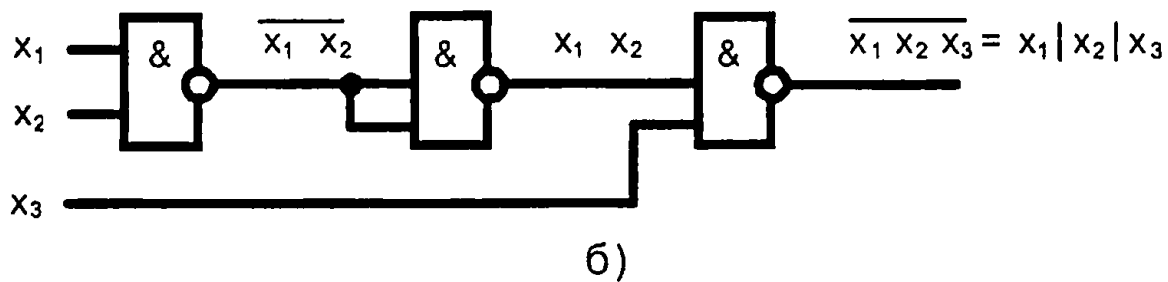
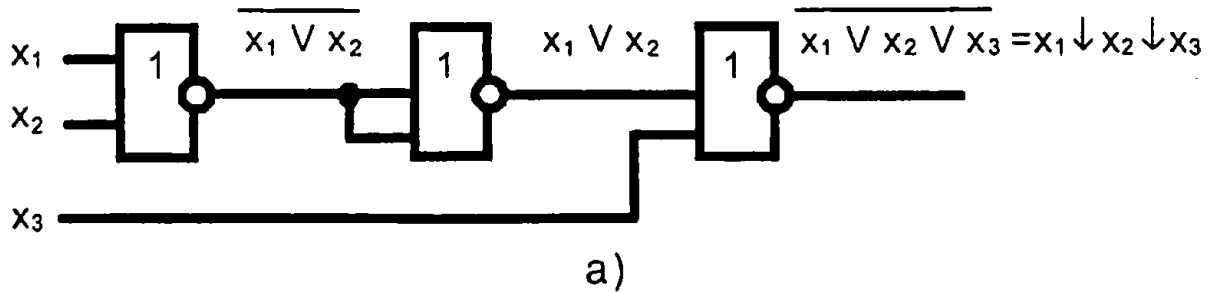


Рис. 2

Для технической реализации логической функции в этих случаях следует провести соответствующее преобразование групп членов на основе тождественных соотношений

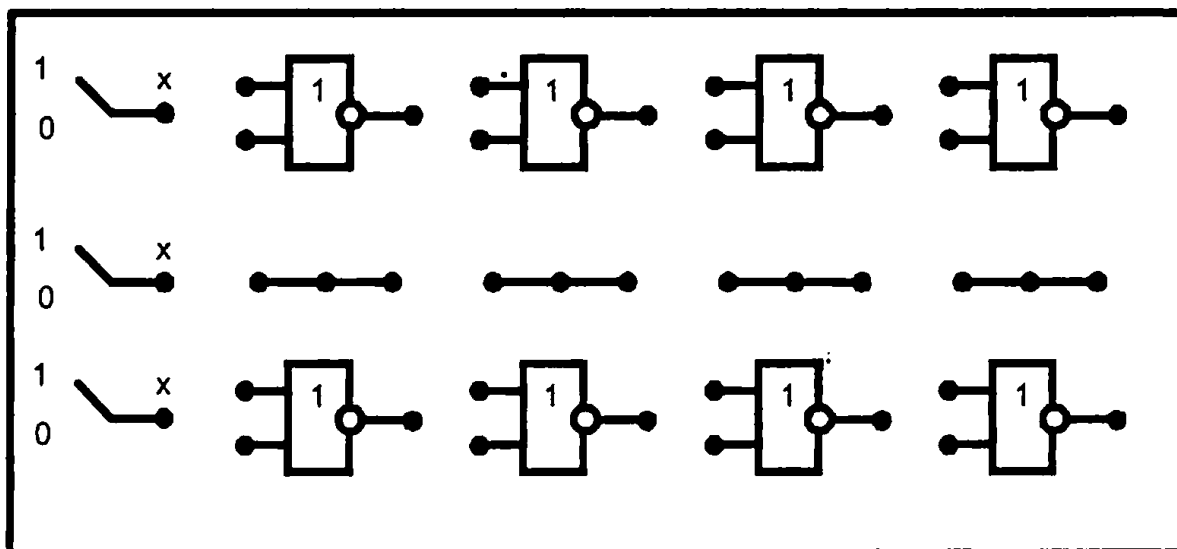
$$a|b|c = a|(\overline{b|c})$$

$$a \downarrow b \downarrow c = a \downarrow (\overline{b \downarrow c})$$

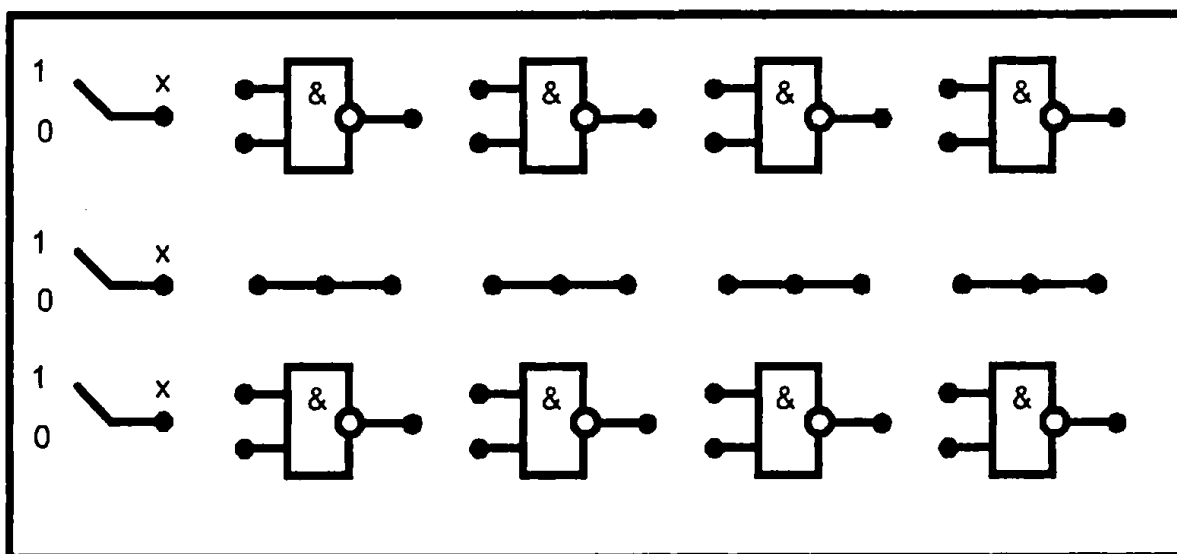
Для экспериментальной проверки результатов расчета необходимо собрать схему на лабораторных макетах и, подавая на входы варианты комбинаций, входных сигналов x_1, x_2, x_3 , определить значения выходной переменной.

Схема лабораторного макета для синтеза схемы в базе ИЛИ-НЕ показана на рис. 3, а. Она построена на

микросхемах К555ЛЕ1. Лабораторный макет для синтеза комбинационных устройств в базе 2И–НЕ (рис. 3, б) выполнен на микросхемах К555ЛА3.



а)



б)

Рис. 3

Условное графическое обозначение микросхем К555ЛА3 и К555ЛЕ1 приведены на рис. 4. а, б.

Питание микросхем 555 серии — стандартное для микросхем ТТЛ, ТТЛШ и составляет 5В.

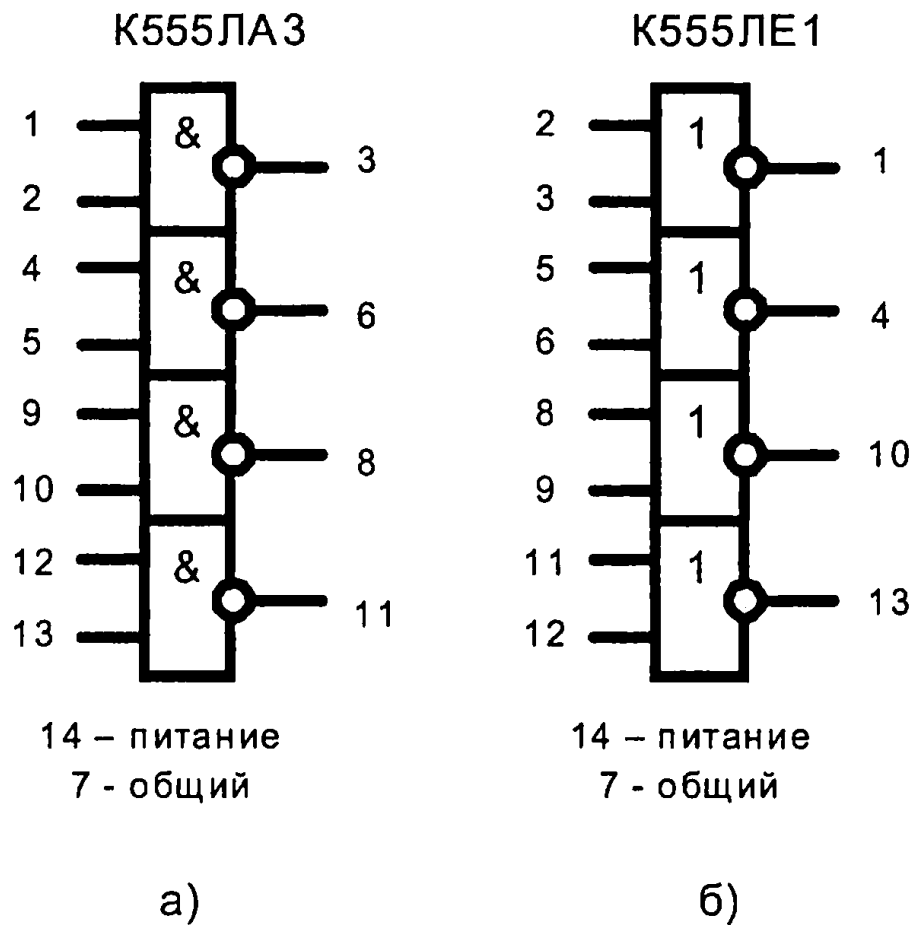


Рис. 4

Моделирование работы устройства на ЭВМ в системе Electronics Workbench можно проводить на всех этапах расчета и выполнения домашнего задания. Для сборки необходимо использовать элементы НЕ, И, ИЛИ, И-НЕ, ИЛИ-НЕ (рис. 5).

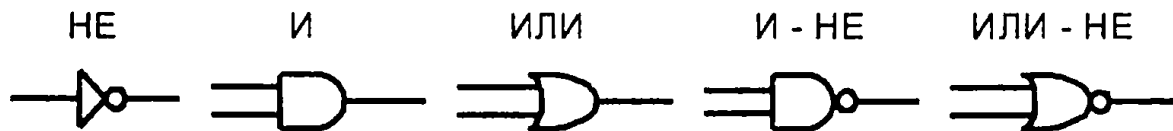


Рис. 5

К входам схем подключить генератор слов, и к выходу логический пробник. Генератор слов запрограммирован на формирование последовательности из восьми слов, соот-

ветствующих числам от 0 до 7: 0 = 000; 1 = 001; 2 = 010; 3 = 011; 4 = 100; 5 = 101; 6 = 110; 7 = 111. В пошаговом режиме, последовательно подавая на вход полученной схемы все слова последовательности, определить при помощи логического пробника уровень сигналов на выходе схемы.

3. Пример выполнения домашнего задания

Задание. Провести анализ комбинационной схемы, минимизировать логическую схему и синтезировать комбинационное устройство в заданных базисах логических элементов 2И-НЕ, 2ИЛИ-НЕ (рис. 6).

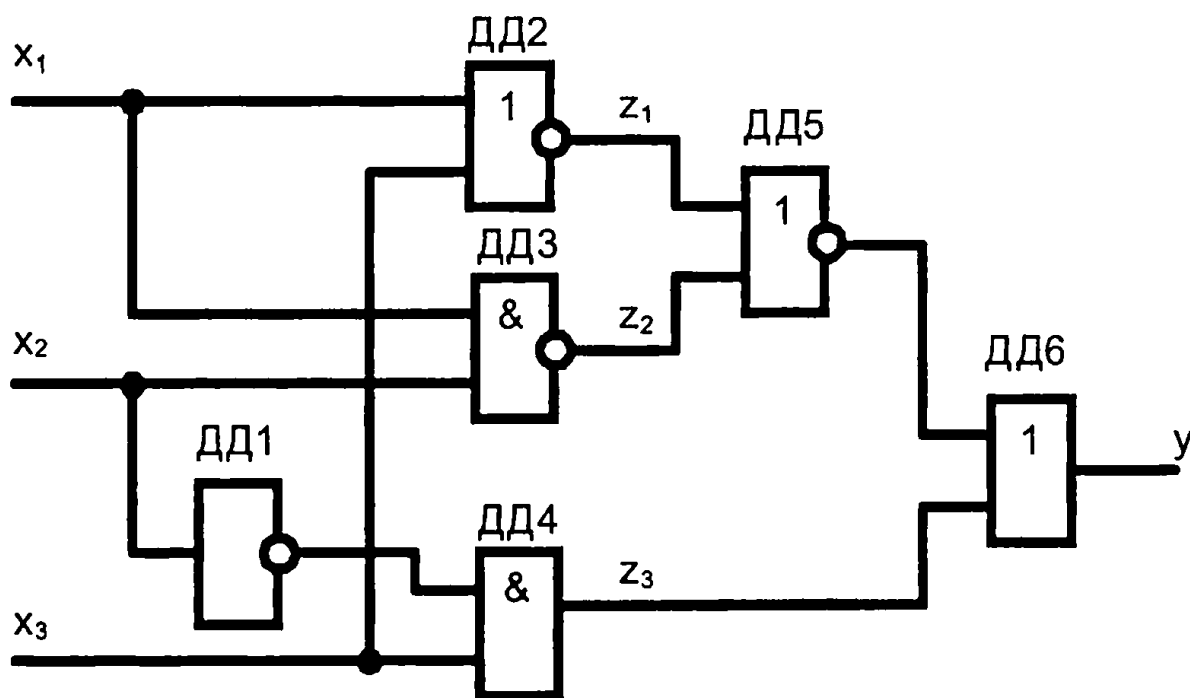


Рис. 6

Исходные данные:

ДД1-НЕ; ДД2 — ИЛИ-НЕ; ДД3 — И-НЕ; ДД4 — И;
 ДД5 — ИЛИ-НЕ; ДД6 — ИЛИ.

Приложение

Решение.

1. Установим функциональную зависимость.

Обозначим промежуточные переменные.

$$\begin{aligned} Z_1 = \overline{x_1 \vee x_3} \quad Z_2 = \overline{x_1 x_2} \quad Z_3 = \overline{x_2 x_3} \quad Z_4 = \overline{\overline{Z_1 \vee Z_2}} \\ y = Z_3 \vee Z_4. \end{aligned}$$

Исключим внутренние промежуточные переменные.

$$y = Z_3 \vee Z_4 = (\overline{x_2 x_3}) \vee (\overline{\overline{Z_1 \vee Z_2}}) = (\overline{x_2 x_3}) \vee (\overline{\overline{(x_1 \vee x_3) \vee (x_1 x_2)}}).$$

2. Составим таблицу истинности.

x_1	0	1	0	1	0	1	0	1
x_2	0	0	1	1	0	0	1	1
x_3	0	0	0	0	1	1	1	1
y	0	0	0	1	1	1	0	1

Совершенная дизъюнктивная нормальная форма

$$y = \overline{x_1 x_2 x_3} \vee \overline{\overline{x_1 x_2 x_3}} \vee \overline{x_1 x_2 x_3} \vee \overline{x_1 x_2 x_3}.$$

Каждому члену СДНФ соответствует единичное значение функции.

2. Проведем склеивание и поглощение, получим сокращенную форму.

Склеиваются следующие пары членов:

$$1\text{-й и } 4\text{-й: } x_1 \overline{x_2 x_3} \vee x_1 x_2 x_3 = x_1 x_2 (\overline{x_3} \vee x_3) = x_1 x_2;$$

$$2\text{-й и } 3\text{-й: } \overline{\overline{x_1 x_2 x_3}} \vee \overline{x_1 x_2 x_3} = (\overline{x_1} \vee x_1) \overline{x_2 x_3} = \overline{x_2 x_3};$$

$$3\text{-й и } 4\text{-й: } x_1 \overline{x_2 x_3} \vee x_1 x_2 x_3 = (x_2 \vee \overline{x_2}) x_1 x_3 = x_1 x_3.$$

Результат склеивания:

$$y = x_1 x_2 \vee \overline{x_2 x_3} \vee x_1 x_3.$$

5. Сокращенная форма содержит лишний член. Для перехода к минимальной форме строим импликантную таблицу.

Цифровые устройства и микропроцессоры

	$x_1 x_2 \bar{x}_3$	$\bar{x}_1 x_2 x_3$	$x_1 \bar{x}_2 x_3$	$\bar{x}_1 \bar{x}_2 x_3$
$x_1 x_2$	*			*
$\bar{x}_2 x_3$		*	*	
$x_1 x_3$			*	*

Импlicants $x_1 x_2$, $\bar{x}_2 x_3$ составляют ядро, поэтому не могут быть исключены.

Исключаем из сокращенной формы импlicantу $x_1 x_3$.

6. Получаем минимальную дизъюнктивную форму

$$y = x_1 x_2 \vee \bar{x}_2 x_3.$$

7. Для проверки полученного результата проведем минимизацию другим методом — с использованием карт Карно.

$x_3 \backslash x_1 x_2$	00	01	11	10
0	0	0	1	0
1	1	0	1	1

I область
II область

Области I соответствует набор 11* или член $\bar{0}_1 \bar{0}_2$.

Области II соответствует набор *01 член $\bar{x}_2 x_3$.

Минимальная дизъюнктивная форма представляет собой дизъюнкцию двух конъюнкций, соответствующих двум областям:

$$y = x_1 x_2 \vee \bar{x}_2 x_3.$$

Минимальные ДНФ, полученные различными методами, совпадают.

8. Построим структурную схему устройства по полученной минимальной ДНФ (рис. 7).

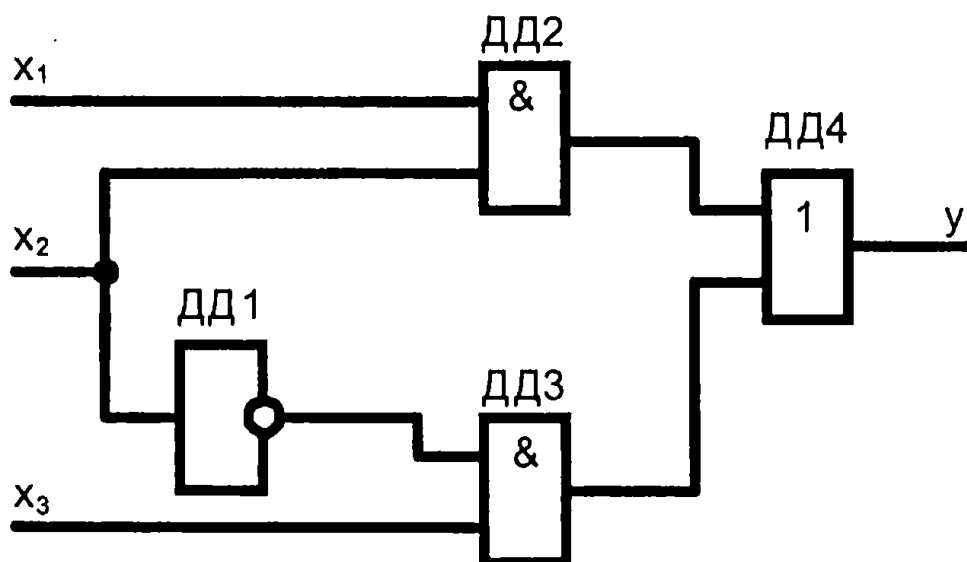


Рис. 7

Структурная схема содержит всего 4 элемента вместо 6 в первоначальной схеме. Значительно сокращено число межэлементных соединений. Однако в схеме использованы 3 различных элемента НЕ (ДД1), И (ДД2, ДД3), ИЛИ (ДД4).

9. Синтезируем схему в базисе 2И-НЕ.

$$y = x_1x_2 \vee \overline{x_2x_3} = x_1x_2 \vee \overline{\overline{\overline{x_2x_3}}} = (x_1x_2)(\overline{\overline{\overline{x_2x_3}}}) = (\overline{\overline{\overline{x_1}}}|_{\overline{\overline{\overline{x_2}}}})|(\overline{\overline{\overline{x_2}}}|_{\overline{\overline{\overline{x_3}}}}).$$

10. Построим структурную схему устройства в базисе 2И-НЕ. (рис. 8)

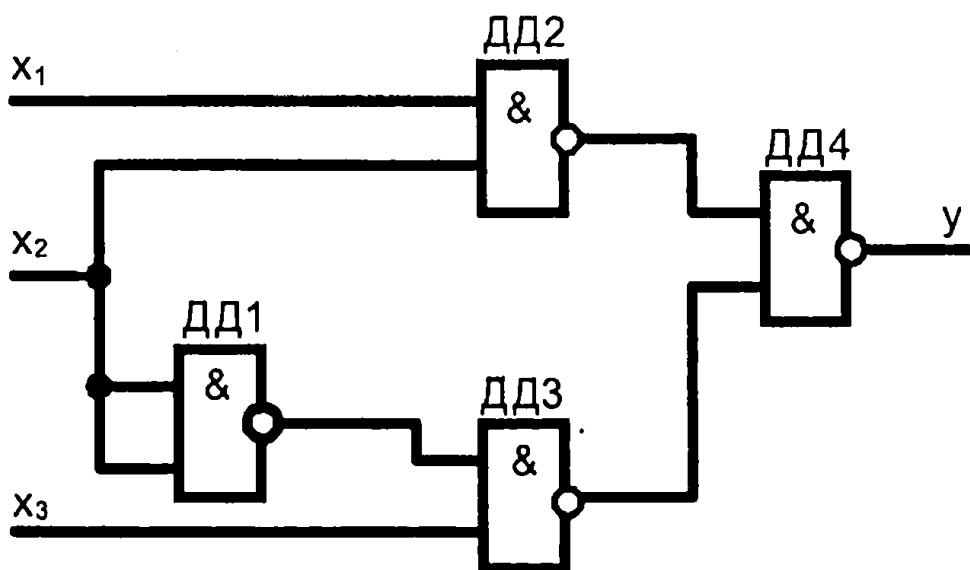


Рис. 8

Для построения схемы из 4 элементов 2И-НЕ достаточно взять одну микросхему типа К555ЛА3.

Принципиальная электрическая схема выглядит следующим образом (рис. 9)

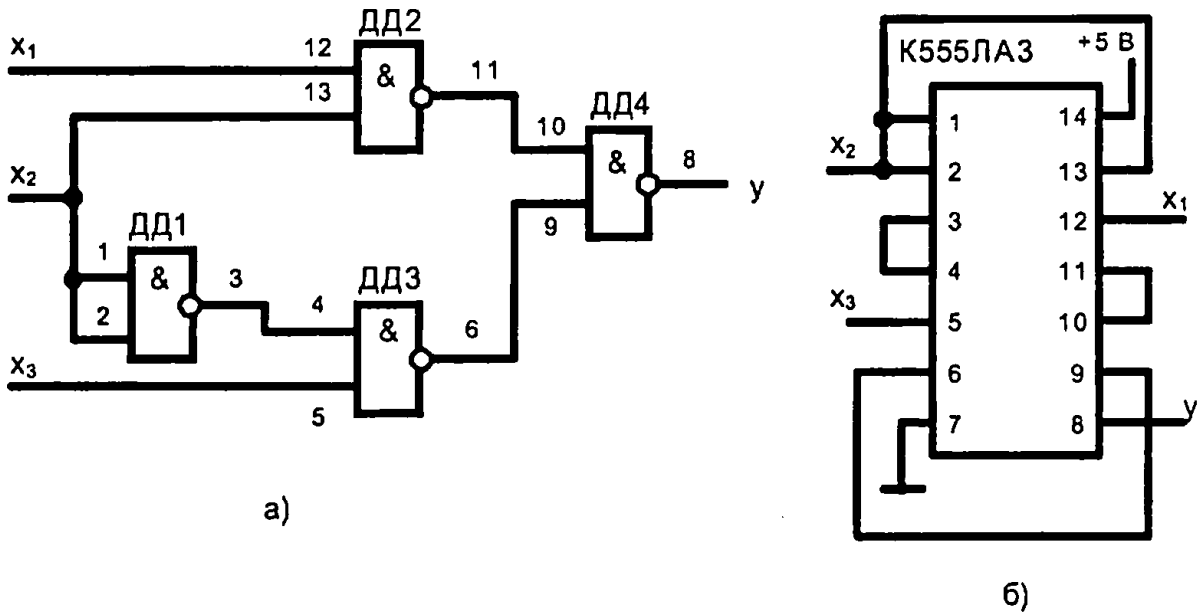


Рис. 9

11. По этой схеме собирается лабораторная установка для проведения экспериментальных исследований (рис. 10).

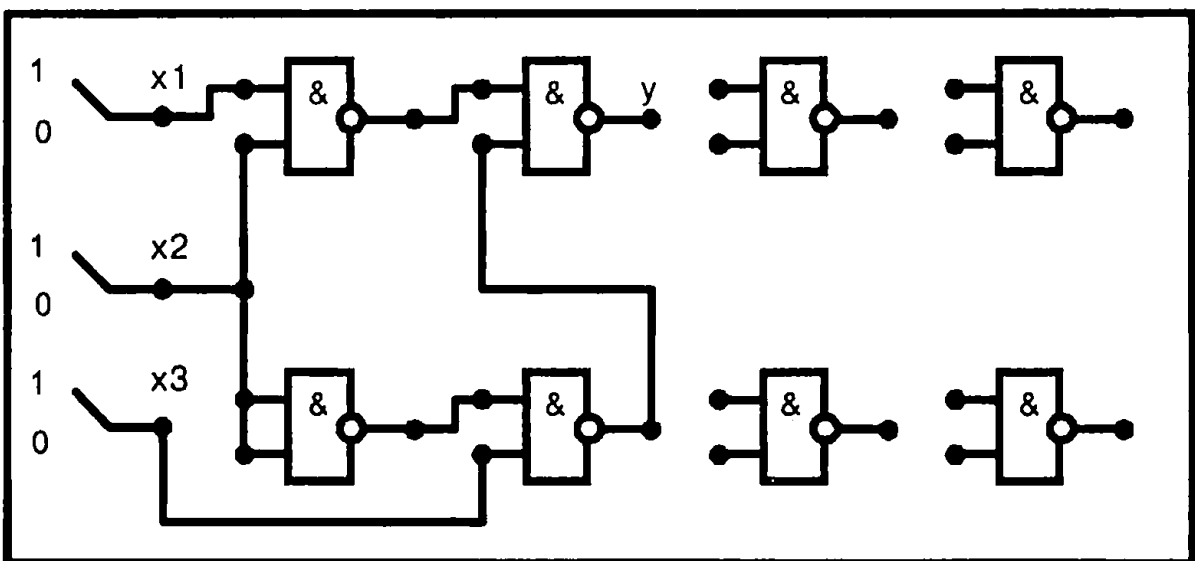


Рис. 10

Приложение

На входы x_1, x_2, x_3 подаем стандартные сигналы 000, 001, 010, 011, 100, 101, 110, 111 и вольтметром на выходе Y проверяем логические уровни на соответствие таблице истинности.

12. Для построения комбинационного автомата в базе 2ИЛИ–НЕ составляем совершенную конъюнктивную нормальную форму

$$y = (x_1 \vee x_2 \vee x_3) \cdot (\overline{x_1} \vee x_2 \vee x_3) \cdot (x_1 \vee \overline{x_2} \vee x_3) \cdot (x_1 \vee \overline{x_2} \vee \overline{x_3})$$

Каждому члену произведения СКНФ соответствует нулевое значение функции.

13. Проведем склеивание и поглощение, получим сокращенную форму.

Склеиваются следующие пары членов:

1-й и 2-й: $(x_1 \vee x_2 \vee x_3) \cdot (\overline{x_1} \vee x_2 \vee x_3) = (x_1 \overline{x_1}) \vee (x_2 \vee x_3) = x_2 \vee x_3$;

1-й и 3-й: $(x_1 \vee x_2 \vee x_3) \cdot (x_1 \vee \overline{x_2} \vee x_3) = (x_2 \overline{x_2}) \vee (x_1 \vee x_3) = x_1 \vee x_3$;

3-й и 4-й: $(x_1 \vee \overline{x_2} \vee x_3) \cdot (x_1 \vee \overline{x_2} \vee \overline{x_3}) = (x_3 \overline{x_3}) \vee (x_1 \vee \overline{x_2}) = x_1 \vee \overline{x_2}$.

Результат склеивания:

$$y = (x_2 \vee x_3)(x_1 \vee x_3)(x_1 \vee \overline{x_2}).$$

14. Для перехода к минимальной форме строим импликантную таблицу.

	$x_1 \vee x_2 \vee x_3$	$\overline{x_1} \vee x_2 \vee x_3$	$x_1 \vee \overline{x_2} \vee x_3$	$x_1 \vee \overline{x_2} \vee \overline{x_3}$
$x_2 \vee x_3$	*	*		
$x_1 \vee x_3$	*		*	
$x_1 \vee \overline{x_2}$			*	*

Импликанты $x_2 \vee x_3, x_1 \vee \overline{x_2}$ составляют ядро, поэтому не могут быть исключены. Исключаем из сокращенной формы импликанту $x_1 \vee x_3$.

14. Получаем минимальную конъюнктивную форму:

$$y = (x_2 \vee x_3)(x_1 \vee \overline{x_2}).$$

Прямой подстановкой значений переменных $\bar{0}_1, \bar{0}_2, \bar{0}_3$ можно убедиться, что данная минимальная конъюнктивная форма соответствует таблице истинности.

15. Для проверки полученного результата проведем минимизацию также и другим методом — с использованием карт Карно.

	x_1x_2	00	01	11	10
x_3	0	0	0	1	0
1		1	0	1	1
		I область		II область	

Области I соответствует набор 01* или член $(x_1 \vee \bar{x}_2)$

Области II соответствует набор *00 или член $(x_2 \vee x_3)$.

Минимальная конъюнктивная форма представляет собой конъюнкцию двух дизъюнкций, соответствующих двум областям:

$$y = (x_1 \vee \bar{x}_2)(x_2 \vee x_3).$$

Минимальные конъюнктивные формы, полученные разными методами, совпадают.

16. Построим структурную схему устройства по полученной минимальной КНФ (рис. 11).

Структурная схема содержит 4 элемента. Причем используются различные элементы: НЕ (ДД1), ИЛИ (ДД2, ДД3), И (ДД4).

17. Синтезируем схему в базисе ИЛИ-НЕ. Для этого используем формулы де Моргана. В результате преобразований получим

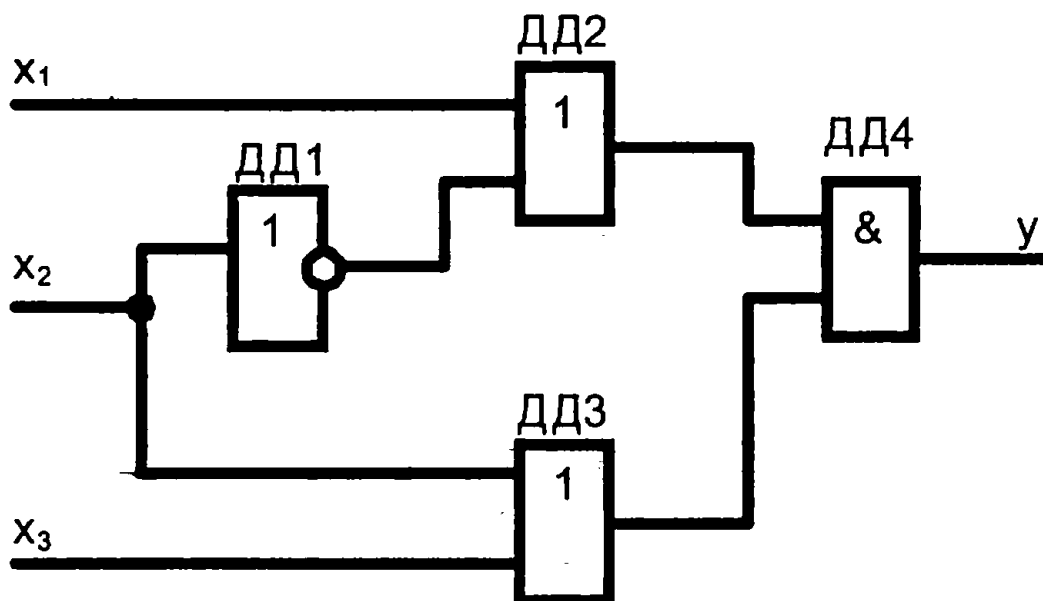


Рис. 11

$$y = (x_2 \vee x_3)(x_1 \vee \overline{x_2}) = \overline{\overline{(x_2 \vee x_3)(x_1 \vee \overline{x_2})}} = \overline{\overline{(x_2 \vee x_3)} \vee \overline{\overline{(x_1 \vee \overline{x_2})}}};$$

$$y = (x_2 \downarrow x_3) \downarrow (x_1 \downarrow \overline{x_2}).$$

18. Построим структурную схему устройства в базисе 2ИЛИ-НЕ (рис. 12).

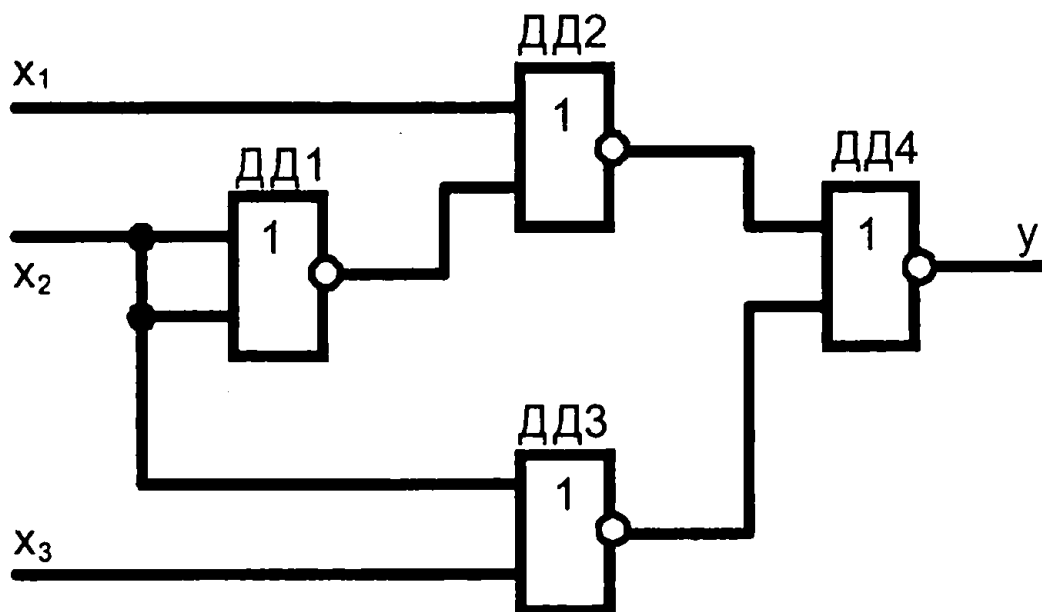


Рис. 12

Для технической реализации схемы из 4 элементов 2ИЛИ-НЕ достаточно взять одну микросхему К555ЛЕ1. Принципиальная электрическая схема выглядит следующим образом. (рис. 13).

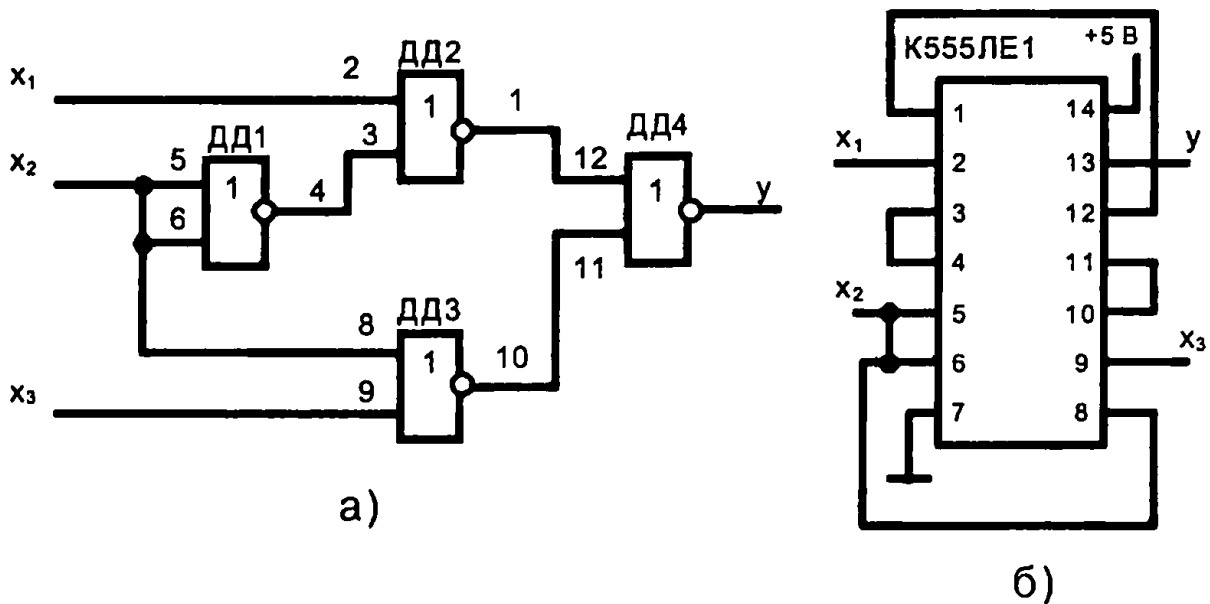


Рис. 13

На этой схеме наглядно видно, какие монтажные соединения необходимо выполнить на микросхеме К555ЛЕ1.

19. Собираем лабораторную установку для экспериментальной проверки результатов расчета (рис. 14).

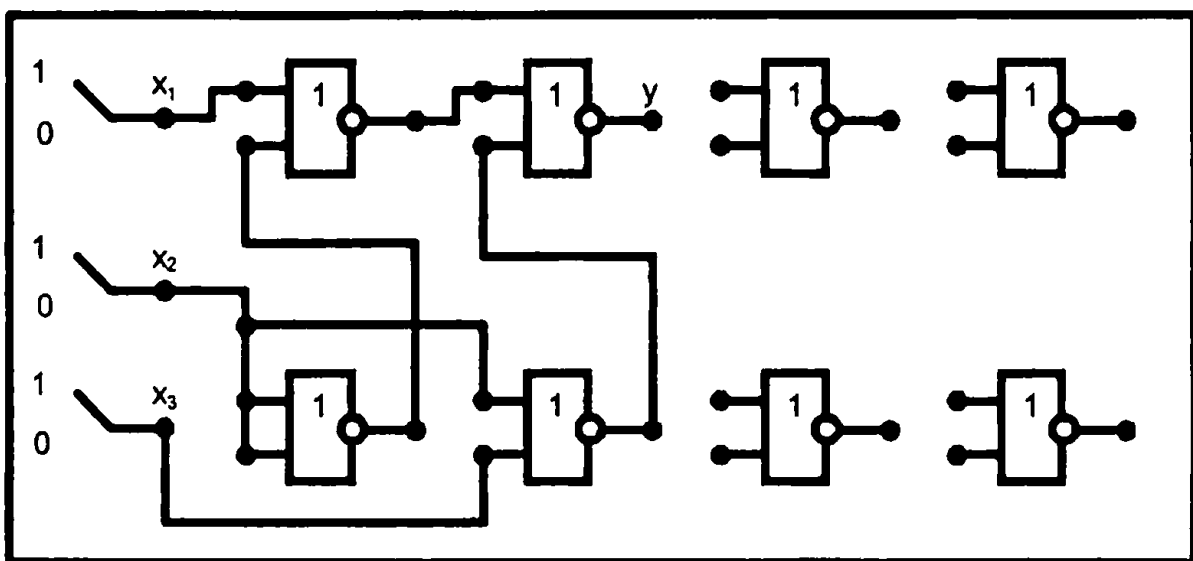
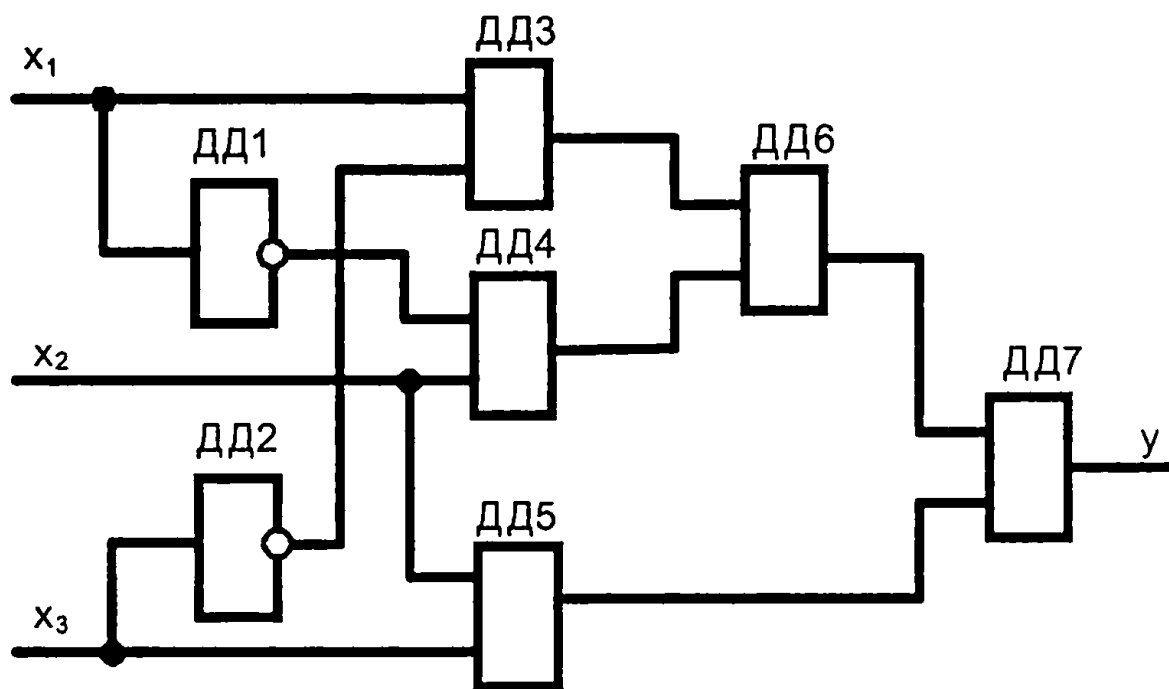


Рис. 14

Приложение

На входы $\delta_1, \delta_2, \delta_3$ подаем стандартные сигналы 000, 001, 010, 011, 100, 101, 110, 111 и вольтметром на выходе y измеряем уровень напряжения. Проверяем соответствие таблице истинности.

Исходная схема и варианты заданий



ДД1, ДД2 — инверторы, прочерк в таблице соответствует отсутствию инвертора, знак «*» соответствует наличию инвертора в схеме.

Цифровые устройства и микропроцессоры

№ варианта	ДД1	ДД2	ДД3	ДД4	ДД5	ДД6	ДД7
1	*	–	И	ИЛИ	И-НЕ	ИЛИ	И
2	–	*	ИЛИ-НЕ	И-НЕ	ИЛИ-НЕ	И	ИЛИ
3	–	*	И	ИЛИ	ИЛИ-НЕ	И	ИЛИ-НЕ
4	–	*	И-НЕ	ИЛИ-НЕ	И-НЕ	ИЛИ	И-НЕ
5	*	–	ИЛИ	И	И-НЕ	ИЛИ	И-НЕ
6	*	–	И-НЕ	И	ИЛИ-НЕ	И	ИЛИ-НЕ
7	–	*	ИЛИ-НЕ	ИЛИ	ИЛИ	И-НЕ	И
8	*	–	И	И-НЕ	ИЛИ-НЕ	И	ИЛИ-НЕ
9	–	*	И-НЕ	И	И-НЕ	ИЛИ	И-НЕ
10	*	–	ИЛИ	И	ИЛИ-НЕ	И	ИЛИ-НЕ
11	*	–	ИЛИ-НЕ	ИЛИ	И-НЕ	ИЛИ	И-НЕ
12	–	*	ИЛИ-НЕ	ИЛИ	И	ИЛИ-НЕ	ИЛИ
13	–	*	ИЛИ	И-НЕ	ИЛИ	И-НЕ	И
14	–	*	ИЛИ-НЕ	И-НЕ	ИЛИ-НЕ	И	ИЛИ-НЕ
15	*	–	И-НЕ	ИЛИ	И	ИЛИ-НЕ	ИЛИ-НЕ
16	*	–	ИЛИ-НЕ	И	ИЛИ	И-НЕ	И
17	*	–	И	ИЛИ	И-НЕ	ИЛИ	И-НЕ
18	*	–	И-НЕ	И	ИЛИ-НЕ	И	ИЛИ
19	–	*	ИЛИ-НЕ	И-НЕ	И	И	ИЛИ
20	–	*	ИЛИ-НЕ	ИЛИ	ИЛИ	И-НЕ	И-НЕ
21	*	–	И	И-НЕ	ИЛИ	И-НЕ	И-НЕ
22	*	–	И-НЕ	ИЛИ	И	ИЛИ-НЕ	ИЛИ-НЕ
23	–	*	ИЛИ-НЕ	ИЛИ	ИЛИ	И-НЕ	И
24	–	*	И-НЕ	И	И-НЕ	ИЛИ	И-НЕ
25	*	–	ИЛИ	И-НЕ	И	ИЛИ-НЕ	ИЛИ
26	*	–	ИЛИ-НЕ	ИЛИ	ИЛИ	И-НЕ	И-НЕ
27	–	*	И-НЕ	И	И	ИЛИ-НЕ	ИЛИ
28	*	–	ИЛИ	ИЛИ-НЕ	ИЛИ-НЕ	И	ИЛИ
29	–	*	И	ИЛИ	И	ИЛИ-НЕ	ИЛИ-НЕ

Приложение

№ варианта	ДД1	ДД2	ДД3	ДД4	ДД5	ДД6	ДД7
30	*	–	ИЛИ	И	И-НЕ	ИЛИ	. И
31	*	–	ИЛИ-НЕ	ИЛИ	И	ИЛИ-НЕ	ИЛИ-НЕ
32	*	–	ИЛИ	ИЛИ-НЕ	И-НЕ	ИЛИ	И-НЕ
33	–	*	ИЛИ	И-НЕ	ИЛИ-НЕ	И	ИЛИ
34	–	*	ИЛИ-НЕ	И	ИЛИ-НЕ	ИЛИ-НЕ	ИЛИ
35	*	–	ИЛИ-НЕ	ИЛИ-НЕ	И-НЕ	ИЛИ	И-НЕ
36	*	–	И	И-НЕ	И-НЕ	ИЛИ	И-НЕ
37	–	*	И-НЕ	И	ИЛИ-НЕ	И	ИЛИ-НЕ
38	*	–	ИЛИ	ИЛИ-НЕ	ИЛИ	И-НЕ	И
39	–	*	ИЛИ	И	ИЛИ	И-НЕ	И-НЕ
40	*	–	ИЛИ	И-НЕ	И	ИЛИ-НЕ	ИЛИ-НЕ

ЛИТЕРАТУРА

1. *Угрюмов Е. П.* Цифровая схемотехника. -СПб.: БХВ — Петербург, 2001. — 528 с.

2. *Калабеков Б. А.* Цифровые устройства и микропроцессорные системы. — М.: Горячая линия — Телеком, 2000. — 336 с.

3. *Опадчий Ю. Ф., Глудкин О. П., Гуров А. И.* Аналоговая и цифровая электроника. — М.: Горячая линия — Телеком, 2000. — 768 с.

4. *Новиков Ю. В.* Основы цифровой схемотехники. — М.: Мир, 2001. — 379 с.

5. *Браммер Ю. А., Пащук И. Н.* Цифровые устройства. — М.: Высш. шк., 2004 — 229 с.

6. *Калабеков Б. А.* Микропроцессоры и их применение в системах передачи и обработки сигналов. — М.: Радио и связь, 1988. — 368 с.

7. МикроЭВМ, микропроцессоры и основы программирования: Учеб. пособие /А. Н. Морозевич, А. Н. Дмитриев, В. Н. Мухаметов и др.; под общ. ред. А. Н. Морозевича. — Мн.: Высш. шк., 1990. — 352 с.

8. Персональные ЭВМ и микро ЭВМ. Основы организации: Справочник / под ред. А. А. Мячева. — М.: Радио и связь, 1991. — 320 с.

9. *Горбунов В. Л., Панфилов Д. И., Преснухин Д. Л.* Справочное пособие по микропроцессорам и микро ЭВМ. — М.: Высш. шк. 1988. — 272 с.

Литература

10. Цифровые интегральные микросхемы: Справочник / И. И. Богданович, И. Н. Грель, С. А. Дубина и др. — Мн.: Беларусь, Полымя, 1996. — 605 с.
11. *Шило В. Л.* Популярныя цифровыя микросхемы: Справочник. — М.: Радио и связь, 1989. — 352 с.
12. Цифровые интегральные микросхемы: Справочник / П. П. Мальцев, Н. С. Далидзе, М. И. Критенко и др. — М.: Радио и связь, 1994. — 240 с.
13. *Новожилов О. П.* Основы цифровой техники. — М.: ИП РадиоСофт, 2004. — 528 с.
14. *Новиков Ю. В., Скоробогатов П. К.* Основы микропроцессорной техники. — М.: ИНТУИТ. РУ «Интернет-университет Информационных технологий», 2004. — 440 с.
15. *Медведев Б. Л., Пирогов Л. Г.* Практическое пособие по цифровой схемотехнике. — М.: Мир, 2004. — 408 с.
16. *Королев Л. Н.* Микропроцессоры, микро- и мини-ЭВМ. — М.: Изд-во Моск. Ун-та, 1988. — 213 с.
17. *Семенов В. А., Скуратович Э. К.* Арифметико-логические основы компьютерной схемотехники. — М.: Академический проект, 2004. — 144 с.
18. Применение интегральных микросхем в электронной вычислительной технике: Справочник/ Р. В. Данилов, С. А. Ельцова, Ю. П. Иванов и др.; Под ред. Б. Н. Файзулаева, Б. В. Тарабарина. — М.: Радио и связь, 1986. — 384 с.

СОДЕРЖАНИЕ

ПРЕДИСЛОВИЕ	3
ВВЕДЕНИЕ	6
1. ЛОГИЧЕСКИЕ ОСНОВЫ ЦИФРОВОЙ ТЕХНИКИ	10
1.1. Понятие о цифровом устройстве	10
1.2. Логические функции	16
1.3. Тождества алгебры логики	21
1.4. Анализ комбинационных устройств (без памяти)	33
1.5. Стандартные формы логических функций	41
1.6. Минимизация логических функций	45
1.7. Синтез комбинационных устройств в заданном базисе	55
1.8. Анализ и синтез цифровых устройств с памятью	61
2. БАЗОВЫЕ ЛОГИЧЕСКИЕ ЭЛЕМЕНТЫ	72
2.1. Логические микросхемы	72
2.2. Диодно-резисторные логические схемы	92
2.3. Транзисторно-транзисторные логические элементы	96
2.4. Цифровые микросхемы эмиттерно- связанной логики	129
2.5. Цифровые микросхемы интегральной инжекционной логики	151
2.6. Логические микросхемы МОП, КМОП	168

3. ФУНКЦИОНАЛЬНЫЕ УЗЛЫ ЦИФРОВЫХ УСТРОЙСТВ	195
3.1. Триггеры	195
3.2. Регистры	224
3.3. Кодирующие устройства	232
3.4. Счетчики	256
3.5. Сумматоры	270
3.6. Триггер Шмитта	280
3.7. Шинные приемопередатчики	284
4. ЦИФРОВЫЕ УСТРОЙСТВА НА БИС	291
4.1. Общие сведения о микросхемах памяти.....	291
4.2. Оперативные запоминающие устройства	300
4.3. Постоянные запоминающие устройства	313
4.4. БИС программируемых логических устройств	326
4.5. Реализация ПЛИС на основе ППЗУ	329
4.6. Программируемые логические матрицы.....	331
4.7. Программируемая матричная логика	339
5. АНАЛОГО-ЦИФРОВЫЕ И ЦИФРОАНАЛОГОВЫЕ ПРЕОБРАЗОВАТЕЛИ	344
5.1. Назначение, основные свойства и классификация АЦП и ЦАП	344
5.2. Основные характеристики АЦП и ЦАП	351
5.3. Принцип аналого-цифрового преобразования информации	354
5.4. Схема ЦАП с суммированием напряжений.....	357
5.5. Схема ЦАП с суммированием токов	364
5.6. АЦП с промежуточным преобразованием напряжения во временной интервал	368
5.7. АЦП с двойным интегрированием	370

5.8. Аналого-цифровой преобразователь последовательного счета	372
5.9. Аналого-цифровой преобразователь следящего типа	374
5.10. Аналого-цифровой преобразователь последовательного приближения	375
5.11. Схема выборки и хранения	377
6. МИКРОПРОЦЕССОРНЫЕ УСТРОЙСТВА	379
6.1. Структура и функционирование микропроцессорной системы	379
6.2. Структура микроконтроллера.....	387
6.3. Принципы управление памятью и внешними устройствами	390
6.4. Построение модуля памяти	393
6.5. Виды обмена в микропроцессорных системах	395
6.6. Микропроцессор серии 1821 (Intel 8085A)	396
6.7 Последовательность действий МП и синхронизация.....	405
6.8. Система прерываний	409
6.9 Последовательный ввод-вывод.....	413
6.10 Система команд микропроцессора	414
6.11 Программирование работы МП	423
6. 12 Методика и средства проектирования цифровых устройств	429
 ДОМАШНЕЕ ЗАДАНИЕ ПО ДИСЦИПЛИНЕ	
«ЦИФРОВЫЕ УСТРОЙСТВА	
И МИКРОПРОЦЕССОРЫ»	440
Введение.....	440
1. Содержание домашнего задания:.....	441

Содержание

2. Методические указания по выполнению задания. Основные теоретические положения.....	442
3. Пример выполнения домашнего задания	452
ЛИТЕРАТУРА.....	464